

目次

1 特長.....	1	4 ピン構成および機能.....	3
2 アプリケーション.....	1	5 改訂履歴.....	4
3 概要.....	1	6 メカニカル、パッケージ、および注文情報.....	5

4 ピン構成および機能

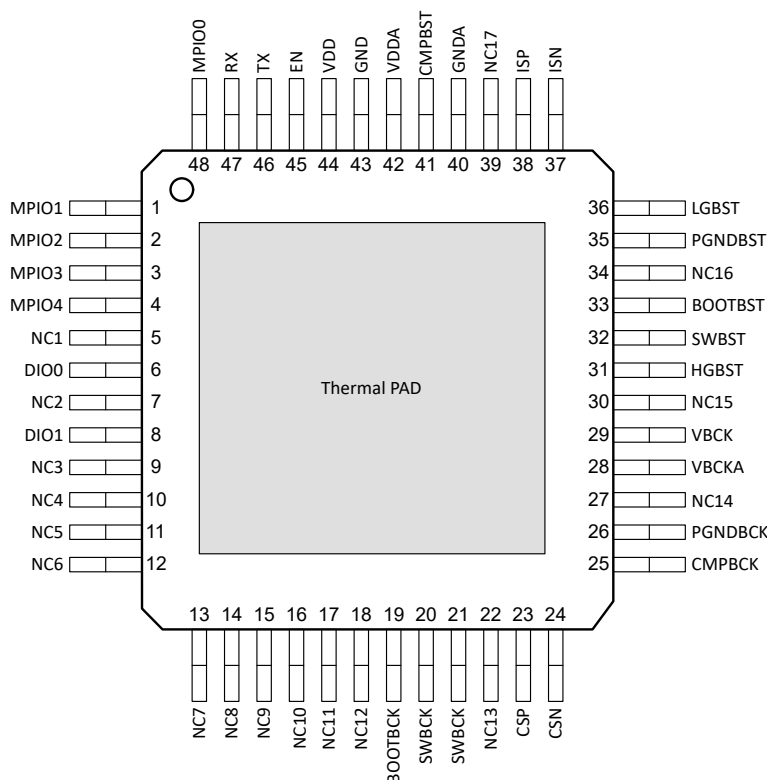


図 4-1. PKD パッケージ 48 ピン HTQFP (上面露出パッド) 上面図

表 4-1. ピンの機能

ピン		I/O	説明
名称	番号 PKD		
BOOTBCK	19	P	降圧ハイサイド MOSFET ゲート駆動回路の電源入力。BOOTBCK ピンと SWBCK ピンの間にセラミック コンデンサを接続します。VDD と BOOTBCK の間には、内部ダイオードが接続されています。
BOOTBST	33	P	昇圧ハイサイド MOSFET ゲート駆動回路の電源入力。BOOTBST ピンと SWBST ピンの間にセラミック コンデンサを接続します。VDD と BOOTBST の間には、内部ダイオードが接続されています。
CMPBCK	25	I/O	降圧内部の相互コンダクタンス エラー アンプの出力。安定性を確保するために積分補償回路を接続します。
CMPBST	41	I/O	昇圧内部の相互コンダクタンス エラー アンプの出力。安定性を確保するために比例積分補償回路を接続します。
CSN	24	I	内部のレール ツー レール相互コンダクタンス エラー アンプの負入力 (–)。LED 電流センス抵抗 R_{CS} の負ノードに直接接続します。
CSP	23	I	内部のレール ツー レール相互コンダクタンス エラー アンプの正入力 (+)。LED 電流センス抵抗 R_{CS} の正ノードに直接接続します。
DIO0	6	I/O	デジタル IO。このピンは、デジタル入力、またはデジタル出力として構成できます。
DIO1	8	I/O	
EN	45	I	ハードウェア イネーブル。シャットダウンに移行するには、このピンを Low にプルします。
GND	43	G	信号およびアナログ グランド。内部基準電圧およびアナログ回路のリターンです。回路のグラウンドに接続することで、リターン パスを形成します。
GNDA	40		

表 4-1. ピンの機能 (続き)

ピン		I/O	説明
名称	番号 PKD		
HGBT	31	I/O	昇圧ハイサイド ゲートドライバ出力。
ISN	37	O	昇圧電流センス アンプの負入力 (–)。LED 電流センス抵抗 R_{IS} に直接接続します。
ISP	38	I	昇圧電流センス アンプの正入力 (+)。LED 電流センス抵抗 R_{IS} に直接接続します。
LGBST	36	I/O	昇圧ローサイド ゲートドライバ出力。
MPIO0	48	I/O	多目的 IO。このピンは、ADC 入力、デジタル入力、またはデジタル出力として構成できます。MPIO0 は、CTM を開始するために使用します。
MPIO1	1	I/O	多目的 IO。このピンは、ADC 入力、デジタル入力、またはデジタル出力として構成できます。
MPIO2	2	I/O	
MPIO3	3	I/O	
MPIO4	4	I/O	
NC1、NC2、 NC3、NC4、 NC5、NC6、 NC7、NC8、 NC9、NC10、 NC11、NC12、 NC13、NC14、 NC15、NC16、 NC17	5、7、9、10、 11、12、13、 14、15、16、 17、18、22、 27、30、34、 39	NC	接続しないでください。グランドに接続できます。
PGNDBCK	26	G	降圧ローサイド MOSFET のグランドリターン
PGNDBST	35	G	昇圧ハイサイド ゲートドライバのグランドリターン
RX	47	I	UART 受信データ入力。CAN トランシーバの RX に接続します。
SWBCK	20、21	P	降圧レギュレータのスイッチング出力。両方のパワー MOSFET に内部で接続されています。パワー インダクタに接続します。
SWBST	32	P	昇圧レギュレータのスイッチ ノード。
TX	46	O	UART 送信データ出力。CAN トランシーバの TX に接続します。
VBCK	29	P	電源入力と降圧ハイサイド MOSFET ドレイン ノードへの接続。昇圧出力電圧およびバイパス コンデンサ C_{IN} に接続します。VBCK ピンから高周波バイパス C_{IN} および PGND へのパスは、できる限り短くする必要があります。
VBCKA	28	P	降圧レギュレータの内部アナログ ブロックに電力を供給します。VBCK ピンおよび高周波バイパス コンデンサに接続します。
VDD	44	P	デジタル入力電源電圧。2.2 μ F～4.7 μ F のセラミック コンデンサをデバイスに近づけて配置し、GND との間でローカルにデカップリングします。
VDDA	42	P	アナログ入力電源電圧。100nF～1 μ F のセラミック コンデンサをデバイスに近づけて配置し、GND との間でローカルにデカップリングします。

5 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
2025 年 3 月	*	初版

6 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS92544QPKDRQ1	Active	Production	HTQFP (PKD) 48	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	TPS92544
TPS92544QPKDRQ1.A	Active	Production	HTQFP (PKD) 48	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	TPS92544
TPS92544QPKDRQ1.B	Active	Production	HTQFP (PKD) 48	1000 LARGE T&R	-	NIPDAU	Level-3-260C-168 HR	-40 to 125	TPS92544

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

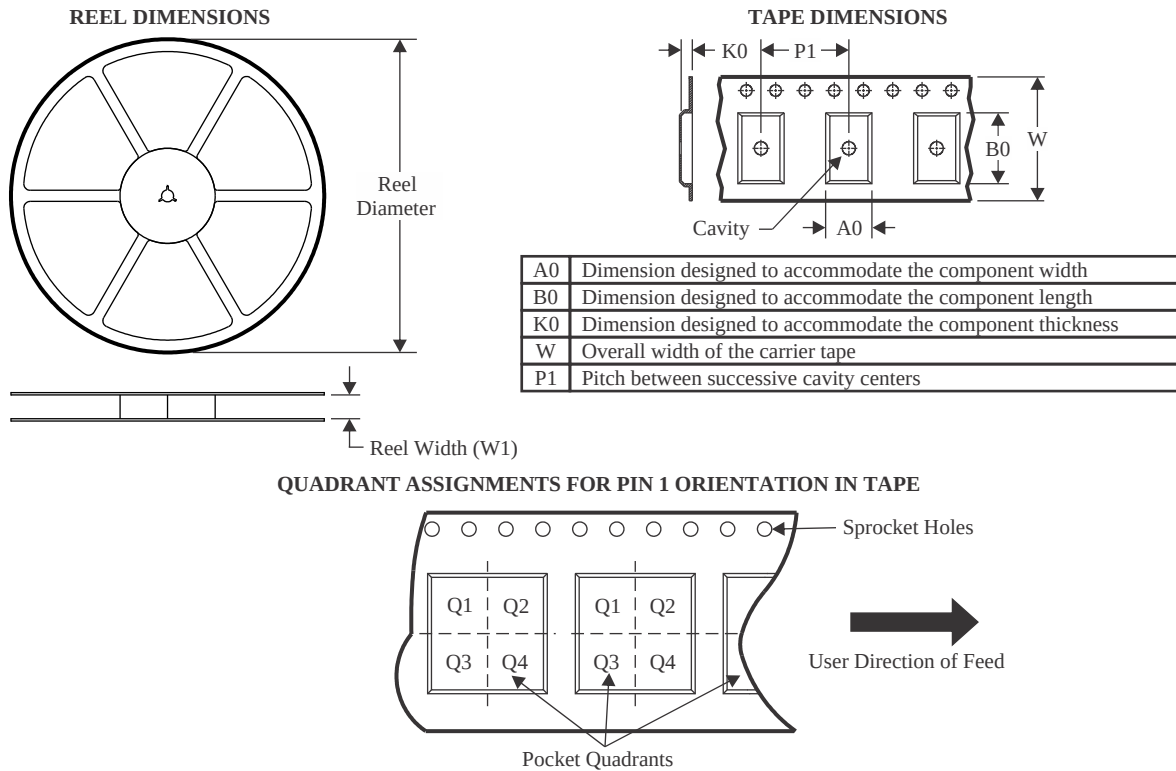
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

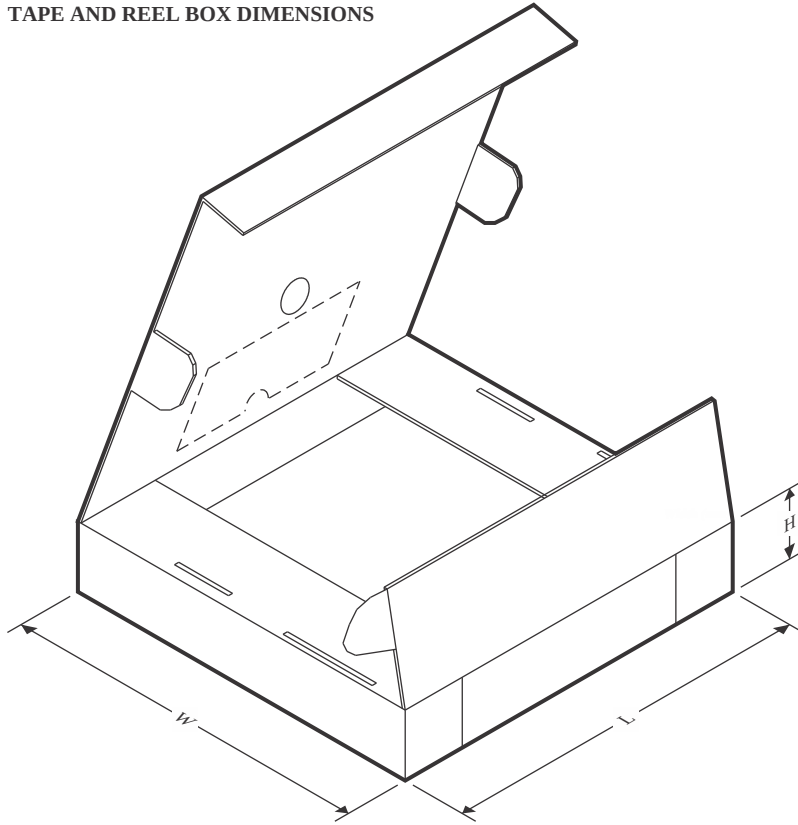
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS92544QPKDRQ1	HTQFP	PKD	48	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS92544QPKDRQ1	HTQFP	PKD	48	1000	336.6	336.6	31.8

GENERIC PACKAGE VIEW

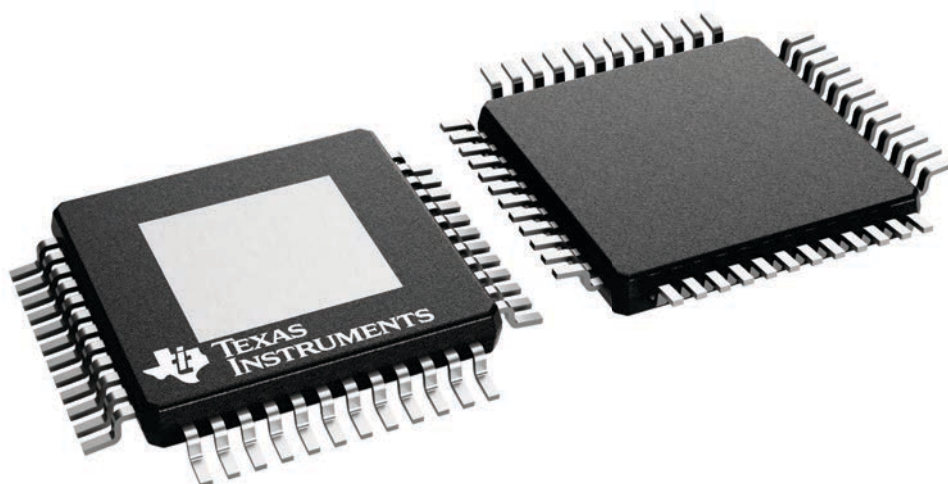
PKD 48

PowerPAD™ HTQFP - 1.15 mm max height

7 x 7, 0.5 mm pitch

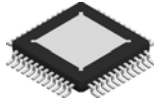
PLASTIC QUAD FLATPACK

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



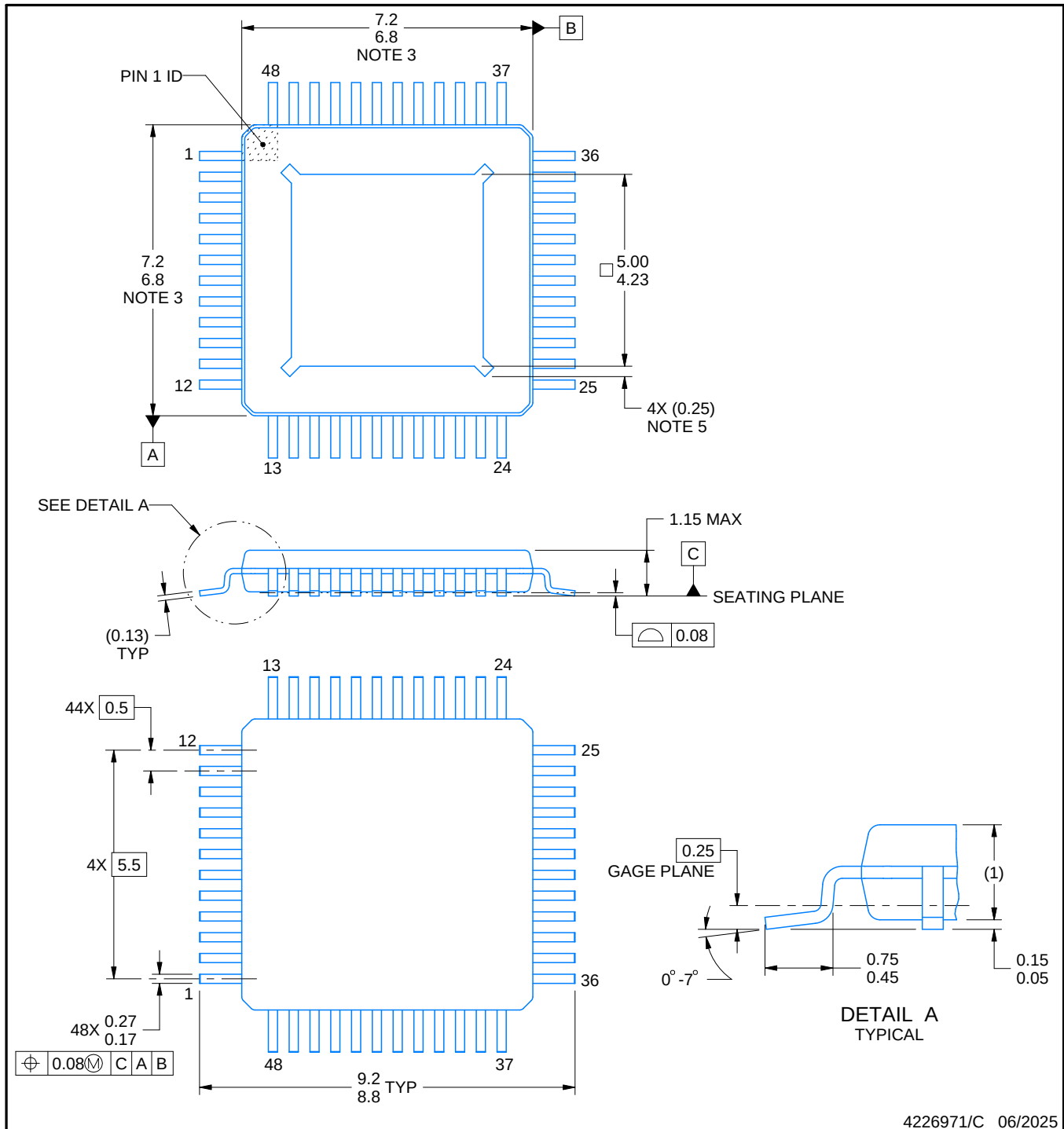
4231748/A

PKD0048A



PowerPAD™ HTQFP - 1.15 mm max height

PLASTIC QUAD FLATPACK



4226971/C 06/2025

PowerPAD is a trademark of Texas Instruments.

NOTES:

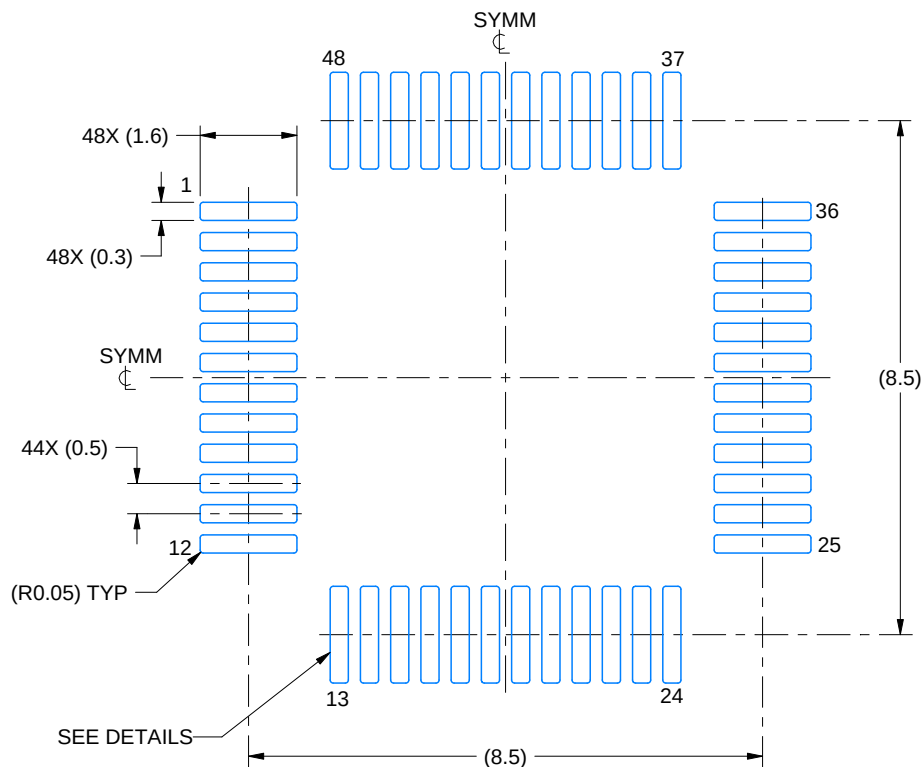
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.
5. Feature may not be present.

EXAMPLE BOARD LAYOUT

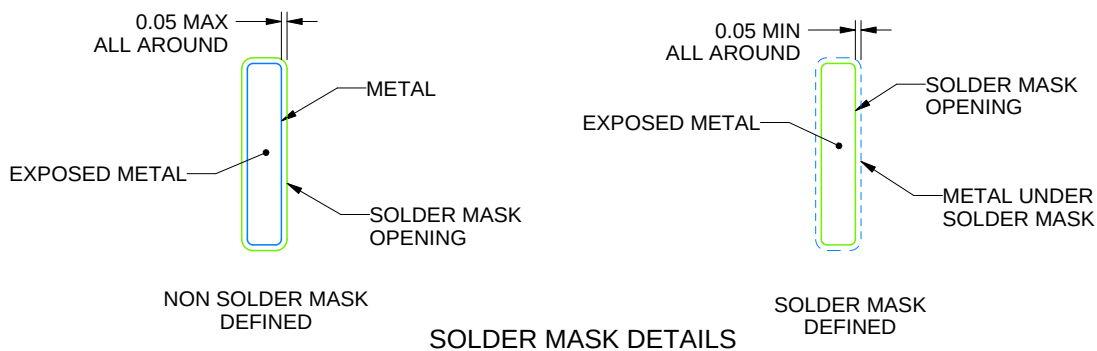
PKD0048A

PowerPAD™ HTQFP - 1.15 mm max height

PLASTIC QUAD FLATPACK



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4226971/C 06/2025

NOTES: (continued)

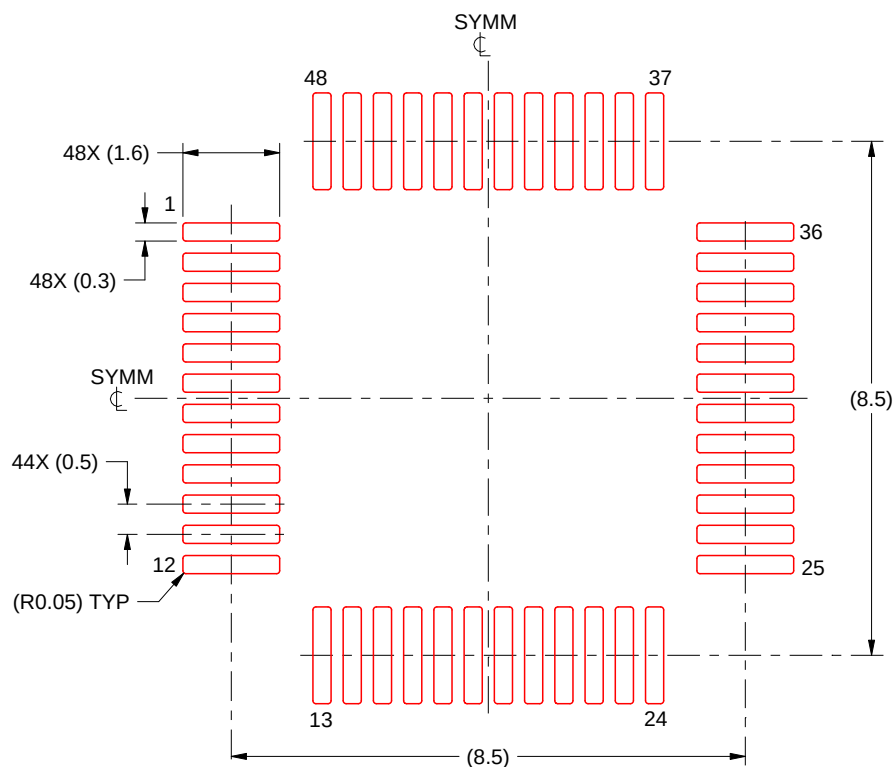
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

PKD0048A

PowerPAD™ HTQFP - 1.15 mm max height

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4226971/C 06/2025

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated