

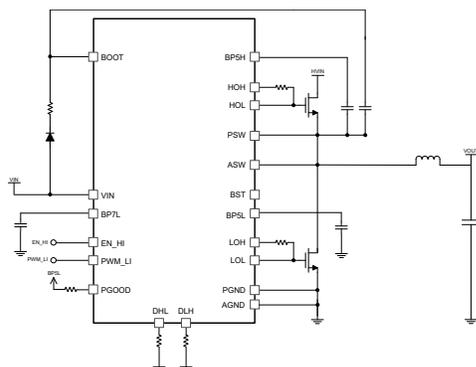
TPS7H60x5-SP および TPS7H60x5-SEP 放射線耐性保証、ハーフブリッジ GaN FET ゲートドライバ

1 特長

- 耐放射線性能:
 - 吸収線量 (TID) 100krad(Si) までの放射線耐性保証 (RHA)
 - シングル イベント過渡 (SET)、シングル イベントバースアウト (SEB)、シングル イベントゲートラプチャー (SEGR) の線エネルギー付与 (LET) に対する耐性 = $75\text{MeV}\cdot\text{cm}^2/\text{mg}$
 - LET = $75\text{MeV}\cdot\text{cm}^2/\text{mg}$ まで、SET (シングル イベント過渡) および SEFI (シングル イベント機能割り込み) 特性を評価済み
- ピークソース電流 1.3A、ピークシンク電流 2.5A
- 2つの動作モード:
 - デッドタイムを調整可能な1つのPWM入力
 - 2つの独立した入力
- 独立入力モードで選択可能な入力インターロック保護
- 分割出力は、ターンオン時間とターンオフ時間を調整可能
- 独立入力モードでの伝搬遅延 30ns (標準値)
- 遅延マッチング: 5.5ns (標準値)
- ASTM E595 に準拠したガス排出試験済みのプラスチックパッケージ
- 軍用温度範囲 (-55°C ~ 125°C) で利用可能

2 アプリケーション

- 人工衛星の電源
- モータドライブ
- リアクションホイール
- 通信ペイロード
- 光学画像処理ペイロード
- 衛星用電源システム (EPS)



アプリケーション概略図

3 説明

TPS7H60x5 シリーズの放射線耐性保証 (RHA) 窒化ガリウム (GaN) 電界効果トランジスタ (FET) ゲートドライバは、高周波数で高効率の大電流アプリケーション向けに設計されています。このシリーズは、TPS7H6005 (200V 定格)、TPS7H6015 (60V 定格)、TPS7H6025 (22V 定格) で構成されています。いずれのデバイスも 56 ピン HTSSOP プラスチック パッケージを採用しており、QMLP と宇宙用強化プラスチック (SEP) グレードの両方で供給されます。本ドライバは調整可能なデッドタイム機能、30ns の小さい伝搬遅延、5.5ns のハイサイド / ローサイド マッチングを特長としています。また、これらの部品はハイサイド / ローサイド LDO を内蔵しており、電源電圧にかかわらず 5V の駆動電圧を保証します。TPS7H60x5 ドライバには分割ゲート出力があり、出力のターンオンとターンオフの強度を別々に調整可能な柔軟性があります。

TPS7H60x5 ドライバには、独立入力モード (IIM) と PWM モードの 2 つの制御入力モードがあります。IIM では、各出力が専用の入力によって制御されます。PWM モードでは、単一の入力から 2 つの補完的な出力信号が生成され、ユーザーは各エッジについてデッドタイムを調整できます。

また、ゲートドライバは、独立入力モードでユーザーが構成可能な入力インターロックを提供し、アンチシュートスルー保護を実現します。入力インターロックにより、両方の入力が同時にオンになると、両方の出力をオンにすることはできません。ユーザーは独立入力モードでこの保護をイネーブルまたはディセーブルにするオプションを利用できるため、ドライバをさまざまなコンバータ構成で使用できます。このドライバは、ハーフブリッジとデュアル ローサイドの両方のコンバータアプリケーションでも使用できます。

製品情報

部品番号 ⁽¹⁾	グレード	本体サイズ ⁽²⁾
5962R2220104PYE	QMLP-RHA	56 ピンのプラスチック 6.1mm × 14.0mm 質量=119mg ⁽³⁾
TPS7H6005MDCATSEP	SEP	
5962R2220105PYE	QMLP-RHA	
TPS7H6015MDCATSEP	SEP	
5962R2220106PYE	QMLP-RHA	
TPS7H6025MDCATSEP	SEP	

- 詳細は、[デバイス オプション表](#)をご覧ください。
- 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。
- 質量は公称値です。



目次

1 特長.....	1	8.2 機能ブロック図.....	22
2 アプリケーション.....	1	8.3 機能説明.....	23
3 説明.....	1	8.4 デバイスの機能モード.....	31
4 デバイス比較表.....	3	9 アプリケーションと実装.....	32
5 デバイスのオプション表.....	4	9.1 アプリケーション情報.....	32
6 ピン構成および機能.....	5	9.2 代表的なアプリケーション.....	33
7 仕様.....	8	9.3 電源に関する推奨事項.....	37
7.1 絶対最大定格.....	8	9.4 レイアウト.....	38
7.2 ESD 定格.....	8	10 デバイスおよびドキュメントのサポート.....	40
7.3 推奨動作条件.....	9	10.1 ドキュメントのサポート.....	40
7.4 熱に関する情報.....	9	10.2 ドキュメントの更新通知を受け取る方法.....	40
7.5 電气的特性.....	10	10.3 サポート・リソース.....	40
7.6 スイッチング特性.....	12	10.4 商標.....	40
7.7 品質適合検査.....	13	10.5 静電気放電に関する注意事項.....	40
7.8 代表的特性.....	14	10.6 用語集.....	40
8 詳細説明.....	22	11 改訂履歴.....	40
8.1 概要.....	22	12 メカニカル、パッケージ、および注文情報.....	42

4 デバイス比較表

デバイス	絶対最大定格電圧 ⁽¹⁾	推奨動作電圧 ⁽¹⁾
TPS7H6005	200V	150V
TPS7H6015	60V	45V
TPS7H6025	22V	14V

(1) これは、仕様セクションに示されているように、デバイスの「SW から GND へ」の電圧定格を表します。

5 デバイスのオプション表

ジェネリック型番	放射線定格 ⁽¹⁾	グレード ⁽²⁾	パッケージ	発注用製品型番
TPS7H6005-SP	最大 100krad (Si) RLAT の TID および DSEE フリー (LET = 75MeV-cm ² /mg まで)	QMLP-RHA	56 ピン TSSOP DCA	5962R2220104PYE
TPS7H6005-SEP	最大 50krad (Si) RLAT の TID および DSEE フリー (LET = 43MeV-cm ² /mg まで)	宇宙向けに強化されたプラスチック		TPS7H6005MDCATSEP
TPS7H6015-SP	最大 100krad (Si) RLAT の TID および DSEE フリー (LET = 75MeV-cm ² /mg まで)	QMLP-RHA		5962R2220105PYE
TPS7H6015-SEP	最大 50krad (Si) RLAT の TID および DSEE フリー (LET = 43MeV-cm ² /mg まで)	宇宙向けに強化されたプラスチック		TPS7H6015MDCATSEP
TPS7H6025-SP	最大 100krad (Si) RLAT の TID および DSEE フリー (LET = 75MeV-cm ² /mg まで)	QMLP-RHA		5962R2220106PYE
TPS7H6025-SEP	最大 50krad (Si) RLAT の TID および DSEE フリー (LET = 43MeV-cm ² /mg まで)	宇宙向けに強化されたプラスチック		TPS7H6025MDCATSEP

- (1) TID は総電離線量、DSEE は破壊的シングル イベント効果です。詳細については、デバイスの関連する TID および SEE 放射レポートを参照してください。
- (2) 部品のグレードについて詳細は、[SLYB235](#) をご覧ください。

6 ピン構成および機能

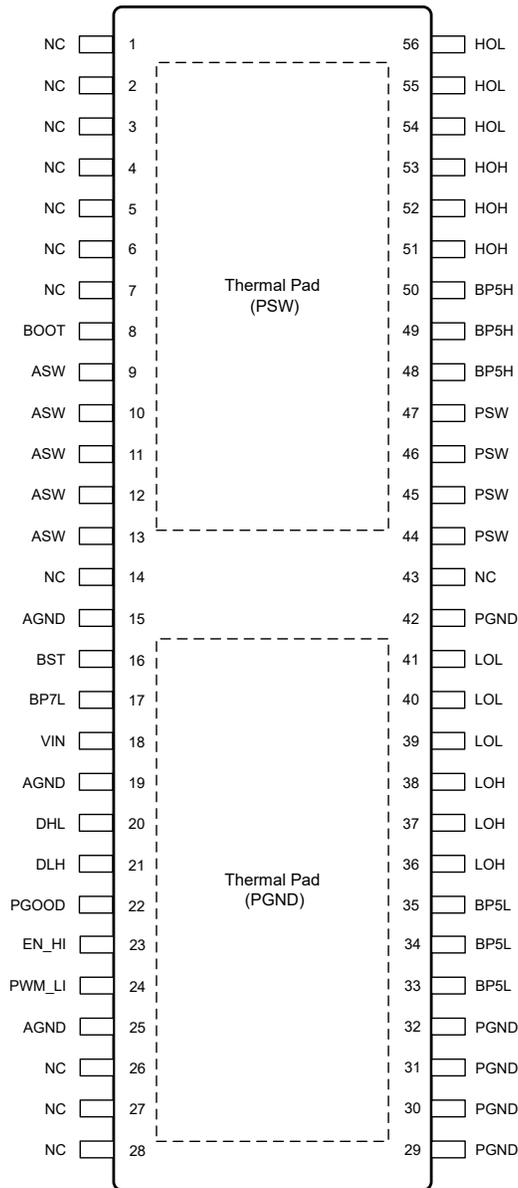


図 6-1. DCA パッケージ
56 ピン TSSOP
(上面図)

表 6-1. ピンの機能

ピン		I/O ⁽¹⁾	説明
番号	名称		
8	BOOT	I	ハイサイドリニアレギュレータの入力電源電圧。BOOT と ASW の間に外部ブートストラップコンデンサが配置されています。外部ブートストラップダイオードのカソードをこのピンに接続します。絶対最大電氣的定格を超えないように、BOOT と ASW の間にツェナーダイオードクランプが必要な場合があります。
9 ~ 13	ASW	—	ハイサイドドライバ信号リターン。ASW (9) は、内部で PSW およびハイサイドサーマルパッドに接続されています。ASW (10-13) を外部で ASW に接続します。

表 6-1. ピンの機能 (続き)

ピン		I/O ⁽¹⁾	説明
番号	名称		
16	BST	O	内部ブートストラップスイッチを活用するブートストラップ充電の場合、このピンはブートストラップダイオードのアノード接続点として機能します。外部のハイサイドブートストラップコンデンサは、VIN に印加される入力電圧、内部ブートストラップスイッチ、外部ブートストラップダイオードを使用して、このピンを介して充電できます。
17	BP7L	O	ローサイド 7V リニアレギュレータ出力。BP7L と AGND の間には少なくとも 1μF 容量が必要です。
18	VIN	I	ゲートドライバ入力電圧電源。10 V ~ 14V の入力電圧範囲。このピンは、ローサイドのリニアレギュレータおよび内部ブートストラップスイッチへの入力として機能します。入力電圧から直接ブートストラップ充電を行う場合、VIN はブートストラップダイオードのアノード接続点としても機能します。
15, 19, 25	AGND	—	ローサイドドライバ信号リターン。AGND (15) および AGND (19) は、内部で PGND およびローサイドサーマルパッドに接続されています。AGND (25) を外部的に AGND に接続します。
20	DHL	I	ハイサイドからローサイドへのデッドタイム設定。PWM モードでは、DHL と AGND の間に抵抗によって、ハイサイドターンオフとローサイドターンオン間のデッドタイムが設定されます。独立入力モード (IIM) では、DHL を使用してドライバの入力インターロック保護を設定します。DHL は、インターロックがイネーブルの状態では IIM の BP5L に接続されます。インターロックが無効の場合、IIM の場合、100kΩ と 220kΩ の間に値した抵抗を DHL と AGND の間に接続します。
21	DLH	I	ローサイドからハイサイドへのデッドタイム設定。PWM モードでは、DLH と AGND の間に抵抗によって、ローサイドターンオフとハイサイドターンオン間のデッドタイムが設定されます。独立入力モード (IIM) では、DLH を使用してドライバの入力インターロック保護を設定します。インターロックがイネーブルの場合、100kΩ と 220kΩ の間に値した抵抗を DLH と AGND の間に接続します。DLH は、インターロックを無効にして IIM の BP5L に接続されます。
22	PGOOD	O	パワーグッドピン。いずれかのローサイド内部リニアレギュレータまたは VIN が低電圧誤動作防止に移行すると、Low にアサートされます。BP5L への 10kΩ プルアップ抵抗が必要です。
23	EN_HI	I	イネーブル入力またはハイサイドドライバ制御入力。PWM モードでは、これをイネーブルピンとして使用します。独立入力モード (IIM) では、これがハイサイドドライバの制御入力として機能します。
24	PWM_LI	I	PWM 入力またはローサイドドライバ制御入力。PWM モードでは、このピンをゲートドライバへの PWM 入力として使用します。独立入力モード (IIM) では、これがローサイドドライバの制御入力として機能します。
29~32, 42	PGND	—	ローサイドの電源グランド。ローサイド パワー FET のソースに接続します。内部で AGND およびローサイドのサーマルパッドに接続されています。プリント基板レベルで AGND に接続します。
33 ~ 35	BP5L	O	ローサイド 5V リニアレギュレータ出力。BP5L と PGND の間には少なくとも 1μF 容量が必要です。
36 ~ 38	LOH	O	ローサイドドライバのソース電流出力。短い低インダクタンスのパスを経由して、N チャネル MOSFET のゲートに接続します。LOH と GaN FET のゲートの間に抵抗を使用して、ターンオン速度を調整できます。
39 ~ 41	RLOL	O	ローサイドドライバのシンク電流出力。短い低インダクタンスのパスを経由して、N チャネル MOSFET のゲートに接続します。GaN FET のゲートと LOL の間に抵抗を接続して、ターンオフ速度を調整できます。
44 ~ 47	PSW	—	スイッチノード接続。ハイサイド パワー FET のソースに接続します。内部で ASW およびハイサイドサーマルパッドに接続されています。プリント基板レベルで ASW に接続します。
48 ~ 50	BP5H	O	ハイサイド ゲート CP レギュレータ出力。BP5H と PSW の間には少なくとも 1μF 容量が必要です。
51 ~ 53	HOH	O	ハイサイドドライバソース電流出力。短い低インダクタンスのパスを経由して、N チャネル MOSFET のゲートに接続します。HOH と GaN FET のゲートの間に抵抗を使用して、ターンオン速度を調整できます。

表 6-1. ピンの機能 (続き)

ピン		I/O ⁽¹⁾	説明
番号	名称		
54 ~ 56	HOL	O	ハイサイドドライバのシンクの電流出力。短い低インダクタンスのパスを経由して、N チャネル MOSFET のゲートに接続します。GaN FET のゲートと HOL の間に抵抗を接続して、ターンオフ速度を調整できます。
1-7、14、26-28、43	NC	—	接続なし。これらのピンは内部では接続されていません。金属がフローティングにならず、電荷の蓄積を防ぐため、ピン 1 ~ 7 と 26 ~ 28 は未接続のままにするか、それぞれの基準電圧 (ASW または AGND) に接続することができます。ピン 14 および 43 の場合、沿面距離と空間距離の要件を満たすために、これらを未接続のままにすることを推奨します。最終的に、ピン 14 および 43 の接続は、設計時に選択された沿面距離および空間距離に関するガイドラインに従って、ユーザーの裁量に委ねられます。
—	PSW パッド	—	ハイサイドのサーマルパッド。内部で ASW (9) および PSW に接続されています。ASW ピンに接続する必要があります。
—	PGND パッド	—	ローサイドのサーマルパッド。AGND (15)、AGND (19)、PGND に内部接続されています。AGND ピンに接続する必要があります。

(1) I = 入力、O = 出力、I/O = 入力または出力、— = その他

7 仕様

7.1 絶対最大定格

動作温度範囲内 (特に記述のない限り)⁽¹⁾

	最小値	最大値	単位
VIN から AGND へ	-0.3	16	V
BP7L から AGND へ	-0.3	8	V
BP5L から AGND へ	-0.3	7	V
BP5H から SW へ	-0.3	7	V
BOOT から SW へ	-0.3	V _{SW} + 16	V
EN_HI	-0.3	16	V
PWM_LI	-0.3	16	V
DHL, DLH	-0.3	V _{BP5L} + 0.3	V
LOH, LOL	-0.3	V _{BP5L} + 0.3	V
HOH, HOL	V _{SW} - 0.3	V _{BP5H} + 0.3	V
PGOOD	-0.3	V _{BP5L} + 0.3	V
SW から AGND へ (TPS7H6005)	-10	200	V
SW から AGND へ (TPS7H6015)	-10	60	V
SW から AGND へ (TPS7H6025)	-10	22	V
BOOT から AGND へ (TPS7H6005)	0	216	V
BOOT から AGND へ (TPS7H6015)	0	76	V
BOOT から AGND へ (TPS7H6025)	0	38	V
BST から AGND へ	-0.3	16	V
BST 電流 (3μs 過渡パルス、非反復)		4	A
接合部温度、T _J	-55	150	°C
保管温度、T _{stg}	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても、「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

7.2 ESD 定格

	値	単位
V _(ESD) 静電放電 人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±2000	V
V _(ESD) 静電放電 荷電デバイスモデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン ⁽²⁾	±500	V

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
 (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

7.3 推奨動作条件

	最小値	公称値	最大値	単位
VIN から AGND へ	10		14	V
EN_HI	0		14	V
PWM_LI	0		14	V
BOOT から SW へ	$V_{sw} + 8$		$V_{sw} + 14$	V
SW (TPS7H6005)	-10		150	V
SW (TPS7H6015)	-10		45	V
SW (TPS7H6025)	-10		14	V
SW スループレート			100	V/ns
VIN スループレート			0.03	V/ μ s
PWM_LI, EN_HI のスループレート	2			V/ μ s
動作時接合部温度	-55		125	°C

7.4 熱に関する情報

熱評価基準 (1)		TPS7H60x5	単位
		HTSSOP	
		56 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	21.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	9.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	0.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	5.4	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	5.3	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

7.5 電気的特性

仕様は、動作周囲温度範囲 $T_A = -55^\circ\text{C}$ から 125°C まで、 $V_{in} = 10\text{V}\sim 14\text{V}$ 、 $V_{BP5L} = V_{BP5H} = 5\text{V}$ で、LOH、LOL、HOH、および HOL は無負荷 (特に記述のない限り)。

パラメータ		テスト条件		SUBGROUP ⁽¹⁾	最小値	標準値	最大値	単位
供給電流								
I_{QLS}	ローサイド低静止電流	$V_{in} = 12\text{V}$, $BOOT = 10\text{V}$	MODE = PWM, EN = 0V	1, 2, 3	5	6.8	mA	
			MODE = IIM, LI = HI = 0V	1, 2, 3	5	8		
I_{QHS}	ハイサイド低静止電流	$V_{in} = 12\text{V}$, $BOOT = 10\text{V}$	MODE = PWM, EN = 0V	1, 2, 3	4	6.3	mA	
			MODE = IIM, LI = HI = 0V	1, 2, 3	4	6.3		
I_{QBG}	BOOT から AGND への静止電流 (TPS7H6005)	$SW = 100\text{V}$, $BOOT = 110\text{V}$			20		μA	
I_{QBG}	BOOT から AGND への静止電流 (TPS7H6015)	$SW = 28\text{V}$, $BOOT = 38\text{V}$			15		μA	
I_{QBG}	BOOT から AGND への静止電流 (TPS7H6025)	$SW = 12\text{V}$, $BOOT = 22\text{V}$			10		μA	
I_{OP_BG}	BOOT から AGND への動作電流 (TPS7H6005)	$SW = 100\text{V}$, $BOOT = 110\text{V}$			20		μA	
I_{OP_BG}	BOOT から AGND への動作電流 (TPS7H6015)	$SW = 28\text{V}$, $BOOT = 38\text{V}$			15		μA	
I_{OP_BG}	BOOT から AGND への動作電流 (TPS7H6025)	$SW = 12\text{V}$, $BOOT = 22\text{V}$			10		μA	
I_{OP_LS}	ローサイド動作電流	MODE = PWM, LOL および LOH は無負荷	f = 500kHz	1, 2, 3	6	9	mA	
			f = 1MHz	1, 2, 3	8	11		
			f = 2MHz	1, 2, 3	12	16		
			f = 5MHz	1, 2, 3	20	30		
		MODE = IIM, LOL および LOH は無負荷	f = 500kHz	1, 2, 3	6	9		
			f = 1MHz	1, 2, 3	8	12		
			f = 2MHz	1, 2, 3	11	17		
			f = 5MHz	1, 2, 3	20	30		
I_{OP_HS}	ハイサイド動作電流	MODE = PWM, HOL および HOH 用無負荷	f = 500kHz	1, 2, 3	5	6.5	mA	
			f = 1MHz	1, 2, 3	5.3	8		
			f = 2MHz	1, 2, 3	7	10.5		
			f = 5MHz	1, 2, 3	13	19		
		MODE = IIM, HOL および HOH 用無負荷	f = 500kHz	1, 2, 3	4.5	6.5		
			f = 1MHz	1, 2, 3	5.3	8		
			f = 2MHz	1, 2, 3	7	10.5		
			f = 5MHz	1, 2, 3	11.7	15		
ローサイドからハイサイドへの静電容量								
	ローサイドからハイサイドへの静電容量	ローサイドピンが互いに短絡し、ハイサイドピンが互いに短絡しています			6		μF	
ゲートドライバ								
V_{OL}	Low レベル出力電圧	$I_{OL} = 100\text{mA}$		1, 2, 3	0.07	0.15	V	
$BP5x - V_{OH}$	高レベル出力電圧	$I_{OH} = 100\text{mA}$		1, 2, 3	0.13	0.3	V	
I_{OH}	ピークソース電流	HOH, LOH = 0V, BP5x = 5V		1, 2, 3	0.7	1.3	2.3	A
I_{OL}	ピークシンク電流	HOL, LOL = 5V, BP5x = 5V		1, 2, 3	1.6	2.5	4.6	A
内部レギュレータ								
V_{BP5L}	ローサイド 5V レギュレータの出力電圧	$C_{BP5L} = 1\mu\text{F}$		1, 2, 3	4.75	5.0	5.175	V
	必要な BP5L 出力コンデンサ ⁽²⁾			1, 2, 3	1			μF

7.5 電気的特性 (続き)

仕様は、動作周囲温度範囲 $T_A = -55^\circ\text{C}$ から 125°C まで、 $V_{in} = 10\text{V}\sim 14\text{V}$ 、 $V_{BP5L} = V_{BP5H} = 5\text{V}$ で、LOH、LOL、HOH、および HOL は無負荷 (特に記述のない限り)。

パラメータ	テスト条件	SUBGROUP ⁽¹⁾	最小値	標準値	最大値	単位		
V_{BP5H}	ハイサイド 5V レギュレータの出力電圧 必要な BP5H 出力コンデンサ ⁽²⁾	$C_{BP5H} = 1\mu\text{F}$	1, 2, 3	4.75	5.0	5.175	V	
				1			μF	
V_{BP7L}	7V レギュレータ出力電圧で 必要な BP7L 出力コンデンサ ⁽²⁾		1, 2, 3	6.65	7	7.35	V	
				1			μF	
低電圧保護								
$BP5H_R$	BP5H UVLO 立ち上がりスレッショルド	$C_{BP5H} = 1\mu\text{F}$	1, 2, 3	4.0	4.25	4.5	V	
$BP5H_F$	BP5H UVLO 立ち下がりスレッショルド	$C_{BP5H} = 1\mu\text{F}$	1, 2, 3	3.8	4.05	4.3	V	
$BP5H_H$	BP5H UVLO ヒステリシス	$C_{BP5H} = 1\mu\text{F}$			0.2		V	
$BP5L_R$	BP5L UVLO 立ち上がりスレッショルド	$C_{BP5L} = 1\mu\text{F}$	1, 2, 3	4.0	4.25	4.5	V	
$BP5L_F$	BP5L UVLO 立ち下がりスレッショルド	$C_{BP5L} = 1\mu\text{F}$	1, 2, 3	3.8	4.05	4.3	V	
$BP5L_H$	BP5L UVLO ヒステリシス	$C_{BP5L} = 1\mu\text{F}$			0.2		V	
$BP7L_R$	BP7L UVLO 立ち上がりスレッショルド	$C_{BP7L} = 1\mu\text{F}$	1, 2, 3	6.2	6.5	6.8	V	
$BP7L_F$	BP7L UVLO 立ち下がりスレッショルド	$C_{BP7L} = 1\mu\text{F}$	1, 2, 3	5.9	6.2	6.5	V	
$BP7L_H$	BP7L UVLO ヒステリシス	$C_{BP7L} = 1\mu\text{F}$			0.3		V	
V_{IN_R}	VIN UVLO 立ち上がりスレッショルド		1, 2, 3	8.0	8.6	9.0	V	
V_{IN_F}	VIN UVLO 立ち下がりスレッショルド		1, 2, 3	7.5	8.1	8.5	V	
V_{IN_H}	VIN UVLO ヒステリシス				0.5		V	
$BOOT_R$	BOOT UVLO 立ち上がりスレッショルド		1, 2, 3	6.6	7.1	7.4	V	
$BOOT_F$	BOOT UVLO 立ち下がりスレッショルド		1, 2, 3	6.2	6.65	7	V	
$BOOT_H$	BOOT UVLO ヒステリシス				0.45		V	
入力ピン								
V_{IR}	入力立ち上がりエッジスレッショルド		1, 2, 3	1.80		2.65	V	
V_{IF}	入力立ち下がりエッジスレッショルド		1, 2, 3	1.15		1.85	V	
V_{IHYS}	入力ヒステリシス				0.8		V	
R_{PD}	入力プルダウン抵抗	入りに $V = 2.15\text{V}$ を印加 (EN_HI または PWM_LI)	1, 2, 3	100		400	k Ω	
プログラム可能なデッドタイム								
T_{DLH}	LO オフから HO オンのデッドタイム	MODE = PWM、LO 立ち下がりから HO 立ち上がりまで (90% から 10% へ)、 $f \leq 2\text{MHz}$	RLH = 3.32k Ω	9, 10, 11	0	4.5	10	ns
			RLH = 11.8k Ω	9, 10, 11	8	12	15.5	
			RLH = 21k Ω	9, 10, 11	15.5	21	24	
			RLH = 52.3k Ω	9, 10, 11	36	50	59	
T_{DHL}	HO オフから LO オンのデッドタイム	MODE = PWM、HO 立ち下がりから LO 立ち上がりまで (90% から 10% へ)、 $f \leq 2\text{MHz}$	RHL = 7.87k Ω	9, 10, 11	0	5	10	ns
			RHL = 13.3k Ω	9, 10, 11	6	10.5	15	
			RHL = 23.7k Ω	9, 10, 11	16	21	24.5	
			RHL = 57.6k Ω	9, 10, 11	44	53	61	
			RHL = 113k Ω	9, 10, 11	81	105	125	
ブートストラップダイオードスイッチ								
R_{BST_SW}	ブートストラップ ダイオードの動的抵抗	$I_{BST_SW} = 100\text{mA}$	1, 2, 3		0.43		Ω	
	ブートストラップダイオードスイッチの並列抵抗	$I_{BST_RP} = 1\text{mA}$	1, 2, 3	0.8	1	1.2	k Ω	
パワー グッド								
	ロジック低出力	$I_{FLT} = 1\text{mA}$	1, 2, 3			0.4	V	
	PGOOD 内部抵抗	BP5L = 5V、BP7L = 7V、VIN = 12V	1, 2, 3	0.7	1	1.9	M Ω	

7.5 電気的特性 (続き)

仕様は、動作周囲温度範囲 $T_A = -55^\circ\text{C}$ から 125°C まで、 $V_{in} = 10\text{V}\sim 14\text{V}$ 、 $V_{BP5L} = V_{BP5H} = 5\text{V}$ で、LOH、LOL、HOH、および HOL は無負荷 (特に記述のない限り)。

パラメータ		テスト条件	SUBGROUP ⁽¹⁾	最小値	標準値	最大値	単位
	有効な PGOOD 出力の最小 BP5L 電圧		1, 2, 3		2	2.85	V

- (1) サブグループは QML 部品に適用されます。サブグループの定義については、品質適合検査を参照してください。
 (2) 設計により規定されており、量産時にはテストされていません

7.6 スイッチング特性

仕様は、動作周囲温度範囲 $T_A = -55^\circ\text{C}$ から 125°C まで、 $V_{in} = 10\text{V}\sim 14\text{V}$ 、 $V_{BP5L} = V_{BP5H} = 5\text{V}$ で、LOH、LOL、HOH、および HOL は無負荷 (特に記述のない限り)。

パラメータ		テスト条件		SUBGROUP ⁽¹⁾	最小値	標準値	最大値	単位
t_{LPHL}	LO ターンオフ伝搬遅延	MODE = PWM	PWM 立ち上がりから LOL 立ち下がりまで	9, 10, 11		30	48	ns
		MODE = IIM	LI 立ち下がりから LOL 立ち下がりまで	9, 10, 11		27	38	
t_{LPLH}	LO ターンオン伝搬遅延	MODE = IIM	LI 立ち上がりから LOH 立ち上がりまで	9, 10, 11		24	38	ns
t_{HPHL}	HO ターンオフ伝搬遅延	MODE = PWM	PWM 立ち下がりから HOL 立ち下がりまで	9, 10, 11		35	50	ns
		MODE = IIM	HI 立ち下がりから HOL 立ち下がりまで	9, 10, 11		30	40	
t_{HPLH}	HO ターンオン伝搬遅延	MODE = IIM	HI 立ち上がりから HOH 立ち上がりまで	9, 10, 11		26	40	ns
t_{MON}	LO オンおよび HO オフの遅延マッチング ⁽³⁾	MODE = IIM		9, 10, 11		5.5	12	ns
t_{MOFF}	LO オフから HO オンまでの遅延 ⁽³⁾	MODE = IIM		9, 10, 11		1.5	4	ns
t_{HRC}	HO の立ち上がり時間	$C_L = 1000\text{pF}$	10%~90%	9, 10, 11		3.5	7.5	ns
t_{LRC}	LO の立ち上がり時間		10%~90%	9, 10, 11		3	7.5	
t_{HFC}	HO の立ち下がり時間		90%~10%	9, 10, 11		4	5.5	
t_{LFC}	LO の立ち下がり時間		90%~10%	9, 10, 11		3	5.5	
t_{PW_IIM}	最小入力パルス幅 (ターンオン)	MODE = IIM		9, 10, 11		5	8	ns
$t_{PW_IIM_OFF}$	最小入力パルス幅 (ターンオフ)	MODE = IIM		9, 10, 11		8	12	ns
t_{PW_PWM}	目標デッドタイムに必要な最小入力パルス幅 ⁽²⁾	MODE = PWM、DT 低減 $\leq 2\text{ns}$	RLH = 11.9k Ω 、RHL = 13.3k Ω			22		ns
		MODE = PWM、DT 低減 $\leq 3\text{ns}$	RLH = 21 k Ω m、RHL = 23.7k Ω			30		

- (1) サブグループは QML 部品に適用されます。サブグループの定義については、「品質適合性検査」表を参照してください。
 (2) 設計により規定されており、量産時にはテストされていません
 (3) このパラメータの仕様制限は、絶対値として表されます。

7.7 品質適合検査

MIL-STD-883、方法 5005 - グループ A

サブグループ	説明	温度 (°C)
1	静的テスト	25
2	静的テスト	125
3	静的テスト	-55
4	動的テスト	25
5	動的テスト	125
6	動的テスト	-55
7	機能テスト	25
8A	機能テスト	125
8B	機能テスト	-55
9	スイッチング テスト	25
10	スイッチング テスト	125
11	スイッチング テスト	-55

7.8 代表的特性

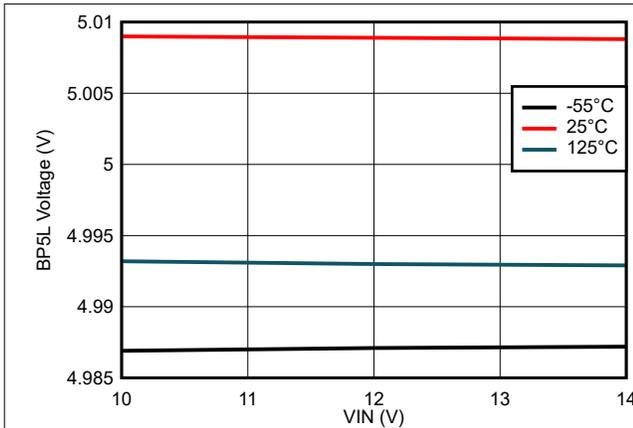


図 7-1. BP5L 出力電圧と VIN 電圧との関係

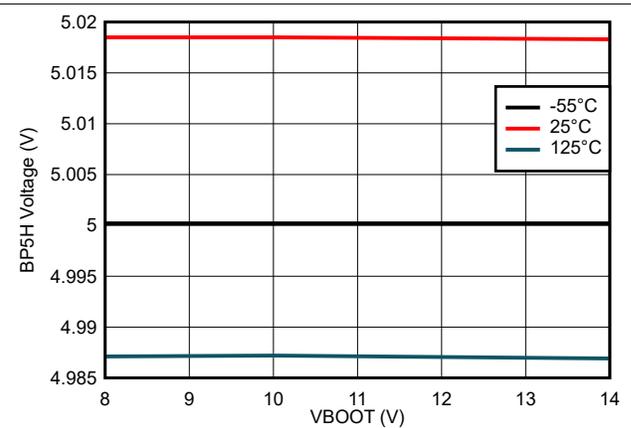


図 7-2. BP5H 出力電圧と BOOT 電圧との関係

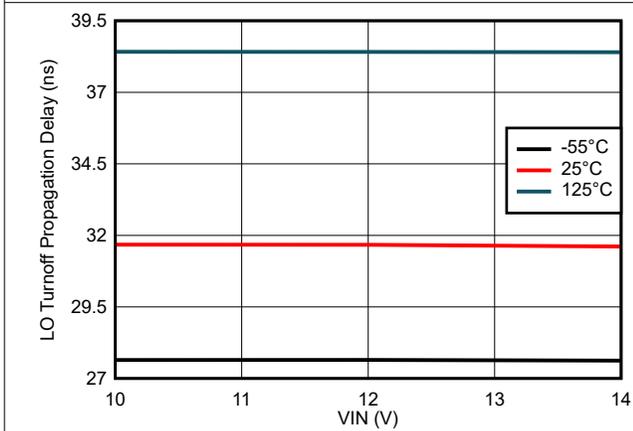


図 7-3. LO ターンオフ伝搬遅延と VIN 電圧 (PWM) との関係

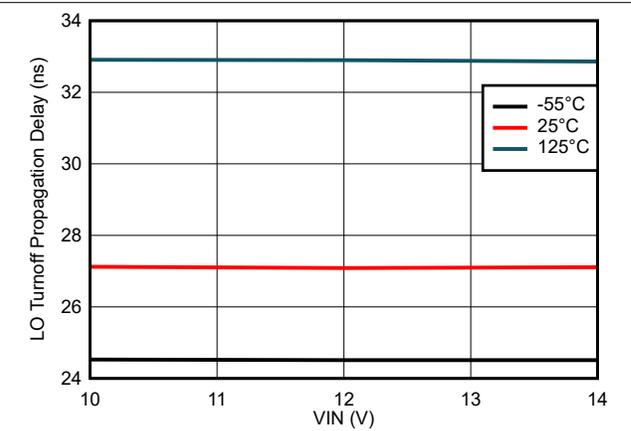


図 7-4. LO ターンオフ伝搬遅延と VIN 電圧 (IIM) との関係

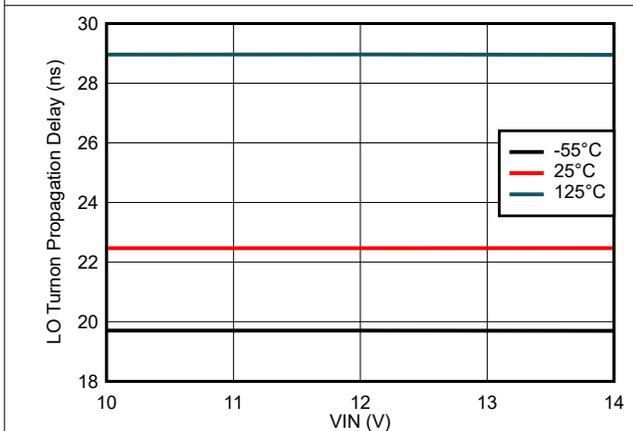


図 7-5. LO ターンオン伝搬遅延と VIN 電圧 (IIM) との関係

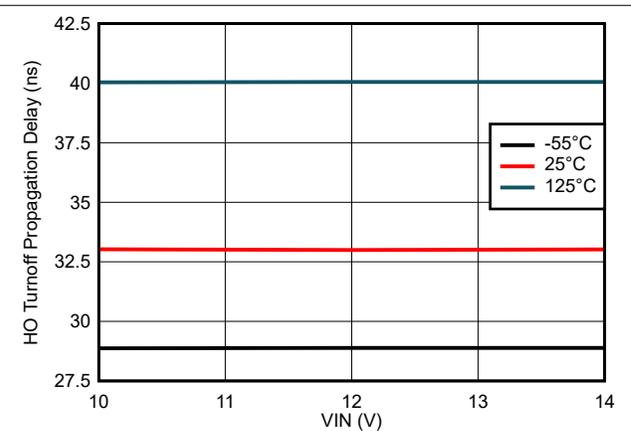


図 7-6. HO ターンオフ伝搬遅延と VIN 電圧 (PWM) との関係

7.8 代表的特性 (続き)

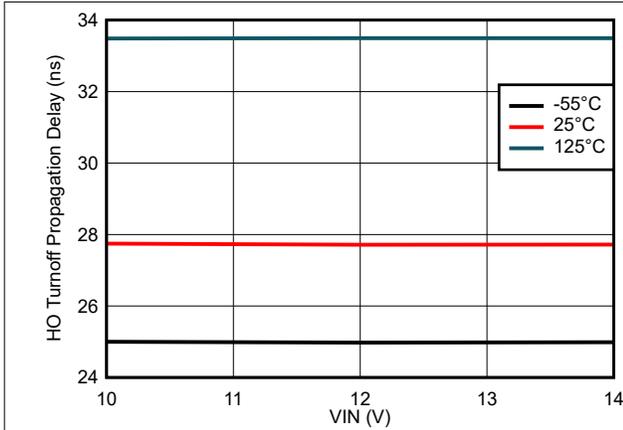


図 7-7. HO ターンオフ伝搬遅延と VIN 電圧 (IIM) との関係

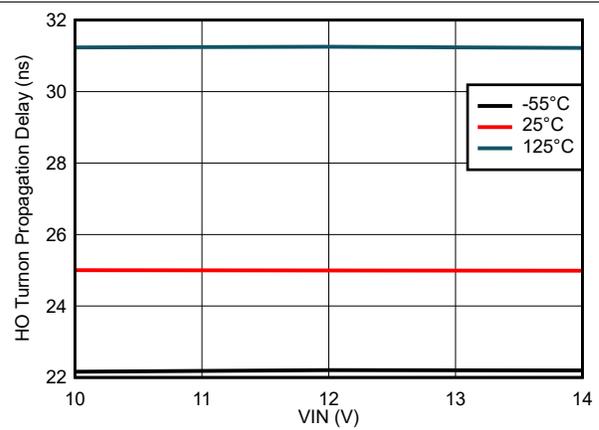


図 7-8. HO ターンオン伝搬遅延と VIN 電圧 (IIM) との関係

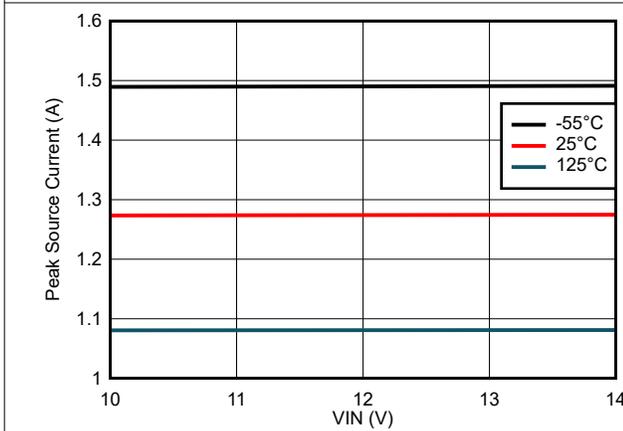


図 7-9. ピークソース電流と VIN 電圧との関係

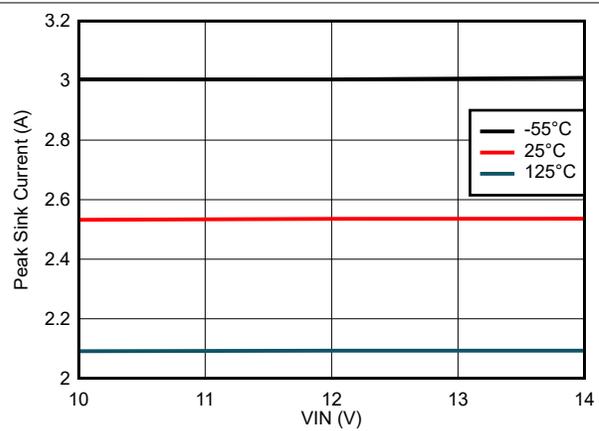


図 7-10. ピークシンク電流と VIN 電圧との関係

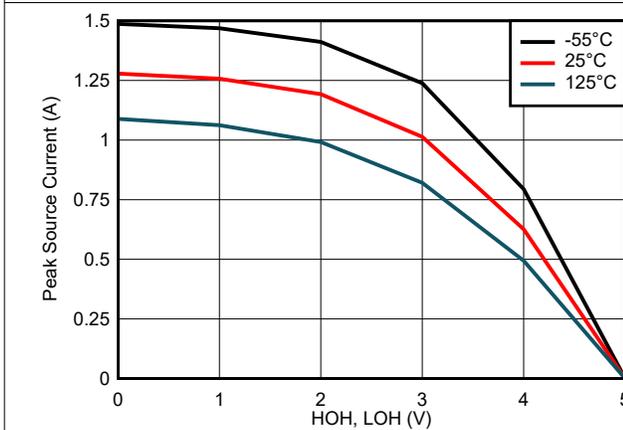


図 7-11. ピークソース電流と出力電圧との関係

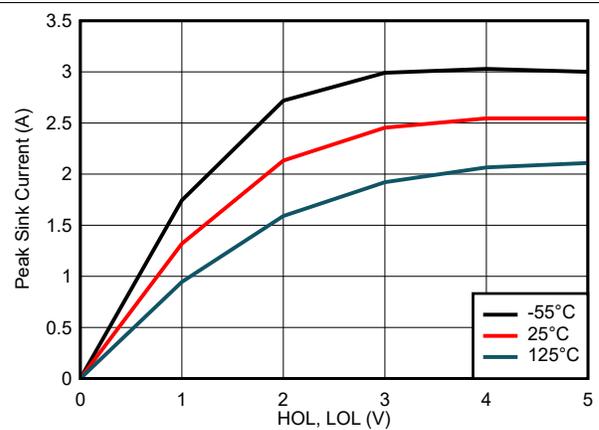


図 7-12. ピークシンク電流と出力電圧との関係

7.8 代表的特性 (続き)

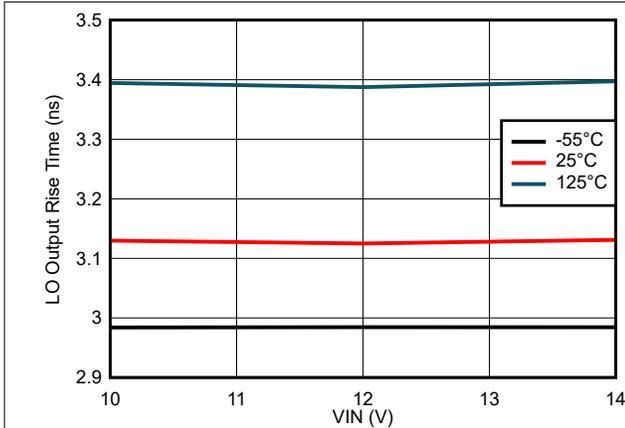


図 7-13. LO 出力立ち上がり時間と VIN 電圧との関係

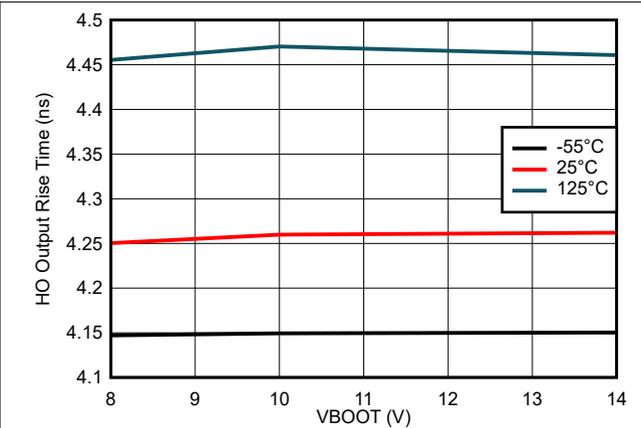


図 7-14. HO 出力立ち上がり時間とブート電圧との関係

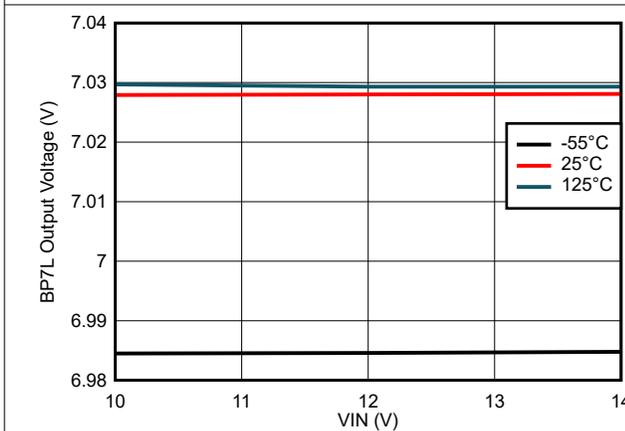


図 7-15. BP7L 出力電圧と VIN 電圧との関係

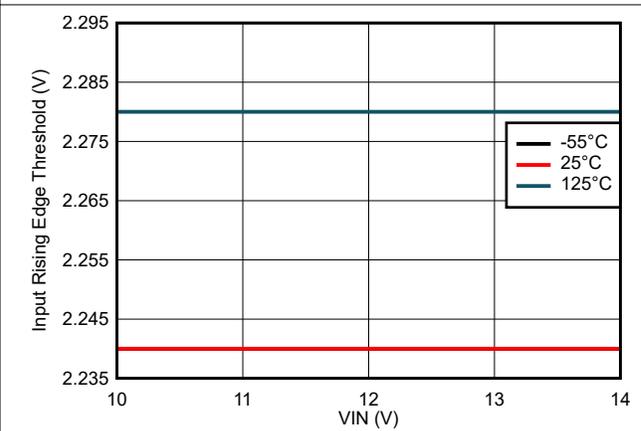


図 7-16. 入力立ち上がりエッジスレッショルドと VIN 電圧との関係

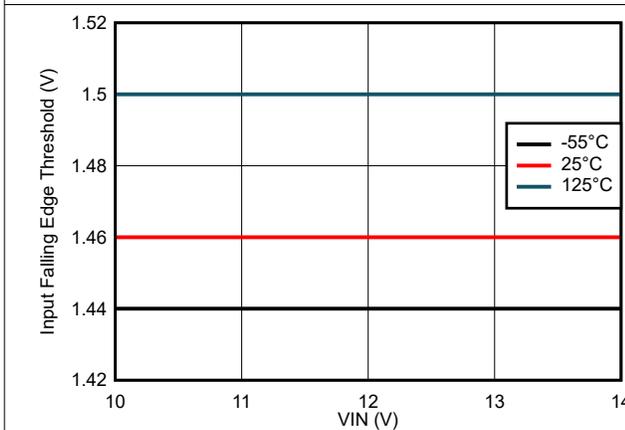


図 7-17. 入力立ち下がりエッジスレッショルドと VIN 電圧との関係

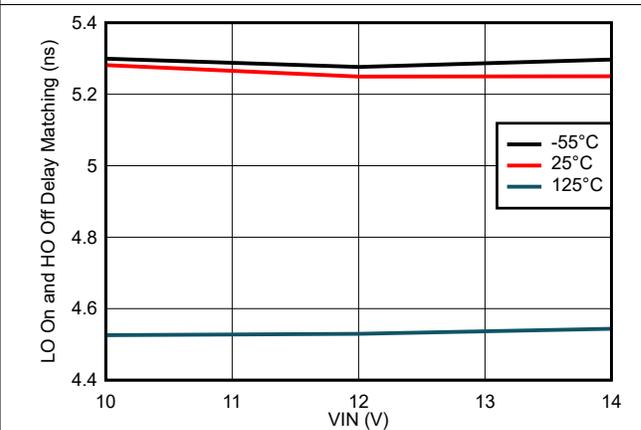


図 7-18. LO オンおよび HO オフ遅延マッチングと VIN 電圧との関係

7.8 代表的特性 (続き)

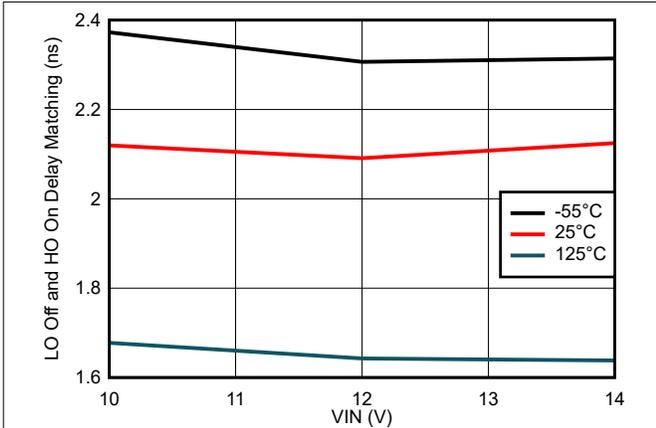


図 7-19. LO オフおよび HO オン遅延マッチングと VIN 電圧との関係

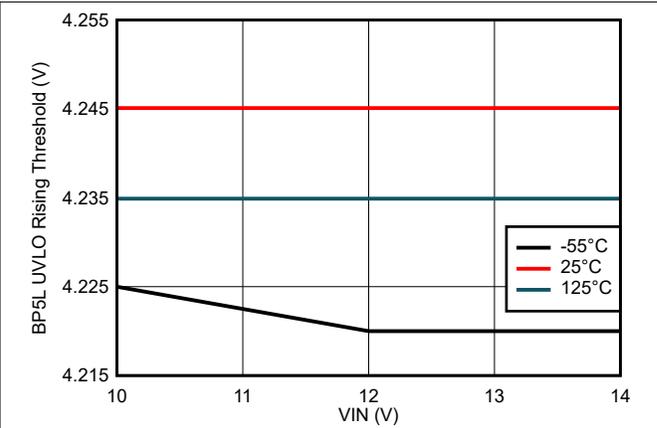


図 7-20. BP5L UVLO 立ち上がりスレッシュホールドと VIN 電圧との関係

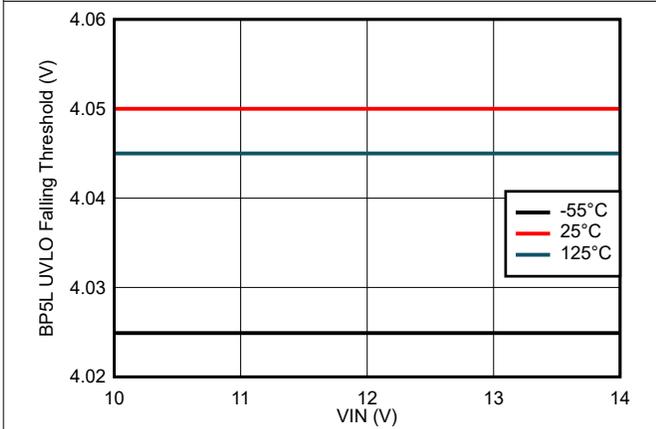


図 7-21. BP5L UVLO 立ち下がりスレッシュホールドと VIN 電圧との関係

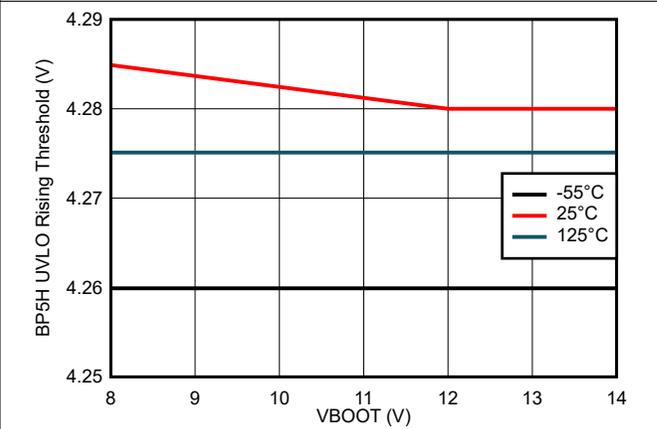


図 7-22. BP5H UVLO 立ち上がりスレッシュホールドと BOOT 電圧との関係

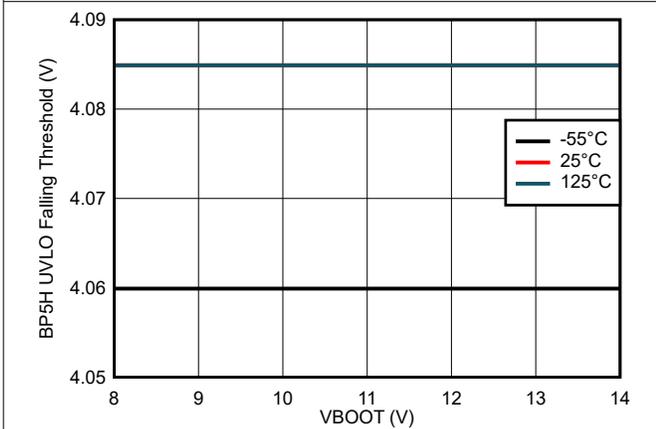


図 7-23. BP5H UVLO 立ち下がりスレッシュホールドと BOOT 電圧との関係

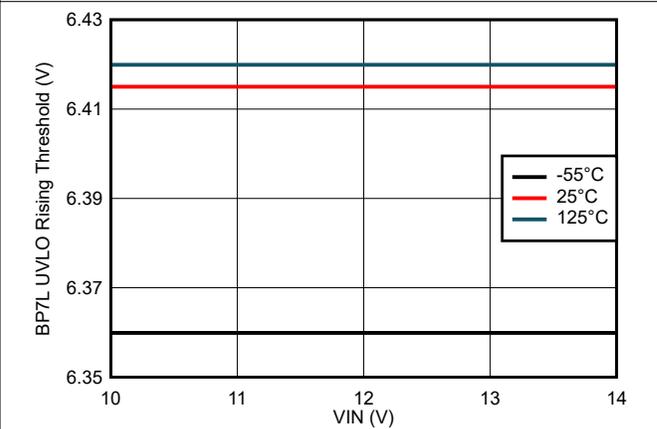


図 7-24. BP7L UVLO 立ち上がりスレッシュホールドと VIN 電圧との関係

7.8 代表的特性 (続き)

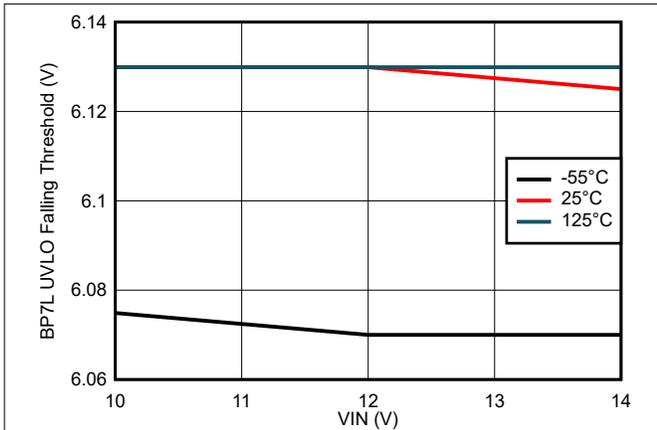


図 7-25. BP7L UVLO 立ち下がリスレッシュォルドと VIN 電圧との関係

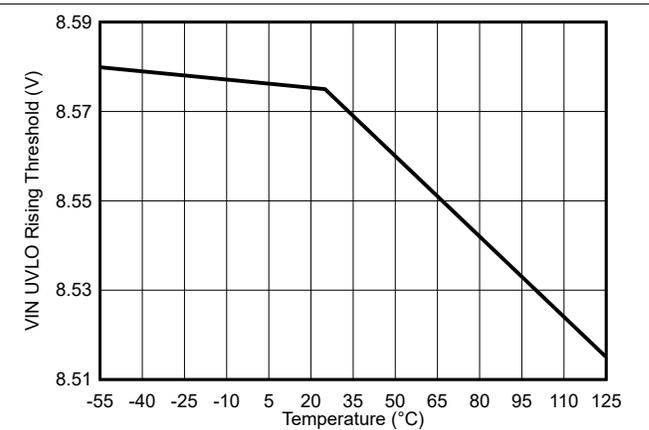


図 7-26. VIN UVLO 立ち上がりスレッシュォルドと温度の関係

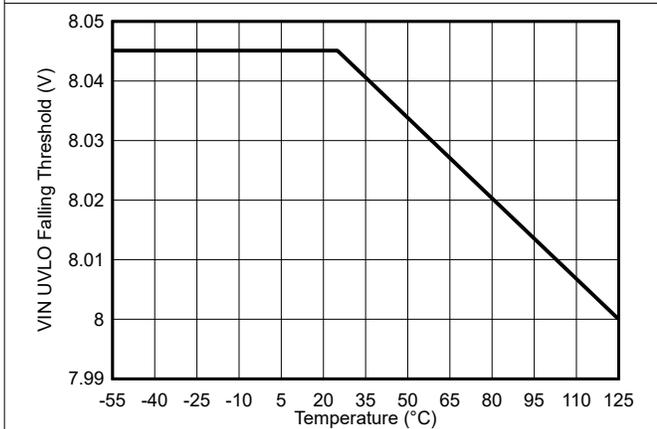


図 7-27. VIN UVLO 立ち上がりスレッシュォルドと温度の関係

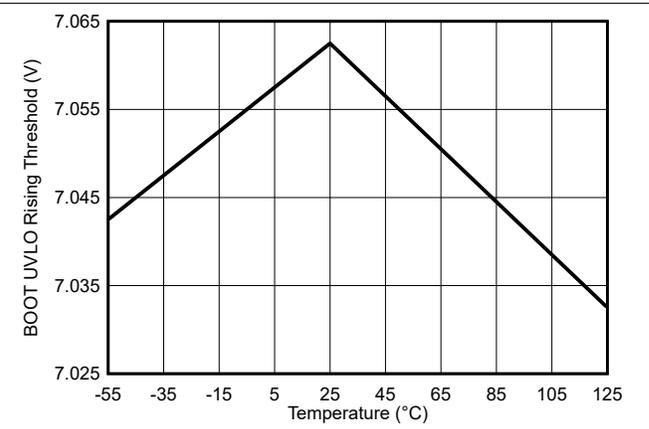


図 7-28. BOOT UVLO 立ち上がりスレッシュォルドと温度の関係

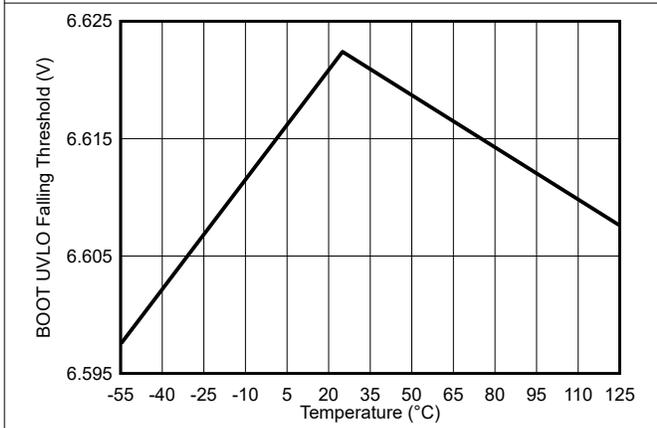


図 7-29. BOOT UVLO 立ち上がりスレッシュォルドと温度の関係

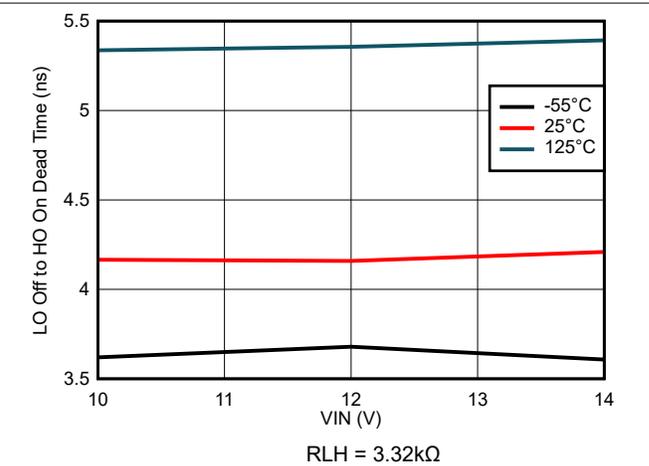


図 7-30. LO オフから HO オンのデッドタイムと VIN 電圧との関係

7.8 代表的特性 (続き)

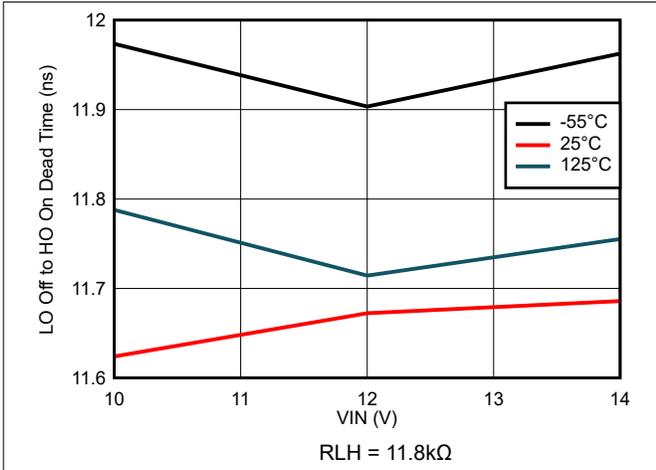


図 7-31. LO オフから HO オンのデッドタイムと VIN 電圧との関係

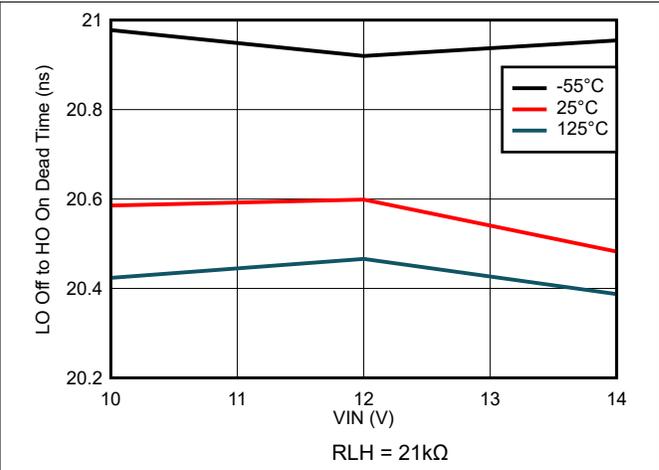


図 7-32. LO オフから HO オンのデッドタイムと VIN 電圧との関係

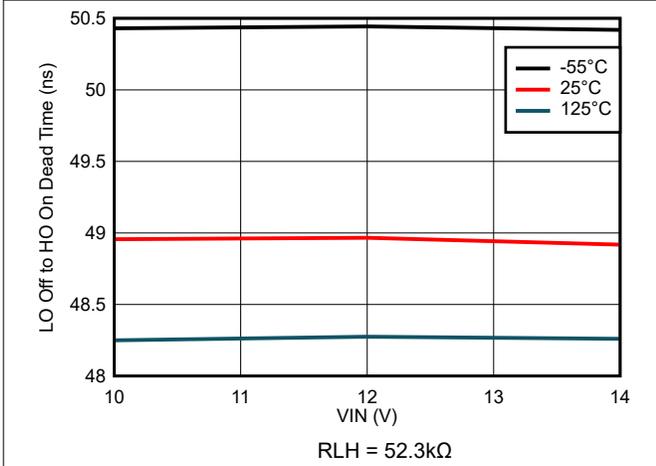


図 7-33. LO オフから HO オンのデッドタイムと VIN 電圧との関係

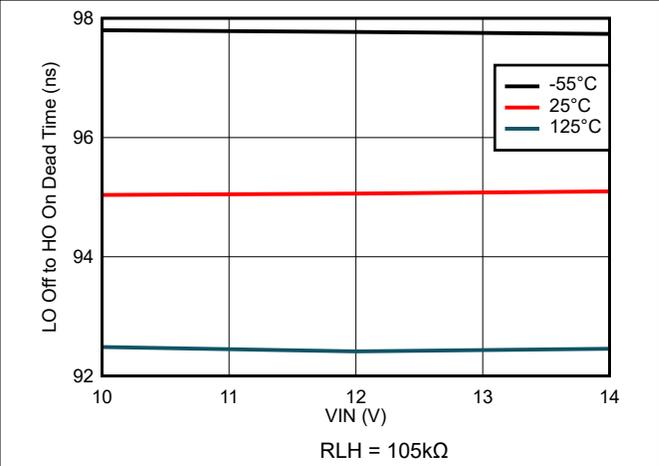


図 7-34. LO オフから HO オンのデッドタイムと VIN 電圧との関係

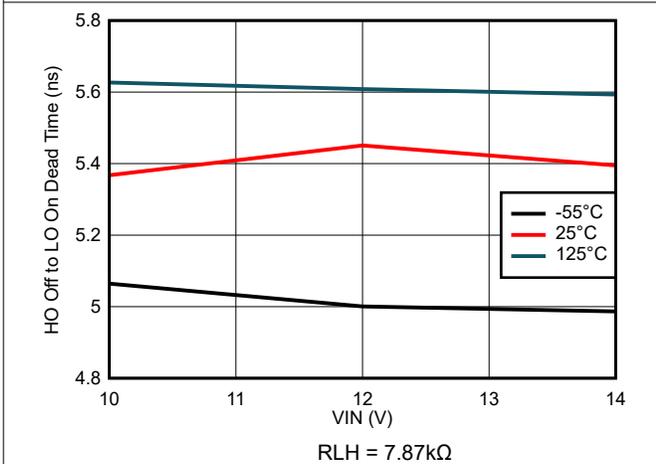


図 7-35. HO オフから LO オンのデッドタイムと VIN 電圧との関係

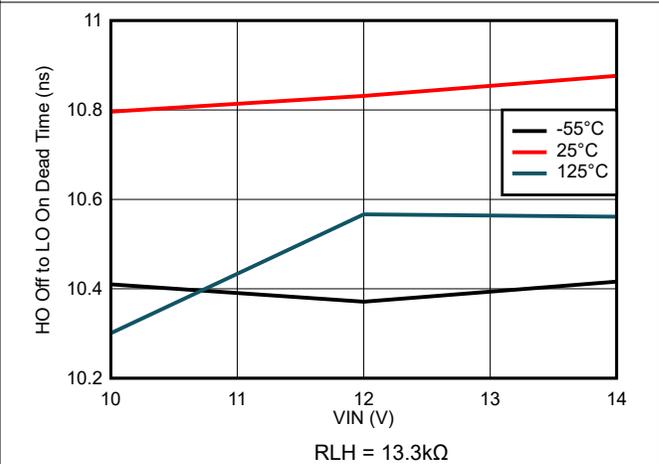


図 7-36. HO オフから LO オンのデッドタイムと VIN 電圧との関係

7.8 代表的特性 (続き)

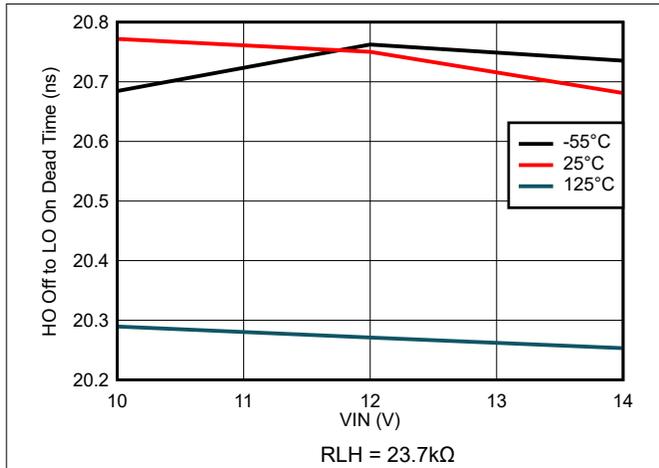


図 7-37. HO オフから LO オンのデッドタイムと VIN 電圧との関係

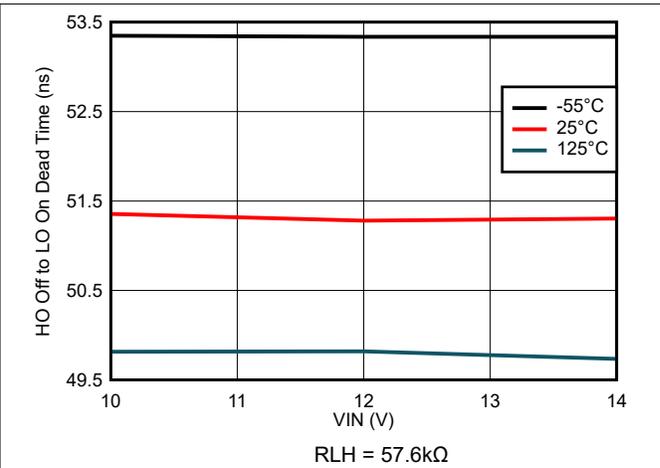


図 7-38. HO オフから LO オンのデッドタイムと VIN 電圧との関係

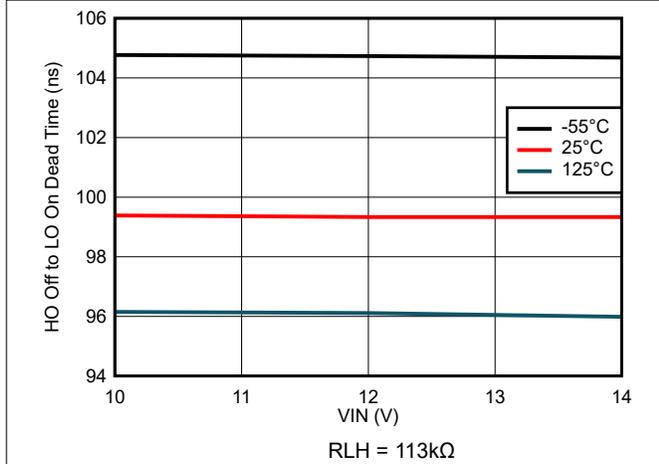


図 7-39. HO オフから LO オンのデッドタイムと VIN 電圧との関係

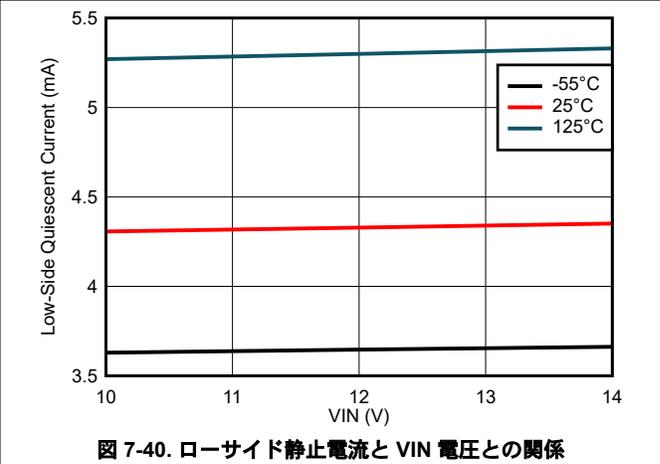


図 7-40. ローサイド静止電流と VIN 電圧との関係

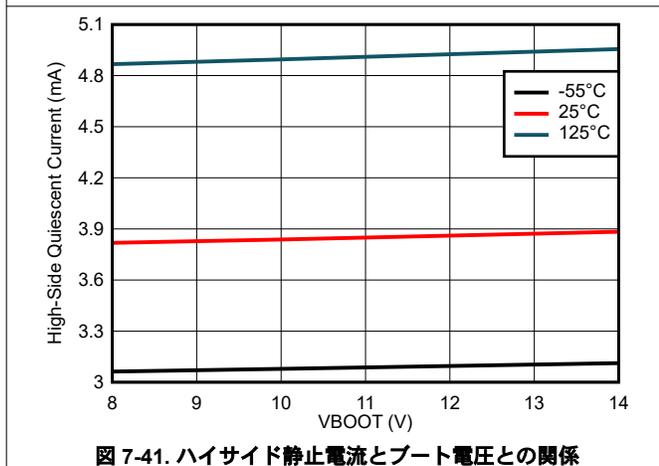


図 7-41. ハイサイド静止電流とブート電圧との関係

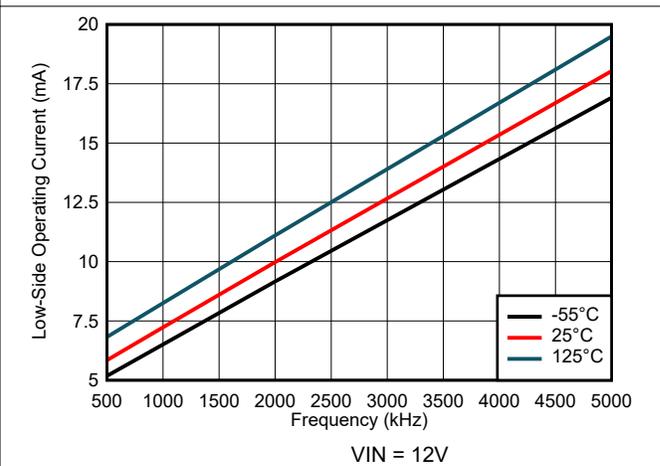
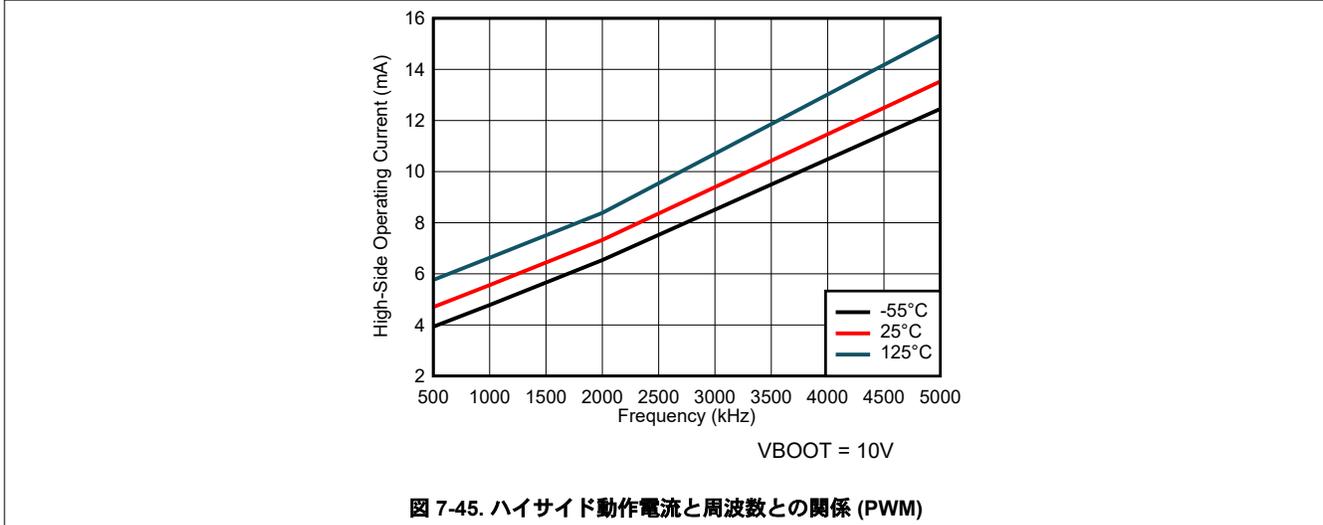
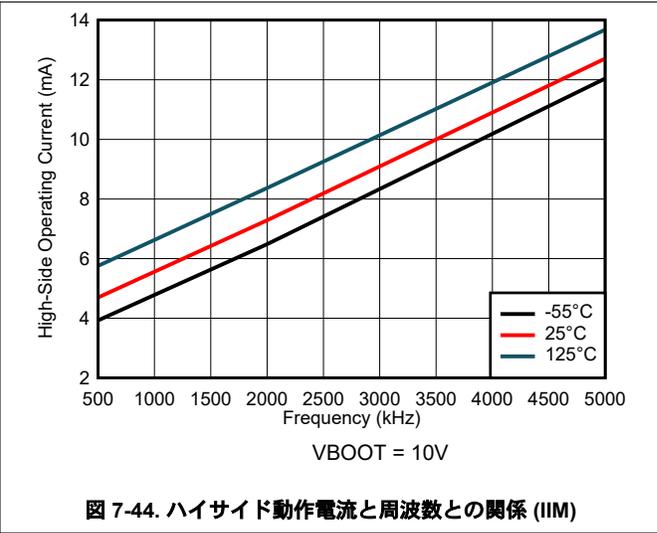
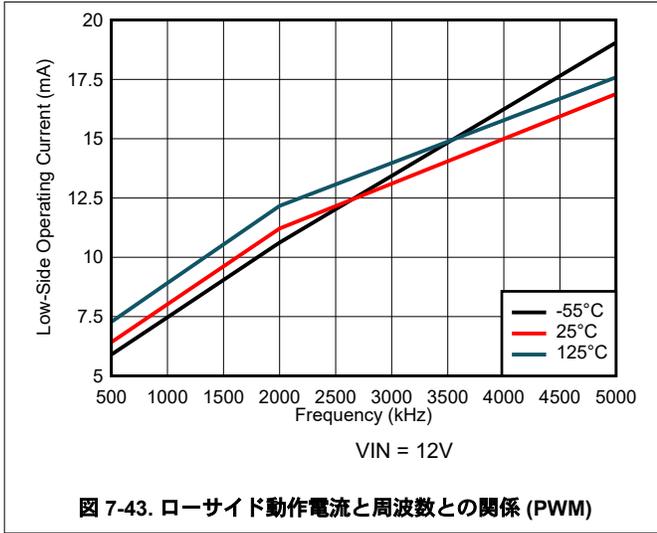


図 7-42. ローサイド動作電流と周波数との関係 (IIM)

7.8 代表的特性 (続き)



8 詳細説明

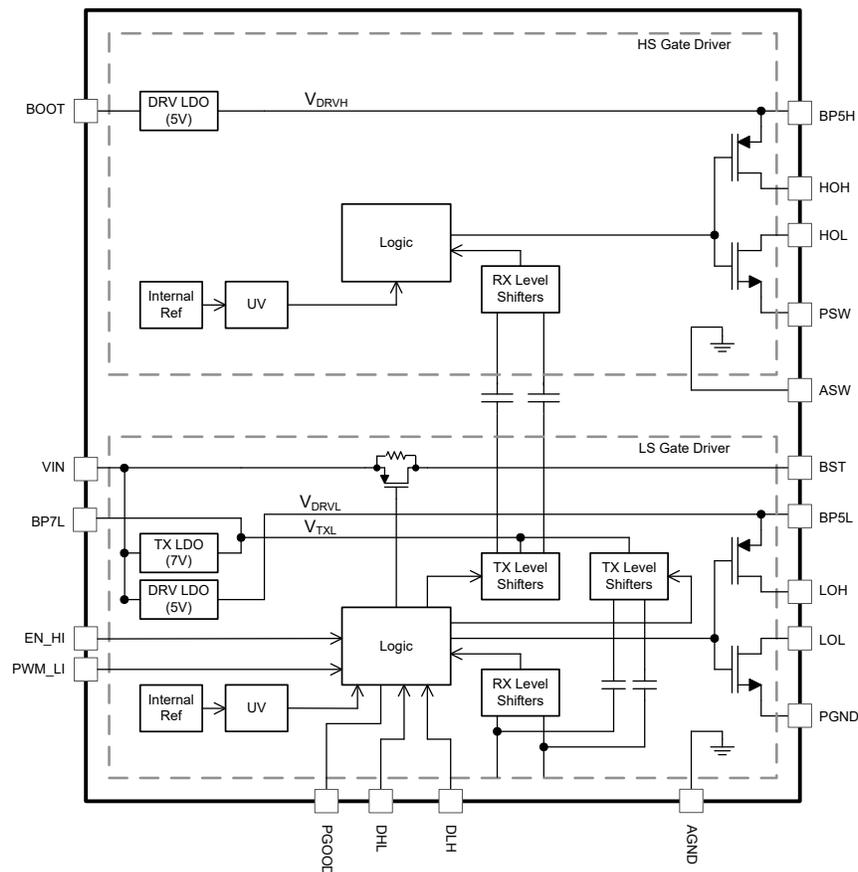
8.1 概要

TPS7H60x5 シリーズの放射線耐性保証 (RHA) ハーフブリッジゲートドライバは、エンハンスメントモード GaN FET と組み合わせて使用するよう設計されています。このシリーズは、TPS7H6005 (200V ドライバ)、TPS7H6015 (60V ドライバ) および TPS7H6025 (22V ドライバ) で構成されています。シリーズの各ドライバは 56 ピン HTSSOP パッケージで供給され、QMLP および SEP デバイスグレードで供給されます。これらのドライバは、高周波で高効率の GaN ベースのパワーコンバータ設計で使用できます。各ドライバは、伝搬遅延 30ns (標準値) と、ハイサイドからローサイドへの遅延マッチングを 5.5ns (標準値) とするよう設計されています。

ドライバには、ハイサイドおよびローサイドのリニアレギュレータが内蔵されています。これにより、駆動する GaN デバイスの損傷を防止するために、ゲート電圧が 5V に維持されます。ハイサイドドライバとローサイドドライバの分割出力により、GaN FET のオン時間とオフ時間を独立して調整できます。ゲートドライバには外部ブートストラップダイオードが必要なため、ユーザーはアプリケーションに基づいてダイオードを最適化できます。本ドライバは、ブートストラップダイオードと直列に接続された内部スイッチを備えています。このスイッチを使用すると、ブートストラップ・コンデンサの過充電を防止し、ダイオードの逆方向回復損失を低減できます。

ゲートドライバには 2 つの動作モードがあります。PWM モードと独立入力モード (IIM)。このデュアルモード動作により、各ゲートドライバをさまざまな PWM コントローラと組み合わせて使用し、同期整流器制御と GaN FET の互換性の両方を実現できます。また、IIM で入力インターロック保護をイネーブルにするオプションも利用でき、同期整流降圧とハーフブリッジのトポロジでのアンチシュートスルー保護を可能にします。必要に応じて IIM でもこの保護をディセーブルできます。そのため、2 スwitch フォワードコンバータとデュアルシングルエンドアプリケーションでドライバを使用できます。

8.2 機能ブロック図



8.3 機能説明

8.3.1 入力電圧

定常状態動作中は、TPS7H60x5 の入力電圧は 10V ~ 14V の間にする必要があります。この電圧は、2 つのローサイドリニアレギュレータ (BP5L、BP7L) への入力として機能します。外部ハイサイドブートストラップコンデンサも VIN から充電されます ([ブートストラップ充電](#)を参照)。最高の性能を得るには、VIN と AGND の間にバイパスコンデンサを追加します。このバイパスコンデンサはゲートドライバにできるだけ近付けて配置します。このバイパスコンデンサは通常、ブートストラップコンデンサに対して選択した値の少なくとも 10 倍です。

8.3.2 リニアレギュレータ動作

TPS7H60x5 には、以下の 3 つの内部リニアレギュレータが内蔵されています。BP5L、BP7L、BP5H。BP5L と BP7L は、ドライバのローサイドに搭載されています。これらのリニアレギュレータは、それぞれ公称出力電圧として 5V と 7V を供給します。BP5L を使用してローサイドロジック回路とローサイドゲートドライブ電圧に電力を供給します。BP5L レギュレータは $5V + 3.5\% / -5\%$ の精度であり、GaN FET を駆動するために適切な電圧を供給できます。BP5L ピンと PGND の間には、最小限の $1\mu\text{F}$ コンデンサが必要です。BP7L は、ドライバ内のローサイドトランスミッタに電力を供給します。BP7L ピンと AGND の間にも最小 $1\mu\text{F}$ コンデンサが必要です。

ハイサイドでは、BOOT の電圧は、ハイサイドリニアレギュレータ BP5H への入力として機能します。ローサイドの BP5L と同様にこのレギュレータを使用してハイサイドロジック回路に電力を供給しながら、 $5V + 3.5\% / -5\%$ のハイサイドゲート電圧を外部 FET に供給します。BP5H と PSW の間には、最小限の $1\mu\text{F}$ コンデンサが必要です。すべての内部リニアレギュレータに対して、この資料で記載されている以外の外部負荷をかけないことをお勧めします。

8.3.3 ブートストラップ動作

ハーフブリッジ構成で使用するとき、ハイサイドゲートドライブ回路用の電力を生成するため、ゲートドライバはブートストラップ回路を使う必要があります。ゲートドライバを適切に動作させるには、TPS7H60x5 のブートストラップ部品を選択することが重要です。また、ブートストラップコンデンサ充電にはさまざまな方法があり、このデバイスに活用できます。

8.3.3.1 ブートストラップ充電

TPS7H60x5 には、ブートストラップコンデンサを充電するための複数の方法があります。この柔軟性は、広範な PWM コントローラで動作可能であり、特定のアプリケーションに最適なトレードオフを選択できます。どちらの場合も、初期起動時のブートストラップ電流を制限するためのブートストラップ抵抗を推奨します。ブートストラップ抵抗およびコンデンサは、特定のアプリケーションでコンデンサの再充電に十分な時間が許容されるように選択する必要があります。

1 つ目の方法は、ドライバの内部ブートストラップスイッチを使ってブートストラップコンデンサを充電できるようにすることです。このスイッチは VIN ピンと BST ピンの間に内部で接続され、ブートストラップダイオードは BST (アノード) と BOOT (カソード) の間に外部で接続されます。ブートストラップスイッチは、ローサイドドライバ出力がオンするときのみオンになります。コンバータのデッドタイム中にブートストラップ充電を無効にすることで、ブートストラップコンデンサの両端の最大電圧を低減できます。内部ブートストラップスイッチは $1\text{k}\Omega$ の並列抵抗を備えており、ローサイド FET がオンになる前のスタートアップ時にブートストラップコンデンサを低速で充電できます。

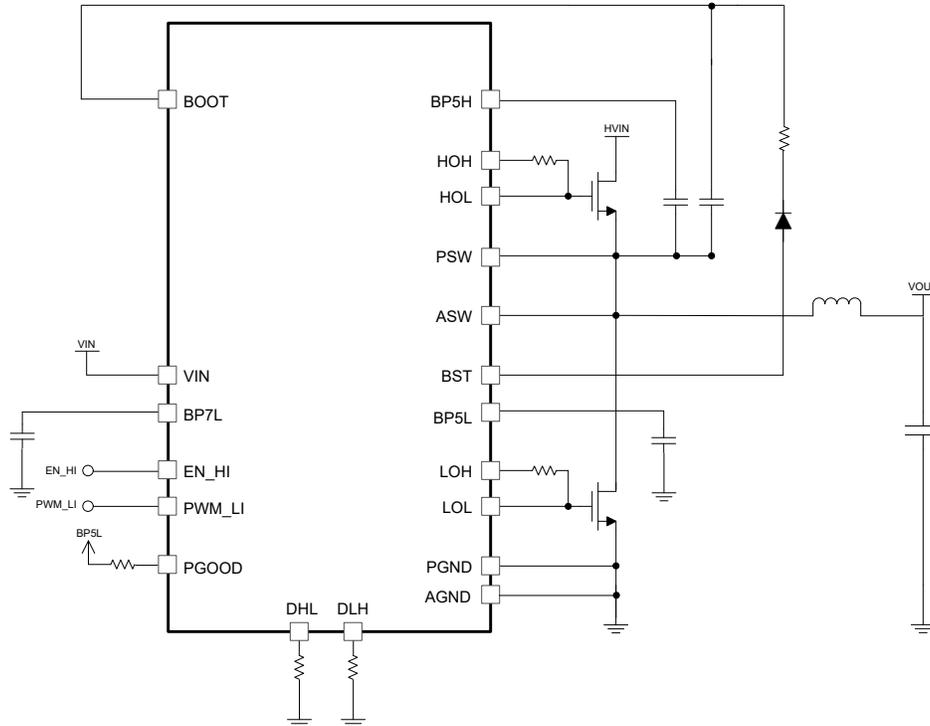


図 8-1. 内部スイッチのブートストラップ充電構成

もう 1 つの方法は、ブートストラップコンデンサを VIN から直接充電することです。これは、ハーフブリッジドライバを使用するより従来型の方式です。このオプションは、さまざまな使用事例で考慮できますが、ローサイド FET のターンオンがすぐにはない場合には特に役立ちます。このように、TPS7H60x5 を、同期整流出力を内蔵した TPS7H500x-SP ファミリの 3 つのコントローラの 1 つと組み合わせて使用する場合、このようになります。同期整流出力はソフトスタート中はディセーブルになるため、同期整流降圧トポロジを実装するときは、ドライバの内部ブートストラップスイッチを通してブートストラップコンデンサを充電することはできません。ブートストラップスイッチには、低速充電用の並列抵抗がありますが、コンバータのシーケンシングやスタートアップの要件が、充電をより迅速に行う必要があるという事実が大きく影響する場合があります。VIN 直接充電を使用する場合、ブートストラップコンデンサの過充電を防止するためのオプションは、ブートストラップコンデンサと直列に抵抗を追加する、ブートストラップコンデンサと並列にツェナーダイオードを追加する、またはその両方を組み合わせることです。通常動作中にリーク電流が関連しているため、ツェナーダイオードを使用する場合は考慮する必要があります。これは、コンバータ全体の損失に寄与します。

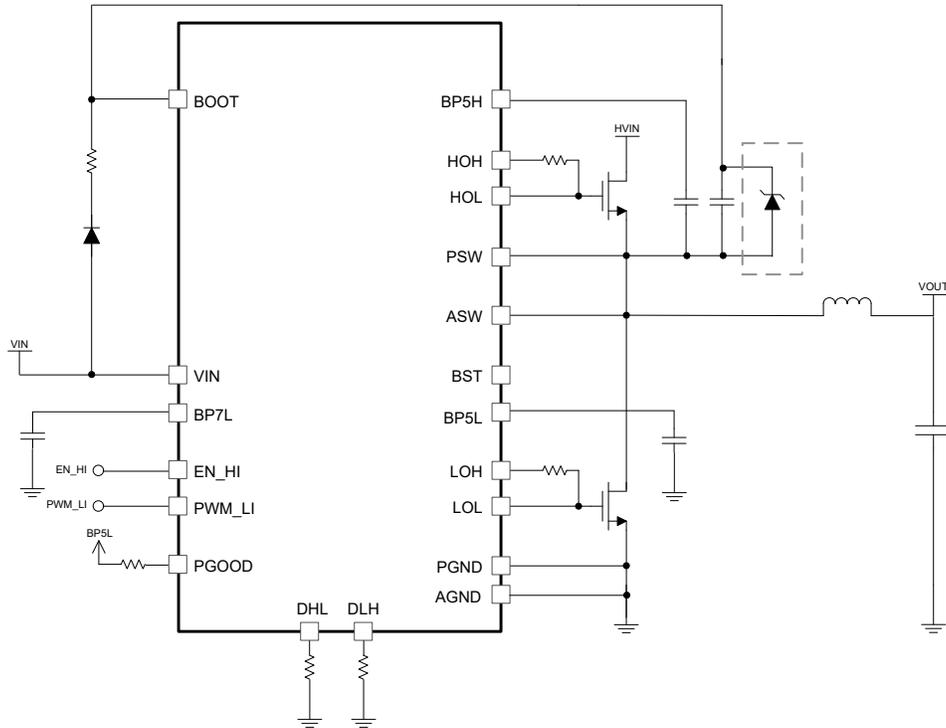


図 8-2. VIN の直接ブートストラップ充電構成

最後に、デュアル充電オプションを考慮することができます。これは、ブートストラップスイッチと VIN 直接充電方式を組み合わせたものです。この方法によって、ローサイド FET がオンにならないことによって起動時にブートストラップ充電の問題が発生する可能性を回避でき、同時に、内部スイッチが生成する通常動作時にブートストラップ電圧を低減できるという利点があります。直接の VIN 充電パスでブートストラップダイオードとともに使用する直列抵抗は、通常動作時にブートストラップスイッチを経由して充電が行われるように、内部ブートストラップスイッチの抵抗より大きくする必要があります。この大きな抵抗値によって、通常動作時にツェナー電流も効果的に減少します。この構成では、追加の部品数がトレードオフとなります。

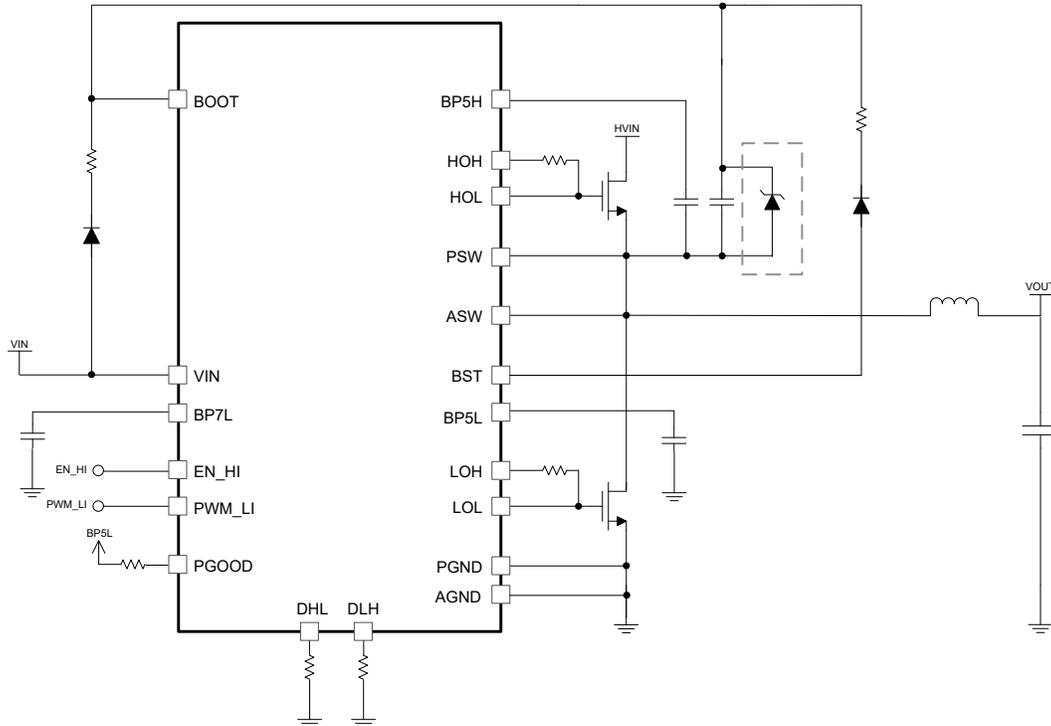


図 8-3. デュアルブートストラップ充電構成

8.3.3.2 ブートストラップ コンデンサ

ドライブに必要な外付けブートストラップコンデンサは、BOOT と ASW の間に接続します。ブートストラップコンデンサ電圧は、ハイサイド GaN FET のゲート駆動電圧を供給するハイサイドリニアレギュレータ BP5H への入力として機能します。ブートストラップコンデンサの選択に関する一般的なガイドラインは、その値は、駆動されるハイサイド GaN FET のゲート容量の 10 倍以上にする必要があります。

$$C_{BOOT} \geq 10 \times C_g \quad (1)$$

ここで

- C_g はハイサイド GaN FET のゲート容量です

必要な最小ブートストラップ容量のより詳細な計算は、式 2 を用いて求められます。

$$C_{BOOT} \geq \frac{Q_{total}}{\Delta V_{BOOT}} \quad (2)$$

$$Q_{total} = Q_g + I_{QBG} \times \frac{D_{MAX}}{f_{SW}} + \frac{I_{QHS}}{f_{SW}} \quad (3)$$

ここで

- Q_g はハイサイド GaN FET の総ゲート電荷量です
- I_{QBG} は BOOT から AGND への静止電流です
- D_{MAX} は最大デューティサイクルです。
- I_{QHS} はハイサイドのピークプルアップ電流です
- f_{SW} はスイッチング周波数

また、 ΔV_{BOOT} は適切な動作における BOOT の許容される最大降下です。

$$\Delta V_{BOOT} = V_{IN} - (n \times V_F) - V_{BOOT_UVLO} \quad (4)$$

ここで

- V_{IN} はゲートドライバの入力電圧です
- n は直列に配置された外付けブートストラップダイオードの数です
- V_{BOOTD} はブートストラップダイオードの順方向電圧降下です
- V_{BOOT_UVLO} は、BOOT の立ち下がり低電圧誤動作防止スレッシュホールド (標準値 6.65V) です

十分サイズのコンデンサを使用すると、TPS7H60x5 デバイスを使用して低周波数のモータードライバアプリケーションをサポートできます。低 ESR および ESL のブートストラップコンデンサを選択することを推奨します。ブートストラップコンデンサの電圧定格には、想定される最大ブートストラップ電圧を上回る十分なマージンが必要です。

8.3.3.3 ブートストラップダイオード

ブートストラップコンデンサを充電する方法にかかわらず、TPS7H60x5 では、ハーフブリッジ構成でコンバータ電力段に印加される入力電圧に耐える定格の外付けブートストラップダイオードが必要です。外部ブートストラップダイオードを選択する際は、注意が必要です。ブートストラップダイオードは、スタートアップ期間中に発生するピーク過渡電流を処理できる必要があります。ブートストラップ回路には、高速回復ダイオードを使用する必要があります。ユーザーは、選択したダイオードの I-V 特性を調べ、意図した動作条件での順方向電圧が、BP5H レギュレータの低電圧ロックアウトがトリガされすぎないことを確認する必要があります。全体として、ユーザーは式 5 の条件を満たす必要があります。

$$V_{IN} - (n \times V_F) \geq V_{BOOT_UVLO} \quad (5)$$

ここで

- V_{IN} はゲートドライバの入力電圧です
- n は、直列に配置された外付けブートストラップダイオードの数です
- V_F はブートストラップダイオードの順方向電圧降下
- V_{BOOT_UVLO} は、BOOT の立ち下がり低電圧誤動作防止スレッシュホールド (標準値 6.65V) です

8.3.3.4 ブートストラップ抵抗

ブートストラップ抵抗を使用して、(1) ゲートドライバの起動時のピーク電流を制限し、(2) ブート時のスルーレート (dv/dt) を制御します。ブートストラップダイオードを流れるピーク電流、および利用する場合は BST スイッチを流れるピーク電流は、初期充電期間中に過度に大きくなる可能性があります。さらに、ブート時の過剰なスルーレートにより、スタートアップ時に BP5H 電圧のわずかなオーバーシュートが発生する可能性があります。これらの問題を軽減するために、 2Ω 以上のブートストラップ抵抗を推奨します。

ブートストラップ抵抗によってピーク電流とスルーレートの問題が軽減されますが、この抵抗とブートストラップコンデンサの組み合わせによって時定数 τ が発生します。

$$\tau = \frac{R_{BOOT} \times C_{BOOT}}{D} \quad (6)$$

ここで

- R_{BOOT} は、オーム単位のブートストラップ抵抗の値です
- C_{BOOT} は、ファラッド単位のブートストラップコンデンサの値です
- D はスイッチングコンバータのデューティサイクルです。

ブートストラップコンデンサの充電とリフレッシュに必要な時間を時定数と照らし合わせてチェックする必要があります。最後に、初期充電期間中に大きな電力消費が発生する可能性があります。この充電期間中のエネルギーを処理できる抵抗を選定します。

$$E = \frac{1}{2} \times C_{BOOT} \times V_{BOOT}^2 \quad (7)$$

ここで

- C_{BOOT} は、ファラッド単位のブートストラップコンデンサの値です
- V_{BOOT} は、ブートストラップコンデンサの最終電圧です

8.3.4 ハイサイドドライバスタートアップ

ハイサイドで正常に起動するには、BOOT から SW への電圧を、BOOT UVLO 立ち上がりスレッショルド値 6.4V (標準値) よりも大きい必要があります。出力にプリバイアス電圧が印加されるハーフブリッジコンバータ構成の場合、出力電圧が十分に放電されるまで、VIN からブートストラップコンデンサを十分に充電できない場合があります。これは、VIN のブラウンアウト時に、入力電圧が VIN UVLO 立ち下がりスレッショルドを一時的に下回るまで、同じ動作が見られます。回復時にローサイドドライバは通常動作の開始を試みますが、コンバータの出力電圧により、ハイサイドドライバのターンオンは遅延します。これは、ハーフブリッジゲートドライバに固有の問題です。コンバータの出力部分の放電回路は、出力を強制的に LOW 電圧にすることで問題を低減するのに役立ちます。後者の場合のみ、ゲート駆動のスタートアップが試行されません。

8.3.5 未入出力

TPS7H60x5 の入力ピンは、PWM_LI と EN_HI です。これらの各ピンの内部プルダウン抵抗は、約 200kΩ (標準値) です。これらのピンの機能は [デバイスの機能モード](#) に記載されているように、ゲートドライバの選択した動作モードによって異なります。PWM モードでは、PWM_LI はドライバへの単一の PWM 制御信号の入力ピン、EN_HI はドライバのイネーブルピンです。独立入力モードでは、PWM_LI はローサイド入力として機能し、EN_HI はハイサイド入力として機能します。入力は最大 14V の電圧に耐えることができ、14V 以下の電源電圧を使用して、アナログ PWM コントローラの出力に直接接続することができます。独立入力モードで動作しており、2 つの入力チャネル PWM_LI と EN_HI のいずれかを使用しない場合は、入力を AGND に接続することを推奨します。入力がエッジトリガである場合、予想される動作には、2V/μs よりもスルーレートが速い入力信号を使用することを推奨します。

TPS7H60x5 には、ハイサイドとローサイドの両方に分割出力があります。ハイサイドは、それぞれソース出力とシンク出力である HOH と HOL の出力で構成されています。同様に、ローサイドにはソース出力 LOH とシンク出力 LOL があります。これらの分割出力は、駆動対象の GaN デバイスのターンオンまたはターンオフパスに追加のインピーダンスを配置することで、オン/オフ速度を独立して調整できます。これらの出力は、1.3A のソース電流と、2.5A のシンク電流 (標準値) を供給できます。

8.3.6 デッドタイム

PWM モードで動作している場合、デッドタイムを設定するために DLH と DHL の両方に AGND への抵抗が必要です。DHL 抵抗は、ハイサイド出力 (HO) オフからローサイド (LO) 出力オンまでのデッドタイムを設定します。同様に、DLH の抵抗により、2 次側 (LO) ターンオフから 1 次側 (HO) ターンオンまでのデッドタイムが設定されます。この抵抗を使用すると、最小値が約 5ns から 100ns までの範囲でデッドタイムを設定できます。このモードでデバイスを動作させるには、この抵抗を両方のピンに実装する必要があります。

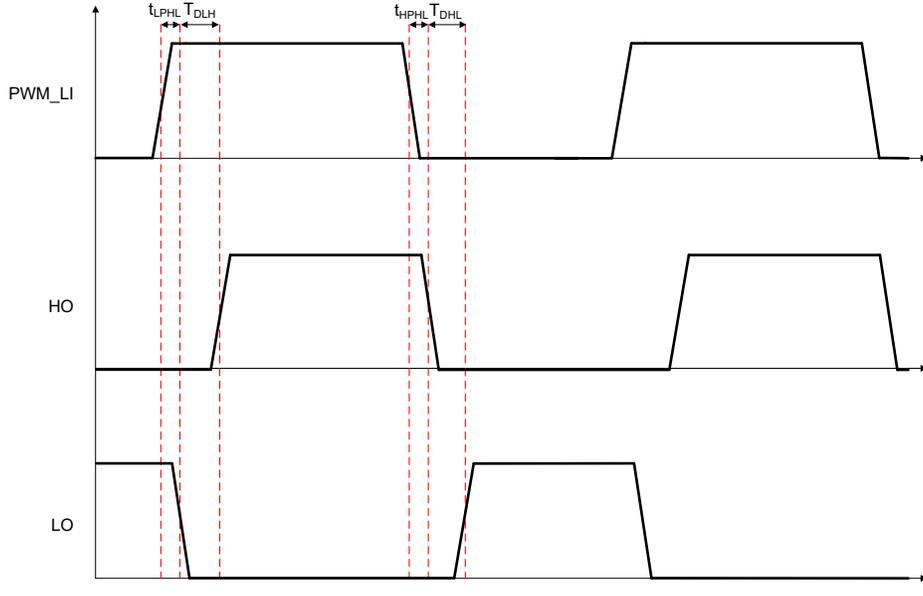


図 8-4. PWM モードのタイミング波形、デッドタイムを示す

目標デッドタイムを設定するために必要な抵抗は、で計算されます

$$RHL = 1.077 \times T_{DHL} + 1.812 \quad (8)$$

ここで

- T_{DHL} は目的の「HO OFF から LO ON まで」デッドタイム (ns) です
- RHL は k Ω 単位です

$$RLH = 1.064 \times T_{DLH} - 0.630 \quad (9)$$

ここで

- T_{DLH} は目的の「LO OFF から HO ON まで」デッドタイム (ns) です
- RLH は k Ω 単位です

この期間中の損失を最小限に抑えながら、ハイサイドスイッチとローサイドスイッチの間のクロス導通を防止するため、デッドタイムを注意深く選択してください。RHL と RLH に選択した抵抗は、公差が 1% 以下とすることを推奨します。

8.3.7 入力インターロック保護

TPS7H60x5 は、独立入力モード (IIM) で入力インターロック保護を行うように構成できます。IIM の入力インターロック保護をアクティブにするには、DHL を 5V に接続し、DLH にはピンと AGND との間に抵抗 (100k Ω と 220k Ω の間で値) を接続する必要があります。この保護機能は、ハーフブリッジ構成で GaN FET の貫通電流を防止することでドライバが使用される電力段の堅牢性と信頼性を高めることを目的としています。保護がイネーブルで両方の入力ロジック High の場合は、内部ロジックによって両方の出力がオフになります。どちらかの入力 Low になるまで両方の出力はオフのままです。この場合、出力は入力ロジックに従います。ドライバの伝搬遅延とデッドタイムに影響を与えないように、この機能は固定時間グリッチ除去機能はありません。ドライバの入力にある小さなフィルタを利用することで、ノイズが発生しやすいアプリケーションでの堅牢性を向上させることができます。

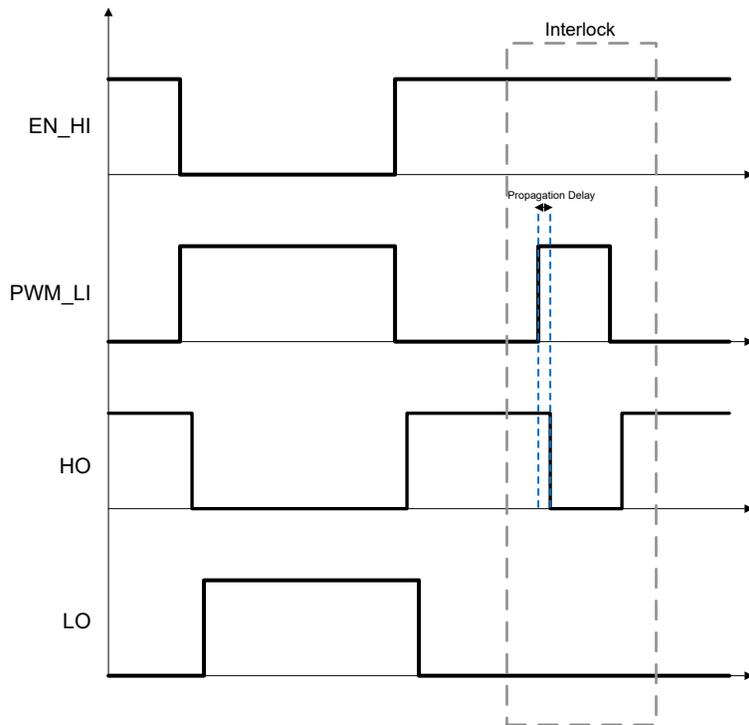


図 8-5. 独立入力モードでの入力インターロック保護

8.3.8 低電圧誤動作防止とパワー グッド (PGOOD)

TPS7H60x5 は、BP5L、BP7L、BP5H、BOOT、VIN の低電圧誤動作防止 (UVLO) 機能を備えています。いずれかのローサイドリニアレギュレータまたは VIN の出力電圧が UVLO スレッショルド (BP5L リニアレギュレータでは 4.05V、BP7L リニアレギュレータでは 6.2V、VIN では 8.1V) を下回ると、GaN FET が部分的にターンオンするのを防ぐため、PWM 入力は無視されます。このシナリオでは、UVLO は LO と HO をアクティブに Low にプルします。ローサイドレギュレータと VIN がそれぞれの UVLO スレッショルドを上回っていて、1 つのハイサイド UVLO がトリガされる (BP5H で 4.05V、BOOT で 6.65V) と、HO のみが Low になります。

また、ゲートドライバにはパワーグッド (PGOOD) ピンもあり、ローサイドリニアレギュレータのいずれかが低電圧誤動作防止に移行したことを示します。すべてのローサイドレギュレータおよび VIN がそれぞれの立ち上がり UVLO スレッショルドを超えると、このピンはロジック HIGH 状態に移行します。これらのリニアレギュレータのいずれかまたは VIN が対応する立ち下がり UVLO スレッショルドを下回った場合、このピンはロジック Low になります。ピンがロジック High 状態のとき、PGOOD ピンの内部プルダウン抵抗は 1MΩ です。PGOOD と BP5L の間に接続された 10kΩ のプルアップを推奨します。

8.3.9 負の SW 電圧過渡

エンハンスメントモード GaN FET は、シリコン FET のようなボディアダイオードを内蔵していませんが、デバイスの対称型構造により逆導通が可能です。逆導通期間中は、GaN FET のソース-ドレイン間電圧は通常、従来のシリコン FET で発生している値より高くなります。使用している GaN デバイスの種類によっては大きく異なります。そのため、ドライバのスイッチノードピン (ASW および PSW、総称して SW と呼ばれる) には負の電圧が印加されています。BOOT は常に SW を基準としているため、この負の過渡電圧はブートストラップ電圧が過剰になる可能性があります。さらに、プリント基板のレイアウトとデバイスの寄生インダクタンスが、負の電圧過渡をさらに悪化させる可能性もあります。16V の絶対最大定格を超えるブートストラップ電圧で動作する場合、ゲートドライバに悪影響を及ぼす可能性があるため、BOOT-SW 間の電圧差の最大値を超えないように注意する必要があります。一般に、BOOT は SW に瞬時に追従するため、BOOT から SW への電圧に大きなオーバーシュートは発生しません。ただし、BOOT と SW との間に外付けツェナーダイオードを使用して、動作中のブートストラップ電圧を許容値にクランプすることができます。

8.3.10 レベルシフタ

TX および RX レベルシフタは、高電圧スイッチ ノード (ASW) を基準とするローサイドの入力とハイサイドドライバ ステージ間のインターフェースとなります。レベルシフタにより、HO 出力を制御できます。ハイサイドとローサイドの両方の信号パスのレベルシフタは同一で、非常に優れた遅延マッチング (標準値 5.5ns) を実現します。

8.4 デバイスの機能モード

TPS7H60x5 の動作モードは、DHL ピンと DLH ピンの状態によって決まります。これらのピンの構成は、デバイス動作中に変更しないでください。次の 2 種類の動作モードがあります。PWM および独立入力モード。PWM モードでは、EN_HI ピンを使ってデバイスをイネーブルし、PWM_LI には単一の PWM 入力信号が必要で、TPS7H6005 は LO と HO に相補出力信号を生成します。このモードの主なアプリケーションは同期整流降圧コンバータなので、HO はメイン出力を生成し、LO は同期整流出力を生成します。ハイサイド出力とローサイド出力の間にデッドタイムを設定するために、抵抗を DHL から AGND に、または DLH から AGND に接続します。PWM モードで使用する許容可能な抵抗値 (未定) については、[デッドタイムセクション](#)を参照してください。

独立入力モード (IIM) では、PWM_LI と EN_HI に個別の PWM 入力信号が必要です。TPS7H60x5 の対応する出力は、これらの入力から直接駆動されます。インターロックがディセーブルの IIM では、DLH は BP5L に接続され、DHL は AGND に接続された抵抗です。インターロックがイネーブルの IIM で動作するには、DHL を BP5L に接続しながら、DLH と AGND の間に抵抗を接続します。IIM の両方の動作モードオプションについて、使用する抵抗を 100kΩ と 220kΩ の間で値にする必要があります。

表 8-1 に、各動作モードの構成を示します。これらはドライバにとって唯一の有効な動作モードであり、適切に動作させるため、DLH と DHL の接続は、これらの構成のいずれかに準拠する必要があることに注意します。

表 8-1. TPS7H60x5 動作モード選択

動作モード	DLH	DHL
PWM	抵抗を AGND に	抵抗を AGND に
独立入力モード入力インターロックはディセーブル	BP5L	抵抗を AGND へ (100kΩ から 220kΩ へ)
独立入力モード入力インターロックはイネーブル	抵抗を AGND へ (100kΩ から 220kΩ へ)	BP5L

表 8-2 は TPS7H60x5 の各機能モードの真理値表を示します。

表 8-2. TPS7H60x5 の真理値表

入力		PWM モード		IIM - インターロックが無効です		IIM - インターロックが有効です	
EN_HI	PWM_LI	HO	LO	HO	LO	HO	LO
0	0	0	0	0	0	0	0
0	1	0	0	0	1	0	1
1	0	0	1	1	0	1	0
1	1	1	0	1	1	0	0

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

TPS7H60x5 シリーズは、宇宙環境で GaN FET を最適に制御するよう設計されたハーフブリッジゲートドライバで構成されています。各製品は、宇宙グレードの高周波高効率コンバータ設計を可能にすると同時に、放射線に起因する影響に対する非常に優れた堅牢性を提供します。これらのドライバは、ローサイドとハイサイドの両方のゲート電圧を制御する 5V リニアレギュレータを内蔵しているため、駆動対象になる GaN FET の信頼性が向上します。ドライバの主な使用事例は、同期整流降圧トポロジやフルブリッジトポロジなどのハーフブリッジ構成です。ただし、このドライバは、プッシュプル、アクティブクランプフォワード、2 スイッチフォワードなど、他の一般的なコンバータトポロジで (外部回路の追加を使用して) 簡単に利用できます。

TPS7H60x5 には、従来の耐放射線特性 PWM コントローラと、GaN セントリックコンバータ設計の一部として TPS7H5001-SP や TPS7H5005-SEP などの新しいデバイスの両方を使用して動作できる機能がいくつかあります。ドライバの入力ピンは最大 14V の信号を受け付け、高い出力電圧を持つ従来の PWM コントローラと直接接続できます。また、このデバイスには 2 つの異なる動作モードもあります。PWM モードと独立入力モード (IIM)。PWM モードでは、ゲートドライバが単一の入力のみで動作しながら、同期整流降圧コンバータの制御に必要な 1 次および同期整流出力を生成します。生成される信号の間のデッドタイムは、ゲートドライバを使ってプログラミングできます。IIM により、ローサイドとハイサイドを制御する独立した信号が可能で、また、必要に応じて、デュアルローサイド構成でデバイスを動作させることもできます。IIM では、特定のユーザーのニーズに応じてインターロック保護をオンまたはオフにできます。

さらに、内部レギュレータと、VIN およびブート電圧の両方に対して、低電圧誤動作防止保護が搭載されています。オプションのブートストラップスイッチがドライバに内蔵されているため、VIN 経由でブートストラップダイオードを充電でき、ローサイド出力がオンになっているときのみオンに維持されます。機能と放射線性能の組み合わせにより、TPS7H60x5 は宇宙グレードのコンバータ設計での使用に理想的です。

9.2 代表的なアプリケーション

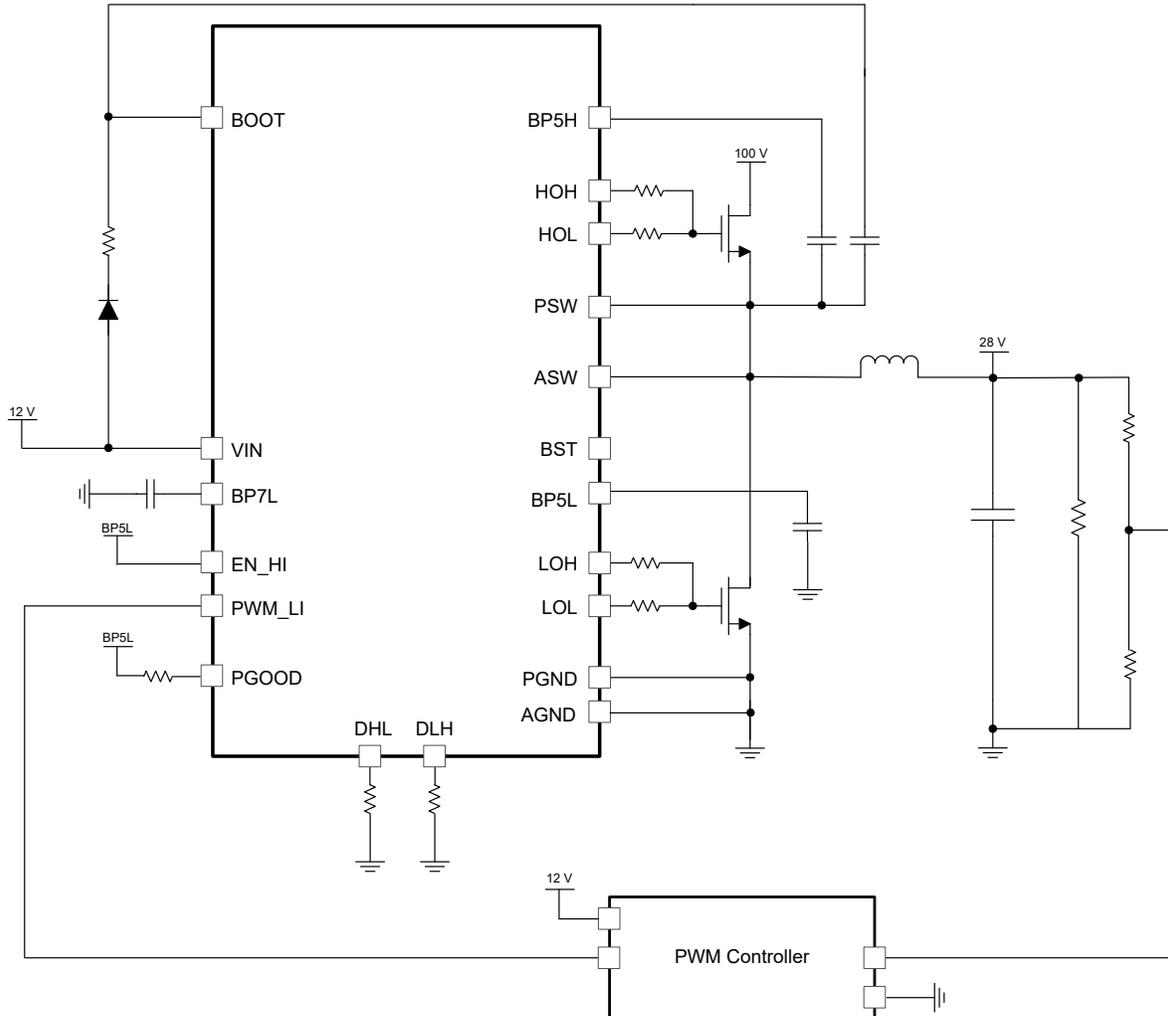


図 9-1. 同期整流降圧コンバータで TPS7H6005 を活用した代表的なアプリケーション

9.2.1 設計要件

ここに示す例は、高電圧の同期降圧コンバータで TPS7H6005 を使用方法を示しています。この設計例では、TPS7H6005 に関連する部品選定と構成を詳しく説明しています。この特定のアプリケーションでは、ゲートドライバは PWM モードで動作します。

表 9-1. 設計パラメータ

パラメータ	値
パワー段の入力電源電圧	100V
出力電圧	28V
出力電流	10A
スイッチング周波数	500kHz
ゲートドライバの入力電圧	12V
デューティサイクル	公称 28%、最大 35%
インダクタ	15 μ H
GaN FET	EPC2307 (評価のみ)

表 9-1. 設計パラメータ (続き)

パラメータ	値
動作モード	PWM

選択した GaN FET は、ドライバのラボ評価用であることに注意してください。設計の電氣的要件と放射線要件の両方を満たす GaN FET を選択することを推奨します。

9.2.2 詳細な設計手順

9.2.2.1 ブートストラップおよびバイパスコンデンサ

外部ブートストラップコンデンサは、通常動作中に、BOOT UVLO 立ち下がりスレッシュホールドよりも高い電圧で動作を維持する必要があります。ベストプラクティスとして、このスレッシュホールドに大きなマージンが得られるようにコンデンサのサイズを調整します。ブートストラップコンデンサの値を決定するための最初のステップは、 ΔV_{BOOT} を計算することです。これは、ブートストラップコンデンサの最大許容降下です。

$$\Delta V_{BOOT} \approx V_{IN} - (n \times V_F) - V_{BOOT_UVLO} = 12V - (1 \times 0.9V) - 6.65V = 4.35V \quad (10)$$

ここで

- n は、直列に使用されるブートストラップダイオードの数です
- V_F は、選択されたブートストラップダイオードの順電圧降下です
- V_{BOOT_UVLO} は、ブート UVLO 立ち下がりスレッシュホールド電圧です

大きなマージンを維持し、使用するブートストラップ抵抗の両端での追加の電圧降下と、負荷過渡に対する追加の電圧降下を考慮するために、コンデンサは ΔV_{BOOT} が 1.5V のときに計算されます。ブートストラップコンデンサを参照することで、 Q_{total} の値を最初に決定する必要があり、次に C_{BOOT} は次のようにセグメント的に計算する必要があります。

$$Q_{total} = Q_g + I_{QBG} \times \frac{D_{MAX}}{f_{SW}} + \frac{I_{QHS}}{f_{SW}} = 10.6nC + 20\mu A \times \frac{0.35}{500kHz} + \frac{4mA}{500kHz} = 18.6nC \quad (11)$$

$$C_{BOOT} \geq \frac{Q_{total}}{\Delta V_{BOOT}} = \frac{18.6nC}{1.5V} = 12.4nF \quad (12)$$

この設計には、最小値 12.4nF が必要です。ただし、温度や印加電圧に応じて静電容量が変化する可能性、およびブートストラップ充電時間に影響を与える負荷過渡などの予期しない回路動作を考慮して、100nF の X7R コンデンサを選択します。

選択する V_{IN} コンデンサは、ブートストラップコンデンサよりも大きくする必要があります。一般的な推奨事項は、このコンデンサはブートストラップコンデンサの値の少なくとも 10 倍にすることで、この場合は 1 μ F コンデンサが使用できます。評価の構成には、セラミック X7R タイプのコンデンサである、 V_{IN} に 2.2 μ F および 1 μ F コンデンサを使用しました。これらのコンデンサとブートストラップコンデンサは、それぞれのピンのできるだけ近くに配置することを推奨します。電圧定格が、最大印加電圧よりも十分大きい (可能であれば 2 倍以上) コンデンサを選択します。

最後に、[リニアレギュレータ動作](#)で説明されているように、BP5H、BP5L、BP7L 出力で使用する高品質の 1 μ F X7R セラミックコンデンサを選定します。これらのコンデンサは、対応するピンの近くに配置します。

9.2.2.2 ブートストラップダイオード

ブートストラップダイオードは、同期整流降圧アプリケーションでパワーコンバータの電力段入力電圧をブロックするのに十分な電圧定格を備えている必要があります。選択したダイオードの種類によって、パワー段入力電圧が高い場合、直列ダイオードが必要になります。ブートストラップダイオードで説明したように、ダイオードはゲートドライバのスタートアップ時のピーク電流を処理できる必要があります。順方向電圧降下が小さく、接合部容量が小さく、復帰時間が短いことを示します。特に高周波数の場合、ショットキーダイオードが必要になる場合があります。評価セットアップには、接合部容量が 110pF、150V、1A 定格のショットキーダイオードが選択されています。評価に使用するために選択したダイオードは、ラボでのテストのみ用であり、TI ではシステムの性能と放射線要件をすべて満たすダイオードの選定を推奨します。

9.2.2.3 BP5x オーバーシュートとアンダーシュート

TPS7H6005 にはハイサイドおよびローサイドリニアレギュレータ (それぞれ BP5H と BP5L) が内蔵されており、ゲート駆動電圧を優れた DC 精度で供給できますが、PCB レイアウトと GaN FET の両方による寄生インダクタンスと容量は、スイッチング中のゲート駆動波形の過渡リングングにつながる可能性があります。このリングングでは、レギュレートされた BP5x 電圧よりも電圧ピークが高くなり、選択した GaN FET の絶対最大 VGS 定格を超える可能性があります。ゲート電圧波形の発振の程度によっては、ターンオフ時に VGS の最小定格を超える可能性もあることに注意してください。発振の振幅を低減し、過剰なリングングを防止するため、ドライバは駆動対象の GaN FET の近くに配置し、ゲート抵抗を使用する必要があります。ゲート抵抗セクションでは、ゲート抵抗の選択の詳細を説明します。ゲートドライバのレイアウトを最適化する方法の推奨事項については、レイアウトのガイドラインを参照してください。

9.2.2.4 ゲート抵抗

TPS7H6005 には分割出力があり、ターンオンパスとターンオフパスの両方で、GaN FET のゲートと直列に抵抗を配置できます。これらのゲート抵抗は、寄生容量と寄生インダクタンスに起因するデバイスのゲートのリングングを減衰させるため役立ちます。ゲートドライバの電源ループで高電圧および電流のスイッチングに起因する、リングングとノイズも存在することがあります。絶対最大ゲート電圧の値が小さい GaN デバイスでは、この点は特に重要です。さらに、ゲート抵抗を使用して駆動能力を調整することもできます。これは、ドライバのピーク電流能力を制限することで実現されます。この設計では、ターンオンとターンオフの両方のゲートパスに 2 Ω の抵抗を使用します。これらの値から、ハイサイドピークプルアップ電流はに示すように計算できます。

$$I_{OHH} = \text{MIN}\left(1.3A, \frac{V_{BP5H}}{R_{HOH} + R_{GATE_ON} + R_{GFET(int)}}\right) \quad (13)$$

ここで

- V_{BP5H} はハイサイドリニアレギュレータの出力電圧です
- R_{HOH} は内部のハイサイドプルアップ抵抗 (High レベル出力電圧の仕様から 1.3 Ω で計算)
- R_{GATE_ON} はターンオン経路で使用されるゲート抵抗値です
- $R_{GFET(int)}$ は駆動される GaN FET の内部ゲート抵抗 (通常は GaN FET メーカーから入手可能)

仕様セクションに示すように、ドライバが供給できるピークソース電流は約 1.3A (標準値) であるため、 I_{OHH} はこの値によって制限されます。この場合:

$$I_{OHH} = \frac{V_{BP5H}}{R_{HOH} + R_{GATE_ON} + R_{GFET(int)}} = \frac{5V}{1.3\Omega + 2\Omega + 0.4\Omega} \approx 1.3A \quad (14)$$

同様に、ピークハイサイドシンク電流については次のようになります。

$$I_{OLH} = \text{MIN}\left(2.5A, \frac{V_{BP5H}}{R_{HOL} + R_{GATE_OFF} + R_{GFET(int)}}\right) \quad (15)$$

ここで

- R_{HOL} は内部のハイサイドプルダウン抵抗 (Low レベル出力電圧の仕様から 0.7 Ω 計算)
- R_{GATE_OFF} はターンオフパスに使用されるゲート抵抗値です

同様に、ピークシンク電流は以下の式で計算されます。

$$I_{OLH} = \frac{V_{BP5H}}{R_{HOL} + R_{GATE_OFF} + R_{GFET(int)}} = \frac{5V}{0.7\Omega + 2\Omega + 0.4\Omega} = 1.6A \quad (16)$$

ローサイドピークソースおよびシンク電流の式は記載されていますが、この例では、これらはハイサイドの値の計算値と同じであることを注意します。

$$I_{OHL} = \text{MIN}\left(1.3A, \frac{V_{BP5L}}{R_{LOH} + R_{GATE_ON} + R_{GFET(int)}}\right) = \frac{5V}{1.3\Omega + 2\Omega + 0.4\Omega} \approx 1.3A \quad (17)$$

$$I_{OLL} = \text{MIN}\left(2.5\text{A}, \frac{V_{BP5L}}{R_{LOL} + R_{GATE_OFF} + R_{GFET(int)}}\right) = \frac{5\text{V}}{0.7\Omega + 2\Omega + 0.4\Omega} = 1.6\text{A} \quad (18)$$

通常、外部ゲート抵抗の選択には調整が必要で、反復的なプロセスです。ベストプラクティスは、特定の PCB 設計のゲート抵抗の値を評価し、意図した影響を検証し、必要に応じて調整することです。

9.2.2.5 デッドタイム抵抗

PWM モードに構成した場合、ゲート駆動では次の 2 つの個別のデッドタイムをプログラミングできます。

- RLH を使用した LO オフと HO オンの間
- RHL を使用した HO オフと LO オンの間

選択したデッドタイム値は重要です。これらが、これらの期間中にコンバータで発生する損失に直接影響するからです。デッドタイムは、ハイサイド FET とローサイド FET の間のクロス導通を回避し、GaN FET の第 3 象限導通時間を最小化するように注意深く選択されます。この特定のアプリケーションでは、 T_{DLH} と T_{DHL} の両方に対して約 25ns のデッドタイムを目標としました。

$$RHL = 1.077 \times T_{DHL} + 1.812 = (1.077 \times 25\text{ns}) + 1.812 = 28.74\text{k}\Omega \quad (19)$$

$$RLH = 1.064 \times T_{DLH} - 0.630 = (1.064 \times 25\text{ns}) - 0.630 = 25.97\text{k}\Omega \quad (20)$$

RHL と RLH の両方に 30k Ω の抵抗値を採用しました。

9.2.2.6 ゲートドライバの損失

TPS7H6005 などのゲートドライブデバイスには、電力損失を形成するいくつかの異なる部品があります。静止電力損失 P_{QC} は、式 21 を使用して求めることができます。

$$P_{QC} = (V_{IN} \times I_{QLS}) + (V_{BOOT} \times I_{QHS}) = (12\text{V} \times 5\text{mA}) + (10\text{V} \times 4\text{mA}) = 100\text{mW} \quad (21)$$

ここで

- I_{QLS} はローサイド静止電流 (この設計では PWM モード用に選択)
- I_{QHS} は 1 次側静止電流 (この設計では PWM モード用に選択)
- V_{BOOT} は、ASW を基準とした BOOT の電圧です

リーク電力損失 P_{BG} は、式 22 を使用して求めることができます。

$$P_{BG} = V_{BG} \times I_{QBG} \times D_{MAX} = 110\text{V} \times 20\mu\text{A} \times 0.35 = 0.77\text{mW} \quad (22)$$

ここで

- V_{BG} は BOOT と AGND の間の電圧です
- I_{QBG} は、BOOT から AGND へのリーク電流です

GaN FET ゲート電荷の充放電に起因して、ドライバ内で損失が発生することがあります。これらを決定するには、最初に P_{GATE} を次のように計算します。

$$P_{GATE} = V_{BP5x} \times Q_G \times f_{SW} = 5\text{V} \times 10.6\text{nC} \times 500\text{kHz} = 26.5\text{mW} \quad (23)$$

この損失は実際には、ドライバ、ゲート抵抗、GaN FET が含まれるゲートドライバループ内の抵抗の間で分配されます。TPS7H6005 内でのターンオンとターンオフの両方について消費される電力は、次のように計算できます。

$$P_{DRV_ON_HS} = \frac{1}{2} \times \frac{R_{HOH} \times P_{GATE}}{R_{HOH} + R_{GATE} + R_{GFET(int)}} \quad (24)$$

$$P_{DRV_OFF_HS} = \frac{1}{2} \times \frac{R_{HOL} \times P_{GATE}}{R_{HOL} + R_{GATE} + R_{GFET(int)}} \quad (25)$$

$$P_{\text{DRV_ON_LS}} = \frac{1}{2} \times \frac{R_{\text{LOH}} \times P_{\text{GATE}}}{R_{\text{LOH}} + R_{\text{GATE}} + R_{\text{GFET(int)}}} \quad (26)$$

$$P_{\text{DRV_OFF_LS}} = \frac{1}{2} \times \frac{R_{\text{LOL}} \times P_{\text{GATE}}}{R_{\text{LOL}} + R_{\text{GATE}} + R_{\text{GFET(int)}}} \quad (27)$$

この例では、ハイサイド損失とローサイド損失は同じです。

$$P_{\text{DRV_ON_HS}} = P_{\text{DRV_ON_LS}} = \frac{1}{2} \times \frac{R_{\text{xOH}} \times P_{\text{GATE}}}{R_{\text{xOH}} + R_{\text{GATE}} + R_{\text{GFET(int)}}} = \frac{1}{2} \times \frac{1.3\Omega \times 26.5\text{mW}}{1.3\Omega + 2\Omega + 0.4\Omega} = 4.7\text{mW} \quad (28)$$

$$P_{\text{DRV_OFF_HS}} = P_{\text{DRV_OFF_LS}} = \frac{1}{2} \times \frac{R_{\text{xOL}} \times P_{\text{GATE}}}{R_{\text{xOL}} + R_{\text{GATE}} + R_{\text{GFET(int)}}} = \frac{1}{2} \times \frac{0.7\Omega \times 26.5\text{mW}}{0.7\Omega + 2\Omega + 0.4\Omega} = 3\text{mW} \quad (29)$$

最後に、ドライバ内の P_{GATE} 損失は、次の式で計算できます。

$$P_{\text{DRV_HS}} = P_{\text{DRV_ON_HS}} + P_{\text{DRV_OFF_HS}} = 4.7\text{mW} + 3\text{mW} = 7.7\text{mW} \quad (30)$$

$$P_{\text{DRV_LS}} = P_{\text{DRV_ON_LS}} + P_{\text{DRV_OFF_LS}} = 4.7\text{mW} + 0.8\text{mW} = 7.7\text{mW} \quad (31)$$

$$P_{\text{DRV}} = P_{\text{DRV_HS}} + P_{\text{DRV_LS}} = 7.7\text{mW} + 7.7\text{mW} = 15.4\text{mW} \quad (32)$$

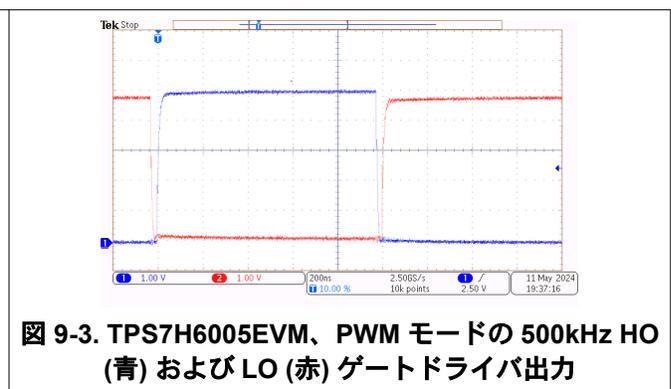
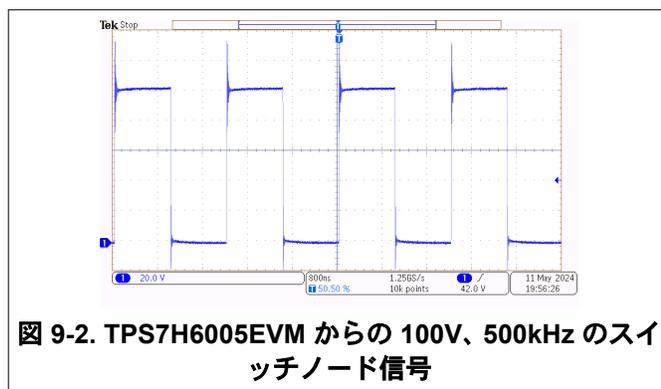
また、ドライバの動作電流に関連する消費電力の要素も存在します。これは、無負荷時および周波数に依存します。これらは、仕様セクションの動作電流パラメータを使用して概算できます。

$$P_{\text{OP_PWM}} = (V_{\text{IN}} \times I_{\text{OP_PWM_LS}}) + (V_{\text{BOOT}} \times I_{\text{OP_PWM_HS}}) = (12\text{V} \times 6\text{mA}) + (10\text{V} \times 5\text{mA}) = 122\text{mW} \quad (33)$$

ここで

- $I_{\text{OP_PWM_LS}}$ は 2 次側動作電流 (500kHz の PWM モード用に選択)
- $I_{\text{OP_PWM_HS}}$ は 1 次側動作電流 (500kHz PWM モード用に選択)

9.2.3 アプリケーション曲線



9.3 電源に関する推奨事項

TPS7H60x5 の動作に推奨されるバイアス電源電圧範囲は 10V ~ 14V です。最高の電氣的性能を得るため、ドライバの入力電源は適切に安定化し、適切にバイパスされる必要があります。ハイサイドドライバを供給するブート電圧は、8V ~ 14V の範囲にする必要があります。通常動作中、ハイサイドドライバが誤って低電圧誤動作防止モードに移行するのを防止するために、ブートストラップ充電パスに沿った電圧降下を最小限に抑えることが不可欠です。

VIN ピンと AGND ピンの間にローカルバイパスコンデンサを配置する必要があります。同様に、ブートストラップコンデンサは BOOT ピンと ASW ピンの間に配置し、またデバイスに近づけて配置する必要があります。このコンデンサは、できる

限りデバイスに近づけて配置する必要があります。テキサスインスツルメンツは、VIN および BOOT に接続するために、低 ESR、低 ESL のセラミック表面実装コンデンサ (X7R 以上) をお勧めします。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

ゲート容量とミラー容量が小さいため、エンハンスメントモードの GaN FET を高速なスイッチング速度で動作させることができます。この誘起される高い dv/dt と di/dt は、低いゲートスレッショルド電圧と、エンハンスメントモード GaN FET のゲート電圧の制限されたヘッドルームとの組み合わせにより、回路レイアウトが最適化された性能を発揮することが非常に重要です。推奨事項は次のとおりです。

1. GaN FET をゲートドライバのできるだけ近くに配置します。レイアウトの主な優先事項は、ループ全体のインダクタンスを低減し、GaN FET ゲートを充電および放電するピーク電流をプリント基板上の最小の物理的面積に限定することでノイズ結合の問題を最小限に抑えることです。
2. 大きなピーク電流を含む可能性があるため、ブートストラップ充電パスのループ面積を最小化します。TPS7H60x5 には複数のブートストラップ充電オプションがあり、充電をサイクルごとに実行する場合、選択した充電方法でループ面積を小さくできるように、ブートストラップコンデンサとダイオードの両方を配置します。
3. すべてのバイパスコンデンサ (VIN から AGND、BP5L から AGND、BP5H から ASW、BOOT から ASW) は、デバイスおよびそれぞれのピンにできるだけ近づけて配置してください。低 ESR かつ ESL のコンデンサを推奨します。可能な場合、これらのコンデンサはプリント基板上でゲートドライバと同じ側に配置してください。
4. 複数の電源パターンと信号パターンを分離し、異なるプリント基板層上の信号の重ね合わないようにします。
5. ハイサイド FET やローサイド FET のソースと直列の寄生インダクタンスにより、スイッチング中にドライバに過剰な負電圧過渡が発生する可能性があります。短い低インダクタンスのパスを使用して、PSW をハイサイド FET ソースに、PGND をローサイド FET ソースに接続します。
6. 入力電源バスでの過剰なリングングを防止するため、GaN FET に隣接して低 ESR のコンデンサを配置することで、適切なデカップリング手法が必要です。

9.4.2 レイアウト例

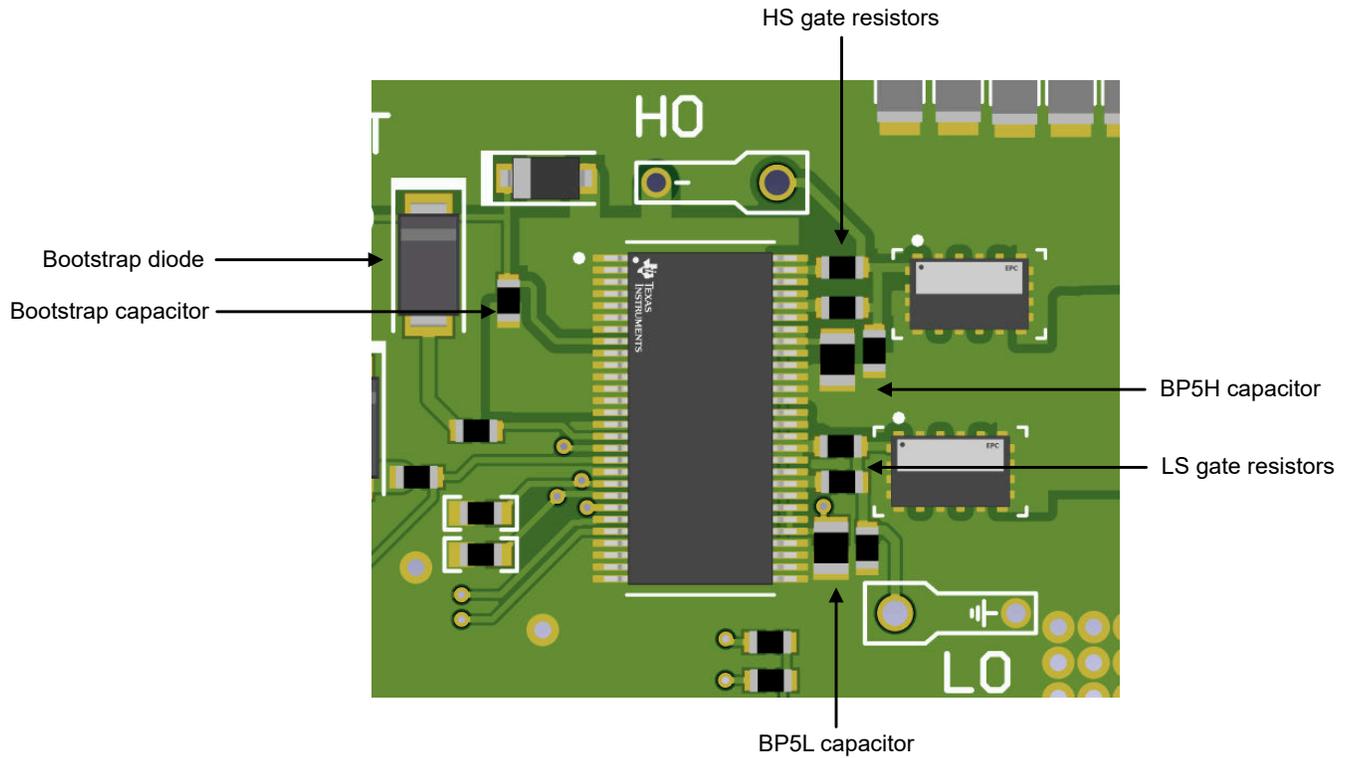


図 9-4. TPS7H6005EVM からの 3D View

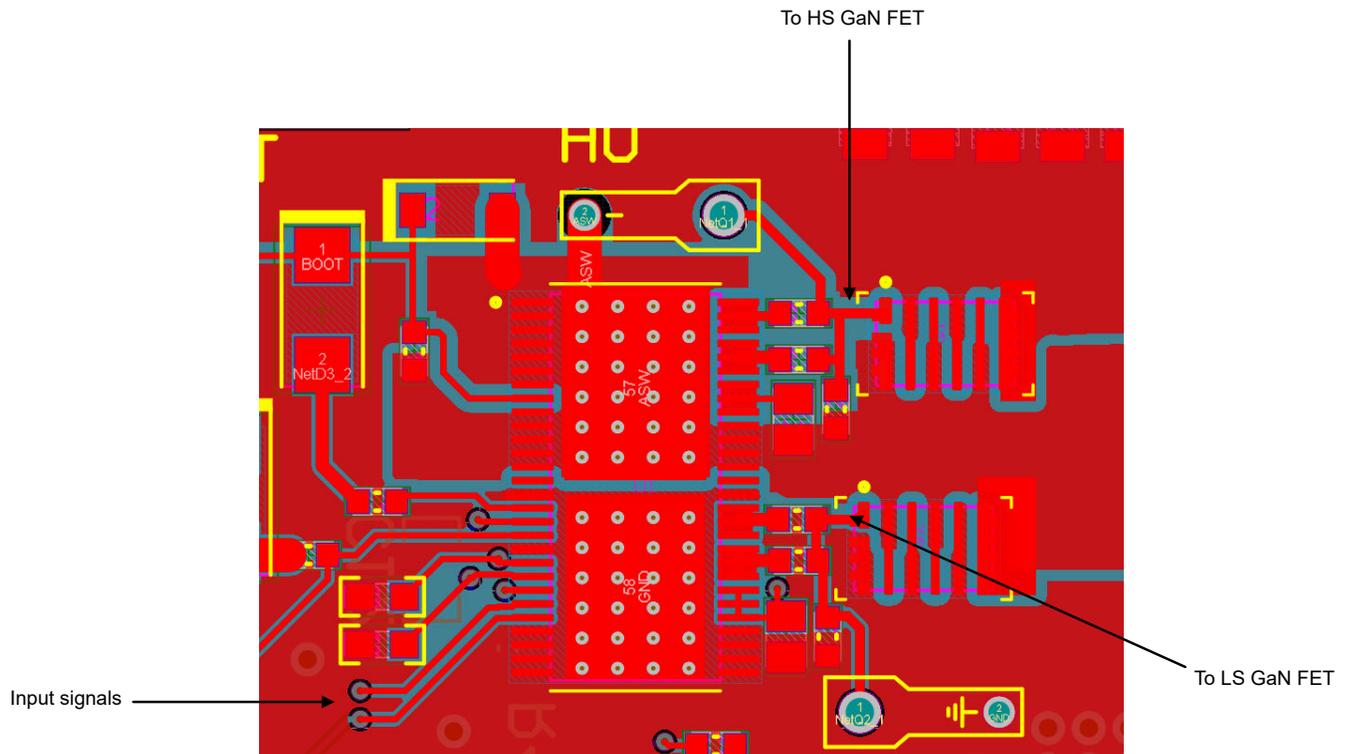


図 9-5. TPS7H6005EVM のレイアウト例

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサスインスツルメンツ、[TPS7H6005EVM 評価モジュールユーザーガイド](#)
- テキサス インスツルメンツ、[TPS7H60x5-SEP シングルイベント効果放射線レポート](#)
- テキサス インスツルメンツ、[TPS7H60x5-SP シングルイベント効果放射線レポート](#)
- テキサス インスツルメンツ、[TPS7H60x5-SEP 総電離線量 \(TID\) 放射線レポート](#)
- テキサスインスツルメンツ、[TPS7H6005-SP 総電離線量 \(TID\) 放射線レポート](#)
- テキサス インスツルメンツ、[TPS7H60x5 中性子変位損傷放射線レポート](#)

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (February 2025) to Revision C (April 2025)	Page
• TPS7H6005-SP, TPS7H6015-SP, TPS7H6025-SP デバイスを以下の内容から変更: 「製品プレビュー」から「量産データ」.....	1
• 静電気放電人体モデル (HBM) の定格を $\pm 1000\text{V}$ から $\pm 2000\text{V}$ に更新.....	8
• 静電気放電デバイス帯電モデル (CDM) の定格を $\pm 250\text{V}$ から $\pm 500\text{V}$ に更新.....	8

Changes from Revision A (December 2024) to Revision B (February 2024)

Page

- TPS7H6015-SEP および TPS7H6025-SEP デバイスを変更。事前情報から、「量産データ」 1
-

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
5962R2220104PYE	Active	Production	HTSSOP (DCA) 56	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	R2220104PYE
5962R2220105PYE	Active	Production	HTSSOP (DCA) 56	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	R2220105PYE
5962R2220106PYE	Active	Production	HTSSOP (DCA) 56	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	R2220106PYE
TPS7H6005MDCATSEP	Active	Production	HTSSOP (DCA) 56	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	7H6005DCA
TPS7H6015MDCATSEP	Active	Production	HTSSOP (DCA) 56	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	7H6015DCA
TPS7H6025MDCATSEP	Active	Production	HTSSOP (DCA) 56	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	7H6025DCA
V62/24632-01XE	Active	Production	HTSSOP (DCA) 56	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	7H6005DCA
V62/24632-02XE	Active	Production	HTSSOP (DCA) 56	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	7H6015DCA
V62/24632-03XE	Active	Production	HTSSOP (DCA) 56	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-55 to 125	7H6025DCA

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

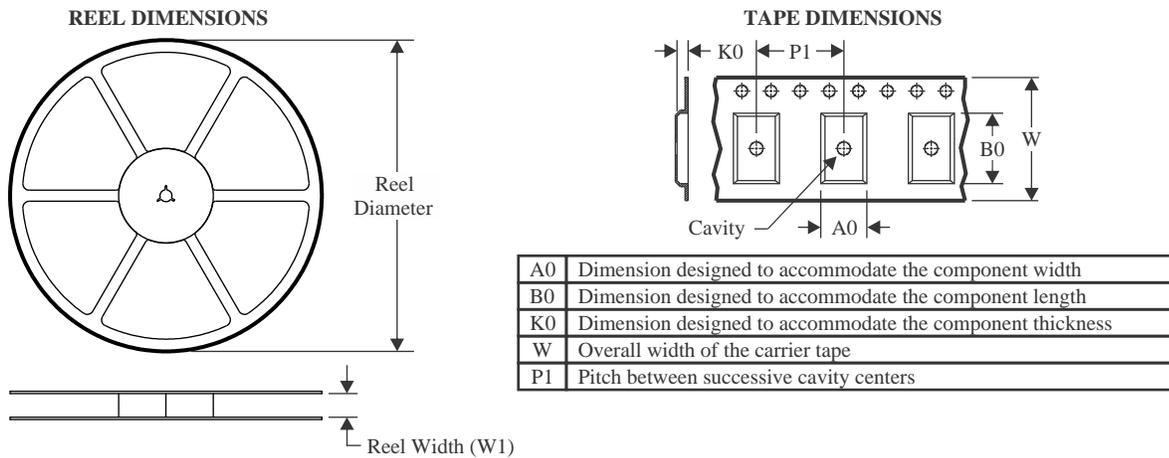
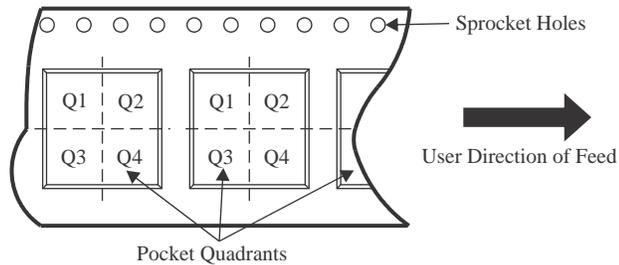
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS7H6005-SEP, TPS7H6005-SP, TPS7H6015-SEP, TPS7H6015-SP, TPS7H6025-SEP, TPS7H6025-SP :

- Catalog : [TPS7H6005-SEP](#), [TPS7H6015-SEP](#), [TPS7H6025-SEP](#)
- Space : [TPS7H6005-SP](#), [TPS7H6015-SP](#), [TPS7H6025-SP](#)

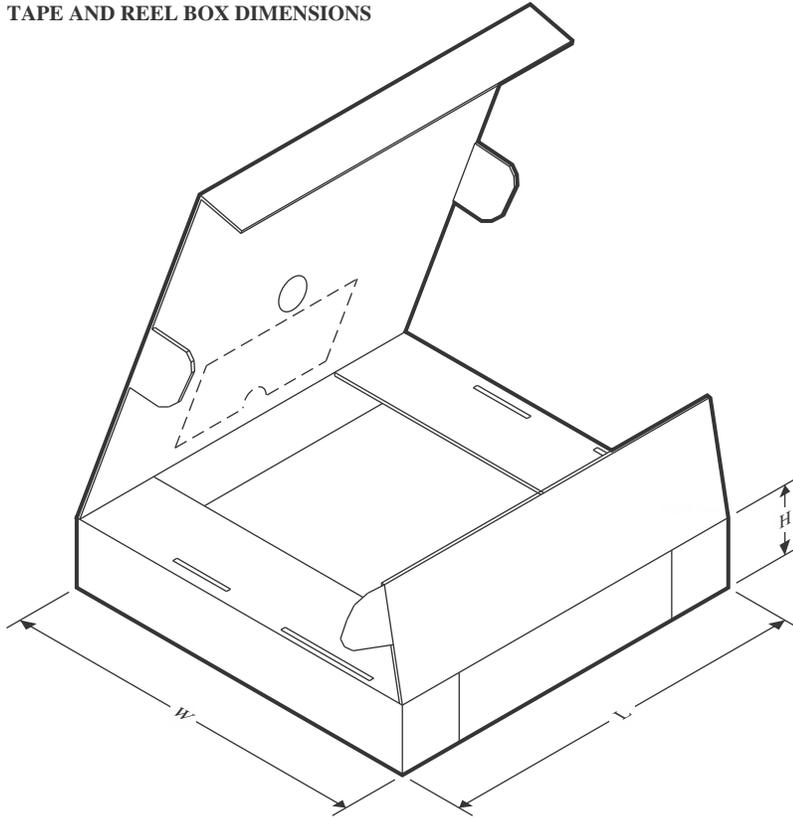
NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
5962R2220104PYE	HTSSOP	DCA	56	250	178.0	24.4	8.6	14.5	1.8	12.0	24.0	Q1
5962R2220105PYE	HTSSOP	DCA	56	250	178.0	24.4	8.6	14.5	1.8	12.0	24.0	Q1
5962R2220106PYE	HTSSOP	DCA	56	250	178.0	24.4	8.6	14.5	1.8	12.0	24.0	Q1
TPS7H6005MDCATSEP	HTSSOP	DCA	56	250	178.0	24.4	8.6	14.5	1.8	12.0	24.0	Q1
TPS7H6015MDCATSEP	HTSSOP	DCA	56	250	178.0	24.4	8.6	14.5	1.8	12.0	24.0	Q1
TPS7H6025MDCATSEP	HTSSOP	DCA	56	250	178.0	24.4	8.6	14.5	1.8	12.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
5962R2220104PYE	HTSSOP	DCA	56	250	223.0	191.0	55.0
5962R2220105PYE	HTSSOP	DCA	56	250	223.0	191.0	55.0
5962R2220106PYE	HTSSOP	DCA	56	250	223.0	191.0	55.0
TPS7H6005MDCATSEP	HTSSOP	DCA	56	250	223.0	191.0	55.0
TPS7H6015MDCATSEP	HTSSOP	DCA	56	250	223.0	191.0	55.0
TPS7H6025MDCATSEP	HTSSOP	DCA	56	250	223.0	191.0	55.0

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated