TPS7B91 150mA、40V、I_Q 1.5μA、低ドロップアウト リニア レギュレータ

1 特長

- 入力電圧範囲:2.5V ～ 40V
- 出力電圧範囲:1.2V ～ 12V
- 出力電流:150mA
- きわめて小さい I_Q:I_{OUT} = 0mA で 1.8μA
- 1.0μF 以上の出力コンデンサで安定動作
- 高 PSRR:
  - 1kHz 時に 70dB
  - 100kHz 時に 43dB
- フォールドバック電流制限
- 過熱保護
- パッケージ:
  - 5 ピン SOT-23 (DBV)
- 動作時接合部温度:–40°C～+125°C

2 アプリケーション

- 電化製品
- ホーム / ビルディング オートメーション
- リテール オートメーションおよびペイメント
- グリッド インフラ
- 医療用アプリケーション
- 照明アプリケーション

3 説明

TPS7B91 低ドロップアウト (LDO) リニア電圧レギュレータは、低静止電流のデバイスです。TPS7B91 は、広い入力電圧範囲 (最大 40V)、広い出力範囲、低消費電力動作を小型パッケージで実現します。広い出力範囲は、1.2V～12V です。

TPS7B91 は、バッテリ駆動アプリケーション向けにマイコンや他の低消費電力負荷への電力供給に最適化されています。TPS7B91 は、1.0μF～47μF の出力コンデンサ範囲で安定です。

静止電流が小さい (標準値 1.8μA) TPS7B91 は、アイドル時の消費電力が非常に小さいバッテリ駆動または常時オンのシステム向けに設計されています。

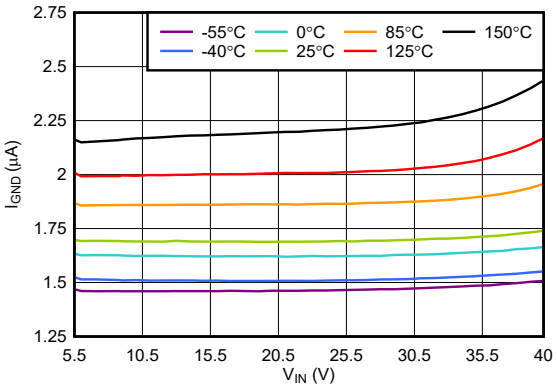
TPS7B91 LDO は、150mA の負荷電流で標準 900mV の低ドロップアウトをサポートしています。また、TPS7B91 には内部ソフトスタートが搭載されており、起動時の突入電流を低減できます。フォールドバック過電流制限保護およびサーマルシャットダウン機能を内蔵しているので、負荷の短絡やフォルト時にもレギュレータが保護されます。

TPS7B91 は、2.9mm × 2.8mm の 5 ピン SOT-23 (DBV) パッケージで提供されています。

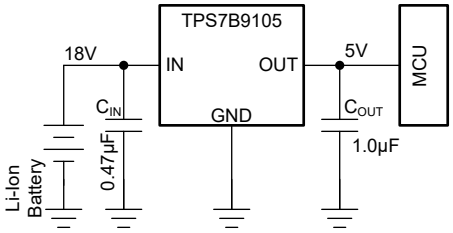
パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS7B91	DBV (SOT-23、5)	2.9mm × 2.8mm

(1) 詳細については、*メカニカル、パッケージ、および注文情報*をご覧ください。
(2) パッケージサイズ (長さ×幅) は公称値であり、該当する場合はピンを含みます。



I_{GND} と V_{IN} との関係 (V_{OUT} = 5.0V、I_{OUT} = 0mA)



代表的なアプリケーション

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....5
5.5 電気的特性.....5
5.6 代表的特性.....7
6 詳細説明.....13
6.1 概要.....13
6.2 機能ブロック図.....13
6.3 機能説明.....13
6.4 デバイスの機能モード.....15
7 アプリケーションと実装.....16
7.1 アプリケーション情報.....16
7.2 代表的なアプリケーション.....16
7.3 設計のベスト プラクティス.....22
7.4 電源に関する推奨事項.....22
7.5 レイアウト.....22
8 デバイスおよびドキュメントのサポート.....24
8.1 デバイス サポート.....24
8.2 ドキュメントのサポート.....24
8.3 ドキュメントの更新通知を受け取る方法.....24
8.4 サポート・リソース.....24
8.5 商標.....24
8.6 静電気放電に関する注意事項.....24
8.7 用語集.....25
9 改訂履歴.....25
10 メカニカル、パッケージ、および注文情報.....25

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

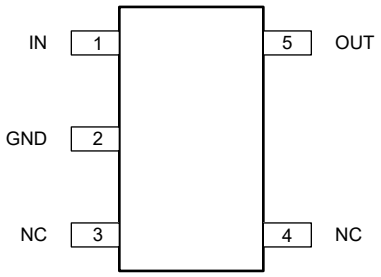


図 4-1. DBV パッケージ、5 ピン SOT-23 (上面図)

表 4-1. ピンの機能

ピン		タイプ	説明
名称	DBV		
GND	2	—	グランド ピン。
IN	1	I	入力電源ピン。詳細については、「推奨動作条件」表と「入出力コンデンサの要件」セクションを参照してください。
OUT	5	O	レギュレータの出力。詳細については、「推奨動作条件」表と「入出力コンデンサの要件」セクションを参照してください。
NC	3、4	—	内部接続なし。このピンをオープンにするか、任意の電位に接続します。熱性能を向上させるため、このピンをグランドに接続してください。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) [1]

			最小値	最大値	単位
電圧[2]	V_{IN}		-0.3	42	V
	V_{OUT}		-0.3	2 × $V_{OUT(typ)}$ または V_{IN} + 0.3 または 15 (どちらか小さい方)[2]	
電力散逸 [3] [4]	SOT-23 (DBV)	T_A = -55℃		1.775	W
		T_A = +25℃		1.375	
		T_A = +125℃		0.875	
電流	V_{OUT}		内部的に制限		A
温度	動作時の接合部温度、T_J		-55	125	℃
	保存、T_{stg}		-65	150	

(1) *絶対最大定格* を超えた動作は、デバイスに恒久的な損傷を与える可能性があります。*絶対最大定格* は、これらの条件において、または*推奨動作条件* に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、グランド端子を基準としたものです。
(3) 消費電力定格は、電圧レギュレータで 24 時間にわたって消費される連続ピーク電力と定義されます。この定格は、連続動作中に安全動作制限を超えることなく、電圧レギュレータが処理する熱エネルギーの最大量を表します。
(4) 「*絶対最大定格*」に記載されている消費電力値は、PCB に実装されたものであり、参照用です。PCB 構成は、JEDEC 規格の 2s2p 構成 (EIA/JESD51-x) に基づいています。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン [1]	±1000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン [2]	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{IN}	入力電源電圧	2.5		40	V
V_{OUT}	出力電圧[1]	1.2		12	V
I_{OUT}	出力電流	0		150	mA
C_{IN}	入力コンデンサ[2]		0.47		µF
C_{OUT}	出力コンデンサ[3]	1		47	µF
T_J	動作時接合部温度	-40		125	℃

(1) すべての電圧は GND を基準にしています。
(2) LDO の安定性のために、入力コンデンサは必要ありません。ただし、ソース抵抗とインダクタンスの影響を打ち消すために、最小実効値が 0.1µF の入力容量を推奨します。ソース抵抗とインダクタンスは、場合によって、特に負荷過渡現象がある場合には、リンギングや発振などシステムレベルの不安定性の症状を引き起こす可能性があります。
(3) 記載されているすべてのコンデンサ値は公称値であり、実効容量は公称コンデンサ値の 50% まで低下すると想定されています。

Copyright © 2025 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準[1]		TPS7B91 DBV (SOT-23) [2] 5 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	207.0	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	104.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	73.6	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	40.6	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	73.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』アプリケーション ノート*を参照してください。SPRA953

(2) 熱性能の結果は、JEDEC 規格の 2s2p PCB 構成に基づいています。これらの熱評価基準パラメータは、熱的に最適化された PCB レイアウト設計に基づいて、さらに 35～55% 改善されます。*『基板レイアウトが LDO の熱性能に及ぼす影響』アプリケーション ノート*の分析を参照してください。

5.5 電気的特性

動作接合温度範囲 (T_J = -40°C～+125°C) で、V_{IN} = 2.5V または V_{IN} = V_{OUT}(nom) + 0.5V (いずれか大きい方)、C_{IN} = 1µF、C_{OUT} = 1µF、および I_{OUT} = 1mA (特に記載がない限り)。代表値は T_J = 25°C [1]時の値。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{IN}	入力電圧			2.5		40	V
I_{OUT} [2] [3]	最大出力電流				150		mA
V_{OUT}	出力電圧	V_{OUT} = 1.8V	V_{IN} = V_{OUT} + 2.0V、100µA ≤ I_{OUT} ≤ 150mA、T_J = 25°C	-3.0		4.5	%
		V_{OUT} = 3.3V		-2.75		4.25	
		V_{OUT} = 5.0V		-3.75		4.25	
		V_{OUT} = 12V		-5.25		5.25	
		V_{OUT} = 1.8V	V_{IN} = V_{OUT} + 2.0V、100µA ≤ I_{OUT} ≤ 150mA、–40°C ≤ T_J ≤ 125°C	-3.75		5.0	
		V_{OUT} = 3.3V		-3.5		5.0	
		V_{OUT} = 5.0V		-4.25		4.75	
		V_{OUT} = 12V		-5.75		5.75	
$\Delta V_{OUT}/V_{IN}$	ライン レギュレーション	I_{OUT} = 1m、V_{OUT} + 1V ≤ V_{IN} ≤ 40V			0.00005	0.007	%/V
$\Delta V_{OUT}/I_{OUT}$	負荷レギュレーション	V_{IN} = V_{OUT} + 2V、100µA ≤ I_{OUT} ≤ 150mA			0.1		%/A
V_{DO}	ドロップアウト電圧	I_{OUT} = 50mA			440	700	mV
V_{DO}	ドロップアウト電圧	I_{OUT} = 150mA			1100	1800	mV
I_{LIM}	出力電流制限	V_{OUT} = 0.90*$V_{OUT(nom)}$、V_{IN} = $V_{OUT(nom)}$ + 4V		165	270	360	mA
I_{SC}	回路短絡時の電流制限	V_{OUT} = 0V、V_{IN} = $V_{OUT(nom)}$ + 4V		42	90	140	mA
I_{GND}	GND ピン電流	V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 0mA, T_J = 25°C			1.7	2.65	µA
		V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 0mA、T_J = –40°C～85°C				2.9	
		V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 0mA、T_J = –40°C～125°C				3	
		V_{IN} = $V_{OUT(nom)}$ + 0.5V、I_{OUT} = 100µA			2.8		
I_{GND}	GND ピン電流	V_{IN} = $V_{OUT(nom)}$ + 2V、I_{OUT} = 150mA			150		µA
PSRR	電源リップル除去	V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 50mA、C_{OUT} = 0.47 µF、f = 10kHz			55		dB
		V_{IN} = $V_{OUT(nom)}$ + 1V、I_{OUT} = 50mA、C_{OUT} = 0.47 µF、f = 100kHz			43		

5.5 電気的特性 (続き)

動作接合温度範囲 (T_J = -40°C～+125°C) で、V_{IN} = 2.5V または V_{IN} = V_{OUT}(nom) + 0.5V (いずれか大きい方)、C_{IN} = 1μF、C_{OUT} = 1μF、および I_{OUT} = 1mA (特に記載がない限り)。代表値は T_J = 25°C [(1)]時の値。

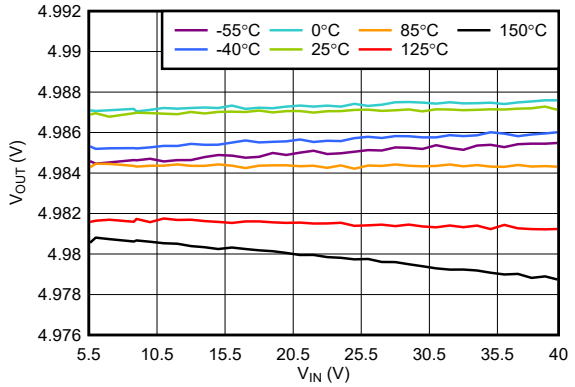
パラメータ		テスト条件		最小値	標準値	最大値	単位
V_n	出力ノイズ電圧	帯域幅 = 10Hz～100kHz、V_{IN} = $V_{OUT(nom)}$ + 2.0V、I_{OUT} = 150mA、C_{OUT} = 1μF	帯域幅 = 10Hz～100kHz、V_{IN} = $V_{OUT(nom)}$ + 2.0V、I_{OUT} = 150mA、C_{OUT} = 1μF		470		μV_{RMS}
T_{sd+}	サーマルシャットダウン温度上昇	シャットダウン、温度上昇			160		℃
T_{sd-}	サーマルシャットダウン温度下降	リセット、温度低下			140		℃
t_{sup} [(4)]	スタートアップ時間				400		μs

(1) 仮想接合部温度を周囲温度にできるだけ近い値に維持するために、パルステスト手法を使用します。熱の影響は別途考慮に入れる必要があります。
(2) 電圧レギュレータ全体の電力消費が高いと、サーマルシャットダウン回路が起動し、最大出力電流が確保できなくなります。
(3) サポートされる最大消費電力定格は 、「*絶対最大定格*」表に記載されています。これらの定格を超えると、電圧レギュレータに永続的な SOA 損傷が発生します。
(4) スタートアップ時間は、V_{IN} が 1V/μs を超えるスルーレートで立ち上がり始めた時点 (t = 0) から、V_{OUT} が $V_{OUT(nom)}$ 値の 95% に達するまでの時間差として測定されます。

Copyright © 2025 Texas Instruments Incorporated

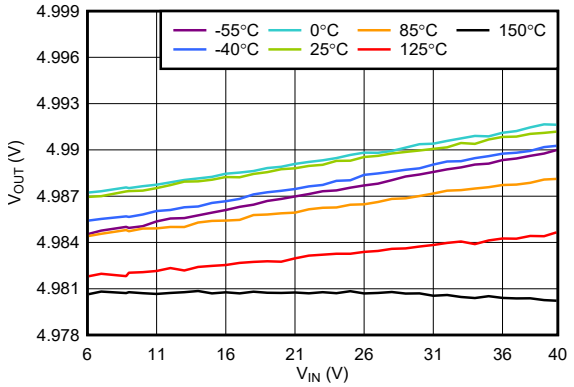
5.6 代表的特性

動作接合温度 (T_J = 25°C) で、V_{IN} = 2.5V または V_{IN} = V_{OUT}(nom) + 0.5V (いずれか大きい方)、C_{IN} = 1µF、C_{OUT} = 1µF、I_{OUT} = 1mA (特に記載がない限り)



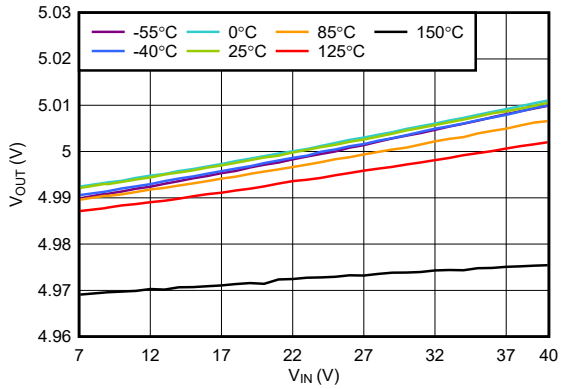
V_{OUT} = 5.0V、I_{OUT} = 10mA

図 5-1. V_{OUT} と V_{IN} との関係



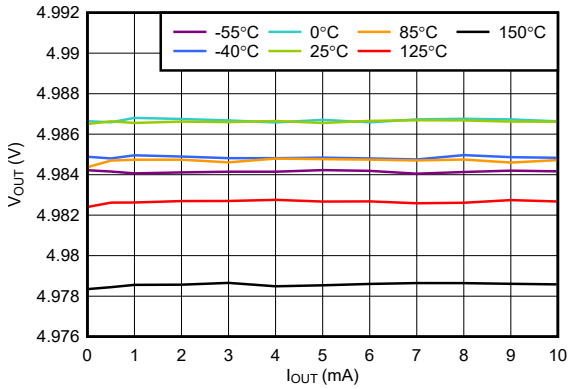
V_{OUT} = 5.0V、I_{OUT} = 50mA

図 5-2. V_{OUT} と V_{IN} との関係



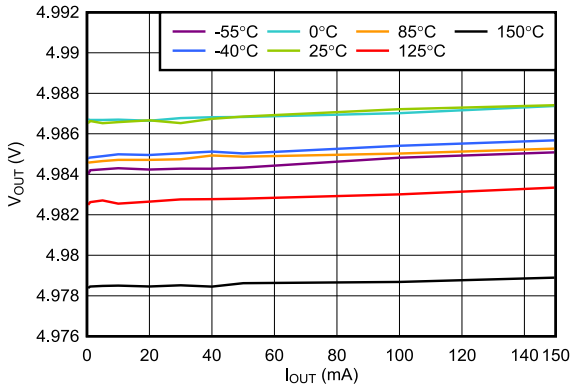
V_{OUT} = 5.0V、I_{OUT} = 150mA

図 5-3. V_{OUT} と V_{IN} との関係



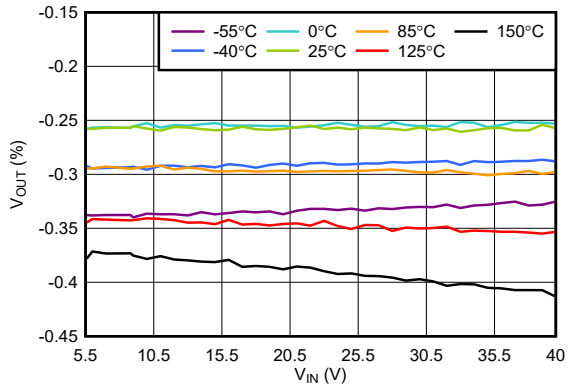
V_{IN} = 5.5 V、V_{OUT} = 5.0 V

図 5-4. V_{DO} と I_{OUT} との関係



V_{IN} = 7.0 V、V_{OUT} = 5.0 V

図 5-5. V_{DO} と I_{OUT} との関係

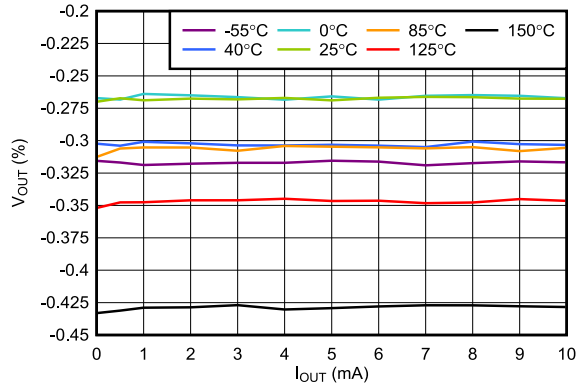


V_{OUT} = 5.0V、I_{OUT} = 1.0mA

図 5-6. V_{OUT} の精度と V_{IN} との関係

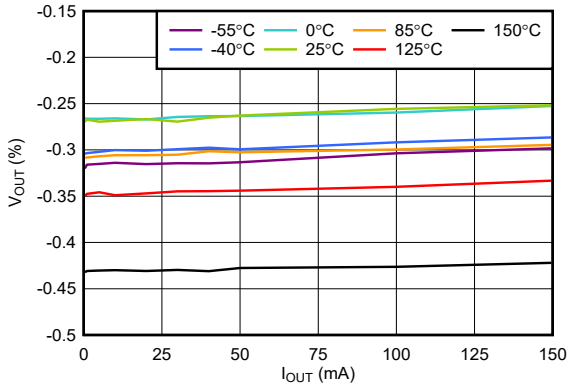
5.6 代表的特性 (続き)

動作接合温度 (T_J = 25°C) で、V_{IN} = 2.5V または V_{IN} = V_{OUT}(nom) + 0.5V (いずれか大きい方)、C_{IN} = 1µF、C_{OUT} = 1µF、I_{OUT} = 1mA (特に記載がない限り)



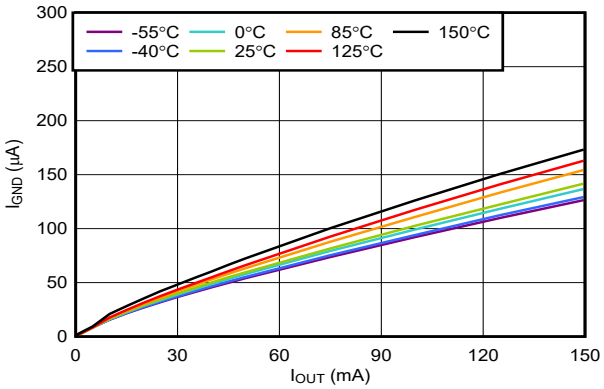
V_{IN} = 5.5 V、V_{OUT} = 5.0 V

図 5-7. V_{OUT} の精度と I_{OUT} との関係



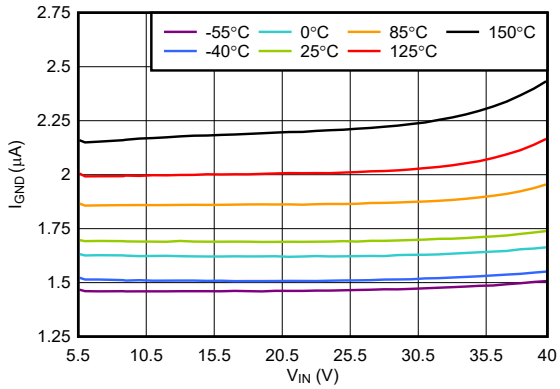
V_{IN} = 7.0 V、V_{OUT} = 5.0 V

図 5-8. V_{OUT} の精度と I_{OUT} との関係



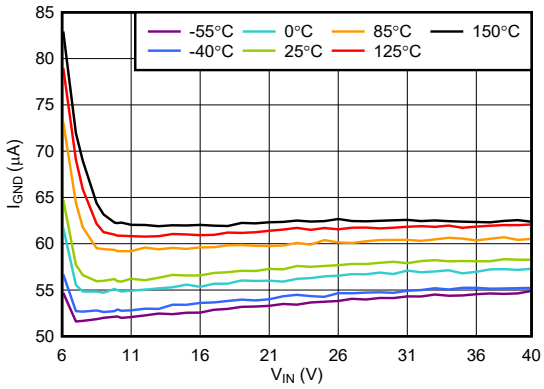
V_{IN} = 8.8 V、V_{OUT} = 5.0 V

図 5-9. I_{GND} と I_{OUT} との関係



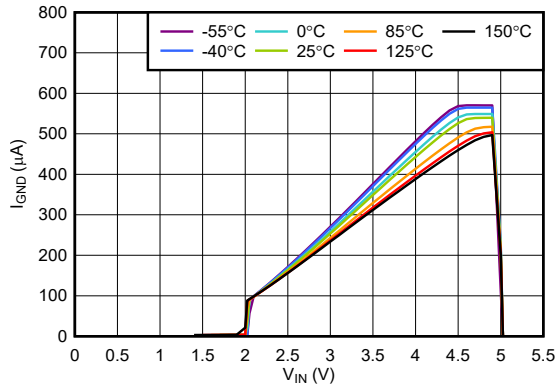
V_{OUT} = 5.0V、I_{OUT} = 0mA

図 5-10. I_{GND} と V_{IN} との関係



V_{OUT} = 5.0V、I_{OUT} = 50mA

図 5-11. I_{GND} と V_{IN} との関係



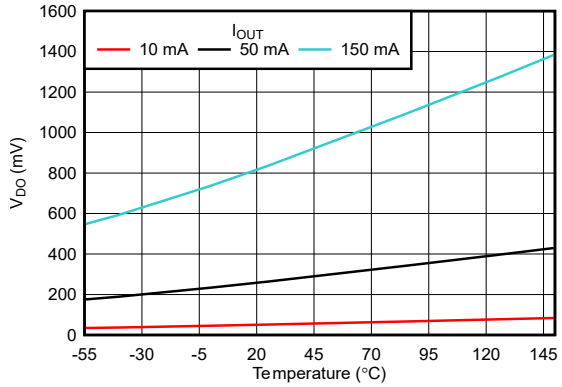
V_{OUT} = 5.0V、I_{OUT} = 0mA

図 5-12. I_{GND} と V_{IN} との関係 (ドロップアウト動作)

Copyright © 2025 Texas Instruments Incorporated

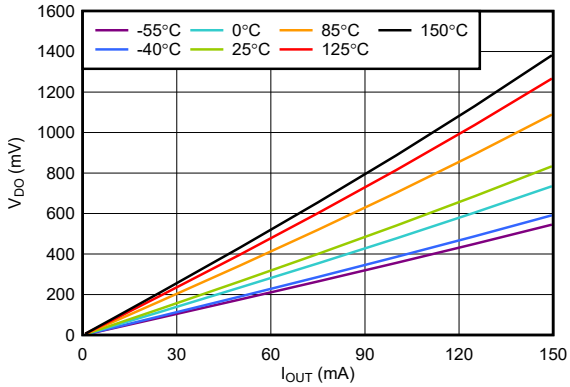
5.6 代表的特性 (続き)

動作接合温度 (T_J = 25°C) で、V_{IN} = 2.5V または V_{IN} = V_{OUT}(nom) + 0.5V (いずれか大きい方)、C_{IN} = 1μF、C_{OUT} = 1μF、I_{OUT} = 1mA (特に記載がない限り)



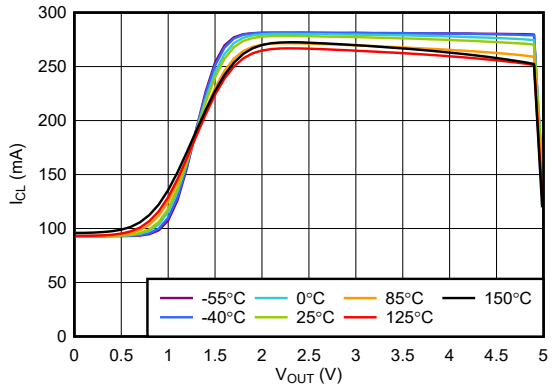
V_{OUT} = 5.0V

図 5-13. ドロップアウトと温度との関係



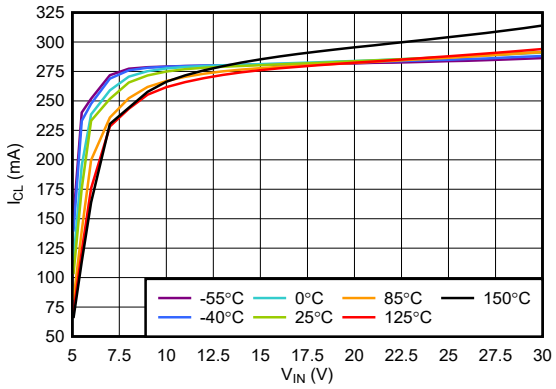
V_{OUT} = 5.0V

図 5-14. ドロップアウトと I_{OUT} との関係



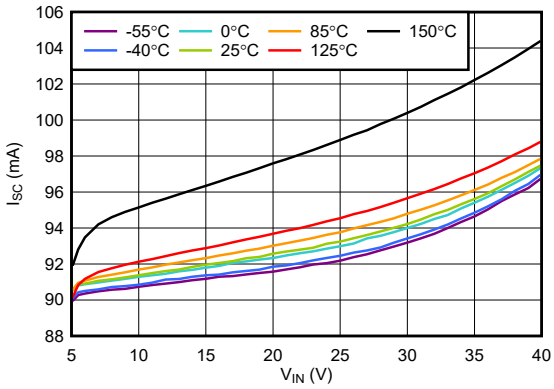
V_{IN} = 9.0V

図 5-15. 電流制限と V_{OUT} との関係



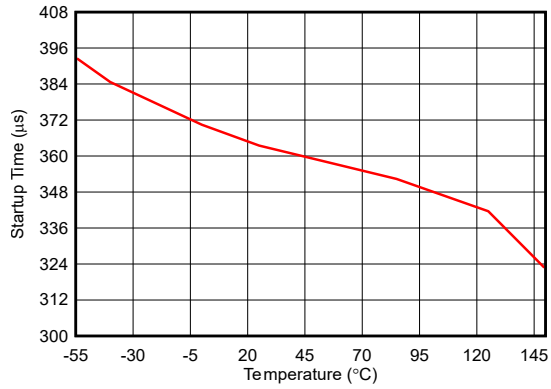
V_{OUT} = 5.0V

図 5-16. 電流制限と V_{IN} との関係



V_{OUT} = 5.0V

図 5-17. 短絡電流制限と $_{V\ IN}$ との関係



V_{IN} = 5.5 V、V_{OUT} = 5.0 V

図 5-18. スタートアップタイムと温度との関係

5.6 代表的特性 (続き)

動作接合温度 (T_J = 25°C) で、V_{IN} = 2.5V または V_{IN} = V_{OUT}(nom) + 0.5V (いずれか大きい方)、C_{IN} = 1μF、C_{OUT} = 1μF、I_{OUT} = 1mA (特に記載がない限り)

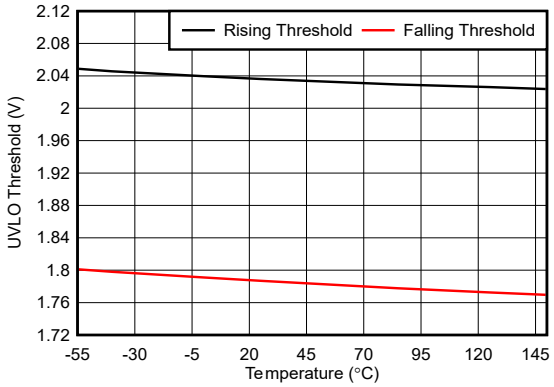
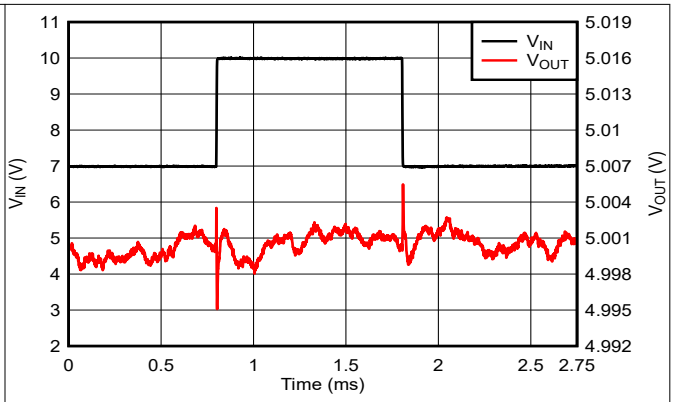
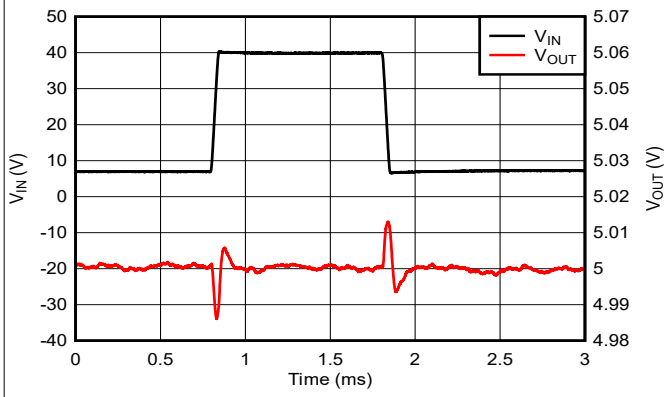


図 5-19. UVLO スレッショルドと温度との関係



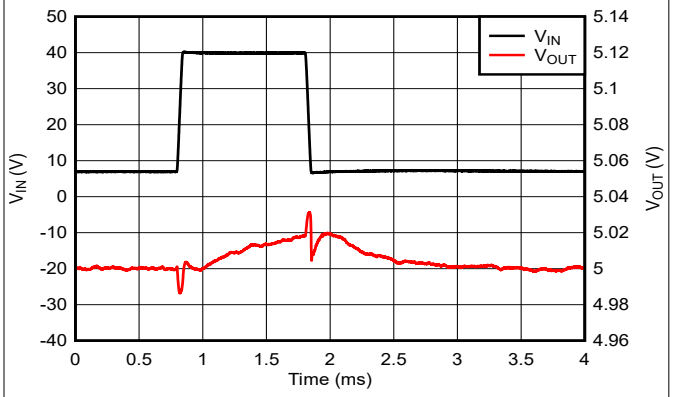
V_{OUT} = 5.0V、I_{OUT} = 150mA、dV_{IN}/dt = 1V/μs

図 5-20. V_{IN} ライン過渡応答 (7V～10V)



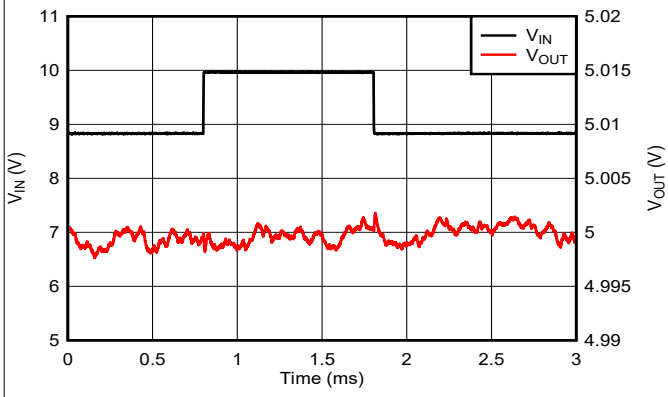
V_{OUT} = 5.0V、I_{OUT} = 1mA、dV_{IN}/dt = 1V/μs

図 5-21. V_{IN} ライン過渡応答 (7V～40V)



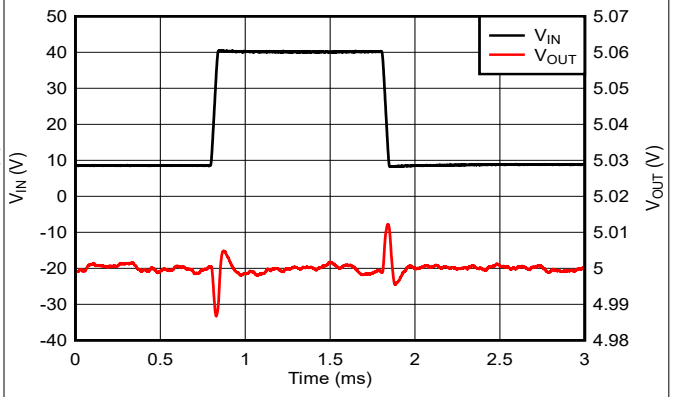
V_{OUT} = 5.0V、I_{OUT} = 150mA、dV_{IN}/dt = 1V/μs

図 5-22. V_{IN} ライン過渡応答 (7V～40V)



V_{OUT} = 5.0V、I_{OUT} = 1mA、dV_{IN}/dt = 1V/μs

図 5-23. V_{IN} ライン過渡応答 (8.8V～10V)



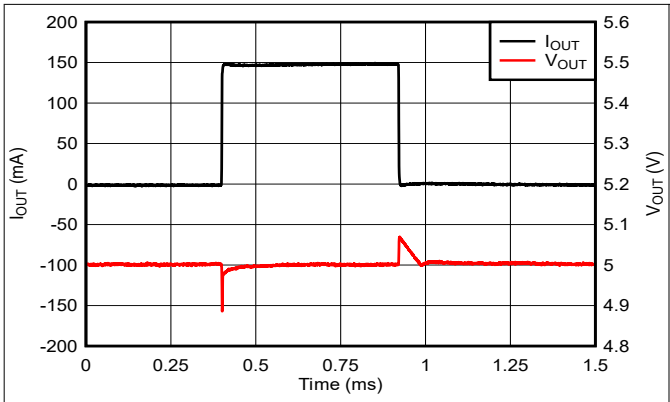
V_{OUT} = 5.0V、I_{OUT} = 1mA、dV_{IN}/dt = 1V/μs

図 5-24. V_{IN} ライン過渡応答 (8.8V～40V)

Copyright © 2025 Texas Instruments Incorporated

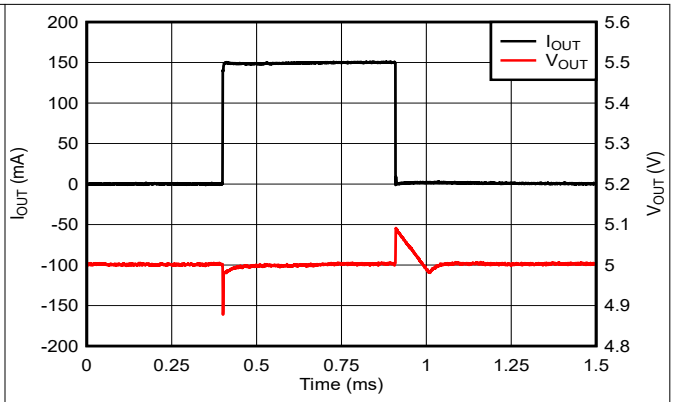
5.6 代表的特性 (続き)

動作接合温度 (T_J = 25°C) で、V_{IN} = 2.5V または V_{IN} = V_{OUT}(nom) + 0.5V (いずれか大きい方)、C_{IN} = 1µF、C_{OUT} = 1µF、I_{OUT} = 1mA (特に記載がない限り)



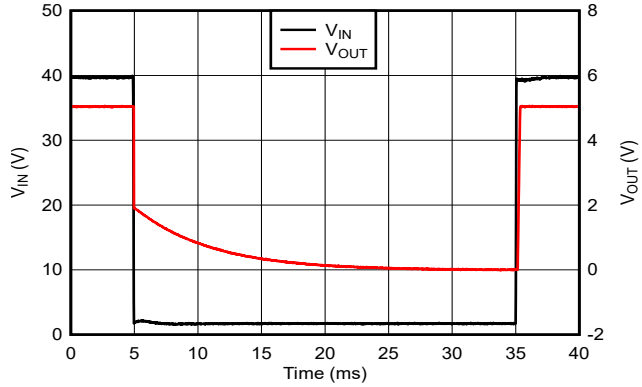
V_{IN} = 7.0V、V_{OUT} = 5.0V、dI_{OUT}/dt = 0.1A/µs

図 5-25. 負荷過渡応答 (1mA～150mA)



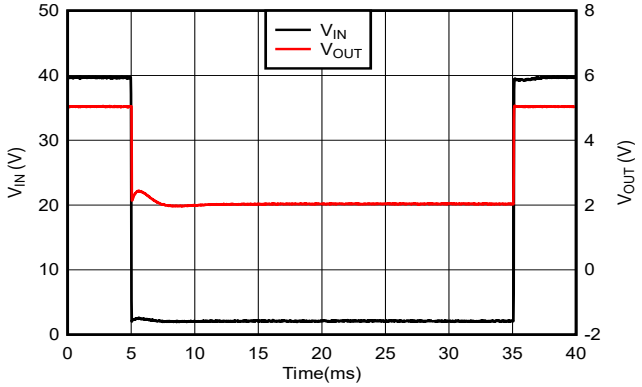
V_{IN} = 7.0V、V_{OUT} = 5.0V、dI_{OUT}/dt = 1A/µs

図 5-26. 負荷過渡応答 (1mA～150mA)



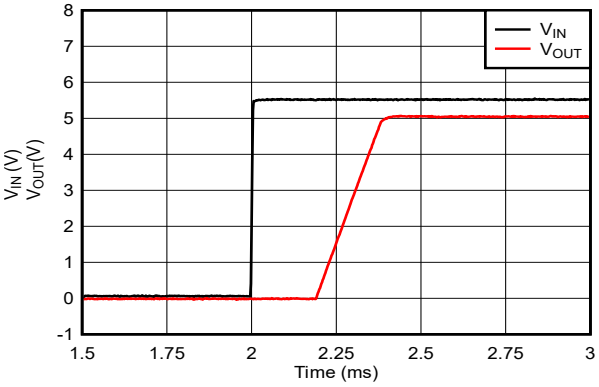
V_{OUT} = 5.0V、I_{OUT} = 1mA、dV_{IN}/dt = 1V/µs

図 5-27. ブラウンアウト過渡応答 (40V～1.7V)



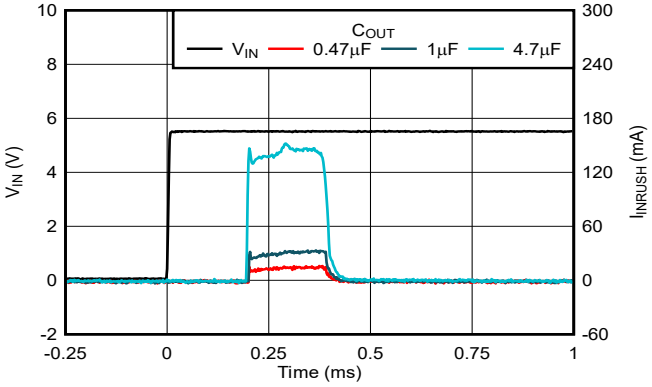
V_{OUT} = 5.0V、I_{OUT} = 1mA、dV_{IN}/dt = 1V/µs

図 5-28. ブラウンアウト過渡応答 (40V～2.1V)



V_{IN} = 5.5V、V_{OUT} = 5.0V、R_{OUT} = 5kΩ

図 5-29. スタートアップ

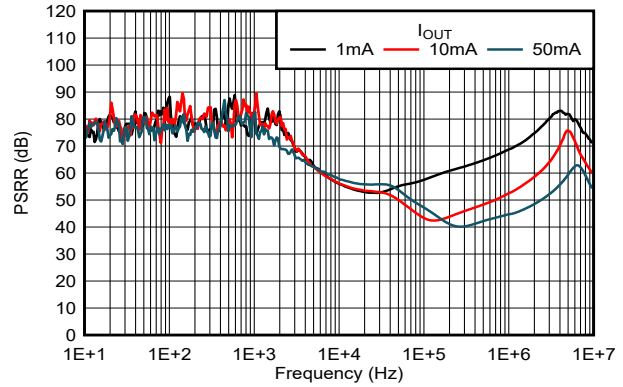


V_{IN} = 5.5 V、V_{OUT} = 5.0 V

図 5-30. 突入電流と出力コンデンサとの関係

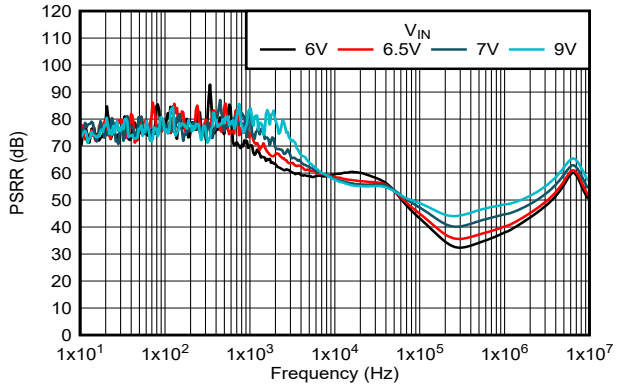
5.6 代表的特性 (続き)

動作接合温度 (T_J = 25°C) で、V_{IN} = 2.5V または V_{IN} = V_{OUT}(nom) + 0.5V (いずれか大きい方)、C_{IN} = 1µF、C_{OUT} = 1µF、I_{OUT} = 1mA (特に記載がない限り)



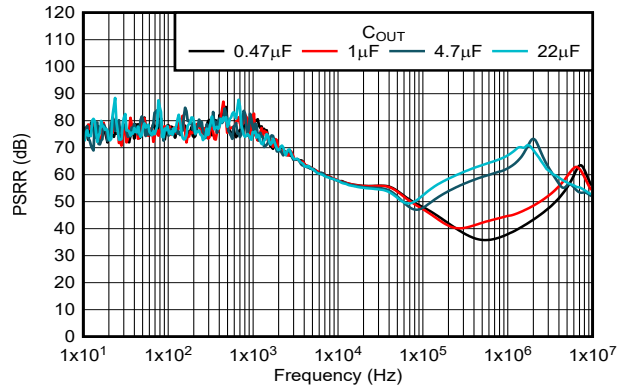
V_{OUT} = 5.0V、C_{OUT} = 1µF、V_{IN} = 7V

図 5-31. PSRR と負荷電流との関係



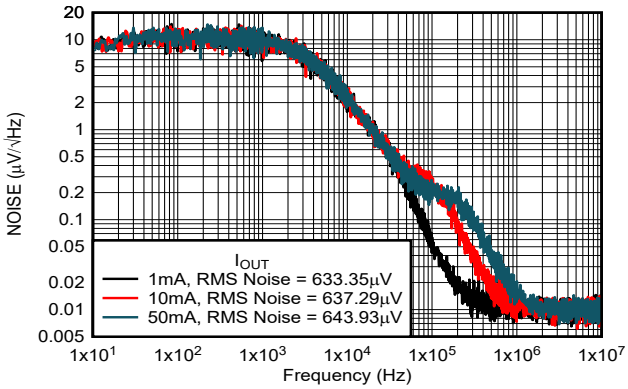
V_{OUT} = 5.0V、C_{OUT} = 1µF、I_{OUT} = 50mA

図 5-32. PSRR と入力電源との関係



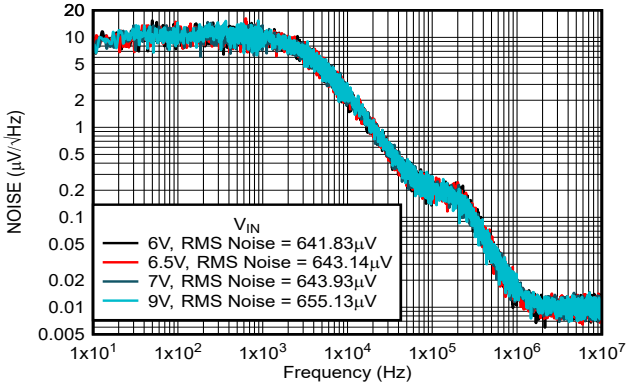
V_{IN} = 7.0V、V_{OUT} = 5.0V、I_{OUT} = 50mA

図 5-33. PSRR と出力コンデンサとの関係



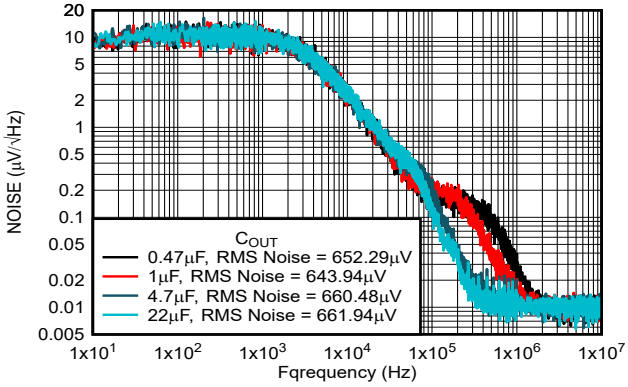
V_{IN} = 7.0V、V_{OUT} = 5.0V、I_{OUT} = 1µF

図 5-34. ノイズと負荷電流との関係



V_{OUT} = 5.0V、I_{OUT} = 50mA、C_{OUT} = 1µF

図 5-35. ノイズと入力電源との関係



V_{IN} = 7.0V、V_{OUT} = 5.0V、I_{OUT} = 50mA

図 5-36. ノイズと出力コンデンサとの関係

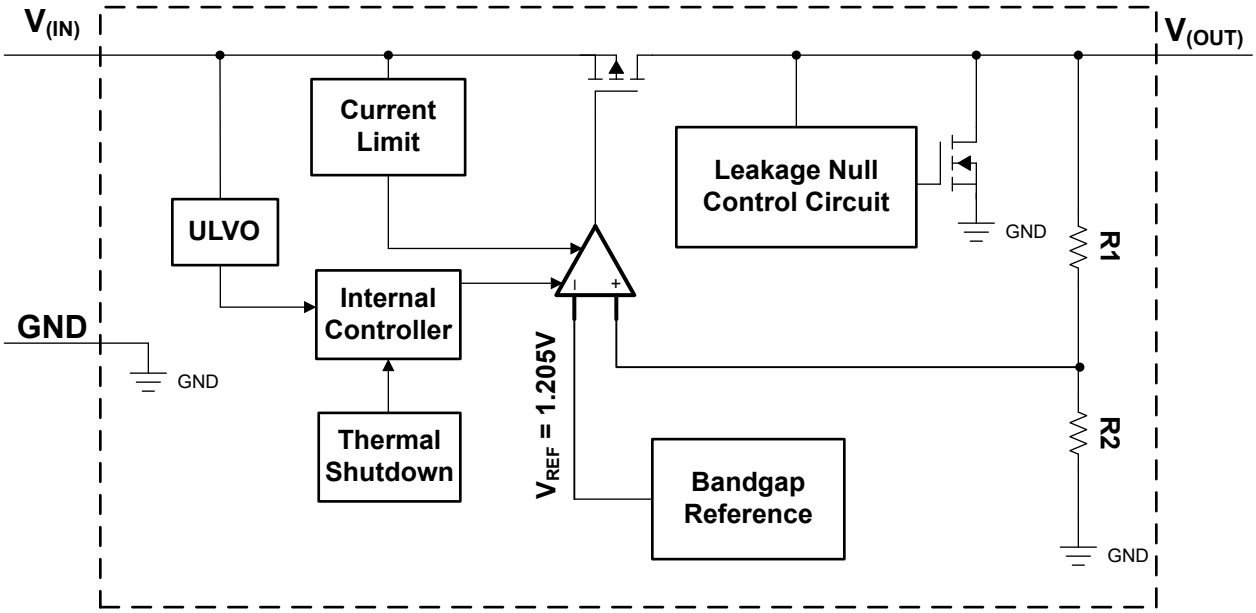
Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

TPS7B91 低ドロップアウトレギュレータ (LDO) は、無負荷電流時にわずか 1.8μA (代表値) の静止電流しか消費しません。このデバイスは、小型パッケージで広い入力電圧範囲 (2.5V～40V) と広い出力範囲を実現しています。広い出力範囲は、1.2V～12V です。デバイスは、1μF～47μF の出力コンデンサ範囲で安定です。TPS7B91 は、負荷電流範囲全体にわたって静止電流が小さく、バッテリ駆動アプリケーションへ電力を供給するために設計されています。TPS7B91 には内部ソフトスタート機構が搭載されており、突入電流の制御によって一様なスタートアップを行えます。また、この LDO は、出力側での負荷短絡やフォルト状態時に、フォールドバック方式の過電流保護および熱保護機能も備えています。

6.2 機能ブロック図



6.3 機能説明

6.3.1 広い電源電圧範囲

このデバイスは 2.5V～40V の入力電源範囲で動作し、広範囲のアプリケーションに対応できます。この広い電源電圧範囲は、大きな過渡電圧や高い DC 電圧電源を持つアプリケーション向けに設計されています。

6.3.2 低静止電流

このデバイスは、無負荷時にわずか 1.8μA (代表値) の静止電流しか必要としません。この LDO の室温での消費電流は、全負荷電流容量 (150mA) の 0.1% 未満です。1mA より高い負荷電流については、TPS7B91 は、I_Q の消費電流を負荷電流の 0.5% 未満に管理し、高効率を維持します。この方法により、本デバイスは良好な過渡性能を維持します。

6.3.3 ドロップアウト電圧 (V_{DO})

ドロップアウト電圧 (V_{DO}) は、パストランジスタが完全にオンになる定格出力電流 (I_{RATED}) において、V_{IN} - V_{OUT} として定義されます。V_{IN} – V_{OUT} は、入力電圧から出力電圧を引いた値です。I_{RATED} は、推奨動作条件 表に記載されている最大 I_{OUT} です。ドロップアウト動作では、パストランジスタはオーム領域または三極管領域で動作し、スイッチとして機能します。ドロップアウト電圧は、出力電圧がレギュレーション状態を維持すると予想される、プログラムされた公称出力電圧よりも大きな最小入力電圧を間接的に規定します。入力電圧が出力レギュレーションを維持するために必要な値よりも低下すると、出力電圧も同様に低下します。

CMOS レギュレータの場合、ドロップアウト電圧はパストランジスタのドレイン ソース間オン抵抗 ($R_{DS(ON)}$) によって決まります。したがって、リニア レギュレータが定格電流よりも低い値で動作する場合、その電流に対するドロップアウト電圧はそれに応じてスケーリングされます。式 1 は、デバイスの $R_{DS(ON)}$ を計算します。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \tag{1}$$

6.3.4 電流制限

このデバイスには、内部に電流制限回路があり、過渡的な高負荷電流障害または短絡イベントの時にレギュレータを保護します。電流制限は、ブリック ウォール フォールドバック方式です。フォールドバック電圧 ($V_{FOLDBACK}$) では、電流制限はブリック ウォール方式からフォールドバック方式に遷移します。出力電圧が $V_{FOLDBACK}$ を上回った際の高負荷電流障害では、ブリックウォール方式により、出力電流が電流制限 (I_{CL}) に制限されます。電圧が $V_{FOLDBACK}$ を下回ると、フォールドバック電流制限が有効になり、出力電圧が GND に近付くと電流を小さくします。出力が短絡したとき、デバイスは短絡電流制限 (I_{SC}) と呼ばれる標準的な電流を供給します。I_{CL} と I_{SC} は、「*電気的特性*」表に記載されています。

このデバイスでは、$V_{FOLDBACK}$ = 50% × $V_{OUT(nom)}$ です。

デバイスが電流制限されている場合、出力電圧はレギュレートされません。電流制限イベントが発生すると、消費電力の増加によりデバイスが発熱し始めます。デバイスがブリックウォール電流制限にある場合、パス トランジスタは電力 [(V_{IN} - V_{OUT}) × I_{CL}] を消費します。デバイスの出力が短絡され、出力が $V_{FOLDBACK}$ を下回ると、パス トランジスタは電力 [(V_{IN} - V_{OUT}) × I_{SC}] を消費します。サーマル シャットダウンがトリガされると、デバイスはオフになります。デバイスの温度が下がると、内蔵のサーマル シャットダウン回路によってデバイスがオンに戻ります。出力電流フォルト状態が継続すると、デバイスは電流制限とサーマル シャットダウンを繰り返します。電流制限の詳細については、『制限の把握』アプリケーション ノートを参照してください。

図 6-1 は、フォールドバック電流制限の図を示しています。

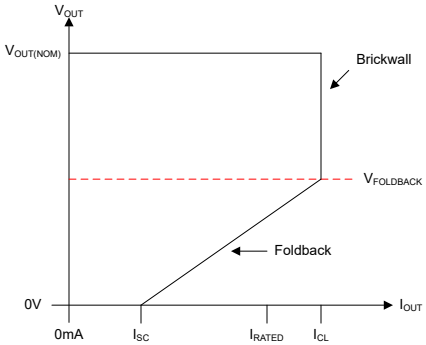


図 6-1. フォールドバック電流制限

6.3.5 リーク電流のヌル制御回路

このデバイスには、リーク電流のヌル制御回路が内蔵されています。高温では、パストランジスタのリーク電流が増加し、低負荷状態での V_{OUT} の精度に影響を与え始めます。このリーク電流は、LDO のヘッドルーム (V_{IN} - V_{OUT}) が大きいほど悪化します。TPS7B91 にはリーク電流のヌル制御回路が内蔵されており、パストランジスタのリーク電流を検出し、リーク電流に対してグランド放電パスを提供します。この回路により、TPS7B91 は広い V_{IN} および温度 (-40°C～+125°C) 範囲にわたって、はるかに厳密な V_{OUT} 精度を維持することができます。

Copyright © 2025 Texas Instruments Incorporated

6.4 デバイスの機能モード

通常モードおよびドロップアウト モードの各動作の簡単な比較を 表 6-1 に示します。

表 6-1. デバイスの機能モードの比較

動作モード	パラメータ	
	V_{IN}	I_{OUT}
正常	$V_{IN} > V_{OUT(nom)} + V_{DO}$	$I_{OUT} < I_{CL}$
ドロップアウト	$V_{IN} < V_{OUT(nom)} + V_{DO}$	$I_{OUT} < I_{CL}$

6.4.1 通常動作

デバイスは、以下の条件下で公称出力電圧へのレギュレートを行います。

- 入力電圧が、公称出力電圧とドロップアウト電圧の和 ($V_{OUT(nom)} + V_{DO}$) よりも大きい
- 出力電流が、電流制限より小さい ($I_{OUT} < I_{CL}$)
- デバイスの接合部温度が -40℃を超え、+125℃未満

6.4.2 ドロップアウト動作

入力電圧が公称出力電圧と規定ドロップアウト電圧を加えた値よりも低い場合、デバイスはドロップアウトモードで動作します。ただし、他のすべての条件は、正常動作の条件を満たしている必要があります。ドロップアウト動作では、パストランジスタはオーム領域または三極管領域で動作し、スイッチとして機能します。この動作により、デバイスの過渡性能が大きく低下します。ドロップアウト中にライン過渡または負荷過渡事象が生じると、大きな出力電圧の偏差が発生する可能性があります。

デバイスが定常ドロップアウト状態であるとき、パストランジスタは抵抗領域すなわち三極管領域に駆動されます。定常ドロップアウト状態とは、デバイスが通常のレギュレーション状態から直接ドロップアウトになった場合ですが、スタートアップ中は異なります。ドロップアウト中に、$V_{IN} < V_{OUT(NOM)} + V_{DO}$ となります。入力電圧の値が $V_{OUT(NOM)} + V_{DO}$ 以上に戻ると、出力電圧は短時間オーバーシュートします。この期間中に、デバイスはパス トランジスタを線形領域に戻します。$V_{OUT(NOM)}$ は公称出力電圧、V_{DO} はドロップアウト電圧です。

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

TPS7B91 LDO レギュレータは、バッテリ駆動アプリケーションに最適な選択肢です。本デバイスは、負荷電流範囲全体でデバイスの I_Q が小さいので、MSP430 などの低消費電力マイクロコントローラの電源として適しています。TPS7B91 は消費電流が非常に低いため、軽負荷時の効率を最大化できます。本デバイスには、出力電圧を柔軟に選択できます。これらの機能と高い入力電圧範囲により、本デバイスはビルオートメーションや電動工具の電源として優れた性能を発揮します。

7.2 代表的なアプリケーション

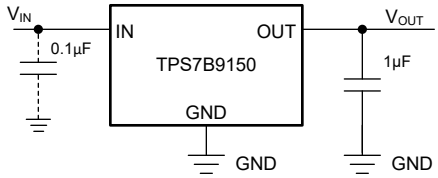


図 7-1. 代表的なアプリケーション回路

7.2.1 設計要件

表 7-1 は、図 7-1 の設計要件をまとめたものです。

表 7-1. 設計パラメータ

パラメータ	設計要件
入力電圧	12V
出力電圧	5.0V
出力電流	100mA

7.2.2 詳細な設計手順

7.2.2.1 外部コンデンサの要件

このデバイスは、入出力に低等価直列抵抗 (ESR) のセラミック コンデンサを使用することで安定するように設計されています。積層セラミック コンデンサは、この種のアプリケーションの業界標準になっており、推奨されますが、適切な判断のもとに使用する必要があります。X7R、X5R、C0G 定格の誘電体を採用したセラミックコンデンサは、温度範囲全体にわたって比較的良好な容量安定性が得られます。しかし、Y5V 定格のコンデンサは、容量に大きな変動があるため推奨しません。

選択したセラミック コンデンサの種類にかかわらず、実効静電容量は動作電圧と温度によって変化します。一般に、実効静電容量は 50% 程度減少すると予想されます。「推奨動作条件」表に示す入力および出力コンデンサは、公称値の約 50% の実効静電容量を表しています。

7.2.2.2 入出力コンデンサの要件

安定性のために入力コンデンサは必要ではありませんが、アナログ設計では IN と GND の間にコンデンサを接続するのが適切です。このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、入力リップル、PSRR を改善します。ソース インピーダンスが 0.5Ω を超える場合は、入力コンデンサを使用します。大きくて高速な立ち上がり時間の負荷またはラ

Copyright © 2025 Texas Instruments Incorporated

イン過渡が予想される場合は、より値の大きいコンデンサが必要です。デバイスが入力電源から数インチ離れて配置される場合は、より大きな値のコンデンサも必要になります。

デバイスの動的性能は、より大きな出力コンデンサを使用することで向上します。TPS7B91 の安定性のためには、1µF 以上の出力コンデンサ (0.47µF 以上の容量) を必要とします。0.001Ω～1Ω の等価直列抵抗 (ESR) も必要となります。最高の過渡性能を得るには、X5R および X7R タイプのセラミック コンデンサを使用します。これらのコンデンサは、温度による値と ESR の変動が最小限に抑えられているからです。特定のアプリケーション用にコンデンサを選択するときは、コンデンサの DC バイアス特性に注意します。出力電圧が高くなると、コンデンサの定格が大きく低下します。安定性のために、「推奨動作条件」表に記載されている範囲内の出力コンデンサを使用します。

7.2.2.3 逆電流

過度な逆電流がある場合、デバイスが損傷する可能性があります。逆電流は、通常の導通チャネルではなく PMOS パストランジスタの固有ボディ ダイオードを通って流れます。この電流が大きくなると、デバイスの長期的な信頼性が低下します。

このセクションでは、逆電流が発生する可能性のある条件について概説します。これらの条件はすべて、$V_{OUT} \leq V_{IN}$ + 0.3V の絶対最大定格を超える可能性があります。これらの条件は次のとおりです。

- デバイスが大きな C_{OUT} を持ち、負荷電流がほとんどまたはまったくない状態で入力電源が破損した場合
- 入力電源が確立されていない場合、出力はバイアスされる
- 出力は入力電源よりも高くバイアスされる

アプリケーションで逆電流が予期される場合は、外部保護機能を使用してデバイスを保護します。逆電流はデバイス内で制限されないため、拡張された逆電圧動作が予期される場合は、外部制限が必要です。この電流が避けられない場合は、逆電流をデバイスの定格出力電流の 5% 以下に制限します。

図 7-2 に、デバイスを保護するための 1 つのアプローチを示します。

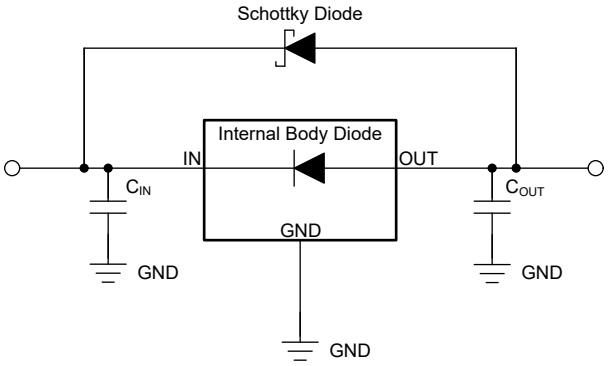


図 7-2. ショットキー ダイオードを使用した逆電流保護の回路例

7.2.2.4 消費電力 (P_D)

回路の信頼性を確保するには、デバイスの消費電力、プリント基板 (PCB) 上の回路の位置、およびサーマルプレーンの適切なサイズを考慮する必要があります。レギュレータの周囲の PCB 領域には、熱ストレスを増大させるその他の発熱デバイスが、ほとんどまたはまったくないようにする必要があります。

1 次近似では、レギュレータの消費電力は、入力と出力の電圧差と負荷条件に依存します。消費電力 (P_D) は、次の式で計算されます。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (2)$$

注

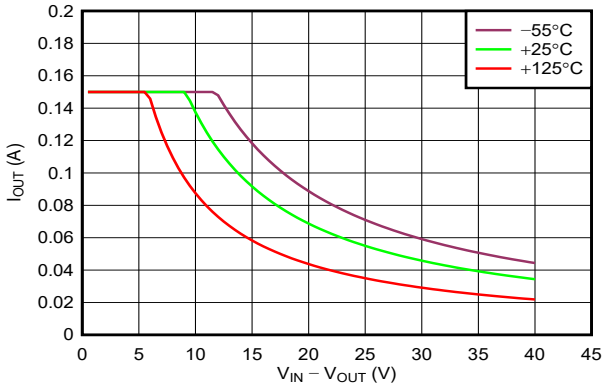
システム電圧レールを適切に選択することで、消費電力を最小限に抑えることができるため、より高い効率を実現できます。消費電力を最小限にするには、適切な出力レギュレーションに必要な最小の入力電圧を使用します。

サーマル パッドを備えたデバイスの場合、デバイス パッケージの主な熱伝導経路は、サーマル パッドを通って PCB へと接続されます。サーマル パッドをデバイスの下の銅パッド領域に半田付けします。このパッド領域には、放熱性を高めるために、追加の銅プレーンに熱を伝導するメッキされたビアの配列を設ける必要があります。

最大消費電力により、デバイスの最大許容周囲温度 (T_A) が決まります。式 3 によれば、消費電力と接合部温度はほとんどの場合、接合部から周囲への熱抵抗 ($R_{\theta JA}$) に関連します。$R_{\theta JA}$ 成分は、結合された PCB、デバイスパッケージ、周囲空気の温度 (T_A) です。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (3)$$

TPS7B91 でサポートされる最大ピーク消費電力は、*絶対最大定格*で定義されています。この消費電力定格は PCB 構成について記載されており、2s2p 構成 (EIA/JESD51-x) の JEDEC 規格に基づいています。サポートされる最大電力から、TPS7B91 に信頼性の高い動作を確保します。電力制限を超えると、接合部温度が極端に上昇します (接合部から周囲への熱抵抗 $R_{\theta JA}$、式 3 に関連。極端な温度などの場合、デバイスに損傷を与えるリスクがあり、予期されるデバイスの寿命が短くなる可能性があります。安全な動作制限に基づき、図 7-3 にヘッドルーム ($V_{IN} - V_{OUT}$) に対してサポートされている負荷電流 (I_{OUT}) を示します。



安全動作のための $V_{IN} - V_{OUT}$

図 7-3. I_{OUT} とヘッドルームとの関係 ($V_{IN} - V_{OUT}$)

熱抵抗 ($R_{\theta JA}$) は、特定の PCB 設計に作り込まれている熱拡散能力に大きく依存します。したがって、$R_{\theta JA}$ は、銅箔の総面積、銅の重量、プレーンの位置に応じて変化します。*熱情報*表に記載されている接合部から周囲への熱抵抗は、JEDEC 標準の PCB および銅箔面積によって決まります。$R_{\theta JA}$ は、パッケージの熱性能の相対的な測定値として使用されます。PCB 基板レイアウト最適化により、*熱情報*表の値に比べて $R_{\theta JA}$ が 35%～55% 改善されています。「*熱性能に対する基板レイアウトの影響に関する実証的分析*」*アプリケーション ノート*を参照してください。

7.2.2.5 推定接合部温度

現在、JEDEC 規格では、典型的な PCB 基板アプリケーションで回路内にある LDO の接合部温度を推定するために、psi (Ψ) の熱指標を使用することを推奨しています。これらの指標は熱抵抗パラメータではなく、接合部温度を推定するための実用的かつ相対的な方法を提供します。これらの psi 指標は、熱拡散に利用できる銅箔面積に大きく依存しないことが判明しています。「*熱情報*」表には、主要な熱指標である、接合部から上面への特性パラメータ (ψ_{JT}) と接合部から基板への特性パラメータ (ψ_{JB}) がリストされています。これらのパラメータは、以下の式で説明するように、接合部温度 (T_J) を計算するための 2 つの方法を提供します。接合部から上面への特性パラメータ (ψ_{JT}) とデバイス パッケージの中央上

Copyright © 2025 Texas Instruments Incorporated

部の温度 (T_T) を使用して、接合部温度を計算します。接合部から基板への特性パラメータ (ψ_{JB}) とデバイス パッケージから 1mm の PCB 表面温度 (T_B) を使用して、接合部温度を計算します。

$$T_J = T_T + \psi_{JT} \times P_D \quad (4)$$

ここで

- P_D は、消費電力
- T_T は、デバイス パッケージの中央上部の温度

$$T_J = T_B + \psi_{JB} \times P_D \quad (5)$$

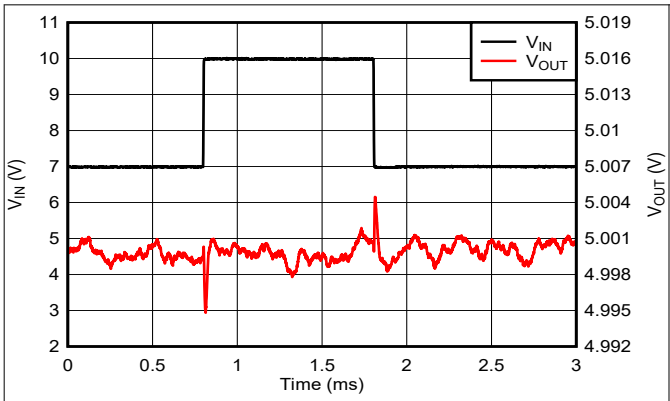
ここで

- T_B は、デバイス パッケージから 1mm の位置で、パッケージのエッジの中心で測定された PCB 表面温度

熱指標とその使用方法の詳細については、「*半導体および IC パッケージの熱指標*」アプリケーション ノートを参照してください。

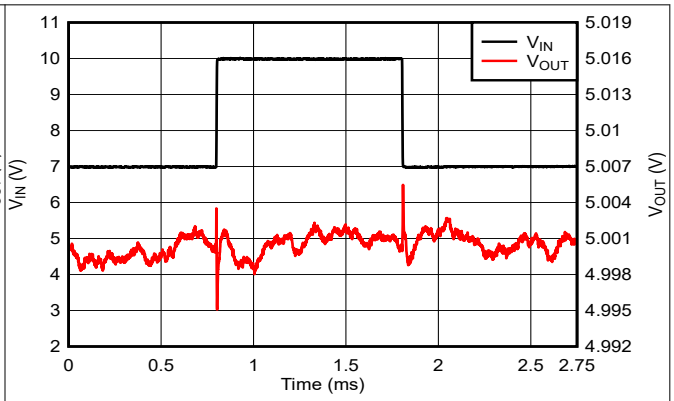
7.2.3 アプリケーション曲線

動作温度 T_J = 25℃、V_{IN} = $V_{OUT(NOM)}$ + 0.5V または 2.5V (どちらか大きい方)、I_{OUT} = 1mA、C_{IN} = 1µF、C_{OUT} = 1µF (特に記述のない限り)



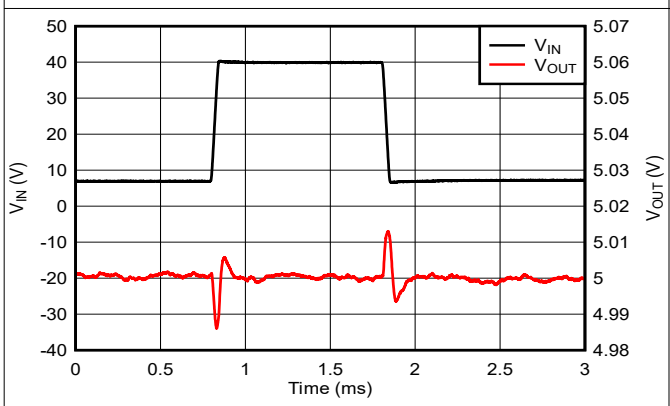
V_{OUT} = 5.0V、I_{OUT} = 1mA、dV_{IN}/dt = 1V/µs

図 7-4. V_{IN} ライン過渡応答 (7V～10V)



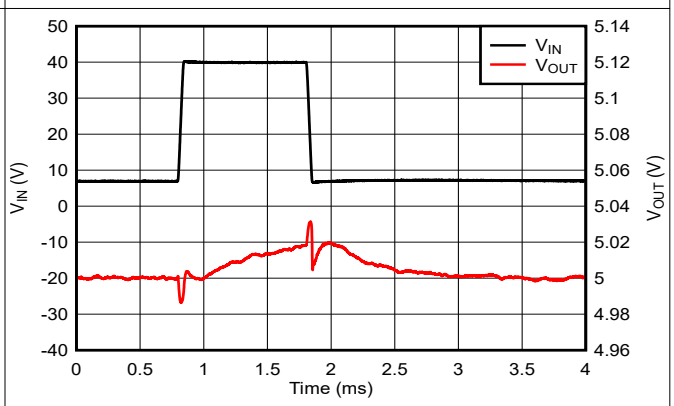
V_{OUT} = 5.0V、I_{OUT} = 150mA、dV_{IN}/dt = 1V/µs

図 7-5. V_{IN} ライン過渡応答 (7V～10V)



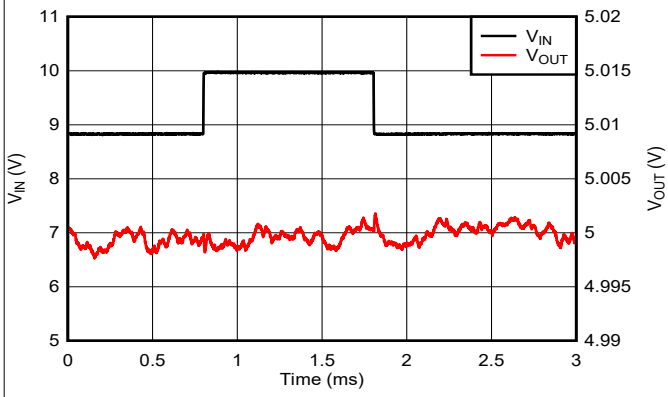
V_{OUT} = 5.0V、I_{OUT} = 1mA、dV_{IN}/dt = 1V/µs

図 7-6. V_{IN} ライン過渡応答 (7V～40V)



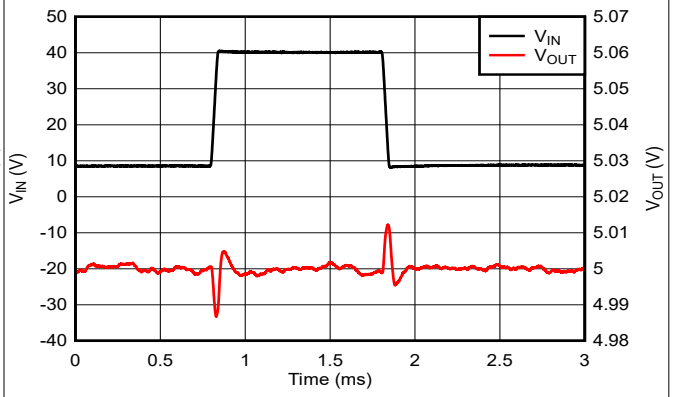
V_{OUT} = 5.0V、I_{OUT} = 150mA、dV_{IN}/dt = 1V/µs

図 7-7. V_{IN} ライン過渡応答 (7V～40V)



V_{OUT} = 5.0V、I_{OUT} = 1mA、dV_{IN}/dt = 1V/µs

図 7-8. V_{IN} ライン過渡応答 (8.8V～10V)



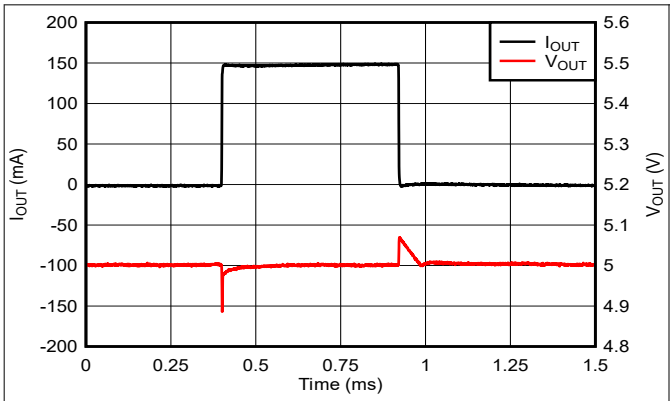
V_{OUT} = 5.0V、I_{OUT} = 1mA、dV_{IN}/dt = 1V/µs

図 7-9. V_{IN} ライン過渡応答 (8.8V～40V)

Copyright © 2025 Texas Instruments Incorporated

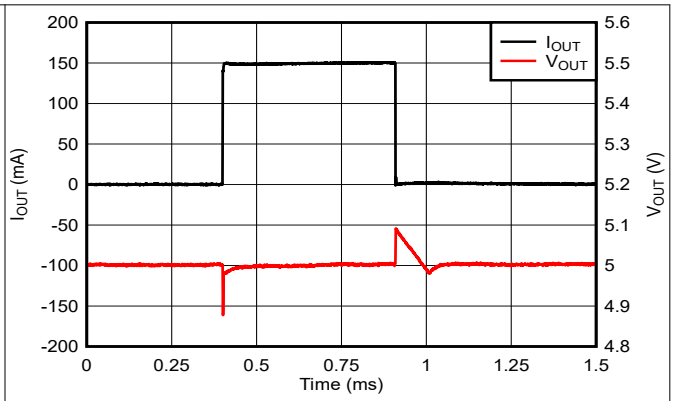
7.2.3 アプリケーション曲線 (続き)

動作温度 T_J = 25℃、V_{IN} = $V_{OUT(NOM)}$ + 0.5V または 2.5V (どちらか大きい方)、I_{OUT} = 1mA、C_{IN} = 1µF、C_{OUT} = 1µF (特に記述のない限り)



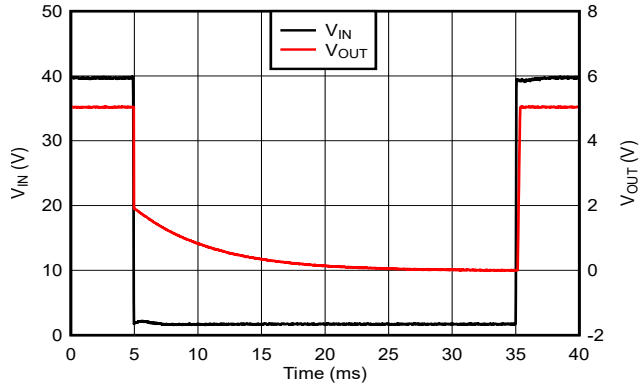
V_{IN} = 7.0V、V_{OUT} = 5.0V、dI_{OUT}/dt = 0.1A/µs

図 7-10. 負荷過渡応答 (1mA～150mA)



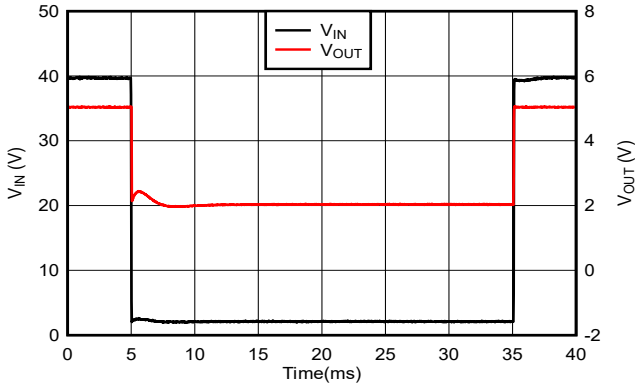
V_{IN} = 7.0V、V_{OUT} = 5.0V、dI_{OUT}/dt = 1A/µs

図 7-11. 負荷過渡応答 (1mA～150mA)



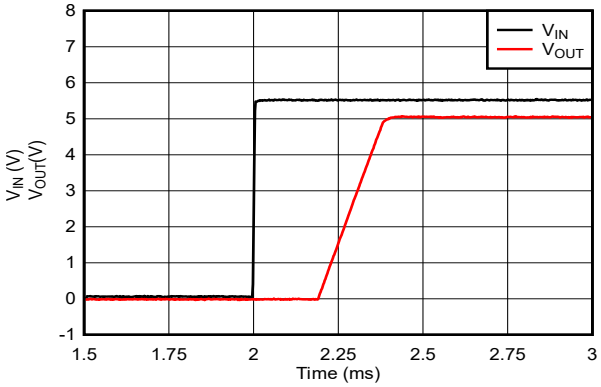
V_{OUT} = 5.0V、I_{OUT} = 1mA、dV_{IN}/dt = 1V/µs

図 7-12. ブラウンアウト過渡応答 (40V～1.7V)



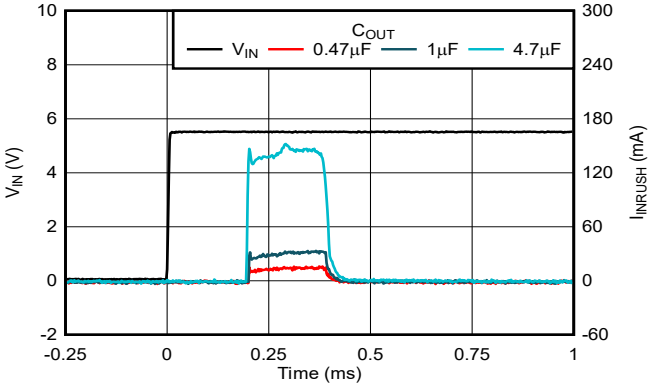
V_{OUT} = 5.0V、I_{OUT} = 1mA、dV_{IN}/dt = 1V/µs

図 7-13. ブラウンアウト過渡応答 (40V～2.1V)



V_{IN} = 5.5V、V_{OUT} = 5.0V、I_{OUT} = 1mA、R_{OUT} = 5kΩ

図 7-14. スタートアップ



V_{IN} = 5.5 V、V_{OUT} = 5.0 V

図 7-15. 突入電流と出力コンデンサとの関係

7.3 設計のベスト プラクティス

レギュレータの OUT ピンおよび GND ピンの可能な限り近くに、少なくとも 1 つの 1.0μF のコンデンサを配置します。

出力コンデンサとレギュレータを、長くて細い配線で接続しないでください。

最高の性能を実現するため、入力コンデンサを、レギュレータの IN および GND ピンの可能な限り近くに配置します。

絶対最大定格を超過してはなりません。

7.4 電源に関する推奨事項

TPS7B91 は、2.5V～40V の入力電源電圧範囲で動作するように設計されています。この入力電圧範囲により、デバイスがレギュレートされた出力を供給するための十分なヘッドルームが得られます。入力電源にノイズがある場合、ESR の低い入力コンデンサを追加すると、出力のノイズ特性を改善するために役立ちます。

7.5 レイアウト

7.5.1 レイアウトのガイドライン

全体的に最高のパフォーマンスを得るには、このセクションのガイドラインに従ってください。回路のすべてのコンポーネントをプリント基板 (PCB) の同じ側で、該当する LDO ピン接続に対して実用的な範囲でできる限り近づけて配置してください。入力および出力コンデンサのグランド復帰接続は、可能な限り GND ピンに近く配置し、広いコンポーネント側の銅のプレーンで接続してください。LDO 回路から入力コンデンサ、出力コンデンサ、または分圧抵抗への接続にビアや長い配線を使用しないでください。この方法は、システム性能に悪影響を及ぼします。このグランドおよびレイアウトの方式により誘導性の寄生成分が最小化され、負荷過渡電流の低減、ノイズの最小化、回路の安定性の増大を実現できます。グランドの基準プレーンも推奨され、PCB 自体に埋め込むか、コンポーネントの反対側の PCB の底面に配置されます。この基準プレーンは、出力電圧の精度を保証し、LDO をノイズから遮断する役割を果たします。

7.5.1.1 電力散逸

信頼性の高い動作を行うためには、ワーストケースの接合部温度が 125℃を超えないようにする必要があります。この制限により、任意のアプリケーションでレギュレータが処理できる消費電力が制限されます。接合部温度が許容される制限内であることを保証するには、最大許容消費電力 ($P_{D(max)}$) を計算します。また、実際の消費電力 (P_D) が $P_{D(max)}$ 以下になるように計算します。

式 6 は、最大消費電力の制限を決定します。

$$P_{D(max)} = \frac{T_J max - T_A}{R_{\theta JA}} \tag{6}$$

ここで

- $T_J$max は、許容される最大の接合部温度です。
- $R_{\theta JA}$ は、パッケージの接合部から周囲への熱抵抗です (「*熱情報*」表を参照)
- T_A は周囲温度

式 7 は、レギュレータの消費電力を計算します。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \tag{7}$$

Copyright © 2025 Texas Instruments Incorporated

7.5.2 レイアウト例

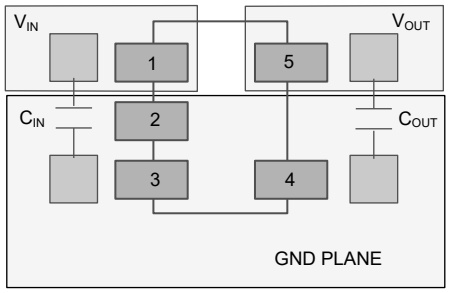


図 7-16. レイアウト例

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

8.1.1.1 評価基板

TPS7B91 を使用した初期の回路性能評価には、評価基板 (EVM) を利用することができます。ユニバーサル EVM (および関連するユーザーガイド) は、TI の製品フォルダ経由で TI ウェブサイトからリクエストするか、TI eStore から直接購入できます。

8.1.1.2 SPICE モデル

SPICE による回路パフォーマンスのコンピュータ シミュレーションは、アナログ回路やシステムのパフォーマンスを分析するため多くの場合に有用です。TPS7B91 用の SPICE モデルは、製品フォルダの「*ツールとソフトウェア*」から入手できます。

8.1.2 デバイスの命名規則

表 8-1. デバイスの命名規則

製品[(1)]	V_{OUT}
TPS7B91 **xx**DBV**z**	SOT-23 (DBV) パッケージの場合、 **XX** は公称出力電圧です (たとえば、33 = 3.3V、50 = 5.0V)。 **Z** はパッケージ数量です。

(1) 最新のパッケージ情報と発注情報については、このデータシートの末尾にある「付録：パッケージ オプション」を参照するか、www.ti.com または www.tij.co.jp にある TI の Web サイトを参照してください。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、「*汎用低ドロップアウト (LDO) 評価基板*」ユーザーガイド

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

Copyright © 2025 Texas Instruments Incorporated

8.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (April 2024) to Revision A (May 2025) **Page**

- ドキュメントから可変 (ADJ) 機能を削除 1
- 「*特長*」の「*利用可能な出力電圧オプション*」を「*出力電圧範囲*」に変更 1
- 「*概要*」セクションの可変構成および出力への参照を削除 1
- 「*ピン構成および機能*から可変の DBV パッケージ情報」を削除 3
- 「*代表的特性*」から可変構成曲線を削除 7
- 「*概要*」セクションを変更 13
- 可変バージョンのブロック図を削除 13
- 「*アプリケーション情報*」から、可変構成の説明について、出力電圧の柔軟性を削除 16
- 「*代表的なアプリケーション*」セクションから、「*可変 LDO レギュレータのプログラミング*」の図と、「*抵抗 R_1 および R_2 の可変出力電圧*」を削除 16
- 「*TPS7B9101 可変 LDO における V_{OUT} 設定*」セクションを削除 16
- 「*フィードフォワード コンデンサ (C_{FF})*」セクションを削除 17
- 「*レイアウト例*」図を変更 23
- 「*デバイスの命名規則*」から可変情報を削除 24

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7B91018DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	36ZH
TPS7B91018DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	36ZH
TPS7B91033DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	37AH
TPS7B91033DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	37AH
TPS7B91050DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	37BH
TPS7B91050DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	37BH
TPS7B91120DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	37CH
TPS7B91120DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	37CH

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

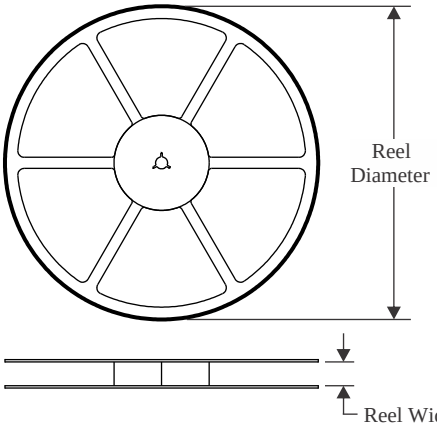
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

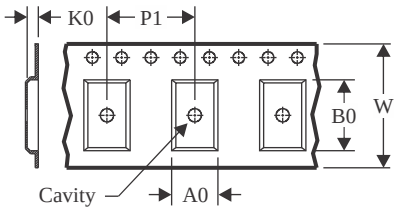
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

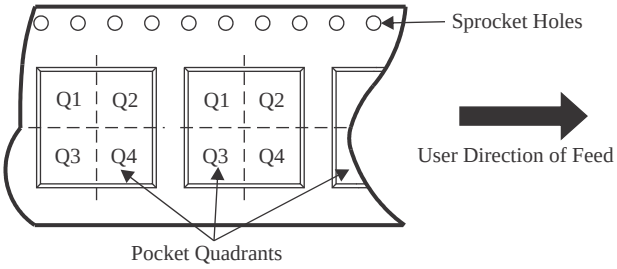


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

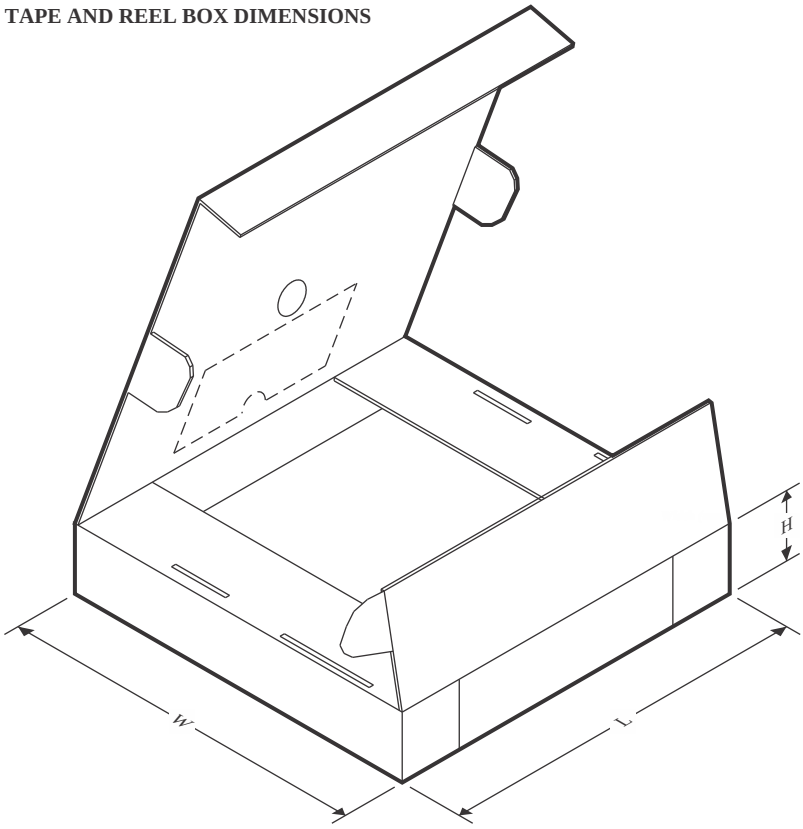
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

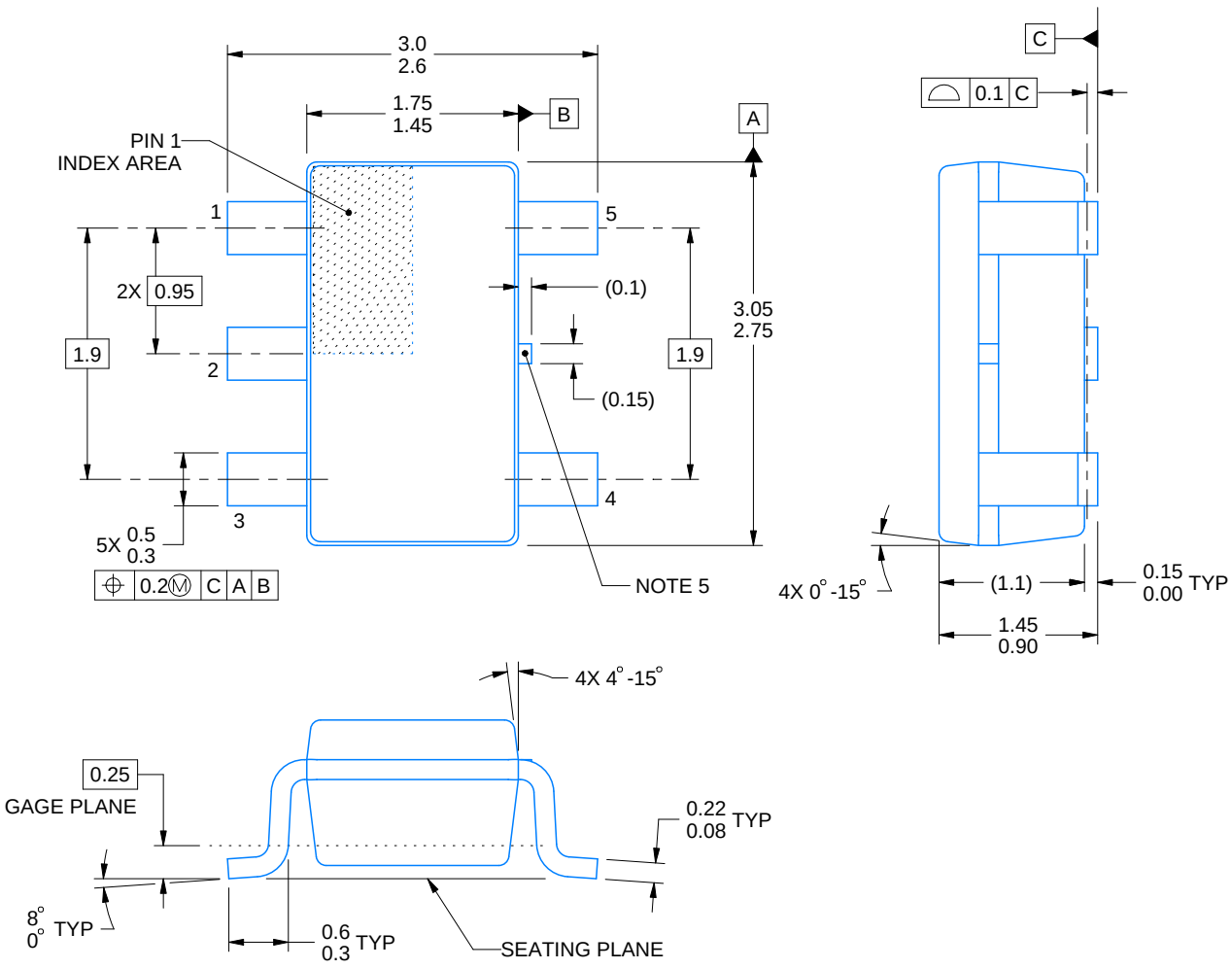
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7B91018DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS7B91033DBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS7B91050DBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS7B91120DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

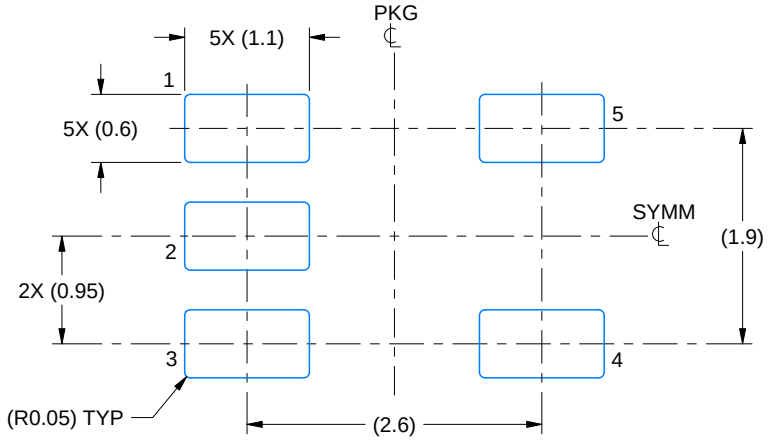
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7B91018DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS7B91033DBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
TPS7B91050DBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
TPS7B91120DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0



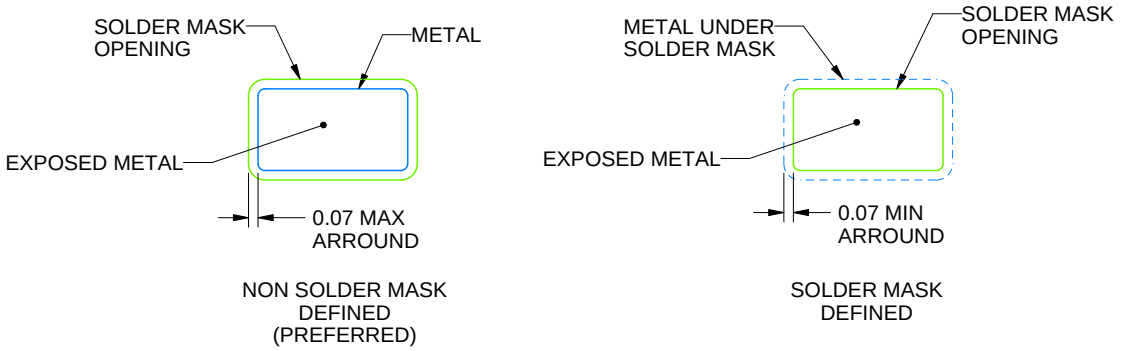
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

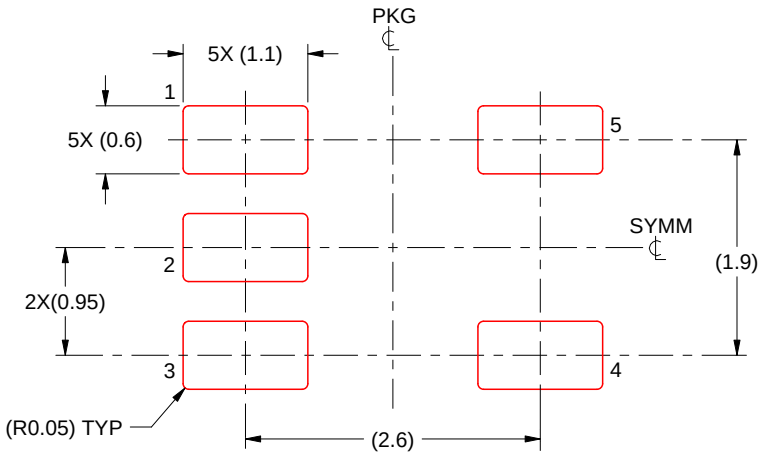


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月