

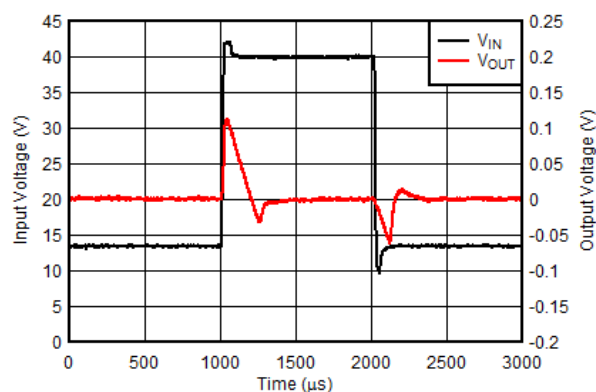
TPS7B87-Q1 車載対応、500mA、40V、低ドロップアウト レギュレータ、パワーグッド付き

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - 温度グレード 1: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$, T_A
 - 接合部温度: $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$, T_J
- 入力電圧範囲: 3V~40V (最大 42V)
- 出力電圧範囲: 3.3V および 5V (固定)
- 最大出力電流: 500mA
- 出力電圧精度: $\pm 0.85\%$ (最大値)
- Low ドロップアウト 電圧:
 - 475mV (最大値)、450mA 時
- 低い静止電流:
 - 軽負荷時: 17 μA (標準値)
- 優れたライン過渡応答:
 - V_{OUT} の $\pm 2\%$ の偏差 (コールド クランク時)
 - V_{OUT} の $\pm 2\%$ の偏差 (1V/ μs の V_{IN} スルーレート)
- パワーグッド、プログラマブル遅延期間付き
- 2.2 μF 以上のコンデンサで安定
- 機能安全対応
 - 機能安全システム設計に役立つ資料を利用可能
- パッケージオプション:
 - 5ピン TO-252 パッケージ: 29.7 $^{\circ}\text{C}/\text{W}$ $R_{\theta\text{JA}}$
 - サーマルパッド付き 8ピン HSOIC-8 パッケージ: 41.8 $^{\circ}\text{C}/\text{W}$ $R_{\theta\text{JA}}$

2 アプリケーション

- 再構成可能インストルメント クラスタ
- 車体制御モジュール (BCM)
- 常時オンのバッテリー接続アプリケーション:
 - 車載ゲートウェイ
 - リモート キーレス エントリ (RKE)



ライン過渡応答 (3V/ μs の V_{IN} スルーレート)

3 説明

TPS7B87-Q1 は、車載用アプリケーションのバッテリーに接続するように設計された低ドロップアウトリニアレギュレータです。このデバイスの入力電圧範囲は 40V まで拡張されているため、車載用システムで予測される過渡事象 (負荷ダンプなど) にも耐えられます。軽負荷時の静止電流がわずか 17 μA であるため、このデバイスは、スタンバイシステムにおけるマイクロコントローラ (MCU) やコントローラエリアネットワーク (CAN) トランシーバなど、常時オンのコンポーネントへの電力供給に適した設計になっています。

このデバイスは、負荷やラインの変動 (例: コールドクランク条件時) に出力が素早く応答できる最先端の過渡応答性能を備えています。またこのデバイスは、ドロップアウトからの回復時に出力オーバーシュートを最小限に抑える革新的なアーキテクチャを採用しています。通常動作時は、ライン、負荷、温度の全範囲にわたって誤差 $\pm 0.85\%$ の高い DC 精度を維持します。

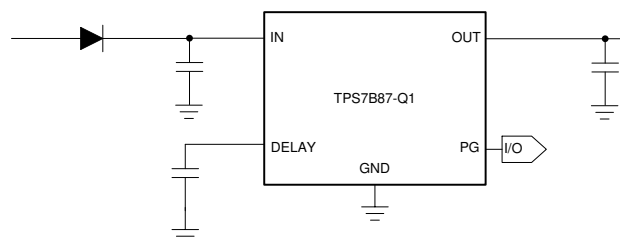
パワーグッド遅延は外部コンポーネントによって調整できるため、アプリケーション固有のシステムに合わせて遅延時間を構成できます。

このデバイスは熱伝導性のパッケージで供給されるため、デバイスが回路基板に熱を効率的に伝達できます。

パッケージ情報

部品番号	パッケージ (1)	パッケージサイズ (2)
TPS7B87-Q1	DDA (HSOIC, 8)	4.90mm × 6.00mm
	KVU (TO-252, 5)	6.60mm × 10.11mm

- 詳細については、[セクション 10](#) を参照してください。
- パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



出力がリファレンス電圧と等しい場合



目次

1 特長	1	6.4 デバイスの機能モード.....	17
2 アプリケーション	1	7 アプリケーションと実装	18
3 説明	1	7.1 アプリケーション情報.....	18
4 ピン構成および機能	3	7.2 代表的なアプリケーション.....	23
5 仕様	4	7.3 電源に関する推奨事項.....	24
5.1 絶対最大定格.....	4	7.4 レイアウト.....	24
5.2 ESD 定格.....	4	8 デバイスおよびドキュメントのサポート	26
5.3 推奨動作条件.....	5	8.1 デバイス サポート.....	26
5.4 熱に関する情報.....	5	8.2 ドキュメントの更新通知を受け取る方法.....	26
5.5 電気的特性.....	6	8.3 サポート・リソース.....	26
5.6 スイッチング特性.....	7	8.4 商標.....	26
5.7 代表的特性.....	8	8.5 静電気放電に関する注意事項.....	26
6 詳細説明	14	8.6 用語集.....	26
6.1 概要.....	14	9 改訂履歴	26
6.2 機能ブロック図.....	14	10 メカニカル、パッケージ、および注文情報	27
6.3 機能説明.....	15	10.1 メカニカル データ.....	28

4 ピン構成および機能

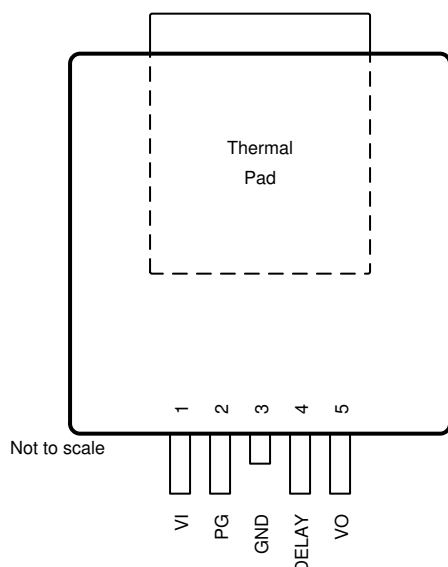


図 4-1. KVV パッケージ、5 ピン TO-252、上面図

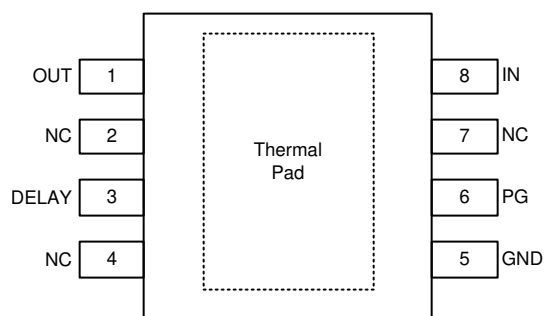


図 4-2. DDA パッケージ、8 ピン HSOIC (上面図)

表 4-1. ピンの機能

名称	ピン		タイプ ⁽¹⁾	説明
	KVV	DDA		
DELAY	4	3	I	パワーグッド遅延調整ピン。PG リセット遅延を設定するには、このピンから GND にコンデンサを接続します。デフォルト $t_{(DLY_FIX)}$ 遅延を発生させないように、このピンはフロートのままにしてください。詳細については、 パワー グッド (PG) セクションを参照してください。この機能が不要な場合は、このピンを GND に接続すると GND 電流が永続的に増加するため、このピンをフローティングのままにします。
GND	3	5	G	グラウンド
NC	—	2、4、7	—	内部接続なしこのピンはフローティングのままにすることも、最高の熱性能を得るために GND に接続することもできます。
PG	2	6	I	パワーグッド ピン。このピンは内部ブルアップ抵抗を含むこのピンは、 V_{OUT} または他のバイアス電圧レールに接続しないでください。 V_{OUT} がパワーグッド スレッシュホールドを上回ると、 V_{PG} がロジックレベル High になります。詳細については、 パワー グッド (PG) セクションを参照してください。
IN	1	8	P	入力電源電圧ピン。最適な過渡応答と入力インピーダンスの最小化を実現するために、「推奨動作条件」表と 入力コンデンサ セクションに記載された、推奨値以上の容量を持つセラミック コンデンサを IN と GND の間に接続します。入力コンデンサは、デバイスの入力のできるだけ近くに配置します。
OUT	5	1	O	レギュレートされた出力電圧ピン。安定性のために、OUT と GND の間にコンデンサが必要です。最適な過渡応答を得るために、「推奨動作条件」表および 出力コンデンサ セクションに記載された、公称の推奨値以上の容量を持つセラミック コンデンサを OUT と GND の間に接続します。この出力コンデンサは、デバイスのできるだけ近くに配置します。等価直列抵抗 (ESR) の大きいコンデンサを使用する場合は、100nF のセラミック コンデンサで出力をデカップリングします。
サーマル パッド	パッド	パッド	—	熱性能を向上させるには、サーマル パッドは大面積の GND プレーンに接続します。

(1) I = 入力、O = 出力、P = 電源、G = グランド。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
V_{IN}	レギュレートされていない入力	-0.3	42	V
V_{OUT}	制御された出力	-0.3	$V_{IN} + 0.3V^{(2)}$	V
遅延	リセット遅延入力、パワーグッド可変スレッシュホールド	-0.3	6	V
PG	パワーグッド出力	-0.3	20	V
T_J	動作時接合部温度	-40	150	°C
T_{stg}	保存温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用了場合、本デバイスは完全に機能するとは限りません。またその結果、本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります
- (2) 絶対最大定格は $V_{IN} + 0.3V$ または 20V のどちらか小さい方です

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	±500	
		すべてのピン 角のピン	±750	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	標準値	最大値	単位
V _{IN}	入力電圧	3		40	V
V _{OUT}	出力電圧	1.2		18	V
I _{OUT}	出力電流	0		500	mA
V _{Delay}	遅延ピンの電圧、パワー グッドの可変スレッシュホールド	0		5.5	V
V _{PG}	パワー グッド出力ピン	0		18	V
C _{OUT}	出力コンデンサ ⁽²⁾	2.2		220	μF
ESR	出力コンデンサの ESR 要件	0.001		2	Ω
C _{IN}	入力コンデンサ ⁽¹⁾	0.1	1		μF
C _{Delay}	パワーグッド遅延コンデンサ			1	μF
T _J	動作時接合部温度	-40		150	°C

- (1) 堅牢な EMI 性能を実現するための最小入力容量は 500nF です。
(2) 安定させるために、最低 1μF の実効出力キャパシタンスが必要です

5.4 熱に関する情報

熱評価基準 ^{(1) (2)}		TPS7B87-Q1			単位
		KVU	DDA		
		5 ピン	8 ピン (ASO: ASE) (3)	8 ピン (ASO: FMX) (3)	
R _{θJA}	接合部から周囲への熱抵抗	29.7	41.8	42.6	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	40.2	55	57.5	°C/W
R _{θJB}	接合部から基板への熱抵抗	8.6	17.3	17.8	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	2.9	4.5	5.6	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	8.5	17.3	17.9	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	1.5	5.7	7.5	°C/W

- (1) 熱データは、JEDEC 規格の high K プロファイル、JESD 51-7 に基づいています。2 信号、2 プレーン、4 層基板、2 オンスの銅を使用。銅パッドをサーマル ランド パターンに半田付けします。また、正しい取り付け手順に従う必要があります。
(2) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。
(3) ASO についての詳細は、命名規則の表を参照

5.5 電気的特性

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$, $V_{IN} = 13.5\text{V}$, $I_{OUT} = 0\text{mA}$, $C_{OUT} = 2.2\mu\text{F}$, $1\text{m}\Omega < C_{OUT} \text{ ESR} < 2\Omega$, $C_{IN} = 1\mu\text{F}$ 標準値は、 $T_J = 25^{\circ}\text{C}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OUT}	レギュレートされた出力	$V_{IN} = V_{OUT} + 1\text{V} \sim 40\text{V}$, $I_{OUT} = 100\mu\text{A} \sim 450\text{mA}$, $T_J = 25^{\circ}\text{C}^{(1)}$	-0.85		0.85	%
		$V_{IN} = V_{OUT} + 1\text{V} \sim 40\text{V}$, $I_{OUT} = 100\mu\text{A} \sim 500\text{mA}$, $T_J = 25^{\circ}\text{C}^{(1)}$	-0.85		0.85	
		$V_{IN} = V_{OUT} + 1\text{V} \sim 40\text{V}$, $I_{OUT} = 100\mu\text{A} \sim 450\text{mA}^{(1)}$	-1.15		1.15	
		$V_{IN} = V_{OUT} + 1\text{V} \sim 40\text{V}$, $I_{OUT} = 100\mu\text{A} \sim 500\text{mA}^{(1)}$	-1.15		1.15	
$\Delta V_{OUT}(\Delta I_{OUT})$	負荷レギュレーション (B パージョン)	$V_{IN} = V_{OUT} + 1\text{V}$, $I_{OUT} = 100\mu\text{A} \sim 450\text{mA}$, $V_{OUT} \geq 3.3\text{V}$			0.45	%
		$V_{IN} = V_{OUT} + 1\text{V}$, $I_{OUT} = 100\mu\text{A} \sim 500\text{mA}$, $V_{OUT} \geq 3.3\text{V}$			0.475	%
$\Delta V_{OUT}(\Delta I_{OUT})$	負荷レギュレーション	$V_{IN} = V_{OUT} + 1\text{V}$, $I_{OUT} = 100\mu\text{A} \sim 450\text{mA}$, $V_{OUT} \geq 3.3\text{V}$			0.425	%
		$V_{IN} = V_{OUT} + 1\text{V}$, $I_{OUT} = 100\mu\text{A} \sim 500\text{mA}$, $V_{OUT} \geq 3.3\text{V}$			0.45	
$\Delta V_{OUT}(\Delta V_{IN})$	ラインレギュレーション	$V_{IN} = V_{OUT} + 1\text{V} \sim 40\text{V}$, $I_{OUT} = 100\mu\text{A}$			0.2	%
ΔV_{OUT}	負荷過渡応答のセトリングタイム ⁽²⁾	$t_R = t_F = 1\mu\text{s}$, $C_{OUT} = 10\mu\text{F}$, $V_{OUT} \geq 3.3\text{V}$			100	μs
ΔV_{OUT}	負荷過渡応答のオーバーシュート / アンダーシュート ⁽²⁾	$I_{OUT} = 150\text{mA} \sim 350\text{mA}$	-2%			% V_{OUT}
		$t_R = t_F = 1\mu\text{s}$, $C_{OUT} = 10\mu\text{F}$, $I_{OUT} = 350\text{mA} \sim 150\text{mA}$			10%	
		$I_{OUT} = 0\text{mA} \sim 500\text{mA}$	-10%			
I_Q	静止時電流	$V_{IN} = V_{OUT} + 1\text{V} \sim 40\text{V}$, $I_{OUT} = 0\text{mA}$, $T_J = 25^{\circ}\text{C}^{(3)}$		17	21	μA
		$V_{IN} = V_{OUT} + 1\text{V} \sim 40\text{V}$, $I_{OUT} = 0\text{mA}^{(3)}$			26	
		$I_{OUT} = 500\mu\text{A}$			35	
V_{DO}	固定出力電圧時のドロップアウト電圧 (DDA パッケージ)	$I_{OUT} \leq 1\text{mA}$, $V_{OUT} \geq 3.3\text{V}$, $V_{IN} = V_{OUT}(\text{NOM}) \times 0.95$			43	mV
		$I_{OUT} = 315\text{mA}$, $V_{OUT} \geq 3.3\text{V}$, $V_{IN} = V_{OUT}(\text{NOM})$		260	360	
		$I_{OUT} = 450\text{mA}$, $V_{OUT} \geq 3.3\text{V}$, $V_{IN} = V_{OUT}(\text{NOM})$		335	475	
		$I_{OUT} = 500\text{mA}$, $V_{OUT} \geq 3.3\text{V}$, $V_{IN} = V_{OUT}(\text{NOM})$		360	535	
V_{DO}	固定出力電圧時のドロップアウト電圧 (KVU パッケージ)	$I_{OUT} \leq 1\text{mA}$, $V_{OUT} \geq 3.3\text{V}$, $V_{IN} = V_{OUT}(\text{NOM}) \times 0.95$			46	mV
		$I_{OUT} = 315\text{mA}$, $V_{OUT} \geq 3.3\text{V}$, $V_{IN} = V_{OUT}(\text{NOM})$		275	400	
		$I_{OUT} = 450\text{mA}$, $V_{OUT} \geq 3.3\text{V}$, $V_{IN} = V_{OUT}(\text{NOM})$		360	525	
		$I_{OUT} = 500\text{mA}$, $V_{OUT} \geq 3.3\text{V}$, $V_{IN} = V_{OUT}(\text{NOM})$		390	575	
$V_{UVLO}(\text{RISING})$	立ち上がり入力電源 UVLO	V_{IN} 立ち上がり	2.6	2.7	2.82	V
$V_{UVLO}(\text{FALLING})$	立ち下がり入力電源 UVLO	V_{IN} 立ち下がり	2.38	2.5	2.6	V
$V_{UVLO}(\text{HYST})$	$V_{UVLO}(\text{IN})$ ヒステリシス			230		mV
I_{CL}	出力電流制限	$V_{IN} = V_{OUT} + 1\text{V}$, V_{OUT} を $90\% \times V_{OUT}(\text{NOM})$ に短絡	540		780	mA
PSRR	電源除去比	$V_{IN} - V_{OUT} = 1\text{V}$, 周波数 = 1kHz, $I_{OUT} = 450\text{mA}$		70		dB
R_{PG}	パワーグッド内部プルアップ抵抗		10	30	50	k Ω
$V_{PG}(\text{OL})$	PG ピンの Low レベル出力電圧	$V_{OUT} \leq 0.83 \times V_{OUT}$			0.4	V
$V_{PG}(\text{TH}, \text{RISING})$	パワーグッド スレッショルドのデフォルト値	V_{OUT} 立ち上がり	85		95	% V_{OUT}
$V_{PG}(\text{TH}, \text{FALLING})$	パワーグッド スレッショルドのデフォルト値	V_{OUT} 立ち下がり	83		93	
$V_{PG}(\text{HYST})$	パワーグッド ヒステリシス			2		
$V_{DLY}(\text{TH})$	パワーグッドが HIGH に復帰するスレッショルド	DELAY ピン立ち上がりの電圧	1.17	1.21	1.25	V
$I_{DLY}(\text{CHARGE})$	遅延コンデンサの充電電流	DELAY ピン = 1V の電圧	1	1.5	2	μA
T_J	接合部温度		-40		150	$^{\circ}\text{C}$
$T_{SD}(\text{SHUTDOWN})$	接合部のシャットダウン温度			175		$^{\circ}\text{C}$
$T_{SD}(\text{HYST})$	サーマル シャットダウンのヒステリシス			20		$^{\circ}\text{C}$

(1) デバイス製造テストの目的で、消費電力は 2W に制限されています。この消費電力は、通常動作中に高くなる可能性があります。接合部温度を 150°C 未満に維持しながらデバイスが消費する電力の詳細については、熱放散のセクションを参照してください。

(2) 設計により規定されています。

(3) 可変出力の場合、これはユニティ ゲインでテストされ、抵抗電流は含まれません。

5.6 スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
パワー グッドのタイミング特性						
$t_{\text{DLY_FIX}}$	パワー グッドの伝搬遅延	DELAY ビンにコンデンサを接続しない		100		μs
t_{Deglitch}	パワー グッドのグリッチ除去時間	DELAY ビンにコンデンサを接続しない		90		μs
t_{DLY}	パワー グッドの伝搬遅延	遅延コンデンサの値: $C_{\text{(DELAY)}} = 100\text{nF}$		80		ms

5.7 代表的特性

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$, $V_{IN} = 13.5\text{V}$, $I_{OUT} = 100\mu\text{A}$, $C_{OUT} = 2.2\mu\text{F}$, $1\text{m}\Omega < C_{OUT} \text{ ESR} < 2\Omega$, および $C_{IN} = 1\mu\text{F}$ で規定 (特に記載のない限り)

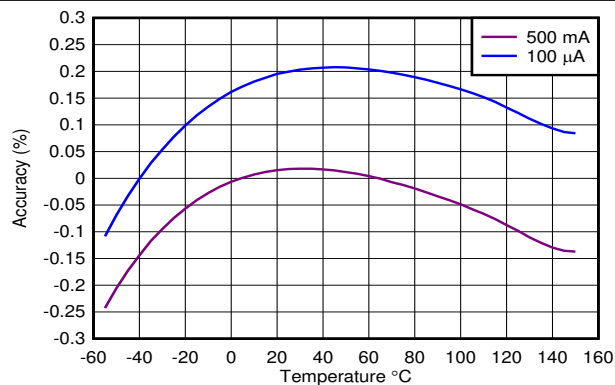


図 5-1. 精度と温度との関係

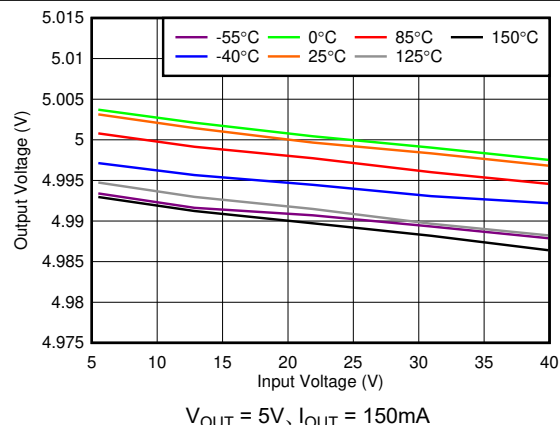


図 5-2. ラインレギュレーションと V_{IN} との関係

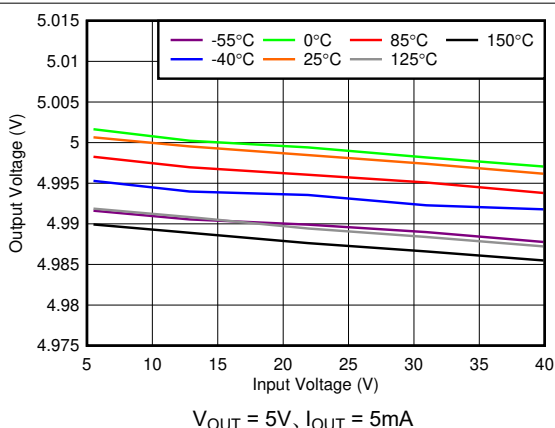


図 5-3. ラインレギュレーションと V_{IN} との関係

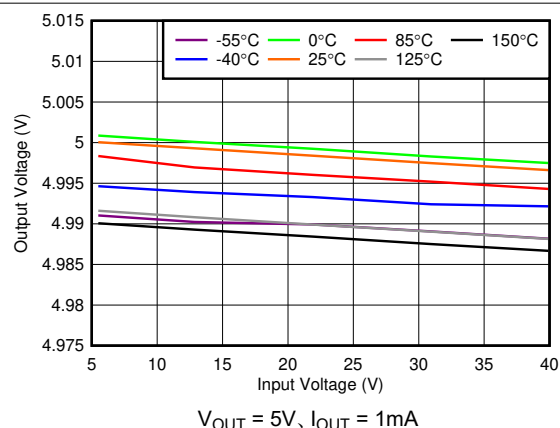


図 5-4. ラインレギュレーションと V_{IN} との関係

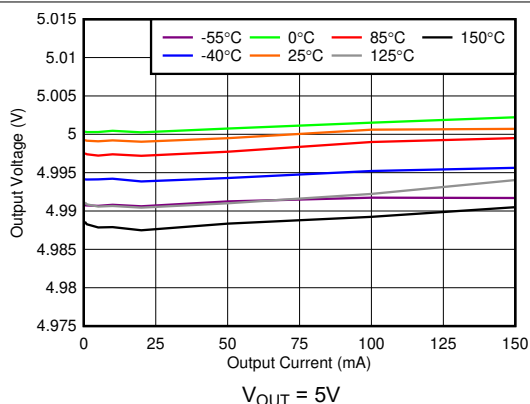


図 5-5. ロードレギュレーションと I_{OUT} との関係

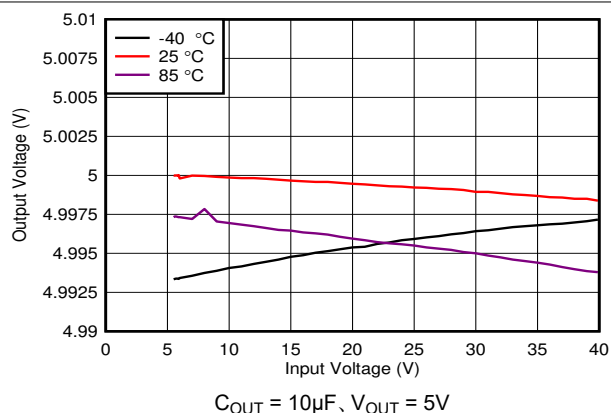


図 5-6. ラインレギュレーション, 50mA

5.7 代表的特性 (続き)

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$, $V_{IN} = 13.5\text{V}$, $I_{OUT} = 100\mu\text{A}$, $C_{OUT} = 2.2\mu\text{F}$, $1\text{m}\Omega < C_{OUT} \text{ ESR} < 2\Omega$, および $C_{IN} = 1\mu\text{F}$ で規定 (特に記載のない限り)

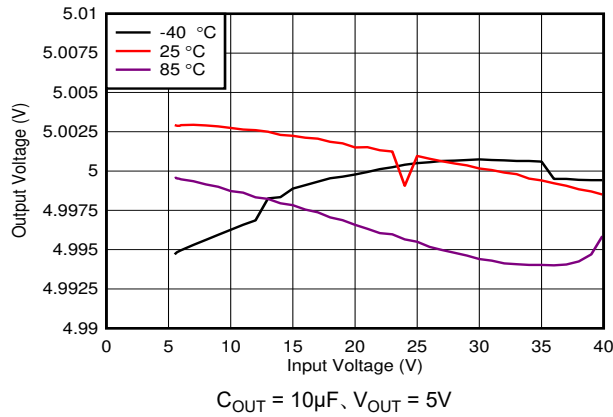


図 5-7. ラインレギュレーション、100mA

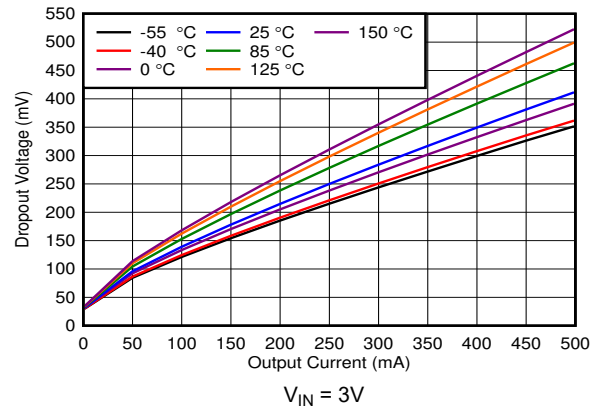


図 5-8. ドロップアウト電圧 (V_{D0}) と I_{OUT} との関係

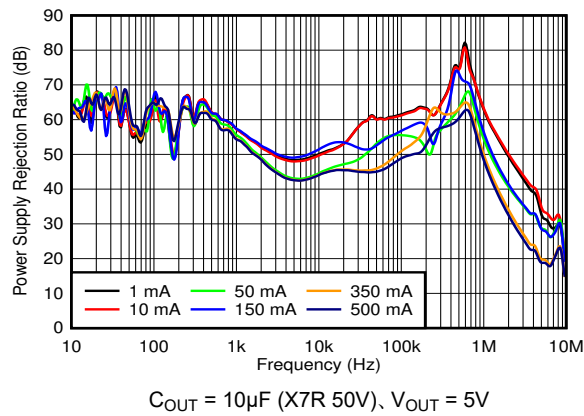


図 5-9. PSRR と周波数および I_{OUT} との関係

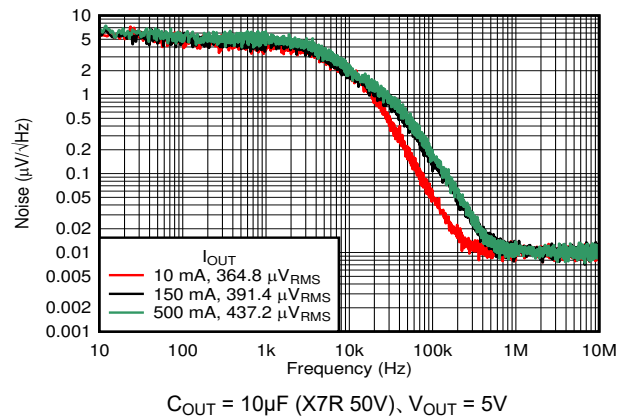


図 5-10. ノイズ電圧と周波数との関係

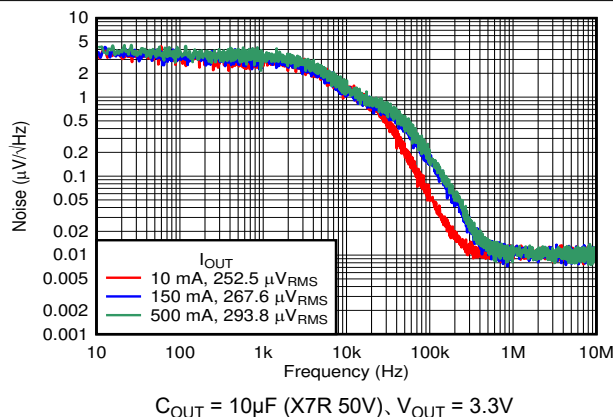


図 5-11. ノイズ電圧と周波数との関係

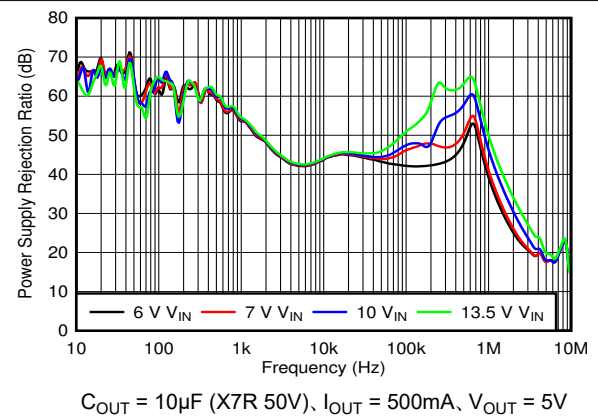


図 5-12. PSRR と周波数および V_{IN} との関係

5.7 代表的特性 (続き)

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$, $V_{IN} = 13.5\text{V}$, $I_{OUT} = 100\mu\text{A}$, $C_{OUT} = 2.2\mu\text{F}$, $1\text{m}\Omega < C_{OUT} \text{ ESR} < 2\Omega$, および $C_{IN} = 1\mu\text{F}$ で規定 (特に記載のない限り)

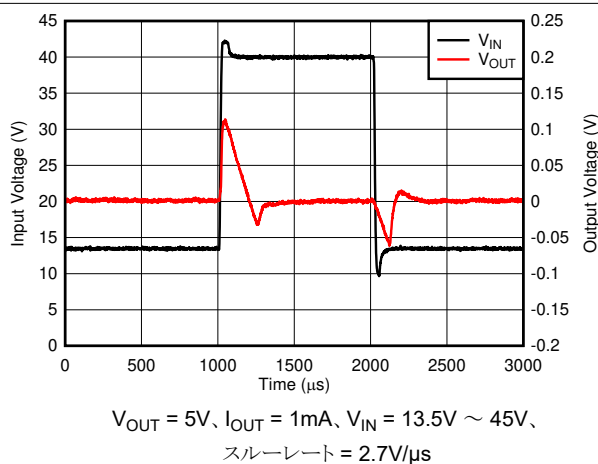


図 5-13. ライン過渡

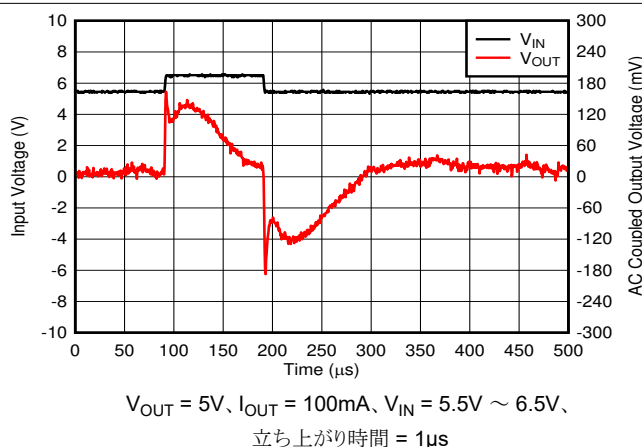


図 5-14. ライン過渡

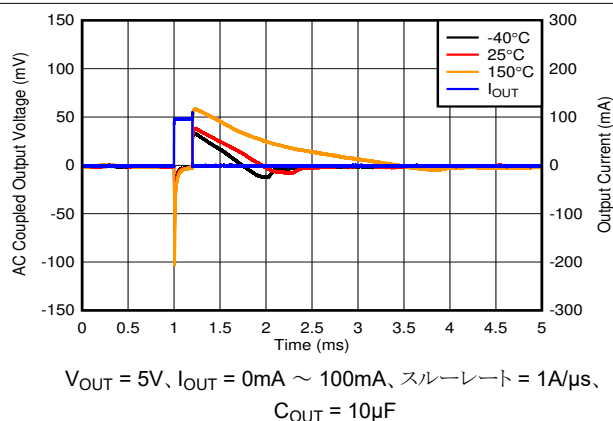


図 5-15. 負荷過渡、無負荷から 100mA へ

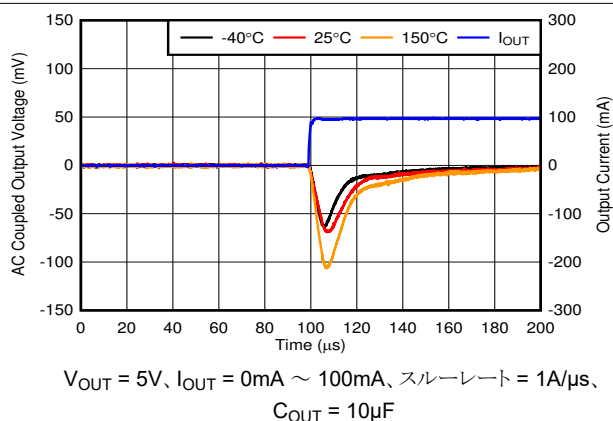


図 5-16. 負荷過渡、無負荷から 100mA への立ち上がりエッジ

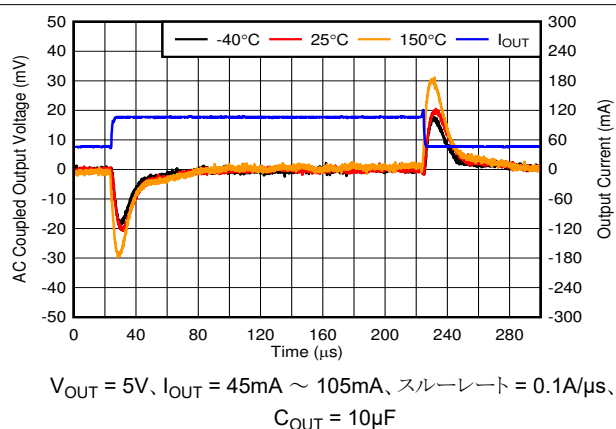


図 5-17. 負荷過渡、45mA~105mA

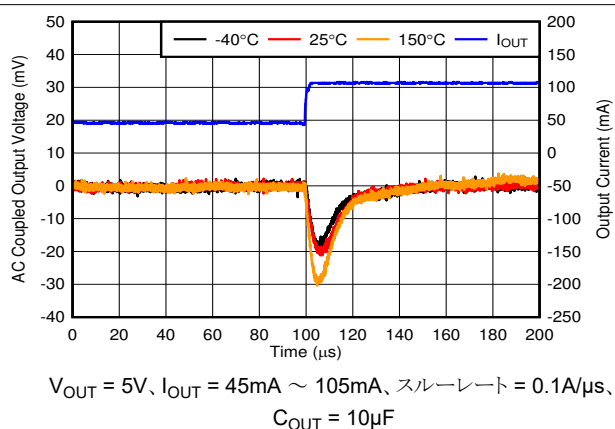


図 5-18. 負荷過渡、45mA から 105mA への立ち上がりエッジ

5.7 代表的特性 (続き)

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$, $V_{IN} = 13.5\text{V}$, $I_{OUT} = 100\mu\text{A}$, $C_{OUT} = 2.2\mu\text{F}$, $1\text{m}\Omega < C_{OUT} \text{ ESR} < 2\Omega$, および $C_{IN} = 1\mu\text{F}$ で規定 (特に記載のない限り)

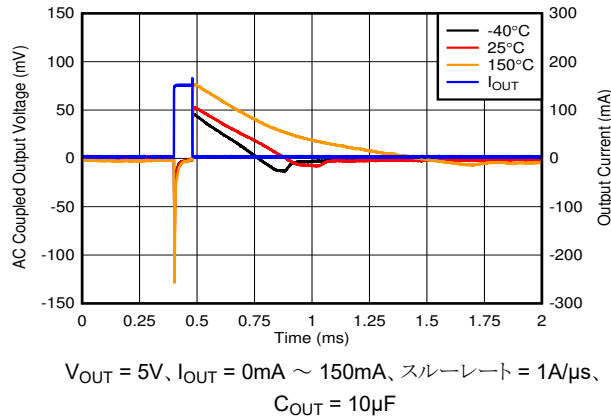


図 5-19. 負荷過渡、無負荷から 150mA へ

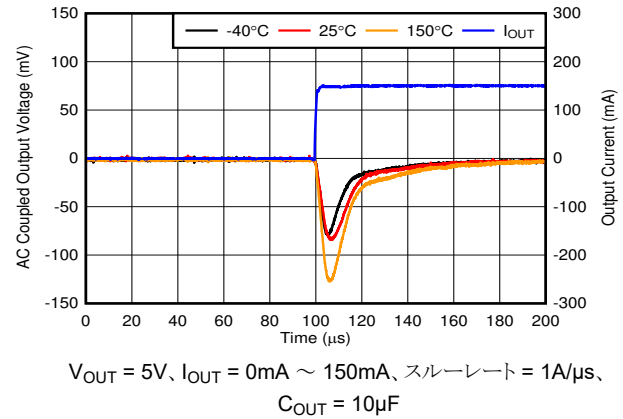


図 5-20. 負荷過渡、無負荷から 150mA への立ち上がりエッジ

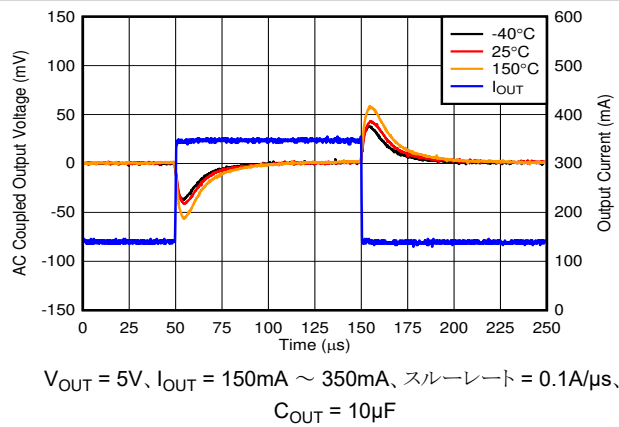


図 5-21. 負荷過渡、150mA~350mA

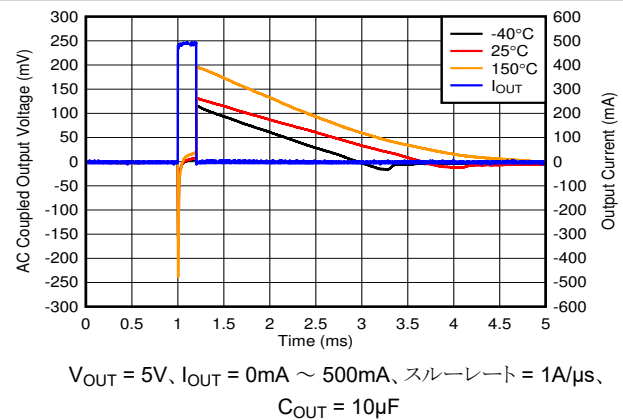


図 5-22. 負荷過渡、無負荷から 500mA へ

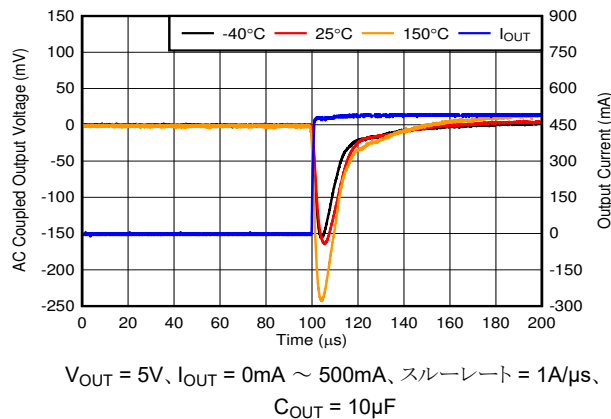


図 5-23. 負荷過渡、無負荷から 500mA への立ち上がりエッジ

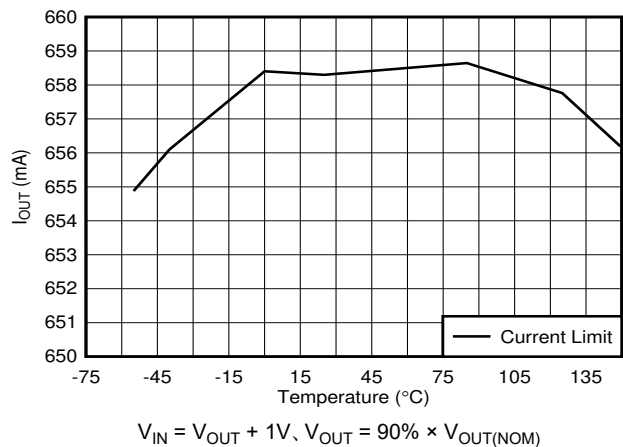


図 5-24. 出力電流制限と温度との関係

5.7 代表的特性 (続き)

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$, $V_{IN} = 13.5\text{V}$, $I_{OUT} = 100\mu\text{A}$, $C_{OUT} = 2.2\mu\text{F}$, $1\text{m}\Omega < C_{OUT} \text{ ESR} < 2\Omega$, および $C_{IN} = 1\mu\text{F}$ で規定 (特に記載のない限り)

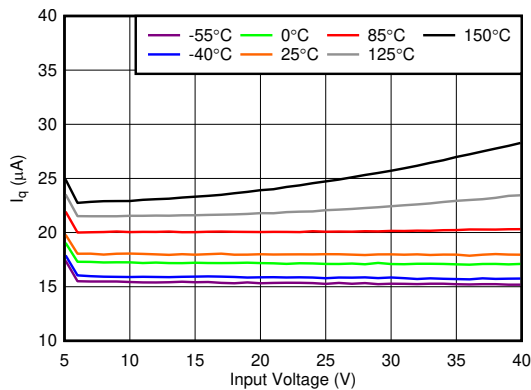


図 5-25. 静止電流 (I_Q) と V_{IN} との関係

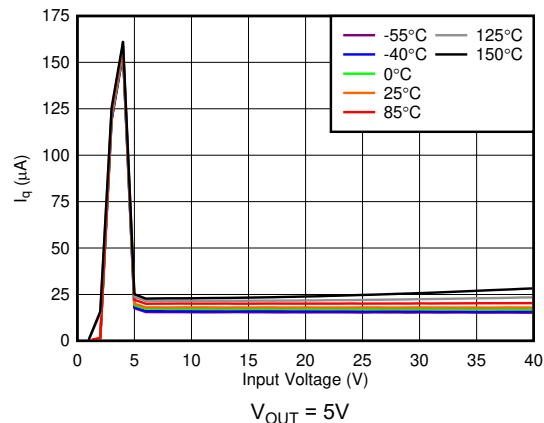


図 5-26. 静止電流 (I_Q) と V_{IN} との関係

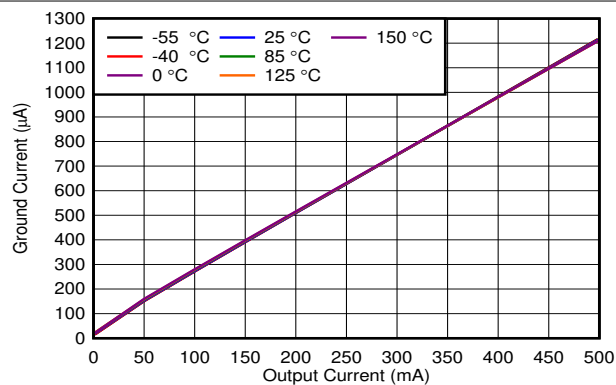


図 5-27. グランド電流 (I_{GND}) と I_{OUT}

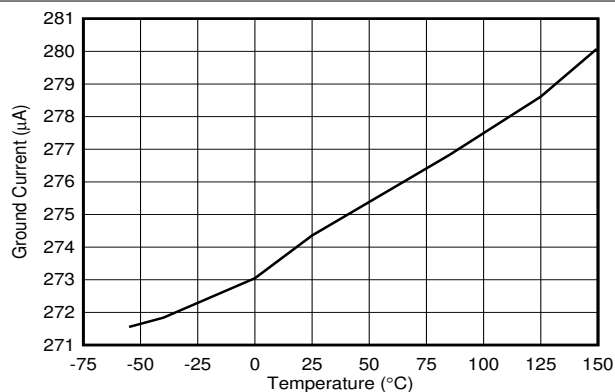


図 5-28. 100mA でのグランド電流

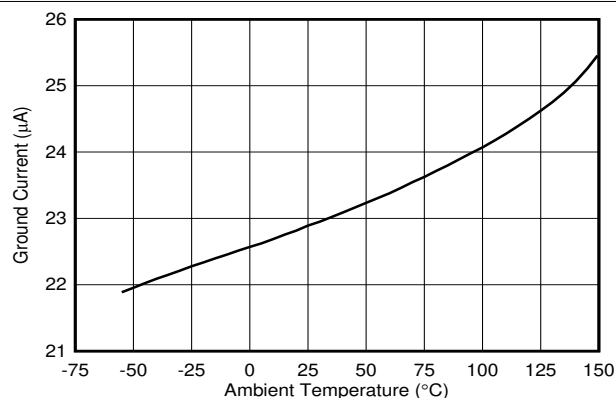


図 5-29. 500μA でのグランド電流

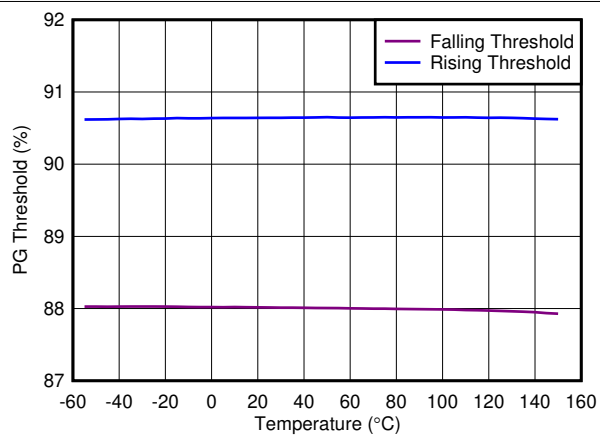


図 5-30. PG スレッシュホールドと温度との関係

5.7 代表的特性 (続き)

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$, $V_{IN} = 13.5\text{V}$, $I_{OUT} = 100\mu\text{A}$, $C_{OUT} = 2.2\mu\text{F}$, $1\text{m}\Omega < C_{OUT} \text{ ESR} < 2\Omega$, および $C_{IN} = 1\mu\text{F}$ で規定 (特に記載のない限り)

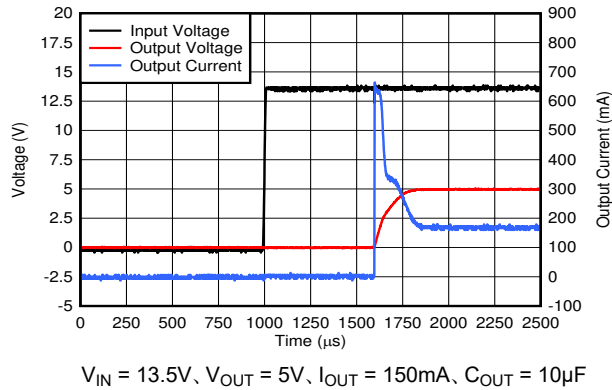


図 5-31. スタートアップ プロット突入電流

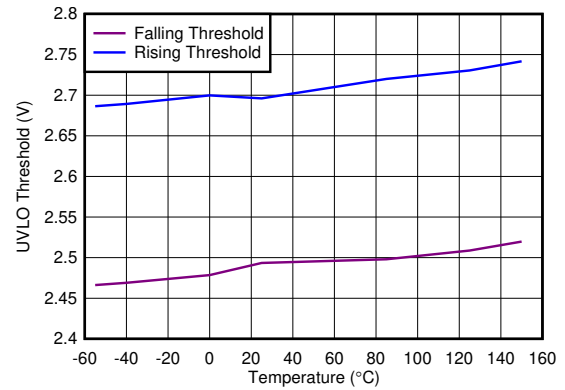


図 5-32. 低電圧誤動作防止 (UVLO) スレッシュホールドと温度との関係

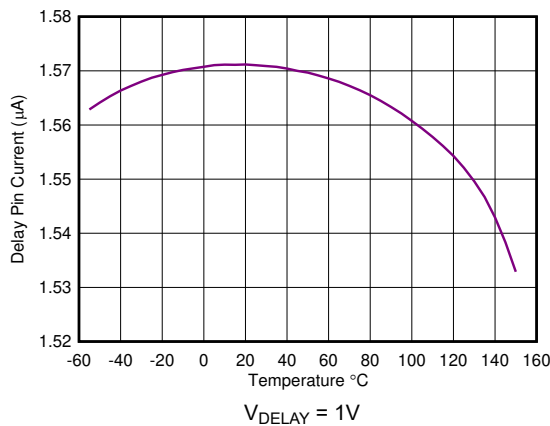


図 5-33. 遅延ピンの電流と温度との関係

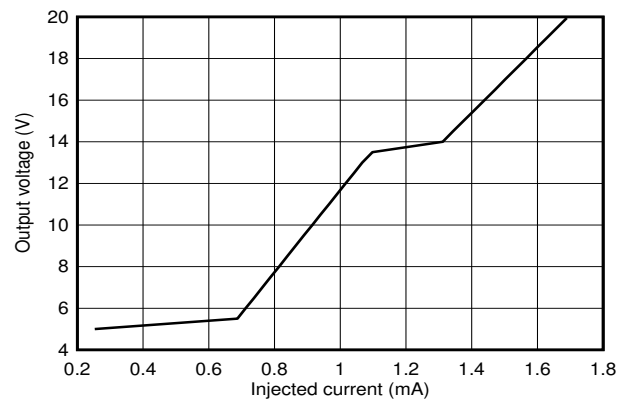


図 5-34. 出力電圧と注入電流との関係

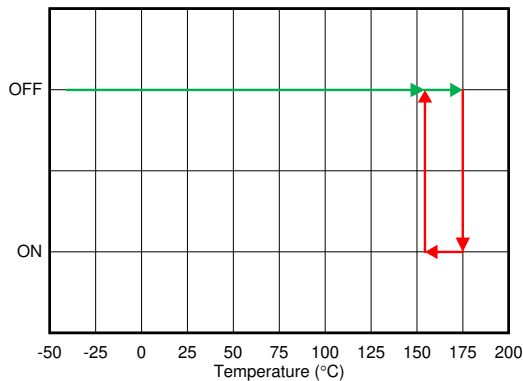


図 5-35. サーマル シャットダウン

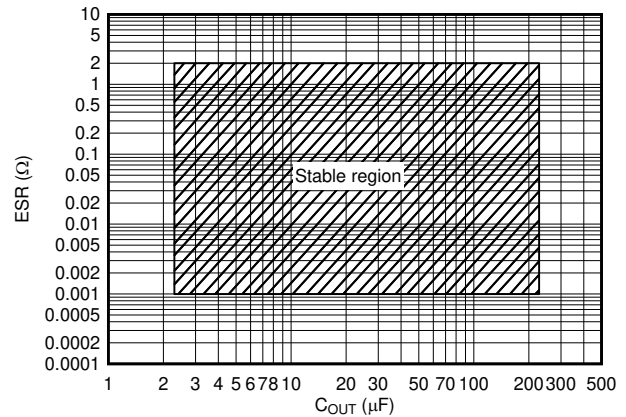


図 5-36. 安定性、ESR と C_{OUT} との関係

6 詳細説明

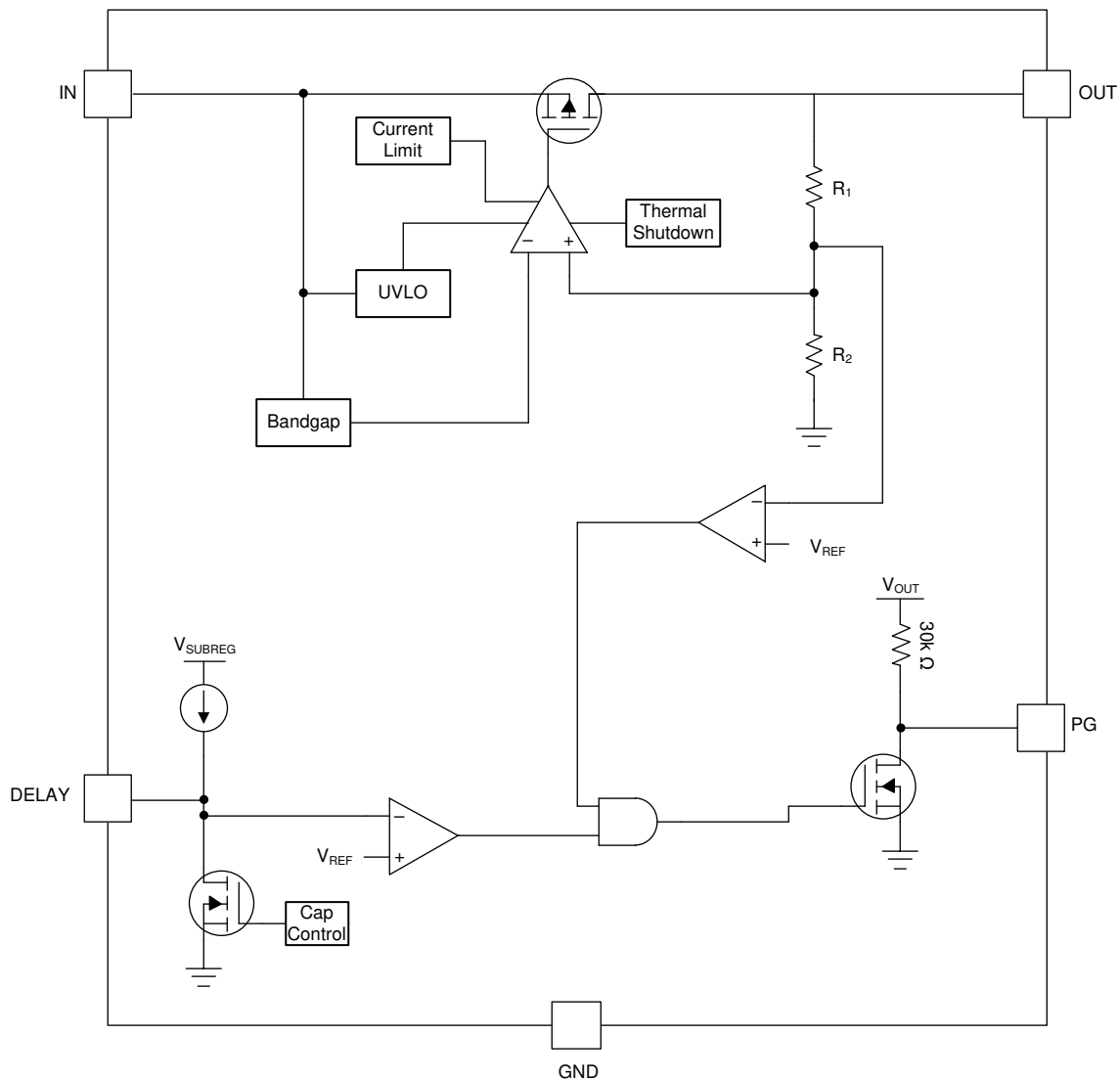
6.1 概要

TPS7B87-Q1 は、過渡応答を改善した低ドロップアウトリニアレギュレータ (LDO) で、ラインまたは負荷条件の変化にすばやく応答します。このデバイスには、コールドクランク条件下での出力オーバーシュートを最小限に抑えることができる、新しいオーバーシュート低減機能が搭載されています。

内蔵のパワーグッドおよび遅延機能により、システムは電源が安定しているときに下流のコンポーネントへ通知し、シーケンシング要件を支援します。

通常動作時、このデバイスはライン、負荷、温度の全範囲にわたって $\pm 0.85\%$ の高い DC 精度を維持します。精度が向上することにより、敏感なアナログ負荷またはセンサに電力を供給できます。

6.2 機能ブロック図



6.3 機能説明

6.3.1 パワーグッド (PG)

パワーグッド (PG) ピンはオープンドレイン出力であり、外付けプルアップ抵抗を介して安定化電源に接続できます。最大プルアップ電圧は、[推奨動作条件](#) 表に V_{PG} と記載されています。PG ピンが有効出力となるためには、IN ピンの電圧が、[電気的特性](#) 表に示されている $V_{UVLO(RISING)}$ より高い必要があります。 V_{OUT} が $V_{PG(TH, RISING)}$ を超えると、PG 出力は高インピーダンスになり、PG ピンの電圧が接続されたレギュレーション電源にプルアップされます。レギュレートされた出力が $V_{PG(TH, FALLING)}$ を下回ると、オープンドレイン出力がオンになり、PG 出力が **low** にプルされます。出力電圧のモニタリングが不要な場合、PG ピンはフローティングのままにするか、グランドに接続してください。

外部電源にプルアップ抵抗を接続することで、後段のデバイスはパワーグッド (PG) 信号をロジック信号として受け取り、シーケンス制御に利用できます。外部プルアップ電源電圧が受信デバイスの有効なロジック信号になることを確認します。

6.3.2 可変パワーグッド遅延タイム (DELAY)

パワーグッド遅延時間は、DELAY ピンの外付けコンデンサの関数です。可変遅延時間により、PG ピンが **high** になるまでに必要な時間を設定します。この遅延時間は、このピンと GND との間に外付けコンデンサを接続することで構成されます。[図 6-1](#) に、パワーグッド遅延ピンの標準的なタイミング図を示します。DELAY ピンがフローティングのままの場合、パワーグッド遅延は $T(dly_fix)(DLY_FIX)$ になります。リセット遅延のプログラム方法の詳細については、[可変パワーグッド遅延の設定](#) セクションを参照してください。

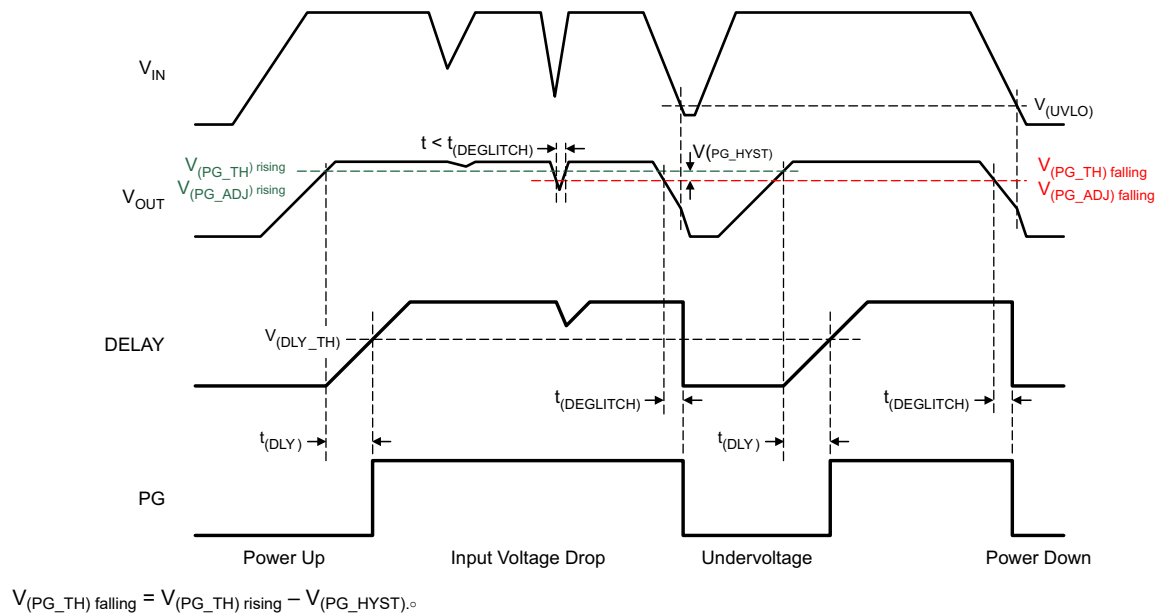


図 6-1. パワーグッドの標準タイミング図

6.3.3 低電圧誤動作防止

このデバイスは、入力電圧を監視する独立した低電圧ロックアウト (UVLO) 回路を備えており、出力電圧のオンおよびオフを制御された一定の動作で行えるようにします。ターンオン中に入力電圧が降下した場合にデバイスがオフにならないように、UVLO には、[電気的特性](#) 表に規定されているヒステリシスがあります。

6.3.4 サーマル シャットダウン

デバイスには、パストランジスタの接合部温度

(T_J) が $T_{SD(shutdown)}$ (標準値) まで上昇したときにデバイスを無効化するサーマル シャットダウン保護回路が内蔵されています。サーマル シャットダウン ヒステリシスにより温度が $T_{SD(reset)}$ (標準値) まで低下すると、デバイスがリセットされます (オンになります)。

半導体ダイの熱時定数はかなり短いため、消費電力が減少するまでの間、サーマル シャットダウンに達した場合に本デバイスはサイクルのオンとオフを行うことができます。起動時の電力損失は、デバイス両端で V_{IN} と V_{OUT} 間の大きな電圧降下が発生するか、または大容量の出力コンデンサを充電する高い突入電流によって、高くなる場合があります。条件によっては、サーマル シャットダウン保護機能により、起動が完了する前にデバイスが無効化されることがあります。

信頼性の高い動作を実現するには、接合部温度を [推奨動作条件表](#) に記載された最大値に制限します。この最大温度を超えて動作すると、デバイスは動作仕様を超えます。本デバイスの内蔵保護回路は全体的な熱条件から保護するように設計されていますが、この回路は適切なヒートシンクの代わりとなるものではありません。デバイスをサーマル シャットダウン状態、または推奨される最大接合部温度を上回る状態で使用し続けると、長期的な信頼性が低下します。

6.3.5 電流制限

このデバイスには、内部に電流制限回路があり、過渡的な高負荷電流障害または短絡イベントの時にレギュレータを保護します。電流制限は、ブリックウォール方式です。高負荷電流障害では、ブリックウォール方式により、出力電流が電流制限 (I_{CL}) に制限されます。 I_{CL} は、「[電気的特性](#)」表に記載されています。

デバイスが電流制限されている場合、出力電圧はレギュレートされません。電流制限イベントが発生すると、消費電力の増加によりデバイスが発熱し始めます。デバイスがブリックウォール電流制限にある場合、パストランジスタは電力 $[(V_{IN} - V_{OUT}) \times I_{CL}]$ を消費します。サーマル シャットダウンがトリガされると、デバイスはオフになります。デバイスの温度が下がると、内蔵のサーマル シャットダウン回路によってデバイスがオンに戻ります。出力電流フォルト状態が継続すると、デバイスは電流制限とサーマル シャットダウンを繰り返します。電流制限の詳細については、「[制限の把握](#)」アプリケーションノートを参照してください。

図 6-2 は、電流制限の図を示しています。

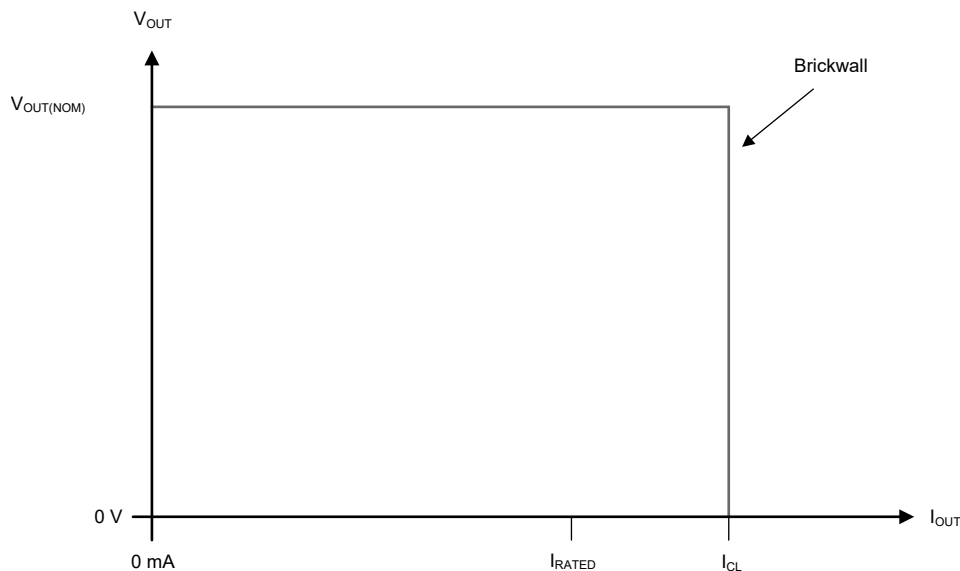


図 6-2. 電流制限

6.4 デバイスの機能モード

6.4.1 デバイスの機能モードの比較

表 6-1 に、各種の動作モードにつながる条件を示します。パラメータ値については、[電氣的特性](#) 表を参照してください。

表 6-1. デバイスの機能モードの比較

動作モード	パラメータ		
	V_{IN}	I_{OUT}	T_J
通常動作	$V_{IN} > V_{OUT(nom)} + V_{DO}$ および $V_{IN} > V_{IN(min)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
ドロップアウト動作	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
ディセーブル (条件が真の場合、デバイスはディセーブル)	$V_{IN} < V_{UVLO}$	該当なし	$T_J > T_{SD(shutdown)}$

6.4.2 通常動作

デバイスは、以下の条件が満たされるとき、公称出力電圧へのレギュレートを行います。

- 入力電圧が、公称出力電圧とドロップアウト電圧の和 ($V_{OUT(nom)} + V_{DO}$) よりも大きい
- 出力電流が、電流制限より小さい ($I_{OUT} < I_{CL}$)
- デバイスの接合部温度がサーマル シャットダウンの温度を下回っている ($T_J < T_{SD}$)

6.4.3 ドロップアウト動作

入力電圧が、公称出力電圧と規定ドロップアウト電圧の和よりも小さいが、通常動作の他の条件がすべて満たされているとき、デバイスはドロップアウト モードで動作します。このモードでは、出力電圧は入力電圧に追従します。このモードでは、パストランジスタがオーム領域または三極管領域にあり、スイッチとして機能するため、デバイスの過渡性能が大幅に低下します。ドロップアウト中にライン過渡または負荷過渡が生じると、大きな出力電圧の偏差が発生することがあります。

デバイスが定常的なドロップアウト状態にあるとき (起動中ではないが、通常のレギュレーション状態になった直後に、デバイスがドロップアウト状態 ($V_{IN} < V_{OUT(NOM)} + V_{DO}$) になったときとして定義される)、パストランジスタはオーム領域または三極管領域に駆動されます。入力電圧が公称出力電圧にドロップアウト電圧 ($V_{OUT(NOM)} + V_{DO}$) を加えた値以上に戻ると、デバイスがパストランジスタをリニア領域にプルバックする間に、出力電圧が短時間オーバーシュートする可能性があります。

6.4.4 ディセーブル

入力電圧を $UVLO$ 立ち下がりスレッシュホールド未満にすることで、このデバイスの出力をシャットダウンできます (「[電氣的特性](#)」表を参照)。ディセーブルになると、パストランジスタはオフになり、内部回路がシャットダウンされます。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

7.1.1 入力および出力コンデンサの選択

TPS7B87-Q1 は、安定性のための 2.2 μF 以上の出力コンデンサ (静電容量 1 μF 以上) と 0.001 Ω ~ 2 Ω の等価直列抵抗 (ESR) を必要とします。最高の過渡性能を得るには、X5R および X7R タイプのセラミック コンデンサを使用します。これらのコンデンサは、温度による値と ESR の変動が最小限に抑えられているからです。特定のアプリケーション用にコンデンサを選択するときは、コンデンサの DC バイアス特性に注意します。出力電圧が高くなると、コンデンサの定格が大きく低下します。最高の性能を得るために、推奨される最大出力容量は 220 μF です。

安定性のために入力コンデンサは必要ではありませんが、アナログ設計では IN と GND の間にコンデンサを接続するのが適切です。一部の入力電源は高インピーダンスなので、入力電源に入力コンデンサを配置することで、入力インピーダンスを低減できます。このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、入力リップル、PSRR を改善します。入力電源が広い周波数範囲で高いインピーダンスを持つ場合、複数の入力コンデンサを並列に接続することで、周波数全体にわたるインピーダンスを低減できます。立ち上がり時間の短い大きな負荷過渡事象が予想される場合、またはデバイスが入力電源から数インチの場所に配置される場合は、より大きな値のコンデンサを使用してください。

7.1.2 ドロップアウト電圧

ドロップアウト電圧 (V_{DO}) は、パストランジスタが完全にオンとなる定格出力電流 (I_{RATED}) において、入力電圧から出力電圧を引いた値 ($V_{\text{IN}} - V_{\text{OUT}}$) として定義されます。 I_{RATED} は、[推奨動作条件](#) 表に記載されている最大 I_{OUT} です。パストランジスタは、抵抗領域すなわち動作の三極管領域で動作し、スイッチとして機能します。ドロップアウト電圧は、出力電圧がレギュレーションのままとどまると予想される、プログラムされた公称出力電圧よりも大きな最小入力電圧を間接的に指定します。入力電圧が公称出力レギュレーションよりも低下すると、出力電圧も同様に低下します。

CMOS レギュレータの場合、ドロップアウト電圧はパストランジスタのドレイン ソース間オン抵抗 ($R_{\text{DS(ON)}}$) によって決まります。したがって、リニア レギュレータが定格電流よりも低い値で動作する場合、その電流に対するドロップアウト電圧はそれに応じてスケールリングされます。以下の式を使用して、デバイスの $R_{\text{DS(ON)}}$ を計算します。

$$R_{\text{DS(ON)}} = \frac{V_{\text{DO}}}{I_{\text{RATED}}} \quad (1)$$

7.1.3 逆電流

過度な逆電流がある場合、デバイスが損傷する可能性があります。逆電流は、通常の導通チャネルではなく、パストランジスタの固有ボディ ダイオードを通して流れます。この電流が大きくなると、デバイスの長期的な信頼性が低下します。

このセクションでは、逆電流が発生する可能性のある条件について概説します。これらの条件はすべて、 $V_{\text{OUT}} \leq V_{\text{IN}} + 0.3\text{V}$ の絶対最大定格を超える可能性があります。

- デバイスが大きな C_{OUT} を持ち、負荷電流がほとんどまたはまったくない状態で入力電源が破損した場合
- 入力電源が確立されていない場合、出力はバイアスされる
- 出力は入力電源よりも高くバイアスされる

アプリケーションで逆電流が予期される場合は、デバイスを保護するために外部保護を推奨します。逆電流はデバイス内で制限されないため、拡張された逆電圧動作が予期される場合は、外部制限が必要です。

7.1.4 消費電力 (P_D)

回路の信頼性を確保するには、デバイスの消費電力、プリント基板 (PCB) 上の回路の位置、およびサーマル プレーンの適切なサイズを考慮する必要があります。レギュレータの周囲の PCB 領域には、熱ストレスを増大させるその他の発熱デバイスがほとんどまたはまったくないことが必要です。

1 次近似では、レギュレータの消費電力は、入力と出力の電圧差と負荷条件に依存します。消費電力 (P_D) は、次の式で計算されます。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (2)$$

注

システム電圧レールを適切に選択することで、消費電力を最小限に抑えることができるため、より高い効率を実現できます。消費電力を最小限にするには、適切な出力レギュレーションに必要な最小の入力電圧を使用します。

サーマル パッドを備えたデバイスの場合、デバイス パッケージの主な熱伝導経路は、サーマル パッドを通して PCB へと接続されます。サーマル パッドをデバイスの下の銅パッド領域に半田付けします。このパッド領域には、放熱性を高めるために、追加の銅プレーンに熱を伝導するメッキされたビアのアレイが含まれている必要があります。

最大消費電力により、デバイスの最大許容周囲温度 (T_A) が決まります。以下の式によれば、消費電力と接合部温度は、PCB とデバイス パッケージを組み合わせた接合部から周囲への熱抵抗 ($R_{\theta JA}$)、および周囲空気の温度 (T_A) に最も関連します。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (3)$$

熱抵抗 ($R_{\theta JA}$) は、特定の PCB 設計に組み込まれている熱拡散能力に大きく依存するため、合計の銅箔面積、銅箔の重量、およびプレーンの位置によって変化します。「[熱に関する情報](#)」表に記載されている接合部から周囲への熱抵抗は、JEDEC 標準の PCB および銅箔の拡散領域によって決定され、パッケージの熱性能の相対的な基準として使用されます。

7.1.4.1 放熱性能と銅の面積との関係

最も一般的に使用される熱抵抗パラメータ $R_{\theta JA}$ は、特定の PCB 設計に組み込まれた熱拡散能力に大きく依存し、銅の総面積、銅の重量、およびプレーンの位置によって変化します。「[熱に関する情報](#)」表に記載されている $R_{\theta JA}$ は、JEDEC 標準([図 7-1](#) 参照)、PCB、および銅箔の拡散領域によって決定され、パッケージの熱性能の相対的な基準としてのみ使用されます。適切に設計された熱レイアウトの場合、 $R_{\theta JA}$ は実際には、パッケージの接合部からケース (底面) までの熱抵抗 ($R_{\theta JCbott}$) と、PCB の銅による熱抵抗の寄与分との合計になります。

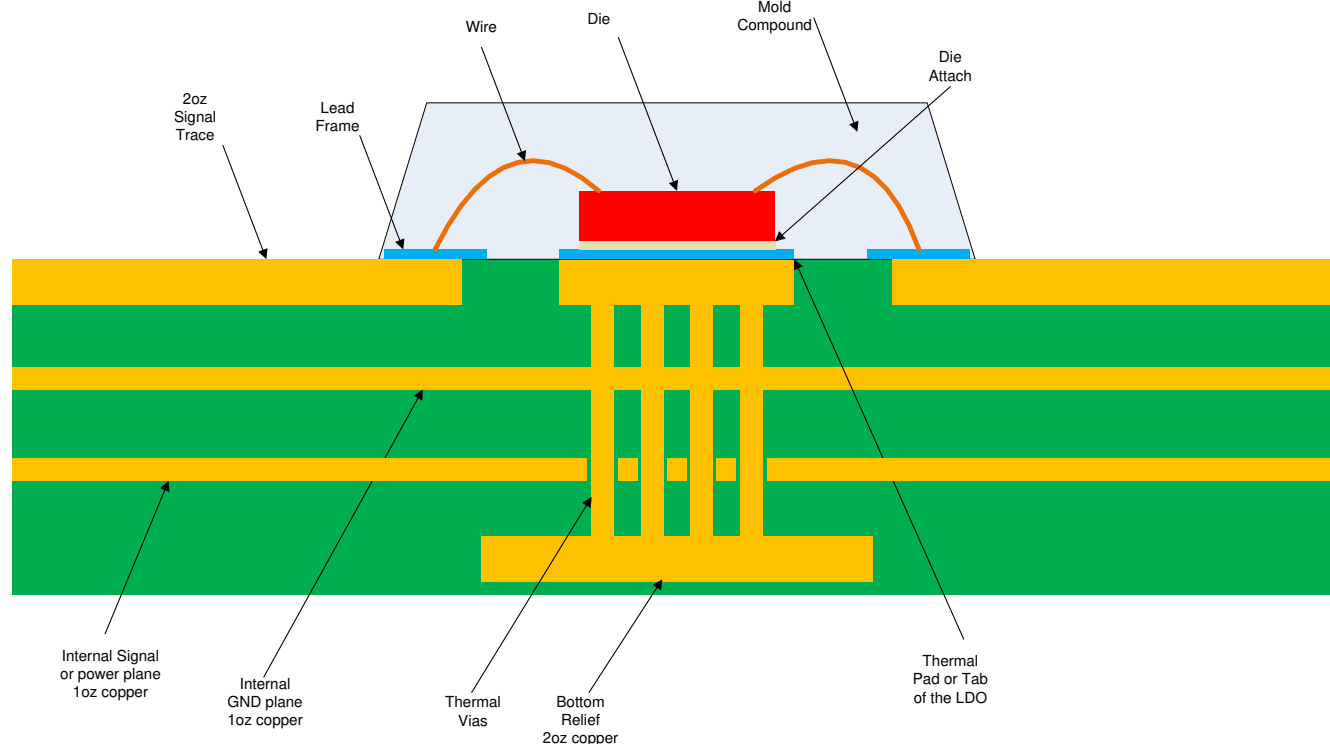
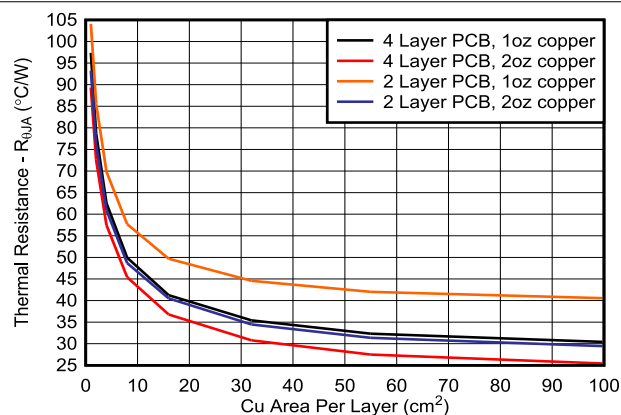
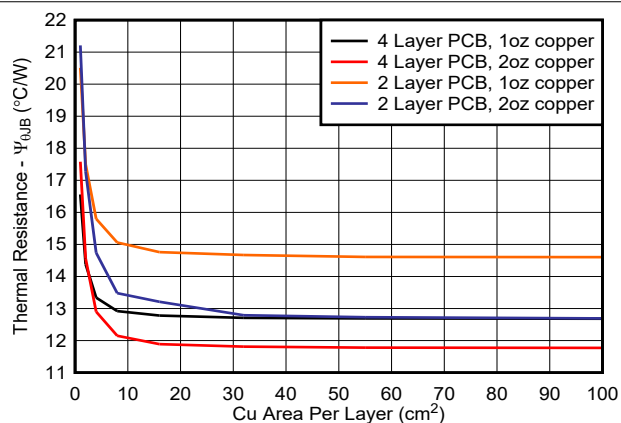


図 7-1. JEDEC 規格 2s2p PCB

図 7-2 、 図 7-5 、 および は、銅面積および厚さに対する $R_{\theta JA}$ と ψ_{JB} の特性を示します。これらのプロットは、 $101.6\text{mm} \times 101.6\text{mm} \times 1.6\text{mm}$ の PCB で 2 層および 4 層を使用して生成したものです。4 層基板の場合、内側のプレーンでは 1 オンスの銅箔厚を使用します。外層は、1 オンスおよび 2 オンスの銅厚でシミュレーションしています。ドリル径 $300\mu\text{m}$ 、銅めっき厚 $25\mu\text{m}$ のサーマルビアが、 2×3 配列 (DDA パッケージ) または 3×4 配列 (KVU パッケージ) で構成され、デバイスのサーマルパッドの下に配置されています。サーマルビアは、最上層と最下層、また 4 層基板の場合は最初の内部 GND プレーンを接続しています。各層には、同じ面積の銅プレーンがあります。

図 7-2. $R_{\theta JA}$ と銅の面積との関係 (DDA パッケージ)図 7-3. ψ_{JB} と銅の面積との関係 (DDA パッケージ)

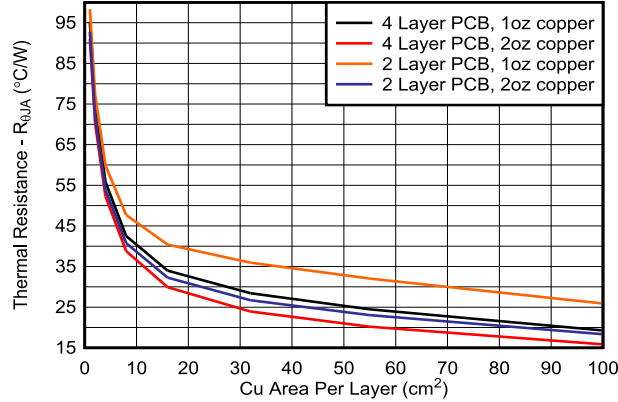


図 7-4. $R_{\theta JA}$ と銅の面積との関係 (KVVU パッケージ)

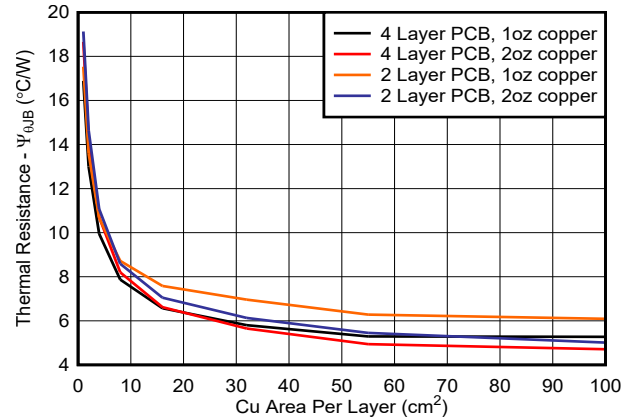


図 7-5. $\psi_{\theta JB}$ と銅の面積との関係 (KVVU パッケージ)

7.1.4.2 消費電力と周囲温度との関係

図 7-6 は、JEDEC51-7 4 層 high-K 基板をベースとしています。許容消費電力は、次の式を使用して推定できます。「基板レイアウトが LDO の熱性能に及ぼす影響に関する実証的分析」アプリケーション ノートで説明したように、JEDEC High-K レイアウトの放熱は、上層の銅箔を追加し、サーマル ビアの数を増やすことにより改善できます。適切な熱レイアウトを使用すると、許容される熱放散は最大 50% 改善されます。

$$T_A + R_{\theta JA} \times P_D \leq 150^{\circ}\text{C} \quad (4)$$

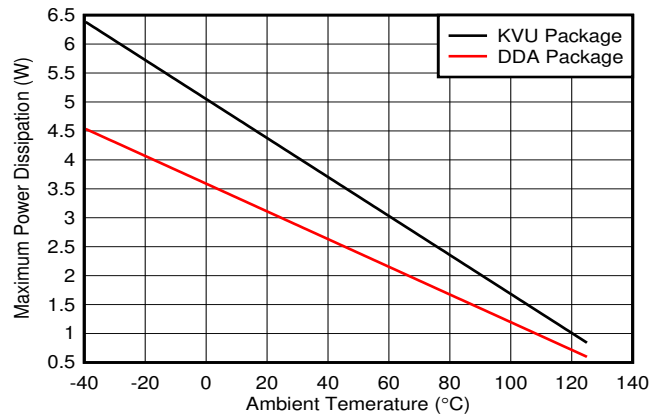


図 7-6. TPS7B87-Q1 の許容電力損失

7.1.5 推定接合部温度

現在、JEDEC 規格では、典型的な PCB 基板アプリケーションで回路内にあるリニア レギュレータの接合部温度を推定するために、psi (Ψ) の熱指標を使用することを推奨しています。これらの指標は熱抵抗パラメータではなく、接合部温度を推定するための実用的かつ相対的な方法を提供します。これらの psi 指標は、熱拡散に利用できる銅箔面積に大きく依存しないことが判明しています。「熱に関する情報」表には、主要な熱指標である、接合部から上面への特性パラメータ (ψ_{JT}) と接合部から基板への特性パラメータ (ψ_{JB}) がリストされています。これらのパラメータは、以下の式で説明するように、接合部温度 (T_J) を計算するための 2 つの方法を提供します。接合部から上面への特性パラメータ (ψ_{JT}) とデバイスパッケージの中央上部の温度 (T_T) を使用して、接合部温度を計算します。接合部から基板への特性パラメータ (ψ_{JB}) とデバイス パッケージから 1mm の PCB 表面温度 (T_B) を使用して、接合部温度を計算します。

$$T_J = T_T + \psi_{JT} \times P_D \quad (5)$$

ここで

- P_D は、消費電力
- T_T は、デバイス パッケージの中央上部の温度

$$T_J = T_B + \psi_{JB} \times P_D \quad (6)$$

ここで、

- T_B は、デバイス パッケージから 1mm の位置で、パッケージのエッジの中心で測定された PCB 表面温度

熱指標とその使用方法の詳細については、[『半導体および IC パッケージの熱指標』アプリケーション ノート](#)を参照してください。

7.1.6 PG ピンを別の電圧にプルアップします

パワーグッド (PG) ピンは内部で出力レールにプルアップされているため、標準的なオープンドレイン PG 出力のように外部電圧にプルアップすることはできません。この信号を別のロジック レベルにプルアップする必要がある場合、PMOS トランジスタとプルアップ抵抗を使用して外部回路を実装できます。[図 7-7](#) に示す回路を実装すると、出力を任意のロジック レールにプルアップできます。PMOS トランジスタを使用する場合は、出力 Low 電圧を決定するため、スレッシュホールド電圧の低いトランジスタを必ず選択してください。NMOS トランジスタを使用して同様の動作を行うこともできますが、NMOS トランジスタの場合はロジックが反転します。この実装では、外部プルアップレールを使用することも可能です。

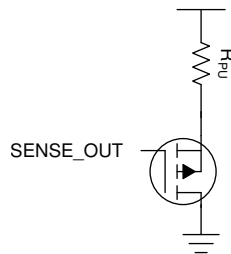


図 7-7. PG ピンを他のレールにプルアップするための追加コンポーネント

7.1.7 パワー グッド

7.1.7.1 可変パワーグッド遅延の設定

パワーグッドの遅延時間は、DELAY ピンをフローティングにするか、このピンと GND の間にコンデンサを接続するかの方法で設定できます。DELAY ピンがフローティングのとき、時間はデフォルトで $t_{(DLY_FIX)}$ になります。DELAY ピンと GND の間にコンデンサが接続されている場合、遅延時間は次の式で設定されます。

$$t = t_{(DLY_FIX)} + C_{DELAY} \left(\frac{V_{DLY(TH)}}{I_{DLY(CHARGE)}} \right) \quad (7)$$

7.2 代表的なアプリケーション

図 7-8 に、TPS7B87-Q1 の代表的なアプリケーション回路を示します。TI は、タイプ X5R または X7R の誘電体を使用した低 ESR のセラミック コンデンサをお勧めします。

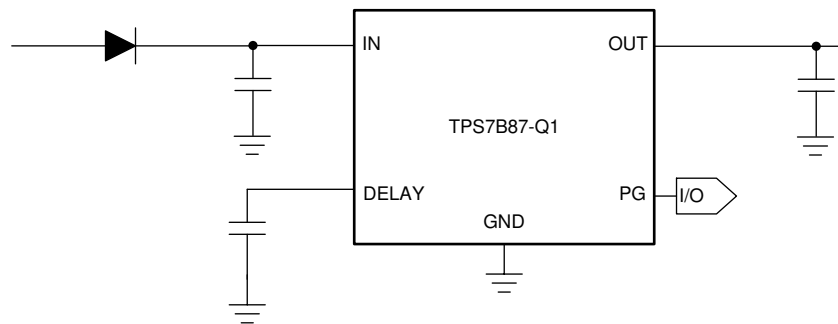


図 7-8. TPS7B87-Q1 の代表的なアプリケーション回路図

7.2.1 設計要件

この設計例では、表 7-1 に記載されているパラメータを入力パラメータとして使用します。

表 7-1. 設計パラメータ

設計パラメータ	数値の例
入力電圧範囲	6V ~ 40V
出力電圧	5V
出力電流	350mA
出力コンデンサ	10μF
パワーグッド遅延コンデンサ	100nF

7.2.2 詳細な設計手順

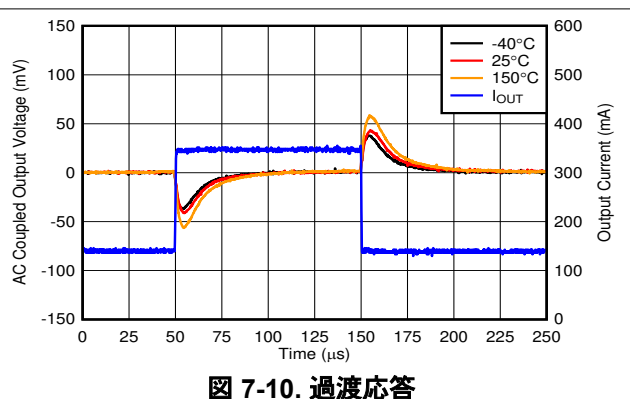
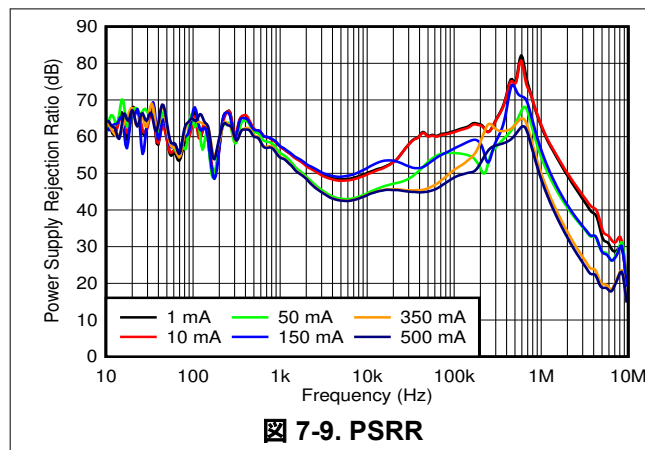
7.2.2.1 入力コンデンサ

デバイスには入力デカップリング コンデンサが必要で、その値はアプリケーションによって異なります。デカップリング コンデンサの代表的推奨値は 1μF です。電圧定格は、最大入力電圧よりも大きい必要があります。

7.2.2.2 出力コンデンサ

デバイスには、出力電圧の安定化のため出力コンデンサが必要です。コンデンサ容量の値は 2.2μF ~ 200μF の範囲内、ESR (等価直列抵抗) は 1mΩ ~ 2Ω の範囲内である必要があります。この設計では、過渡性能を向上させるために低 ESR の 10μF セラミック コンデンサを使用しています。

7.2.3 アプリケーション曲線



7.3 電源に関する推奨事項

デバイスは、3V ~ 40V の入力電源電圧の範囲で動作するように設計されています。この入力電源には適切なレギュレーションが行われる必要があります。入力電源が TPS7B87-Q1 から数インチ以上離れている場合は、入力に 22μF の電解コンデンサとセラミック バイパス コンデンサを追加します。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

総合的に最良の性能を達成するには、回路のすべてのコンポーネントを基板の同じ側で、該当する LDO ピン接続に対して実用的な範囲でできる限り近づけて配置してください。入力コンデンサと出力コンデンサ、および LDO グランド ピンへのグランドリターン接続を、コンポーネント側の広い銅面で接続し、できるだけ互いに近づけて配置します。入力および出力コンデンサにビアや長いパターンを使用しないことが、強く推奨されます。これらは、システム性能を低下させます。グランドリファレンスプレーンを、PCB に埋め込むか、コンポーネントの反対側にある PCB の底面に配置することを推奨しています。このリファレンスプレーンは、出力電圧精度を高め、ノイズをシールドし、サーマルパッドに接続されたときに LDO デバイスからの熱を拡散（または放熱）するサーマルプレーンのように動作します。ほとんどの用途では、熱要件を満たすためにこのグランドプレーンが必要です。

7.4.1.1 パッケージの取り付け

TPS7B87-Q1 に対する半田パッドのフットプリントに関する推奨事項は、本書の末尾および www.ti.com に記載されています。

7.4.1.2 PSRR およびノイズ性能向上のための推奨基板レイアウト

図 7-11 と 図 7-12 に示すように、TPS7B87-Q1 のレイアウトでは、入力および出力コンデンサをデバイスの近くに配置します。放熱性能を高めるために、デバイスの周囲に可能な限り多くのビアを配置します。これらのビアは、PCB 内の各 GND プレーン間の熱伝達を向上させます。

PSRR、出力ノイズ、過渡応答などの AC 性能を向上させるために、 V_{IN} および V_{OUT} に対して別々のグランドプレーンを設け、各プレーンをデバイスの GND ピンでのみ接続する基板設計を使用してください。また、出力コンデンサのグランドはデバイスの GND ピンに直接接続してください。

安定動作とシステム性能の最大化のために、等価直列インダクタンス (ESL) および等価直列抵抗 (ESR) を最小限にします。各コンデンサは可能な限りデバイスに近く、PCB 上でレギュレータと同じ面に配置します。

PCB 上でレギュレータが設置されている面と反対の面にコンデンサを配置しないでください。コンデンサを接続する際にビアや長いトレースを使用すると、システム性能が低下し、不安定になる可能性があります。

可能であれば、この文書に記載されている最大性能を得るために、TPS7B87-Q1 評価ボード (www.ti.com で入手できます) に使用されているのと同じレイアウト パターンを使用してください。

7.4.2 レイアウト例

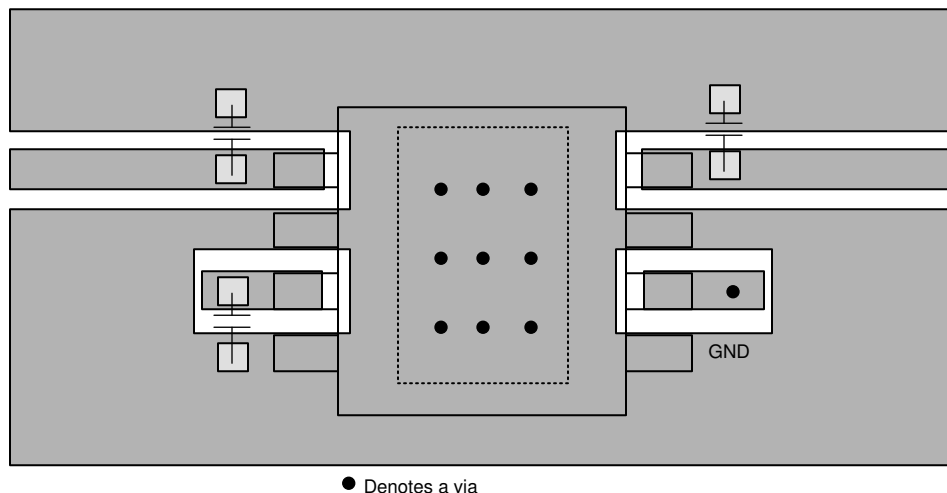


図 7-11. DDA パッケージ (固定出力)

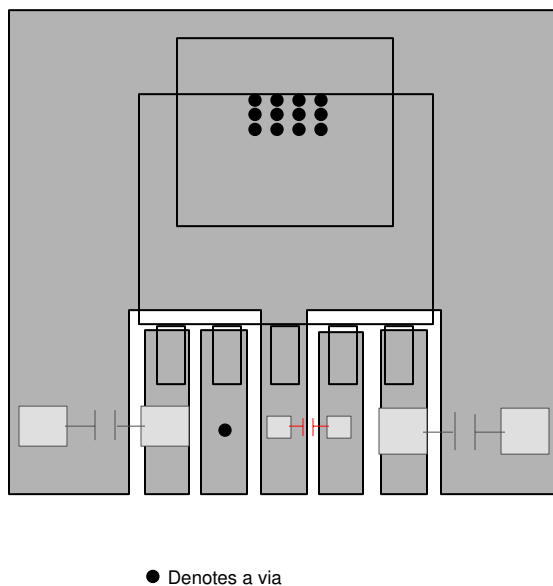


図 7-12. KVV パッケージ (固定出力)

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 デバイスの命名規則

表 8-1. デバイス命名規則 ⁽¹⁾

製品名	V _{OUT}
TPS7B87xxQyyyRQ1	<p>xx は公称出力電圧です (たとえば、33 = 3.3V、50 = 5.0V)。 yyy はパッケージ記号です。 Q は、AEC-Q100 規格に準拠した グレード 1 のデバイスであることを表すものです。 Q1 は、車載グレード (AEC-Q100) デバイスであることを表すものです。 DDA パッケージについては、このデバイスに複数のリードフレームが付属して出荷される場合があります。リール包装ラベルには、使用されているリードフレームを識別するための ASO 情報が記載されています。ASO:FMX ラベルは、新しい製造拠点および ASO からの材料を示します。ASE ラベルは、従来の製造サイトからの材料を示します。</p>

(1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ オプションの付録を参照するか、www.ti.com にあるデバイスの製品フォルダをご覧ください。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from APRIL 31, 2021 to JUNE 30, 2025 (from Revision A (April 2021) to Revision B (November 2025))

Page

- 「熱に関する情報」表を更新し、複数の製造サイト (ASE、FMX) から DDA パッケージの熱に関する情報を追加.....4

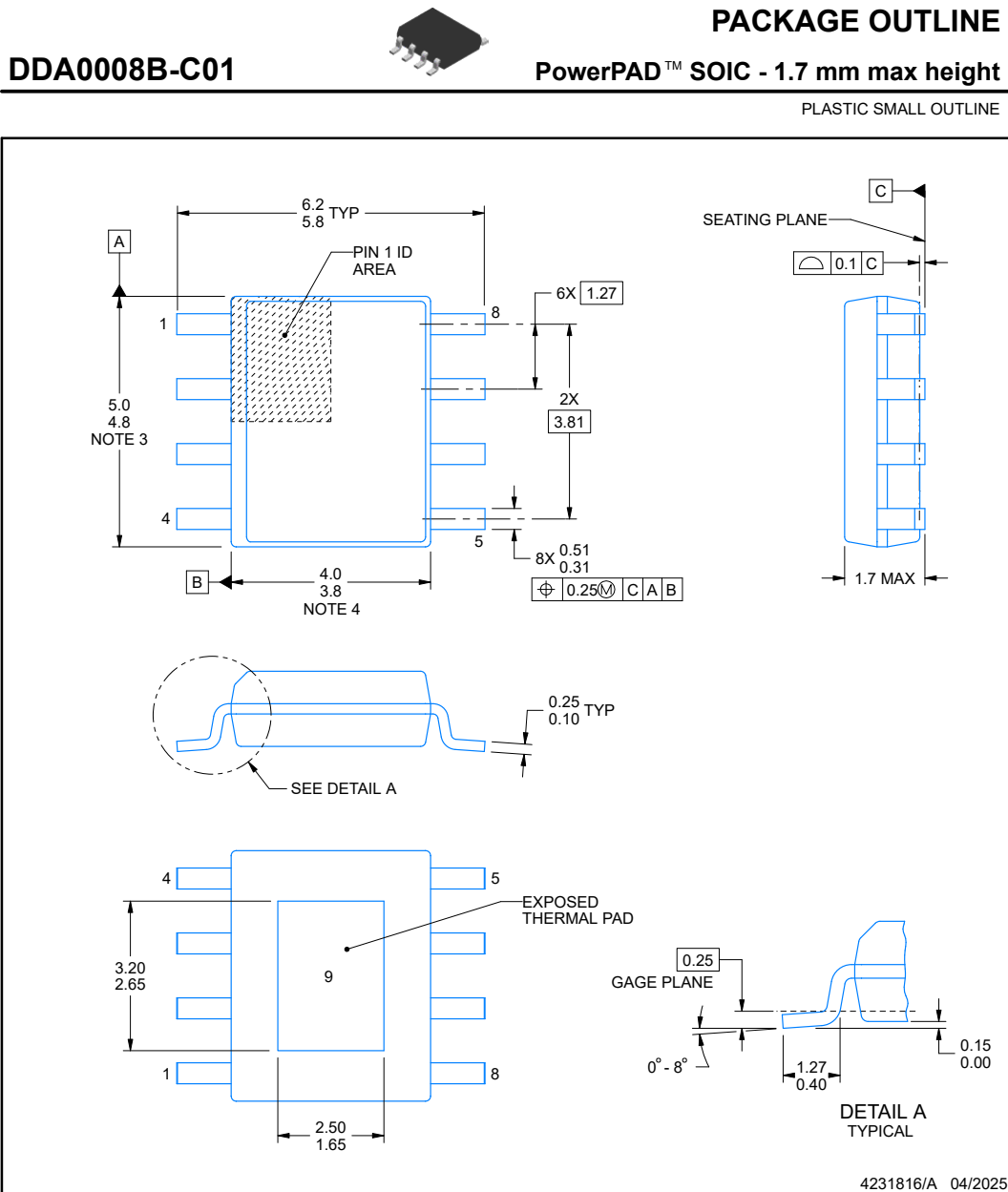
• 「パワー グッド (PG)」セクションを変更.....	15
• 「デバイスの命名規則」を更新し、異なるアセンブリ サイトの DDA 材料を区別する方法を説明する注記を追加しました。.....	26
• 機械図面を DDA0008E-C01 から DDA0008B-C01 に更新.....	28

Changes from Revision * (December 2020) to Revision A (April 2021)	Page
• 「特長」の一覧に機能安全対応の箇条書きを追加.....	1
• HSOIC (DDA) パッケージのピン 4 を NC ピンとして反映するように「ピン機能」表を更新.....	3

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

10.1 メカニカル データ



NOTES:

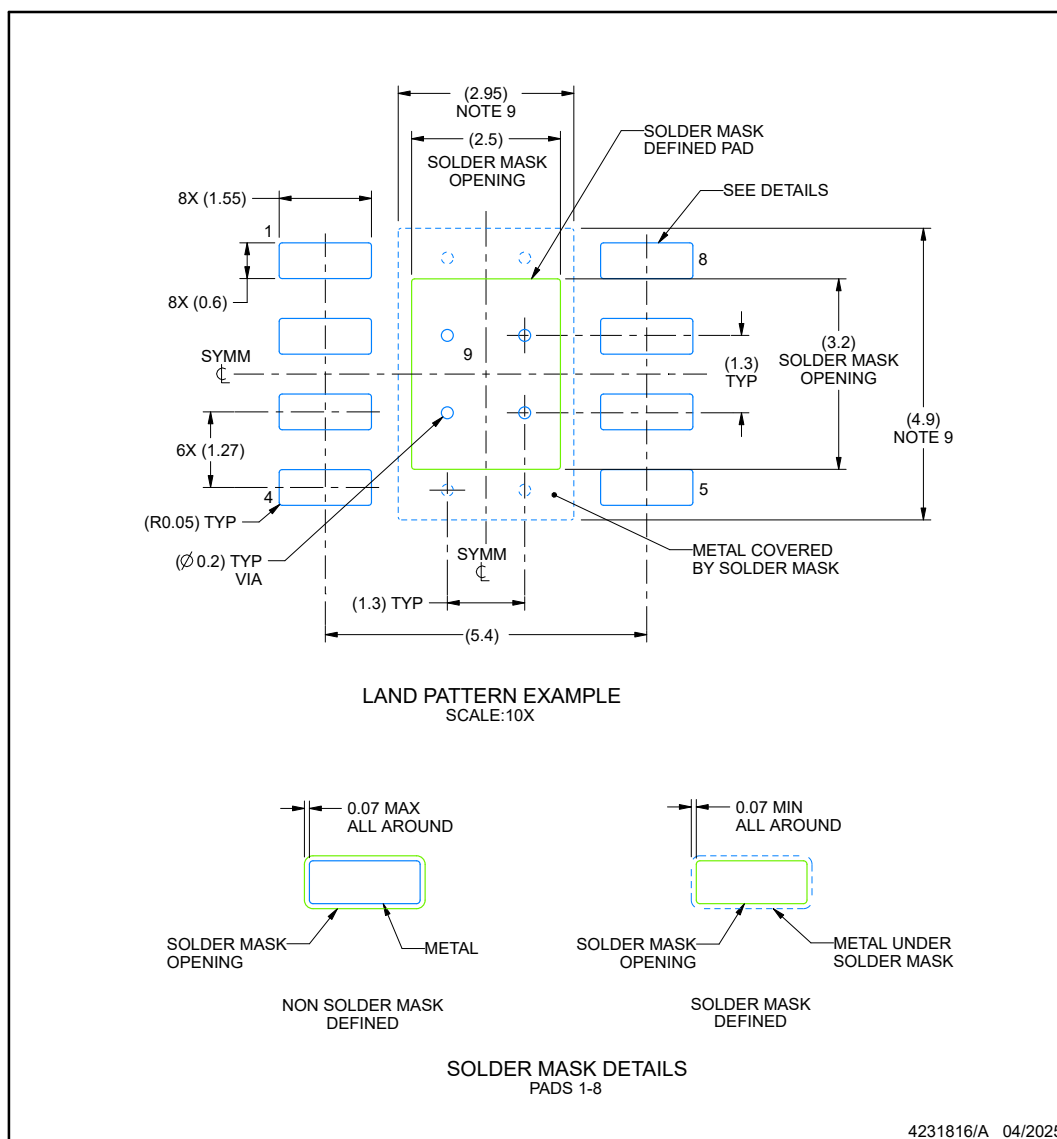
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012.

EXAMPLE BOARD LAYOUT

DDA0008B-C01

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

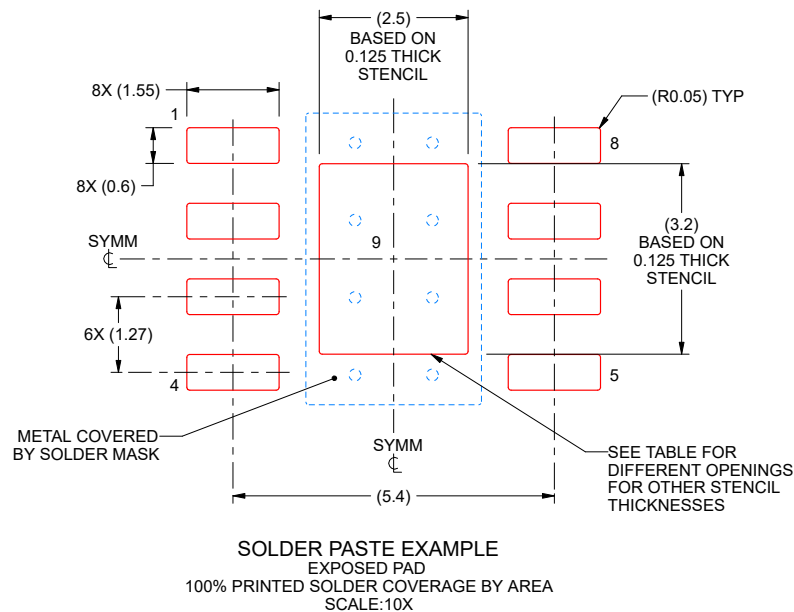
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DDA0008B-C01

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.8 X 3.58
0.125	2.5 X 3.2 (SHOWN)
0.150	2.28 X 2.92
0.175	2.11 X 2.7

4231816/A 04/2025

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7B8733QDDARQ1	Active	Production	SO PowerPAD (DDA) 8	2500 LARGE T&R	Yes	NIPDAU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	7B8733
TPS7B8733QDDARQ1.A	Active	Production	SO PowerPAD (DDA) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	7B8733
TPS7B8733QKVURQ1	Active	Production	TO-252 (KVU) 5	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	7B8733
TPS7B8733QKVURQ1.A	Active	Production	TO-252 (KVU) 5	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	7B8733
TPS7B8733QKVURQ1R2	Active	Production	TO-252 (KVU) 5	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	7B8733
TPS7B8733QKVURQ1R2.A	Active	Production	TO-252 (KVU) 5	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	7B8733
TPS7B8750QDDARQ1	Active	Production	SO PowerPAD (DDA) 8	2500 LARGE T&R	Yes	NIPDAU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 150	7B8750
TPS7B8750QDDARQ1.A	Active	Production	SO PowerPAD (DDA) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	7B8750
TPS7B8750QKVURQ1	Active	Production	TO-252 (KVU) 5	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	7B8750
TPS7B8750QKVURQ1.A	Active	Production	TO-252 (KVU) 5	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	7B8750
TPS7B8750QKVURQ1R2	Active	Production	TO-252 (KVU) 5	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	7B8750
TPS7B8750QKVURQ1R2.A	Active	Production	TO-252 (KVU) 5	2500 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	7B8750

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7B8733QKVURQ1	TO-252	KVU	5	2500	330.0	16.4	6.9	10.5	2.7	8.0	16.0	Q3
TPS7B8733QKVURQ1R2	TO-252	KVU	5	2500	330.0	16.4	6.9	10.5	2.7	8.0	16.0	Q2
TPS7B8750QDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.8	6.4	5.2	2.1	8.0	12.0	Q1
TPS7B8750QKVURQ1	TO-252	KVU	5	2500	330.0	16.4	6.9	10.5	2.7	8.0	16.0	Q3
TPS7B8750QKVURQ1R2	TO-252	KVU	5	2500	330.0	16.4	6.9	10.5	2.7	8.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS

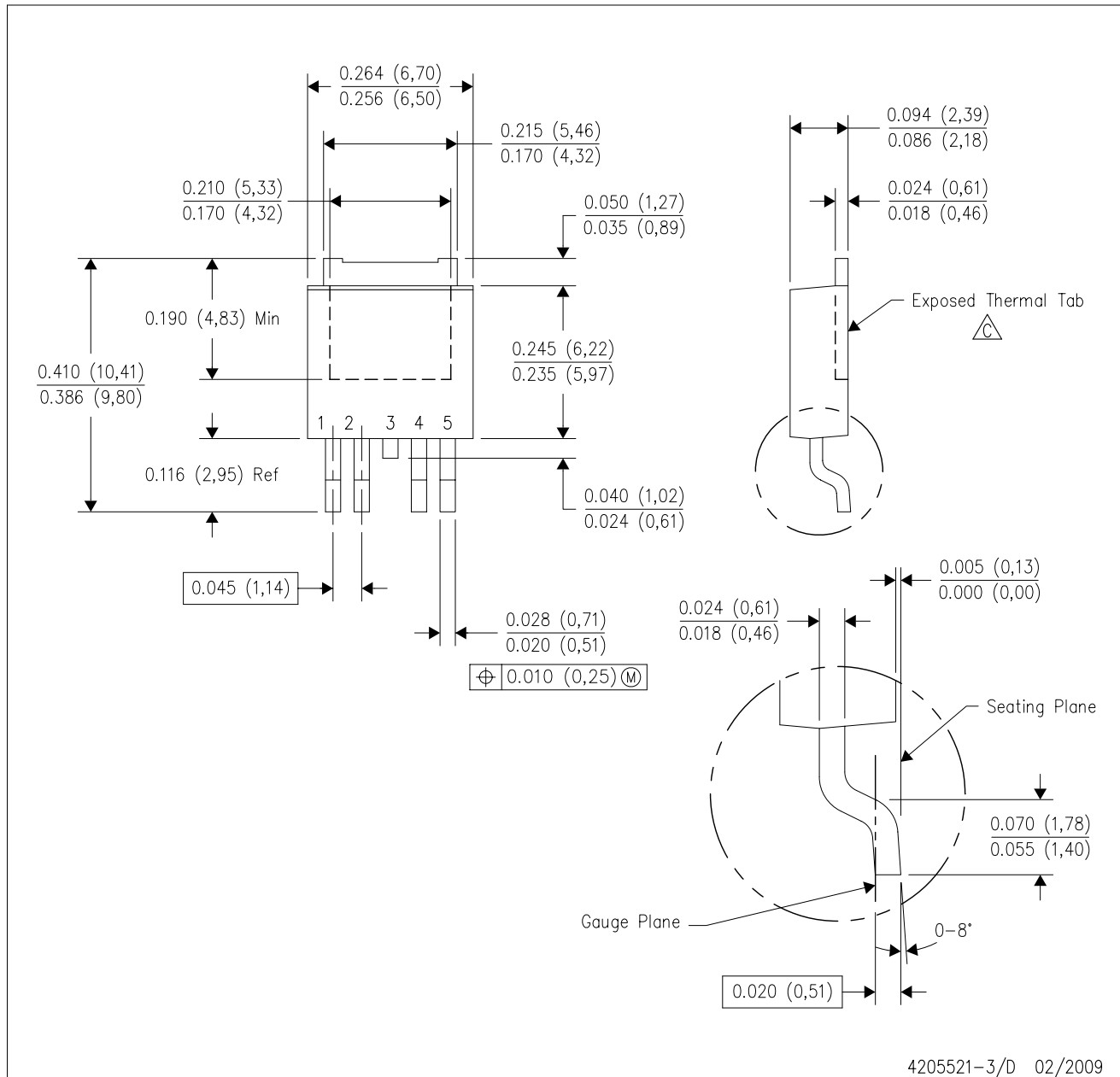


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7B8733QKVURQ1	TO-252	KVU	5	2500	340.0	340.0	38.0
TPS7B8733QKVURQ1R2	TO-252	KVU	5	2500	340.0	340.0	38.0
TPS7B8750QDDARQ1	SO PowerPAD	DDA	8	2500	366.0	364.0	50.0
TPS7B8750QKVURQ1	TO-252	KVU	5	2500	340.0	340.0	38.0
TPS7B8750QKVURQ1R2	TO-252	KVU	5	2500	340.0	340.0	38.0

KVU (R-PSFM-G5)

PLASTIC FLANGE-MOUNT PACKAGE

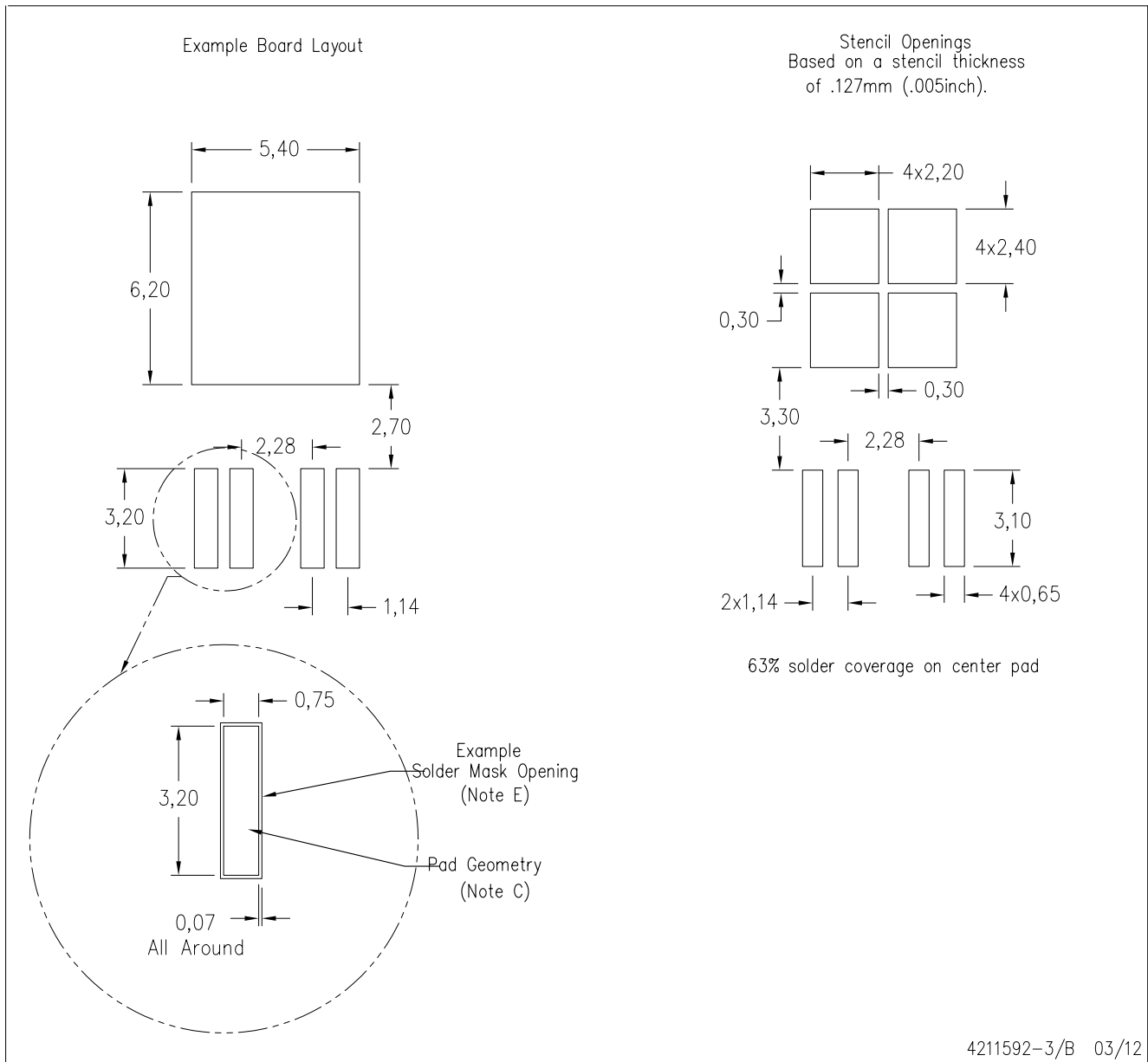


4205521-3/D 02/2009

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. The center lead is in electrical contact with the exposed thermal tab.
 - D. Body Dimensions do not include mold flash or protrusions. Mold flash and protrusion shall not exceed 0.006 (0,15) per side.
 - E. Falls within JEDEC TO-252 variation AD.

KVU (R-PSFM-G5)

PLASTIC FLANGE MOUNT PACKAGE



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-SM-782 is an alternate information source for PCB land pattern designs.
 - D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - E. Customers should contact their board fabrication site for recommended solder mask tolerances and via tenting recommendations for vias placed in thermal pad.



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

DDA (R-PDSO-G8)

PowerPAD™ PLASTIC SMALL-OUTLINE



- NOTES:
- All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5-1994.
 - This drawing is subject to change without notice.
 - Body dimensions do not include mold flash or protrusion not to exceed 0,15.
 - This package is designed to be soldered to a thermal pad on the board. Refer to Technical Brief, PowerPad Thermally Enhanced Package, Texas Instruments Literature No. SLMA002 for information regarding recommended board layout. This document is available at www.ti.com <<http://www.ti.com>>.
 - See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
 - This package complies to JEDEC MS-012 variation BA

PowerPAD is a trademark of Texas Instruments.

DDA (R-PDSO-G8)

PowerPAD™ PLASTIC SMALL OUTLINE

THERMAL INFORMATION

This PowerPAD™ package incorporates an exposed thermal pad that is designed to be attached to a printed circuit board (PCB). The thermal pad must be soldered directly to the PCB. After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For additional information on the PowerPAD package and how to take advantage of its heat dissipating abilities, refer to Technical Brief, PowerPAD Thermally Enhanced Package, Texas Instruments Literature No. SLMA002 and Application Brief, PowerPAD Made Easy, Texas Instruments Literature No. SLMA004. Both documents are available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



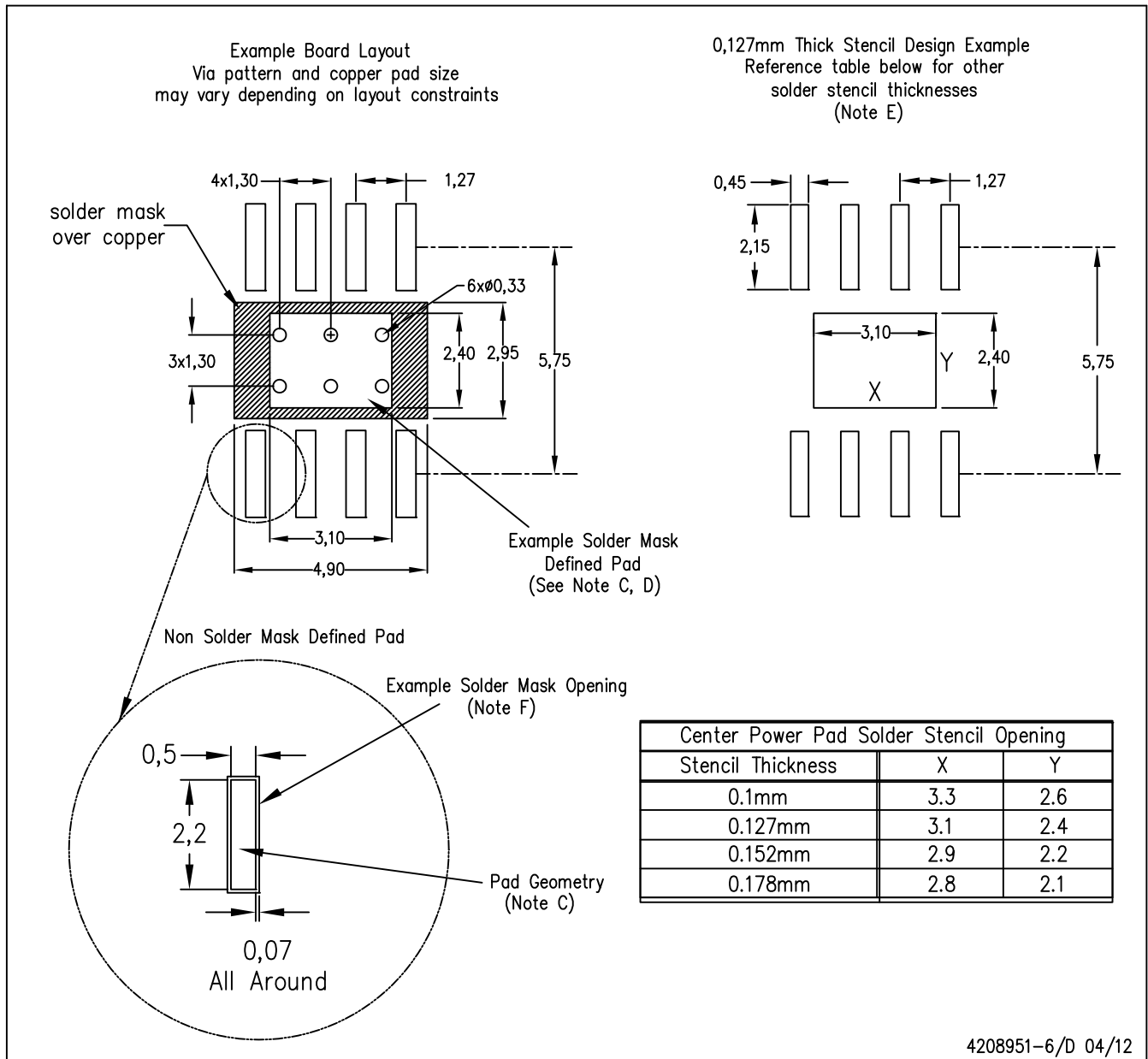
4206322-6/L 05/12

NOTE: A. All linear dimensions are in millimeters

PowerPAD is a trademark of Texas Instruments

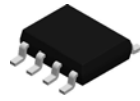
DDA (R-PDSO-G8)

PowerPAD™ PLASTIC SMALL OUTLINE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - This package is designed to be soldered to a thermal pad on the board. Refer to Technical Brief, PowerPAD Thermally Enhanced Package, Texas Instruments Literature No. SLMA002, SLMA004, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <<http://www.ti.com>>. Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

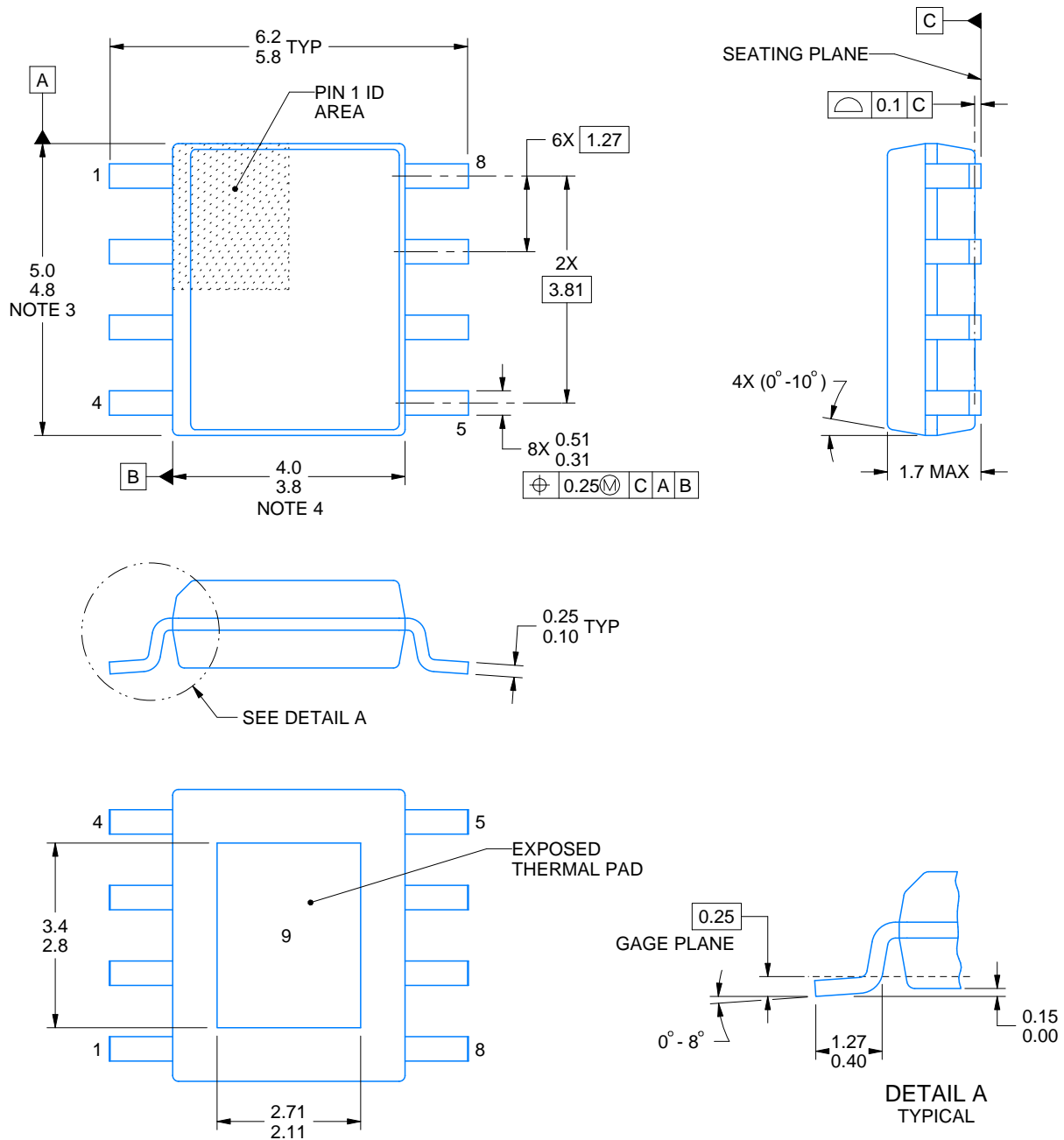
PowerPAD is a trademark of Texas Instruments.

DDA0008B

PACKAGE OUTLINE

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



4214849/B 09/2025

NOTES:

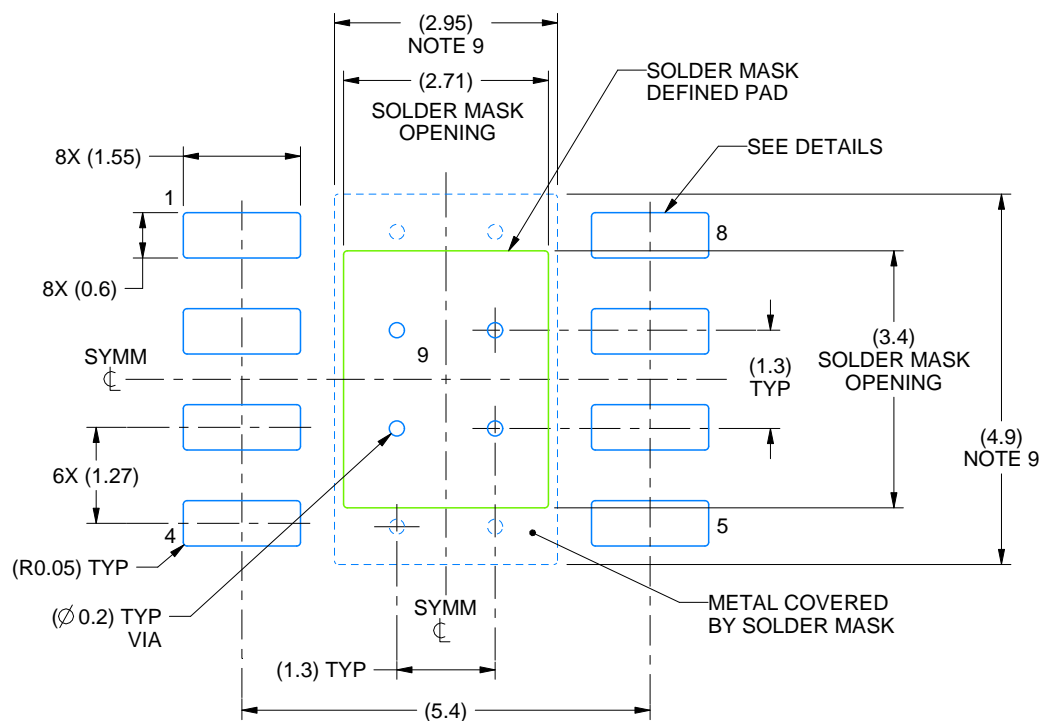
PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012.

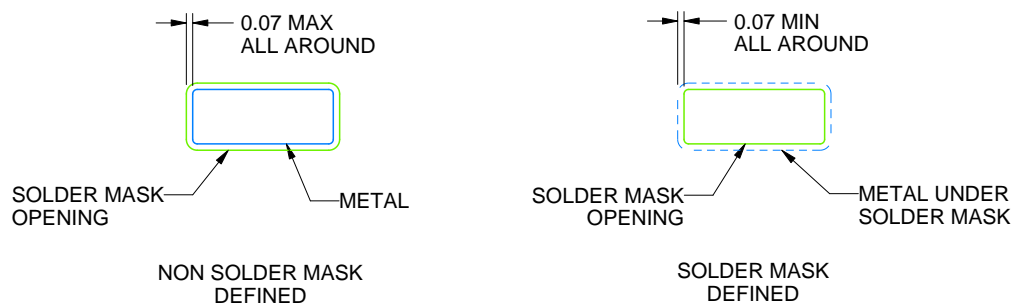
DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
PADS 1-8

4214849/B 09/2025

NOTES: (continued)

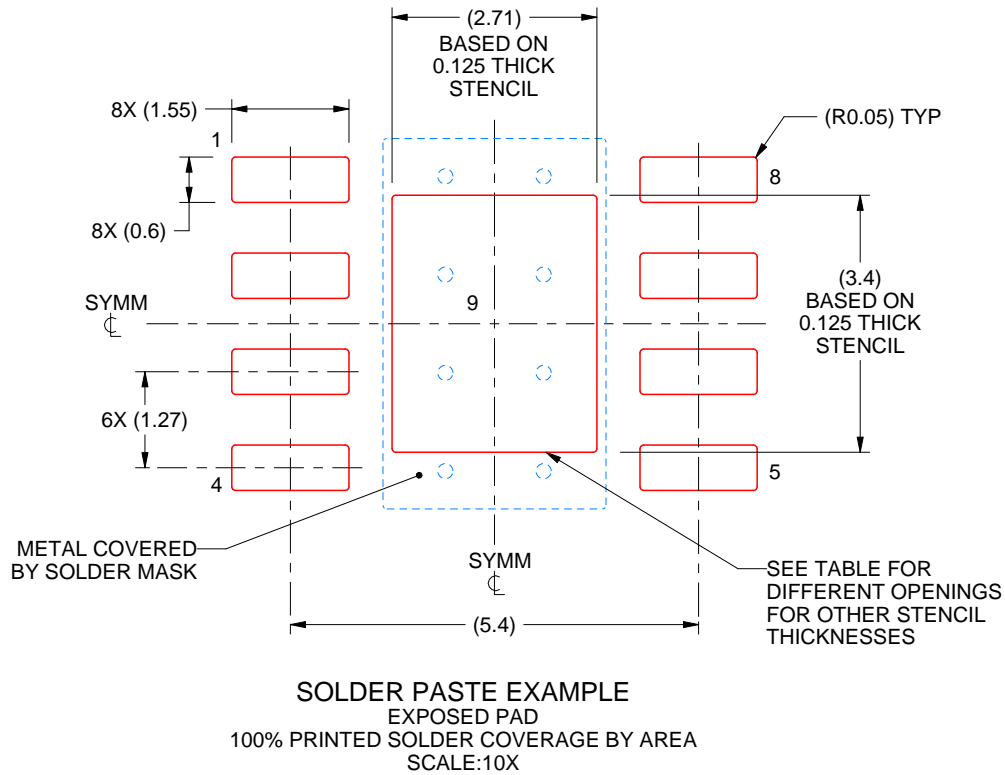
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.03 X 3.80
0.125	2.71 X 3.40 (SHOWN)
0.150	2.47 X 3.10
0.175	2.29 X 2.87

4214849/B 09/2025

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月