

TPS7B4261-Q1 は、ADC と マイコン (MCU) のフォルト状態からの保護バッファとして機能し、オフボード センサに電力を安全に伝送します。可変入力ピン (ADJ) に印加されるリファレンス電圧は、OUT ピンの 6mV (最大値) の非常に厳しい公差で追跡されます。この許容誤差は、指定されたライン、ロード、および温度の値におけるすべての変動に対して適用されます。ADC によって出力がサンプリングされるレシオメトリック センサの場合、この狭いトラッキング許容誤差が特に有益となります。この許容誤差によって、ADC のフルスケール リファレンス電圧とセンサの電源電圧の間の誤差を最小限に抑えることができます。これにより、センサ測定のレシオメトリックが維持されます。

ADC のフルスケール リファレンス電圧がセンサ電源電圧と等しい場合は、リファレンス電圧を直接 ADJ ピンに接続します。センサの電源がリファレンス電圧よりも低い場合は、ADJ ピンに抵抗デバイダを使用します。このデバイダは、センサの電源電圧に一致するようにリファレンス電圧をスケールダウン (最小で 2V) するのに役立ちます。

目次

1 特長	1	7 アプリケーションと実装	20
2 アプリケーション	1	7.1 アプリケーション情報.....	20
3 説明	1	7.2 代表的なアプリケーション.....	21
4 ピン構成および機能	4	7.3 電源に関する推奨事項.....	22
5 仕様	5	7.4 レイアウト.....	23
5.1 絶対最大定格.....	5	8 デバイスおよびドキュメントのサポート	26
5.2 ESD 定格.....	5	8.1 デバイス サポート.....	26
5.3 推奨動作条件.....	5	8.2 ドキュメントのサポート.....	26
5.4 熱に関する情報.....	6	8.3 ドキュメントの更新通知を受け取る方法.....	26
5.5 電気的特性.....	7	8.4 サポート・リソース.....	26
5.6 代表的特性.....	8	8.5 商標.....	26
6 詳細説明	14	8.6 静電気放電に関する注意事項.....	26
6.1 概要.....	14	8.7 用語集.....	26
6.2 機能ブロック図.....	14	9 改訂履歴	26
6.3 機能説明.....	14	10 メカニカル、パッケージ、および注文情報	27
6.4 デバイスの機能モード.....	19	10.1 メカニカル データ.....	28

4 ピン構成および機能

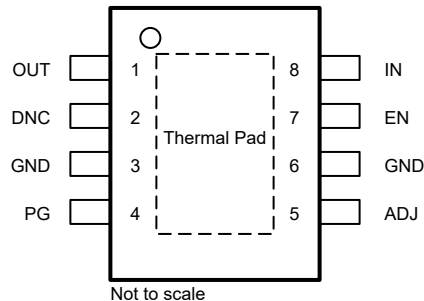


図 4-1. DDA パッケージ、8 ピン HSOIC (上面図)

表 4-1. ピンの機能

ピン		タイプ	説明
名称	DDA		
ADJ	5	I	可変入力ピン。外部基準電圧をこのピンに接続します。直接接続または、出力電圧を下げるには分圧器を使用して接続してください。このピンは内部的にエラー アンプの反転入力に接続されます。ラインの影響を補償するため、このピンの近くに 0.1μF コンデンサを配置します。
DNC	2	—	このピンに電圧源を接続しないでください。放熱性能を向上させるには、ピンをフローティングのままにするか、GND に接続します。
EN	7	I	イネーブルピン。信号が V_{IL} よりも低いと、デバイスが無効化されます。信号が V_{IH} よりも高いと、デバイスが有効化されます。このピンをフローティングのままにしないでください。
GND	3、6	G	GND ピン。このピンは、グラウンドへの低インピーダンスパスに接続します。
IN	8	I	入力電源電圧ピン。最高の過渡応答を実現し、入力インピーダンスを最小化するには、推奨値またはそれ以上に大きい値のセラミックコンデンサを IN と GND の間に接続します。See the 推奨動作条件 を参照してください。ラインの影響を補償するため、入力コンデンサは、デバイスの入力ピンのできるだけ近くに配置します。詳細については、「 入力および出力コンデンサの選択 」セクションを参照してください。
OUT	1	O	レギュレートされた出力電圧ピン。安定性のために、OUT と GND の間にコンデンサが必要です。 推奨動作条件 の表に示されている C_{OUT} 値の範囲内でセラミックコンデンサを選択します。このコンデンサは、デバイスのできるだけ近くに配置します。詳細については、「 入力および出力コンデンサの選択 」セクションを参照してください。
PG	4	O	アクティブ High、オープンドレイン ベースのパワー グッドピン。このピンはプルアップ抵抗で正の電圧に接続します。デバイスのスタートアップ・シーケンスが完了した後、このピンの電圧レベルは、 V_{OUT} が異常であるか、予想される範囲内であるかを評価するのに役立ちます。ロジック Low レベルは、 V_{OUT} が低電圧スレッショルドまたは過電圧スレッショルドによって公称値を下回ったか超えたかを示します。この機能は、トラッカー出力で発生する可能性のあるフォルト状態を識別するのに役立ちます。 V_{OUT} はトラッカー出力電圧です。詳細については、「 パワー グッド 」セクションを参照してください。
サーマル パッド	—		サーマル パッド。最良の熱性能を得るために、パッドを GND に接続します。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _{IN}	レギュレートされていない入力ピン電圧	-40	45	V
V _{OUT}	レギュレートされた入力ピン電圧	-5	45	V
V _{IN} - V _{OUT}	入出力の差分	-45	45	V
V _{EN}	イネーブル ピン電圧	-40	45	V
V _{PG}	パワー グッド ピン電圧	-0.3	45	V
V _{ADJ}	可変リファレンス入力ピン電圧	-40	45	V
T _J	動作時接合部温度	-40	150	°C
T _{stg}	保存温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

				値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾		±2500	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±1000	
			角のピン		

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	標準値	最大値	単位
V _{IN}	入力電圧	3.3		40	V
V _{OUT}	出力電圧	2		40	V
I _{OUT}	出力電流	0		300	mA
V _{EN}	イネーブル ピン電圧	0		40	V
V _{ADJ}	可変リファレンス ピン電圧	2		40	V
V _{PG}	パワー グッド ピン電圧	0		40	V
C _{IN}	入力コンデンサ ⁽¹⁾		1		μF
C _{OUT}	出力コンデンサ ⁽²⁾	1		100	μF
ESR	出力コンデンサの ESR 要件	0.001		2	Ω
T _J	動作時接合部温度	-40		150	°C

- (1) 堅牢な EMI 性能を実現するために推奨される最小入力容量は 500nF です。
(2) 安定させるために、最低 500nF の実効出力キャパシタンスが必要です。

5.4 熱に関する情報

熱評価基準 ^{(1) (2)}		TPS7B4261-Q1	
		DDA (HSOIC)	単位
		8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	48	°C/W
$R_{\theta JCTop}$	接合部からケース (上面) への熱抵抗	71.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	23.5	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	9.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	23.3	°C/W
$R_{\theta JCbott}$	接合部からケース (底面) への熱抵抗	11.5	°C/W

- (1) 熱データは、JEDEC 規格の High-K 基板レイアウト JESD 51-7 に基づいています。この基盤は、2 つの信号、2 つのプレーン、4 層基板で、外部層に 2 オンスの銅箔を使用します。銅パッドをサーマル ランド パターンに半田付けします。また、正しい取り付け手順に従ってください。
- (2) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 電気的特性

$T_J = -40^{\circ}\text{C}$ to $+150^{\circ}\text{C}$, $V_{IN} = 13.5\text{V}$, $I_{OUT} = 100\mu\text{A}$, $C_{OUT} = 1\mu\text{F}$, $C_{IN} = 1\mu\text{F}$, $V_{EN} = 2\text{V}$ および $V_{ADJ} = 5\text{V}$ で指定 (特に記述のない限り)、標準値は $T_J = 25^{\circ}\text{C}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_Q	静止時電流	$V_{IN} = 6.2\text{V} \sim 40\text{V}$, $I_{OUT} = 100\mu\text{A}$, $T_J = 25^{\circ}\text{C}$			75	μA
		$V_{IN} = 6.2\text{V} \sim 40\text{V}$, $I_{OUT} = 100\mu\text{A}$, $-40^{\circ}\text{C} < T_J < 85^{\circ}\text{C}$			80	
		$V_{IN} = 6.2\text{V} \sim 40\text{V}$, $I_{OUT} = 100\mu\text{A}$			85	
I_{GND}	グラウンド電流	$V_{IN} = 6.2\text{V} \sim 40\text{V}$, $I_{OUT} = 300\text{mA}$			2.45	mA
$I_{SHUTDOWN}$	シャットダウン時の電源電流	$V_{ADJ/EN} = 0\text{V}$			3.8	μA
I_{ADJ}	ADJ ピン電流	$I_{OUT} = 100\mu\text{A}$			0.9	μA
$V_{UVLO (RISING)}$	立ち上がり入力電源 UVLO	V_{IN} rising, $I_{OUT} = 5\text{mA}$	2.6	2.7	2.85	V
$V_{UVLO (FALLING)}$	立ち下がり入力電源 UVLO	V_{IN} falling, $I_{OUT} = 5\text{mA}$	2.3	2.4	2.5	V
$V_{UVLO (HYST)}$	$V_{UVLO(IN)}$ ヒステリシス			300		mV
ΔV_{OUT}	出力電圧トラッキング精度	$V_{IN} = V_{OUT} + 1.2\text{V} \sim 40\text{V}$, $I_{OUT} = 100\mu\text{A} \sim 300\text{mA}$ (1)	-6		6	mV
$\Delta V_{OUT (\Delta V_{IN})}$	ライン レギュレーション	$V_{IN} = V_{OUT} + 1.2\text{V} \sim 40\text{V}$, $I_{OUT} = 100\mu\text{A}$	-0.4		0.4	mV
$\Delta V_{OUT (\Delta I_{OUT})}$	ロード レギュレーション	$V_{IN} = V_{OUT} + 1.2\text{V}$, $I_{OUT} = 100\mu\text{A} \sim 300\text{mA}$ (1)			1	mV
V_{DO}	ドロップアウト電圧	$I_{OUT} = 200\text{mA}$, $V_{ADJ} \geq 3.3\text{V}$, $V_{IN} = V_{ADJ}$		330	665	mV
I_{CL}	出力電流制限	$V_{IN} = V_{OUT} + 1.2\text{V}$, V_{OUT} は $90\% \times V_{ADJ}$ へ短絡	320	460	530	mA
$V_{PG UV-TH}$	パワー グッド低電圧スレッショルド, $V_{ADJ} - V_{OUT}$	V_{OUT} 立ち下がり, $V_{IN} = V_{ADJ} = 5\text{V}$, V_{IN} 立ち下がり	40	80	120	mV
$V_{PG OV-TH}$	パワー グッド過電圧スレッショルド, $V_{OUT} - V_{ADJ}$	V_{OUT} 立ち上がり, $V_{IN} \geq V_{ADJ/REF} + 0.5\text{V}$	40	80	120	mV
$V_{PG-HYST}$	パワー グッド ヒステリシス			25		mV
t_{PG}	パワー グッド反応時間		20	50	80	μs
$V_{PG, LOW}$	パワー グッド出力 Low 電圧	$I_{PG} = 1.8\text{mA}$			0.4	V
$I_{PG, LEAKAGE}$	パワー グッド ピンのリーク電流	$V_{PG} = 5\text{V}$			0.25	μA
$V_{EN, OFF}$	デバイス ディセーブル電圧範囲				0.8	V
$V_{EN, ON}$	デバイス イネーブル電圧範囲		1.8			V
I_{EN}	イネーブル ピンのリーク電流	$V_{EN} = 5\text{V}$			1	μA
PSRR	電源リップル除去	$V_{RIPPLE} = 1\text{V}_{PP}$, 周波数 = 100Hz , $I_{OUT} \geq 5\text{mA}$		80		dB
V_n	出力ノイズ電圧	$V_{OUT} = 3.3\text{V}$, $I_{OUT} = 1\text{mA}$, $\text{BW} = 10\text{Hz} \sim 100\text{KHz}$, $5\mu\text{V}_{RMS}$ リファレンスを使用した測定		150		μV_{RMS}
I_{REV}	V_{IN} での逆電流	$V_{IN} = 0\text{V}$, $V_{OUT} = 32\text{V}$	-0.6		0.6	μA
I_{REV-N1}	負 V_{IN} での逆電流	$V_{IN} = -20\text{V}$, $V_{OUT} = 20\text{V}$	-1.2		1.2	μA
$T_{SD(SHUTDOWN)}$	接合部のシャットダウン温度			175		$^{\circ}\text{C}$
$T_{SD(HYST)}$	サーマル シャットダウンのヒステリシス			15		$^{\circ}\text{C}$

(1) 消費電力が大きい可能性があるため、この仕様は低デューティサイクルのパルステストを使用して測定されます。接合部温度を 150°C 未満に維持しながらデバイスが消費する電力の詳細については、熱に関する情報の表を参照してください。

5.6 代表的特性

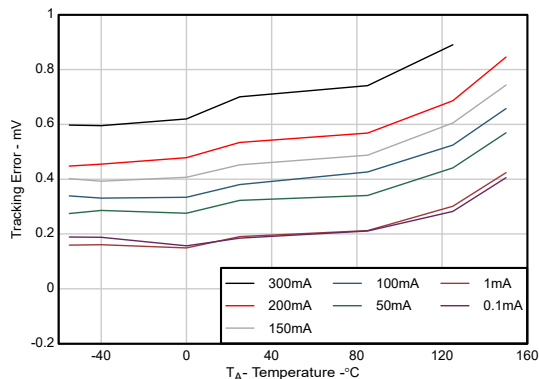

 $V_{IN} = 13.5V, V_{ADJ} = 5V, V_{EN} = 2V$

図 5-1. トラッキング エラーと周囲温度との関係

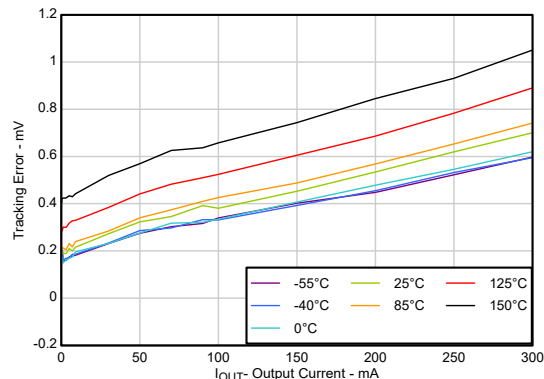

 $V_{IN} = 13.5V, V_{ADJ} = 5V, V_{EN} = 2V$

図 5-2. トラッキング エラーと出力電流との関係

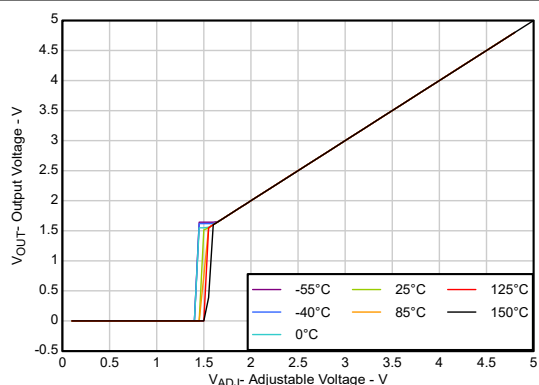

 $V_{IN} = 13.5V, V_{EN} = 2V, I_{OUT} = 10mA$

図 5-3. 出力電圧と可変リファレンス電圧との関係

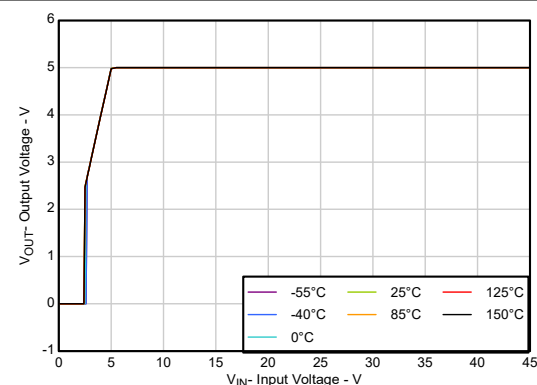

 $V_{ADJ} = 5V, V_{EN} = 2V, I_{OUT} = 10mA$

図 5-4. 出力電圧と入力電圧との関係

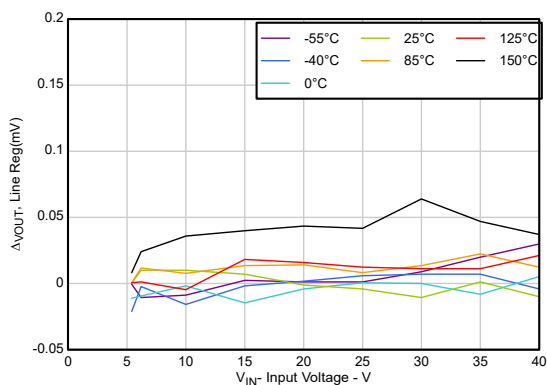

 $V_{ADJ} = 5V, V_{EN} = 2V, I_{OUT} = 100\mu A$

図 5-5. ライン レギュレーション

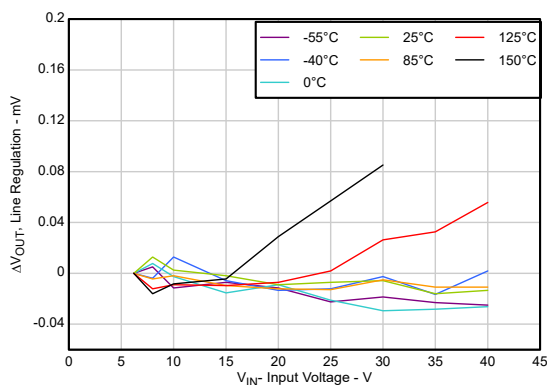

 $V_{ADJ} = 5V, V_{EN} = 2V, I_{OUT} = 200mA$

図 5-6. ライン レギュレーション

5.6 代表的特性 (続き)

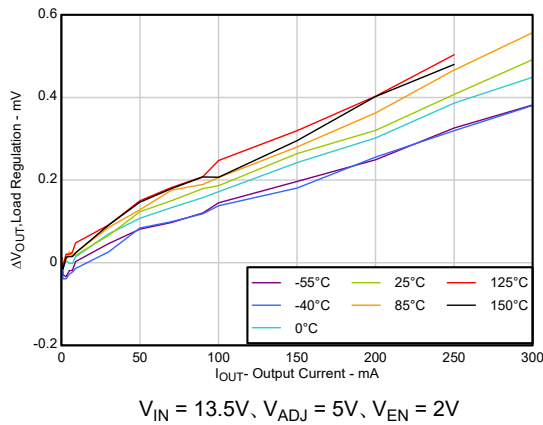


図 5-7. ロードレギュレーション

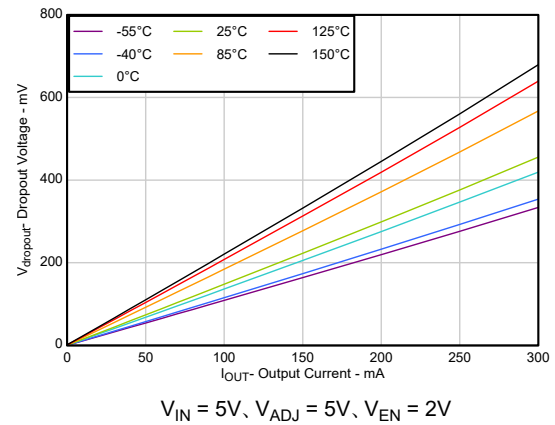


図 5-8. ドロップアウト電圧と負荷電流との関係

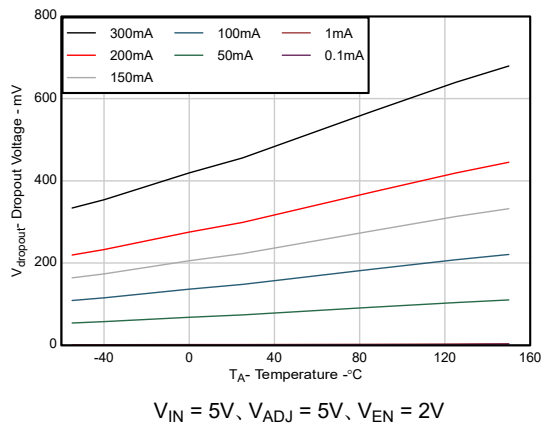


図 5-9. ドロップアウト電圧と周囲温度との関係

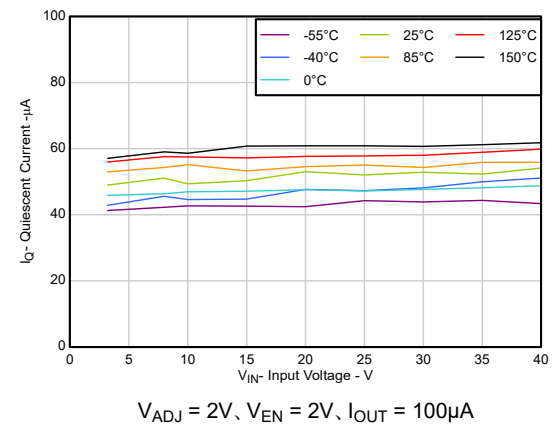


図 5-10. 静止電流と入力電圧との関係

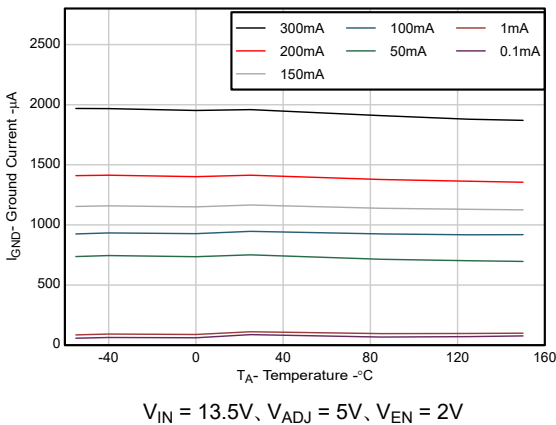


図 5-11. グランド電流と周囲温度との関係

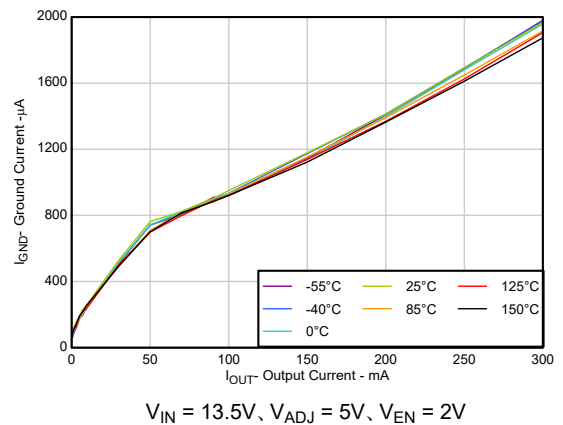
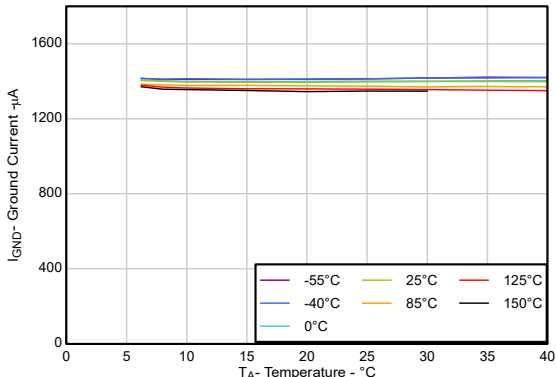


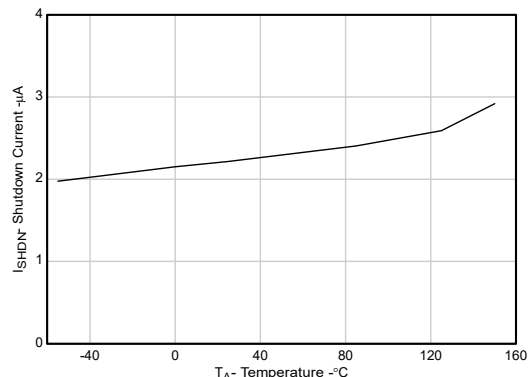
図 5-12. グランド電流と出力電流との関係

5.6 代表的特性 (続き)



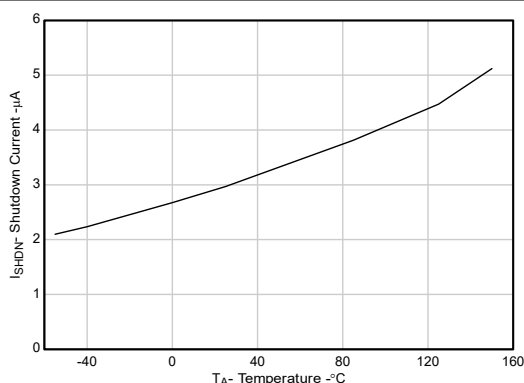
$V_{ADJ} = 5V$, $V_{EN} = 2V$, $I_{OUT} = 200mA$

図 5-13. グランド電流と入力電圧との関係



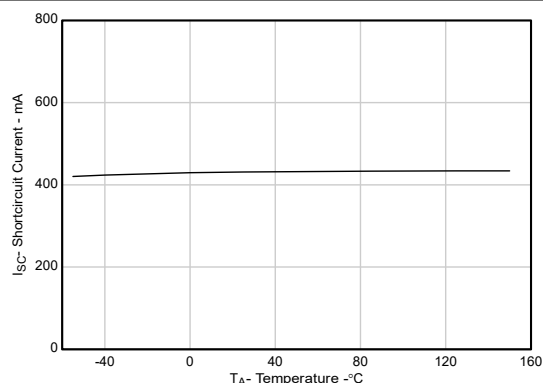
$V_{IN} = 13.5V$, $V_{ADJ} = 2V$, $V_{EN} = 0V$

図 5-14. シャットダウン電流と周囲温度との関係



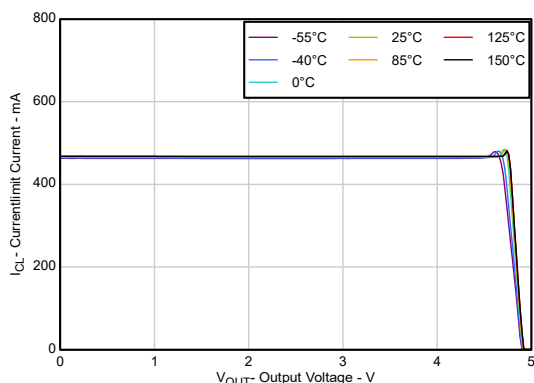
$V_{IN} = 13.5V$, $V_{ADJ} = 0V$, $V_{EN} = 2V$

図 5-15. シャットダウン電流と周囲温度との関係



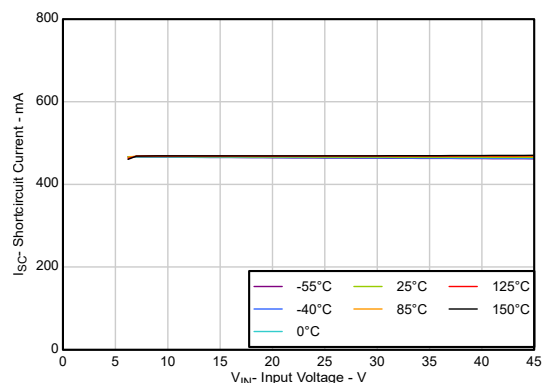
$V_{IN} = 13.5V$, $V_{ADJ} = 5V$, $V_{EN} = 2V$, $V_{OUT} = 0.9 \times V_{OUT\ NOM}$

図 5-16. 電流制限と周囲温度との関係



$V_{IN} = 13.5V$, $V_{ADJ} = 5V$, $V_{EN} = 2V$

図 5-17. 電流制限と出力電圧との関係



$V_{ADJ} = 5V$, $V_{EN} = 2V$, $V_{OUT} = 0.9 \times V_{OUT\ NOM}$

図 5-18. 電流制限と入力電圧との関係

5.6 代表的特性 (続き)

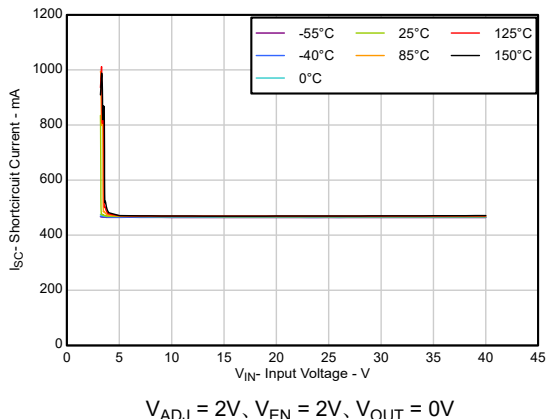


図 5-19. 電流制限と入力電圧との関係

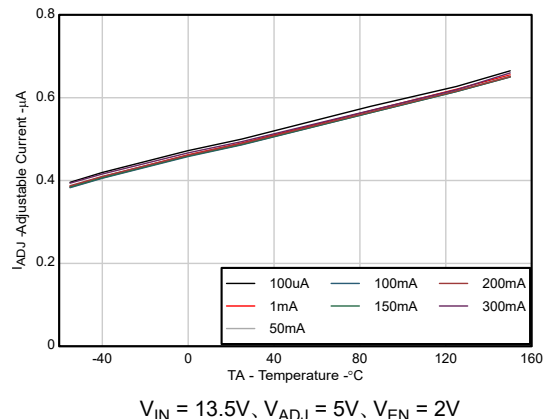


図 5-20. 可変ピンのリーク電流と周囲温度との関係

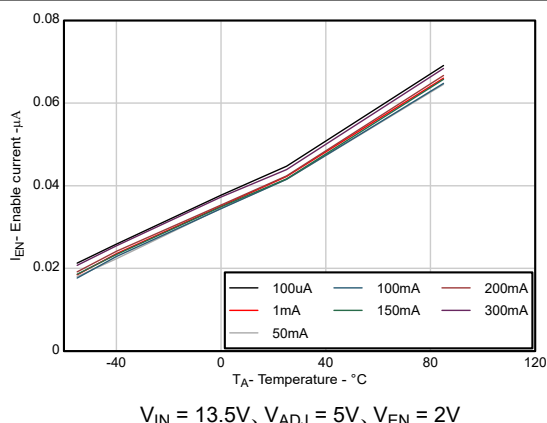


図 5-21. イネーブル ピンのリーク電流と周囲温度との関係

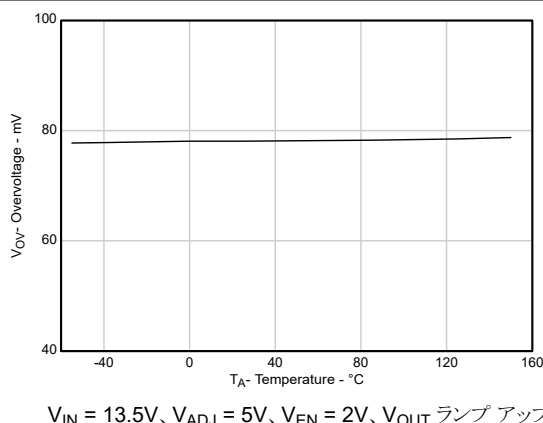


図 5-22. 過電圧トリップスレッシュホールドと周囲温度との関係

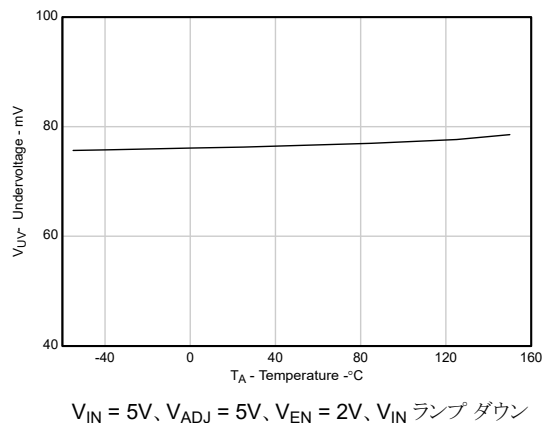


図 5-23. 低電圧トリップスレッシュホールドと周囲温度との関係

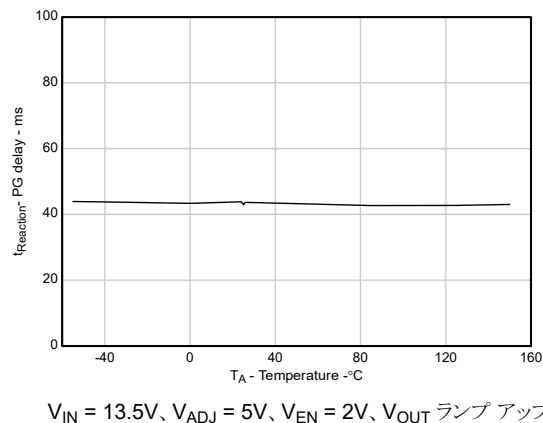
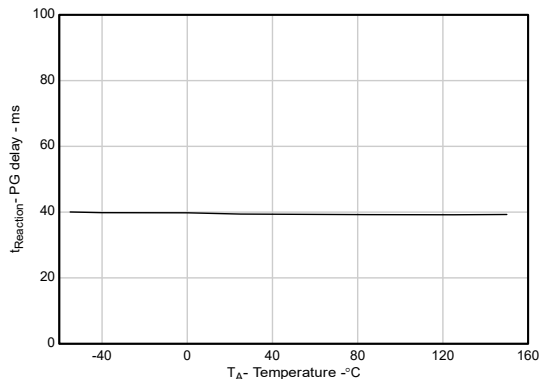


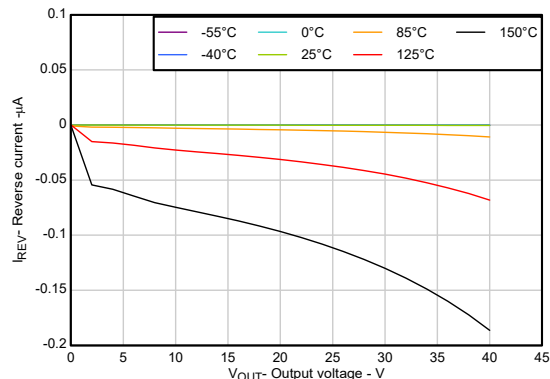
図 5-24. 過電圧 PG トリップ応答時間と周囲温度との関係

5.6 代表的特性 (続き)



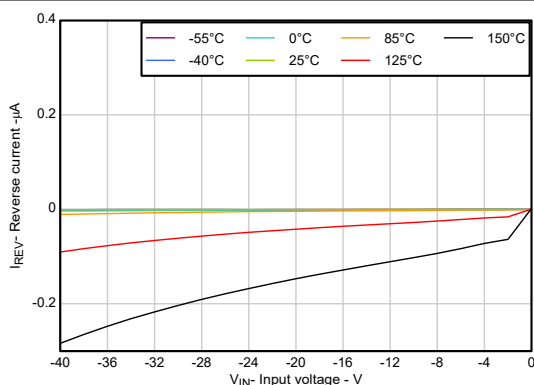
$V_{IN} = 5V$, $V_{ADJ} = 5V$, $V_{EN} = 2V$, V_{IN} ランプ アップ

図 5-25. 低電圧 PG トリップ応答時間と周囲温度との関係



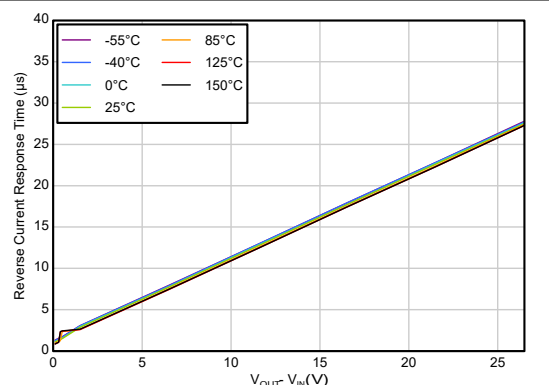
$V_{IN} = 0V$, $V_{ADJ} = 5V$, $V_{EN} = 2V$

図 5-26. 逆リーク電流と出力電圧との関係



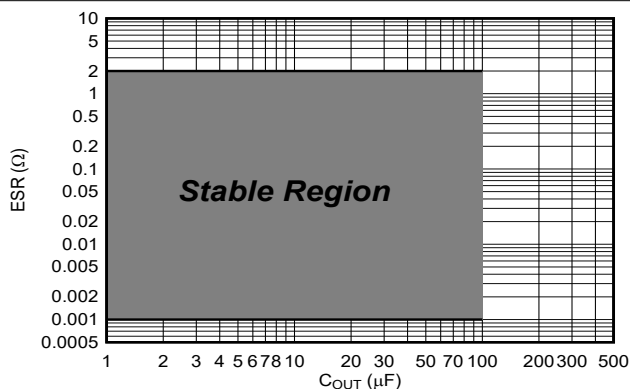
$V_{OUT} = 0V$, $V_{ADJ} = 5V$, $V_{EN} = 2V$

図 5-27. 逆リーク電流と入力電圧との関係



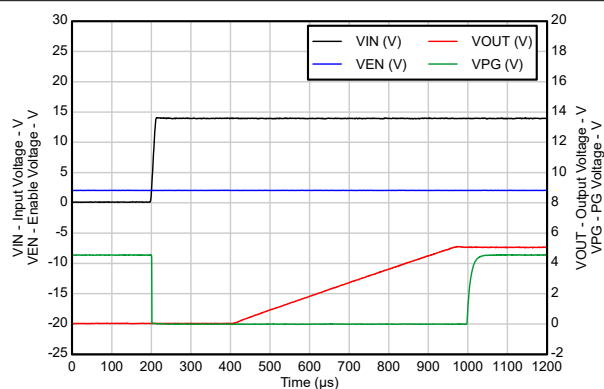
$V_{IN} = 13.5V$, $V_{ADJ} = 5V$, $V_{EN} = 2V$, シミュレーション結果

図 5-28. 逆電流保護応答時間と入出力差動電圧との関係



安定領域: $1m\Omega \leq ESR \leq 2\Omega$, $1\mu F \leq C_{OUT} \leq 100\mu F$

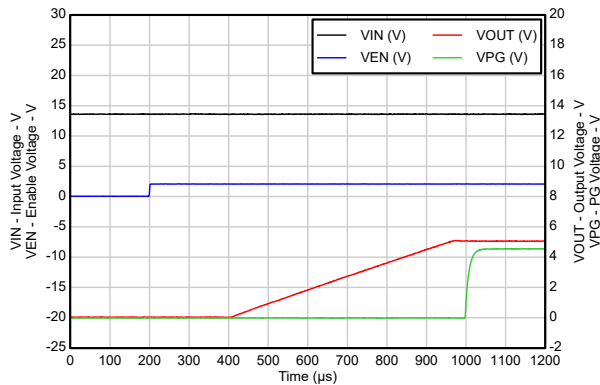
図 5-29. ESR と負荷容量との関係



1V/μs のレートで $V_{IN} = 0V \sim 13.5V$, $V_{ADJ} = 5V$, $V_{EN} = 2V$,
 $C_{OUT} = 1\mu F$, $I_{OUT} = 200mA$

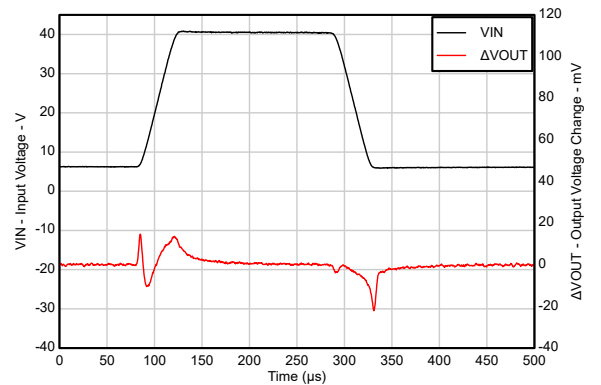
図 5-30. スタートアップ プロファイル

5.6 代表的特性 (続き)



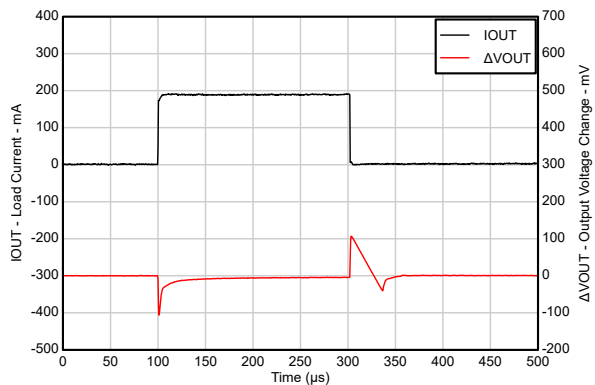
$V_{IN} = 13.5V$, $V_{ADJ} = 5V$, $1V/\mu s$ のレートで $V_{EN} = 0V \sim 2V$,
 $C_{OUT} = 1\mu F$, $I_{OUT} = 200mA$

図 5-31. スタートアッププロファイル



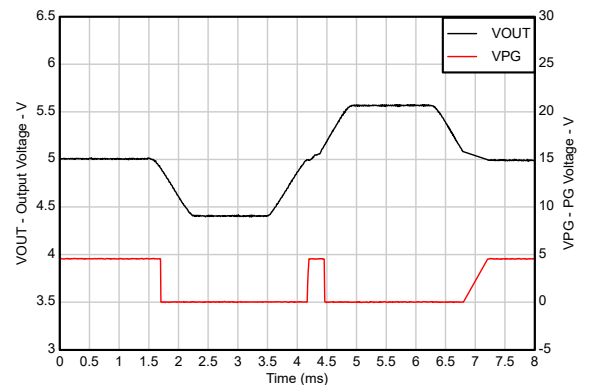
$1V/\mu s$ のレートで $V_{IN} = 6V \sim 40V$, $V_{ADJ} = 5V$, $V_{EN} = 2V$, $C_{OUT} = 1\mu F$, $I_{OUT} = 200mA$

図 5-32. ライン トランジェント



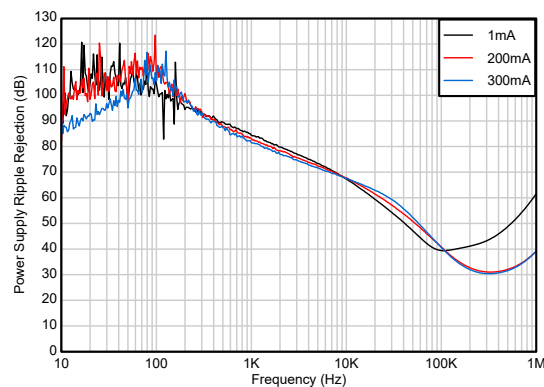
$V_{IN} = 13.5V$, $V_{ADJ} = 5V$, $V_{EN} = 2V$, $C_{OUT} = 1\mu F$, $1A/\mu s$ で $I_{OUT} = 1mA \sim 200mA$

図 5-33. 負荷過渡



$V_{ADJ} = 5V$, $V_{EN} = 2V$, $C_{OUT} = 1\mu F$, $V_{OUT} 5V$ の公称値から
4.4V ランプ ダウンしてから 5.6V までランプ アップ

図 5-34. パワーグッド機能



$V_{IN} = 13.5V$, $V_{ADJ} = 5V$, $V_{EN} = 2V$, $C_{OUT} = 1\mu F$

図 5-35. PSRR と周波数との関係

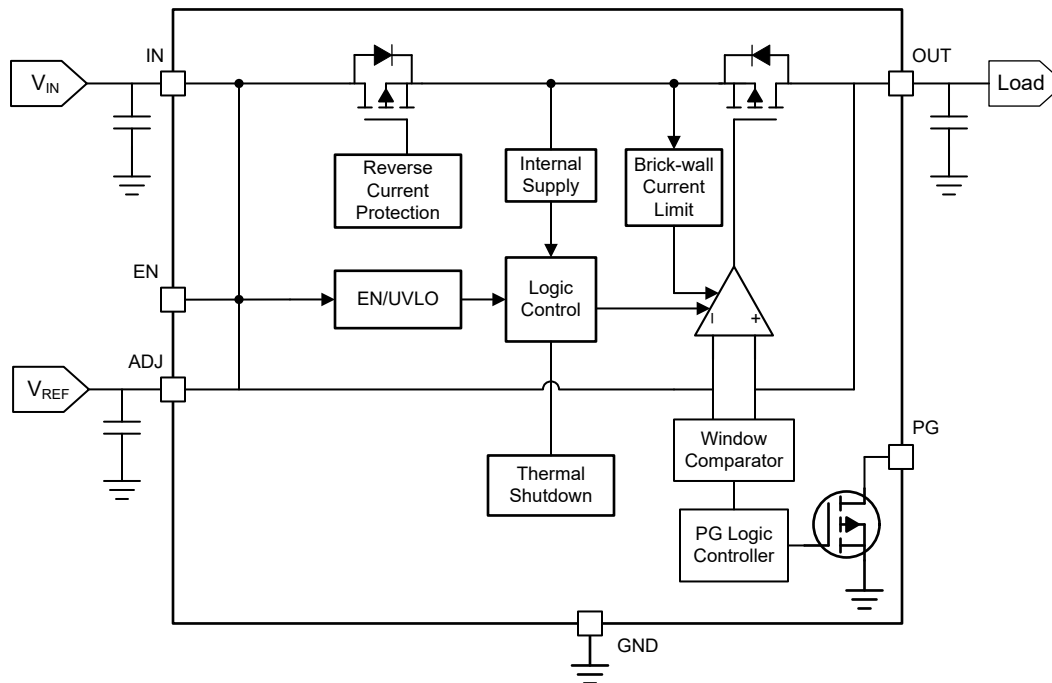
6 詳細説明

6.1 概要

TPS7B4261-Q1 は、トラッキング許容誤差が非常に低い統合型の低ドロップアウト (LDO) 電圧トラッカーです。オフボード センサへの電力供給時にケーブル短絡のリスクが高いため、LDO には複数の機能が組み込まれています。これらの機能は、バッテリーへの短絡、GND への短絡、逆電流の流れを引き起こすフォルト状態から保護します。

また、このデバイスは、サーマル シャットダウン保護、ブリックウォール電流制限、低電圧誤動作防止 (UVLO)、逆極性保護機能、出力の低電圧および過電圧保護機能も搭載しています。

6.2 機能ブロック図



6.3 機能説明

6.3.1 トラッカー出力電圧 (V_{OUT})

このデバイスはトラッキング LDO であるため、出力電圧は ADJ ピンに供給される電圧と等しくなり (追跡され) ます。ただし、この機能は、IN ピン ($\geq 3.3V$)、ADJ ピン ($\geq 2V$)、EN ピン ($\geq 1.8V$) に十分な電圧が供給されることが条件となります。 V_{EN} と V_{ADJ} の両方が $V_{EN, ON}$ を超えている限り、LDO は有効なままです。 V_{EN} または V_{ADJ} のいずれかが $V_{EN, OFF}$ より低くなると、LDO は無効になります。 $V_{EN, ON}$ と $V_{EN, OFF}$ の値は [電氣的特性](#) 表で指定されています。デバイスにはソフトスタート機能が備わっており、出力電圧を直線的に上昇させ、スタートアップ時の突入電流を制限します。スタートアップ後、定常状態に達した後、 V_{OUT} は指定されたすべての動作状態にわたって、 V_{ADJ} に設定された電圧から $\pm 6mV$ 以内に維持されます。 V_{OUT} はデバイス出力電圧、 V_{ADJ} は ADJ ピン電圧です。

6.3.1.1 出力電圧がリファレンス電圧と等しい場合

図 6-1 に、ADJ ピンに直接印加される外部基準電圧を示します。式 1 に示されているように、これらの条件下では、LDO の出力電圧はリファレンス電圧と等しくなります。

$$V_{OUT} = V_{REF} \quad (1)$$

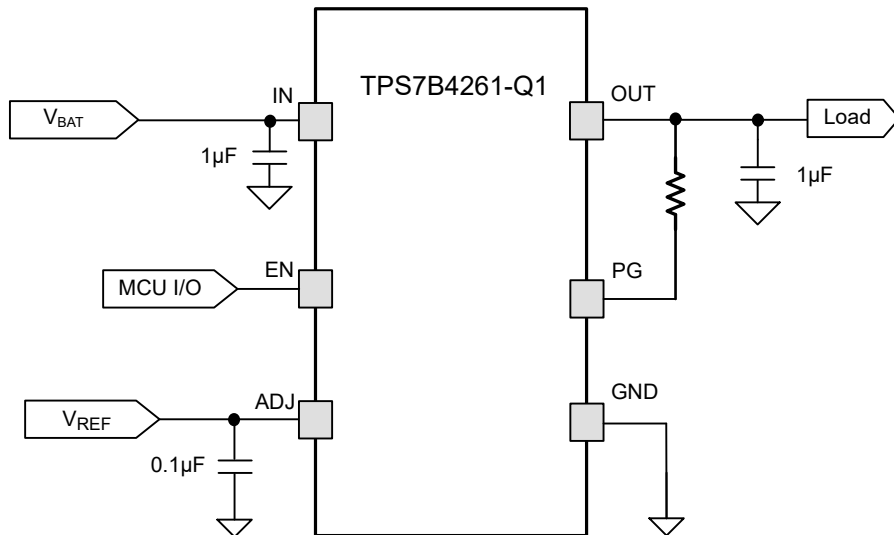


図 6-1. トラッカー出力電圧がリファレンス電圧と等しい場合

6.3.1.2 出力電圧がリファレンス電圧よりも低い場合

図 6-2 に示されているように、ADJ ピンに外付けの抵抗デバイダを接続することでリファレンス電圧よりも低い出力電圧を生成できます。ADJ ピンのリーク電流 I_{ADJ} に起因する電圧の誤差を最小限に抑えるため、 R_1 と R_2 の両方が 100kΩ よりも小さくなるようにします。式 2 で、 V_{OUT} を計算します。

$$V_{OUT} = \frac{(V_{REF} \times R_2)}{R_1 + R_2} \quad (2)$$

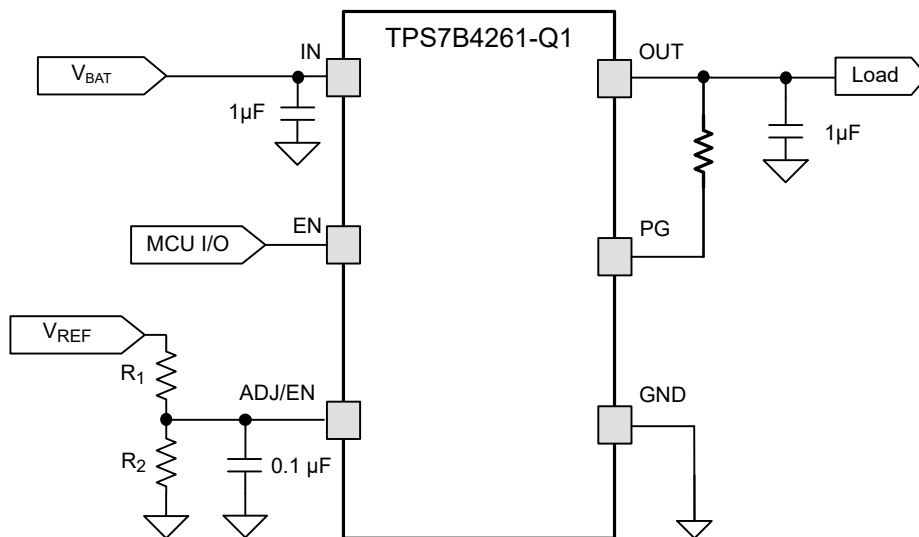


図 6-2. トラッカー出力電圧がリファレンス電圧より低い場合

6.3.2 逆電流保護

TPS7B4261-Q1 は、双方向 PMOS トポロジを内蔵しています。このトポロジは、 V_{OUT} が V_{IN} より高くなるフォルト状態からデバイスを保護し、逆電流が流れるのを防止します。このフォルト状態が発生しても、**絶対最大定格** の最大制限を超過していない限り、デバイスが損傷することはありません。この内蔵保護機能により、外付けのダイオードが不要になります。逆電流コンパレータは、通常、 $10\mu s$ で逆電圧状況に応答します。このコンパレータとブロッキング PMOS トランジスタのボディダイオード逆電流 (I_{REV}) が $1.5\mu A$ 未満に制限されます。 I_{REV} は、**電気的特性** 表に記載されています。

6.3.3 パワー グッド

TPS7B4261-Q1 には、トラッカー出力の低電圧および過電圧フォルト状態の検出に役立つ、オープンドレイン ベースのパワーグッド ピンがあります。このピンを、プルアップ抵抗でレギュレーションされたレール ($V_{PULL-UP}$) にプルアップします。**推奨動作条件** 表に記載されている V_{PG} の値の範囲を使用して、 $V_{PULL-UP}$ のレギュレーションされたレールの最大値を決定します。 V_{PG} が有効な値になるようにするため、入力電圧 V_{IN} が $V_{UVLO} (RISING)$ を超えるようにしてください。 V_{PG} はパワー グッド ピンの電圧です。

パワー グッド機能は、出力電圧を監視し、可能性のあるフォルト条件を検出するのに役立ちます。この機能は、IN、ADJ、EN ピンに十分な電圧が供給されることが条件となります。これらのピンの正しい動作電圧範囲については、**推奨動作条件** 表を参照してください。参照してください。トラッカー電圧が V_{ADJ} の $V_{PG UV-TH}$ 値と $V_{PG OV-TH}$ 値内に留まると、PG ピンは $V_{PULL-UP}$ にプルアップされます。

V_{OUT} の変動がパワーグッド スwitchングのスレッシュホールドを超えて t_{PG} より長くなると、PG ピンは Low になり、電圧は $V_{PG} < V_{PG, LOW}$ になります。 V_{OUT} の過渡が t_{PG} より短い場合、PG ピンではエラーとしてフラグが立てられません。 V_{OUT} はトラッカー出力電圧です。デバイスが無効な場合 ($V_{EN} < V_{EN, OFF}$)、十分な V_{IN} および V_{ADJ} が供給されていても、PG ピンは Low のままです。 $V_{PG UV-TH}$ 、 $V_{PG OV-TH}$ 、 t_{PG} 、 $V_{PG, LOW}$ の各値は、**電気的特性** 表で指定されています。

6.3.4 低電圧誤動作防止

デバイスには低電圧誤動作防止 (UVLO) スレッシュホールドがあり、この値は内部的に固定されています。入力電圧 V_{IN} が低電圧誤動作防止レベルを下回ると、低電圧誤動作防止が起動します (**電気的特性** の表の $V_{UVLO} (FALLING)$ パラメータを参照)。これにより、入力電源電圧が低いときにレギュレータが未知の状態にラッチされることが防止されます。入力電圧に負の過渡電圧が生じて UVLO スレッシュホールドを下回ると、レギュレータはシャットダウンします。入力電圧が必要なレベルに回復すると、レギュレータは標準の電源オン シーケンスで起動します。**電気的特性** の表の $V_{UVLO} (RISING)$ パラメータを参照してください。

6.3.5 過熱保護

過熱保護機能により、接合部温度が約 $175^{\circ}C$ に上昇すると出力が無効化され、デバイスの温度が下がるまでその状態が続きます。この機能により、レギュレータ内の熱放散と接合部温度の上昇が制限され、過熱によるレギュレータの損傷が防止されます。接合部温度が約 $160^{\circ}C$ まで低下すると、出力回路が有効化されます。このような高温でデバイスが有効化されますが、デバイスのパラメータと性能は、最高で $150^{\circ}C$ の接合部温度まで規定されています。消費電力、熱抵抗、周囲温度は、過熱保護回路が有効化されるかどうかを決定するパラメータです。有効になっている間、消費電力または周囲温度 (またはその両方) が低下しない限り、保護回路はオン状態とオフ状態を繰り返します。

TPS7B4261-Q1 の内部保護回路は、過負荷状態から保護されるように設計されています。この回路は適切なヒート シンクの代替となるものではありません。サーマル シャットダウンが作動するまで TPS7B4261-Q1 を使用し続けると、デバイスの信頼性が低下します。

6.3.6 電流制限

デバイスには、過電流または短絡イベントの際にデバイスを保護する内部電流制限回路が備わっています。図 6-3 に示されているように、電流制限回路は、ブリックウォール方式です。デバイスが電流制限されている場合、デバイスは I_{CL} をソースし、出力電圧はレギュレートされません。このシナリオでは、出力電圧は負荷インピーダンスに依存します。

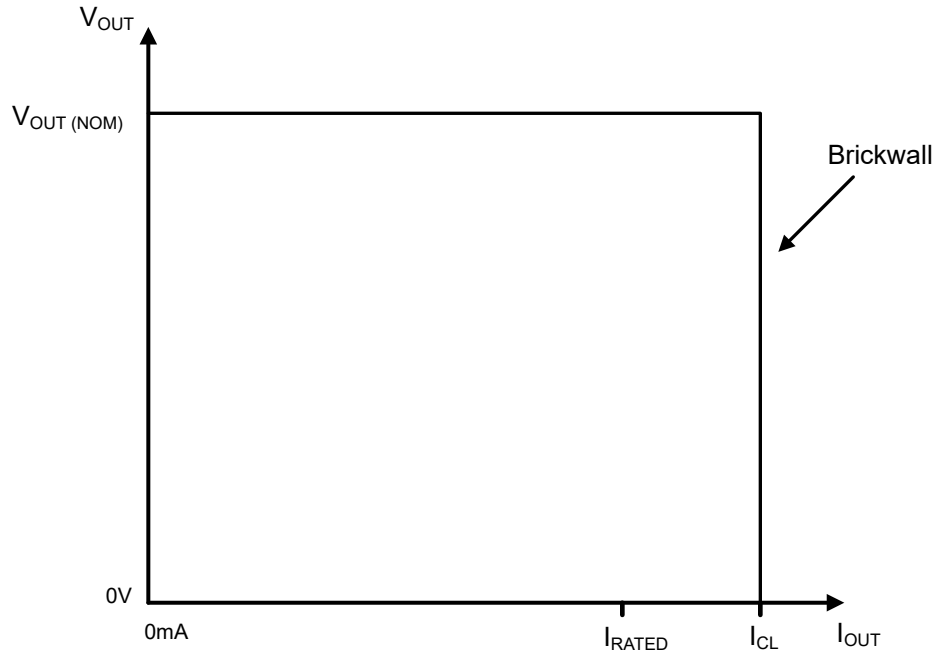


図 6-3. ブリックウォール、電流制限方式

電流制限イベント中は、電流レベルが高く、入力から出力への差動電圧 ($V_{IN} - V_{OUT}$) が上昇するため、高い消費電力が発生する可能性があります。放熱量が多くなると、デバイスはサーマル シャットダウンに移行します。冷却後にデバイスが再度オンになったときに電流制限状態が解消されていないと、デバイスはサーマル シャットダウンに再度移行します。電流制限状態が解消されるまで、このサイクルが継続されます。デバイスはこのフォルトに耐えられますが、このモードで繰り返し動作すると、長期的な信頼性が低下します。

入力電圧が $V_{IN} \geq 3.7V$ のときに、このデバイスの電流制限 (I_{CL}) が **電気的特性** に示されている仕様を満たします。 $3.3V \leq V_{IN} < 3.7V$ の範囲で動作しているときにデバイスの出力がグランドに短絡すると、 I_{CL} よりも大きな電流がデバイスを流れます。図 5-19 に、この動作についての説明が記載されています。

6.3.7 出力のバッテリーへの短絡

図 6-4 に、TPS7B4261-Q1 がバッテリーから直接電力を供給され、出力がバッテリーに短絡する状況が説明されています。絶対最大定格が損なわれない限り、TPS7B4261-Q1 はこのフォルト状態に耐え、デバイスに損傷は発生しません。図 6-5 に、デバイスが V_{BAT} よりも低い電圧源から電力を供給されているときに、出力がバッテリーに短絡する状況が説明されています。この例では、TPS7B4261-Q1 の電源入力電圧は $7V$ に設定されています。トラッカー出力は通常 $5V$ で動作し、バッテリーは通常 $14V$ で動作します。 **電気的特性** の表で指定されているように、双方向 PMOS トポロジは、 V_{IN} を経由して I_{REV} に流れる連続逆電流を制限するのに役立ちます。

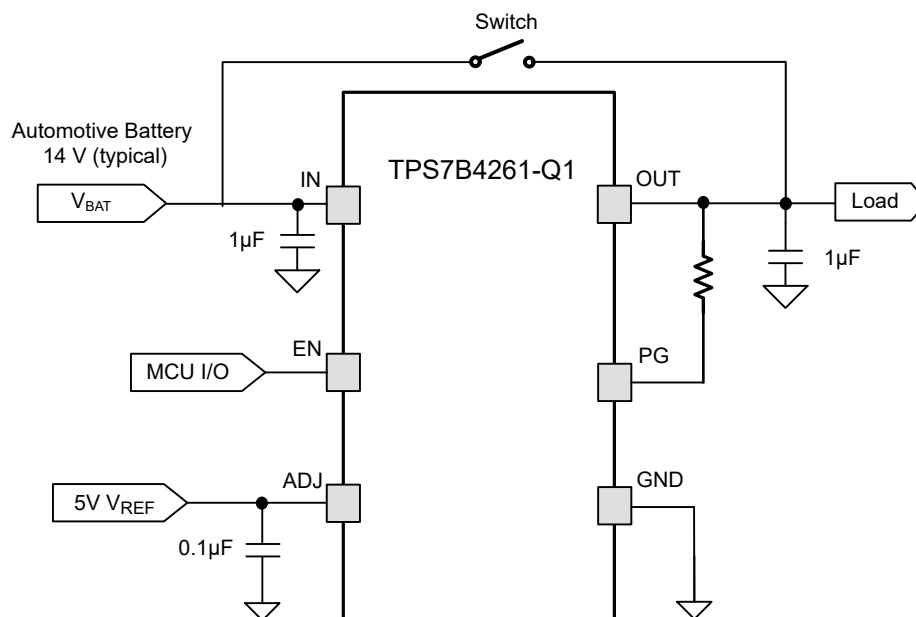


図 6-4. トラッカー出力がバッテリーに短絡

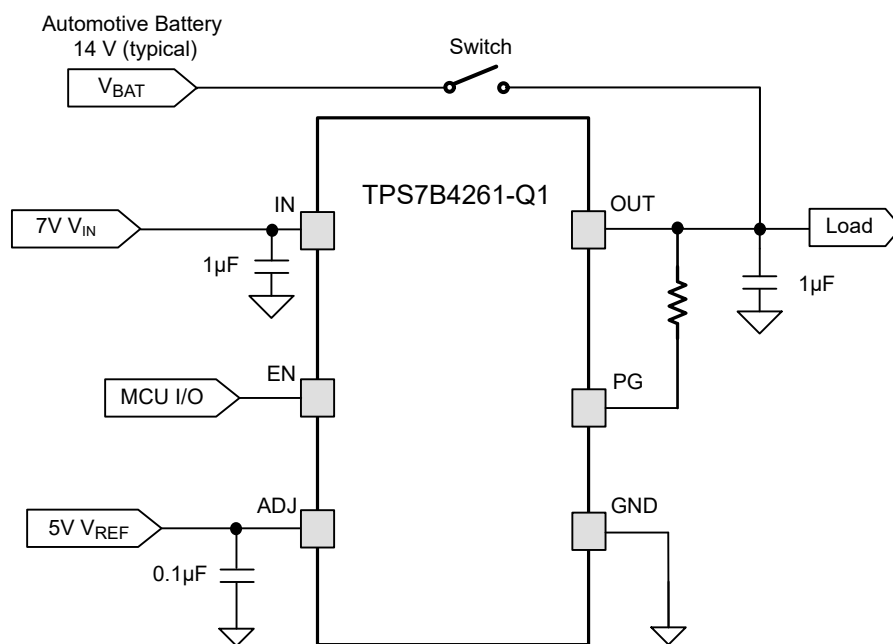


図 6-5. トラッカー出力電圧が入力電圧より高い場合

6.4 デバイスの機能モード

表 6-1 に、各種の動作モードにつながる条件を示します。パラメータ値については、[電氣的特性](#) の表を参照してください。

表 6-1. デバイスの機能モードの比較

動作モード	パラメータ ⁽¹⁾				
	V_{IN}	V_{ADJ}	V_{EN}	I_{OUT}	T_J
通常動作	$V_{IN} > V_{OUT(Nom)} + V_{DO}$ および $V_{IN} \geq V_{IN(min)}$	$V_{ADJ} > V_{EN, ON}$	$V_{EN} > V_{EN, ON}$	$I_{OUT} \leq I_{OUT(max)}$	$T_J \leq 150^\circ\text{C}$
ドロップアウト動作	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{ADJ} > V_{EN, ON}$	$V_{EN} > V_{EN, ON}$	$I_{OUT} \leq I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
ディセーブル (条件が真の場合、 デバイスはディセーブル)	$V_{IN} < V_{UVLO}$	$V_{ADJ} < V_{EN, OFF}$	$V_{EN} < V_{EN, OFF}$	該当なし	$T_J > T_{SD(shutdown)}$

(1) V_{IN} が $V_{UVLO(RISING)}$ を上回り、 V_{ADJ} と V_{EN} の両方がイネーブルの立ち上がりスレッショルド $V_{EN, ON}$ を上回ると、デバイスがオンになります。

6.4.1 通常動作

デバイスの出力電圧 $V_{OUT(Nom)}$ は、以下の条件が満たされると、ADJ ピンのリファレンス電圧を追跡します。

- 入力電圧が少なくとも 3.3V ($V_{IN(min)}$) で、公称出力電圧とドロップアウト電圧の和 ($V_{IN} > V_{OUT(nom)} + V_{DO}$) よりも大きい。
- ADJ ピンの基準電圧とイネーブル ピンの電圧 V_{EN} は、どちらもイネーブル立ち上がりスレッショルド $V_{EN, ON}$ よりも高い。ADJ ピンの電圧が適切な V_{REF} 値で安定した状態を維持する。
- 出力電流が $I_{OUT(max)}$ 未満 ($I_{OUT} \leq 300\text{mA}$) である。
- デバイス接合部温度が 150°C を超過していない ($T_J \leq 150^\circ\text{C}$)

6.4.2 ドロップアウト動作

入力電圧が、公称出力電圧と規定ドロップアウト電圧の和よりも低い場合、デバイスはドロップアウト モードで動作します。このモードでは、出力電圧は入力電圧に追従します。このモードでは、デバイスの過渡性能が大きく低下します。このモード中、パストランジスタは完全にオンに駆動されます。ドロップアウト中にライン過渡または負荷過渡事象が生じると、大きな出力電圧の偏差が発生する可能性があります。

ドロップアウト状態では、トラッカーのパストランジスタはオーム領域または 3 極管領域に駆動されます。この状態では、入力および出力電圧は $V_{IN} < V_{OUT(NOM)} + V_{DO}$ に関係しています。トラッカー デバイスが公称レギュレーションから直接ドロップアウトに入ると、パストランジスタが飽和領域から 3 極管領域に遷移します。このような状況において、入力電圧が $V_{IN} > V_{OUT(NOM)} + V_{DO}$ 戻ると、デバイスはドロップアウトを終了します。トラッカーがパストランジスタを 3 極管領域から飽和状態に戻すのに短時間を要します。この短時間の間、デバイスがドロップアウトを終了すると、出力電圧に大きなオーバーシュートが発生する可能性があります。

6.4.3 $V_{IN} < 3.3\text{V}$ での動作

入力電圧が 3.3V 未満で $V_{UVLO (FALLING)}$ を上回ると、LDO が動作を継続します。しかし、一部の内部回路は、仕様内で動作するための適切なヘッドルームを確保できない可能性があります。入力電圧が $V_{UVLO (FALLING)}$ を下回ると、デバイスはシャットダウンされます。

6.4.4 ADJ と EN 制御による無効化

ADJ ピンと EN ピンはそれぞれ独立して、デバイスを無効化できます。 V_{ADJ} または V_{EN} を $V_{EN, OFF}$ 未満になるように強制してデバイスの出力をシャットダウンします。無効化されると、パストランジスタがオフになり、内部回路がシャットダウンされ、LDO はローパワーモードになります。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

7.1.1 ドロップアウト電圧

ドロップアウト電圧 (V_{DO}) は、パストランジスタが完全にオンのときの $V_{IN} - V_{OUT}$ として定義されます。 V_{IN} は入力電圧、 V_{OUT} は出力電圧です。入力電圧が低下し、誤差アンプがパストランジスタのゲートをレールまで駆動する時点で、この状態が発生します。この状態では、制御ループが動作するためのヘッドルームがありません。この動作ポイントで、パストランジスタは完全にオンに駆動されます。ドロップアウト電圧は、本デバイスのレギュレートされた出力電圧を維持するために必要な最小の $V_{IN} - V_{OUT}$ 差分を直接指定します。入力電圧が公称出力レギュレーションより低くなると、出力電圧もドロップアウト電圧 (V_{DO}) を差し引いた値に追従します。

ドロップアウト モードでは、出力電圧のレギュレーションが行われなくなり、過渡性能が大幅に低下します。デバイスの PSRR が低下し、負荷過渡が原因で、大きな出力電圧の偏差が発生する可能性があります。

CMOS レギュレータの場合、ドロップアウト電圧はパストランジスタのドレイン ソース間オン抵抗 ($R_{DS(ON)}$) によって決まります。したがって、リニア レギュレータが最大定格出力電流 (I_{RATED}) よりも低い値で動作する場合、その電流に対するドロップアウト電圧はそれに応じてスケールリングされます。 I_{RATED} は、「推奨動作条件」表に記載されています。以下の式を使用して、デバイスの $R_{DS(ON)}$ を計算します。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (3)$$

7.1.2 逆電流

TPS7B4261-Q1 には逆電流保護機能が内蔵されており、 V_{OUT} が V_{IN} よりも高くなるフォルト状態からの損傷を防止します。逆電流コンパレータは、通常、10 μ s で逆電圧状況に応答します。このコンパレータとブロッキング PMOS トランジスタのボディ ダイオード逆電流が 1.2 μ A 未満に制限されます。絶対最大定格の制限を超過しない限り、デバイスが損傷することはありません。

7.2 代表的なアプリケーション

図 7-1 に、TPS7B4261-Q1 の代表的なアプリケーション回路を示します。

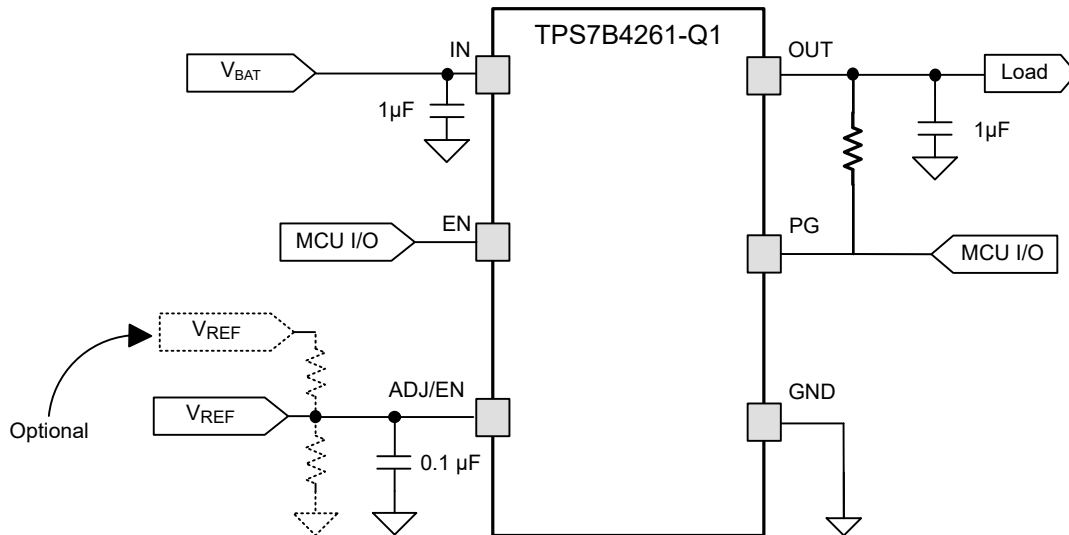


図 7-1. 代表的なアプリケーション回路図

7.2.1 設計要件

この設計例では、表 7-1 の設計パラメータを使用します。

表 7-1. 設計パラメータ

設計パラメータ	例の値
入力電圧	3.3V ~ 40V
可変リファレンス電圧	2V ~ 40V
イネーブル電圧	1.8V ~ 40V
出力電圧	2V ~ 40V
出力電流定格	300mA
出力コンデンサ範囲	1µF~100µF
出力コンデンサの ESR 範囲	1mΩ ~ 2Ω

7.2.2 詳細な設計手順

7.2.2.1 入力および出力コンデンサの選択

エンド アプリケーションに応じて、異なる値の外付け部品を使用できます。一部のアプリケーションでは、高速負荷ステップをサポートするため、大容量の出力コンデンサを使用します。大きなコンデンサは、出力電圧の大きな低下を防止するのに役立ち、その結果ダウンストリーム部品がリセットされる結果になります。負荷過渡応答を改善するために、X5R または X7R タイプの誘電体を使用する低等価直列抵抗 (ESR) セラミック コンデンサを使用します。

TPS7B4261-Q1 では、安定性のために、少なくとも 1µF (500nF 以上の容量) の出力コンデンサと 0.001Ω ~ 2Ω の ESR が必要です。出力コンデンサがないと、レギュレータは発振します。最高の過渡性能を得るには、X5R および X7R タイプのセラミック コンデンサを使用します。これらのコンデンサは、温度による値と ESR の変動が最小限に抑えられているからです。特定のアプリケーション用にコンデンサを選択するときは、コンデンサの DC バイアス特性に注意します。出力電圧が高くなると、コンデンサの定格が大きく低下します。ほとんどのアプリケーションでは、優れた過渡性能を実現するために、OUT ピンに低 ESR の 10µF セラミック コンデンサを接続するだけで十分です。

安定性のために、入力コンデンサは必要ありません。しかし、TPS7B4261-Q1 の GND ピンと IN ピンの間にコンデンサ (500nF 以上) を接続するのが適切なアナログ手法です。一部の入力電源は高インピーダンスなので、入力電源に入力コンデンサを配置することで、入力インピーダンスを低減できます。このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、入力リップル、PSRR を改善します。入力電源が広範囲の周波数にわたって ハイ インピーダンスの場合は、複数の入力コンデンサを並列に使用して、全周波数帯域のインピーダンスを低減します。立ち上がり時間の短い大きな負荷過渡事象が予想される場合、またはデバイスが入力電源から数インチの場所に配置される場合は、より大きな値のコンデンサを使用してください。

7.2.3 アプリケーション曲線

下図に、HSOIC-8 (DDA) パッケージの $R_{\theta JA}$ および ψ_{JB} の機能と銅の面積と厚さとの関係が示されています。これらのプロットは、101.6mm × 101.6mm × 1.6mm のプリント基板 (PCB) で 2 層および 4 層を使用して生成したものです。2 層基板の場合、最下層は一定サイズのグランドプレーンであり、最上層の銅箔は GND に接続して変化させています。4 層基板の場合、2 番目の層は一定のサイズのグランドプレーンで、3 番目の層は一定のサイズの電源プレーンになります。最上層と最下層の銅箔パターンを GND に接続し、同じ速度で変化させます。4 層基板の場合、内側のプレーンでは 1 オンスの銅箔厚を使用します。外層は、1 オンスおよび 2 オンスの銅厚でシミュレーションしています。300μm のドリル直径と 25μm の銅めっきを持つ 3×3 のサーマルビア配列がデバイスの下に配置されています。サーマルビアは、最上層と最下層、また 4 層基板の場合は最初の内部 GND プレーンを接続しています。『PowerPAD™ 放熱強化パッケージ』アプリケーション ノートに、サーマルビアが熱性能に及ぼす影響についての説明が記載されています。

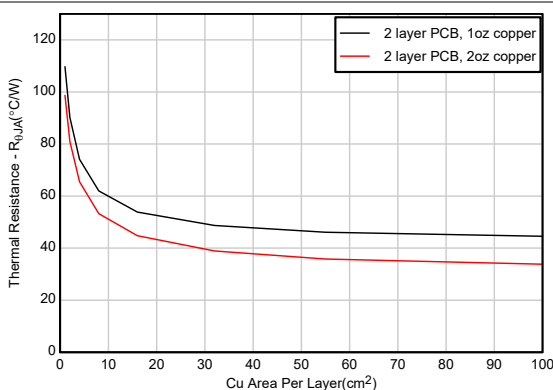


図 7-2. $R_{\theta JA}$ と銅の面積との関係 (HSOIC-8 パッケージ、2 層 PCB)

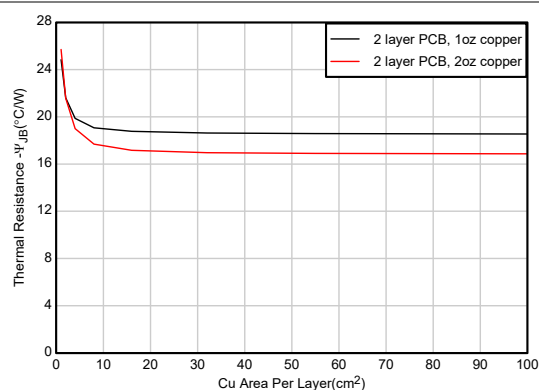


図 7-3. ψ_{JB} と銅の面積との関係 (HSOIC-8 パッケージ、2 層 PCB)

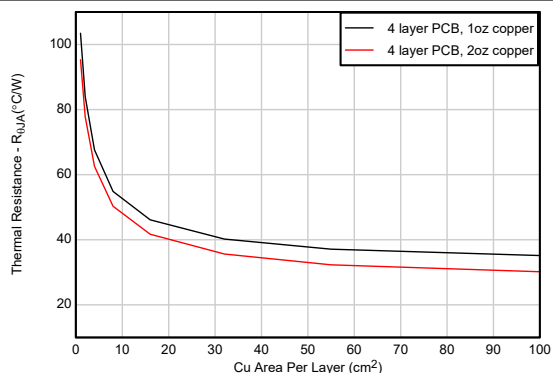


図 7-4. $R_{\theta JA}$ と銅の面積との関係 (HSOIC-8 パッケージ、4 層 PCB)

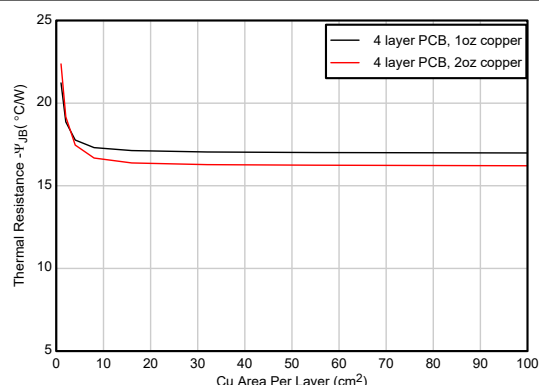


図 7-5. ψ_{JB} と銅の面積との関係 (HSOIC-8 パッケージ、4 層 PCB)

7.3 電源に関する推奨事項

このデバイスは、3.3V から 40V の入力電源電圧範囲で動作するように設計されています。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

全体の性能を最適化するために、すべての回路部品は回路基板の同じ面に配置します。これらの部品は、可能な限り各 LDO ピンの接続部の近くに配置します。入力および出力コンデンサのグランド復帰接続は、LDO のグランド ピンにできるだけ近づけて配置します。広い部品側の銅面を使用して、コンデンサとピンの間の接続を行います。入力および出力コンデンサにビアと長いパターンを使用しないことが強く推奨されます。これにより、システム性能に悪影響が出ます。グランド基準プレーンを PCB に埋め込むか、コンポーネントの反対側の PCB の裏面に配置します。この基準プレーンにより、出力電圧の精度が向上し、ノイズから遮断されます。このプレーンは、サーマル パッドに接続することで、LDO デバイスからの熱を拡散 (または吸収) するサーマル プレーンと同様の働きをします。ほとんどの用途では、熱要件を満たすためにこのグランド プレーンが必要です。

7.4.1.1 パッケージの取り付け

TPS7B4261-Q1 の半田パッドの占有面積に関する推奨事項については、本文書の巻末および www.ti.com を参照してください。

7.4.1.2 PSRR およびノイズ性能向上のための推奨基板レイアウト

AC 性能 (PSRR、出力ノイズ、過渡応答など) を向上させるために、 V_{IN} と V_{OUT} に別々のグランド プレーンを付けて基板を設計します。各グランド プレーンは、デバイスの GND ピンにのみ接続します。また、出力コンデンサのグランド接続をデバイスの GND ピンに直接接続します。

等価直列インダクタンス (ESL) および ESR を最小化し、性能を最大化して安定性を実現します。各コンデンサは可能な限りデバイスに近く、PCB 上でレギュレータと同じ面に配置します。

PCB 上でレギュレータが設置されている面と反対の面にコンデンサを配置しないでください。システムの性能に悪影響を与えるため、ビアおよび長いパターンを使用しないことが強く推奨されます。ビアや長いパターンは、不安定性の原因になる可能性があります。

可能であれば、この文書に記載されている最大性能を保証するため、TPS7B4261-Q1 評価ボードに使用されているのと同じレイアウト パターンを使用してください。この評価ボードは、www.ti.com で入手できます。

7.4.1.3 消費電力および熱に関する考慮事項

式 4 で、デバイスの消費電力を計算します。

$$P_D = I_{OUT} \times (V_{IN} - V_{OUT}) + I_Q \times V_{IN} \quad (4)$$

ここで

- P_D = 連続消費電力
- I_{OUT} = 出力電流
- V_{IN} = 入力電圧
- V_{OUT} = 出力電圧
- I_Q = 静止電流

I_Q は I_{OUT} よりはるかに小さいため、式 4 の $I_Q \times V_{IN}$ 項は無視します。

式 5 で、所定の周囲空気温度 (T_A) で動作中のデバイスの接合部温度 (T_J) を計算します。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (5)$$

ここで

- $R_{\theta JA}$ = 接合部から接合部までの周囲気温の熱インピーダンス

式 6 で、消費電力による接合部温度の上昇を計算します。

$$\Delta T = T_J - T_A = (R_{\theta JA} \times P_D) \quad (6)$$

式 7 で、所定の最大接合部温度 (T_{JMAX}) でデバイスが動作する最大周囲空気温度 (T_{AMAX}) を計算します。

$$T_{AMAX} = T_{JMAX} - (R_{\theta JA} \times P_D) \quad (7)$$

7.4.1.4 放熱性能と銅の面積との関係

最もよく使用される熱抵抗パラメータ $R_{\theta JA}$ は、特定の PCB 設計に作り込まれている熱拡散能力に大きく依存します。したがって、 $R_{\theta JA}$ は、銅の総面積、銅の重量、プレーンの位置に応じて変化します。 $R_{\theta JA}$ (接合部－周囲間熱抵抗) は [熱に関する情報](#) 表に記載されていますが、これは JEDEC 標準 ([図 7-6](#))、PCB、および銅の拡散面積に基づいて決定された値です。これはパッケージの熱性能の相対的な測定値としてのみ使用されます。適切に設計された熱レイアウトの場合、 $R_{\theta JA}$ は、 $R_{\theta JCbot}$ と PCB 銅による熱抵抗の寄与を和したものとなります。[熱に関する情報](#) の表に示されているように、 $R_{\theta JCbot}$ は接合部からケース (底面) までの熱抵抗です。

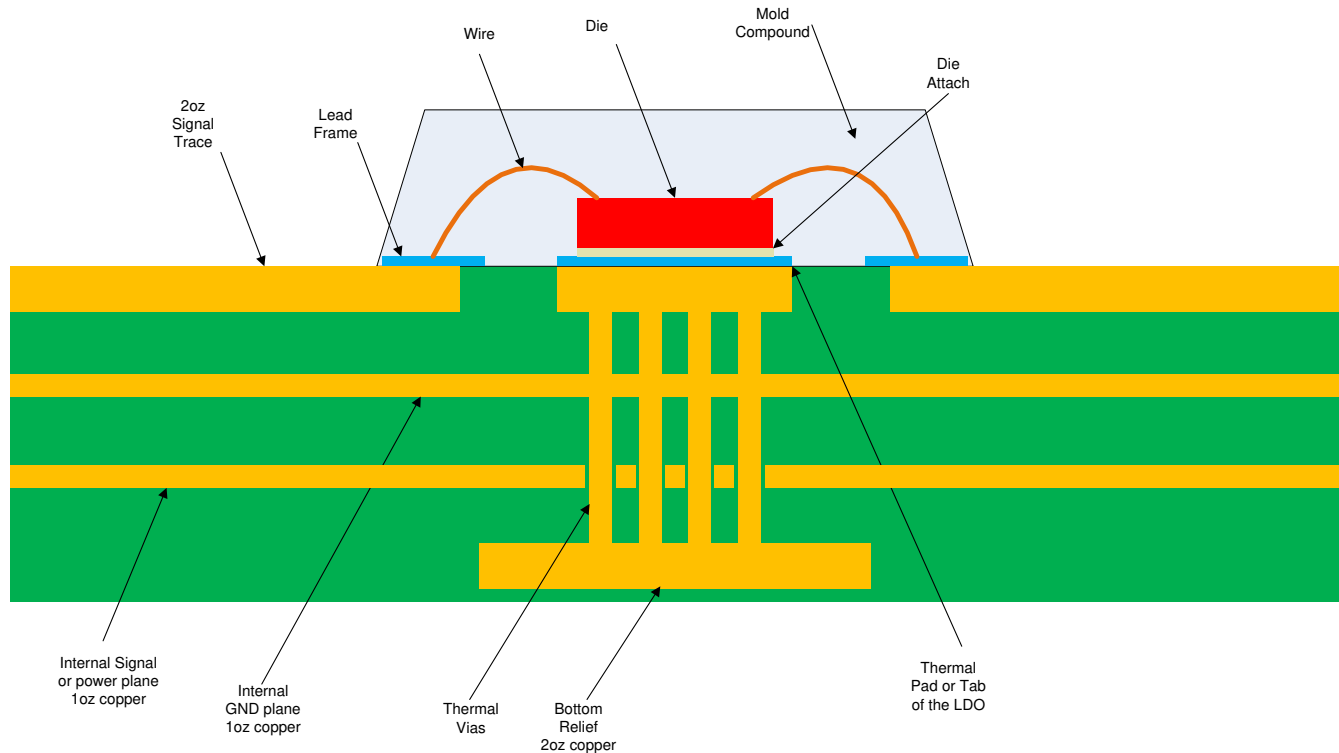
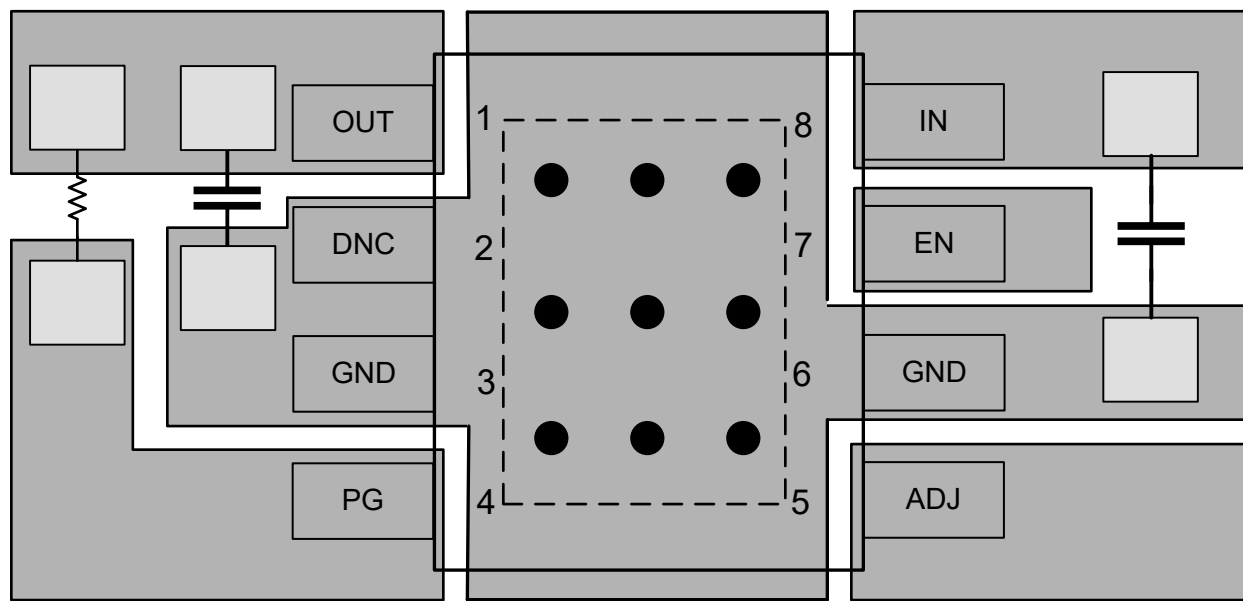


図 7-6. JEDEC 規格 2s2p PCB

7.4.2 レイアウト例



● Circles denote PCB via connections

図 7-7. レイアウト例

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 デバイスの命名規則

表 8-1. デバイスの命名規則

製品 ⁽¹⁾	V _{OUT}
TPS7B4261QDDARQ1	HSOIC (DDA) パッケージ: Q は、AEC-Q100 規格のグレード 1 に準拠したデバイスであることを表すものです。 R は、パッケージ数量です。 Q1 は、車載グレード (AEC-Q100) デバイスであることを表すものです。

(1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ オプションの付録を参照するか、www.ti.com にあるデバイスの製品フォルダをご覧ください。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[熱特性強化型パッケージ PowerPAD™](#)』アプリケーション ノート

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ [E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (January 2025) to Revision A (April 2025)
Page

• デバイス ステータスを 事前情報から 亮さんデータに変更.....	1
-------------------------------------	----------

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

10.1 メカニカル データ

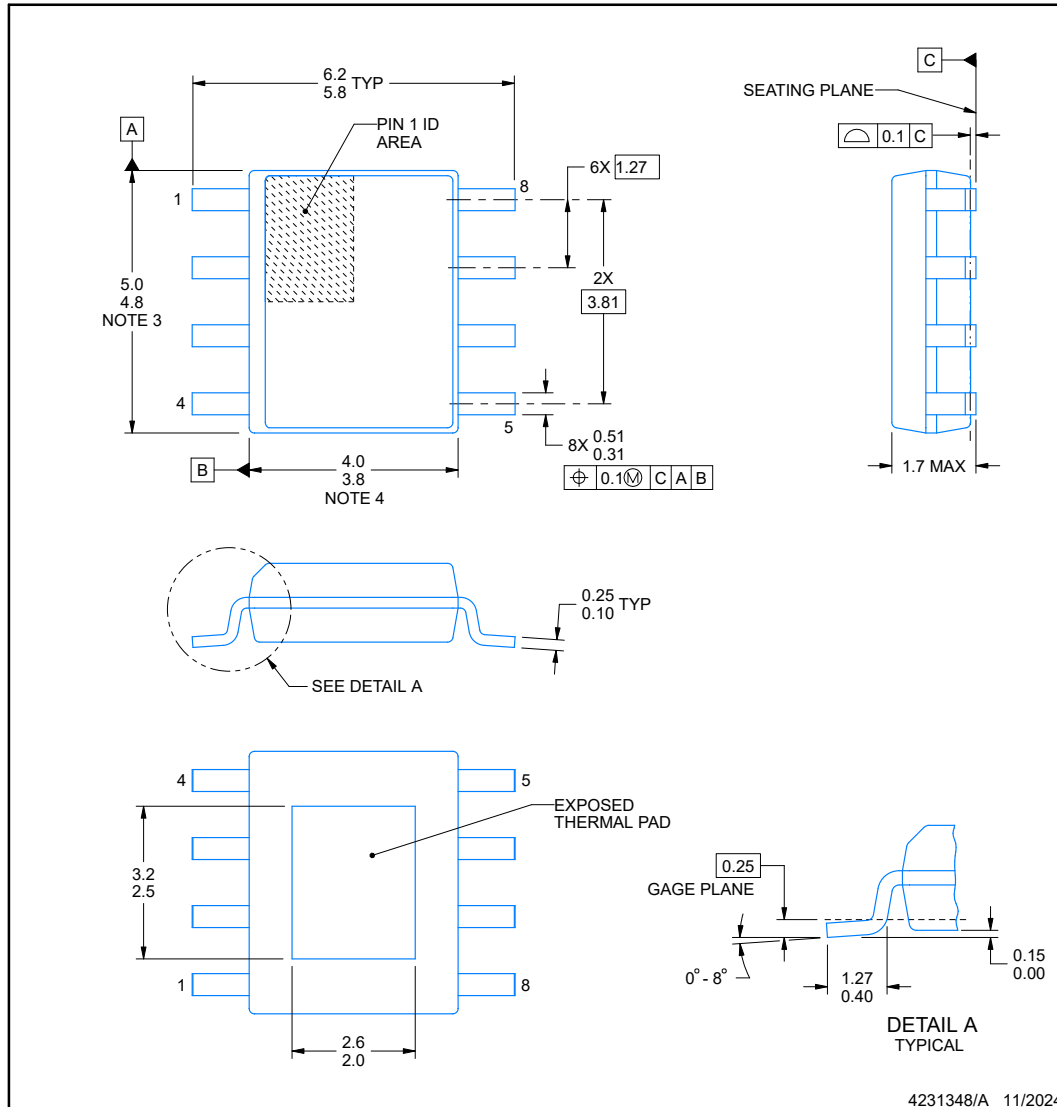
DDA0008J-C02



PACKAGE OUTLINE

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



4231348/A 11/2024

PowerPAD is a trademark of Texas Instruments.

NOTES:

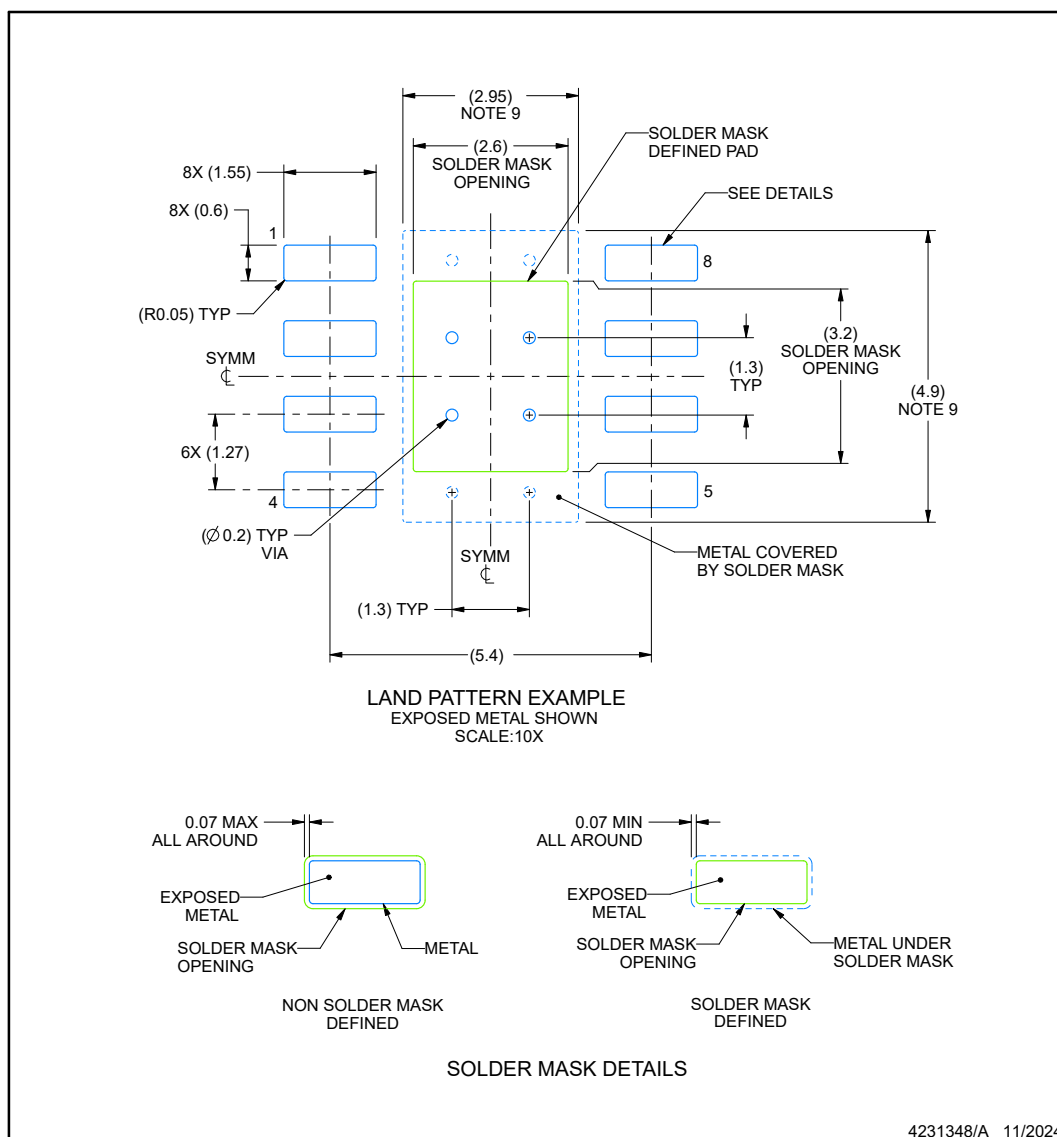
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012, variation BA.

EXAMPLE BOARD LAYOUT

DDA0008J-C02

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE

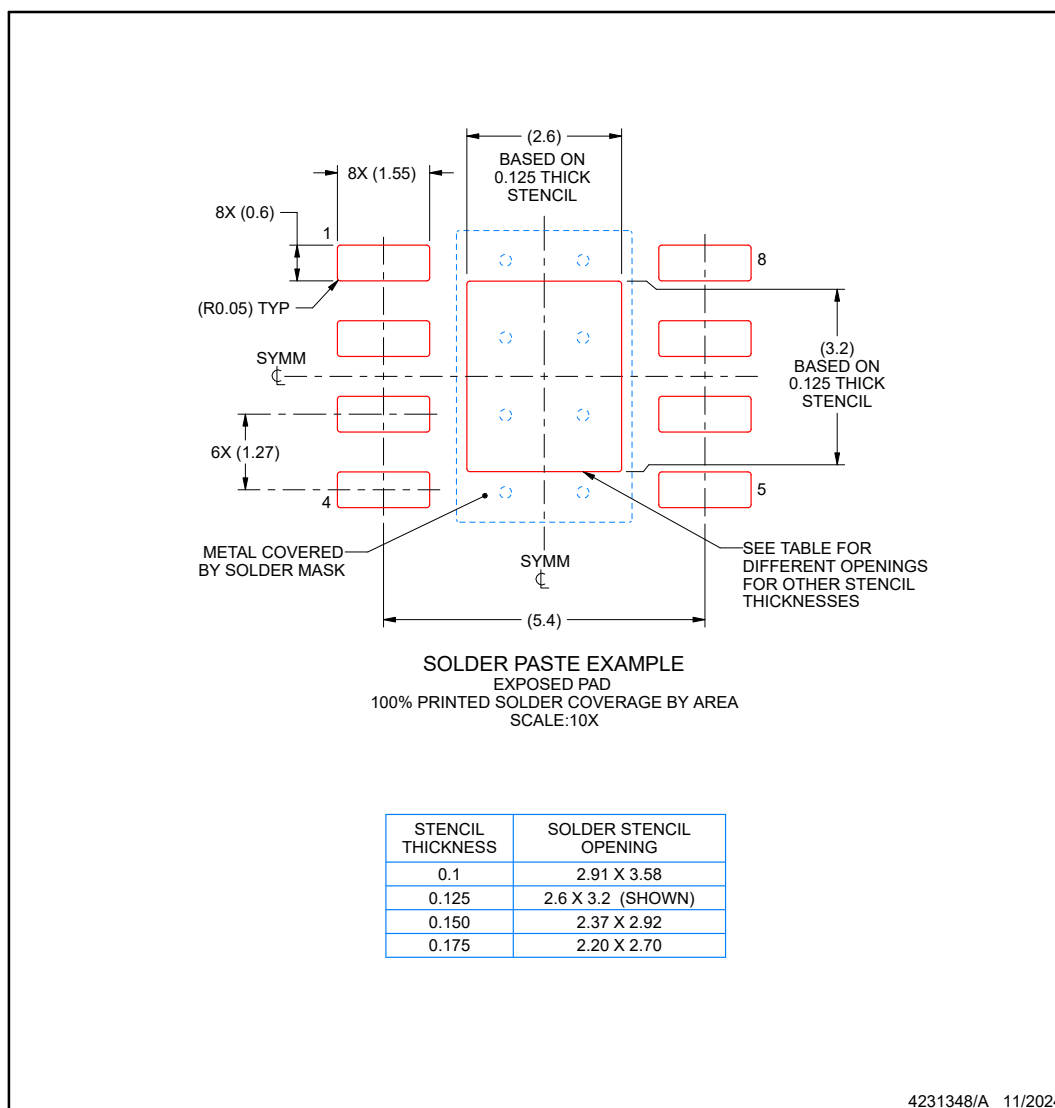


NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN**DDA0008J-C02****PowerPAD™ SOIC - 1.7 mm max height**

PLASTIC SMALL OUTLINE



NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTPS7B4261QDDARQ1.A	Obsolete	Preproduction	SO PowerPAD (DDA) 8	-	-	Call TI	Call TI	-40 to 125	
TPS7B4261QDDARQ1	Active	Production	SO PowerPAD (DDA) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	B4261F
TPS7B4261QDDARQ1.A	Active	Production	SO PowerPAD (DDA) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	B4261F

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

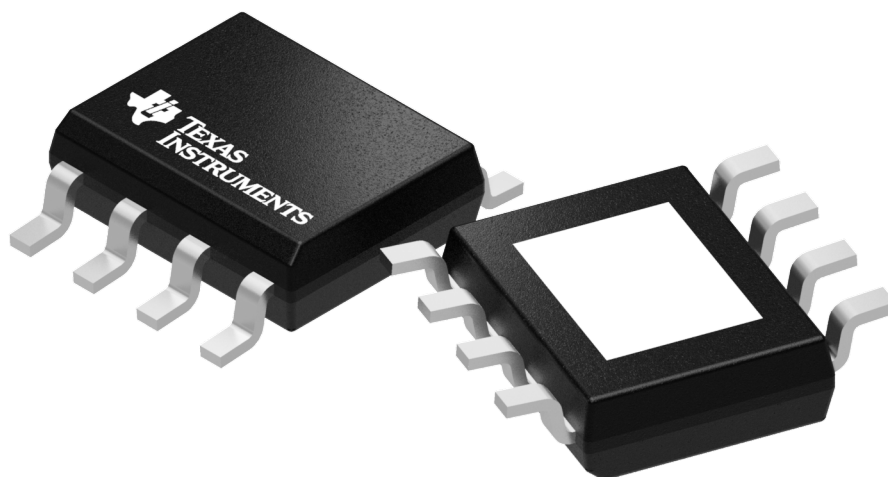
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7B4261QDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7B4261QDDARQ1	SO PowerPAD	DDA	8	2500	340.5	338.1	20.6



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

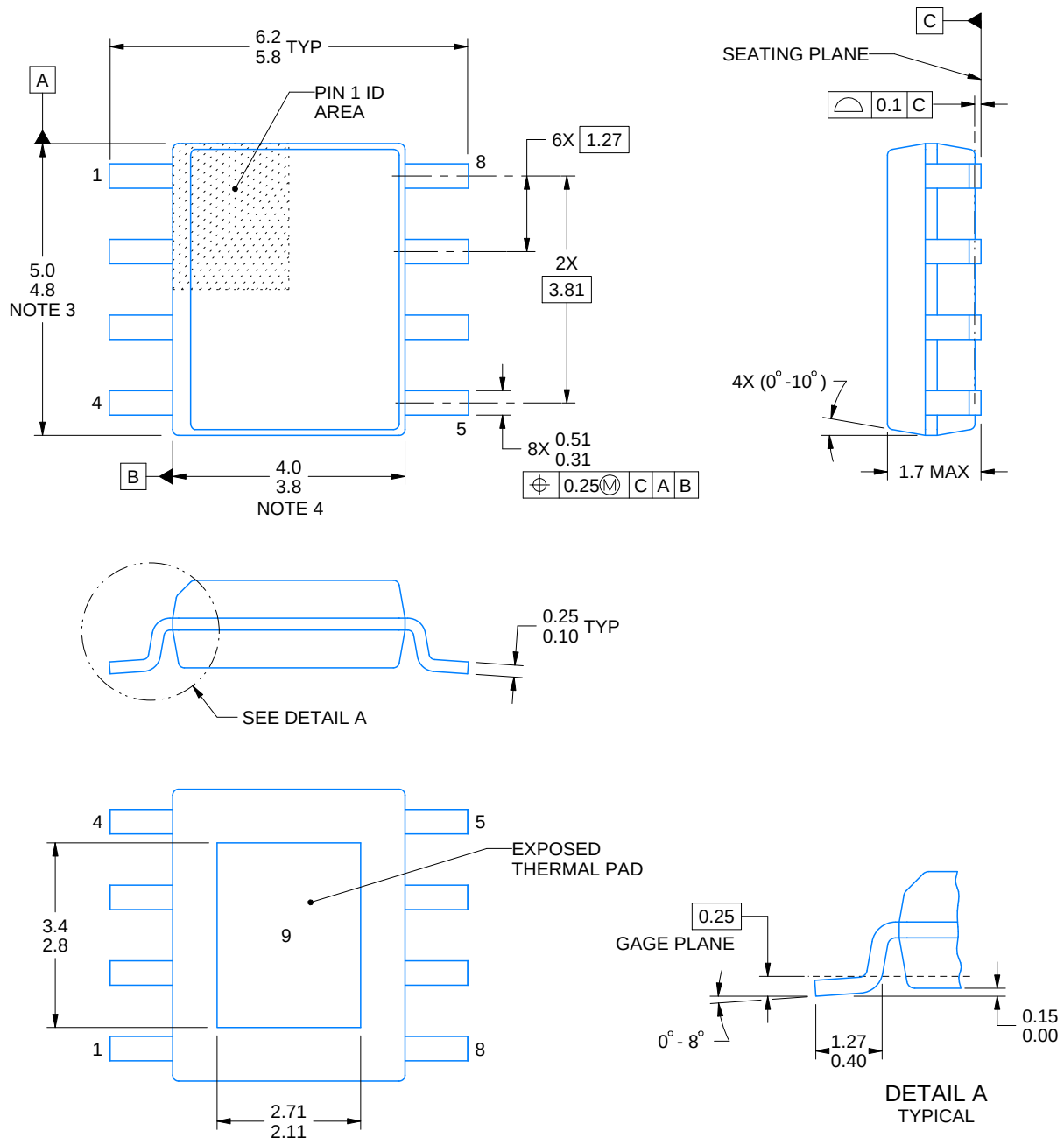
DDA0008B



PACKAGE OUTLINE

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



4214849/B 09/2025

NOTES:

PowerPAD is a trademark of Texas Instruments.

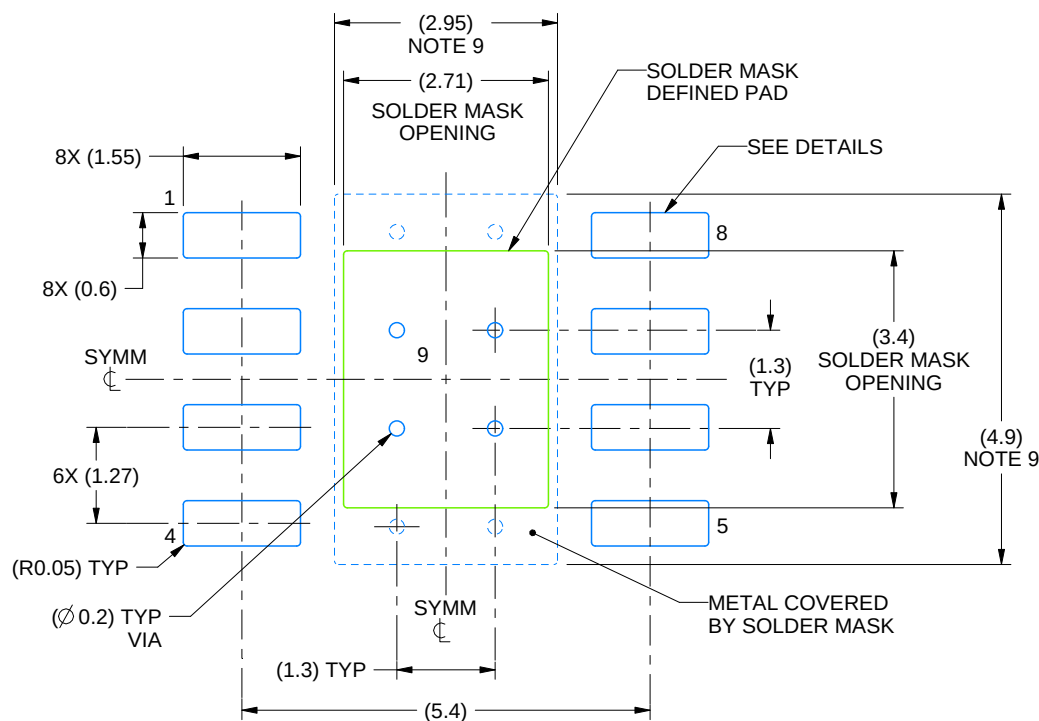
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012.

EXAMPLE BOARD LAYOUT

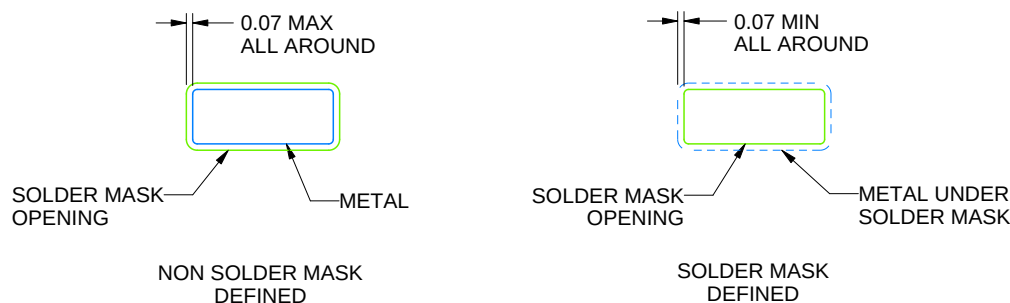
DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
PADS 1-8

4214849/B 09/2025

NOTES: (continued)

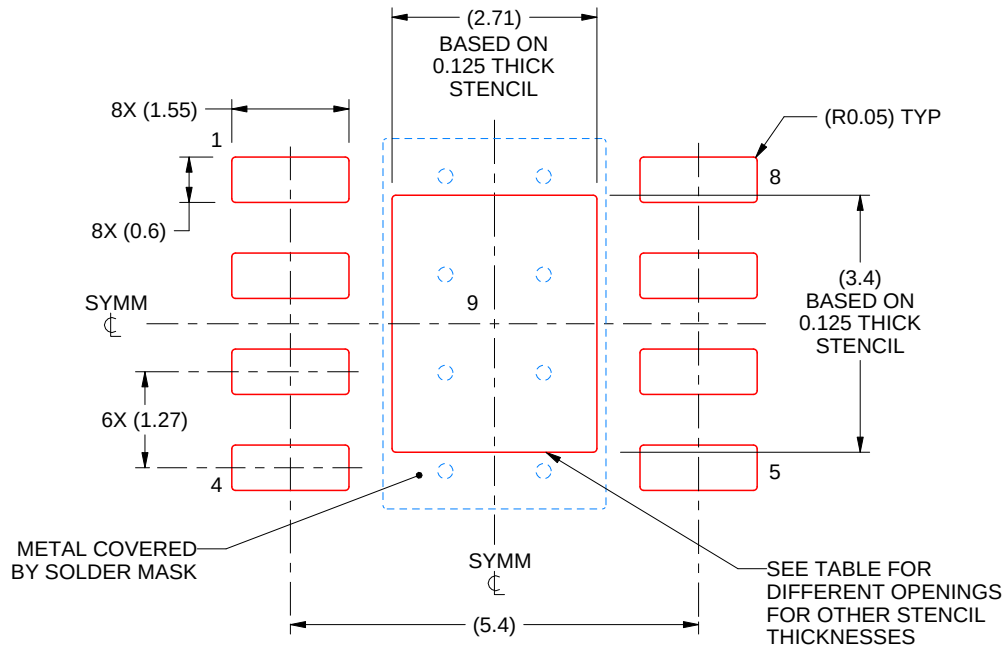
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.03 X 3.80
0.125	2.71 X 3.40 (SHOWN)
0.150	2.47 X 3.10
0.175	2.29 X 2.87

4214849/B 09/2025

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月