TPS7B4258-Q1 トラッキング許容誤差 6mV、車載用、150mA、40V、電圧トラッキング LDO

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度グレード 1:-40℃～+125℃、T_A
  - 接合部温度:–40℃～+150℃、T_J
- 幅広い入力電圧範囲:
  - 絶対最大入力範囲:-40V ～ +45V
  - 動作範囲:3.3V ～ 40V
- 出力電圧:
  - 広い動作範囲:2V ～ 40V
  - 出力電圧の柔軟性:分圧器構成で外付け抵抗を使用して、V_{OUT} を基準電圧より高い値または低い値にスケーリング
- 最大出力電流:150mA
- 非常に厳格な出力トラッキング許容誤差:6mV (最大値)
- Low ドロップアウト電圧:150mA 時に 250mV
- イネーブル機能と基準電圧機能の組み合わせ
- 低い静止電流 (軽負荷時):55µA
- 幅広いセラミック出力コンデンサの値全体で安定:
  - C_{OUT} 範囲:1µF～100µF
  - ESR 範囲:1mΩ ～ 2Ω
- 内蔵保護機能:
  - 逆電流保護
  - 逆極性保護
  - 過熱保護
  - グランド / 電源への出力短絡に対する保護
- HSOIC (DDA) の低熱抵抗 ($R_{\theta JA}$ = 48°C /W) 8 ピンパッケージで利用可能

2 アプリケーション

- パワートレインの圧力センサ
- パワートレインの温度センサ
- パワートレインの排気ガス センサ
- パワートレインの液体濃度センサ
- 車体制御モジュール (BCM)
- ゾーン制御モジュール
- HVAC 制御モジュール

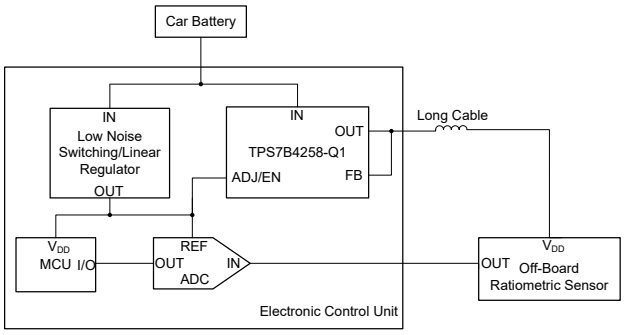
3 説明

TPS7B4258-Q1 は、モノリシックの統合型低ドロップアウト (LDO) 電圧トラッカーです。このデバイスは、8 ピン HSOIC パッケージで供給されます。TPS7B4258-Q1 は、過酷な車載環境でも、ワイヤ ハーネス経由でオフボード センサへ確実に電力を供給するように設計されています。このような過酷な動作条件下では、ハーネス内のケーブルがさまざまなフォルト状態にさらされる可能性があり、故障のリスクが高まります。このような条件には、グランドへの短絡、バッテリへの短絡、過熱が含まれます。TPS7B4258-Q1 には、これらの各フォルト状態に対する保護機能、および逆極性からの保護機能が内蔵されています。このデバイスは、2 つの双方向 P チャネル金属酸化膜半導体電界効果トランジスタ (MOSFET) を実装するトポロジを採用しています。この PMOS トポロジにより、逆電流の流れを防ぐために必要な外付けダイオードが不要になります。デバイスの電流定格が 150mA と高いため、単一のトラッカーで複数のオフボード センサに同時に電源を供給できる可能性があります。このデバイスは、45V (絶対最大定格) までの入力電圧に対応し、車載向けの負荷ダンプ過渡条件に耐えられるように設計されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS7B4258-Q1	DDA (HSOIC、8)	6mm × 4.9mm

(1) 詳細については、*メカニカル、パッケージ、および注文情報*をご覧ください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

TPS7B4258-Q1 は、ADC と MCU のフォルト状態からの保護バッファとして機能し、オフボード センサに電力を安全に伝送します。可変入力ピン (ADJ/EN) に印加されるリファレンス電圧は、FB ピンの 6mV (最大値) の非常に厳しい公差で追跡されます。この許容誤差は、指定されたライン、ロード、および温度の値におけるすべての変動に対して適用されます。ADC によって出力がサンプリングされるレシオメトリック センサの場合、この狭いトラッキング許容誤差が特に有益となります。この許容誤差によって、ADC のフルスケール リファレンス電圧とセンサの電源電圧の間の誤差を最小限に抑えることができます。これにより、センサ測定のレシオメトリックが維持されます。

FB ピンを OUT ピンに直接接続することで、出力電圧は ADJ/EN ピンの電圧 (トラッキング許容誤差±) と等しくなります。ADC のフルスケール リファレンス電圧がセンサ電源電圧と等しい場合は、リファレンス電圧を直接 ADJ/EN ピンに接続します。センサの電源がリファレンス電圧よりも低い場合は、ADJ/EN ピンに抵抗デバイダを使用します。このデバイダは、センサの電源電圧に一致するようにリファレンス電圧をスケールダウンするのに役立ちます。センサの電源がリファレンス電圧よりも高い場合は、FB ピンと OUT ピンの間に抵抗デバイダを使用します。このデバイダは、ADC のフルスケール リファレンス電圧をスケールアップし、センサの電源電圧と一致させるのに役立ちます。

ADJ/EN 入力ピンを Low に設定することで、TPS7B4258-Q1 はスタンバイ モードに切り替わります。このモードでは、LDO の静止電流消費が 3.8μA 未満に減少します。

Copyright © 2025 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....4
5 仕様.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 推奨動作条件.....5
5.4 熱に関する情報.....6
5.5 電気的特性.....6
5.6 代表的特性.....8
6 詳細説明.....13
6.1 概要.....13
6.2 機能ブロック図.....13
6.3 機能説明.....13
6.4 デバイスの機能モード.....19
7 アプリケーションと実装.....20
7.1 アプリケーション情報.....20
7.2 代表的なアプリケーション.....21
7.3 電源に関する推奨事項.....24
7.4 レイアウト.....24
8 デバイスおよびドキュメントのサポート.....28
8.1 デバイス サポート.....28
8.2 ドキュメントのサポート.....28
8.3 ドキュメントの更新通知を受け取る方法.....28
8.4 サポート・リソース.....28
8.5 商標.....28
8.6 静電気放電に関する注意事項.....28
8.7 用語集.....28
9 改訂履歴.....29
10 メカニカル、パッケージ、および注文情報.....29

4 ピン構成および機能

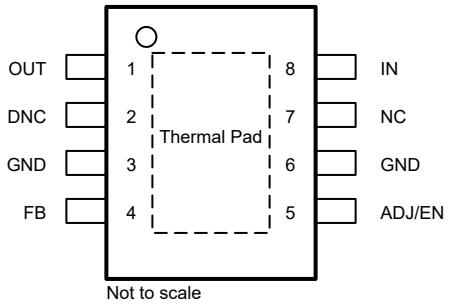


図 4-1. DDA パッケージ、8 ピン HSOIC (上面図)

表 4-1. ピンの機能

ピン		タイプ	説明
名称	DDA		
ADJ/EN	5	I	可変とイネーブル入力ピン。このピンに外部リファレンス電圧を接続します。このピンは内部的にエラーアンプの反転入力に接続されます。信号が V_{IL} よりも低いと、デバイスが無効化されます。信号が V_{IH} よりも高いと、デバイスが有効化されます。電圧リファレンスを直接接続するか、分圧器を使用して、電圧リファレンスよりも低い出力電圧を確保します。ラインの影響を補償するため、このピンの近くに 0.1µF コンデンサを配置します。
DNC	2	—	このピンに電圧源を接続しないでください。放熱性能を向上させるには、ピンをフローティングのままにするか、GND に接続します。
FB	4	I	フィードバック ピン。このピンは、エラー アンプの非反転入力に内部的に接続され、出力電圧を制御します。出力電圧が外部リファレンス電圧と等しい、またはそれより低い場合、このピンを出力ピンに直接接続します。リファレンス電圧よりも高い値の出力電圧を得るには、分圧器と外付けの帰還抵抗を使用します。
GND	6、3	G	GND ピン。このピンは、グランドへの低インピーダンス パスに接続します。
IN	8	I	入力電源電圧ピン。最高の過渡応答を実現し、入力インピーダンスを最小化するには、推奨値またはそれ以上に大きい値のセラミック コンデンサを IN と GND の間に接続します。See the *推奨動作条件* を参照してください。ラインの影響を補償するため、入力コンデンサは、デバイスの入力ピンのできるだけ近くに配置します。詳細については、*入力および出力コンデンサの選択* セクションを参照してください。
NC	7	—	内部接続なし。最高の放熱性能を実現するため、これらのピンは GND に接続します。
OUT	1	O	レギュレートされた出力電圧ピン。安定性のために、OUT と GND の間にコンデンサが必要です。*推奨動作条件* の表に示されている C_{OUT} 値の範囲内でセラミック コンデンサを選択します。このコンデンサは、デバイスのできるだけ近くに配置します。詳細については、*入力および出力コンデンサの選択* セクションを参照してください。
サーマル パッド	パッド		サーマル パッド。最良の熱性能を得るために、パッドを GND に接続します。

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) [(1)]

		最小値	最大値	単位
V_{IN}	レギュレートされていない入力ピン電圧	-40	45	V
V_{OUT}	レギュレートされた入力ピン電圧	-5	45	V
V_{IN} - V_{OUT}	入出力の差分	-45	45	V
V_{FB}	フィードバック ピンの電圧	-5	45	V
$V_{ADJ/EN}$	可変リファレンス電圧とイネーブル ピン電圧	-40	45	V
T_J	動作時接合部温度	-40	150	℃
T_{stg}	保存温度	-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 [(1)]		±2500	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±1000	
			角のピン		

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	標準値	最大値	単位
V_{IN}	入力電圧	3.3		40	V
V_{OUT}	出力電圧	2		40	V
$V_{ADJ/EN}$	ピン電圧の調整	2		40	V
V_{FB}	フィードバック ピンの電圧	0		40	V
I_{OUT}	出力電流	0		150	mA
C_{IN}	入力コンデンサ[(1)]		1		µF
C_{OUT}	出力コンデンサ[(2)]	1		100	µF
ESR	出力コンデンサの ESR 要件	0.001		2	Ω
T_J	動作時接合部温度	-40		150	℃

(1) 堅牢な EMI 性能を実現するために推奨される最小入力容量は 500nF です。
(2) 安定させるために、最低 500nF の実効出力キャパシタンスが必要です。

5.4 熱に関する情報

熱評価基準[(1) (2)]		TPS7B4258-Q1	
		DDA (HSOIC)	単位
		8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	48	°C/W
$R_{\theta JCtop}$	接合部からケース (上面) への熱抵抗	71.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	23.5	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	9.3	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	23.3	°C/W
$R_{\theta JCbot}$	接合部からケース (底面) への熱抵抗	11.5	°C/W

(1) 熱データは、JEDEC 規格の High-K 基板レイアウト JESD 51-7 に基づいています。この基盤は、2 つの信号、2 つのプレーン、4 層基板で、外部層に 2 オンスの銅箔を使用します。銅パッドをサーマル ランド パターンに半田付けします。正しい取り付け手順に従ってください。
(2) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』アプリケーション ノートを参照してください。

5.5 電気的特性

T_J = –40°C to +150°C、V_{IN} = 13.5V、V_{OUT} = V_{FB}、I_{OUT} = 100µA、C_{OUT} = 1µF、C_{IN} = 1µF および $V_{ADJ/EN}$ = 5V で指定 (特に記述のない限り)、標準値は T_J = 25°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_Q	静止時電流	V_{IN} = 5.4V ～ 40V、I_{OUT} = 100µA、T_J = 25ºC		55	72	µA
		V_{IN} = 5.4V ～ 40V、I_{OUT} = 100µA、–40ºC < T_J < 85ºC			77	
		V_{IN} = 5.4V ～ 40V、I_{OUT} = 100µA			83	
I_{GND}	グランド電流	V_{IN} = 5.8V ～ 40V、$V_{ADJ/EN}$ = 5V、I_{OUT} = 150mA			2	mA
$I_{SHUTDOWN}$	シャットダウン時の電源電流	$V_{ADJ/EN}$ = 0V			3.8	µA
$I_{ADJ/EN}$	ADJ/EN ピンの電流	I_{OUT} = 100µA			1.2	µA
$V_{UVLO\ (RISING)}$	立ち上がり入力電源 UVLO	V_{IN} rising、I_{OUT} = 5mA	2.6	2.7	2.85	V
$V_{UVLO\ (FALLING)}$	立ち下がり入力電源 UVLO	V_{IN} falling、I_{OUT} = 5mA	2.3	2.4	2.5	V
$V_{UVLO\ (HYST)}$	$V_{UVLO(IN)}$ ヒステリシス			300		mV
V_{IL}	イネーブル ロジック入力 Low レベル				0.8	V
V_{IH}	イネーブル ロジック入力 High レベル		1.8			V
ΔV_{OUT}	出力電圧のトラッキング精度	V_{IN} = V_{OUT} + 0.8V ～ 40V、I_{OUT} = 100µA ～ 150mA [(1)]	-6		6	mV
$\Delta V_{OUT\ (\Delta VIN)}$	ライン レギュレーション	V_{IN} = V_{OUT} + 0.8V ～ 40V、I_{OUT} = 100µA	-0.4		0.4	mV
$\Delta V_{OUT\ (\Delta IOUT)}$	負荷レギュレーション	V_{IN} = V_{OUT} + 0.8V、I_{OUT} = 100µA ～ 150mA [(1)]			1	mV
V_{DO}	ドロップアウト電圧	I_{OUT} = 150mA、$V_{ADJ/EN}$ ≥ 3.3V、V_{IN} = $V_{ADJ/EN}$		250	450	mV
I_{CL}	出力電流制限	V_{IN} = V_{OUT} + 0.8V、V_{OUT} は 90% x $V_{ADJ/EN}$ へ短絡	170	215	250	mA
PSRR	電源リップル除去	V_{RIPPLE} = 1V_{PP}、周波数 = 100Hz、I_{OUT} ≥ 5mA		80		dB
V_n	出力ノイズ電圧	V_{OUT} = 3.3V、I_{OUT} = 1mA、BW = 10Hz ～ 100KHz、5µV_{RMS} リファレンスを使用した測定		150		µV_{RMS}
I_{REV}	V_{IN} での逆電流	V_{IN} = 0 V、V_{OUT} = 32 V	-0.7		0.7	µA
I_{REV-N1}	負 V_{IN} での逆電流	V_{IN} = -20 V、V_{OUT} = 20 V	-1.2		1.2	µA
I_{FB}	フィードバック ピンの電流			0.1	0.25	µA
$T_{SD(SHUTDOWN)}$	接合部のシャットダウン温度			175		°C

Copyright © 2025 Texas Instruments Incorporated

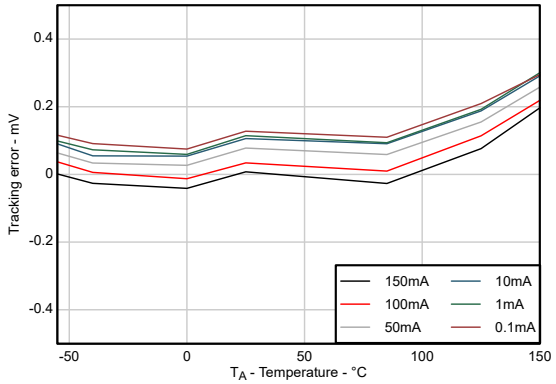
5.5 電気的特性 (続き)

T_J = –40°C to +150°C、V_{IN} = 13.5V、V_{OUT} = V_{FB}、I_{OUT} = 100µA、C_{OUT} = 1µF、C_{IN} = 1µF および $V_{ADJ/EN}$ = 5V で指定 (特に記述のない限り)、標準値は T_J = 25°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
$T_{SD(HYST)}$	サーマル シャットダウンのヒステリシス			15		℃

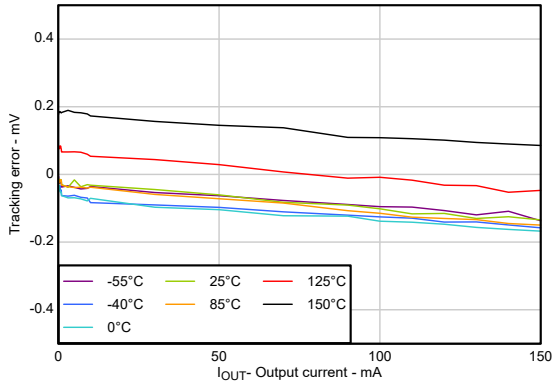
(1) 消費電力が大きい可能性があるため、この仕様は低デュー ティサイクルのパルス テストを使用して測定されます。接合部温度を 150°C 未満に維持しながらデバイスが消費する電力の詳細については、熱に関する情報の表を参照してください。

5.6 代表的特性



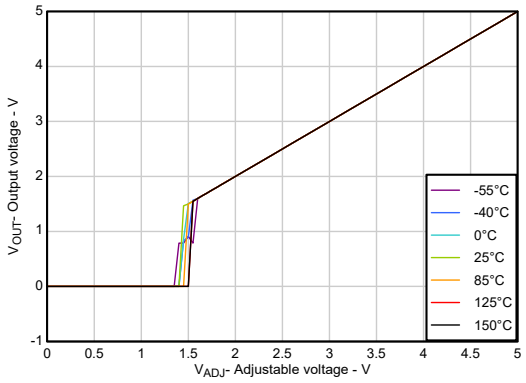
V_{IN} = 13.5V、$V_{ADJ/EN}$ = 5V、V_{FB} = V_{OUT}

図 5-1. トラッキング エラーと周囲温度との関係



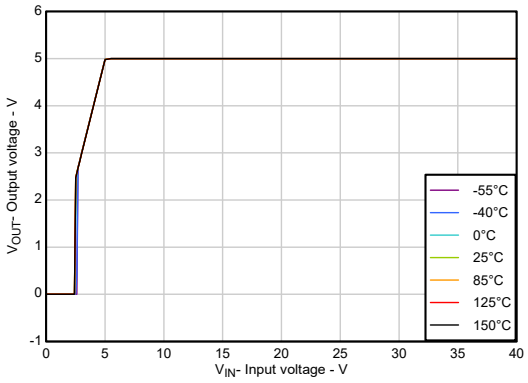
V_{IN} = 13.5V、$V_{ADJ/EN}$ = 5V、V_{FB} = V_{OUT}

図 5-2. トラッキング エラーと出力電流との関係



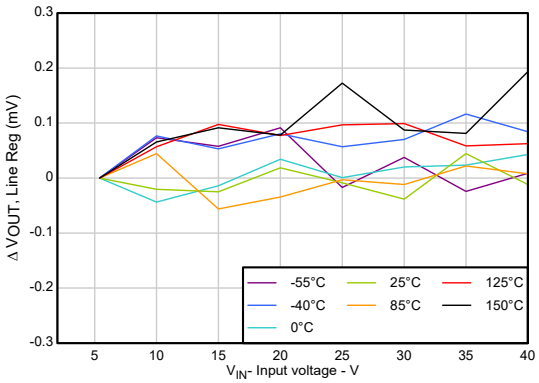
V_{IN} = 13.5V、V_{FB} = V_{OUT}、I_{OUT} = 10mA

図 5-3. 出力電圧と可変リファレンス電圧との関係



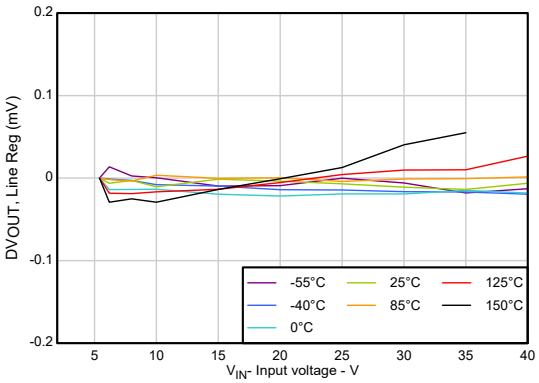
$V_{ADJ/EN}$ = 5V、V_{FB} = V_{OUT}、I_{OUT} = 10mA

図 5-4. 出力電圧と入力電流との関係



$V_{ADJ/EN}$ = 5V、V_{FB} = V_{OUT}、I_{OUT} = 100µA

図 5-5. ライン レギュレーション

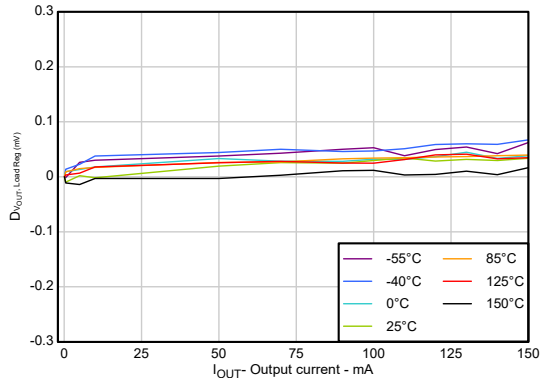


$V_{ADJ/EN}$ = 5V、V_{FB} = V_{OUT}、I_{OUT} = 150mA

図 5-6. ライン レギュレーション

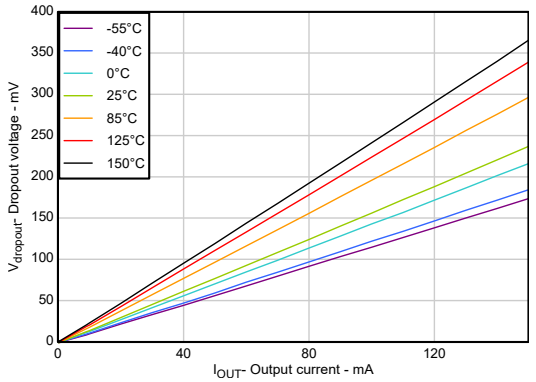
Copyright © 2025 Texas Instruments Incorporated

5.6 代表的特性 (続き)



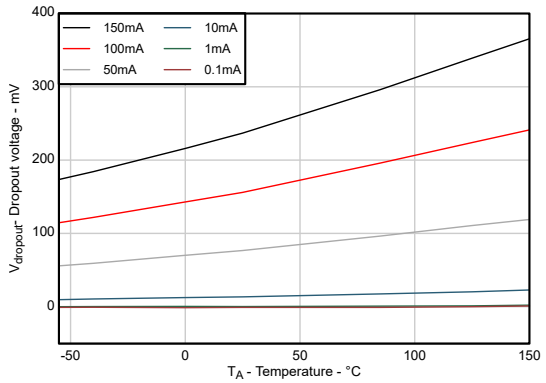
V_{IN} = 13.5V、$V_{ADJ/EN}$ = 5V、V_{FB} = V_{OUT}

図 5-7. ロード レギュレーション



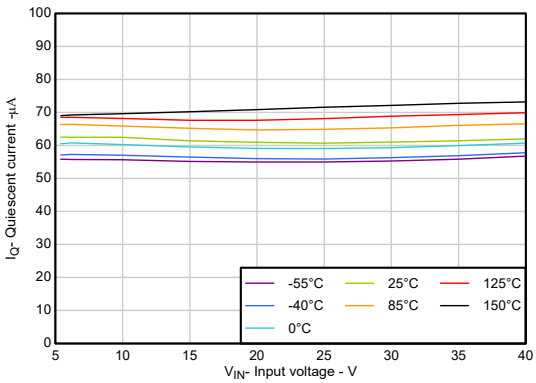
V_{IN} = 5V、$V_{ADJ/EN}$ = 5V、V_{FB} = V_{OUT}

図 5-8. ドロップアウト電圧と負荷電流との関係



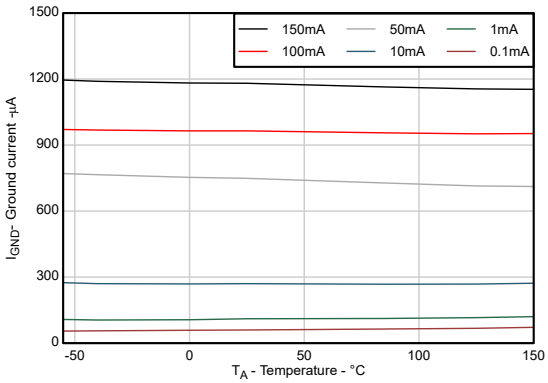
V_{IN} = 5V、$V_{ADJ/EN}$ = 5V、V_{FB} = V_{OUT}

図 5-9. ドロップアウト電圧と周囲温度との関係



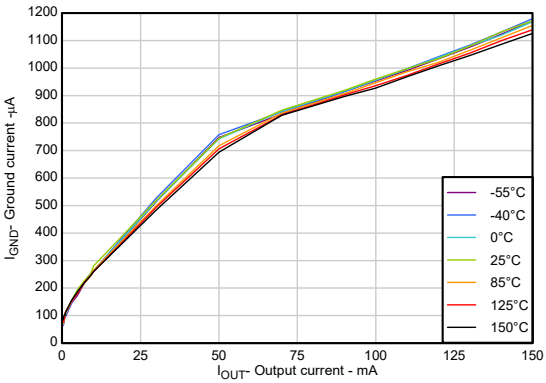
$V_{ADJ/EN}$ = 2V、V_{FB} = V_{OUT}、I_{OUT} = 100µA

図 5-10. 静止電流と入力電圧との関係



V_{IN} = 13.5V、$V_{ADJ/EN}$ = 5V、V_{FB} = V_{OUT}

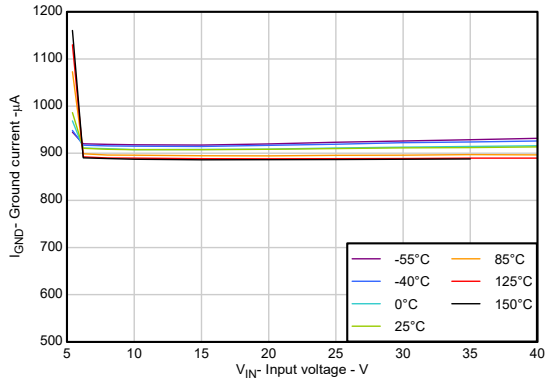
図 5-11. グランド電流と周囲温度との関係



V_{IN} = 13.5V、$V_{ADJ/EN}$ = 5V、V_{FB} = V_{OUT}

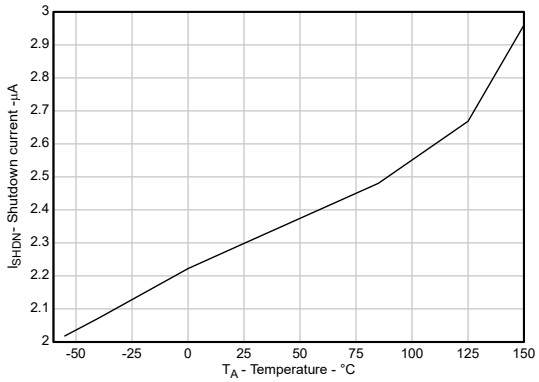
図 5-12. グランド電流と出力電流との関係

5.6 代表的特性 (続き)



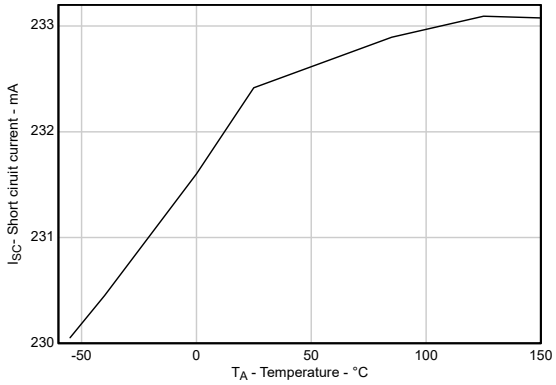
$V_{ADJ/EN}$ = 5V、V_{FB} = V_{OUT}、I_{OUT} = 150mA

図 5-13. グランド電流と入力電圧との関係



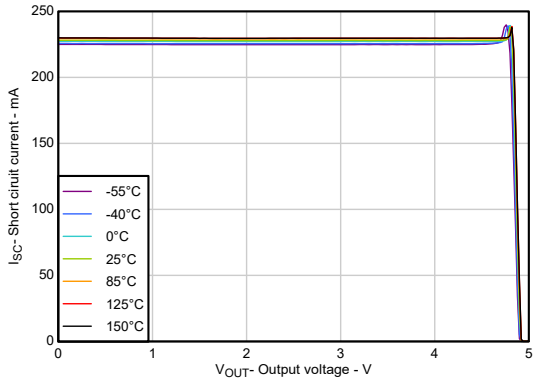
V_{IN} = 13.5V、$V_{ADJ/EN}$ = 0V、V_{FB} = V_{OUT}

図 5-14. シャットダウン電流と周囲温度との関係



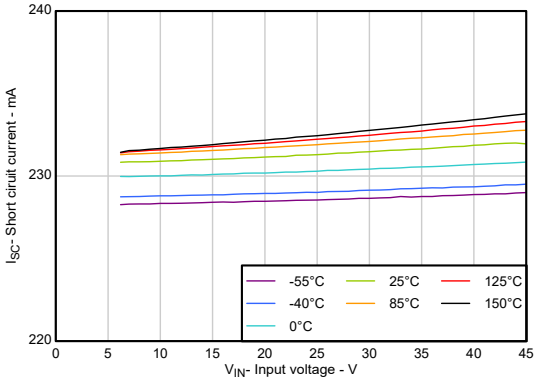
V_{IN} = 13.5V、$V_{ADJ/EN}$ = 5V、V_{OUT} = 0.9 × $V_{OUT\ NOM}$

図 5-15. 電流制限と周囲温度との関係



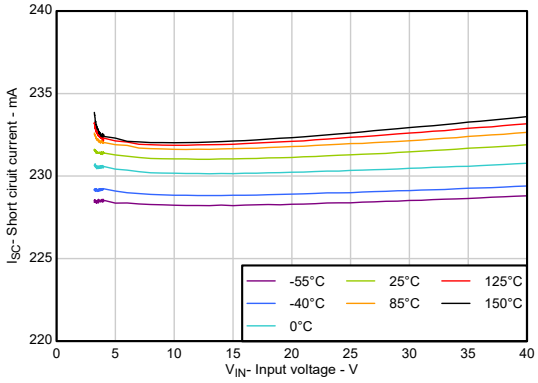
V_{IN} = 13.5V、$V_{ADJ/EN}$ = 5V

図 5-16. 電流制限と出力電圧との関係



$V_{ADJ/EN}$ = 5V、V_{OUT} = 0.9 × $V_{OUT\ NOM}$

図 5-17. 電流制限と入力電圧との関係

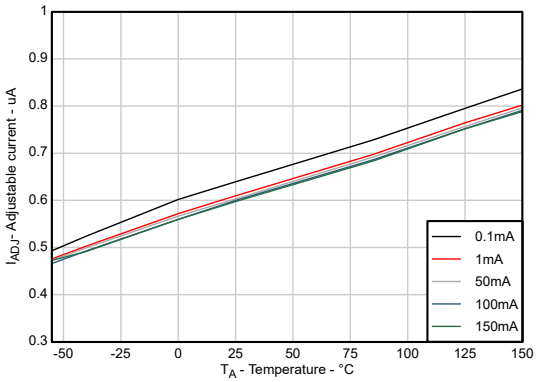


$V_{ADJ/EN}$ = 2V、V_{OUT} = 0V

図 5-18. 電流制限と入力電圧との関係

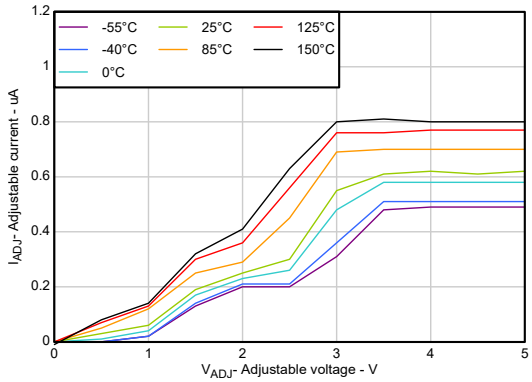
Copyright © 2025 Texas Instruments Incorporated

5.6 代表的特性 (続き)



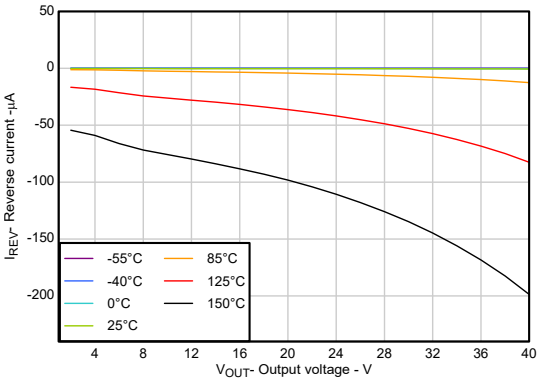
V_{IN} = 13.5V、$V_{ADJ/EN}$ = 5V、V_{FB} = V_{OUT}

図 5-19. 可変ピンのリーク電流と周囲温度との関係



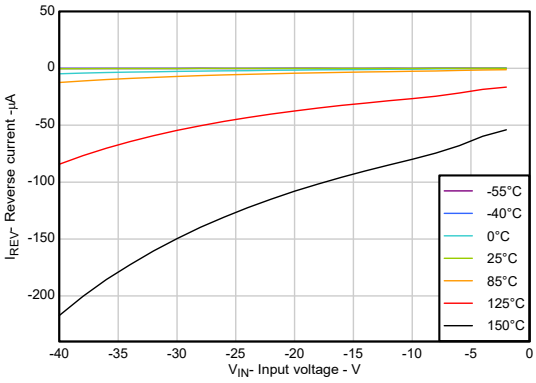
V_{IN} = 13.5V、V_{FB} = V_{OUT}、I_{OUT} = 150mA

図 5-20. 可変ピンのリーク電流と可変ピン電圧との関係



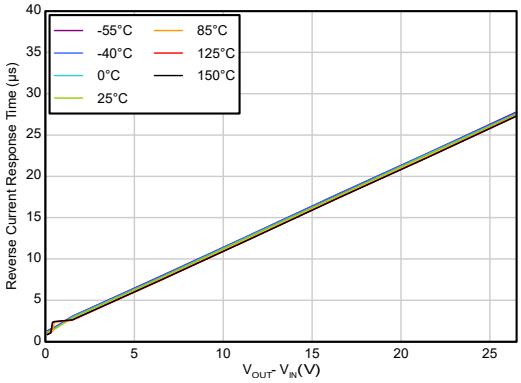
V_{IN} = 0V、V_{FB} = V_{OUT}、$V_{ADJ/EN}$ = 5V

図 5-21. 逆リーク電流と出力電圧との関係



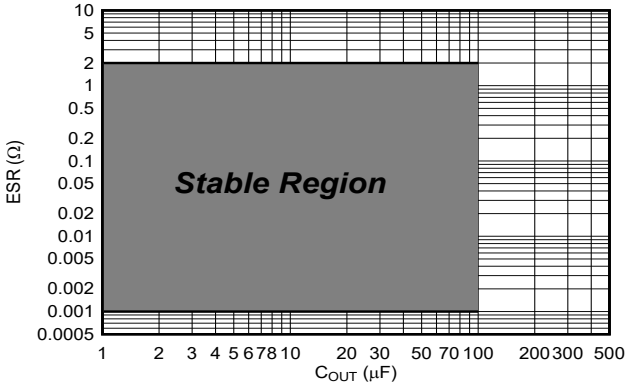
V_{OUT} = 0V、V_{FB} = V_{OUT}、$V_{ADJ/EN}$ = 5V

図 5-22. 逆リーク電流と入力電圧との関係



V_{IN} = 13.5V、$V_{ADJ/EN}$ = 5V、シミュレーション結果

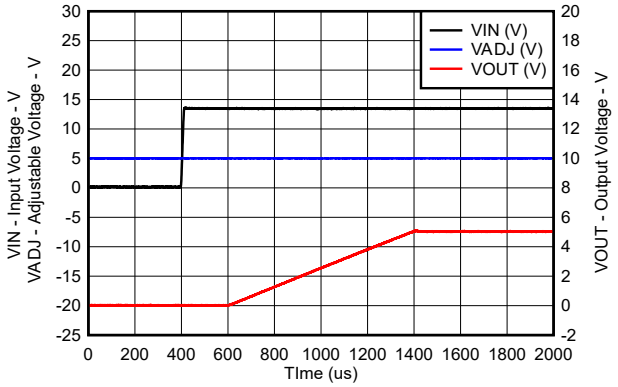
図 5-23. 逆電流保護応答時間と出入力差動電圧との関係



安定領域:1mΩ ≤ ESR ≤ 2Ω、1µF ≤ C_{OUT} ≤ 100µF

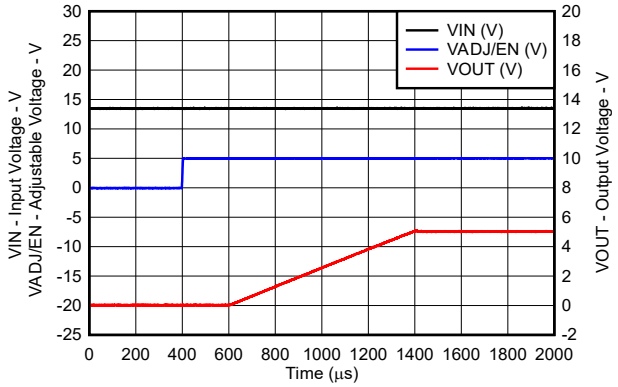
図 5-24. ESR と負荷容量との関係

5.6 代表的特性 (続き)



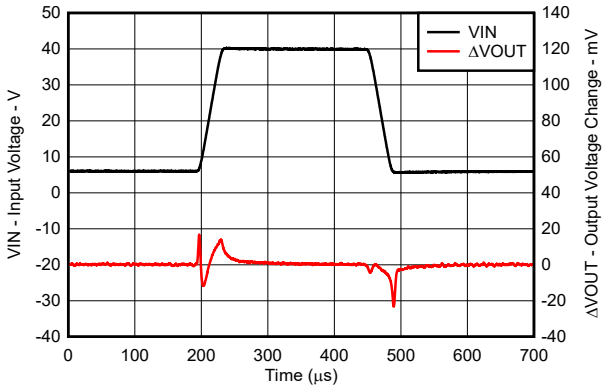
1V/µs のレートで V_{IN} = 0V ～ 13.5V、$V_{ADJ/EN}$ = 5V、V_{FB} = V_{OUT}、C_{OUT} = 1µF、I_{OUT} = 150mA

図 5-25. スタートアップ プロファイル



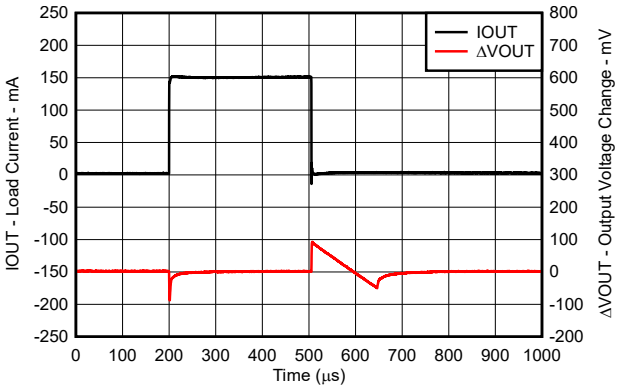
1V/µs のレートで V_{IN} = 13.5V、1V/µs で $V_{ADJ/EN}$ = 0V ～ 5V、V_{FB} = V_{OUT}、C_{OUT} = 1µF、I_{OUT} = 150mA

図 5-26. スタートアップ プロファイル



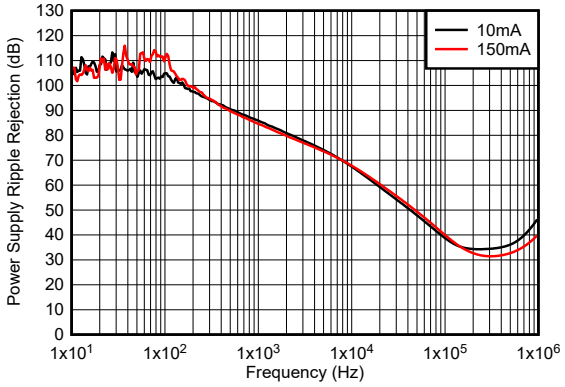
1V/µs のレートで V_{IN} = 6V ～ 40V ～ 6V、$V_{ADJ/EN}$ = 5V、V_{FB} = V_{OUT}、C_{OUT} = 1µF、I_{OUT} = 150mA

図 5-27. ライン過渡応答



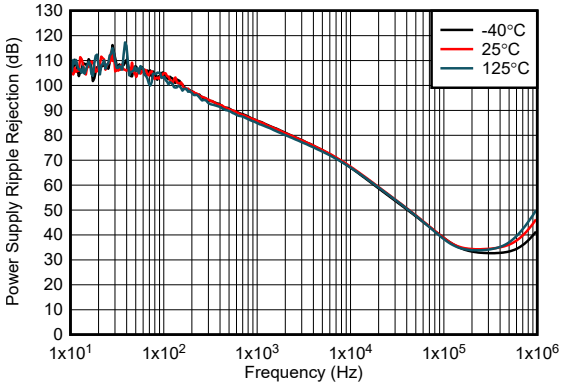
V_{IN} = 13.5V、$V_{ADJ/EN}$ = 5V、V_{FB} = V_{OUT}、C_{OUT} = 1µF、1A/µs で I_{OUT} = 1mA ～ 150mA

図 5-28. 負荷過渡



V_{IN} = 13.5V、$V_{ADJ/EN}$ = 5V、V_{FB} = V_{OUT}、C_{OUT} = 1µF、T_{AMB} = 25°C

図 5-29. PSRR と周波数との関係



V_{IN} = 13.5V、$V_{ADJ/EN}$ = 5V、V_{FB} = V_{OUT}、C_{OUT} = 1µF、I_{OUT} = 10mA

図 5-30. PSRR と周波数との関係

Copyright © 2025 Texas Instruments Incorporated

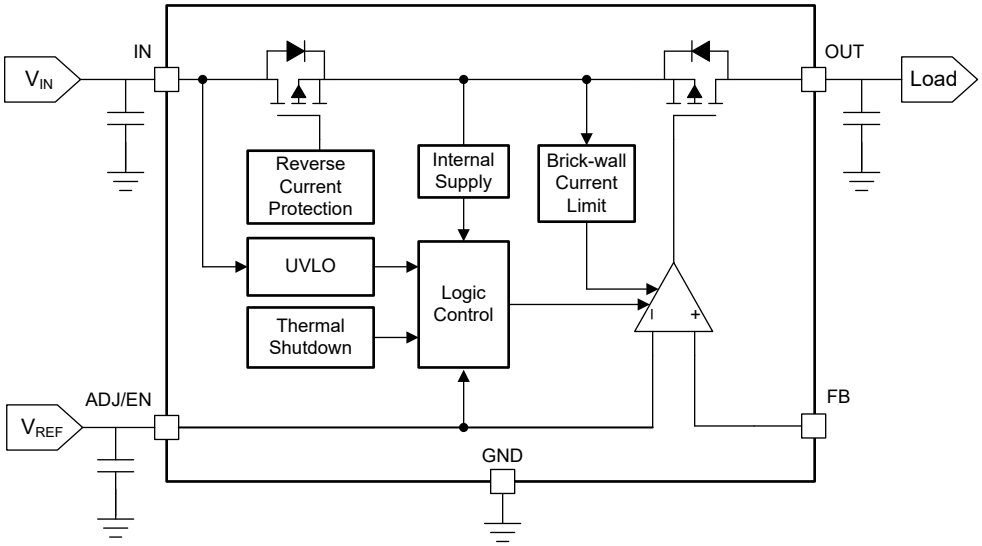
6 詳細説明

6.1 概要

TPS7B4258-Q1 は、トラッキング許容誤差が非常に低い統合型の低ドロップアウト (LDO) 電圧トラッカーです。オフボード センサへの電力供給時にケーブル短絡のリスクが高いため、LDO には複数の機能が組み込まれています。これらの機能は、バッテリへの短絡、GND への短絡、逆電流の流れを引き起こすフォルト状態から保護します。

また、このデバイスは、サーマル シャットダウン保護、ブリックウォール電流制限、低電圧誤動作防止 (UVLO)、逆極性保護機能も搭載しています。

6.2 機能ブロック図



6.3 機能説明

6.3.1 トラッカー出力電圧 (V_{OUT})

このデバイスはトラッキング LDO であるため、ADJ/EN ピンに供給される電圧によって出力電圧が決まります。$V_{ADJ/EN}$ が V_{IL} 下回っている限り、LDO は無効化されたままとなります。$V_{ADJ/EN}$ が V_{IH} を超えると、出力電圧 V_{OUT} が立ち上がり始めます。デバイスにはソフトスタート機能が備わっており、出力電圧を直線的に上昇させ、スタートアップ時の突入電流を制限します。スタートアップ後、定常状態に達した後、V_{FB} は指定されたすべての動作状態にわたって、ADJ/EN ピンに設定された電圧から ±6mV 以内に維持されます。V_{FB} は帰還ピンの電圧です。

6.3.1.1 出力電圧がリファレンス電圧と等しい場合

図 6-1 に、外部リファレンス電圧が ADJ/EN ピンに直接印加される場合、および FB ピンが OUT ピンに接続される場合が示されています。式 1 に示されているように、これらの条件下では、LDO の出力電圧はリファレンス電圧と等しくなります。

$$V_{OUT} = V_{REF} \tag{1}$$

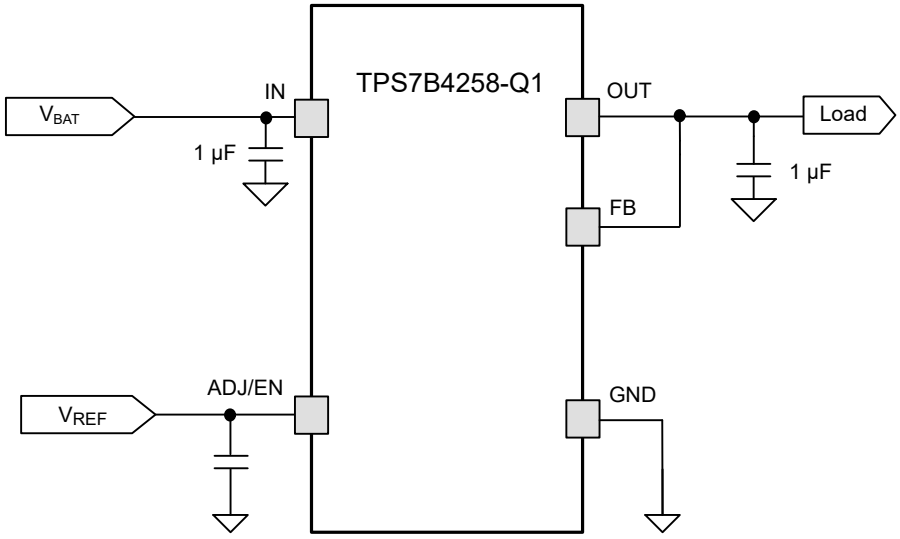


図 6-1. トラッカー出力電圧がリファレンス電圧と等しい場合

6.3.1.2 出力電圧がリファレンス電圧よりも低い場合

図 6-2 に示されているように、ADJ/EN ピンに外付けの抵抗デバイダを接続することでリファレンス電圧よりも低い出力電圧を生成できます。ADJ/EN ピンのリーク電流 $I_{ADJ/EN}$ に起因する電圧の誤差を最小限に抑えるため、R_1 と R_2 の両方が 100kΩ よりも小さくなるようにします。式 2 で、V_{OUT} を計算します。

$$V_{OUT} = \frac{(V_{REF} \times R_2)}{R_1 + R_2} \tag{2}$$

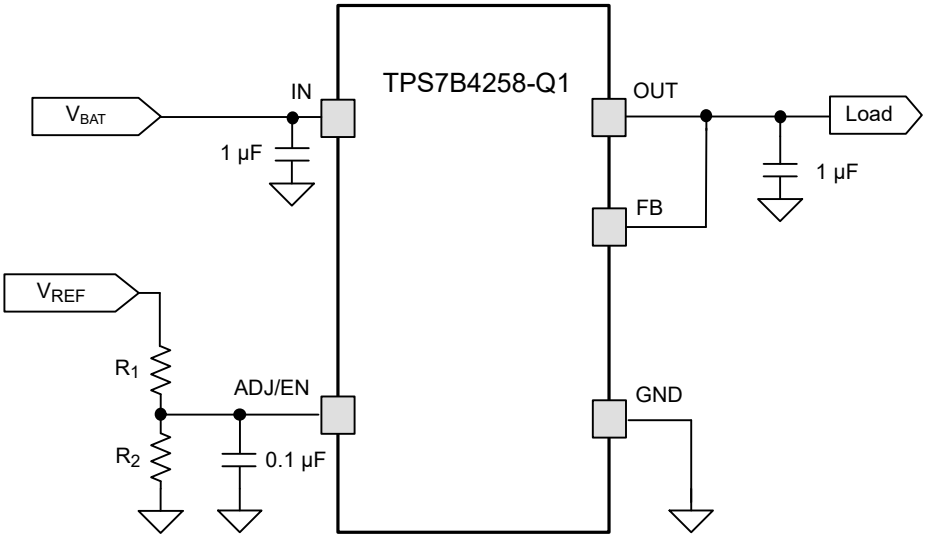


図 6-2. トラッカー出力電圧がリファレンス電圧より低い場合

Copyright © 2025 Texas Instruments Incorporated

6.3.1.3 出力電圧がリファレンス電圧よりも高い場合

図 6-3 に示されているように、OUT ピンと FB ピンの間に外付けの抵抗デバイダを接続すると、リファレンス電圧より高い出力電圧を生成できます。FB ピンのリーク電流 I_{FB} に起因する電圧の誤差を最小限に抑えるため、R_1 と R_2 が 100kΩ よりも小さくなるようにします。式 3 で、V_{OUT} を計算します。

$$V_{OUT} = V_{REF} \times \left(1 + \frac{R_1}{R_2}\right) \tag{3}$$

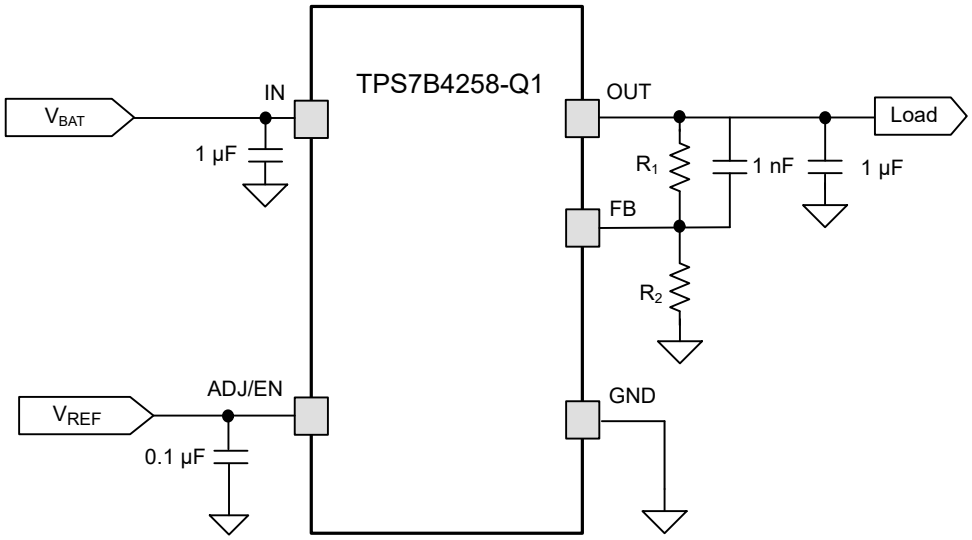


図 6-3. トラッカー電圧がリファレンス電圧よりも高い場合

6.3.2 逆電流保護

TPS7B4258-Q1 は、双方向 PMOS トポロジを内蔵しています。このトポロジは、V_{OUT} が V_{IN} より高くなるフォルト状態からデバイスを保護し、逆電流が流れるのを防止します。このフォルト状態が発生しても、*絶対最大定格* の最大制限を超過していない限り、デバイスが損傷することはありません。この内蔵保護機能により、外付けのダイオードが不要になります。逆電流コンパレータは、通常、10µs で逆電圧状況に応答します。このコンパレータとブロッキング PMOS トランジスタのボディダイオードにより、逆電流が 1.2µA 未満に制限されます。I_{REV} は、*電気的特性* 表に記載されています。

6.3.3 低電圧誤動作防止

デバイスには低電圧誤動作防止 (UVLO) スレッショルドがあり、この値は内部的に固定されています。入力電圧 V_{IN} が低電圧誤動作防止レベルを下回ると、低電圧誤動作防止が起動します (*電気的特性* の表の $V_{UVLO(FALLING)}$ パラメータを参照)。これにより、入力電源電圧が低いときにレギュレータが未知の状態にラッチされることが防止されます。入力電圧に負の過渡電圧が生じて UVLO スレッショルドを下回ると、レギュレータはシャットダウンします。入力電圧が必要なレベルに回復すると、レギュレータは標準の電源オン シーケンスで起動します。 *電気的特性* の表の $V_{UVLO(RISING)}$ パラメータを参照してください。

6.3.4 過熱保護

過熱保護機能により、接合部温度が約 175°C に上昇すると出力が無効化され、デバイスの温度が下がるまでその状態が続きます。この機能により、レギュレータ内の熱放散が制限され、過熱によるレギュレータの損傷が防止されます。接合部温度が約 160°C まで低下すると、出力回路が有効化されます。このような高温でデバイスが有効化されますが、デバイスのパラメータと性能は、最高で 150°C の接合部温度まで規定されています。消費電力、熱抵抗、周囲温度は、過熱保護回路が有効化されるかどうかを決定するパラメータです。有効になっている間、消費電力または周囲温度 (またはその両方) が低下しない限り、保護回路はオン状態とオフ状態を繰り返します。

TPS7B4258-Q1 の内部保護回路は、過負荷状態から保護されるように設計されています。この回路は、適切なヒート シンクの代替となるものではありません。サーマル シャットダウンが作動するまで TPS7B4258-Q1 を使用し続けると、デバイスの信頼性が低下します。

6.3.5 電流制限

デバイスには、過電流または短絡イベントの際にデバイスを保護する内部電流制限回路が備わっています。図 6-4 に示されているように、電流制限回路は、ブリックウォール方式です。デバイスが電流制限されている場合、デバイスは I_{CL} をソースし、出力電圧はレギュレートされません。このシナリオでは、出力電圧は負荷インピーダンスに依存します。

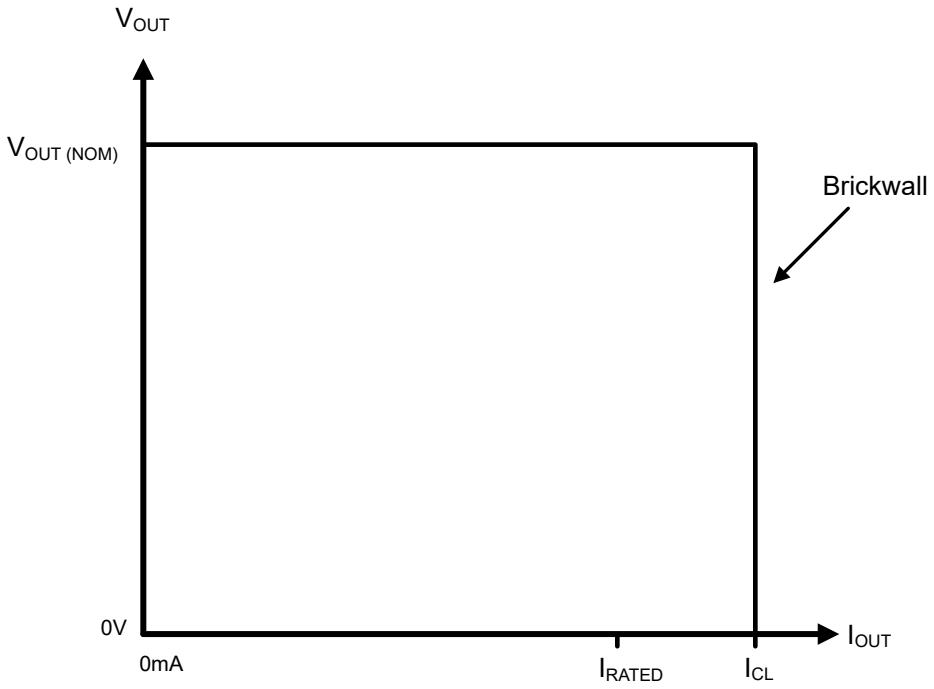


図 6-4. ブリックウォール電流制限方式

電流制限イベント中は、電流レベルが高く、入力から出力への差動電圧 ($V_{IN} – V_{OUT}$) が上昇するため、高い消費電力が発生する可能性があります。放熱量が多くなると、デバイスはサーマル シャットダウンに移行します。冷却後にデバイスが再度オンになったときに電流制限状態が解消されていないと、デバイスはサーマル シャットダウンに再度移行します。電流制限状態が解消されるまで、このサイクルが継続されます。デバイスはこのフォルトに耐えられますが、このモードで繰り返し動作すると、長期的な信頼性が低下します。

6.3.6 出力のバッテリへの短絡

図 6-5 に、TPS7B4258-Q1 がバッテリから直接電力を供給され、出力がバッテリに短絡する状況が説明されています。TPS7B4258-Q1 は、このフォルト状態に耐え、絶対最大定格が損なわれない限り、デバイスに損傷は発生しません。図 6-6 に、デバイスが V_{BAT} よりも低い電圧源から電力を供給されているときに、出力がバッテリに短絡する状況が説明されています。この例では、TPS7B4258-Q1 の電源入力電圧は 7V に設定され、トラッカー出力がバッテリに短絡しています。トラッカー出力は通常 5V で動作し、バッテリは通常 14V で動作します。電気的特性 の表に示されているように、双方向 PMOS トランジスタトポロジは、V_{IN} を経由して I_{REV} に流れる連続逆電流を制限するのに役立ちます。

Copyright © 2025 Texas Instruments Incorporated

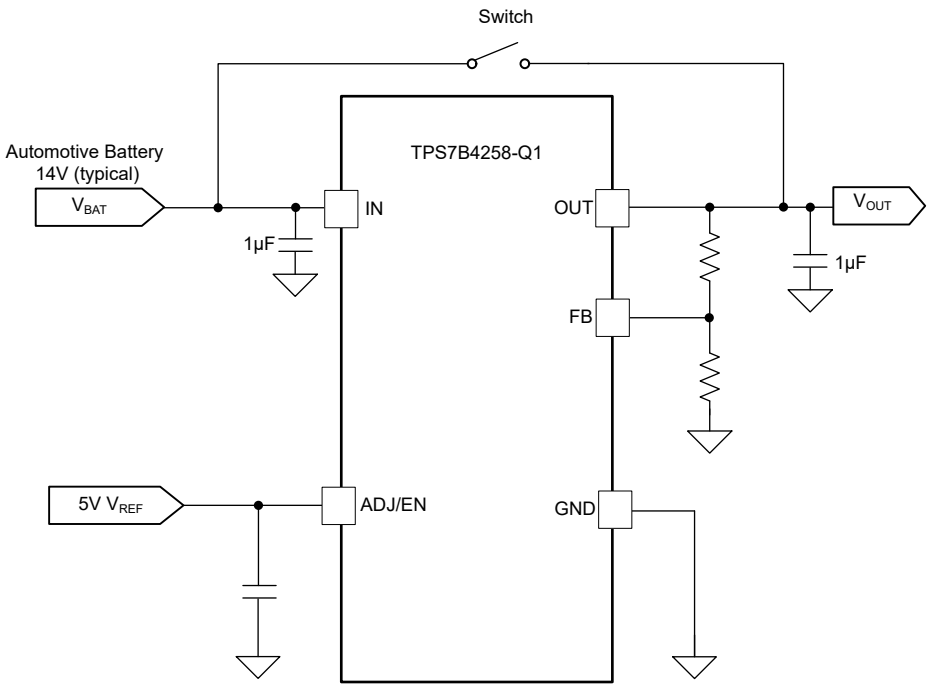


図 6-5. トラッカー出力がバッテリに短絡

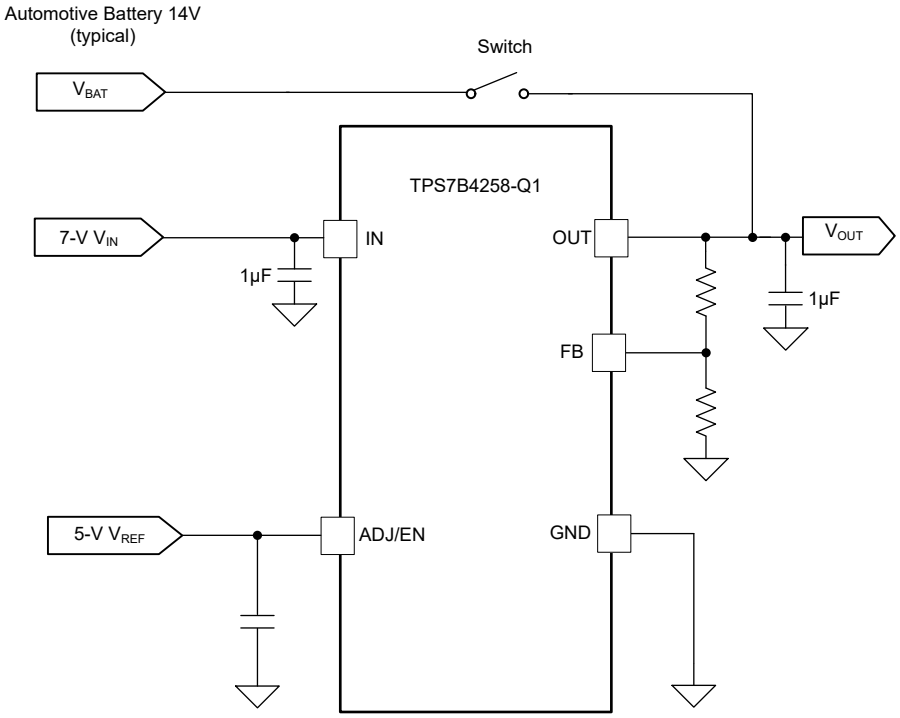


図 6-6. トラッカー出力電圧が入力電圧より高い場合

6.3.7 イネーブル回路のあるトラッキング レギュレータ

リファレンス電圧を V_{IL} 未満にすると、デバイスは無効化されてスリープ状態に移行します。この状態では、デバイスは電源から 3.8µA (最大) を消費します。代表的なアプリケーションでは、リファレンス電圧は一般的に他の LDO 電圧レールから供給されます。リファレンス電圧をシャットダウンせずに、デバイスを無効化できます。この場合は、図 6-7 に示されているようにデバイスを構成します。TPS7B84-Q1 は TPS7B4258-Q1 および ADC の両方にリファレンス電圧を供給する超低静止電流の 150mA LDO です。デバイスの動作状態は、マイコン (MCU) 入出力 (I/O) により制御されます。

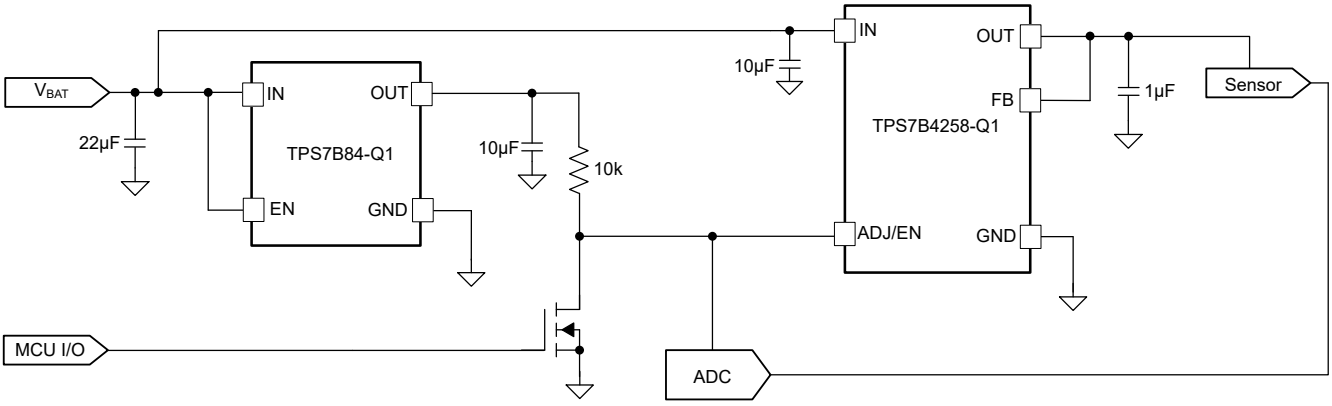


図 6-7. イネーブル回路のあるトラッキング LDO

Copyright © 2025 Texas Instruments Incorporated

6.4 デバイスの機能モード

表 6-1 に、各種の動作モードにつながる条件を示します。パラメータ値については、*電気的特性* の表を参照してください。

表 6-1. デバイスの機能モードの比較

動作モード	パラメータ (1)			
	V_{IN}	$V_{ADJ/EN}$	I_{OUT}	T_J
通常動作	$V_{IN} > V_{OUT(Nom)} + V_{DO}$ および $V_{IN} \geq V_{IN(min)}$	$V_{ADJ/EN} > V_{IH}$	$I_{OUT} \leq I_{OUT(max)}$	$T_J \leq 150$ °C
ドロップアウト動作	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{ADJ/EN} > V_{IH}$	$I_{OUT} \leq I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
ディスエーブル (条件が真の場合、デバイスはディスエーブル)	$V_{IN} < V_{UVLO}$	$V_{ADJ/EN} < V_{IL}$	該当なし	$T_J > T_{SD(shutdown)}$

(1) V_{IN} が $V_{UVLO(RISING)}$ を上回り、$V_{ADJ/EN}$ がイネーブルの立ち上がりスレッショルド V_{IH} を上回ると、デバイスがオンになります。

6.4.1 通常動作

デバイスの出力電圧 $V_{OUT(Nom)}$ は、以下の条件が満たされると、ADJ/EN ピンのリファレンス電圧を追跡します。

- 入力電圧が少なくとも 3.3V ($V_{IN(min)}$) で、公称出力電圧とドロップアウト電圧の和 ($V_{OUT(nom)} + V_{DO}$) よりも大きい
- ADJ/EN ピンのリファレンス電圧がイネーブル立ち上がりスレッショルド V_{IH} を上回っており、適切な V_{REF} 値で安定した状態を維持している
- 出力電流が $I_{OUT(max)}$ 未満 ($I_{OUT} \leq 150$mA) である
- デバイス接合部温度が 150℃ を超過していない ($T_J \leq 150$℃)

6.4.2 ドロップアウト動作

入力電圧が、公称出力電圧と規定ドロップアウト電圧の和よりも低い場合、デバイスはドロップアウト モードで動作します。このモードでは、出力電圧は入力電圧に追従します。このモードでは、デバイスの過渡性能が大きく低下します。このモード中、パス トランジスタは完全にオンに駆動されます。ドロップアウト中にライン過渡または負荷過渡事象が生じると、大きな出力電圧の偏差が発生する可能性があります。

ドロップアウト状態では、トラッカーのパス トランジスタはオーム領域または 3 極管領域に駆動されます。この状態では、入力および出力電圧は $V_{IN} < V_{OUT(NOM)} + V_{DO}$ に関係しています。トラッカー デバイスが公称レギュレーションから直接ドロップアウトに入ると、パス トランジスタが飽和領域から 3 極管領域に遷移します。このような状況において、入力電圧が $V_{IN} > V_{OUT(NOM)} + V_{DO}$ 戻ると、デバイスはドロップアウトを終了します。トラッカーがパス トランジスタを 3 極管領域から飽和状態に戻すのに短時間を要します。この短時間の間、デバイスがドロップアウトを終了すると、出力電圧に大きなオーバーシュートが発生する可能性があります。

6.4.3 V_{IN} < 3.3V での動作

入力電圧が 3.3V 未満で $V_{UVLO\ (FALLING)}$ を上回ると、LDO が動作を継続します。しかし、一部の内部回路は、仕様内で動作するための適切なヘッドルームを確保できない可能性があります。入力電圧が $V_{UVLO\ (FALLING)}$ を下回ると、デバイスはシャットダウンされます。

6.4.4 ADJ/EN 制御による無効化

ADJ/EN ピンは、LDO へのリファレンスおよびイネーブル ピンとして動作します。$V_{ADJ/EN}$ が V_{IL} よりも低いときに、LDO が無効になります。無効化されると、パス トランジスタがオフになり、内部回路がシャットダウンされ、LDO はローパワーモードになります。

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

7.1.1 ドロップアウト電圧

ドロップアウト電圧 (V_{DO}) は、パストランジスタが完全にオンのときの $V_{IN} – V_{OUT}$ として定義されます。V_{IN} は入力電圧、V_{OUT} は出力電圧です。入力電圧が低下し、誤差アンプがパストランジスタのゲートをレールまで駆動する時点で、この状態が発生します。この状態では、制御ループが動作するためのヘッドルームがありません。この動作ポイントで、パストランジスタは完全にオンに駆動されます。ドロップアウト電圧は、本デバイスのレギュレートされた出力電圧を維持するために必要な最小の $V_{IN} – V_{OUT}$ 差分を直接指定します。入力電圧が公称出力レギュレーションより低くなると、出力電圧もドロップアウト電圧 (V_{DO}) を差し引いた値に追従します。

ドロップアウト モードでは、出力電圧のレギュレーションが行われなくなり、過渡性能が大幅に低下します。デバイスの PSRR が低下し、負荷過渡が原因で、大きな出力電圧の偏差が発生する可能性があります。

CMOS レギュレータの場合、ドロップアウト電圧はパストランジスタのドレイン ソース間オン抵抗 ($R_{DS(ON)}$) によって決まります。したがって、リニア レギュレータが定格出力電流 (I_{RATED}) よりも低い値で動作する場合、その電流に対するドロップアウト電圧はそれに応じてスケーリングされます。I_{RATED} は、*推奨動作条件* 表に記載されています。以下の式を使用して、デバイスの $R_{DS(ON)}$ を計算します。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \tag{4}$$

7.1.2 逆電流

TPS7B4258-Q1 には逆電流保護機能が内蔵されており、V_{OUT} が V_{IN} よりも高くなるフォルト状態からの損傷を防止します。逆電流コンパレータは、通常、10µs で逆電圧状況に応答します。このコンパレータとブロッキング PMOS トランジスタのボディ ダイオード逆電流が 1.2µA 未満に制限されます。絶対最大定格の制限を超過しない限り、デバイスが損傷することはありません。

Copyright © 2025 Texas Instruments Incorporated

7.2 代表的なアプリケーション

図 7-1 に、TPS7B4258-Q1 の代表的なアプリケーション回路を示します。

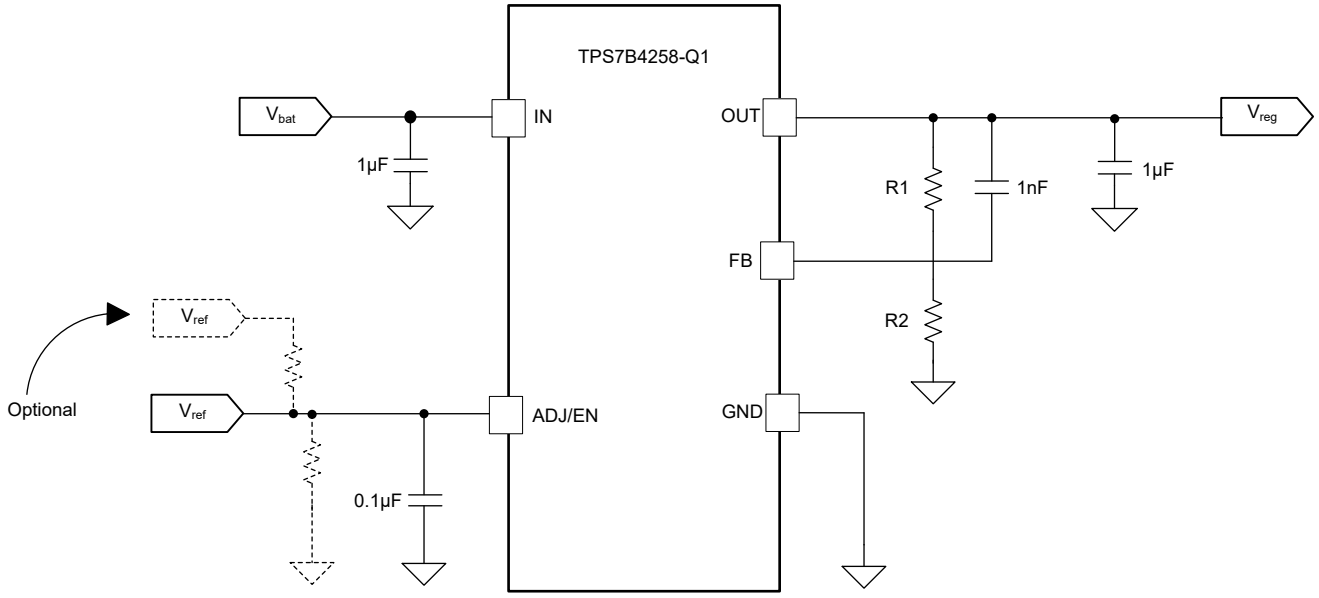


図 7-1. 代表的なアプリケーション回路図

7.2.1 設計要件

この設計例では、表 7-1 の設計パラメ ータを使用します。

表 7-1. 設計パラメータ

設計パラメータ	例の値
入力電圧	3.3V ～ 40V
ADJ/EN リファレンス電圧	2V ～ 40V
出力電圧	2V ～ 40V
出力電流定格	150mA
出力コンデンサ範囲	1µF～100µF
出力コンデンサの ESR 範囲	1mΩ ～ 2Ω

7.2.2 詳細な設計手順

7.2.2.1 入力および出力コンデンサの選択

エンド アプリケーションに応じて、異なる値の外付け部品を使用できます。一部のアプリケーションでは、高速負荷ステップをサポートするため、大容量の出力コンデンサを使用します。大きなコンデンサは、出力電圧の大きな低下を防止するのに役立ち、その結果ダウンストリーム部品がリセットされる結果になります。負荷過渡応答を改善するために、X5R または X7R タイプの誘電体を使用する低等価直列抵抗 (ESR) セラミック コンデンサを使用します。

TPS7B4258-Q1 では、安定性のために、少なくとも 1µF (500nF 以上の容量) の出力コンデンサと 0.001Ω ～ 2Ω の ESR が必要です。出力コンデンサがないと、レギュレータは発振します。最高の過渡性能を得るには、X5R および X7R タイプのセラミック コンデンサを使用します。これらのコンデンサは、温度による値と ESR の変動が最小限に抑えられているからです。特定のアプリケーション用にコンデンサを選択するときは、コンデンサの DC バイアス特性に注意します。出力電圧が高くなると、コンデンサの定格が大きく低下します。ほとんどのアプリケーションでは、優れた過渡性能を実現するために、OUT ピンに低 ESR の 10µF セラミック コンデンサを接続するだけで十分です。

安定性のために、入力コンデンサは必要ありません。しかし、TPS7B4258-Q1 の GND ピンと IN ピンの間にコンデンサ (500nF 以上) を接続するのが適切なアナログ手法です。一部の入力電源は高インピーダンスなので、入力電源に入力コンデンサを配置することで、入力インピーダンスを低減できます。このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、入力リップル、PSRR を改善します。入力電源が広範囲の周波数にわたって ハイ インピーダンスの場合は、複数の入力コンデンサを並列に使用して、全周波数帯域のインピーダンスを低減します。立ち上がり時間の短い大きな負荷過渡事象が予想される場合、またはデバイスが入力電源から数インチの場所に配置される場合は、より大きな値のコンデンサを使用してください。

7.2.2.2 帰還抵抗の選択

V_{OUT} は、以下の式に従って、ADJ/EN ピンの電圧と外部帰還抵抗 R_1 および R_2 によって設定されます。

$$V_{OUT} = V_{ADJ/EN} \times \left(1 + \frac{R_1}{R_2}\right) \tag{5}$$

V_{OUT} 式の FB ピン電流誤差項を無視するには、帰還分圧器電流を FB ピン電流 (I_{FB}) の 100 倍に設定します。I_{FB} は、「*電気的特性*」表に記載されています。この設定により、次の式に示すように、最大の帰還分圧器の直列抵抗が得られます。

$$R_1 + R_2 \leq \frac{V_{OUT}}{(I_{FB} \times 100)} \tag{6}$$

7.2.2.3 フィードフォワード コンデンサ

フィードフォワード コンデンサ (C_{FF}) を OUT ピンと FB ピンの間に接続することが推奨されます。C_{FF} により、過渡、ノイズ、PSRR に対する性能が向上します。しかし、C_{FF} の容量が大きいほど、LDO のスタートアップ時間が長くなります。C_{FF} のトレードオフの詳細な説明については、『低ドロップアウト レギュレータでフィードフォワード コンデンサを使用する場合の長所と短所』アプリケーション ノートを参照してください。

図 7-2 に示されているように、不適切なレイアウト手法と FB ピンで長いパターンを使用すると、寄生コンデンサ (C_{FB}) が形成されます。

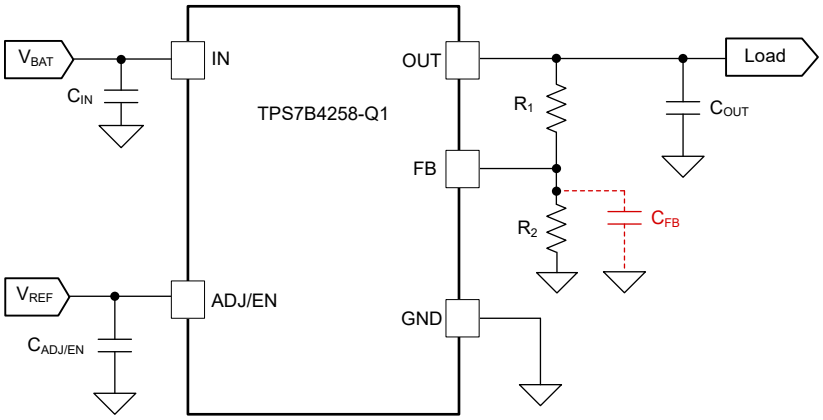


図 7-2. FB ピンの寄生コンデンサ

帰還抵抗 R_1 および R_2 と C_{FB} を組み合わせることで、ループ ゲインの伝達関数に補償されないポールが形成される可能性があります。C_{FB} 値がわずか 20pF である場合、式 7 によって与えられる寄生極周波数が LDO の帯域幅内に収まる可能性があります。

$$f_P = \frac{1}{(2 \times \pi \times C_{FB} \times (R_1 \parallel R_2))} \tag{7}$$

Copyright © 2025 Texas Instruments Incorporated

図 7-3 に示されているように、フィードフォワード コンデンサ (C_{FF}) を追加すると、ループ ゲイン伝達関数にゼロが生成されます。このゼロは、C_{FB} によって生成される寄生極を補償します。式 8 と式 9 は、ポール周波数とゼロ周波数を計算します。

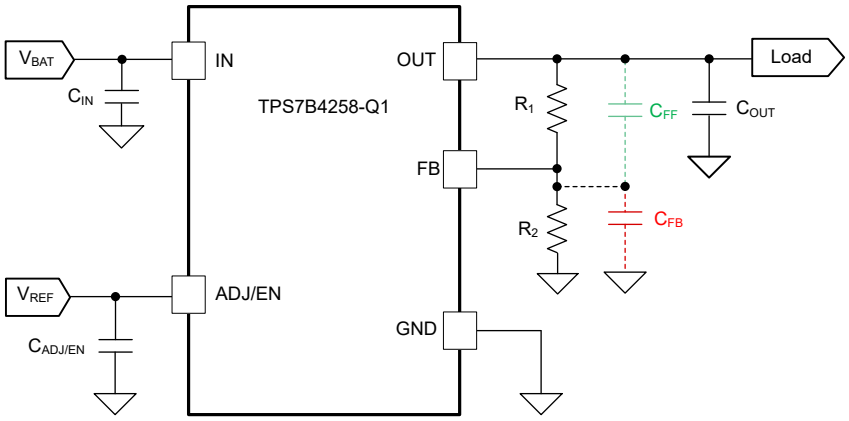


図 7-3. フィードフォワード コンデンサは、寄生帰還コンデンサの影響の緩和に役立ちます

$$f_P = \frac{1}{(2 \times \pi \times (R_1 \parallel R_2) \times (C_{FF} + C_{FB}))} \tag{8}$$

$$f_Z = \frac{1}{(2 \times \pi \times C_{FF} \times R_1)} \tag{9}$$

f_P と f_Z が等しくなる C_{FF} 値を選択すると、極のゼロは打ち消されます。この C_{FF} 値は、アプリケーションで使用される C_{FB} と帰還抵抗の値に依存します。または、$C_{FF} \gg C_{FB}$ となるようフィードフォワード コンデンサを選択する場合、式 9 と 式 8 によるポール周波数とゼロ周波数は次のように関係します:

$$\frac{f_p}{f_z} \approx \left(1 + \frac{R_1}{R_2}\right) = \frac{V_{OUT}}{V_{ADJ/EN}} \tag{10}$$

ほとんどのアプリケーションにおいて、特に 3.3V または 5V の V_{OUT} を生成する場合、この比はそれほど大きくありません。したがって、周波数が互いに近くに配置されているため、寄生極が補償されます。一般に、C_{FF} の値が 100pF ≤ C_{FF} ≤ 10nF の範囲である場合は、V_{OUT} 値がより大きい場合でも、C_{FB} による不安定性を防止するのに役立ちます。

優れたレイアウト手法に従うことで、寄生帰還ピンの容量を最小化し、結果として生じる寄生極が不安定性の原因とならないようにできます。*レイアウトのガイドライン* セクションおよび『TRKRLDOEVM-119 汎用トラッカー LDO 評価基板』ユーザー ガイドを参照してください。

7.2.3 アプリケーション曲線

下図に、HSOIC-8 (DDA) パッケージの $R_{\theta JA}$ および ψ_{JB} の機能と銅の面積と厚さとの関係が示されています。これらのプロットは、101.6mm × 101.6mm × 1.6mm のプリント基板 (PCB) で 2 層および 4 層を使用して生成したものです。2 層基板の場合、最下層は一定サイズのグランド プレーンであり、最上層の銅箔は GND に接続して変化させています。4 層基板の場合、2 番目の層は一定のサイズのグランド プレーンで、3 番目の層は一定のサイズの電源プレーンになります。最上層と最下層の銅箔パターンを GND に接続し、同じ速度で変化させます。4 層基板の場合、内側のプレーンでは 1 オンスの銅箔厚を使用します。外層は、1 オンスおよび 2 オンスの銅厚でシミュレーションしています。300µm のドリル直径と 25µm の銅めっきを持つ 3×3 のサーマル ビア配列がデバイスの下に配置されています。サーマル ビアは、最上層と最下層、また 4 層基板の場合は最初の内部 GND プレーンを接続しています。『*PowerPAD™ 放熱強化パッケージ*』アプリケーション ノート に、サーマル ビアが熱性能に及ぼす影響についての説明が記載されています。

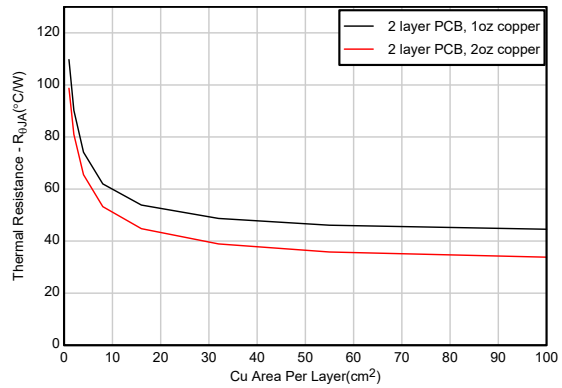


図 7-4. $R_{\theta JA}$ と銅の面積との関係 (HSOIC-8 パッケージ、2 層 PCB)

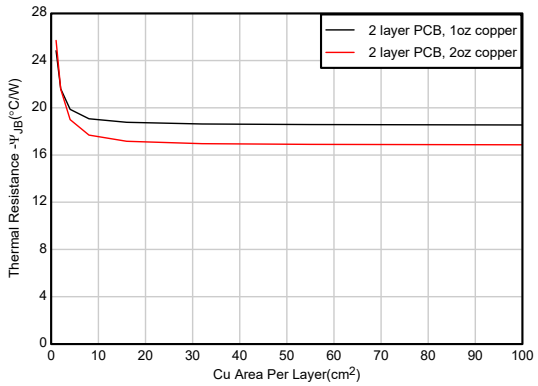


図 7-5. ψ_{JB} と銅の面積との関係 (HSOIC-8 パッケージ、2 層 PCB)

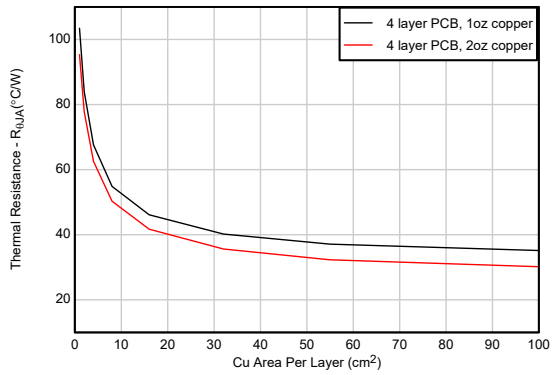


図 7-6. $R_{\theta JA}$ と銅の面積との関係 (HSOIC-8 パッケージ、4 層 PCB)

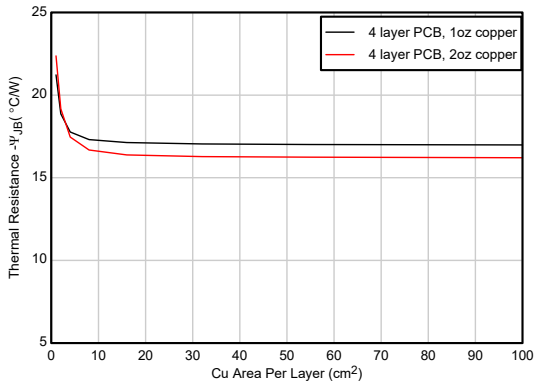


図 7-7. ψ_{JB} と銅の面積との関係 (HSOIC-8 パッケージ、4 層 PCB)

7.3 電源に関する推奨事項

このデバイスは、3V から 40V の入力電源電圧範囲で動作するように設計されています。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

全体の性能を最適化するために、すべての回路部品は回路基板の同じ面に配置します。これらの部品は、可能な限り各 LDO ピンの接続部の近くに配置します。入力および出力コンデンサのグランド復帰接続は、LDO のグランド ピンにできるだけ近づけて配置します。広い部品側の銅面を使用して、2 つの間の接続を行います。入力および出力コンデンサにビアと長いパターンを使用しないことが強く推奨されます。これにより、システム性能に悪影響が出ます。グランド基準プレー

Copyright © 2025 Texas Instruments Incorporated

ンを PCB に埋め込むか、コンポーネントの反対側の PCB の裏面に配置します。この基準プレーンにより、出力電圧の精度が向上し、ノイズから遮断されます。このプレーンは、サーマル パッドに接続することで、LDO デバイスからの熱を拡散 (または吸収) するサーマル プレーンと同様の働きをします。ほとんどの用途では、熱要件を満たすためにこのグランド プレーンが必要です。

7.4.1.1 パッケージの取り付け

TPS7B4258-Q1 の半田パッドの占有面積に関する推奨事項については、本文書の巻末および www.ti.com を参照してください。

7.4.1.2 PSRR およびノイズ性能向上のための推奨基板レイアウト

AC 性能 (PSRR、出力ノイズ、過渡応答など) を向上させるために、V_{IN} と V_{OUT} に別々のグランド プレーンを付けて基板を設計します。各グランド プレーンは、デバイスの GND ピンにのみ接続します。また、出力コンデンサのグランド接続をデバイスの GND ピンに直接接続します。

等価直列インダクタンス (ESL) および ESR を最小化し、性能を最大化して安定性を実現します。各コンデンサは可能な限りデバイスに近く、PCB 上でレギュレータと同じ面に配置します。

PCB 上でレギュレータが設置されている面と反対の面にコンデンサを配置しないでください。システムの性能に悪影響を与えるため、ビアおよび長いパターンを使用しないことが強く推奨されます。ビアや長いパターンは、不安定性の原因にもなる可能性があります。

可能であれば、この文書に記載されている最大性能を保証するため、TPS7B4258-Q1 評価ボードに使用されているのと同じレイアウト パターンを使用してください。この評価ボードは、www.ti.com で入手できます。

7.4.1.3 消費電力および熱に関する考慮事項

式 11 で、デバイスの消費電力を計算します。

$$P_D = I_{OUT} \times (V_{IN} - V_{OUT}) + I_Q \times V_{IN} \tag{11}$$

ここで

- P_D = 連続消費電力
- I_{OUT} = 出力電流
- V_{IN} = 入力電圧
- V_{OUT} = 出力電圧
- I_Q = 静止電流

I_Q が I_{OUT} よりはるかに小さいため、式 11 の $I_Q \times V_{IN}$ 項は無視します。

式 12 で、所定の周囲空気温度 (T_A) で動作中のデバイスの接合部温度 (T_J) を計算します。

$$T_J = T_A + (R_{\theta JA} \times P_D) \tag{12}$$

ここで

- $R_{\theta JA}$ = 接合部から接合部までの周囲気温の熱インピーダンス

式 13 で、消費電力による接合部温度の上昇を計算します。

$$\Delta T = T_J - T_A = (R_{\theta JA} \times P_D) \tag{13}$$

式 14 で、所定の最大接合部温度 (T_{JMAX}) でデバイスが動作する最大周囲空気温度 (T_{AMAX}) を計算します。

$$T_{AMAX} = T_{JMAX} - (R_{\theta JA} \times P_D) \tag{14}$$

7.4.1.4 放熱性能と銅の面積との関係

最もよく使用される熱抵抗パラメータ $R_{\theta JA}$ は、特定の PCB 設計に作り込まれている熱拡散能力に大きく依存します。したがって、$R_{\theta JA}$ は、銅の総面積、銅の重量、プレーンの位置に応じて変化します。*熱に関する情報* の表に、$R_{\theta JA}$ 値が示されています。$R_{\theta JA}$ は JEDEC 規格 (図 7-8)、PCB、銅の拡散領域によって決まり、パッケージの放熱性能の相対的な単位としてのみ使用されます。適切に設計された熱レイアウトの場合、$R_{\theta JA}$ は、$R_{\theta JCbot}$ と PCB 銅による熱抵抗の寄与の合計になります。*熱に関する情報* の表に示されているように、$R_{\theta JCbot}$ は接合部からケース (底面) までの熱抵抗です。

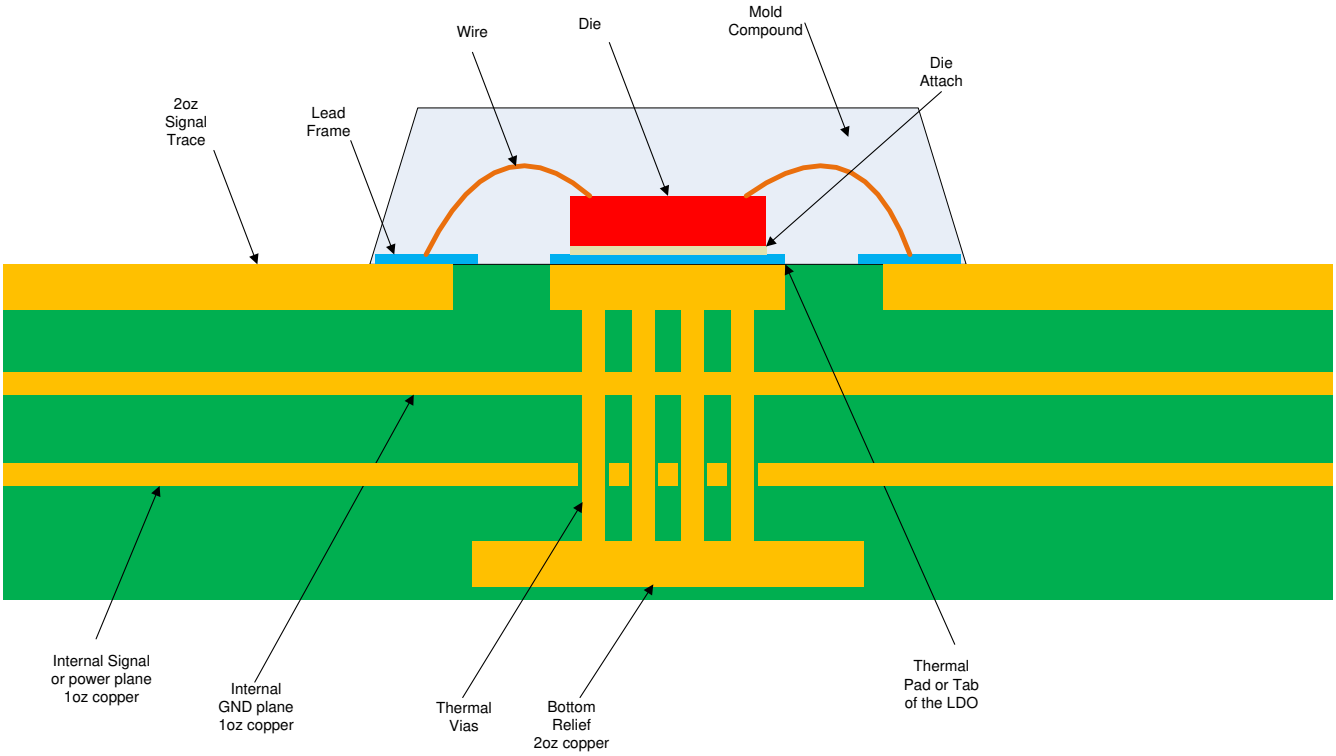


図 7-8. JEDEC 規格 2s2p PCB

Copyright © 2025 Texas Instruments Incorporated

7.4.2 レイアウト例

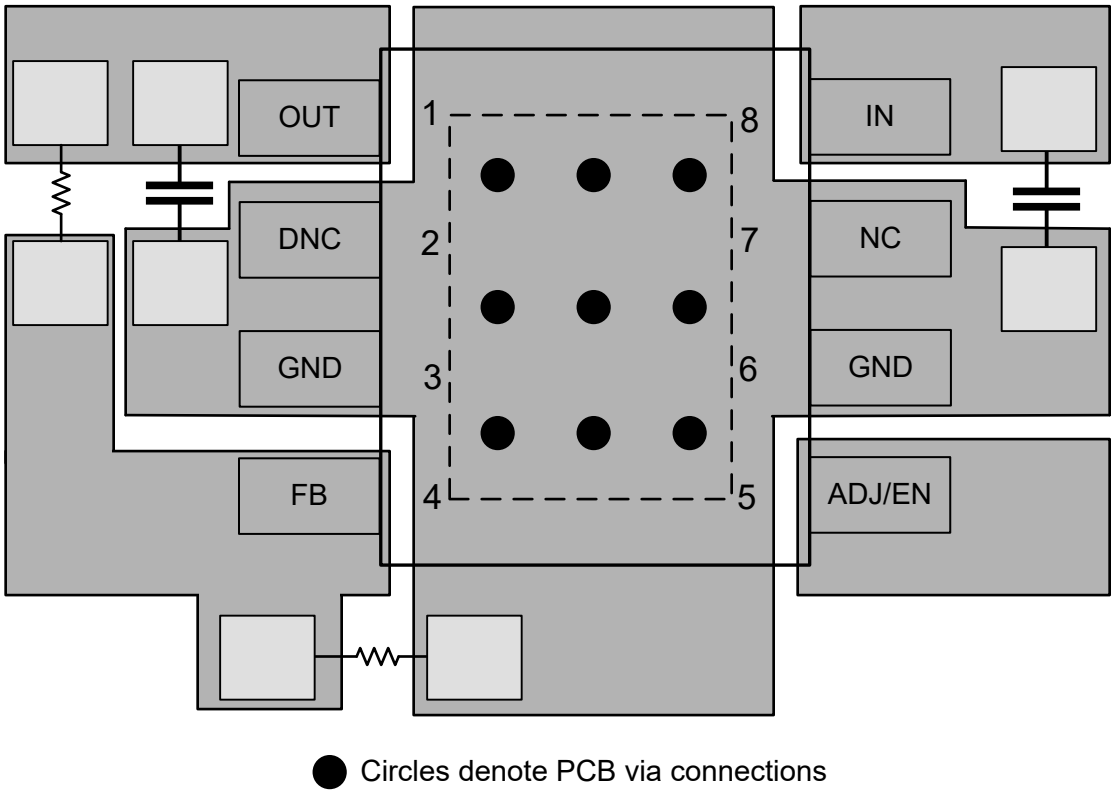


図 7-9. レイアウト例

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 デバイスの命名規則

表 8-1. デバイスの命名規則

製品[(1)]	V_{OUT}
TPS7B4258**QDDARQ1**	HSOIC (DDA) パッケージ: **Q** は、AEC-Q100 規格のグレード 1 に準拠したデバイスであることを表すものです。 **R** は、パッケージ数量です。 **Q1** は、車載グレード (AEC-Q100) デバイスであることを表すものです。

(1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ オプションの付録を参照するか、www.ti.com にあるデバイスの製品フォルダをご覧ください。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『*TPS7B84-Q1 150mA、40V、可変低ドロップアウト レギュレータ*』データシート
- テキサス インスツルメンツ、『低ドロップアウト レギュレータでフィードフォワード コンデンサを使用することの長所と短所』アプリケーション ノート
- テキサス インスツルメンツ、『*TRKRLDOEVM-119* 汎用トラッカー LDO 評価基板』ユーザー ガイド

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2025 Texas Instruments Incorporated

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (May 2025) to Revision A (July 2025)	Page
• ドキュメントのステータスを「事前情報」から「量産データ」に変更	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTPS7B4258QDDARQ1	Active	Preproduction	SO PowerPAD (DDA) | 8	1 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
TPS7B4258QDDARQ1	Active	Production	SO PowerPAD (DDA) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	B4258F

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

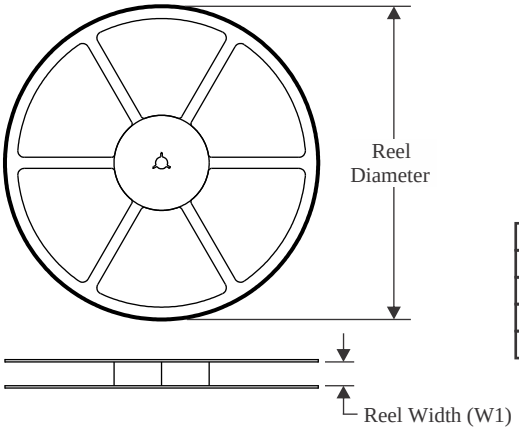
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

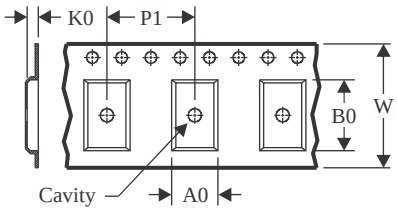
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

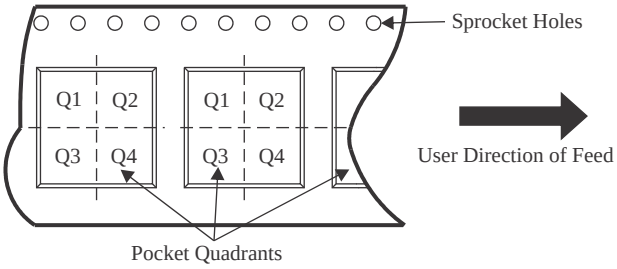


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

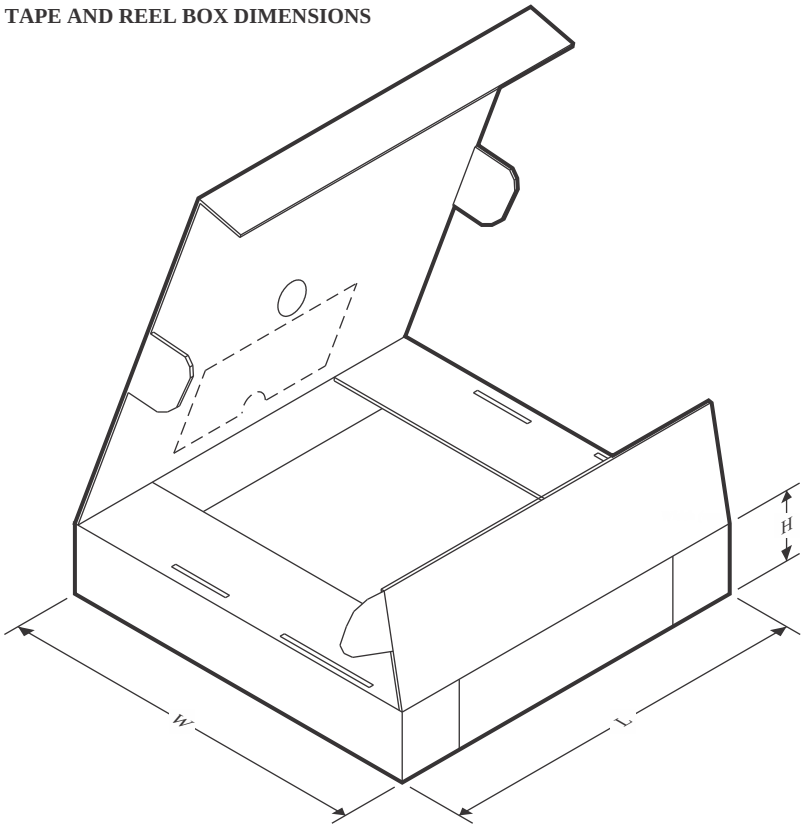
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7B4258QDDARQ1	SO PowerPAD	DDA	8	3000	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

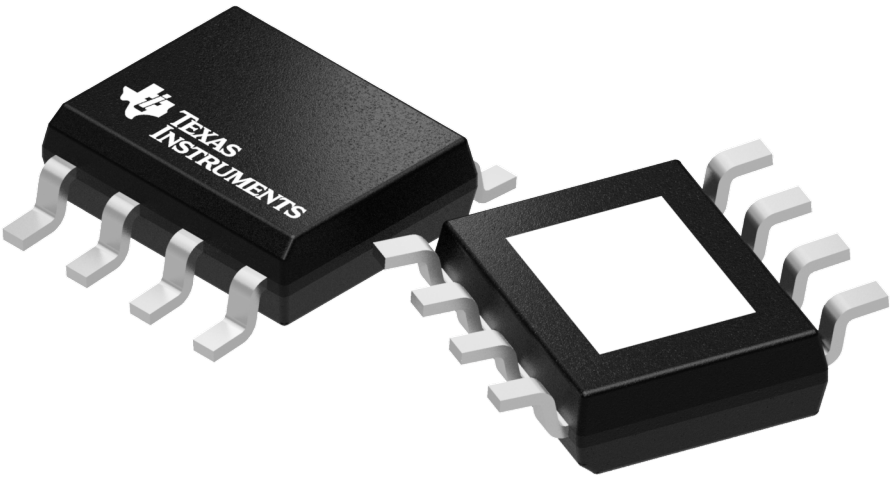


*All dimensions are nominal

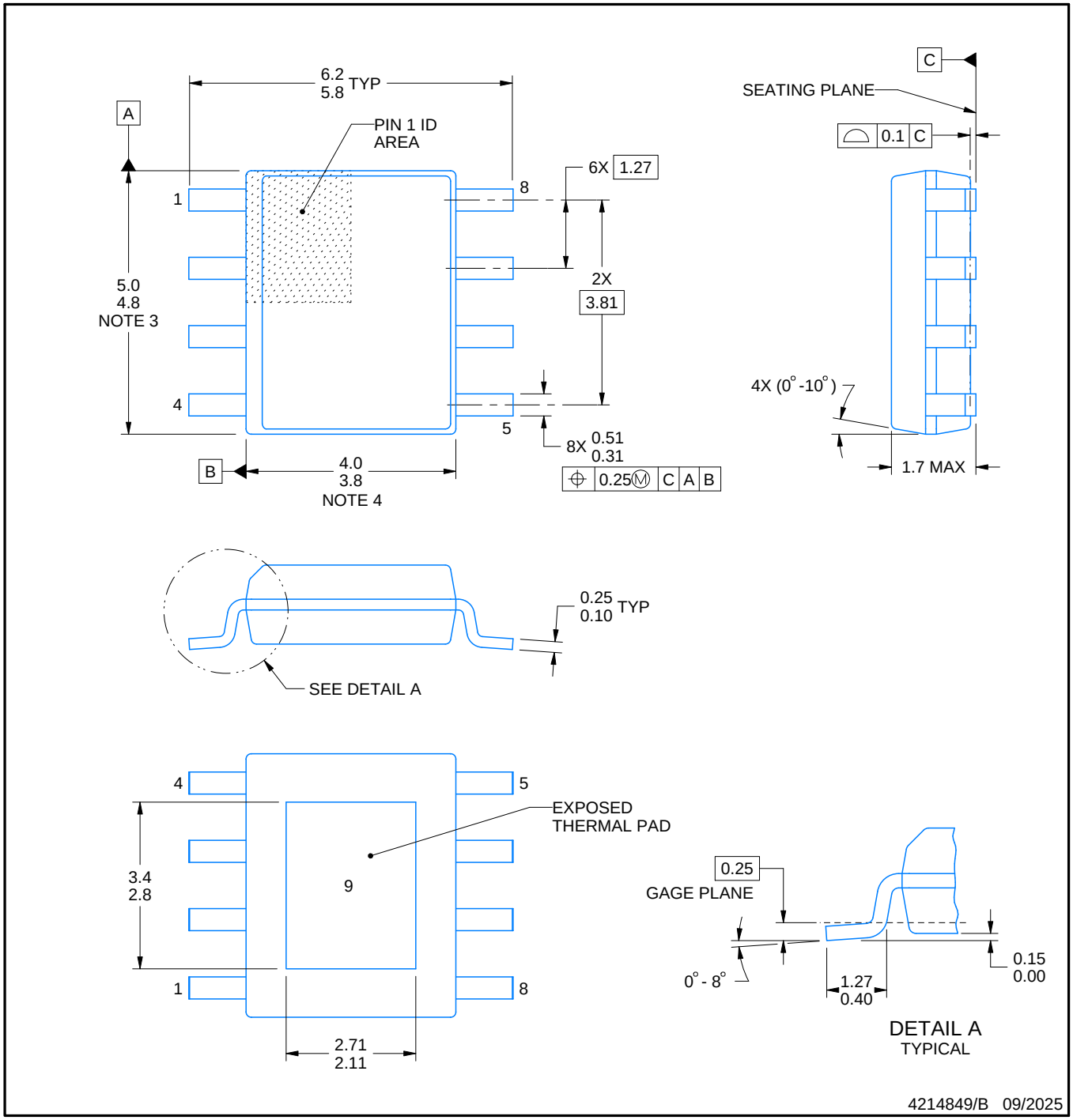
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7B4258QDDARQ1	SO PowerPAD	DDA	8	3000	340.5	338.1	20.6

DDA 8 PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



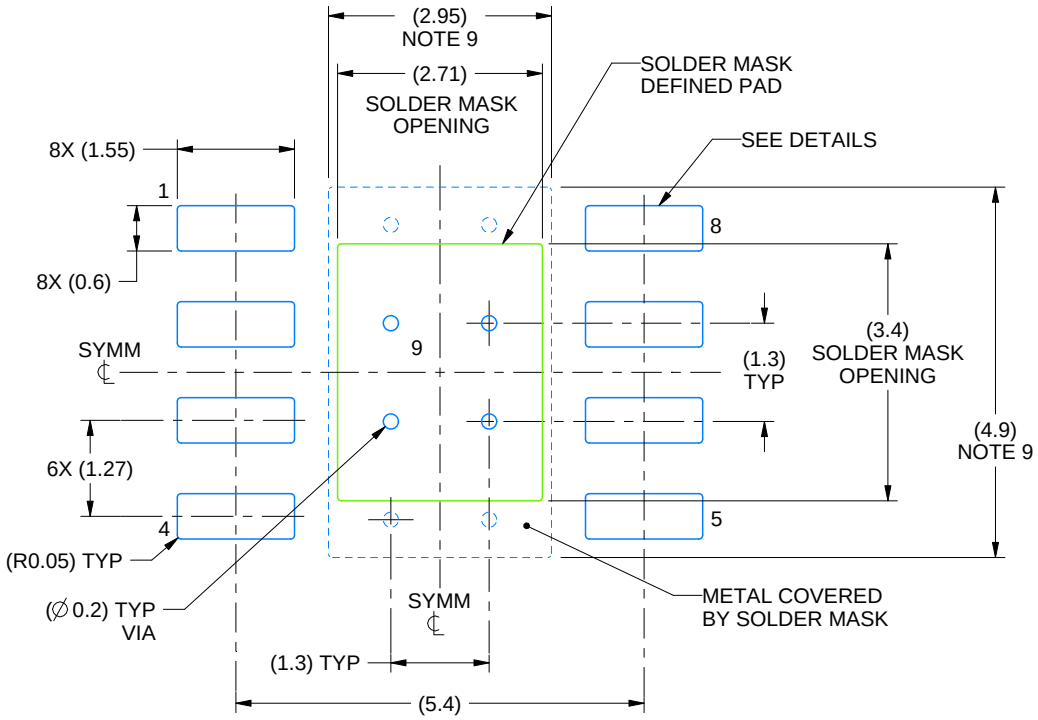
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



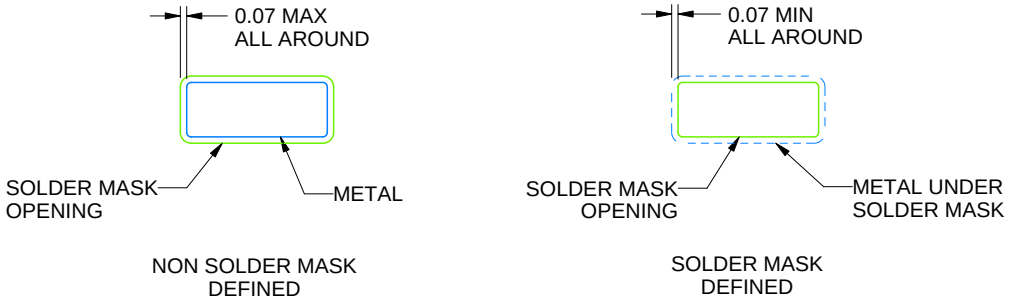
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012.



LAND PATTERN EXAMPLE
SCALE:10X

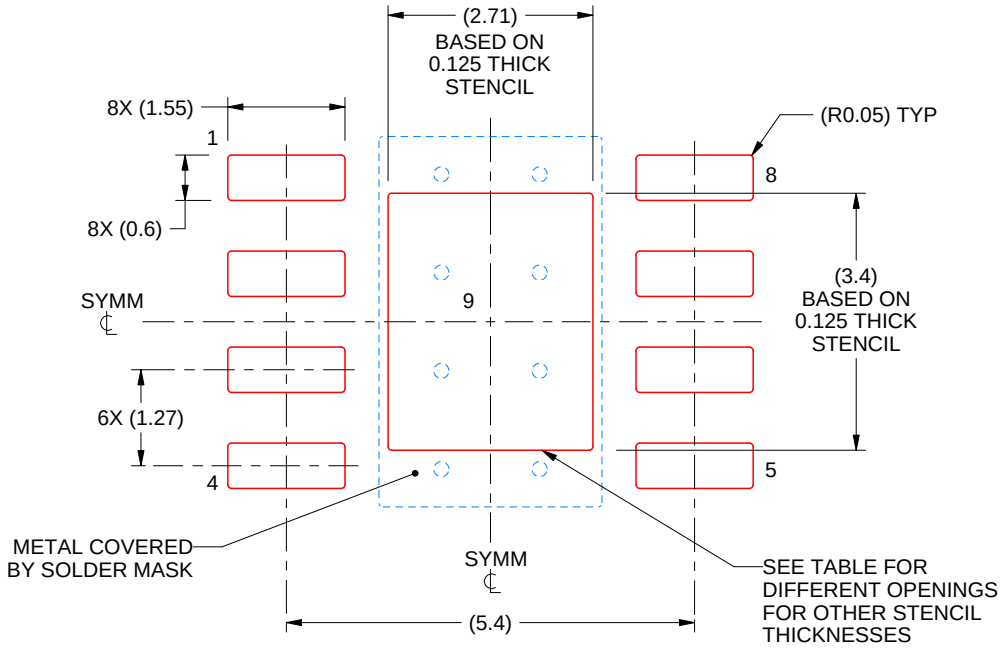


SOLDER MASK DETAILS
PADS 1-8

4214849/B 09/2025

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.03 X 3.80
0.125	2.71 X 3.40 (SHOWN)
0.150	2.47 X 3.10
0.175	2.29 X 2.87

4214849/B 09/2025

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated