

TPS7B4254-Q1 トラッキング許容誤差 4mV、車載用、150mA、40V、電圧トラッキング LDO

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - 温度グレード 1: -40°C ~ +125°C, T_A
 - デバイス HBM ESD 分類レベル 3A
 - デバイス CDM ESD 分類レベル C6
- 幅広い入力電圧範囲: -40V ~ 45V (最大値)
- 出力電圧調整範囲: 2V ~ 40V
- 出力電流能力: 150mA
- 非常に低い出力トラッキング許容誤差: $\pm 4\text{mV}$
- 低いドロップアウト電圧: $I_{OUT} = 100\text{mA}$ のとき 160mV
- 低い静止電流 ($I_{(Q)}$):
 - ADJ = Low のとき 4 μA 未満
 - 軽負荷時の標準値 60 μA
- 非常に広い ESR 範囲:
 - 10 μF ~ 500 μF のセラミック出力コンデンサ
 - ESR 範囲 1m Ω ~ 20 Ω
- 逆極性保護
- 電流制限およびサーマル シャットダウン保護機能
- 出力からグランドおよび電源への短絡保護
- OUT ピンの誘導性クランプ
- 8 ピン HSOIC PowerPAD™ パッケージ、露出サーマルパッド付き
- HSOIC パッケージの新しいドロップイン代替品については、**TPS7B4258-Q1** デバイスを参照してください。

2 アプリケーション

- パワートレインの圧力センサ
- パワートレインの温度センサ
- パワートレインの排気ガス センサ
- パワートレインの液体濃度センサ
- 車体制御モジュール (BCM)
- ゾーン制御モジュール
- HVAC (エアコン) 制御モジュール

3 説明

車載用のオフボード センサと低電流オフボード モジュールの場合、電源はメイン ボードからの長いケーブルを経由します。そのような場合、ケーブルの破損による GND への短絡またはバッテリーへの短絡時にオンボード部品が損傷しないように、オフボード負荷用パワー デバイスに保護機能が必要です。オフボード センサは、高精度のデータ収集を確実に行うために、オンボード部品の電源と同様の安定した電源を必要とします。

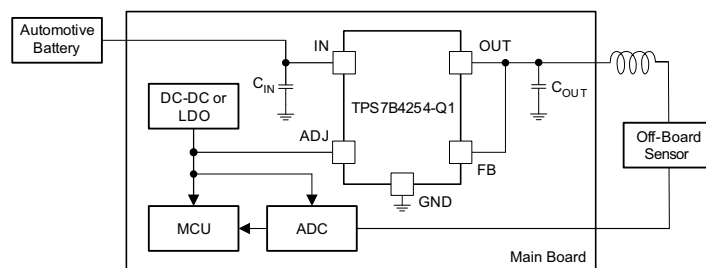
TPS7B4254-Q1 は、45V の負荷ダンブを持つ車載アプリケーション向けに設計されています。このデバイスは、トラッキング低ドロップアウト (LDO) レギュレータとして使用することも、オンボードのメイン電源を使用したオフボード センサ用の閉電力ループを構成するための電圧トラッカとして使用することもできます。本デバイスの出力は、ADJ ピンの基準電圧によって精密にレギュレートされます。

オフボード モジュールに高精度の電源を提供するため、温度範囲全体にわたって ADJ ピンと FB ピンの間で 4mV の非常に小さいトラッキング許容誤差を実現しています。バックツォーバック PMOS トポロジを採用しているため、逆極性条件でも外付けダイオードは不要です。TPS7B4254-Q1 デバイスは、過酷な条件でのオンボード部品の損傷を防止するため、サーマル シャットダウン、誘導性クランプ、過負荷、バッテリー短絡保護機能も備えています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS7B4254-Q1	DDA (HSOIC PowerPAD, 8)	4.9mm × 6mm

- 詳細については、[メカニカル](#)、[パッケージ](#)、および[注文情報](#)をご覧ください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



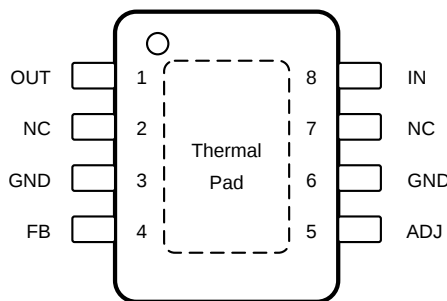
代表的なアプリケーション回路図



目次

1 特長	1	7 アプリケーションと実装	15
2 アプリケーション	1	7.1 アプリケーション情報.....	15
3 説明	1	7.2 代表的なアプリケーション.....	15
4 ピン構成および機能	3	7.3 電源に関する推奨事項.....	17
5 仕様	4	7.4 レイアウト.....	17
5.1 絶対最大定格.....	4	8 デバイスおよびドキュメントのサポート	19
5.2 ESD 定格.....	4	8.1 デバイス サポート.....	19
5.3 推奨動作条件.....	4	8.2 ドキュメントのサポート.....	19
5.4 熱に関する情報.....	5	8.3 ドキュメントの更新通知を受け取る方法.....	19
5.5 電気的特性.....	5	8.4 サポート・リソース.....	19
5.6 代表的特性.....	6	8.5 商標.....	19
6 詳細説明	11	8.6 静電気放電に関する注意事項.....	19
6.1 概要.....	11	8.7 用語集.....	19
6.2 機能ブロック図.....	11	9 改訂履歴	20
6.3 機能説明.....	11	10 メカニカル、パッケージ、および注文情報	20
6.4 デバイスの機能モード.....	14	10.1 メカニカル データ.....	21

4 ピン構成および機能



NC - 内部接続なし

図 4-1. DDA パッケージ 8 ピン HSOP (露出サーマルパッド付き) 上面図

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
ADJ	5	I	基準電圧はこのピンに接続します。Low 信号はデバイスを無効化し、High 信号はデバイスを有効化します。基準電圧は、直接接続するか、分圧器を使用して出力電圧を低くします。ラインの影響を補償するため、デバイスのピンの近くにコンデンサを接続します。
FB	4	I	このピンは帰還ピンで、外部の抵抗分圧器に接続して出力電圧を選択できます。
GND	3、6	G	グラウンド
IN	8	I	このピンはデバイスの電源です。ラインの影響を補償するため、デバイスのピンの近くにコンデンサを接続します。
NC	2、7	NC	内部接続なし。
OUT	1	O	「出力コンデンサ」セクションに記載されている容量および ESR 要件について、デバイスのピンの近くにコンデンサを配置して GND にブロックします。
露出サーマルパッド		—	サーマルパッドは GND ピンに接続するか、フローティングのままにします。

(1) I = 入力、O = 出力、G = グラウンド、NC = 内部接続なし

5 仕様

5.1 絶対最大定格

動作周囲温度範囲の全体にわたって (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
レギュレートされていない入力電圧	IN ⁽²⁾	-40	45	V
制御された出力電圧	OUT ^{(2) (3)}	-1	45	V
入力と出力との間の電圧差	IN - OUT	-40	45	V
リファレンス電圧	ADJ ⁽²⁾	-0.3	45	V
トラックの帰還入力電圧	FB ⁽²⁾	-1	45	V
基準電圧 - 入力電圧	ADJ - IN ⁽⁴⁾		18	V
動作時の接合部温度、T _J		-40	150	°C
保管温度、T _{stg}		-65	150	°C

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用情况、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値は、GND ピンを基準としたものです。
- (3) 誘導性クランプを保護するため、OUT ピンと GND ピンとの間に 600mA の DC 電流能力を持つ内部ダイオードが接続されています。
- (4) (ADJ - IN) 電圧が 18V を超える場合、(ADJ - OUT) 電圧を 18V より低く維持する必要があります。そうしないと、デバイスが損傷する可能性があります。

5.2 ESD 定格

		値	単位
V _(ESD) 静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾	NC を除くすべてのピン	±4000
		NC ピン	±2000
	デバイス帯電モデル (CDM)、AEC Q100-011 準拠		±1000

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

動作周囲温度範囲の全体にわたって (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
V _{IN}	レギュレートされていない入力電圧 ⁽²⁾	4	40	V
V _{ADJ}	基準入力電圧	2	18	V
V _{FB}	トラックの帰還入力電圧	2	18	V
V _{OUT}	制御された出力電圧	2	40	V
C _{OUT}	出力コンデンサ要件 ⁽³⁾	10	500	μF
	出力 ESR 要件 ⁽⁴⁾	0.001	20	Ω
T _J	動作時接合部温度	-40	150	°C

- (1) デバイスは、機能範囲内では回路の説明に記載されているように動作します。電気的特性は、関連する「電気的特性」表に記載された条件内で規定されています。
- (2) $V_{IN} > V_{ADJ} + V_{DROPOUT}$
- (3) 最小出力容量の要件は、ワーストケースの容量許容誤差 30% に対して適用されます。OUT ピンと FB ピンとの間に抵抗分圧器が接続される場合 (出力電圧が基準電圧より高い)、ループ安定性のために OUT ピンと FB ピンとの間に 47nF のフィードフォワード コンデンサを接続する必要があります。出力コンデンサの ESR 範囲は 0.001 ~ 10Ω の必要があります。
- (4) $f = 10\text{kHz}$ での関連する ESR 値

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS7B4254-Q1		単位
		DDA (HSOIC)		
		8 ピン		
		ASO:ASE ⁽²⁾	ASO:FMX ⁽²⁾	
R _{θJA}	接合部から周囲への熱抵抗	45.4	42.6	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	51.1	57.5	°C/W
R _{θJB}	接合部から基板への熱抵抗	27	17.8	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	8.2	5.6	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	26.9	17.9	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	6.4	7.5	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。
(2) ASO に関する詳細については、命名規則の表を参照してください。

5.5 電気的特性

特に記述のない限り、V_{IN} = 13.5V、T_{ADJ} = ≥ 2V、T_J = -40°C ~ 150°C、動作周囲温度範囲の全体

パラメータ	テスト条件	最小値	標準値	最大値	単位
V _{IN(UVLO)} IN 低電圧検出	V _{IN} 立ち上がり			3.65	V
	V _{IN} 立ち下がり			2.8	V
ΔV _{OUT} 出力電圧のトラッキング精度 ⁽¹⁾	I _{OUT} = 100μA ~ 150mA、V _{IN} = 4 ~ 40V V _{ADJ} < V _{IN} - 1V 2V < V _{ADJ} < 18V	-4		4	mV
ΔV _{OUT(ΔIO)} 負荷レギュレーション、定常状態	I _{OUT} = 0.1 ~ 150mA、V _{ADJ} = 5V			4	mV
ΔV _{OUT(ΔVI)} ライン レギュレーション、定常状態	I _{OUT} = 10mA、V _{IN} = 6 ~ 40V、V _{ADJ} = 5V			4	mV
PSRR 電源リップル除去	F _{rip} = 100Hz、V _{rip} = 0.5VPP、C _{OUT} = 10μF、I _{OUT} = 100mA		70		dB
V _{DROPOUT} ドロップアウト電圧 (V _{DROPOUT} = V _{IN} - V _{OUT})	I _{OUT} = 100mA、V _{IN} = V _{ADJ} ≥ 4V ⁽²⁾		160	260	mV
I _{OUT(LIM)} 出力電流制限	V _{ADJ} = 5V、OUT が GND に短絡	151	450	520	mA
I _{R(IN)} IN での逆電流	V _{IN} = 0V、V _{OUT} = 40V、V _{ADJ} = 5V	-2		0	μA
I _{R(-IN)} 負の IN での逆電流	V _{IN} = -40V、V _{OUT} = 0V、V _{ADJ} = 5V	-10			μA
T _{SD} サーマル シャットダウン温度			175		°C
T _{SD_hys} サーマル シャットダウン ヒステリシス			15		°C
I _Q 消費電流	4V ≤ V _{IN} ≤ 40V、V _{ADJ} = 0V		2	4	μA
	4V ≤ V _{IN} ≤ 40V、V _{ADJ} = 5V、I _{OUT} < 100μA		60	100	μA
	4V ≤ V _{IN} ≤ 40V、V _{ADJ} = 5V、I _{OUT} < 150mA		210	260	μA
I _{Q(DROPOUT)} ドロップアウト領域での消費電流	V _{IN} = V _{ADJ} = 5V、I _{OUT} = 100μA		70	140	μA
I _{ADJ} 基準入力電流	V _{ADJ} = V _{FB} = 5V			5.5	μA
V _{ADJ(LOW)} 基準 Low 信号が有効	V _{OUT} = 0V	0		0.7	V
V _{ADJ(HIGH)} 基準 High 信号が有効	V _{OUT} - V _{ADJ} < 4mV	2		18	V
I _{FB} FB バイアス電流	V _{ADJ} = V _{FB} = 5V			0.5	μA

- (1) トラッキング精度は、FB ピンが OUT ピンに直接接続されているときに規定されます。すなわち V_{ADJ} = V_{OUT} で、外付け抵抗分圧器のばらつきは含まれません。

(2) 出力電圧 V_{OUT} が公称値から 10mV 低下したときに測定されます。

5.6 代表的特性

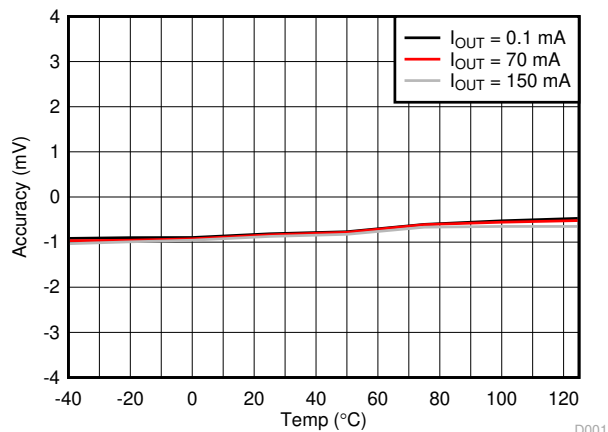


図 5-1. トラッキング精度と周囲温度との関係

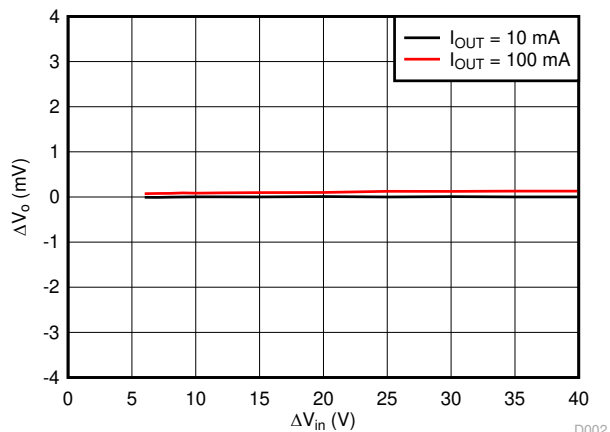


図 5-2. ライン レギュレーション

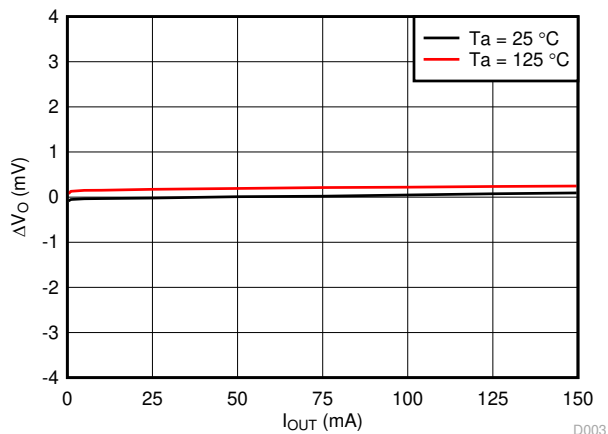


図 5-3. ロード レギュレーション

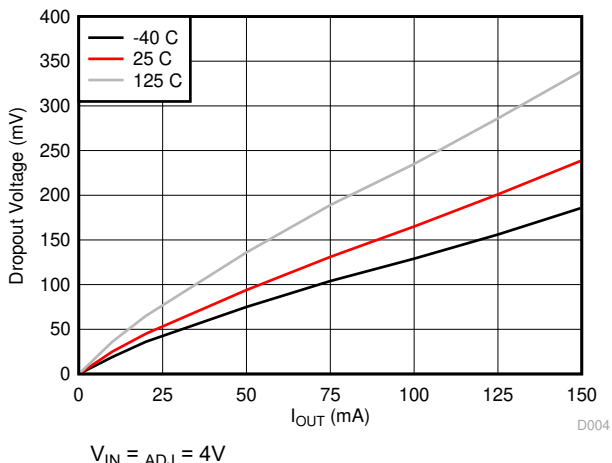


図 5-4. ドロップアウト電圧と出力電流との関係

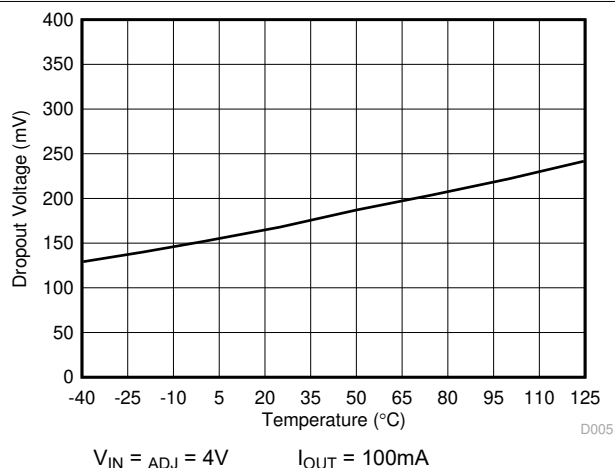


図 5-5. ドロップアウト電圧と周囲温度との関係

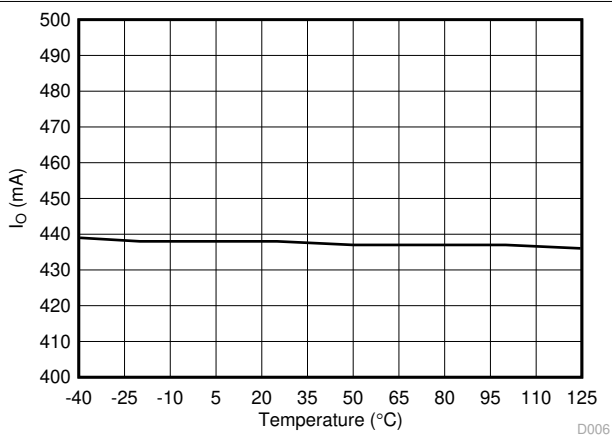


図 5-6. 電流制限 ($I_{OUT(LIM)}$) と周囲温度との関係

5.6 代表的特性 (続き)

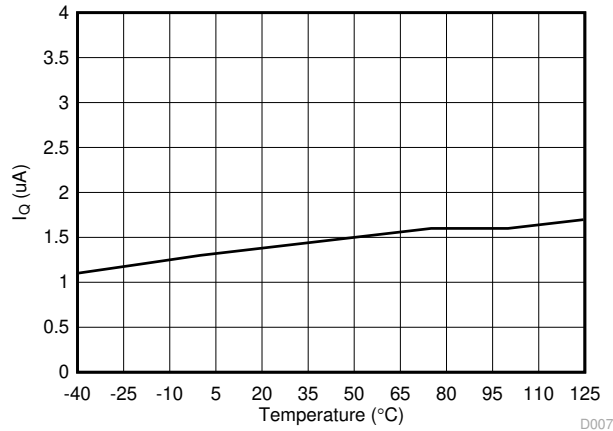


図 5-7. シャットダウン電流と周囲温度との関係

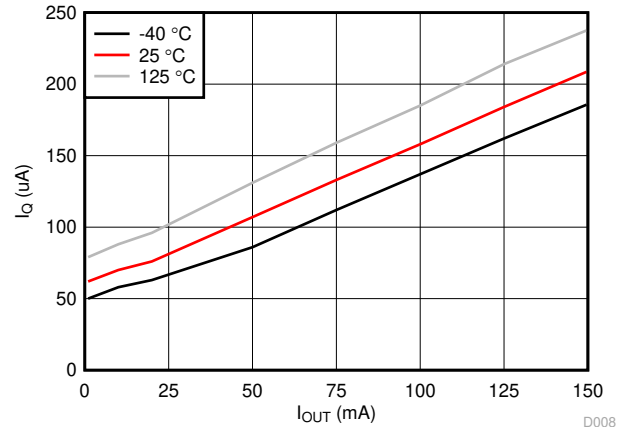


図 5-8. 静止電流と出力電流との関係

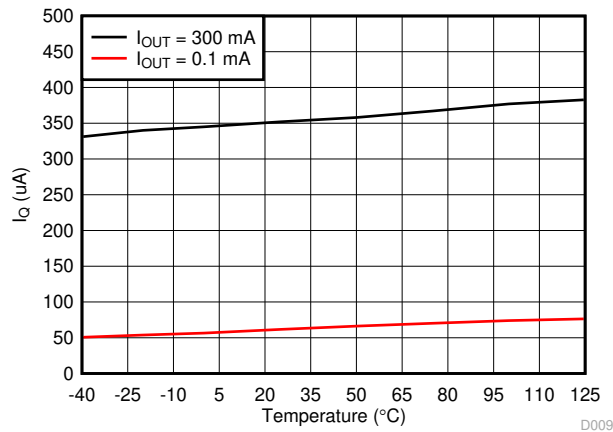
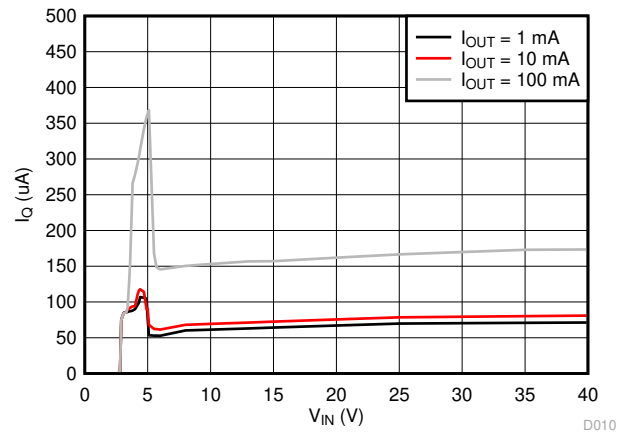


図 5-9. 静止電流と周囲温度の関係



$V_{ADJ} = 5V$

図 5-10. 静止電流と入力電圧との関係

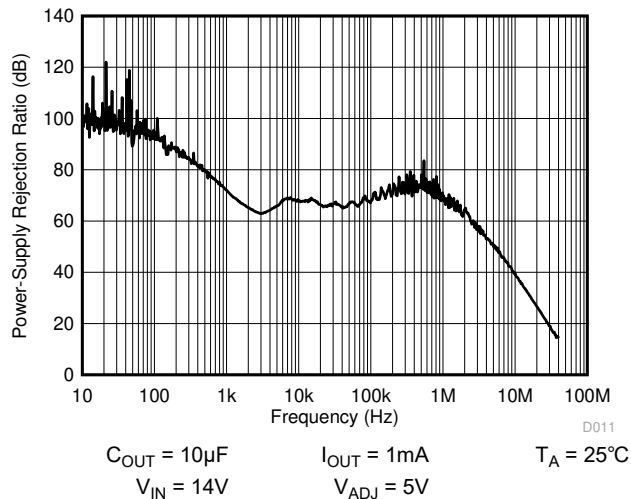


図 5-11. PSRR

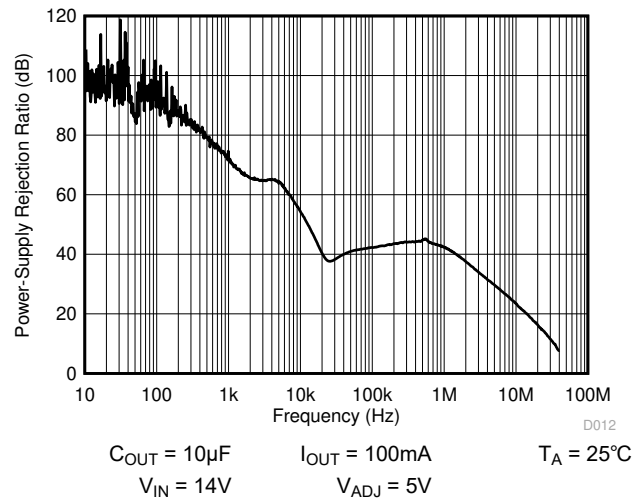


図 5-12. PSSR

5.6 代表的特性 (続き)

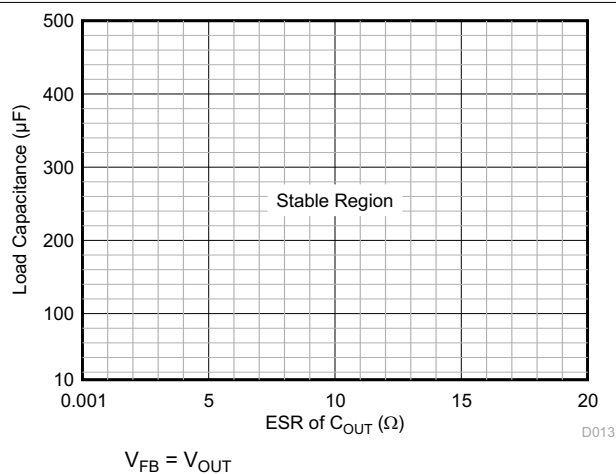


図 5-13. ESR 安定性と負荷容量との関係

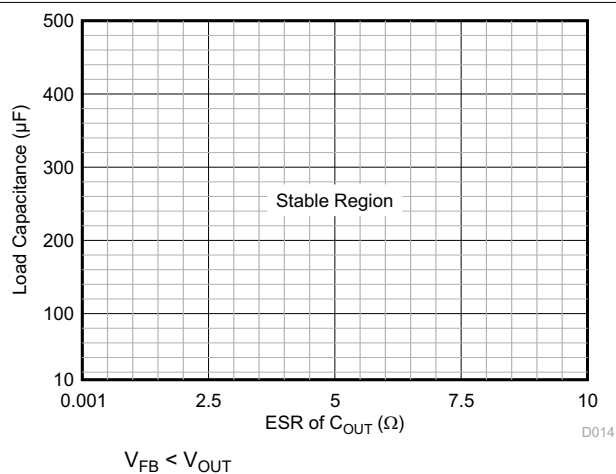


図 5-14. ESR 安定性と負荷容量との関係

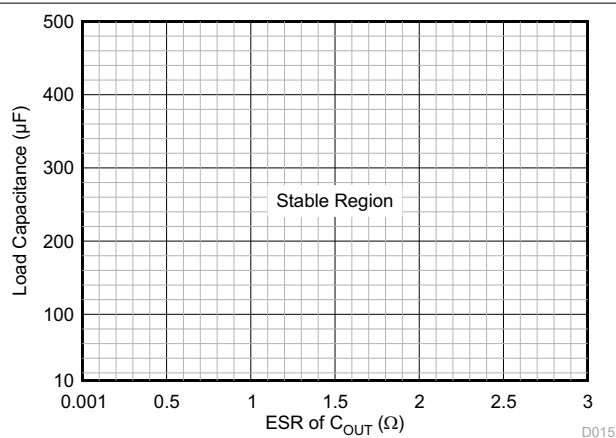


図 5-15. ESR 安定性と負荷容量との関係 (複数の出力コンデンサを並列接続)

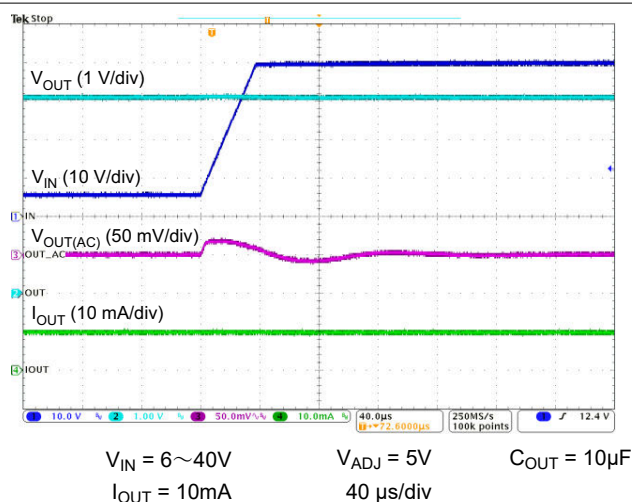


図 5-16. 6V ~ 40V へのライン過渡

5.6 代表的特性 (続き)

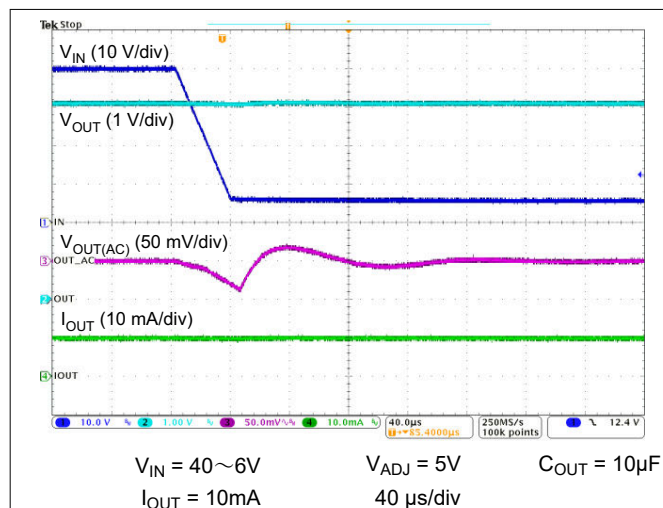


図 5-17. 40V ~ 6V へのライン過渡

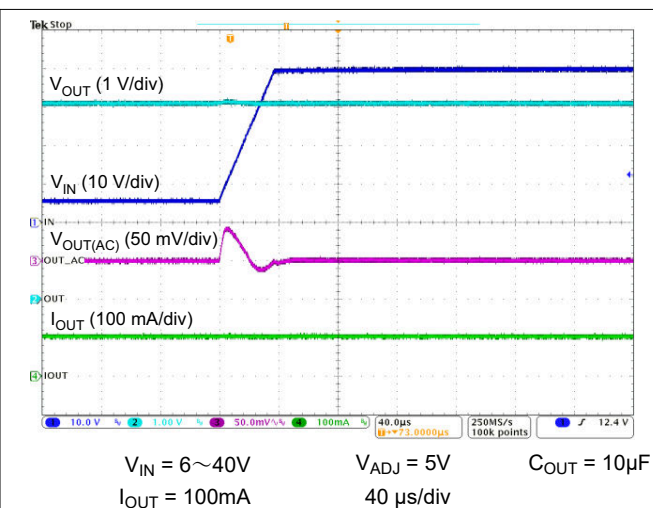


図 5-18. 6V ~ 40V へのライン過渡

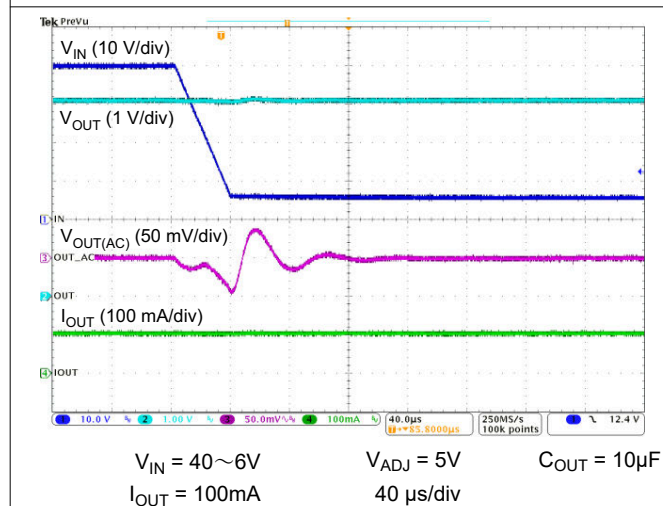


図 5-19. 40V ~ 6V へのライン過渡

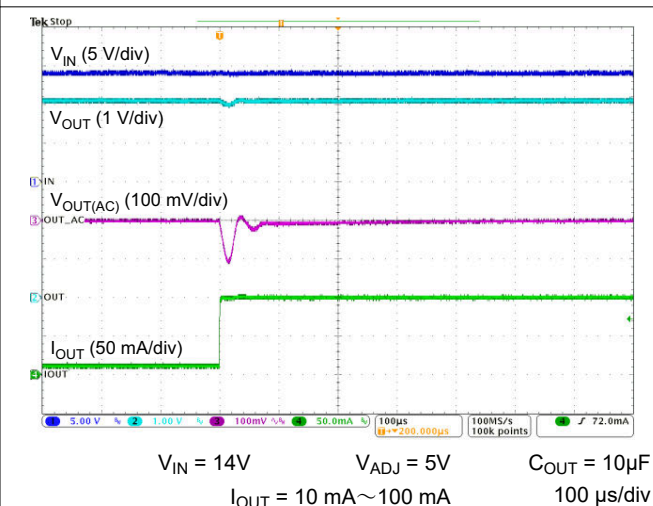


図 5-20. 10V から 100mA への負荷過渡

5.6 代表的特性 (続き)

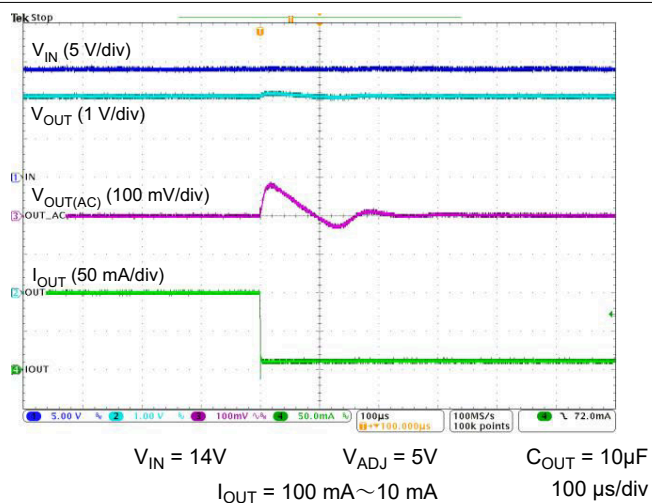


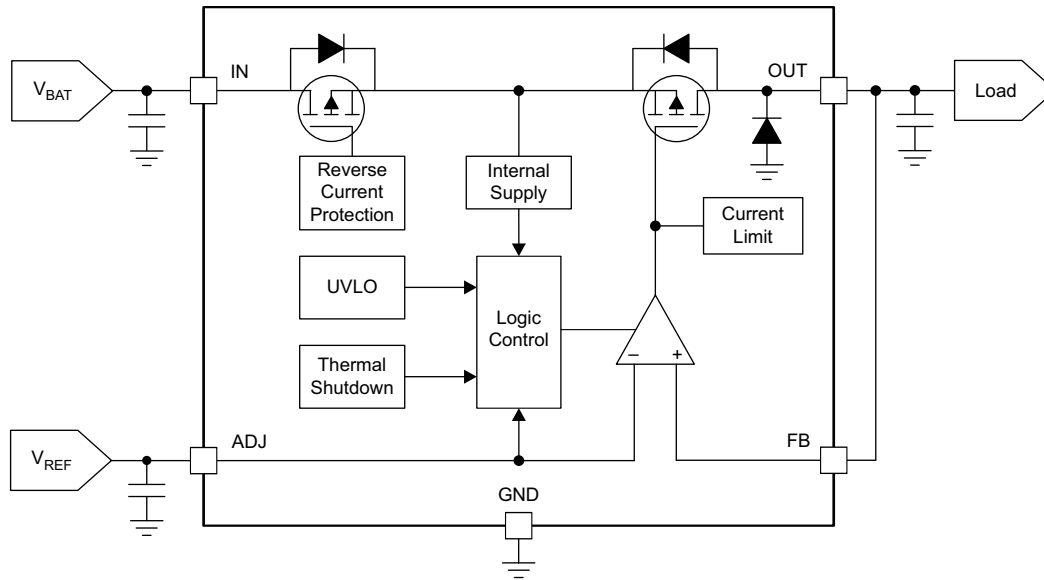
図 5-21. 100mA ~ 10mA の負荷過渡

6 詳細説明

6.1 概要

TPS7B4254-Q1 は、トラッキング許容誤差が非常に小さい、モノリシック統合型の低ドロップアウト電圧トラッカーです。本デバイスには、出力電流制限、逆極性保護、誘導性負荷クランプ、出力からバッテリーへの短絡保護、過熱イベント発生時のサーマル シャットダウンなどの重要な保護回路が組み込まれています。

6.2 機能ブロック図



6.3 機能説明

6.3.1 短絡および過電流保護

TPS7B4254-Q1 デバイスにはフォルト保護機能が組み込まれているため、車載アプリケーションに最適な選択肢です。特定のフォルト状況でデバイスを安全な動作領域に維持するため、内部の電流制限保護機能により最大出力電流が制限されます。この制限により、過剰な電力消費からデバイスが保護されます。たとえば、出力短絡状態のとき、パス素子を流れる電流が $I_{OUT(LIM)}$ に制限され、過剰な電力消費からデバイスを保護します。

6.3.2 内蔵の誘導性クランプ保護

出力のターンオフ中、ケーブルのインダクタンスはデバイスの出力から電流を供給し続けます。本デバイスは、ケーブルに蓄積された誘導性エネルギーを放散するのに役立つよう、OUT ピンに誘導性クランプを内蔵しています。誘導性クランプ保護のため、OUT ピンと GND ピンとの間に、600mA の DC 電流能力を持つ内部ダイオードが接続されています。

6.3.3 OUT からバッテリーへの短絡および逆極性保護

TPS7B4254-Q1 デバイスは、図 6-1 に示すように、出力のバッテリーへの短絡に耐えられます。そのため、デバイスの損傷は発生しません。

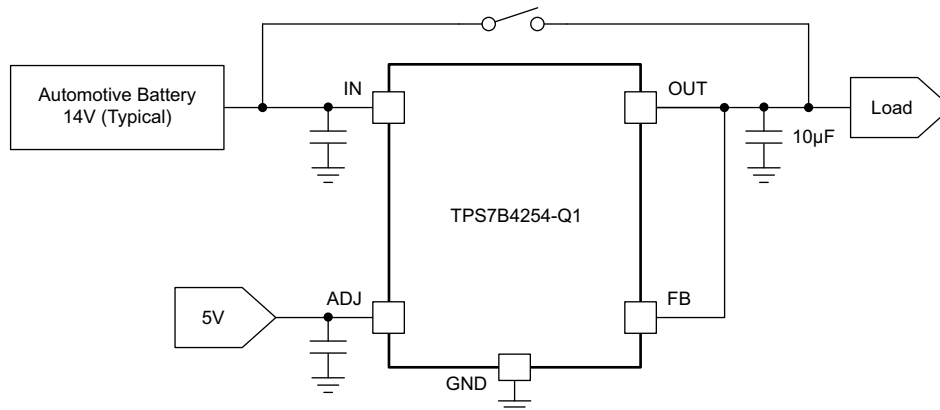


図 6-1. OUT からバッテリーへの短絡、 $V_{IN} = V_{BAT}$

図 6-2 に示すように、低電圧の絶縁型電源からデバイスに電力を供給しているときも、バッテリーへの短絡が発生する可能性があります。この場合、TPS7B4254-Q1 の電源入力電圧は 7V に設定されているとき、5V で動作する OUT ピンでバッテリー (標準値 14V) への短絡が発生します。内部の双方向 PMOS は 1ms にわたってオンのままで、その間に TPS7B4254-Q1 デバイスの入力電圧がバッテリー電圧まで充電されます。DC-DC コンバータの後ろに接続された他の負荷が車載用バッテリーの電圧に耐えられない場合には、DC-DC コンバータの出力と TPS7B4254-Q1 デバイスの入力との間に、ダイオードを接続する必要があります。ドロップアウト電圧を低い値にするため、ショットキー ダイオードを使用することを TI は推奨します。DC-DC コンバータの出力と、コンバータに電力を供給する負荷が、車載用バッテリーの電圧に耐えられる場合、このダイオードは不要です。

逆極性、またはバッテリーへの短絡が 1ms にわたって発生すると、内部の双方向 PMOS はオフになります。その後で、IN ピンを流れる逆電流は 10µA 未満になります。一方で、入力に特別な ESD 構造を実装しているため、デバイスは -40V に耐えることができます。

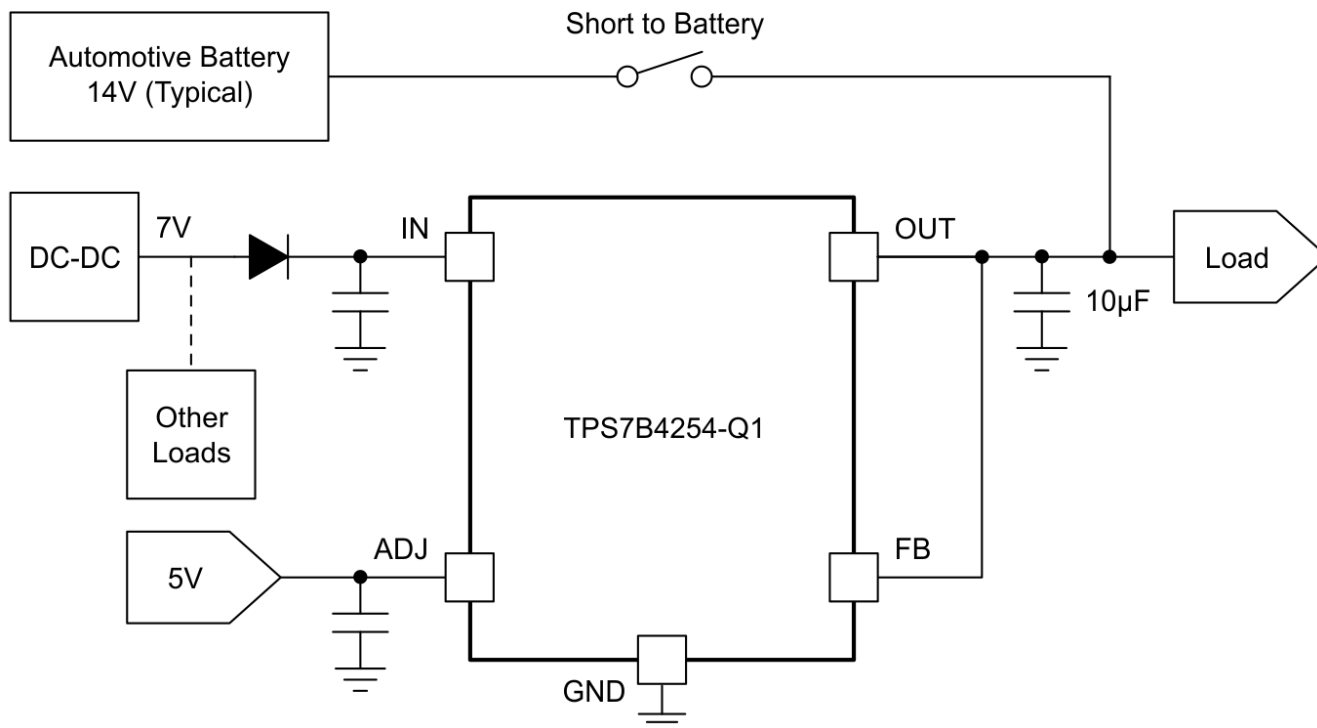


図 6-2. OUT からバッテリーへの短絡、 $V_{IN} < V_{BAT}$

ほとんどの場合、TPS7B4254-Q1 デバイスの出力は車載用ケーブルを介してバッテリーに短絡します。バッテリーへの短絡が発生すると、ケーブルの寄生インダクタンスによって TPS7B4254-Q1 デバイスの出力で LC 発振が発生します。TPS7B4254-Q1 デバイスの出力のピーク電圧は、LC 発振中にも絶対最大電圧定格 (45V) より低くなる必要があります。

6.3.4 低電圧シャットダウン

デバイスには低電圧シャットダウン スレッショルドがあり、この値は内部的に固定されています。低電圧シャットダウンは、IN の入力電圧が UVLO を下回ると動作します。これにより、入力電源電圧が低いときにレギュレータが未知の状態にラッチされることが防止されます。入力電圧に負の過渡電圧が生じて UVLO スレッショルドを下回り、その後で回復した場合、レギュレータはいったんシャットダウンした後、入力電圧が必要なレベル以上であるなら、通常の電源オンシーケンスで再度オンになります。

6.3.5 過熱保護

本デバイスには、過熱保護のためにサーマル シャットダウン (TSD) 回路が組み込まれています。連続の通常動作では、接合部温度が TSD トリップ ポイントを超えないようにする必要があります。接合部温度が TSD トリップ ポイントを超えると、出力はオフになります。接合部温度が TSD トリップ・ポイントよりも 15°C (標準値) 低くなると、出力がオンになります。

注

TPS7B4254-Q1 デバイスの内部保護回路の目的は、過負荷状態からの保護で、適切なヒートシンクの代わりになるものではありません。サーマル シャットダウンが作動するまで使用し続けると、デバイスの信頼性が低下します。

6.3.6 レギュレートされた出力 (OUT)

OUT ピンは、必要な電圧に基づいてレギュレートされる出力です。この出力には電流制限があります。レギュレータにはソフトスタート機能が組み込まれており、パス素子に流れる初期電流を制御します。

6.3.7 可変出力電圧 (FB および ADJ)

6.3.7.1 基準電圧と等しい OUT 電圧

図 6-3 に示すように、ADJ ピンに基準電圧を直接印加し、FB ピンを OUT ピンに接続すると、OUT ピンの電圧は ADJ ピンの基準電圧と等しくなります。

$$V_{OUT} = V_{ADJ} \quad (1)$$

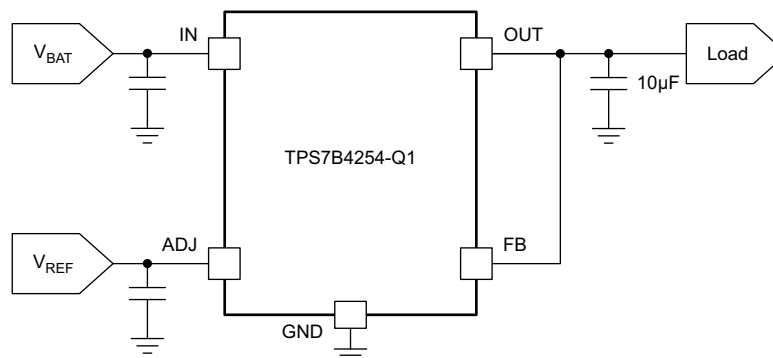


図 6-3. 基準電圧と等しい OUT 電圧

6.3.7.2 基準電圧より高い OUT 電圧

OUT ピンと FB ピンとの間に外付け抵抗分圧器を接続することで、図 6-4 に示すように基準電圧よりも高い出力電圧を生成できます。出力電圧の値を計算するには、式 2 を使用します。R1 および R2 の推奨範囲は 10kΩ ~ 100kΩ です。

$$V_{OUT} = V_{ADJ} \times \left(1 + \frac{R1}{R2}\right) \quad (2)$$

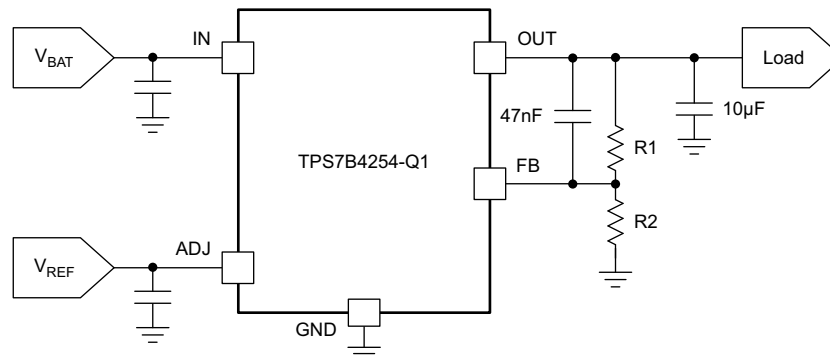


図 6-4. 基準電圧より高い OUT 電圧

6.3.7.3 基準電圧より低い出力電圧

ADJ ピンに接続された外付け抵抗分圧器を使用すると、図 6-5 に示すように基準電圧よりも低い出力電圧を生成できます。出力電圧を計算するには、式 3 を使用します。R1 と R2 の両方の推奨値は 100kΩ 未満です。

$$V_{OUT} = V_{REF} \times \frac{R2}{R1 + R2} \quad (3)$$

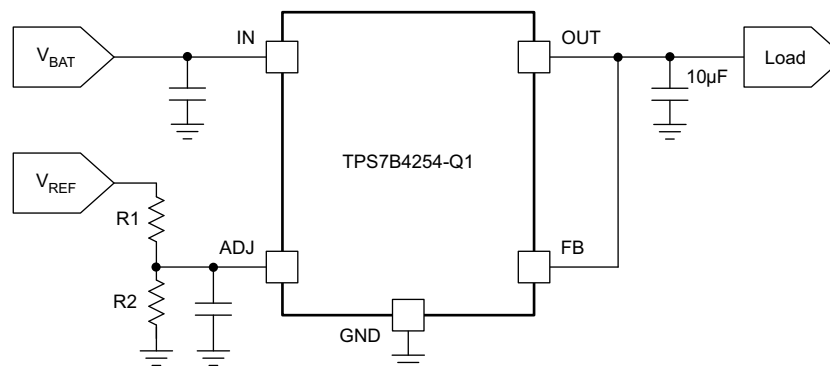


図 6-5. 基準電圧より低い OUT 電圧

6.4 デバイスの機能モード

6.4.1 $V_{IN} < 4V$ での動作

最大 UVLO 電圧は 3.65V で、本デバイスは一般に 4V を超える入力電圧で動作します。デバイスは、より低い入力電圧でも動作できます。UVLO 電圧の最小値は規定されていません。実際の UVLO 電圧より低い入力電圧では、デバイスは動作しません。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

TPS7B4254-Q1 デバイスは、150mA の低ドロップアウトのトラッキング レギュレータで、トラッキング許容誤差が非常に小さくなっています。PSpice トランジェントモデルは、製品フォルダからダウンロードでき、デバイスの基本機能を評価するために使用できます。

7.2 代表的なアプリケーション

7.2.1 出力電圧が基準電圧と等しいアプリケーション

図 7-1 に、TPS7B4254-Q1 デバイスの代表的なアプリケーション回路を示します。エンドアプリケーションによっては、値の異なる外付けコンポーネントを使用できます。アプリケーションでは、出力電圧の大きな降下を防止するために、高速負荷ステップにおいて、より大きな出力コンデンサが必要になる場合があります。TI は、タイプ X5R または X7R の誘電体を使用した低 ESR のセラミック コンデンサをお勧めします。

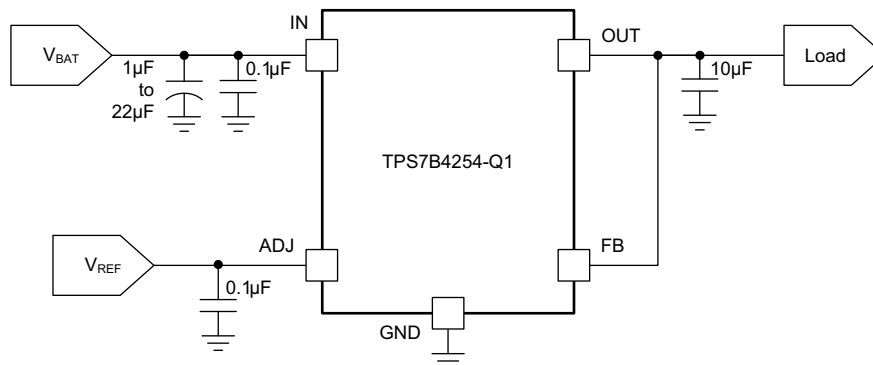


図 7-1. 基準電圧と等しい出力電圧

7.2.1.1 設計要件

この設計例では、表 7-1 に記載されているパラメータを入力パラメータとして使用します。

表 7-1. 設計パラメータ

設計パラメータ	数値の例
入力電圧	4V ~ 40V
出力電圧	2V ~ 40V
ADJ 電圧	2V ~ 18V
出力コンデンサ	10µF ~ 500µF
出力コンデンサの ESR 範囲	0.001Ω ~ 20Ω

7.2.1.2 詳細な設計手順

設計プロセスを開始するには、以下を決定する必要があります。

- 入力電圧範囲
- 出力電圧
- リファレンス電圧

- 出力電流
- 電流制限

7.2.1.2.1 入力コンデンサ

デバイスには入力デカップリング コンデンサが必要で、その値はアプリケーションによって異なります。デカップリング コンデンサの代表的な推奨値は $10\mu\text{F}$ で、 $0.1\mu\text{F}$ のセラミック パイパス コンデンサを並列に接続します。電圧定格は、最大入力電圧よりも大きい必要があります。

7.2.1.2.2 出力コンデンサ

安定した動作のため、TPS7B4254-Q1 デバイスには $10\mu\text{F}$ から $500\mu\text{F}$ までの範囲の出力コンデンサが必要で、FB ピンが OUT ピンに直接接続されている場合、ESR 範囲は $0.001\Omega \sim 20\Omega$ です。TI は、負荷トランジェント応答を改善するため、低 ESR のセラミック コンデンサをお勧めします。

基準電圧より高い出力電圧を実現するため、OUT ピンと FB ピンとの間に抵抗分圧器を接続します。この場合、ループの安定性のため、OUT ピンと FB ピンとの間に 47nF のフィードフォワード コンデンサを接続する必要があります。出力コンデンサの ESR は、 $0.001\Omega \sim 10\Omega$ にする必要があります。

複数のコンデンサ (2 つ以上) を OUT ピンで並列に接続する場合、ループの安定性のため、各出力コンデンサの ESR 範囲を $0.001\Omega \sim 3\Omega$ にする必要があります。

FB ピンがグランドに短絡した場合、TPS7B4254-Q1 デバイスはパワー スイッチとして機能し、出力コンデンサを必要としません。

7.2.1.3 アプリケーション曲線

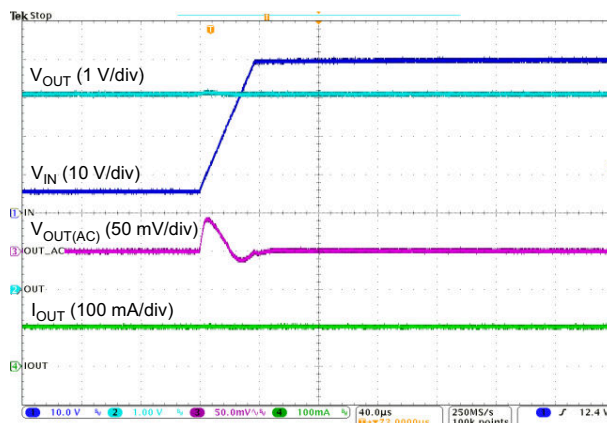


図 7-2. 6V ~ 40V へのライン過渡

7.2.2 高精度 LDO

TPS7B4254-Q1 デバイスには高精度の電圧レールがあるため、図 7-3 に示すように構成することで、非常に高精度の出力電圧を持つ LDO として使用できます。

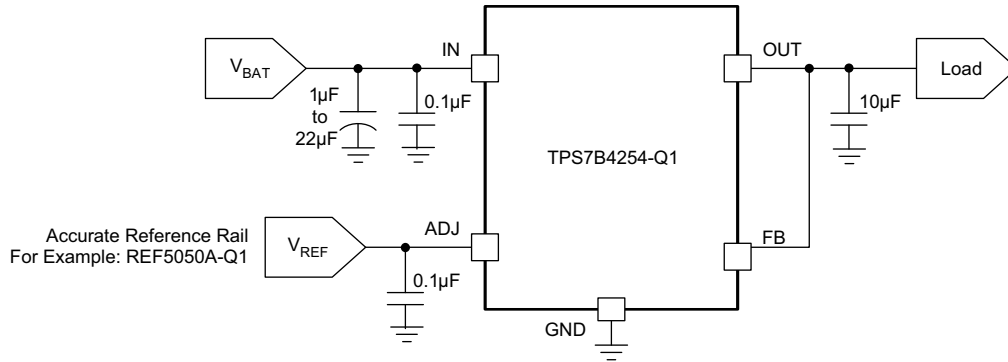


図 7-3. 高精度 LDO アプリケーション

たとえば、基準電圧が 0.1% 精度の 5V レールであると仮定します。ADJ ピンと OUT ピンとの間のトラッキング精度は全温度範囲にわたって 4mV 未満と規定されているため、TPS7B4254-Q1 デバイスの出力精度は式 4 で計算できます。

$$\text{Accuracy of } V_{\text{OUT}} = \frac{V_{\text{ADJ}} \times 0.1\% + 4 \text{ mV}}{V_{\text{OUT}}} \times 100\% = \frac{5 \times 0.1\% + 0.004}{5} \times 100\% = 0.18\% \quad (4)$$

7.3 電源に関する推奨事項

本デバイスは、4V ~ 40V の入力電源電圧範囲で動作するように設計されています。この入力電源には適切なレギュレーションが行われる必要があります。TI は、入力電源が TPS7B4254-Q1 から数インチ以上離れている場合、10µF の電解コンデンサとセラミックのバイパスコンデンサを入力に追加することを推奨します。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

TPS7B4254-Q1 デバイスのレイアウトでは、「機能ブロック図」に示すように、入力および出力コンデンサをデバイスの近くに配置してください。TI は、熱性能を向上させるために、デバイス周囲に複数のビアを配置することを推奨します。性能を最大化し、安定性を保証するため、等価直列インダクタンス (ESL) および ESR を最小化します。各コンデンサは可能な限りデバイスに近く、PCB 上でレギュレータと同じ面に配置します。

PCB 上でレギュレータが設置されている面と反対の面にコンデンサを配置しないでください。TI は、出力コンデンサと OUT ピン間のバスにビアや長いトレースを使用することを強く非推奨します。ビアがシステムの性能に悪影響を及ぼし、不安定さを引き起こす可能性があるためです。

7.4.2 レイアウト例

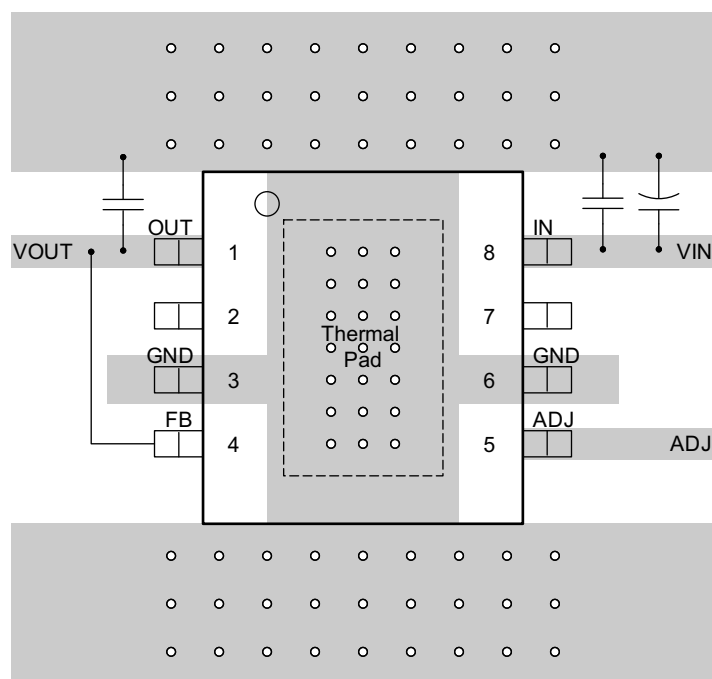


図 7-4. TPS7B4254-Q1 のレイアウト例

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 デバイスの命名規則

表 8-1. デバイスの命名規則

製品名	V _{OUT}
TPS7B4254QyyyRQ1	<p>Q は、AEC-Q100 規格のグレード 1 に準拠したデバイスであることを表すものです。</p> <p>yyy はパッケージ指定子です (DDA = HSOIC)。</p> <p>Q1 は、車載グレード (AEC-Q100) デバイスであることを表すものです。</p> <p>このデバイスには、複数のリードフレームが付属している可能性があります。リール包装ラベルには、使用されているリードフレームを識別するための ASO 情報が記載されています。ASO:FMX ラベルは、新しい製造サイトおよび ASO からの材料を示します。ASE ラベルは、従来の製造サイトからの材料を示します。</p>

8.1.2 開発サポート

TPS7B4254-Q1 の PSpice トランジェント モデルについては、をご覧ください。

8.2 ドキュメントのサポート

8.2.1 関連資料

- テキサス・インスツルメンツ、[『TPS7B4254-Q1 Functional Safety FIT Rate, FMD and Pin FMA』](#)データシート

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ **E2E™** サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.5 商標

PowerPAD™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (June 2016) to Revision C (November 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• ドキュメント全体で「SO」を「HSOIC」に変更	1
• 「特長」セクションの車載用固有の箇条書きを変更	1
• 「熱に関する情報」表を更新し、複数の製造サイト (ASE、FMX) で生産されている DDA パッケージの熱に関する情報を追加.....	5
• 「デバイスの命名規則」セクションを更新し、DDA 材料がどこのアセンブリ サイトのものを区別する方法について説明する注を追加.....	19
• 機械的図面を DDA0008J から DDA0008J-C02 に更新.....	21

Changes from Revision A (May 2016) to Revision B (June 2016)	Page
• 「推奨動作条件」表で、 V_{ADJ} 、 V_{FB} 、 V_{OUT} の最小値を変更.....	4

10 メカニカル、パッケージ、および注文情報

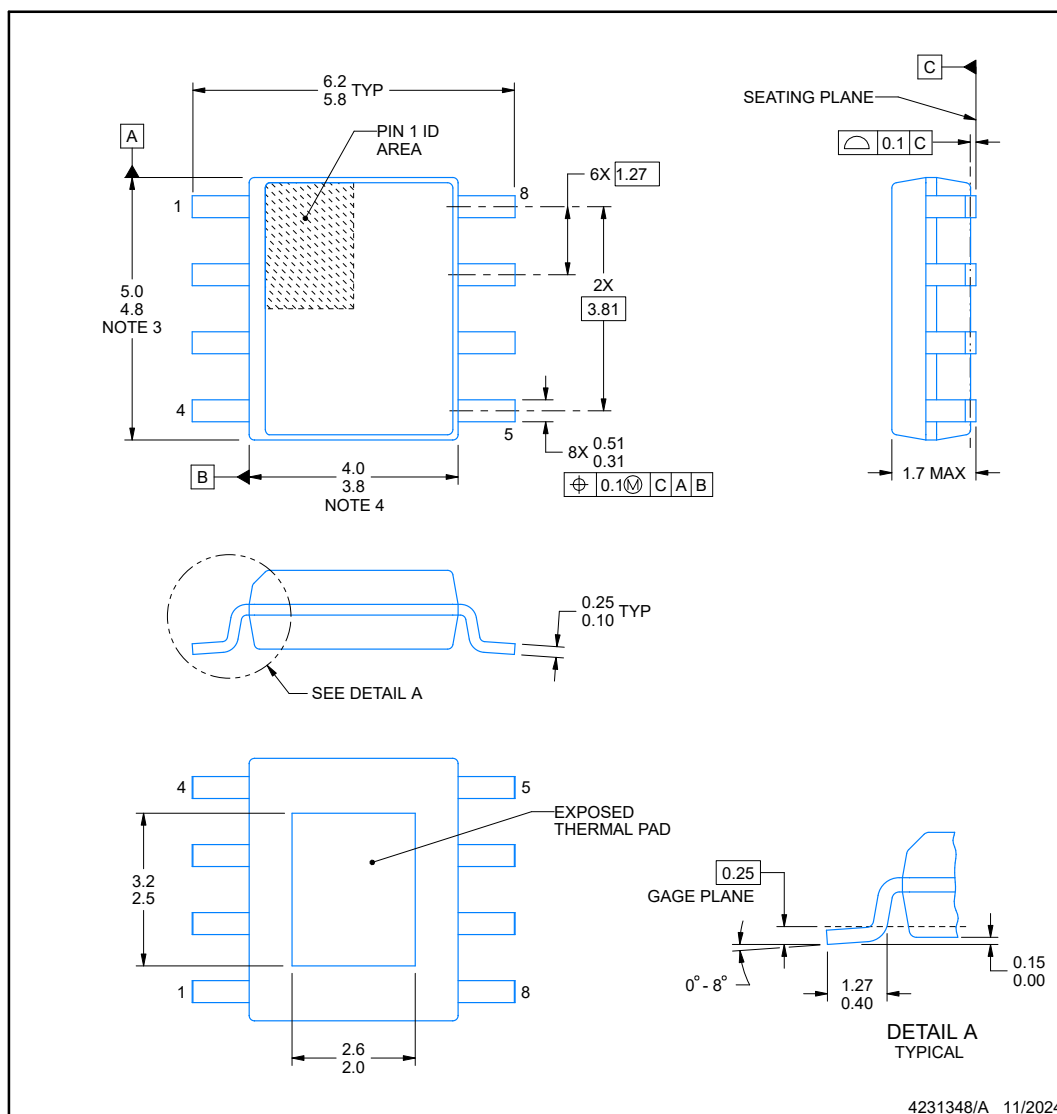
以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントの改訂を伴わない場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

10.1 メカニカル データ

DDA0008J-C02 PACKAGE OUTLINE

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



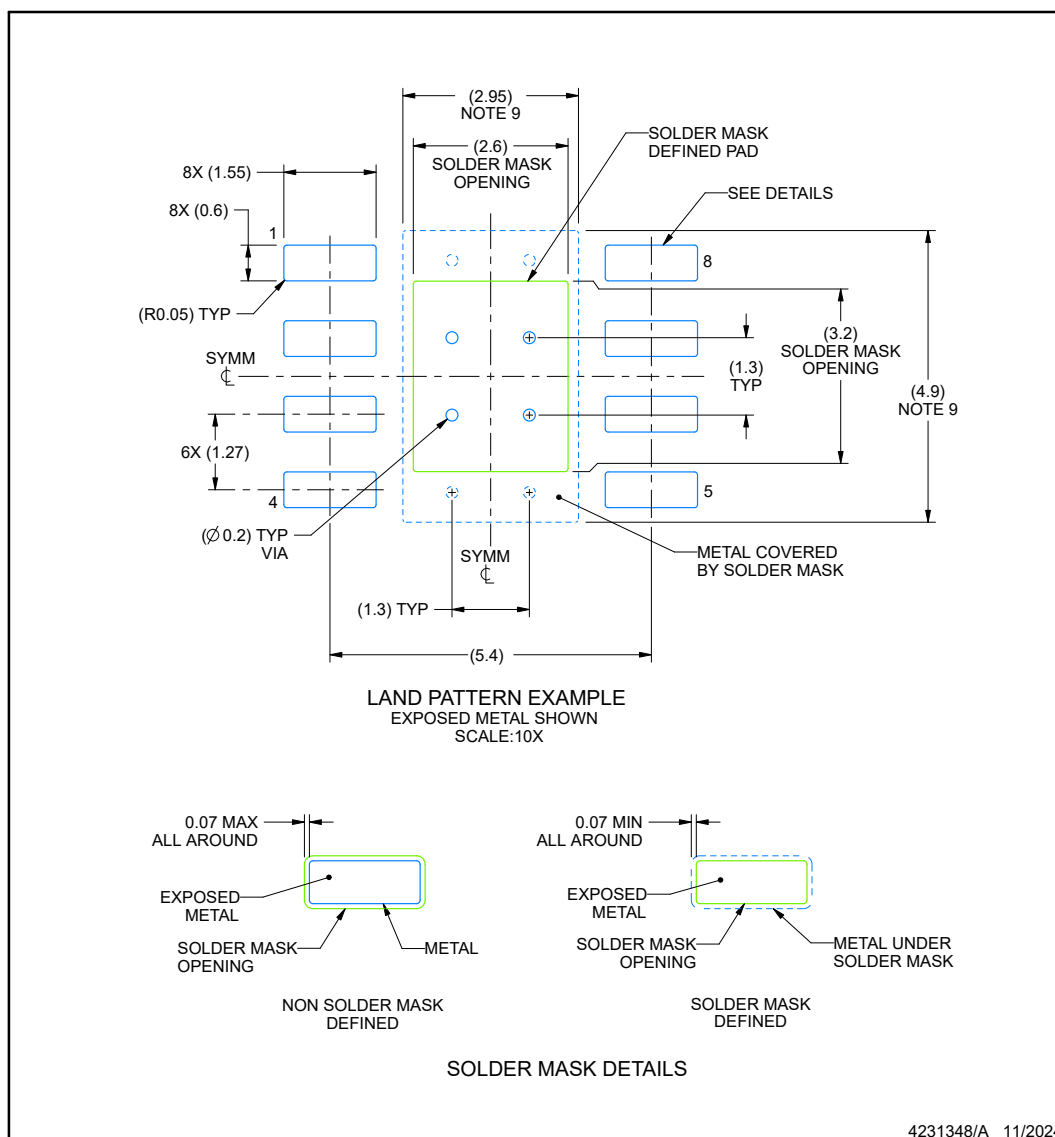
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012, variation BA.

EXAMPLE BOARD LAYOUT**DDA0008J-C02****PowerPAD™ SOIC - 1.7 mm max height**

PLASTIC SMALL OUTLINE



NOTES: (continued)

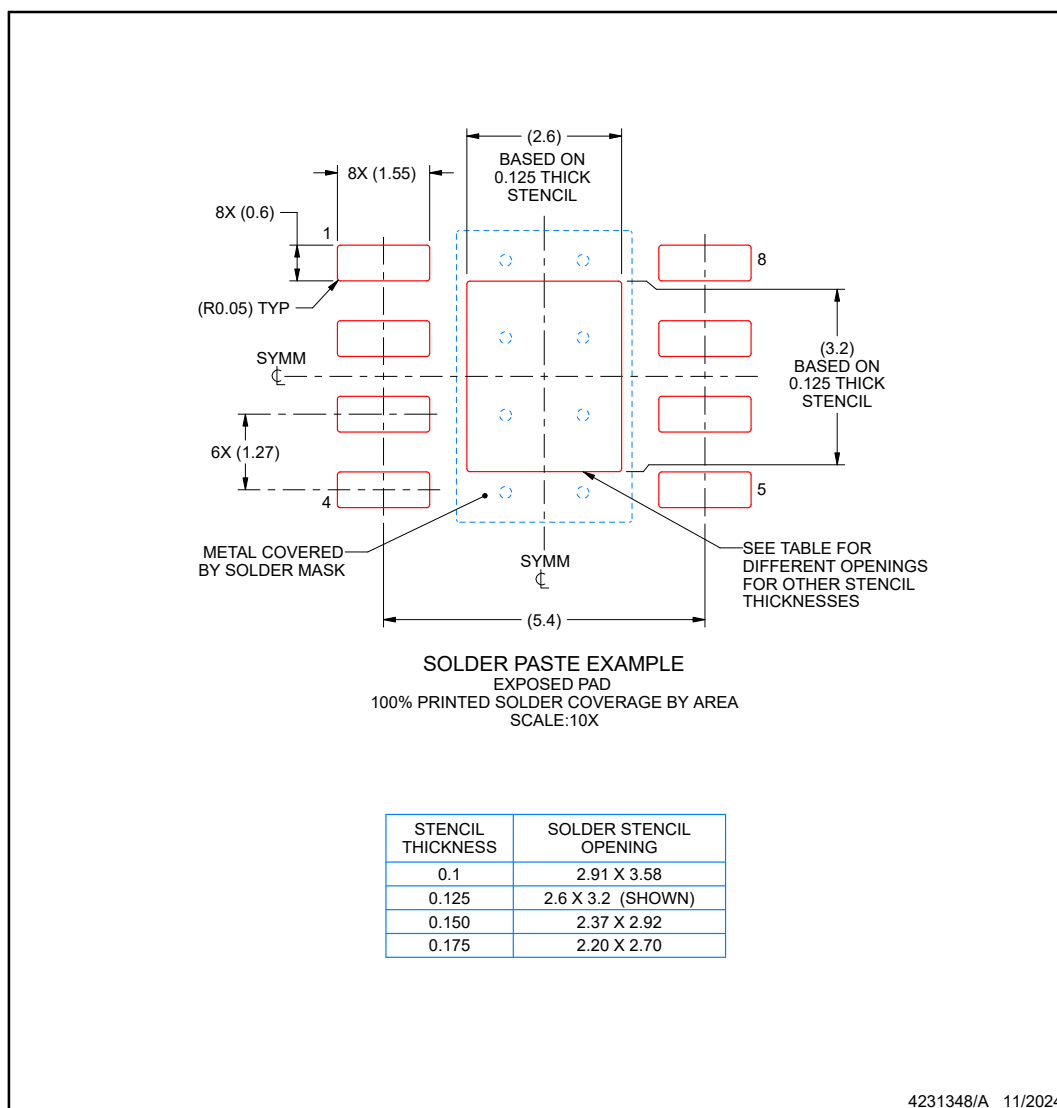
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DDA0008J-C02

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7B4254QDDARQ1	Active	Production	SO PowerPAD (DDA) 8	2500 LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	4254
TPS7B4254QDDARQ1.A	Active	Production	null (null)	2500 LARGE T&R	-	NIPDAUAG	Level-2-260C-1 YEAR	See TPS7B4254QDDARQ1	4254

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7B4254QDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.8	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



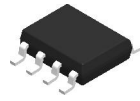
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7B4254QDDARQ1	SO PowerPAD	DDA	8	2500	366.0	364.0	50.0



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

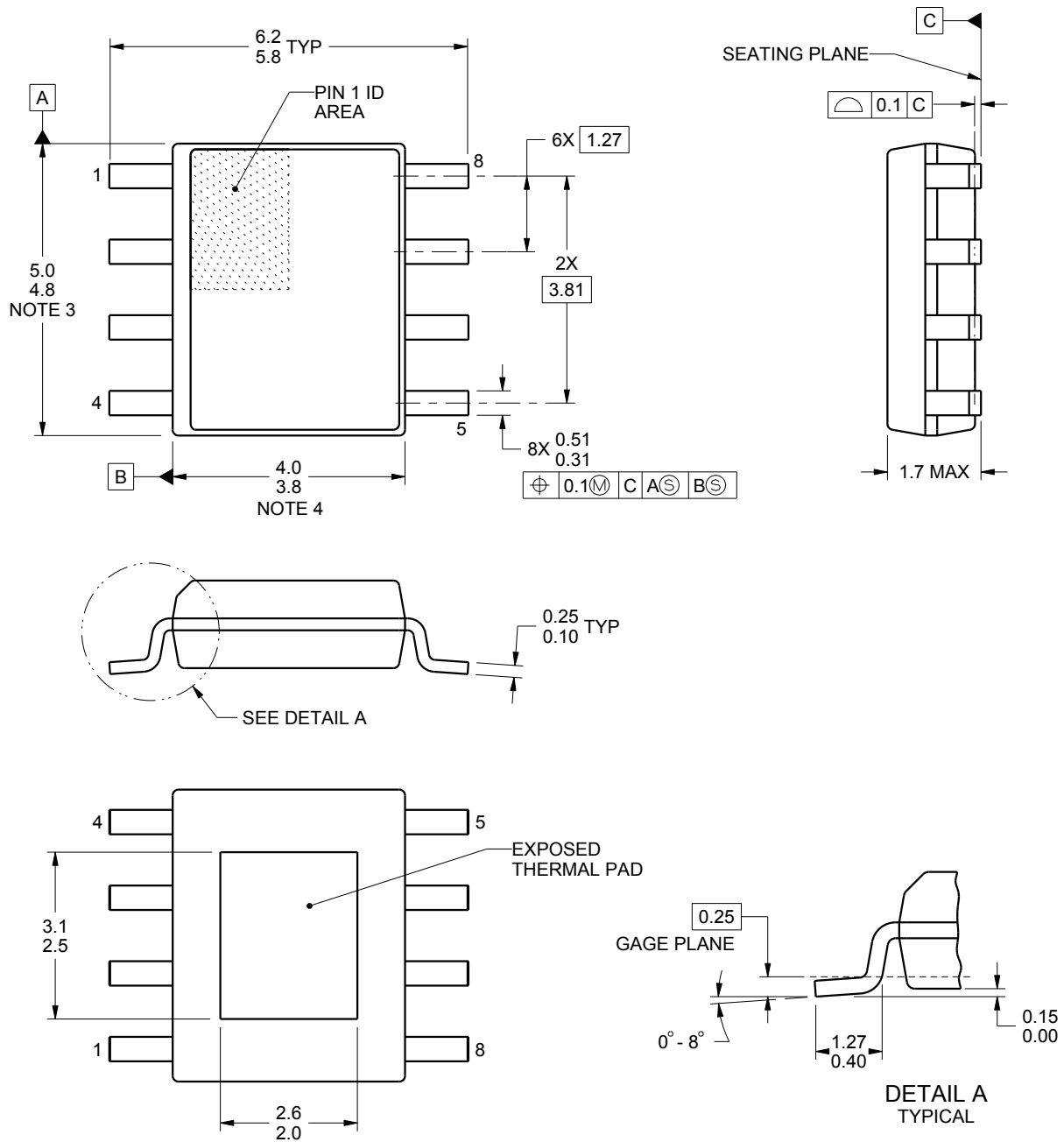
DDA0008J



PACKAGE OUTLINE

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



4221637/B 03/2016

PowerPAD is a trademark of Texas Instruments.

NOTES:

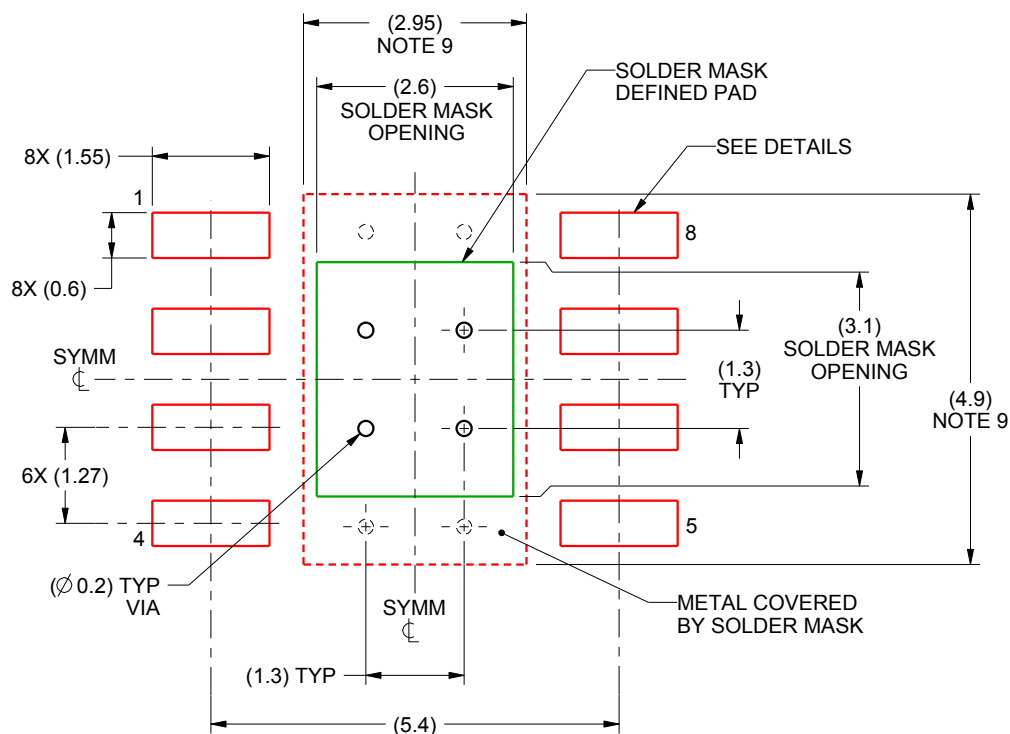
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012, variation BA.

EXAMPLE BOARD LAYOUT

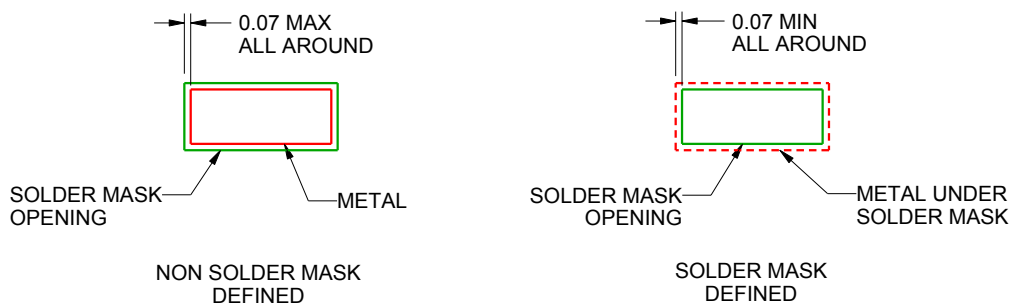
DDA0008J

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS

4221637/B 03/2016

NOTES: (continued)

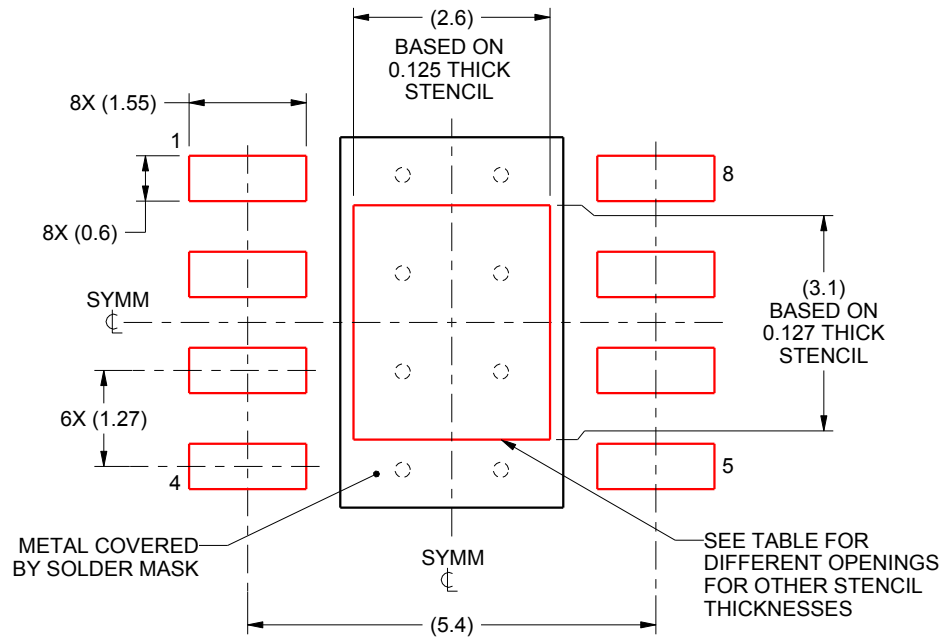
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DDA0008J

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.91 X 3.47
0.125	2.6 X 3.1 (SHOWN)
0.150	2.37 X 2.83
0.175	2.20 X 2.62

4221637/B 03/2016

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月