

# TPS7B4253-Q1 トラッキング許容誤差 4mV、車載用、300mA、40V、電圧トラッキング LDO

## 1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度グレード 1: -40°C ~ +125°C,  $T_A$
  - デバイス HBM ESD 分類レベル 3A
  - デバイス CDM ESD 分類レベル C6
- 幅広い入力電圧範囲: -40V ~ 45V (最大)
- 出力電圧は以下のように調整:
  - 1.5V ~ 40V (HTSSOP)
  - 2V ~ 40V (HSOIC PowerPAD™)
- 出力電流容量: 300mA
- 非常に低い出力トラッキング許容誤差、±4mV
- Low ドロップアウト電圧:  $I_{OUT} = 200mA$  の場合に 320mV
- イネーブル入力とトラッキング入力に個別のピン (HTSSOP のみ)
- 低い静止電流 ( $I_Q$ ):
  - $EN = low$  時に < 4μA
  - 軽負荷時に 60μA (代表値)
- 非常に広い ESR 範囲:
  - 10μF ~ 500μF のセラミック出力コンデンサで安定、ESR 1mΩ ~ 20Ω
- 逆極性保護
- 電流制限およびサーマル シャットダウン保護機能
- 出力からグランドおよび電源への短絡保護
- OUT ピンの誘導性クランプ
- 以下のパッケージで提供:
  - 8 ピン HSOIC PowerPAD
  - 20 ピン HTSSOP
- HSOIC パッケージの新しいドロップイン代替品については、[TPS7B4260-Q1](#) デバイスを参照してください。

## 2 アプリケーション

- パワートレインの圧力センサ
- パワートレインの温度センサ
- パワートレインの排気ガスセンサ
- パワートレインの液体濃度センサ
- 車体制御モジュール (BCM)
- ゾーン制御モジュール
- HVAC (エアコン) 制御モジュール

## 3 説明

車載用のオフボード センサと低電流オフボード モジュールの場合、電源はメイン ボードからの長いケーブルを経由します。そのような場合、ケーブルの破損による GND

への短絡またはバッテリへの短絡時にオンボード部品が損傷しないように、オフボード負荷用パワー デバイスに保護機能が必要です。オフボード センサは、高精度のデータ収集を確実に行うために、オンボード部品の電源と同様の安定した電源を必要とします。

TPS7B4253-Q1 は、45V の負荷ダンプに対応する車載アプリケーション向けに設計されています。このデバイスは、トラッキング低ドロップアウト (LDO) レギュレータとして使用することも、オンボードのメイン電源を使用したオフボード センサ用の閉電力ループを構成するための電圧トラッカーとして使用することもできます。本デバイスの出力は、ADJ ピンの基準電圧によって精密にレギュレートされます。

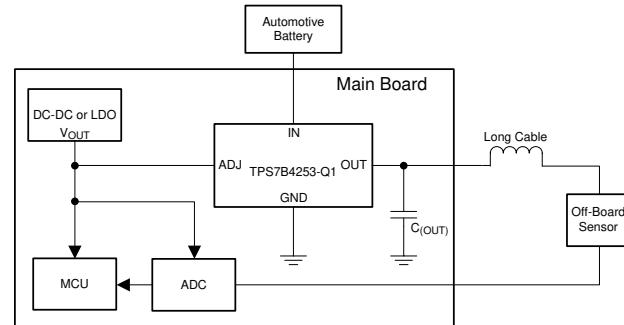
オフボード モジュールに高精度の電源を提供するため、温度範囲全体にわたって ADJ ピンと FB ピンの間で 4mV の非常に小さいトラッキング許容誤差を実現しています。双方向 PMOS トポロジを採用しているため、逆極性条件でも外部ダイオードは不要です。TPS7B4253-Q1 は、過酷な条件でのオンボード部品の損傷を防止するため、サーマル シャットダウン、誘導性クランプ、過負荷、バッテリ短絡保護機能も備えています。

### パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	パッケージ サイズ <sup>(2)</sup>
TPS7B4253-Q1	DDA (HSOIC, 8)	4.9mm × 6mm
	PWP (HTSSOP, 20)	6.5mm × 6.4mm

(1) 詳細については、[メカニカル、パッケージ、および注文情報](#)をご覧ください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピッチも含まれます。



代表的なアプリケーション回路図

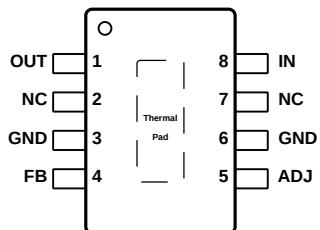


このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

## 目次

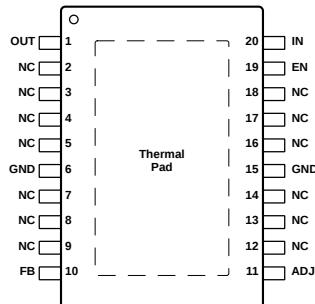
<b>1 特長</b>	<b>1</b>	<b>7 アプリケーションと実装</b>	<b>16</b>
<b>2 アプリケーション</b>	<b>1</b>	<b>7.1 アプリケーション情報</b>	<b>16</b>
<b>3 説明</b>	<b>1</b>	<b>7.2 代表的なアプリケーション</b>	<b>16</b>
<b>4 ピン構成および機能</b>	<b>3</b>	<b>7.3 電源に関する推奨事項</b>	<b>19</b>
<b>5 仕様</b>	<b>4</b>	<b>7.4 レイアウト</b>	<b>19</b>
5.1 絶対最大定格	4	<b>8 デバイスおよびドキュメントのサポート</b>	<b>23</b>
5.2 ESD 定格	4	8.1 デバイス サポート	23
5.3 推奨動作条件	4	8.2 ドキュメントのサポート	23
5.4 熱に関する情報	5	8.3 ドキュメントの更新通知を受け取る方法	23
5.5 電気的特性	5	8.4 サポート・リソース	23
5.6 代表的特性	6	8.5 商標	23
<b>6 詳細説明</b>	<b>10</b>	8.6 静電気放電に関する注意事項	<b>23</b>
6.1 概要	10	8.7 用語集	24
6.2 機能ブロック図	10	<b>9 改訂履歴</b>	<b>24</b>
6.3 機能説明	10	<b>10 メカニカル、パッケージ、および注文情報</b>	<b>24</b>
6.4 デバイスの機能モード	15	10.1 メカニカル データ	25

## 4 ピン構成および機能



NC — 内部接続なし

図 4-1. DDA PowerPAD パッケージ、8 ピン HSOIC (外部サーマルパッド付き) (上面図)



NC — 内部接続なし

図 4-2. PWP パッケージ、20 ピン HTSSOP (露出サー  
マルパッド付き) (上面図)

表 4-1. ピンの機能

ピン			タイプ <sup>(1)</sup>	説明
名称	HSOIC PowerPAD	HTSSOP		
ADJ	5	11	I	リファレンスをこのピンに接続します。信号が低い場合はデバイスが無効になり、信号が高い場合はデバイスが有効になります。リファレンス電圧は、直接接続することも、より低い出力電圧を得るために分圧器を介して接続することもできます。ラインの影響を補償するため、デバイスピンの近くにコンデンサを接続します。
EN	—	19	I	このピンはイネーブルピンです。イネーブルピンの電圧がレッショルドを下回ると、デバイスはスタンバイ状態に移行します。
FB	4	10	I	このピンはフィードバックピンで、外部抵抗デバイスに接続して出力電圧を選択できます。
GND	3	6	G	グランド
	6	15		
IN	8	20	I	このピンはデバイスへの電源供給用です。ラインの影響を補償するため、デバイスピンの近くにコンデンサを接続します。
NC	2	2-5, 7-9	NC	未接続
	7	12-14、 16-18		
OUT	1	1	O	セクション 7.2.1.2.2 セクションに記載されている容量と ESR の要件を満たすコンデンサをデバイスピンの近くに配置して、ブロックを GND に接続します。
露出したサーマルパッド			—	サーマルパッドを GND ピンに接続するか、パッドをフローティングのままにします。

(1) I = 入力、O = 出力、G = グランド、NC = 未接続

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

		最小値	最大値	単位
レギュレートされていない入力電圧	IN <sup>(2) (3)</sup>	-40	45	V
イネーブル入力電圧	イネーブル入力電圧 <sup>(2) (3)</sup>	-40	45	V
制御された出力電圧	安定化出力電圧 <sup>(2) (4)</sup>	-1	45	V
入力と出力の間の電圧差	IN – OUT	-40	45	V
リファレンス電圧	ADJ <sup>(2) (3)</sup>	-0.3	45	V
トラッカーの帰還入力電圧	FB <sup>(2) (3)</sup>	-1	45	V
リファレンス電圧から入力電圧を差し引いた値	ADJ – IN <sup>(5)</sup>		18	V
動作時の接合部温度、T <sub>J</sub>		-40	150	°C
保管温度、T <sub>stg</sub>		-65	150	°C

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値は、GND ピンを基準としたものです。
- (3) 絶対最大定格電圧。
- (4) 誘導性クランプを保護するために、DC 電流 600mA の OUT ピンと GND ピンの間に内部ダイオードが接続されています。
- (5) (ADJ – IN) 電圧が 18V を超える場合、(ADJ – OUT) 電圧は 18V より低く維持する必要があります。そうしないと、デバイスが損傷する可能性があります。

### 5.2 ESD 定格

			値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM), AEC Q100-002 に準拠 <sup>(1)</sup>	NC ピン	±2000	kV
		NC ピンを除くすべてのピン	±4000	kV
	荷電デバイス モデル (CDM), AEC Q100-011 準拠		±1000	kV

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

### 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

		最小値	最大値	単位
$V_{IN}$	非安定化入力電圧 <sup>(2)</sup>	4	40	V
$V_{EN}$	イネーブル入力電圧	0	40	V
$V_{ADJ}$	可変およびイネーブル入力電圧	HTSSOP パッケージ 1.5	18	V
		SO PowerPAD パッケージ 2	18	
$V_{FB}$	トラッカーの帰還入力電圧	HTSSOP パッケージ 1.5	18	V
		SO PowerPAD パッケージ 2	18	
$V_{OUT}$	出力電圧	HTSSOP パッケージ 1.5	40	V
		SO PowerPAD パッケージ 2	40	
$C_{(OUT)}$	出力コンデンサ要件 <sup>(3)</sup>	10	500	μF
	出力 ESR 要件 <sup>(4)</sup>	0.001	20	Ω
$T_J$	動作ジャンクション温度範囲	-40	150	°C

- (1) 機能範囲内では、デバイスは回路の説明に記載されているように動作します。電気的特性は、関連する「電気的特性」表に記載されている条件内で規定されています。

- (2)  $V_{IN} > V_{ADJ} + V_{(DROPOUT)}$   
 (3) 最小出力容量要件は、最悪の場合の容量許容誤差の 30% に対して適用されます。OUT ピンと FB ピンの間に抵抗デバイダが接続されている場合（出力電圧がリファレンス電圧より高い）、ループ安定性のために OUT ピンと FB ピンの間に  $47\text{nF}$  のフィードフォワードコンデンサを接続する必要があり、出力コンデンサの ESR 範囲は  $0.001 \sim 10\Omega$  である必要があります。  
 (4)  $f = 10\text{kHz}$  での関連する ESR 値

## 5.4 熱に関する情報

熱評価基準 <sup>(1)</sup>	TPS7B4253-Q1			単位	
	DDA (SO PowerPAD)		PWP (HTSSOP)		
	8 ピン		20 ピン		
	ASO: ASE <sup>(2)</sup>	ASO: FMX <sup>(2)</sup>			
$R_{\theta JA}$	接合部から周囲への熱抵抗	45.4	42.6	45.9	°C/W
$R_{\theta JC(\text{top})}$	接合部からケース（上面）への熱抵抗	51.1	57.5	29.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	27	17.8	24.7	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	8.2	5.6	1.3	°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	26.9	17.9	24.5	°C/W
$R_{\theta JC(\text{bot})}$	接合部からケース（底面）への熱抵抗	6.4	7.5	3.7	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。  
 (2) ASO に関する詳細については、「命名規則」表を参照してください。

## 5.5 電気的特性

$V_{IN} = 13.5\text{V}$ 、 $V_{ADJ} \geq 1.5\text{V}$  (HTSSOP)、 $V_{ADJ} \geq 2\text{V}$  (SO PowerPAD)、 $V_{EN} \geq 2\text{V}$ 、 $T_J = -40^\circ\text{C} \sim 150^\circ\text{C}$  (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
$V_{I(\text{UVLO})}$ IN 低電圧検出	$V_{IN}$ 立ち上がり			3.65	V
	$V_{IN}$ 立ち下がり			2.8	V
$\Delta V_O$ 出力電圧のトラッキング精度 <sup>(1)</sup>	$I_{OUT} = 100\mu\text{A} \sim 300\text{mA}$ , $V_{IN} = 4 \sim 40\text{V}$ $V_{ADJ} < V_{IN} - 1\text{V}$ $1.5\text{V} < V_{ADJ} < 18\text{V}$ (HTSSOP) $2\text{V} < V_{ADJ} < 18\text{V}$ (SO PowerPAD)	-4		4	mV
$\Delta V_{O(\Delta I O)}$ ロードレギュレーションの定常状態	$I_{OUT} = 0.1 \sim 300\text{mA}$ , $V_{ADJ} = 5\text{V}$			4	mV
$\Delta V_{O(\Delta VI)}$ ラインレギュレーションの定常状態	$I_{OUT} = 10\text{mA}$ , $V_{IN} = 6 \sim 40\text{V}$ , $V_{ADJ} = 5\text{V}$			4	mV
PSRR 電源リップル除去	$f_{rip} = 100\text{Hz}$ , $V_{rip} = 0.5\text{V}_{PP}$ , $C_{(OUT)} = 10\mu\text{F}$ , $I_{OUT} = 100\text{mA}$		70		dB
$V_{(DROPOUT)}$ ドロップアウト電圧 ( $V_{(DROPOUT)} = V_{IN} - V_{OUT}$ )	$I_{OUT} = 200\text{mA}$ , $V_{IN} = V_{ADJ} \geq 4\text{V}$ <sup>(2)</sup>		320	520	mV
$I_{O(\text{lim})}$ 出力電流制限	$V_{ADJ} = 5\text{V}$ , OUT を GND に短絡	301	450	520	mA
$I_{R(IN)}$ IN での逆電流	$V_{IN} = 0\text{V}$ , $V_{OUT} = 40\text{V}$ , $V_{ADJ} = 5\text{V}$	-2		0	μA
$I_{R(-IN)}$ 負 IN での逆電流	$V_{IN} = -40\text{V}$ , $V_{OUT} = 0\text{V}$ , $V_{ADJ} = 5\text{V}$	-10		0	μA
$T_{SD}$ サーマルシャットダウン温度	IC によって生成される消費電力により、 $T_J$ が増加します		175		°C
$T_{SD\_hys}$ サーマルシャットダウンヒステリシス			15		°C
$I_Q$ 消費電流	$4\text{V} \leq V_{IN} \leq 40\text{V}$ , $V_{ADJ} = 0\text{V}$ , $V_{EN} = 0\text{V}$		2	4	μA
	$4\text{V} \leq V_{IN} \leq 40\text{V}$ , $V_{EN} \geq 2\text{V}$ , $V_{ADJ} < 0.8\text{V}$		7	18	
	$4\text{V} \leq V_{IN} \leq 40\text{V}$ , $I_{OUT} < 100\mu\text{A}$ , $V_{ADJ} = 5\text{V}$		60	100	
	$4\text{V} \leq V_{IN} \leq 40\text{V}$ , $I_{OUT} < 300\text{mA}$ , $V_{ADJ} = 5\text{V}$		350	400	
$I_{Q(DROPOUT)}$ ドロップアウト領域での消費電流	$V_{IN} = V_{ADJ} = 5\text{V}$ , $I_{OUT} = 100\mu\text{A}$		70	140	μA
$I_{I(ADJ)}$ 調整入力電流	$V_{ADJ} = V_{FB} = 5\text{V}$	HTSSOP パッケージ		0.5	μA
		SO PowerPAD パッケージ		5.5	
$V_{(ADJ\_LOW)}$ 調整 low 信号有効	$V_{OUT} = 0\text{V}$	HTSSOP パッケージ	0	0.8	V
		SO PowerPAD パッケージ	0	0.7	

## 5.5 電気的特性 (続き)

$V_{IN} = 13.5V$ 、 $V_{ADJ} \geq 1.5V$  (HTSSOP)、 $V_{ADJ} \geq 2V$  (SO PowerPAD)、 $V_{EN} \geq 2V$ 、 $T_J = -40^{\circ}C \sim 150^{\circ}C$  (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
$V_{(ADJ\_HIGH)}$ 調整 High 信号有効	$ V_{OUT} - V_{ADJ}  < 4mV$	HTSSOP パッケージ	1.5	18	V
		SO PowerPAD パッケージ	2	18	
$V_{(EN\_LOW)}$ イネーブル low 信号有効	$V_{OUT} = 0V$		0	0.7	V
$V_{(EN\_HIGH)}$ イネーブル high 信号有効	OUT 安定		2	40	V
$I_{EN}$ イネーブル ブルダウントラッキング電流	$2V < V_{EN} < 40V$			5	$\mu A$
$I_{FB}$ FB バイアス電流	$V_{ADJ} = V_{FB} = 5V$			0.5	$\mu A$

(1) トラッキング精度は、FB ピンが OUT ピンに直接接続されている場合に規定されます。これは、 $V_{ADJ} = V_{OUT}$  であり、外部抵抗デバイダの変動は含まれません。

(2) 出力電圧  $V_{OUT}$  が公称値から 10mV 低下したときに測定します。

## 5.6 代表的特性

$V_{IN} = 14V$ 、 $V_{ADJ} = 5V$ 、 $V_{FB} = V_{OUT}$  (特に記述のない限り)

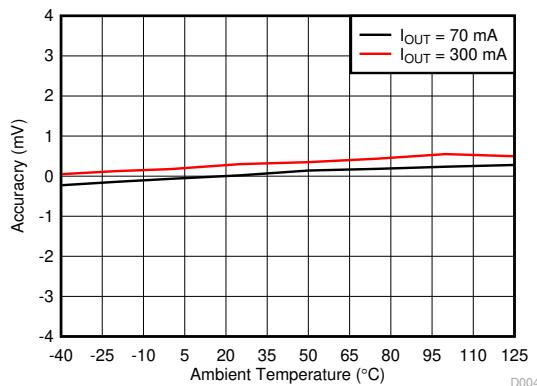


図 5-1. トラッキング精度と周囲温度との関係

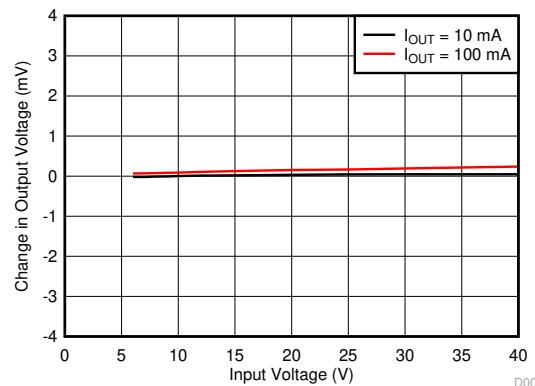


図 5-2. ラインレギュレーション

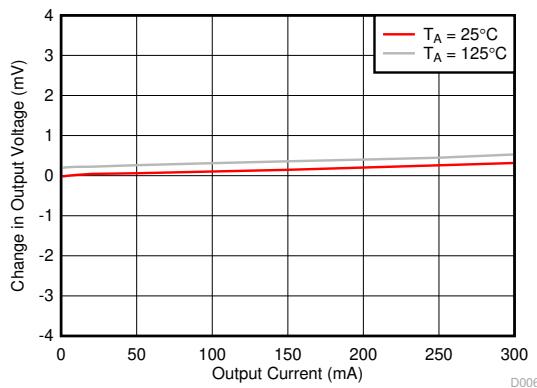


図 5-3. ロードレギュレーション

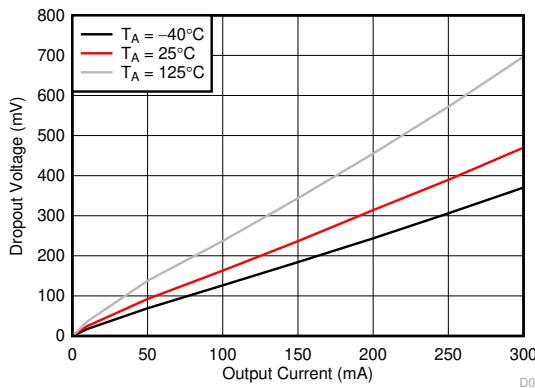
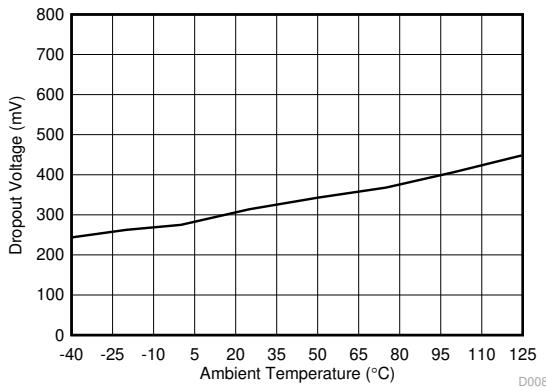


図 5-4. ドロップアウト電圧と出力電流との関係

## 5.6 代表的特性 (続き)

$V_{IN} = 14V$ 、 $V_{ADJ} = 5V$ 、 $V_{FB} = V_{OUT}$  (特に記述のない限り)



$V_{IN} = V_{ADJ} = 4V$ ,  $I_{OUT} = 200mA$

図 5-5. ドロップアウト電圧と周囲温度との関係

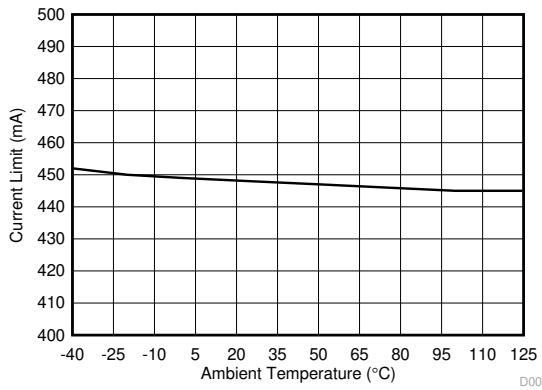


図 5-6. 電流制限 ( $I_{O(lim)}$ ) と周囲温度との関係

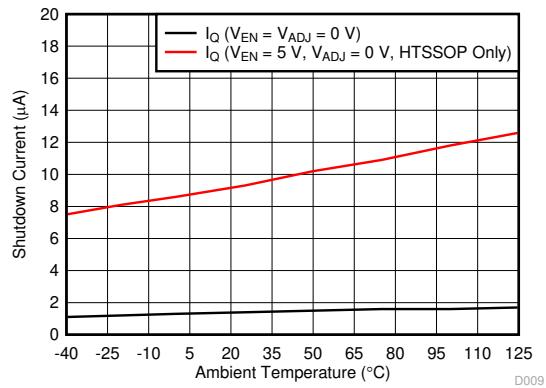


図 5-7. シャットダウン電流と周囲温度との関係

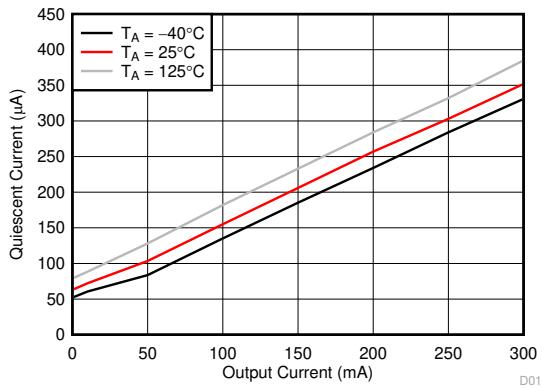


図 5-8. 静止電流と出力電流との関係

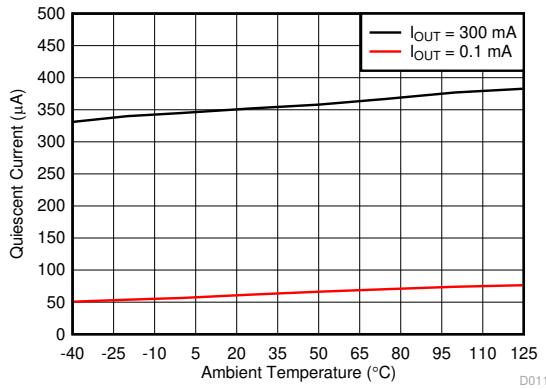


図 5-9. 静止電流と周囲温度の関係

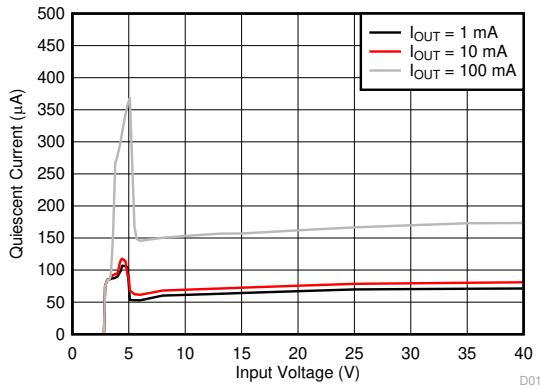


図 5-10. 静止電流と入力電圧との関係

## 5.6 代表的特性 (続き)

$V_{IN} = 14V$ 、 $V_{ADJ} = 5V$ 、 $V_{FB} = V_{OUT}$  (特に記述のない限り)

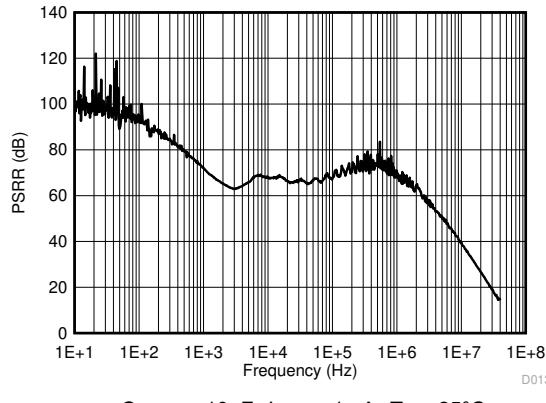


図 5-11. PSRR

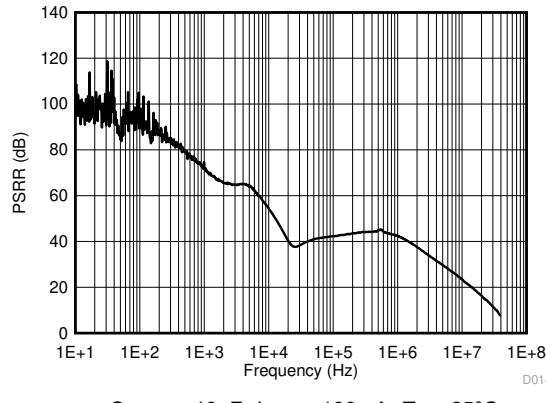


図 5-12. PSRR

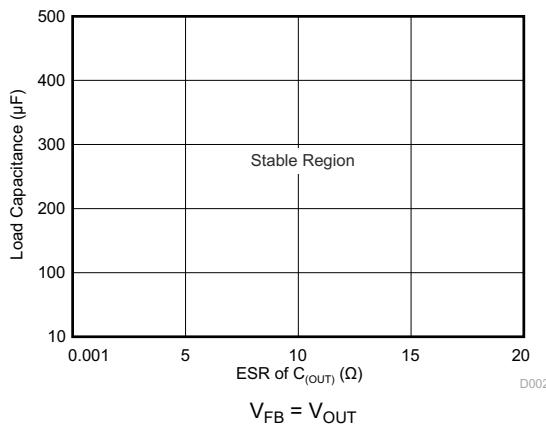


図 5-13. ESR 安定性と負荷容量との関係

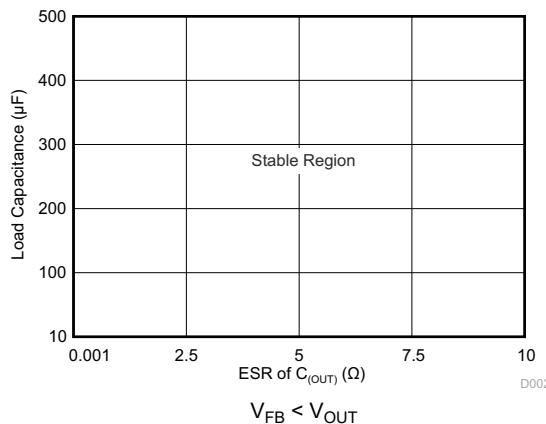


図 5-14. ESR 安定性と負荷容量との関係

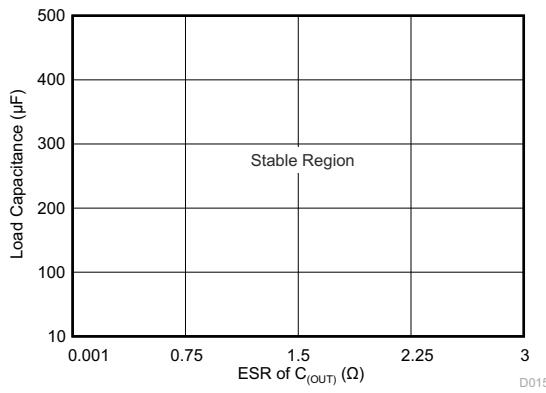


図 5-15. ESR 安定性と負荷容量との関係 (複数の出力コンデンサ)

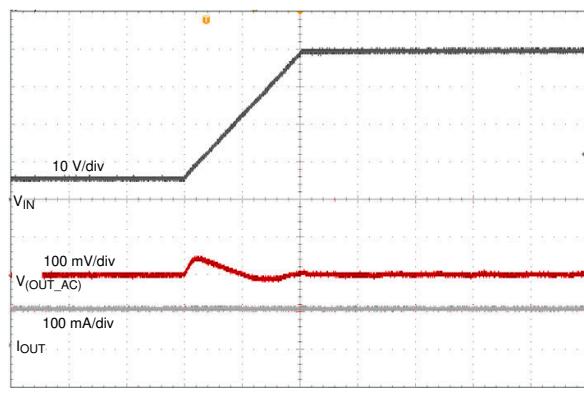
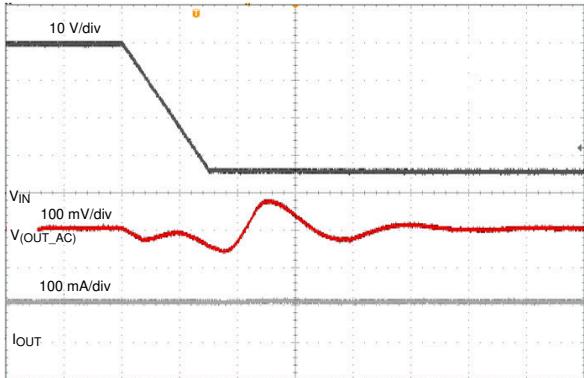


図 5-16. 6V ~ 40V のライン過渡

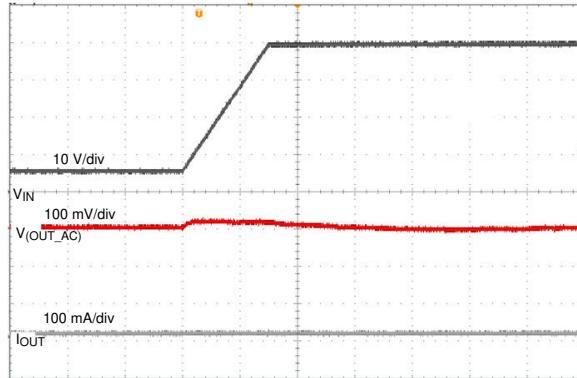
## 5.6 代表的特性 (続き)

$V_{IN} = 14V$ 、 $V_{ADJ} = 5V$ 、 $V_{FB} = V_{OUT}$  (特に記述のない限り)



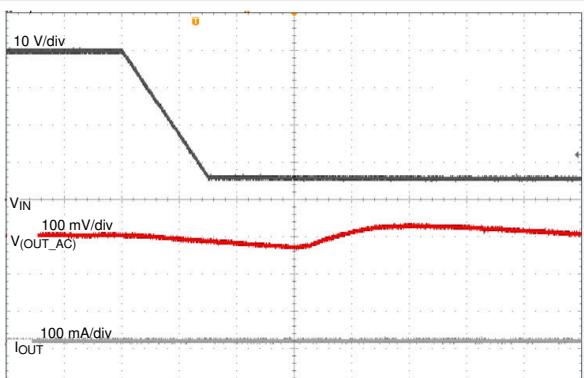
$V_{IN} = 40V \sim 6V$ 、 $V_{ADJ} = 5V$ 、 $C_{(OUT)} = 10\mu F$ 、 $I_{OUT} = 100mA$ 、  
 $20\mu s/div$

図 5-17. 40V ~ 6V のライン過渡



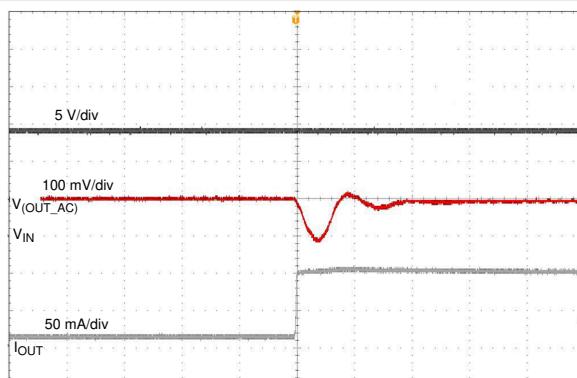
$V_{IN} = 6V \sim 40V$ 、 $V_{ADJ} = 5V$ 、 $C_{(OUT)} = 10\mu F$ 、 $I_{OUT} = 10mA$ 、  
 $20\mu s/div$

図 5-18. 6V ~ 40V のライン過渡



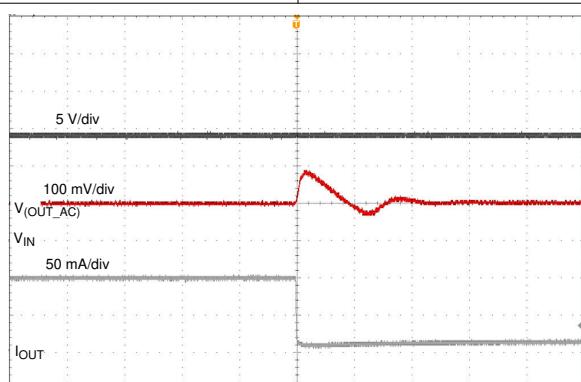
$V_{IN} = 40V \sim 6V$ 、 $V_{ADJ} = 5V$ 、 $C_{(OUT)} = 10\mu F$ 、 $I_{OUT} = 10mA$ 、  
 $20\mu s/div$

図 5-19. 40V ~ 6V のライン過渡



$V_{IN} = 14V$ 、 $V_{ADJ} = 5V$ 、 $C_{(OUT)} = 10\mu F$ 、 $I_{OUT} = 10 \sim 100mA$ 、  
 $40\mu s/div$

図 5-20. 10mA ~ 100mA の負荷過渡



$V_{IN} = 14V$ 、 $V_{ADJ} = 5V$ 、 $C_{(OUT)} = 10\mu F$ 、 $I_{OUT} = 100 \sim 10mA$ 、 $40\mu s/div$

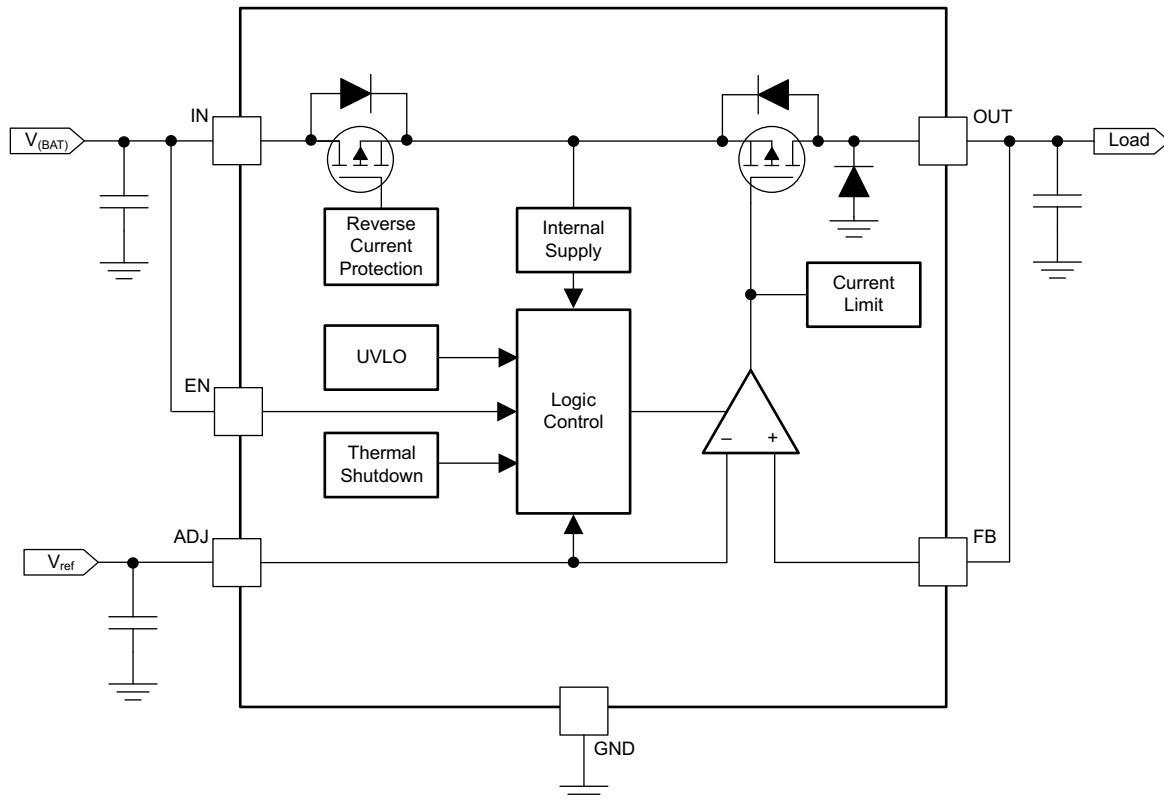
図 5-21. 100mA ~ 10mA の負荷過渡

## 6 詳細説明

### 6.1 概要

TPS7B4253-Q1 デバイスは、トラッキング許容誤差が非常に低い統合型のモノリシック低ドロップアウト電圧トランクーです。デバイスには、出力電流制限、逆極性保護、誘導性負荷クランプ、出力のバッテリへの短絡保護、過熱イベント発生時のサーマル シャットダウンなどの重要な保護回路が組み込まれています。

### 6.2 機能ブロック図



### 6.3 機能説明

#### 6.3.1 短絡および過電流保護

TPS7B4253-Q1 デバイスにはフォルト保護が内蔵されているため、車載アプリケーションに最適な選択肢です。特定のフォルト状態時にデバイスを安全な動作領域に維持するため、最大出力電流を制限する内部電流制限保護機能が使用されます。この保護は、過剰な電力消費からデバイスを保護します。たとえば、出力端子で短絡状態が発生した場合、パス素子を流れる電流は  $I_{O(\text{lim})}$  に制限され、デバイスが過剰な電力損失によって損傷するのを防ぎます。

#### 6.3.2 内蔵の誘導性クランプ保護

出力がオフの間、デバイスの出力からケーブル インダクタンスへの電流供給が続けられます。このデバイスは、ケーブルに蓄積された誘導性エネルギーを放散できるように、OUT ピンに誘導性クランプを内蔵しています。誘導性クランプを保護するために、DC 電流 600mA の OUT ピンと GND ピンの間に内部ダイオードが接続されています。

### 6.3.3 OUT のバッテリへの短絡および逆極性保護

図 6-1 に示されているように、TPS7B4253-Q1 デバイスはバッテリへの短絡に耐えることができます。そのため、デバイスが損傷しません。

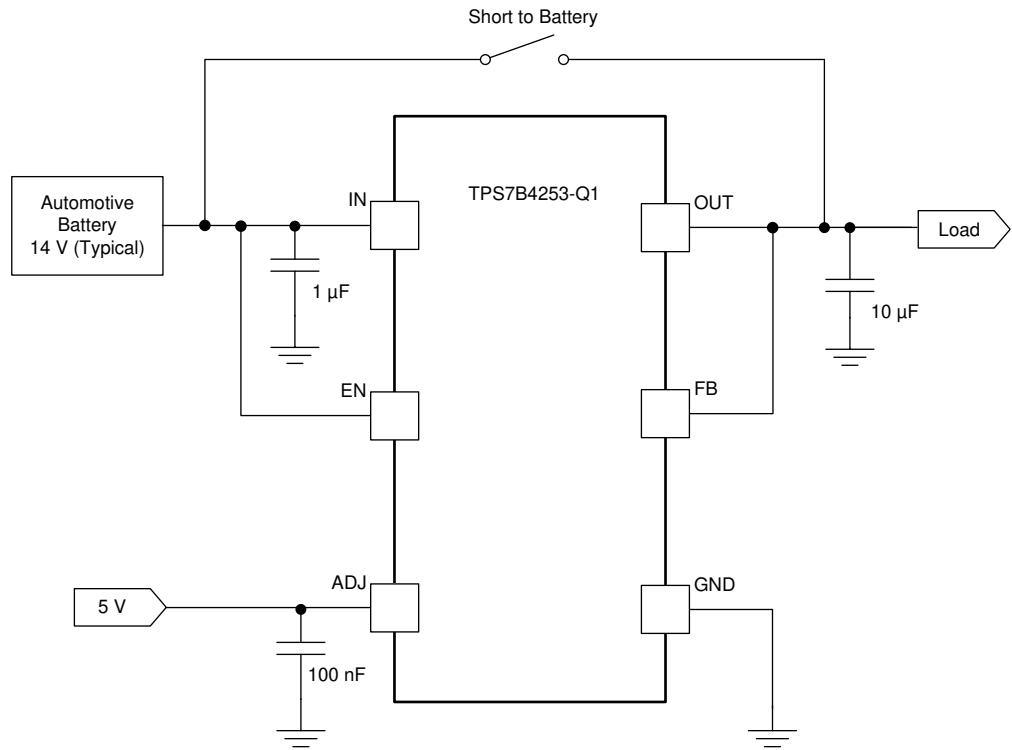


図 6-1. OUT のバッテリへの短絡、 $V_{IN} = V_{(BAT)}$

図 6-2 に示されているように、低電圧の絶縁型電源からデバイスに電力を供給している場合も、バッテリへの短絡が発生する可能性があります。この場合、5V で動作する OUT ピンでバッテリへの短絡（標準値 14V）が発生すると、TPS7B4253-Q1 の電源入力電圧が 7V に設定されます。内部双方向 PMOS は 1ms にわたってオンのままでなり、その間に TPS7B4253-Q1 デバイスの入力電圧がバッテリ電圧まで充電されます。DC/DC コンバータの背後に接続された他の負荷が車載バッテリの電圧に耐えられない場合には、DC/DC コンバータの出力と TPS7B4253-Q1 デバイスの入力の間にダイオードを接続する必要があります。ドロップアウト電圧をより低くするため、TI はショットキー ダイオードを使用することを推奨します。DC/DC コンバータの出力とコンバータに電力を供給する負荷が車載バッテリの電圧に耐えることができる場合、このダイオードは不要です。

逆極性またはバッテリへの短絡が 1ms にわたって発生すると、内部双方向 PMOS はオフになります。その後、逆電流が 10μA 未満で IN ピンを経由して流れます。一方、入力に特別な ESD 構造を実装しているため、デバイスは -40V に耐えることができます。

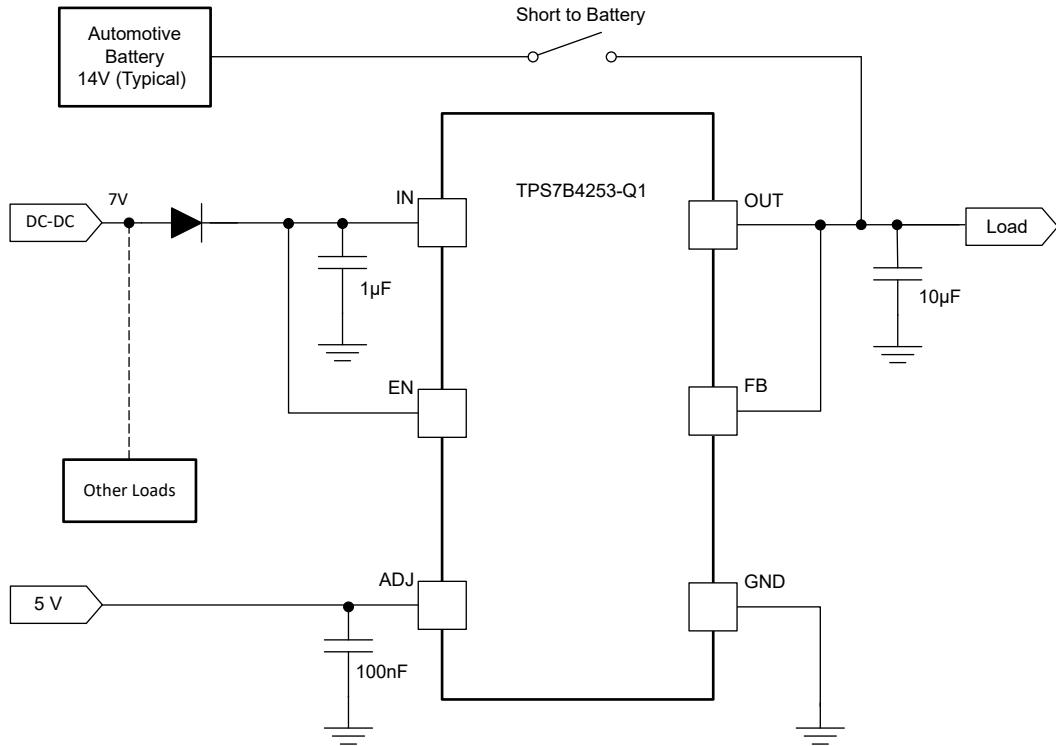


図 6-2. OUT のバッテリへの短絡、 $V_{IN} < V_{(BAT)}$

ほとんどの場合、TPS7B4253-Q1 デバイスの出力が車載用ケーブルを介してバッテリに短絡されます。バッテリに短絡すると、ケーブルの寄生インダクタンスによって TPS7B4253-Q1 デバイスの出力で LC 発振が発生します。理想的には、TPS7B4253-Q1 デバイスの出力のピーク電圧は、LC 発振中、絶対最大電圧定格 (45V) よりも低くすることが望まれます。

#### 6.3.4 低電圧シャットダウン

デバイスには低電圧シャットダウン スレッショルドがあり、この値は内部的に固定されています。低電圧シャットダウンは、IN の入力電圧が UVLO を下回ると動作します。この動作により、入力電源電圧が低い状態において、レギュレータが不明な状態にラッチされるのを防ぐことができます。UVLO スレッショルドを下回る負の過渡が入力電圧に発生してその後回復した場合、レギュレータはシャットダウンし、入力電圧が必要なレベルを超えると、標準的なパワーアップ シーケンスで再び起動します。

#### 6.3.5 過熱保護

デバイスには、過熱状態からの保護のため、サーマル シャットダウン (TSD) 回路が組み込まれています。連続の通常動作中、接合部温度が TSD トリップ ポイントを超えないようにする必要があります。接合部温度が TSD トリップ ポイントを超えると、出力はオフになります。接合部温度が TSD トリップ ポイントより 15°C (標準値) 低くなると、出力がオンになります。

---

#### 注

TPS7B4253-Q1 デバイスの内部保護回路の設計は、過負荷状態からの保護を目的としています。これは、適切なヒートシンクの代替とすることを意図したものではありません。サーマル シャットダウンが作動するまで使用し続けると、デバイスの信頼性が低下します。

### 6.3.6 安定化出力(OUT)

OUT ピンは、必要な電圧に基づく安定化出力です。出力には電流制限があります。このレギュレータには、最初の電源投入時、パス素子を流れる初期電流を制御するためのソフトスタート機能が内蔵されています。

### 6.3.7 イネーブル(EN)

EN ピンは、高電圧対応のピンです。EN ピンに high 入力が印加されると、デバイスがアクティブになります。EN ピンが low のとき、デバイスは  $4\mu\text{A}$  の最大シャットダウン電流を消費します。EN ピンには最大内部プルダウン電流  $5\mu\text{A}$  があります。

### 6.3.8 可変出力電圧(FB および ADJ)

#### 6.3.8.1 OUT 電圧がリファレンス電圧と等しい場合

図 6-3 に示されているように、ADJ ピンにリファレンス電圧を直接印加し、FB ピンを OUT ピンに接続すると、OUT ピンの電圧は ADJ ピンのリファレンス電圧と等しくなります。

$$V_{\text{OUT}} = V_{\text{ADJ}} \quad (1)$$

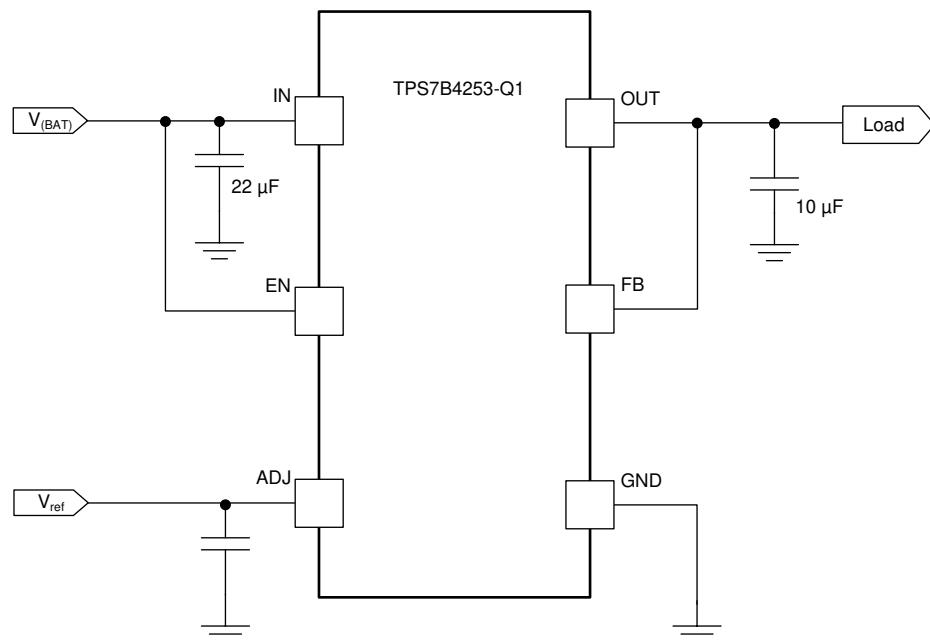


図 6-3. OUT 電圧がリファレンス電圧と等しい場合

#### 6.3.8.2 OUT 電圧がリファレンス電圧よりも高い場合

図 6-4 に示されているように、OUT と FB ピンの間に外部抵抗デバイダを接続することで、リファレンス電圧よりも高い出力電圧を生成できます。式 2 を使用して、出力電圧値を計算します。R1 と R2 の推奨範囲は  $10\text{k}\Omega \sim 100\text{k}\Omega$  です。

$$V_{\text{OUT}} = \frac{V_{\text{ADJ}} \times (R1 + R2)}{R2} \quad (2)$$

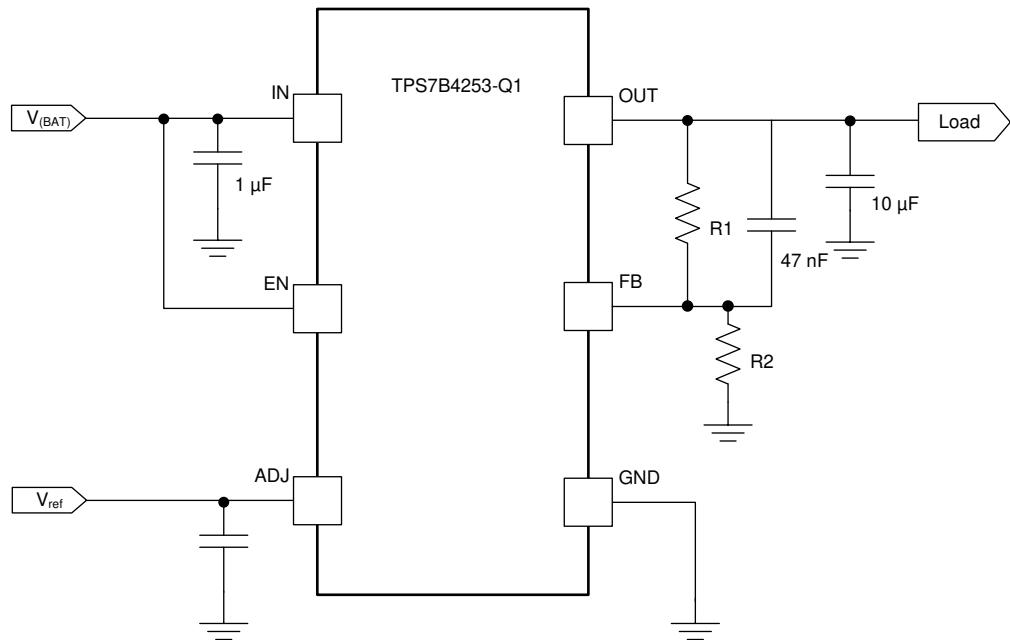


図 6-4. OUT 電圧がリファレンス電圧よりも高い場合

### 6.3.8.3 出力電圧がリファレンス電圧よりも低い場合

図 6-5 に示されているように、ADJ ピンに外部抵抗デバイダを接続することで、リファレンス電圧よりも低い出力電圧を生成できます。式 3 を使用して、出力電圧を計算します。 $R_1$  と  $R_2$  の両方の推奨値は 100 kΩ 未満です。

$$V_{OUT} = \frac{V_{ref} \times R_2}{R_1 + R_2} \quad (3)$$

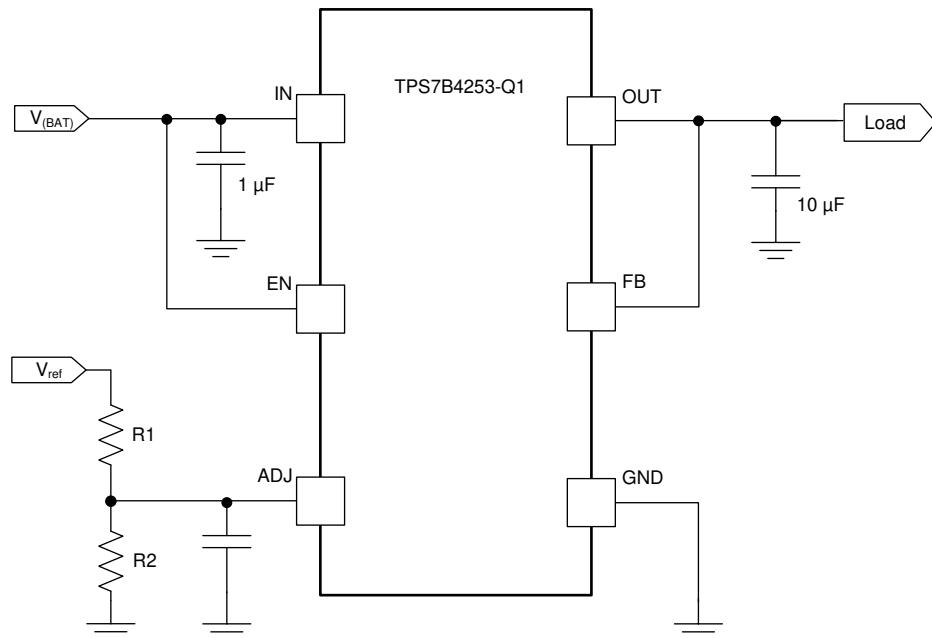


図 6-5. OUT 電圧がリファレンス電圧よりも低い場合

## 6.4 デバイスの機能モード

### 6.4.1 $V_{IN} < 4V$ での動作

最大 UVLO 電圧は 3.65V であり、通常、デバイスは 4V を超える入力電圧で動作します。デバイスはより低い入力電圧でも動作可能です。最小 UVLO 電圧は規定されていません。実際の UVLO 電圧より低い入力電圧では、デバイスは動作しません。

### 6.4.2 EN 制御による動作

イネーブル立ち上がりエッジ スレッショルドは 2V (最大値) です。EN ピンをそれ以上の電圧に保持し、入力電圧を 4V 以上にすると、デバイスはアクティブになります。EN ピンの立ち下がりエッジは 0.7V (最小値) です。EN ピンをこの電圧より低く保持すると、デバイスが無効になり、デバイスの静止電流が減少します。

## 7 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.1 アプリケーション情報

TPS7B4253-Q1 デバイスは、トラッキング許容誤差が非常に低い 300mA 低ドロップアウト トラッキング レギュレータです。PSpice トランジメントモデルは、製品フォルダからダウンロードでき、デバイスの基本機能を評価するために使用できます。

### 7.2 代表的なアプリケーション

#### 7.2.1 出力電圧がリファレンス電圧と等しいアプリケーション

図 7-1 に、TPS7B4253-Q1 デバイスの代表的なアプリケーション回路を示します (例として HTSSOP パッケージを使用)。エンド アプリケーションによっては、値の異なる外付け部品を使用できます。一部のアプリケーションでは、出力電圧の大きな降下を防止するために、高速負荷ステップ時のより大きな出力コンデンサが必要になります。TI は、タイプ X5R または X7R の誘電体を搭載した低 ESR セラミック コンデンサを推奨します。

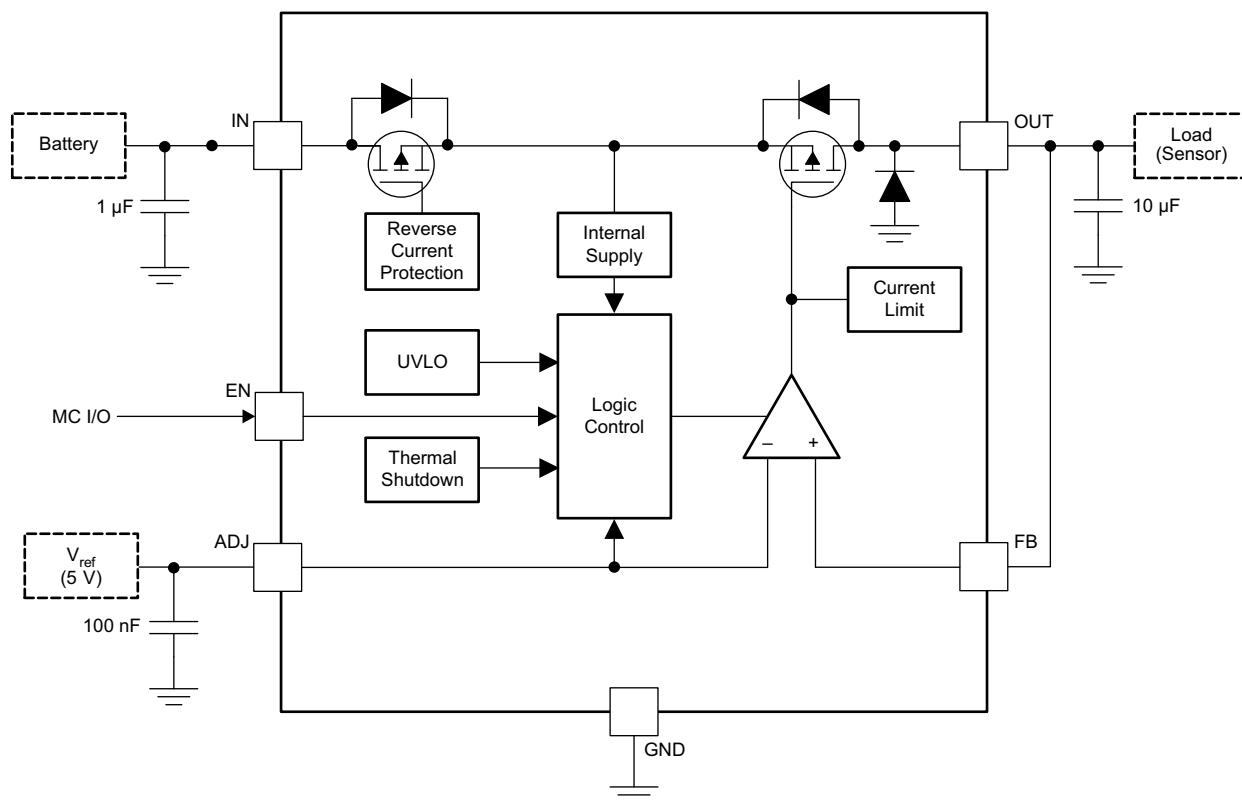


図 7-1. 出力電圧がリファレンス電圧と等しい場合

### 7.2.1.1 設計要件

この設計例では、表 7-1 に記載されているパラメータを設計パラメータとして使用します。

**表 7-1. 設計パラメータ**

設計パラメータ	数値の例
入力電圧	4V ~ 40V
出力電圧	1.5V ~ 40V
イネーブル電圧	2V ~ 40V
ADJ 電圧	1.5V ~ 18V
出力コンデンサ	10μF ~ 500μF
出力コンデンサの ESR 範囲	0.001Ω ~ 20Ω

### 7.2.1.2 詳細な設計手順

設計プロセスを開始するには、以下を決定する必要があります。

- 入力電圧範囲
- 出力電圧
- リファレンス電圧
- 出力電流
- 電流制限

#### 7.2.1.2.1 入力コンデンサ

デバイスには入力デカップリング コンデンサが必要で、その値はアプリケーションによって異なります。デカップリング コンデンサの代表的推奨値は  $2.2\mu F$  です。電圧定格は、最大入力電圧よりも大きい必要があります。

#### 7.2.1.2.2 出力コンデンサ

安定した動作を確保するため、TPS7B4253-Q1 デバイスには  $10\mu F$  ~  $500\mu F$  の範囲の出力コンデンサが必要で、FB ピンを OUT ピンに直接接続する場合、ESR 範囲は  $0.001\Omega$  ~  $20\Omega$  です。TI は、負荷トランジエント応答を改善するため、低 ESR のセラミック コンデンサをお勧めします。

リファレンス電圧より高い出力電圧を実現するため、OUT ピンと FB ピンの間に抵抗デバイダを接続します。この場合、ループの安定性のため、OUT と FB ピンの間に  $47nF$  のフィードフォワード コンデンサを接続する必要があります。出力コンデンサの ESR は、 $0.001\Omega$  ~  $10\Omega$  の範囲内である必要があります。

複数のコンデンサ (2 つ以上) を OUT ピンで並列に接続する場合、ループ安定性のために、各出力コンデンサの ESR 範囲を  $0.001\Omega$  ~  $3\Omega$  の範囲にする必要があります。

FB ピンをグランドに短絡する場合、TPS7B4253-Q1 デバイスは出力コンデンサが不要なパワー スイッチとして機能します。

### 7.2.1.3 アプリケーション曲線

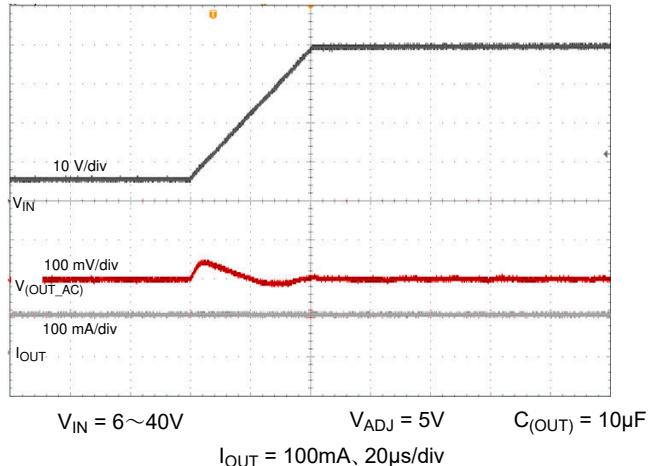


図 7-2. 6 ~ 40V のライン過渡

### 7.2.2 ハイサイドスイッチ構成

図 7-3 に示されているように、FB ピンを GND ピンに接続することで、TPS7B4253-Q1 デバイスは、電流制限、サーマルシャットダウン、出力のバッテリへの短絡、逆極性保護の機能を備えたハイサイドスイッチとして使用できます。デバイスのオン / オフは、EN および ADJ ピンを使用して制御します。

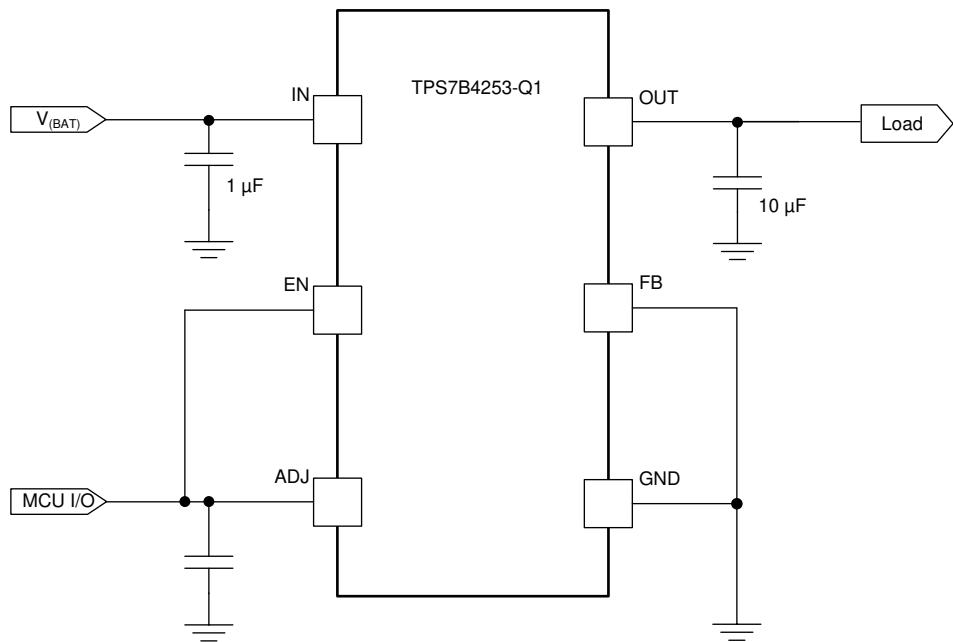


図 7-3. ハイサイドスイッチ – アプリケーション

### 7.2.3 高精度 LDO

高精度の電圧レールにより、TPS7B4253-Q1 デバイスは、図 7-4 に示されているように構成することで、超高精度出力電圧を備えた LDO として使用できます。

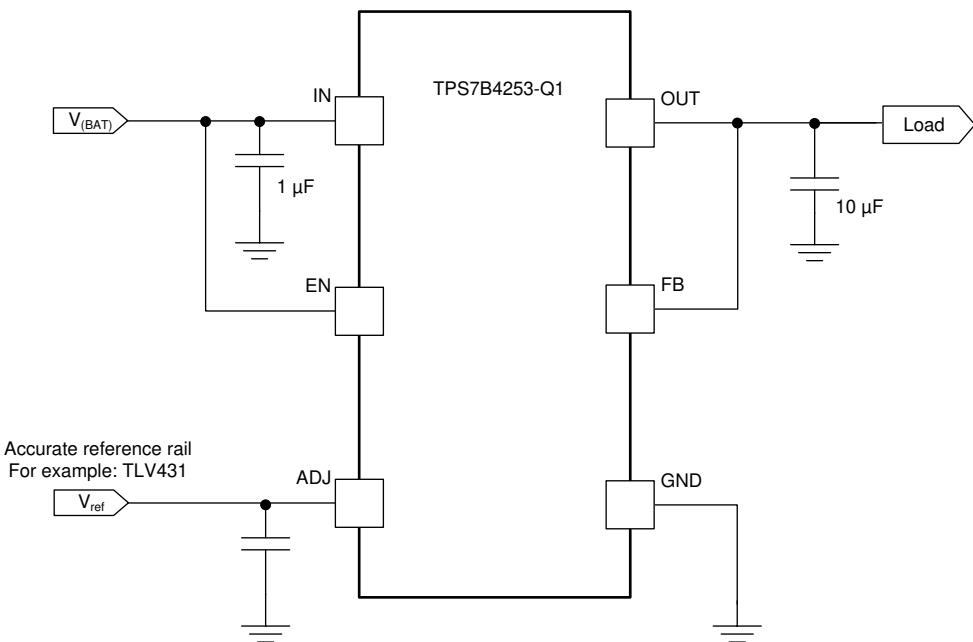


図 7-4. 高精度 LDO アプリケーション

たとえば、リファレンス電圧が精度 0.5% の 5V レールであると仮定します。ADJ と OUT ピン間のトラッキング精度は全温度範囲にわたって 4mV 未満で規定されているため、TPS7B4253-Q1 デバイスの出力精度は 式 4 で計算できます。

$$\text{Accuracy of } V_{\text{OUT}} = \frac{V_{\text{ADJ}} \times 0.5\% + 4 \text{ mV}}{V_{\text{ADJ}}} \times 100\% = \frac{5 \times 0.5\% + 0.004}{5} \times 100\% = 0.58\% \quad (4)$$

## 7.3 電源に関する推奨事項

デバイスは、4V ~ 40V の入力電源電圧で動作するように設計されています。この入力電源には適切なレギュレーションが行われる必要があります。入力電源が TPS7B4253-Q1 から数インチ以上離れている場合、TI は入力に 2.2μF の電解コンデンサとセラミック バイパス コンデンサを追加することを推奨します。

## 7.4 レイアウト

### 7.4.1 レイアウトのガイドライン

セクション 6.2 に示されているように、TPS7B4253-Q1 デバイスのレイアウトでは、入力および出力コンデンサをデバイスの近くに配置します。放熱性能を向上させるため、TI はいくつかのビアでデバイスの周囲にデバイスを配置することを推奨します。

等価直列インダクタンス (ESL) および ESR を最小化し、性能を最大化して安定性を確認します。すべてのコンデンサは可能な限りデバイスに近く、PCB 上でレギュレータと同じ面に配置します。

PCB 上でレギュレータが設置されている面と反対の面にコンデンサを配置しないでください。TI は、出力コンデンサと OUT ピンとの間の経路にビアと長いパターンを使用することは全く推奨しません。ビアはシステム性能に悪影響を及ぼし、不安定性を引き起こす可能性があります。

可能であれば、このデータシートに記載されている最大性能を確保するために、TPS7B4253-Q1 評価ボード (TPS7B4253EVM) で使用されているものと同じレイアウトパターン (

[www.ti.com/tool/TPS7B4253EVM](http://www.ti.com/tool/TPS7B4253EVM) から入手可能) を使用してください。

#### 7.4.1.1 消費電力および熱に関する考慮事項

式 5 を使用して、デバイスの消費電力を計算します。

$$P_D = I_O \times (V_I - V_O) + I_Q \times V_I \quad (5)$$

ここで、

- $P_D$  = 連続消費電力
- $I_O$  = 出力電流
- $V_I$  = 入力電圧
- $V_O$  = 出力電圧
- $I_Q$  = 静止電流

$I_Q \ll I_O$  として、式 5 の  $I_Q \times V_I$  という用語は無視できます。

特定の周囲空気温度 ( $T_A$ ) で動作しているデバイスの場合、式 6 を使用して接合部温度 ( $T_J$ ) を用いて計算します。

$$T_J = T_A + (\theta_{JA} \times P_D) \quad (6)$$

ここで、

- $\theta_{JA}$  = 接合部から接合部までの周囲空気の熱インピーダンス

式 7 で、消費電力による接合部温度の上昇を計算します。

$$\Delta T = T_J - T_A = (\theta_{JA} \times P_D) \quad (7)$$

特定の最大接合部温度 ( $T_{Jmax}$ ) について、デバイスが動作可能な最大周囲空気温度 ( $T_{Amax}$ ) は 式 8 で計算できます。

$$T_{Amax} = T_{Jmax} - (\theta_{JA} \times P_D) \quad (8)$$

#### 7.4.2 レイアウト例

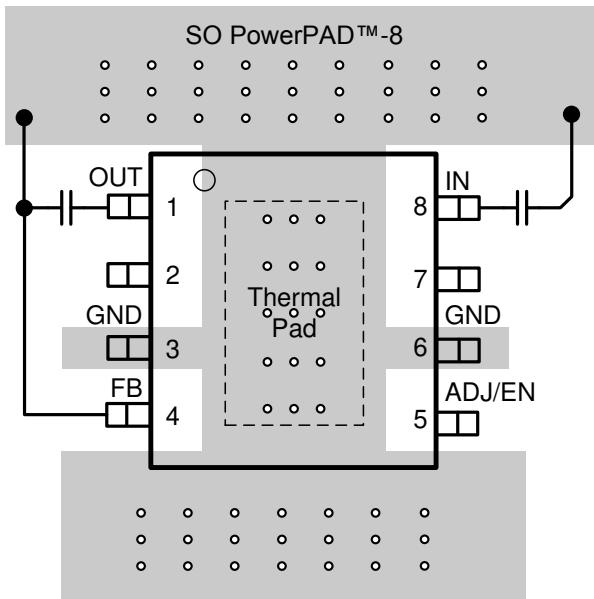


図 7-5. SO PowerPAD パッケージ TPS7B4253-Q1 の  
レイアウト例

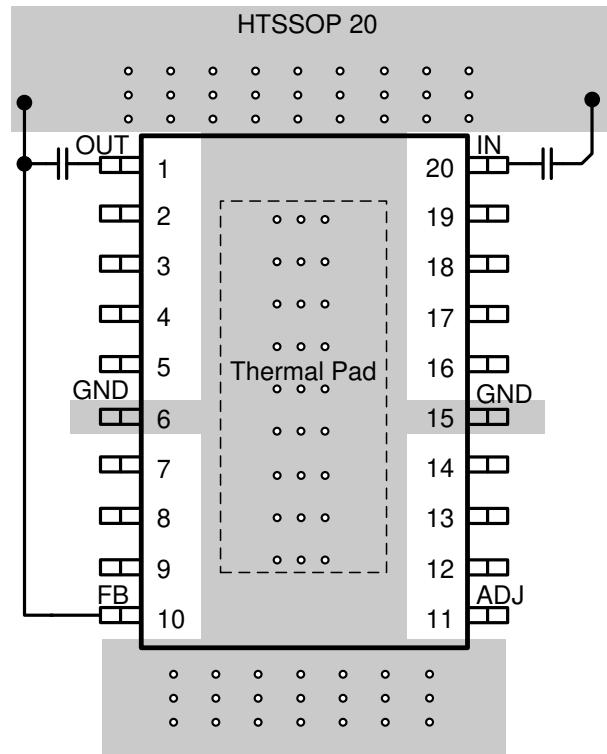


図 7-6. HTSSOP パッケージ TPS7B4253-Q1 のレイ  
アウト例

## 8 デバイスおよびドキュメントのサポート

### 8.1 デバイス サポート

#### 8.1.1 デバイスの命名規則

表 8-1. デバイスの命名規則

製品名	V <sub>OUT</sub>
TPS7B4253QyyyRQ1	<p><b>Q</b> は、AEC-Q100 規格のグレード 1 に準拠したデバイスであることを表すものです。</p> <p>「<b>yyy</b>」はパッケージ指定子です (DDA = HSOIC &amp; PWP = HTSSOP)。</p> <p><b>Q1</b> は、車載グレード (AEC-Q100) デバイスであることを表すものです。</p> <p>DDA パッケージについては、このデバイスには複数のリードフレームが付属している可能性があります。リール包装ラベルには、使用されているリードフレームを識別するための ASO 情報が記載されています。ASO:FMX ラベルは、新しい製造拠点および ASO からの材料を示します。ASE ラベルは、従来の製造拠点からの材料を示します。</p>

#### 8.1.2 開発サポート

TPS7B4253 PSpice トランジエント モデルについては、を参照してください。

### 8.2 ドキュメントのサポート

#### 8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『[TPS7B4253-Q1 を使用した LDO パラレル ソリューションのリファレンス デザイン』設計ガイド](#)
- テキサス インスツルメンツ、『[TPS7B4253-Q1 評価基板ユーザー ガイド』](#)
- テキサス インスツルメンツ、『[TPS7B4253-Q1 ピン FMEA の機能安全』](#)

### 8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 8.5 商標

PowerPAD™ is a trademark of Texas Instruments.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 8.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお奨めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。



## 8.7 用語集

### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

	<b>Page</b>
<b>Changes from Revision C (July 2016) to Revision D (November 2025)</b>	
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• ドキュメント全体を通して SO を HSOIC に変更.....	1
• データシートのタイトルを変更.....	1
• 「特長」セクションの車載用固有の箇条書きを変更 .....	1
• 複数の製造拠点 (ASE, FMX) からの DDA パッケージの熱情報を含めて「熱に関する情報」表を更新.....	5
• デバイスの命名規則を更新し、DDA 材料を異なるアセンブリ サイトから区別する方法を説明する注記を追加。 ....	23

	<b>Page</b>
<b>Changes from Revision B (January 2016) to Revision C (July 2016)</b>	
• 「推奨動作条件」表の以下のパラメータを HTSSOP および SO PowerPAD パッケージの値を示すように変更: $V_{ADJ}$ , $V_{FB}$ , $V_{OUT}$ .....	4
• 「機能ブロック図」を修正.....	10
• 「出力電圧がリファレンス電圧と等しいアプリケーション」セクションの例として HTSSOP パッケージを追加.....	16
• 「出力電圧がリファレンス電圧と等しい場合」図を修正.....	16

## 10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのプラウザ版を使用されている場合は、画面左側の説明をご覧ください。

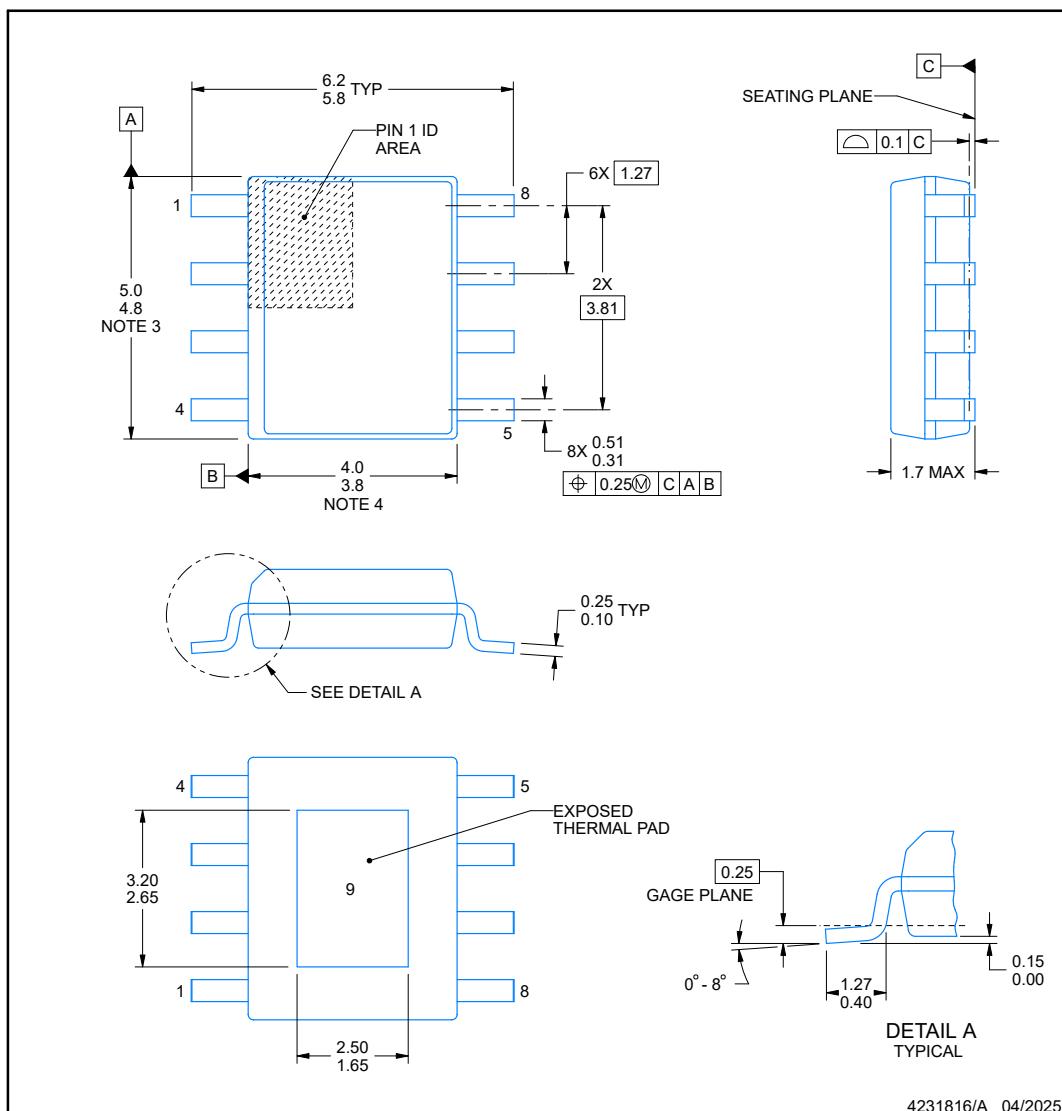
## 10.1 メカニカル データ

DDA0008B-C01



## PACKAGE OUTLINE

PLASTIC SMALL OUTLINE



## NOTES:

PowerPAD is a trademark of Texas Instruments

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
  2. This drawing is subject to change without notice.
  3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
  4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
  5. Reference JEDEC registration MS-012.

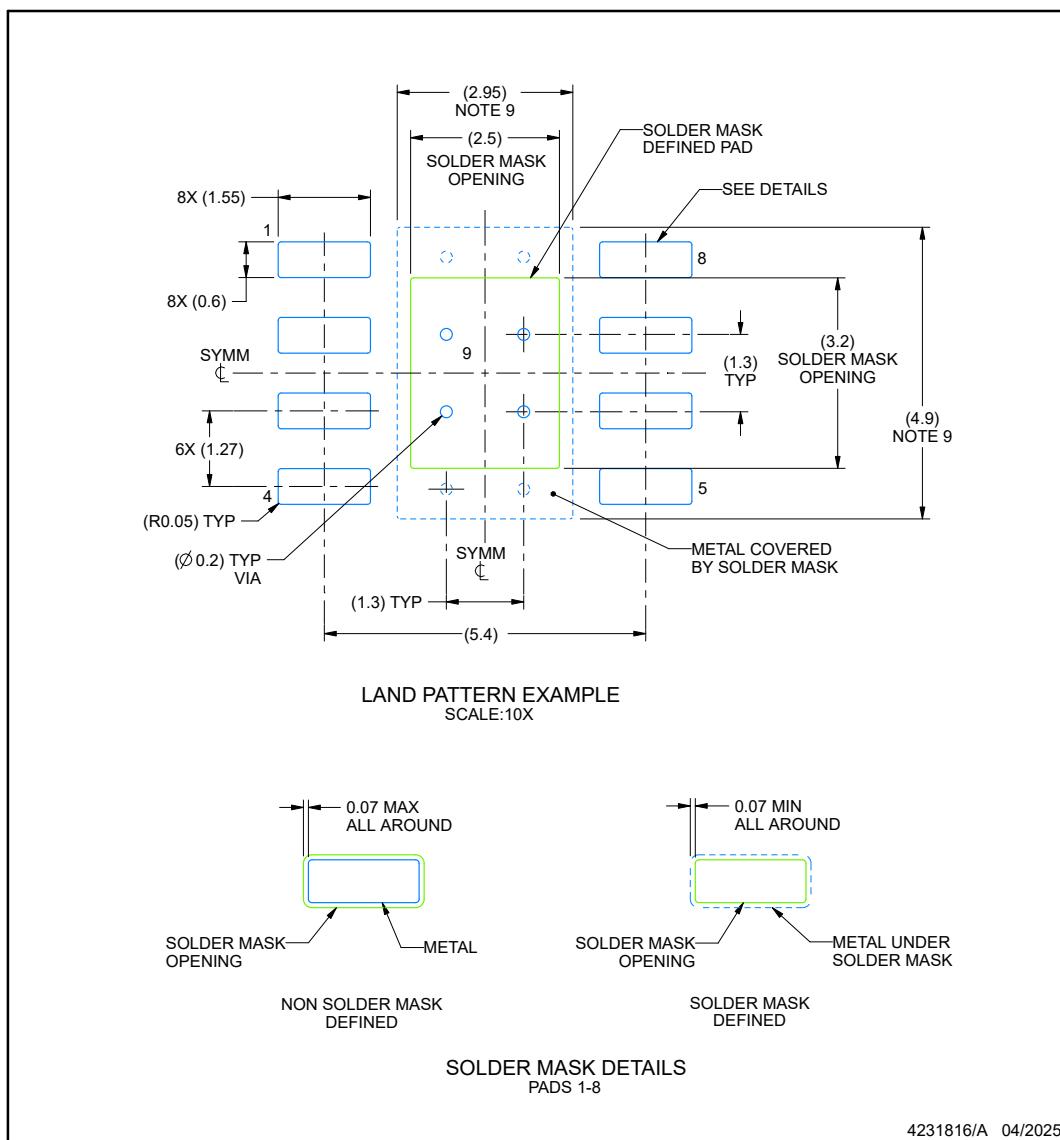


## EXAMPLE BOARD LAYOUT

### DDA0008B-C01

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



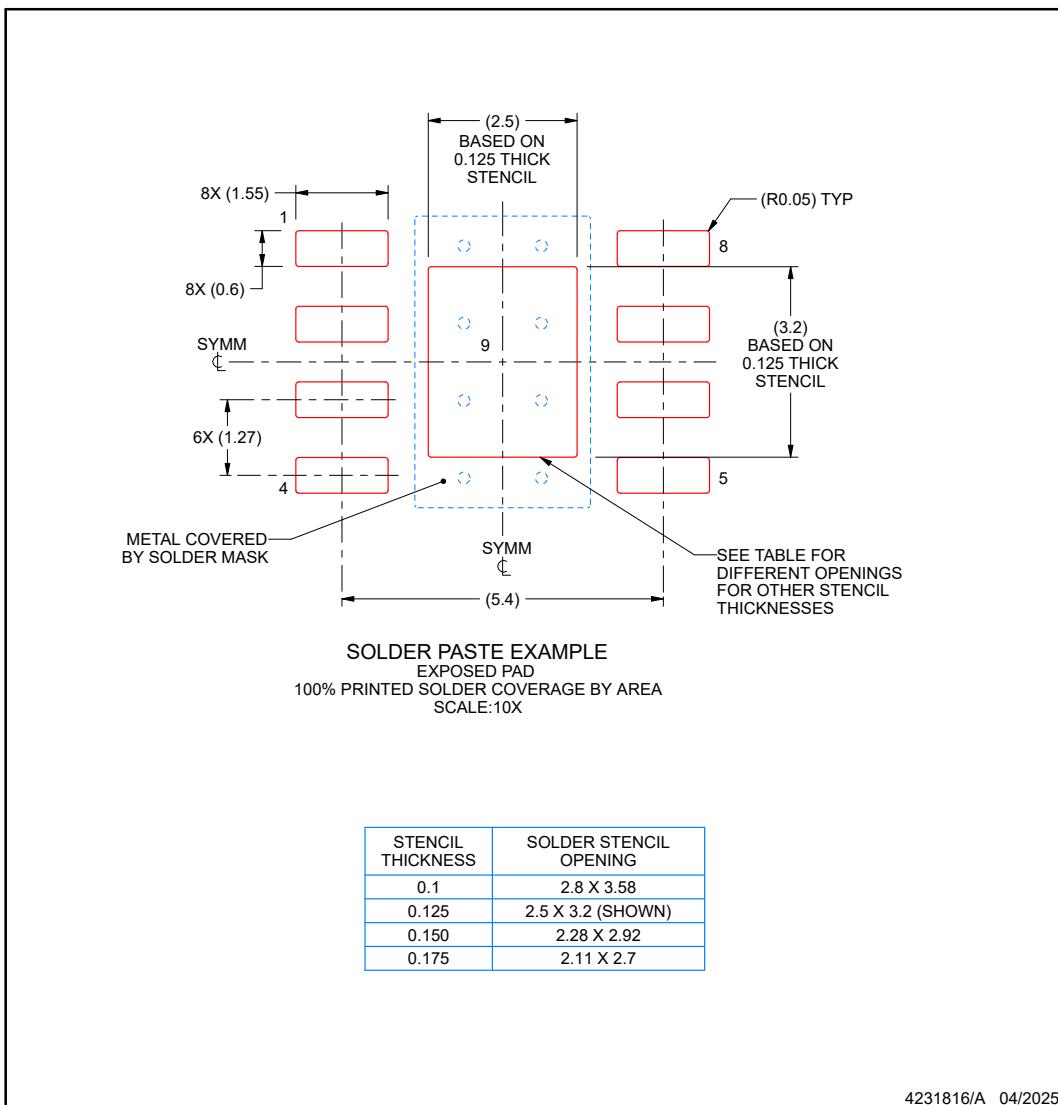
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 ([www.ti.com/lit/slma002](http://www.ti.com/lit/slma002)) and SLMA004 ([www.ti.com/lit/slma004](http://www.ti.com/lit/slma004)).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

## EXAMPLE STENCIL DESIGN

**DDA0008B-C01**

**PowerPAD™ SOIC - 1.7 mm max height**

PLASTIC SMALL OUTLINE



4231816/A 04/2025

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7B4253QDDARQ1	Active	Production	SO PowerPAD (DDA)   8	2500   LARGE T&R	Yes	NIPDAU   NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	4253
TPS7B4253QDDARQ1.A	Active	Production	SO PowerPAD (DDA)   8	2500   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4253
TPS7B4253QPWPRQ1	Active	Production	HTSSOP (PWP)   20	2000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	7B4253Q
TPS7B4253QPWPRQ1.A	Active	Production	HTSSOP (PWP)   20	2000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	7B4253Q

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

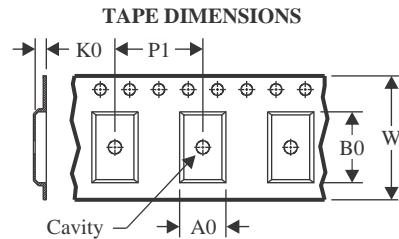
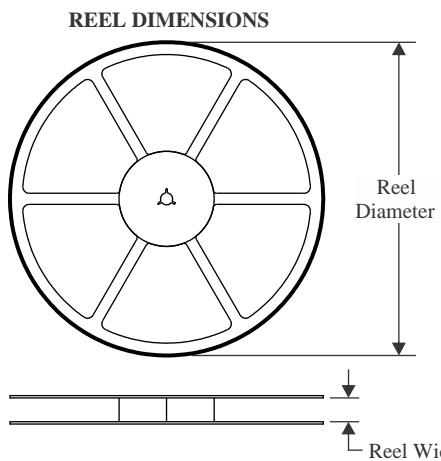
<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

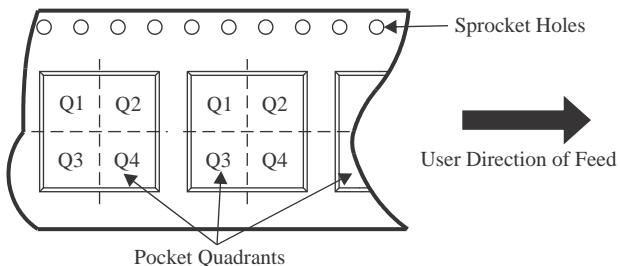
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

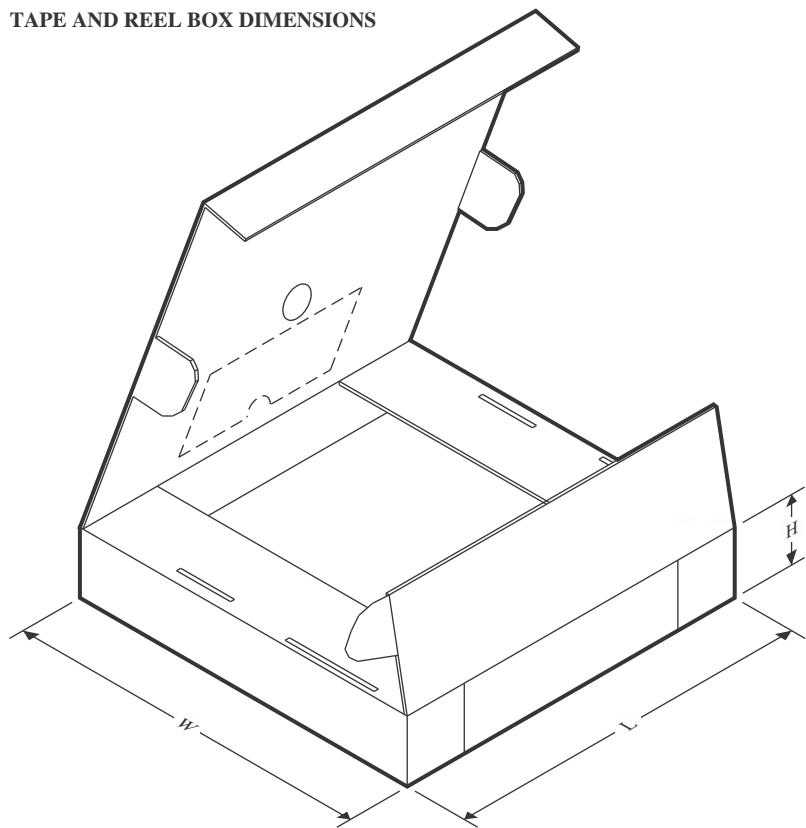
**TAPE AND REEL INFORMATION**

A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**

\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7B4253QDDARQ1	SO PowerPAD	DDA	8	2500	330.0	12.8	6.4	5.2	2.1	8.0	12.0	Q1
TPS7B4253QPWPRQ1	HTSSOP	PWP	20	2000	330.0	16.4	6.95	7.1	1.6	8.0	16.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

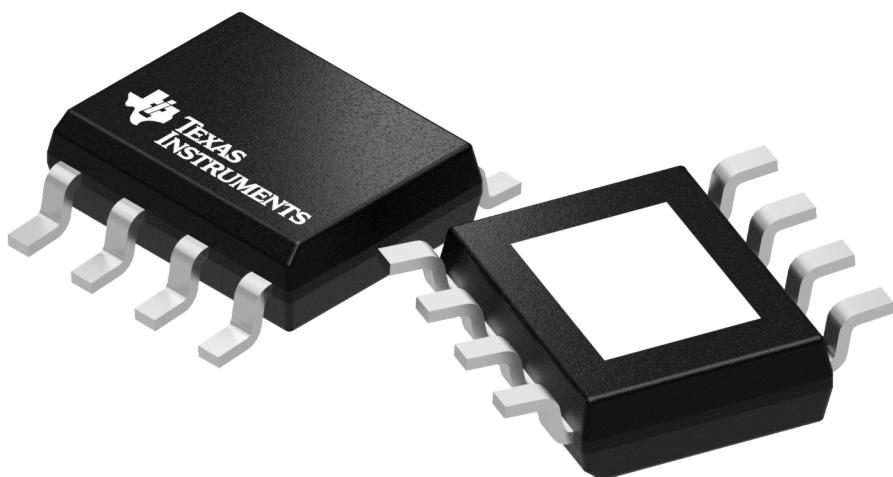
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7B4253QDDARQ1	SO PowerPAD	DDA	8	2500	366.0	364.0	50.0
TPS7B4253QPWPRQ1	HTSSOP	PWP	20	2000	350.0	350.0	43.0

## GENERIC PACKAGE VIEW

DDA 8

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

4202561/G

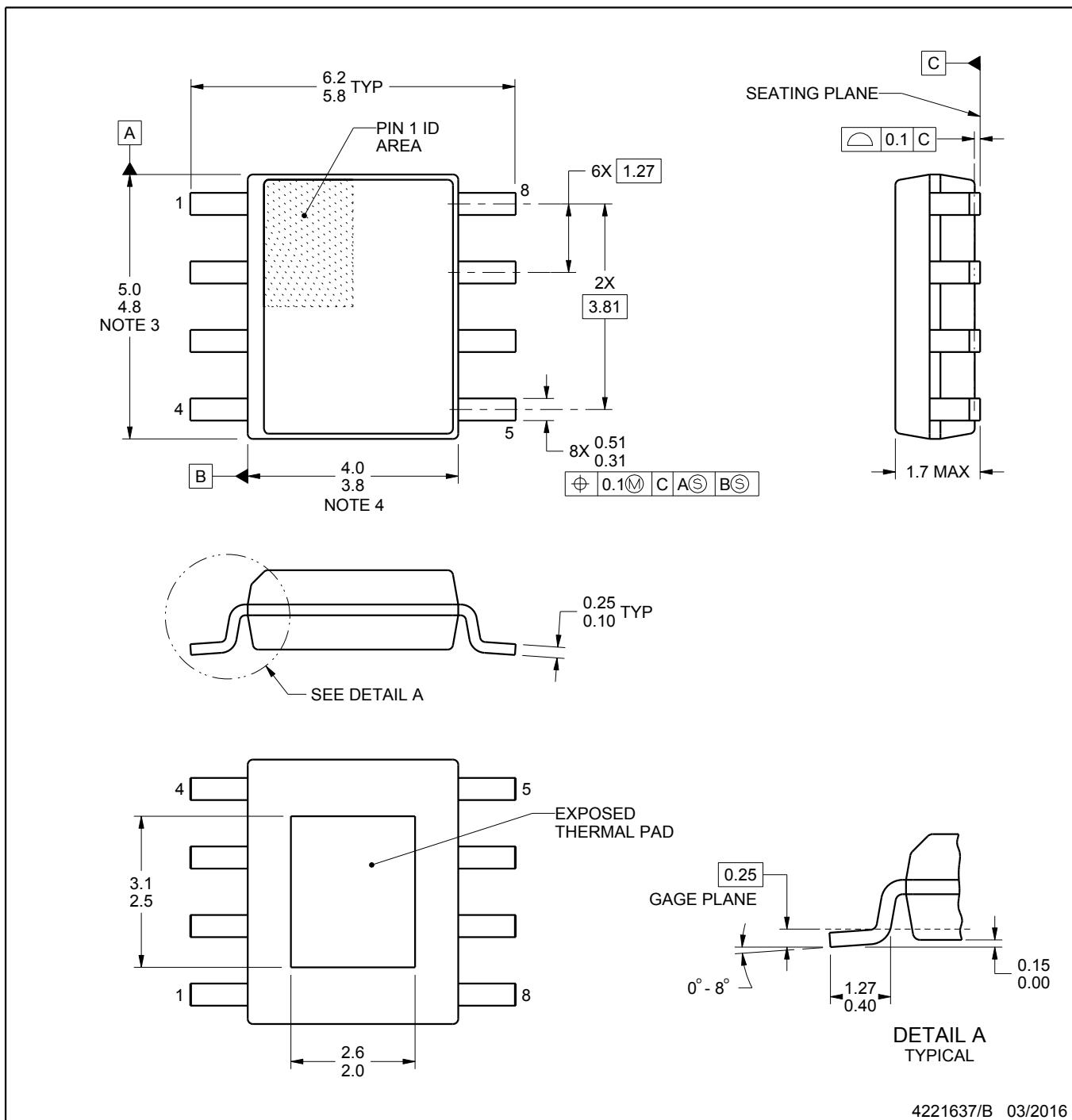
**DDA0008J**



# PACKAGE OUTLINE

**PowerPAD™ SOIC - 1.7 mm max height**

PLASTIC SMALL OUTLINE



4221637/B 03/2016

PowerPAD is a trademark of Texas Instruments.

## NOTES:

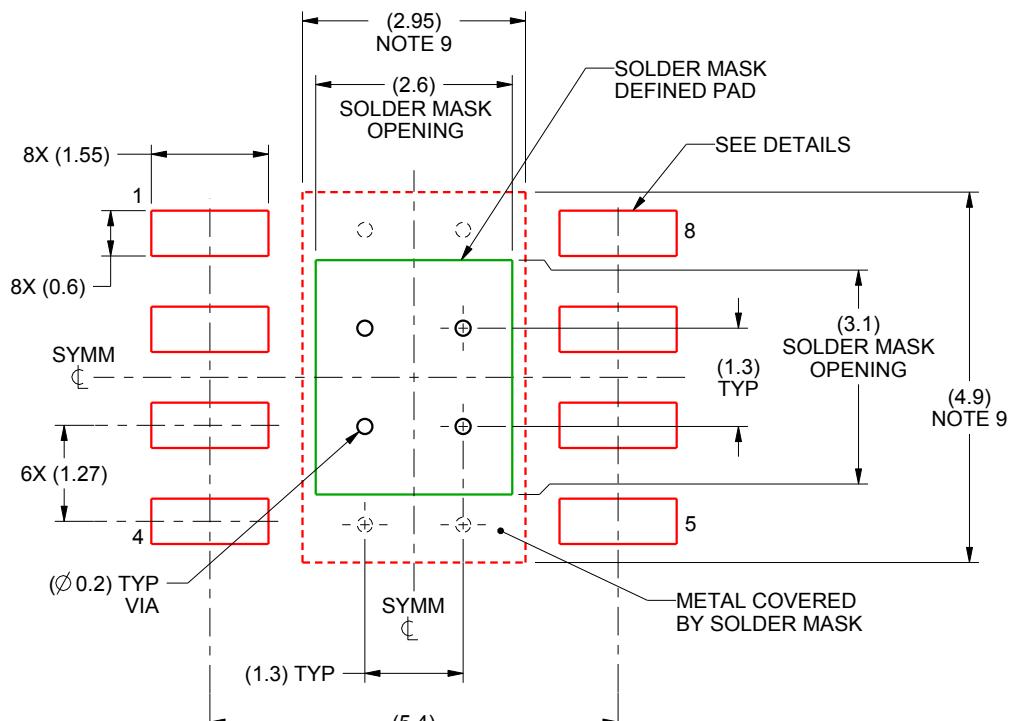
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012, variation BA.

## **EXAMPLE BOARD LAYOUT**

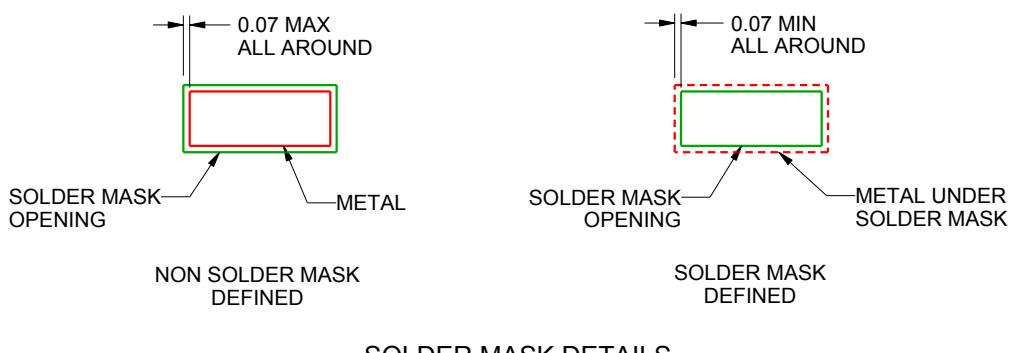
DDA0008J

## **PowerPAD™ SOIC - 1.7 mm max height**

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE  
SCALE:10X



4221637/B 03/2016

#### NOTES: (continued)

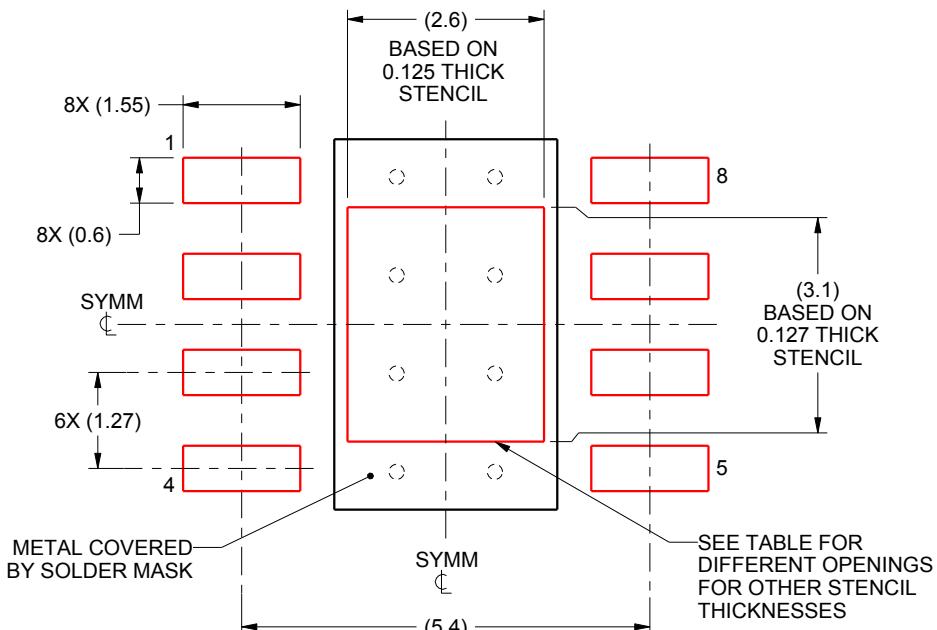
6. Publication IPC-7351 may have alternate designs.
  7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
  8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 ([www.ti.com/lit/slma002](http://www.ti.com/lit/slma002)) and SLMA004 ([www.ti.com/lit/slma004](http://www.ti.com/lit/slma004)).
  9. Size of metal pad may vary due to creepage requirement.

# EXAMPLE STENCIL DESIGN

DDA0008J

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE  
EXPOSED PAD  
100% PRINTED SOLDER COVERAGE BY AREA  
SCALE:10X

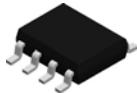
STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	2.91 X 3.47
0.125	2.6 X 3.1 (SHOWN)
0.150	2.37 X 2.83
0.175	2.20 X 2.62

4221637/B 03/2016

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

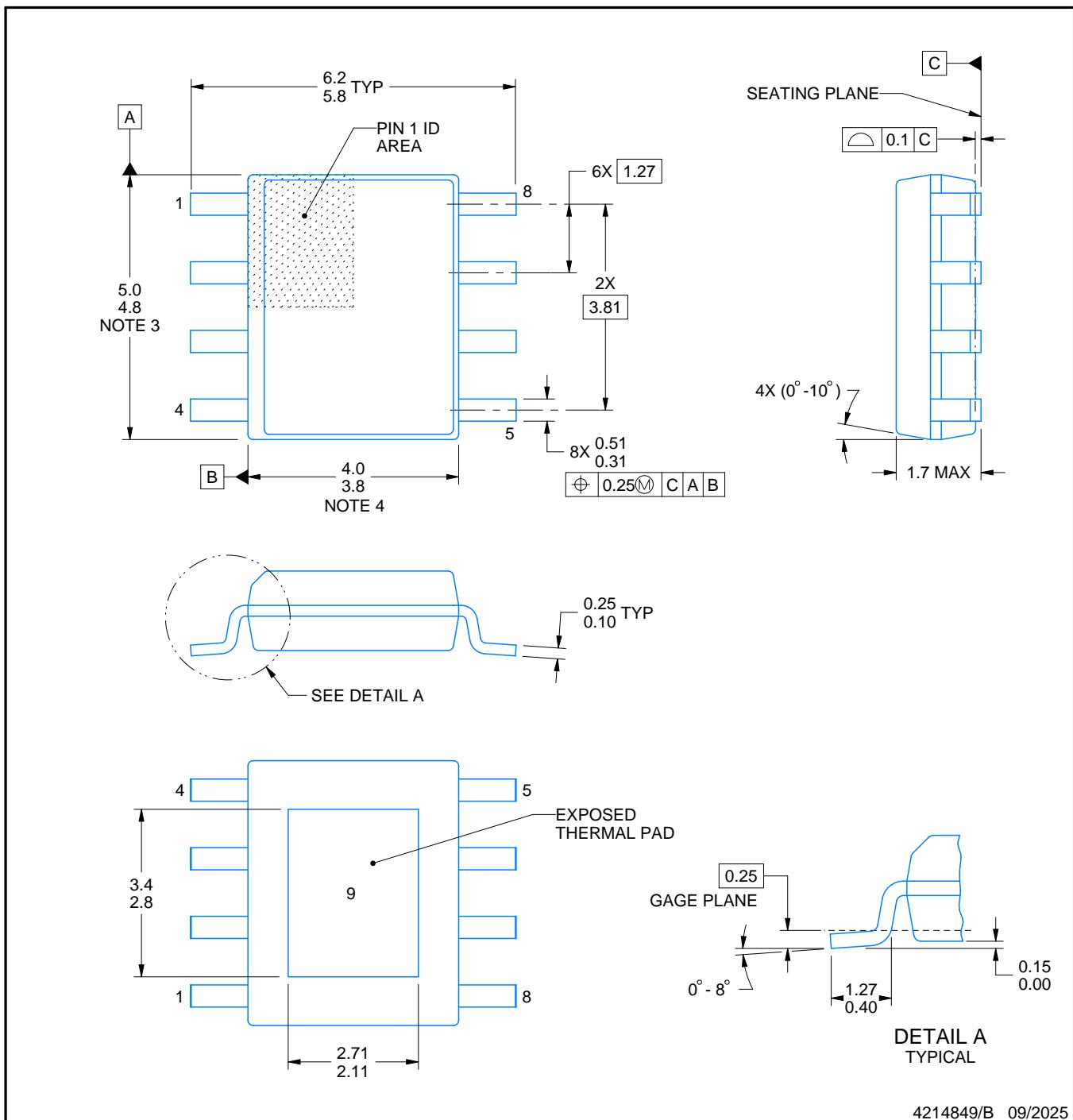
**DDA0008B**



# PACKAGE OUTLINE

**PowerPAD™ SOIC - 1.7 mm max height**

PLASTIC SMALL OUTLINE



4214849/B 09/2025

PowerPAD is a trademark of Texas Instruments.

NOTES:

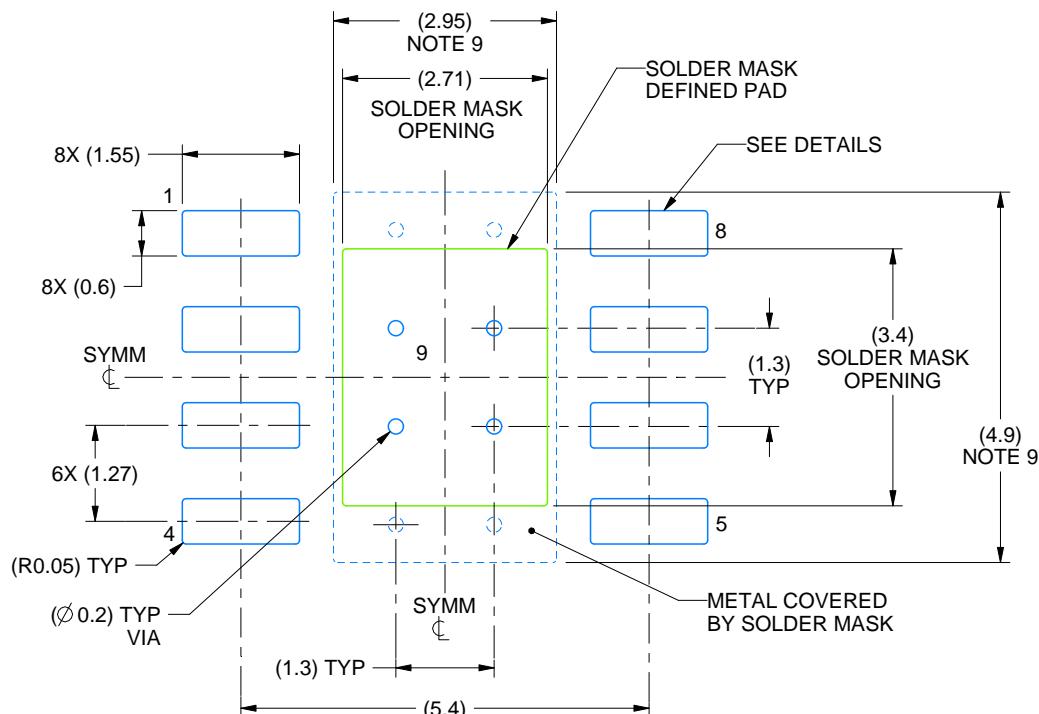
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MS-012.

# EXAMPLE BOARD LAYOUT

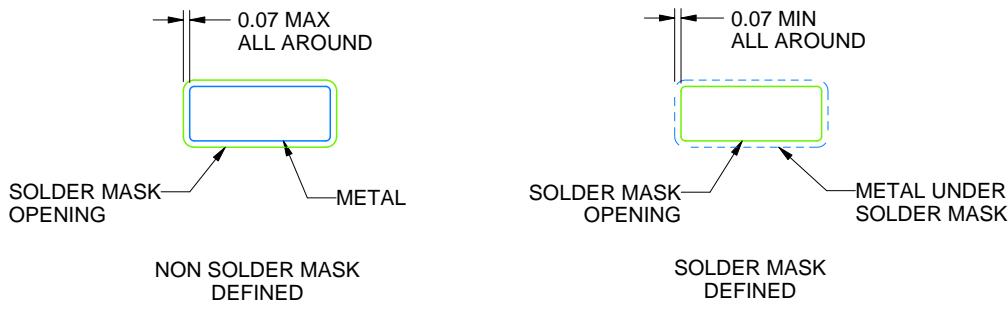
DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE  
SCALE:10X



SOLDER MASK DETAILS  
PADS 1-8

4214849/B 09/2025

NOTES: (continued)

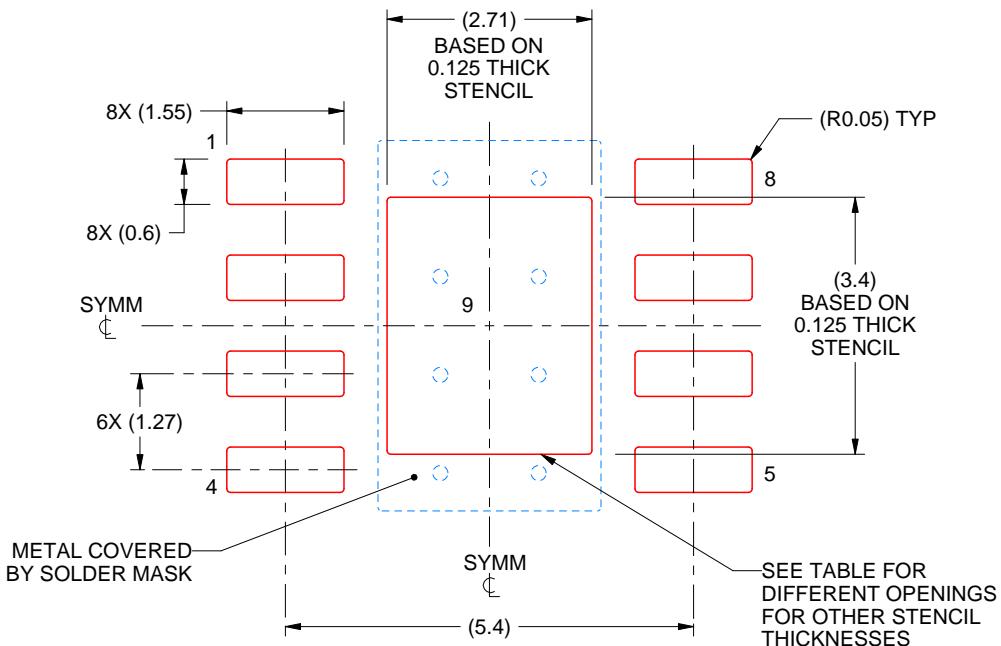
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 ([www.ti.com/lit/slma002](http://www.ti.com/lit/slma002)) and SLMA004 ([www.ti.com/lit/slma004](http://www.ti.com/lit/slma004)).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

DDA0008B

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE  
EXPOSED PAD  
100% PRINTED SOLDER COVERAGE BY AREA  
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.03 X 3.80
0.125	2.71 X 3.40 (SHOWN)
0.150	2.47 X 3.10
0.175	2.29 X 2.87

4214849/B 09/2025

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

## GENERIC PACKAGE VIEW

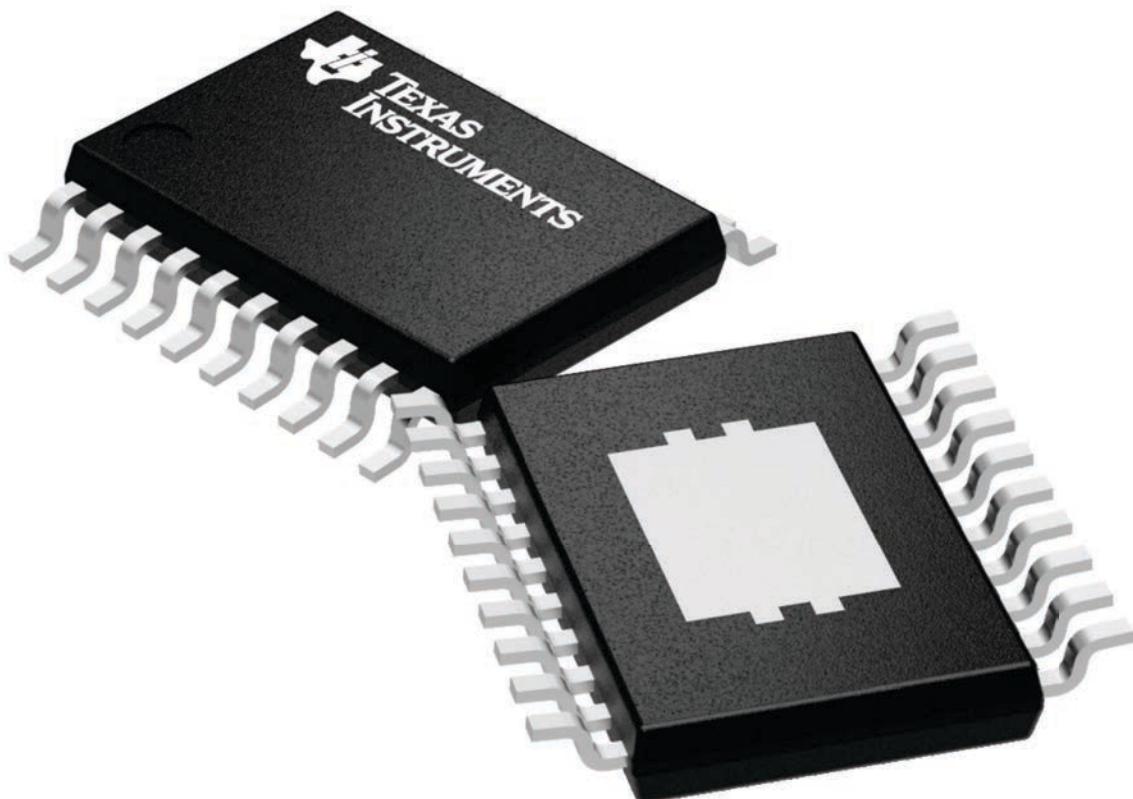
**PWP 20**

**HTSSOP - 1.2 mm max height**

**6.5 x 4.4, 0.65 mm pitch**

**SMALL OUTLINE PACKAGE**

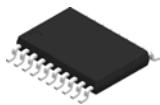
This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4224669/A

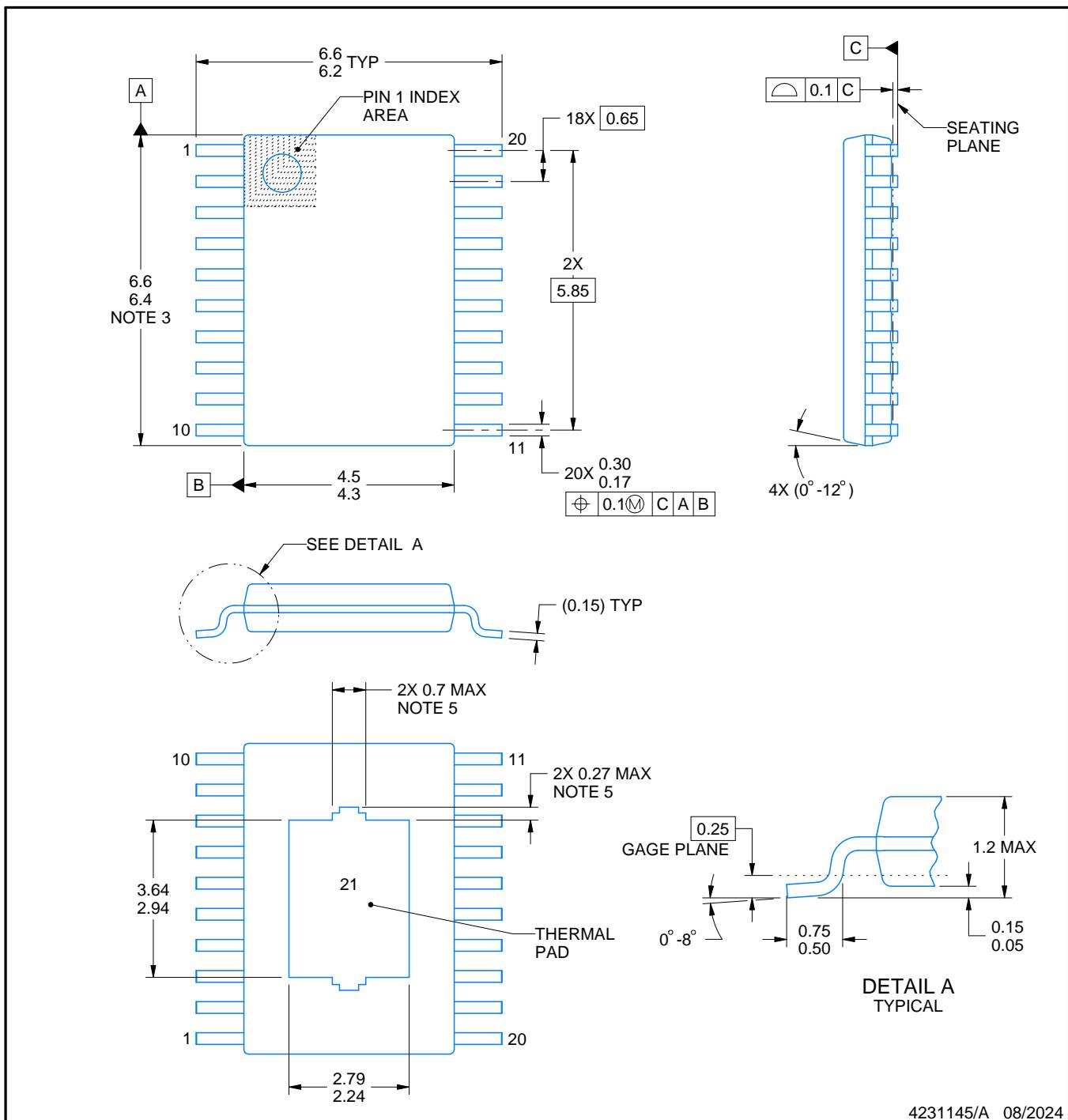
# PACKAGE OUTLINE

PWP0020W



PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4231145/A 08/2024

PowerPAD is a trademark of Texas Instruments.

## NOTES:

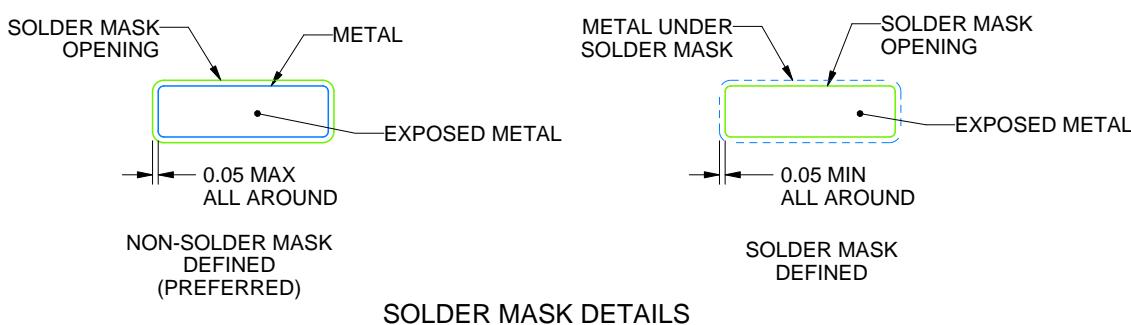
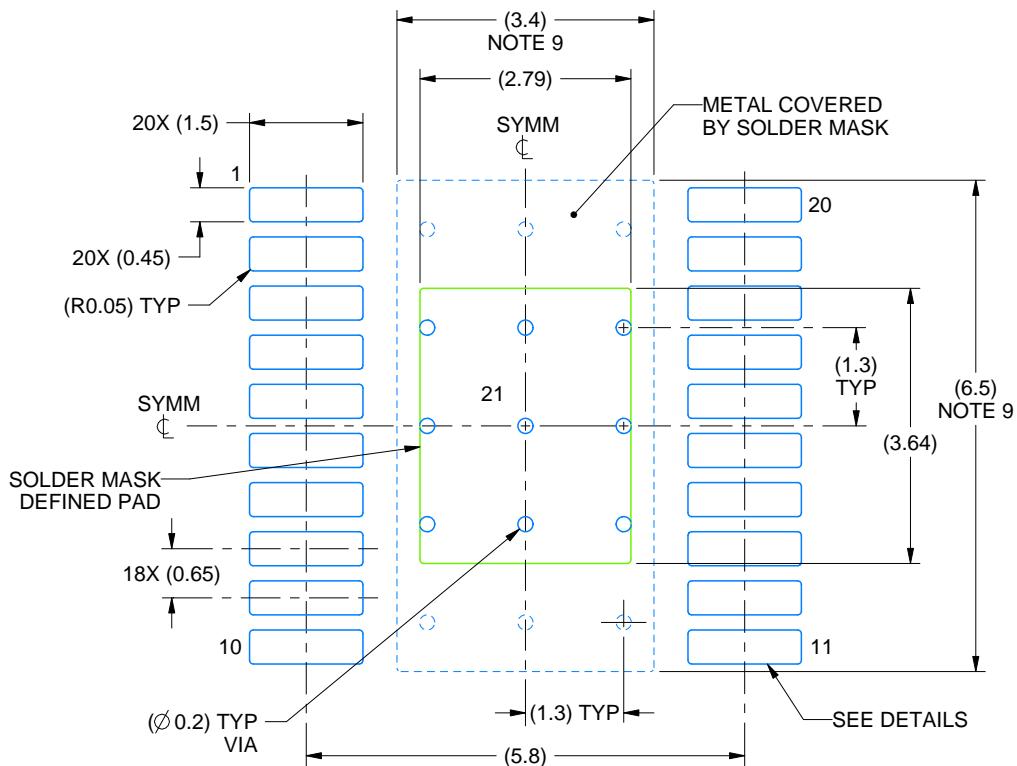
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- Reference JEDEC registration MO-153.
- Features may differ or may not be present.

# EXAMPLE BOARD LAYOUT

PWP0020W

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4231145/A 08/2024

NOTES: (continued)

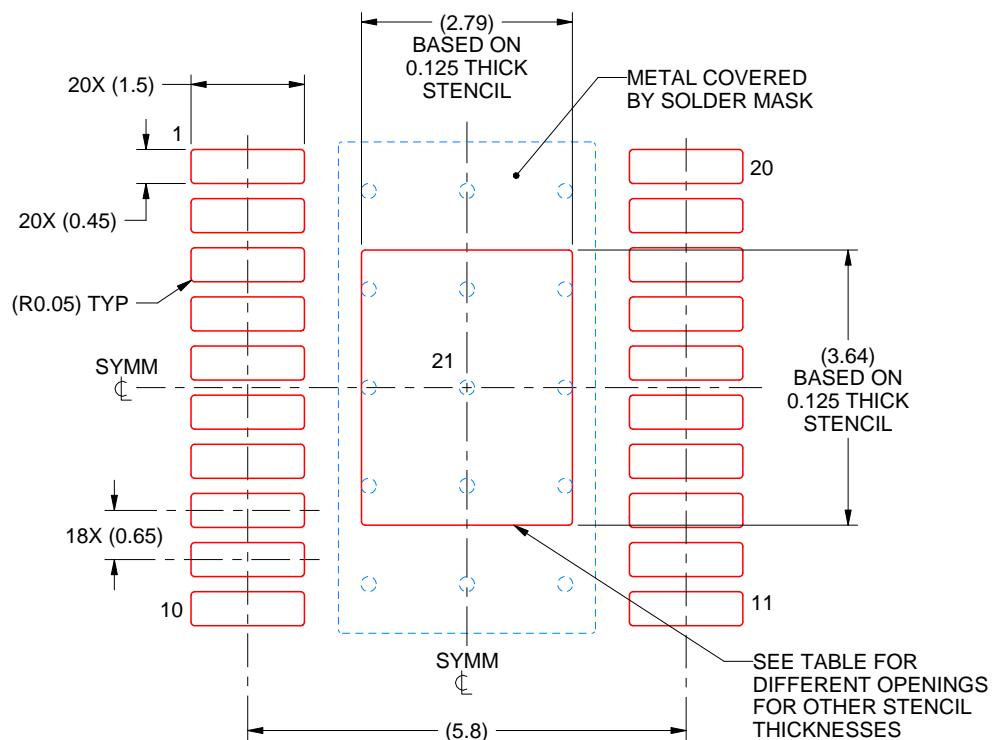
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 ([www.ti.com/lit/slma002](http://www.ti.com/lit/slma002)) and SLMA004 ([www.ti.com/lit/slma004](http://www.ti.com/lit/slma004)).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

PWP0020W

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.12 X 4.07
0.125	2.79 X 3.64 (SHOWN)
0.15	2.55 X 3.32
0.175	2.36 X 3.08

4231145/A 08/2024

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月