

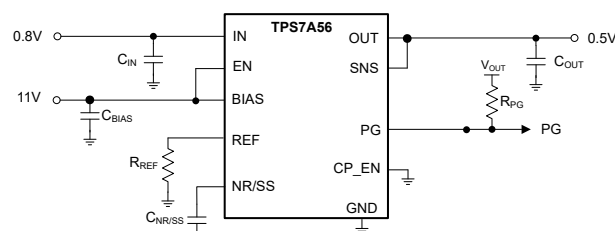
TPS7A56 6A、低 V_{IN} 、低ノイズ、高精度、超低ドロップアウト (LDO) 電圧レギュレータ

1 特長

- 入力電圧範囲:
 - BIAS なし: 1.1V ~ 6.0V
 - BIAS あり: 0.7V ~ 6.0V
- 出力電圧ノイズ: 2.45 μ V_{RMS}
- ライン、負荷、温度の全範囲にわたって 1% (最大値) の精度
- 低いドロップアウト: 6 A 時に 90 mV
- 電源電圧変動除去比 (6A):
 - 1kHz 時に 100dB
 - 10kHz 時に 78dB
 - 100kHz 時に 60dB
 - 1MHz 時に 36dB
- 負荷過渡応答:
 - 100mA~6A の負荷ステップで ± 3 mV
- 可変出力電圧範囲: 0.5V ~ 5.0V
- 調整可能なソフトスタート突入電流制御
- BIAS レール:
 - 内部チャージポンプまたは 3V~11V の外部レール
 - 内部チャージポンプをディセーブルにできる
- オープンドレインのパワーグッド (PG) 出力
- パッケージ:
 - 3mm \times 3mm, 16 ピン WQFN
 - EVM R_{θJA}: 21.9°C/W

2 アプリケーション

- マクロリモート無線ユニット (RRU)
- 屋外バックホールユニット
- アクティブアンテナシステム (AAS) の mMIMO
- 超音波スキャナ
- 実験室およびフィールド向け計測機器
- センサ、画像処理、レーダー



代表的なアプリケーション回路

3 説明

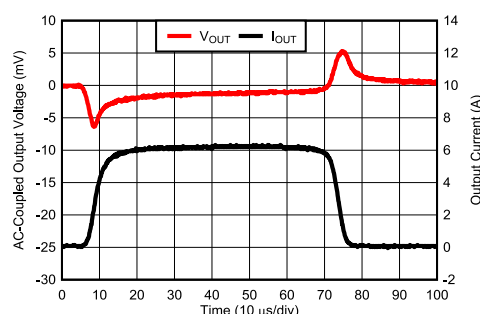
TPS7A56、低ノイズ (2.45 μ V_{RMS}) で超低ドロップアウトのリニアレギュレータ (LDO) であり、出力電圧に依存せず 90mV のドロップアウトで最大 6A の電流を供給可能です。デバイスの出力電圧は、1 個の外付け抵抗を使って 0.5V~5V の範囲で調整可能です。低ノイズ、高 PSRR (36dB at 1MHz)、高出力電流能力の組み合わせにより、TPS7A56 はノイズに敏感なコンポーネントの電源用に設計されています。これらのコンポーネント (RF アンプ、レーダーセンサ、SERDES、アナログチップセットなど) は、レーダーの電力、通信、画像処理の用途に使用されています。

低入力、低出力 (LILO) 電圧で動作するデジタル負荷も、優れた精度、リモートセンシング、過渡応答性能、ソフトスタート機能の恩恵を受け、システム全体の性能を最大限に引き出すことができます。これらの負荷には、アプリケーション固有集積回路 (ASIC)、フィールドプログラマブルゲートアレイ (FPGA)、デジタル信号プロセッサ (DSP) などが含まれます。汎用性、性能、フットプリントが小さいため、この LDO は大電流のアナログ負荷や、シリアルライザ/デシリアルライザ (SerDes)、FPGA、DSP など、大電流アナログ負荷のための優れた選択肢となります。大電流アナログ負荷には、A/D コンバータ (ADC)、D/A コンバータ (DAC)、画像処理センサが含まれます。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージサイズ ⁽²⁾
TPS7A56	RTE (WQFN, 16)	3mm \times 3mm

- 詳細については、[メカニカル](#)、[パッケージ](#)、および[注文情報](#)をご覧ください。
- パッケージサイズ (長さ \times 幅) は公称値であり、ピンを含む場合もあります。



TPS7A56 の負荷過渡応答



目次

1 特長	1	7 アプリケーションと実装	45
2 アプリケーション	1	7.1 アプリケーション情報.....	45
3 説明	1	7.2 代表的なアプリケーション.....	62
4 ピン構成および機能	3	7.3 電源に関する推奨事項.....	63
5 仕様	4	7.4 レイアウト.....	63
5.1 絶対最大定格.....	4	8 デバイスおよびドキュメントのサポート	65
5.2 ESD 定格.....	4	8.1 デバイス サポート.....	65
5.3 推奨動作条件.....	5	8.2 ドキュメントのサポート.....	65
5.4 熱に関する情報.....	5	8.3 ドキュメントの更新通知を受け取る方法.....	65
5.5 電気的特性.....	6	8.4 サポート・リソース.....	65
5.6 代表的特性.....	9	8.5 商標.....	65
6 詳細説明	39	8.6 静電気放電に関する注意事項.....	65
6.1 概要.....	39	8.7 用語集.....	66
6.2 機能ブロック図.....	40	9 改訂履歴	66
6.3 機能説明.....	41	10 メカニカル、パッケージ、および注文情報	66
6.4 デバイスの機能モード.....	43	10.1 メカニカル データ.....	67

4 ピン構成および機能

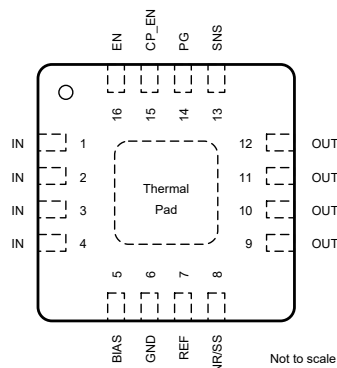


図 4-1. RTE パッケージ、16 ピン WQFN (上面図)

表 4-1. ピンの機能

ピン		種類 (1)	説明
名称	番号		
BIAS	5	I	BIAS 電源電圧ピン。追加情報については「 チャージポンプのイネーブルとBIAS レール 」セクションを参照してください。
CP_EN	15	I	充電イネーブルピン。追加情報については「 チャージポンプのイネーブルとBIAS レール 」セクションを参照してください。
EN	16	I	イネーブルピン。追加情報については「 高精度のイネーブルとUVLO 」セクションを参照してください。
GND	6	GND	グラウンドピン。追加情報については「 レイアウトのガイドライン 」セクションを参照してください。
IN	1、2、3、4	I	入力電源電圧ピン。詳細については、「 入力および出力コンデンサの要件 (C_{IN} および C_{OUT}) 」セクションを参照してください。
NR/SS	8	I/O	ノイズ低減ピン。追加情報については、「 プログラム可能なソフトスタート (NR/SS ピン) および ソフトスタート、ノイズ低減 (NR/SS ピン) 、 パワーグッド (PG ピン) 」セクションを参照してください。
OUT	9、10、11、12	O	レギュレートされた出力ピン。詳細については「 出力電圧設定およびレギュレーション 」および「 入力および出力コンデンサの要件 (C_{IN} および C_{OUT}) 」セクションを参照してください。
PG	14	O	LDO の出力電圧用のオープンドレイン型パワーグッド インジケータピン。追加情報については「 パワーグッドピン (PG ピン) 」セクションを参照してください。
REF	7	I/O	リファレンスピン。追加情報については「 出力電圧設定およびレギュレーション 」セクションを参照してください。
SNS	13	I	出力検出センスピン。追加情報については「 出力電圧設定およびレギュレーション 」セクションを参照してください。
サーマルパッド	—	GND	最良の熱性能を得るために、パッドを GND に接続します。詳細については、「 レイアウト 」セクションを参照してください。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド。

5 仕様

5.1 絶対最大定格

動作接合部温度範囲を超過。すべての電圧は GND を基準とします (別段の記載がない限り)⁽¹⁾

		最小値	最大値	単位
電圧	BIAS	-0.3	11.2	V
	IN、PG、EN、CP_EN	-0.3	6.5	
	REF、NR/SS、SNS	-0.3	6	
	OUT	-0.3	$V_{IN} + 0.3$ ⁽²⁾	
電流	OUT	内部的に制限		A
	PG (デバイスへのシンク電流)		5	mA
温度	動作時の接合部温度、T _J	-40	150	°C
	保存、T _{stg}	-55	150	

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 絶対最大定格は $V_{IN} + 0.3V$ または 6.0V のどちらか小さい方です。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
		荷電デバイス モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 ⁽²⁾	±500	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

5.3 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

		最小値	標準値	最大値	単位
V_{IN}	入力電源電圧	0.7		6	V
V_{REF}	リファレンス電圧	0.5		5	V
V_{OUT}	出力電圧	0.5		5	V
V_{BIAS}	バイアス電圧	3		11	V
I_{OUT}	出力電流	0		6	A
C_{IN}	入力コンデンサ	4.7	10	1000	μF
C_{OUT}	出力コンデンサ ⁽¹⁾	22		3000	μF
C_{OUT_ESL}	出力コンデンサの ESR	2		20	m Ω
Z_{OUT_ESL}	合計インピーダンス ESL	0.2		1	nH
C_{BIAS}	バイアス ピン コンデンサ	0	1	100	μF
$C_{NR/SS}$	ノイズ低減コンデンサ	0.1	4.7	10	μF
R_{PG}	パワーグッドのブルアップ抵抗	10		100	k Ω
T_J	接合部温度	-40		125	$^{\circ}C$

(1) 安定させるために、最低 15 μF の実効出力キャパシタンスが必要です

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS7A56		単位
		RTE (WQFN) ⁽²⁾	RTE (WQFN) ⁽³⁾	
		16 ピン	16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	40.3	21.9	$^{\circ}C/W$
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	39.3	–	$^{\circ}C/W$
$R_{\theta JB}$	接合部から基板への熱抵抗	14	–	$^{\circ}C/W$
Ψ_{JT}	接合部から上面への特性パラメータ	0.5	0.4	$^{\circ}C/W$
Ψ_{JB}	接合部から基板への特性パラメータ	14.0	11.9	$^{\circ}C/W$
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	1.8	–	$^{\circ}C/W$

(1) 従来および新しい熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

(2) JEDEC 規格 (2s2p) を使用して評価済みです。

(3) EVM を使用して評価します。

5.5 電気的特性

動作温度範囲全体 ($T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$)、 $V_{IN(NOM)} = V_{OUT(NOM)} + 0.4\text{V}$ 、 $V_{CP_EN} = 1.8\text{V}$ 、 $V_{BIAS} = 0\text{V}$ 、 $I_{OUT} = 0\text{A}$ 、 $V_{EN} = 1.8\text{V}$ 、 $C_{IN} = 10\mu\text{F}$ 、 $C_{OUT} = 22\mu\text{F}$ 、 $C_{BIAS} = 0\text{nF}$ 、 $C_{NR/SS} = 100\text{nF}$ 、特に記載のない限り、SNS ピンは OUT ピンにショートされ、PG ピンは $100\text{k}\Omega$ で V_{IN} ブルアップされています。標準値は $T_J = 25^{\circ}\text{C}$ です

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{UVLO(IN)}$	BIAS 付きの入力電源 UVLO	V_{IN} 立ち上がり、 $V_{CP_EN} = 1.8\text{V}$ ($3\text{V} \leq V_{BIAS} \leq 11\text{V}$) および $V_{CP_EN} = 0\text{V}$ ($V_{OUT} + 3.2\text{V} \leq V_{BIAS} \leq 11\text{V}$)		0.67	0.7	V
$V_{HYS(UVLO_IN)}$	BIAS 付きの入力電源 UVLO ヒステリシス	$V_{CP_EN} = 1.8\text{V}$ ($3\text{V} \leq V_{BIAS} \leq 11\text{V}$) および $V_{CP_EN} = 0\text{V}$ ($V_{OUT} + 3.2\text{V} \leq V_{BIAS} \leq 11\text{V}$)		50		mV
$V_{UVLO(IN)}$	入力電源 UVLO (BIAS なし)	V_{IN} 立ち上がり、 $V_{CP_EN} = 1.8\text{V}$		1.07	1.1	V
$V_{HYS(UVLO_IN)}$	入力電源 UVLO ヒステリシス (BIAS なし)	$V_{CP_EN} = 1.8\text{V}$		50		mV
$V_{UVLO(BIAS)} - V_{REF}$	CP なしでの V_{REF} に対する BIAS UVLO	V_{BIAS} 立ち上がり、 $V_{CP_EN} = 0\text{V}$ 、 $1.4\text{V} \leq V_{REF} \leq 5.2\text{V}$		2.1	2.95	V
$V_{HYS(UVLO_BIAS - REF)}$	CP なしの V_{REF} ヒステリシスに対する BIAS UVLO	$V_{CP_EN} = 0\text{V}$ 、 $1.4\text{V} \leq V_{REF} \leq 5.2\text{V}$		240		mV
$V_{UVLO(BIAS)}$	CP による BIAS UVLO	V_{BIAS} 立ち上がり、 $V_{CP_EN} = 1.8\text{V}$ 、 $0.7\text{V} \leq V_{IN} < 1.1\text{V}$		2.8	2.95	V
$V_{HYS(UVLO_BIAS)}$	CP による BIAS UVLO ヒステリシス	$V_{CP_EN} = 1.8\text{V}$ 、 $0.7\text{V} \leq V_{IN} < 1.1\text{V}$		115		mV
$I_{NR/SS}$	NR/SS 高速スタートアップ充電電流	$V_{NR/SS} = \text{GND}$ 、 $V_{IN} = 1.1\text{V}$		0.2		mA
V_{OUT}	出力電圧精度 ⁽¹⁾	$0.5\text{V} \leq V_{OUT} \leq 5.2\text{V}$ 、 $0\text{A} \leq I_{OUT} \leq 6\text{A}$ 、 $V_{CP_EN} = 0\text{V}$ 、 $V_{OUT} + 3.2\text{V} \leq V_{BIAS} \leq 11\text{V}$ 、 $0.7\text{V} \leq V_{IN} \leq 6\text{V}$ ⁽²⁾ 、 $V_{CP_EN} = 1.8\text{V}$ 、 $3\text{V} \leq V_{BIAS} \leq 11\text{V}$ 、 $0.7\text{V} \leq V_{IN} \leq 6\text{V}$ ⁽²⁾ 、 $V_{CP_EN} = 1.8\text{V}$ 、BIAS なし、 $1.1\text{V} \leq V_{IN} \leq 6\text{V}$	-1		1	%
I_{REF}	REF 電流ピン	$V_{IN} = 1.1\text{V}$ 、 $V_{CP_EN} = 1.8\text{V}$ 、 $V_{OUT} = 0.5\text{V}$ 、 $I_{LOAD} = 0\text{A}$ 、 $V_{BIAS} = 0\text{V}$		50		μA
		$V_{CP_EN} = 0\text{V}$ (CP ディセーブル)、 $0.7\text{V} \leq V_{IN} \leq 6\text{V}$ ^{(1) (2)} 、 $0.5\text{V} \leq V_{OUT} \leq 5.2\text{V}$ 、 $V_{OUT} + 3.2\text{V} \leq V_{BIAS} \leq 11\text{V}$ 、 $0\text{A} \leq I_{OUT} \leq 6\text{A}$	-1		1	%
		$V_{CP_EN} = 1.8\text{V}$ (CP イネーブル、 $V_{BIAS} = 0\text{V}$)、 $1.1\text{V} \leq V_{IN} \leq 6\text{V}$ ⁽¹⁾ 、 $0.5\text{V} \leq V_{OUT} \leq 5.2\text{V}$ 、 $0\text{A} \leq I_{OUT} \leq 6\text{A}$ ⁽²⁾	-1		1	
		$V_{CP_EN} = 1.8\text{V}$ (CP イネーブル)、 $0.7\text{V} \leq V_{IN} \leq 6\text{V}$ 、 ⁽¹⁾ $0.5\text{V} \leq V_{OUT} \leq 5.2\text{V}$ 、 $3\text{V} \leq V_{BIAS} \leq 11\text{V}$ 、 $0\text{A} \leq I_{OUT} \leq 6\text{A}$	-1		1	
V_{OS}	出力オフセット電圧 ($V_{NR/SS} - V_{OUT}$)	$V_{IN} = 0.7\text{V}$ 、 $V_{OUT} = 0.5\text{V}$ 、 $I_{OUT} = 0\text{A}$ 、 $V_{CP_EN} = 1.8\text{V}$ 、 $3\text{V} \leq V_{BIAS} \leq 11\text{V}$ 、 $V_{CP_EN} = 0\text{V}$ 、 $V_{OUT} + 3.2\text{V} \leq V_{BIAS} \leq 11\text{V}$	-1		1	mV
		$0.7\text{V} \leq V_{IN} \leq 6\text{V}$ ^{(1) (2)} 、 $0.5\text{V} \leq V_{OUT} \leq 5.2\text{V}$ 、 $V_{CP_EN} = 1.8\text{V}$ 、 $3\text{V} \leq V_{BIAS} \leq 11\text{V}$ 、 $0\text{A} \leq I_{OUT} \leq 6\text{A}$	-2		2	
		$1.1\text{V} \leq V_{IN} \leq 6.0\text{V}$ ^{(1) (2)} 、 $0.5\text{V} \leq V_{OUT} \leq 5.2\text{V}$ 、 $V_{CP_EN} = 1.8\text{V}$ 、 $V_{BIAS} = 0\text{V}$ 、 $0\text{A} \leq I_{OUT} \leq 6\text{A}$	-2		2	
		$0.7\text{V} \leq V_{IN} \leq 6\text{V}$ ^{(1) (2)} 、 $0.5\text{V} \leq V_{OUT} \leq 5.2\text{V}$ 、 $V_{CP_EN} = 0\text{V}$ 、 $V_{OUT} + 3.2\text{V} \leq V_{BIAS} \leq 11\text{V}$ 、 $0\text{A} \leq I_{OUT} \leq 6\text{A}$	-2		2	
$\Delta I_{REF}(\Delta V_{BIAS})$	ラインレギュレーション: ΔI_{REF}	$V_{OUT} + 3.2\text{V} \leq V_{BIAS} \leq 11\text{V}$ 、 $V_{IN} = 0.7\text{V}$ 、 $V_{OUT} = 0.5\text{V}$ 、 $V_{CP_EN} = 0\text{V}$ 、 $I_{OUT} = 0\text{A}$		0.15		nA/V
$\Delta V_{OS}(\Delta V_{BIAS})$	ラインレギュレーション: ΔV_{OS}	$V_{OUT} + 3.2\text{V} \leq V_{BIAS} \leq 11\text{V}$ 、 $V_{IN} = 0.7\text{V}$ 、 $V_{OUT} = 0.5\text{V}$ 、 $V_{CP_EN} = 0\text{V}$ 、 $I_{OUT} = 0\text{A}$		0.06		$\mu\text{V/V}$
$\Delta I_{REF}(\Delta V_{IN})$	ラインレギュレーション: ΔI_{REF}	$1.1\text{V} \leq V_{IN} \leq 6\text{V}$ 、 $V_{OUT} = 0.5\text{V}$ 、 $V_{CP_EN} = 1.8\text{V}$ 、 $I_{OUT} = 0\text{A}$ 、 $V_{BIAS} = 0\text{V}$		0.03		nA/V
$\Delta V_{OS}(\Delta V_{IN})$	ラインレギュレーション: ΔV_{OS}	$1.1\text{V} \leq V_{IN} \leq 6\text{V}$ 、 $V_{OUT} = 0.5\text{V}$ 、 $V_{CP_EN} = 1.8\text{V}$ 、 $I_{OUT} = 0\text{A}$ 、 $V_{BIAS} = 0\text{V}$		0.01		$\mu\text{V/V}$

5.5 電気的特性 (続き)

動作温度範囲全体 ($T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$)、 $V_{IN(\text{NOM})} = V_{OUT(\text{NOM})} + 0.4\text{V}$ 、 $V_{CP_EN} = 1.8\text{V}$ 、 $V_{BIAS} = 0\text{V}$ 、 $I_{OUT} = 0\text{A}$ 、 $V_{EN} = 1.8\text{V}$ 、 $C_{IN} = 10\mu\text{F}$ 、 $C_{OUT} = 22\mu\text{F}$ 、 $C_{BIAS} = 0\text{nF}$ 、 $C_{NR/SS} = 100\text{nF}$ 、特に記載のない限り、SNS ピンは OUT ピンにショートされ、PG ピンは $100\text{k}\Omega$ で V_{IN} プルアップされています。標準値は $T_J = 25^{\circ}\text{C}$ です

パラメータ		テスト条件	最小値	標準値	最大値	単位	
$\Delta V_{OS}(\Delta I_{OUT})$	負荷レギュレーション: ΔV_{OS}	$V_{IN} = 0.7V$ 、 $V_{OUT} = 0.5V$ 、 $V_{CP_EN} = 0V$ 、 $0A \leq I_{OUT} \leq 6A$ 、 $V_{OUT} + 3.2V \leq V_{BIAS} \leq 11V$	5			$\mu V/A$	
		$V_{OUT} = 5.0V$ 、 $V_{CP_EN} = 1.8V$ 、 $0A \leq I_{OUT} \leq 6A$ 、 $V_{BIAS} = 0V$	175				
	I_{REF} の変化と V_{REF} との関係	$0.5V \leq V_{REF} \leq 5.2V$ 、 $V_{IN} = 6V$ 、 $I_{OUT} = 0A$ 、 $V_{CP_EN} = 1.8V$ 、 $V_{BIAS} = 0V$	4.4			nA	
	V_{OS} の変化と V_{REF} との関係		0.25			mV	
V_{DO}	ドロップアウト電圧 ⁽³⁾	$1.1V \leq V_{IN} \leq 5.3V$ 、 $I_{OUT} = 6A$ 、 $V_{CP_EN} = 1.8V$ 、 $-40^{\circ}C \leq T_J \leq +125^{\circ}C$	90			132	mV
		$1.1V \leq V_{IN} \leq 5.3V$ 、 $I_{OUT} = 6A$ 、 $V_{CP_EN} = 1.8V$ 、 $-40^{\circ}C \leq T_J \leq +85^{\circ}C$				120	
		$0.V \leq V_{IN} \leq 1.1V$ 、 $I_{OUT} = 6A$ 、 $V_{CP_EN} = 1.8V$ 、 $V_{BIAS} = 3V$ 、 $-40^{\circ}C \leq T_J \leq +125^{\circ}C$	90			132	
		$0.V \leq V_{IN} \leq 1.1V$ 、 $I_{OUT} = 6A$ 、 $V_{CP_EN} = 1.8V$ 、 $V_{BIAS} = 3V$ 、 $-40^{\circ}C \leq T_J \leq +85^{\circ}C$				120	
		$0.7V \leq V_{IN} \leq 5.3V$ 、 $I_{OUT} = 6A$ 、 $V_{CP_EN} = 0V$ 、 $V_{BIAS} = V_{IN} + 3.2V$ 、 $-40^{\circ}C \leq T_J \leq +125^{\circ}C$	90			132	
		$0.7V \leq V_{IN} \leq 5.3V$ 、 $I_{OUT} = 6A$ 、 $V_{CP_EN} = 0V$ 、 $V_{BIAS} = V_{IN} + 3.2V$ 、 $-40^{\circ}C \leq T_J \leq +85^{\circ}C$				120	
I_{LIM}	出力電流制限	V_{OUT} を $0.9 \times V_{OUT(NOM)}$ で強制、 $V_{OUT(NOM)} = 5.0V$ 、 $V_{IN} = V_{OUT(NOM)} + 400mV$ 、 $V_{CP_EN} = 0V$ 、 $V_{BIAS} = V_{OUT} + 3.2V$	6.2	7.2	8.4	A	
I_{SC}	短絡電流制限	$R_{LOAD} = 10m\Omega$ 、フォールドバック動作時	5			A	
I_{BIAS}	BIAS ピン電流	$V_{IN} = 6V$ 、 $I_{OUT} = 0A$ 、 $V_{CP_EN} = 0V$ 、 $V_{BIAS} = V_{OUT} + 3.2V$ 、 $V_{OUT} = 5.2V$	1	1.5	2.5	mA	
		$V_{IN} = 0.7V$ 、 $I_{OUT} = 6A$ 、 $V_{OUT} = 0.5V$ 、 $V_{CP_EN} = 1.8V$ 、 $3.0V \leq V_{BIAS} \leq 11V$	8	11	18		
I_{GND}	GND ピン電流	$V_{IN} = 6V$ 、 $I_{OUT} = 0A$ 、 $V_{CP_EN} = 0V$ 、 $V_{BIAS} = V_{OUT} + 3.2V$ 、 $V_{OUT} = 5.2V$	3.5	5	8	mA	
		$V_{IN} = 5.6V$ 、 $I_{OUT} = 6A$ 、 $V_{OUT} = 5.0V$ 、 $V_{CP_EN} = 1.8V$ 、 $V_{BIAS} = 0V$	18				
		$V_{IN} = 1.1V$ 、 $I_{OUT} = 6A$ 、 $V_{OUT} = 0.5V$ 、 $V_{CP_EN} = 1.8V$ 、 $V_{BIAS} = 0V$	12	18	27		
		$V_{IN} = 0.7V$ 、 $I_{OUT} = 6A$ 、 $V_{OUT} = 0.5V$ 、 $V_{CP_EN} = 1.8V$ 、 $3V \leq V_{BIAS} \leq 11V$	11	18	26		
		$V_{IN} = 0.7V$ 、 $I_{OUT} = 6A$ 、 $V_{OUT} = 0.5V$ 、 $V_{CP_EN} = 0V$ 、 $V_{OUT} + 3.2V \leq V_{BIAS} \leq 11V$	5	7	12		
I_{SDN}	シャットダウン GND ピン電流	PG = (オープン)、 $V_{IN} = 6V$ 、 $V_{EN} = 0.4V$ 、 $V_{CP_EN} = 1.8V$ 、 $V_{BIAS} = 0V$	100			300	μA
		PG = (オープン)、 $V_{IN} = 6V$ 、 $V_{EN} = 0.4V$ 、 $V_{CP_EN} = 0.4V$ 、 $V_{BIAS} = 11V$	150			450	
I_{EN}	EN ピン電流	$V_{IN} = 6V$ 、 $0V \leq V_{EN} \leq 6V$ 、 $V_{CP_EN} = 1.8V$ 、 $V_{BIAS} = 0V$	-5	5			μA
$V_{IH(EN)}$	ENトリップ ポイントの立ち上がり (ターンオン)	$V_{IN} = 1.1V$ ($V_{CP_EN} = 1.8V$) または $V_{BIAS} \geq 3V$ ($V_{CP_EN} = 0V$)	0.62	0.65	0.68	V	
$V_{HYS(EN)}$	ENトリップ ポイントヒステリシス	$V_{IN} = 1.1V$ ($V_{CP_EN} = 1.8V$) または $V_{BIAS} \geq 3V$ ($V_{CP_EN} = 0V$)	40			mV	
I_{CP_EN}	CP_EN ピンの電流	$V_{IN} = 6.0V$ 、 $0V \leq V_{CP_EN} \leq 6V$	-5	5			μA
$V_{IH(CP_EN)}$	CP_ENトリップ ポイントの立ち上がり (ターンオン)	$1.1V \leq V_{IN} \leq 6V$ 、 $V_{EN} = 1.8V$ 、 $V_{BIAS} = 0V$ 、 $0.7V \leq V_{IN} \leq 1.1V$ 、 $V_{EN} = 1.8V$ 、 $V_{BIAS} = 3V$	0.57	0.6	0.63	V	
$V_{HYS(CP_EN)}$	CP_ENトリップ ポイントヒステリシス	$1.1V \leq V_{IN} \leq 6V$ 、 $V_{EN} = 1.8V$ 、 $V_{BIAS} = 0V$ 、 $0.7V \leq V_{IN} \leq 1.1V$ 、 $V_{EN} = 1.8V$ 、 $V_{BIAS} = 3V$	56			mV	

5.5 電気的特性 (続き)

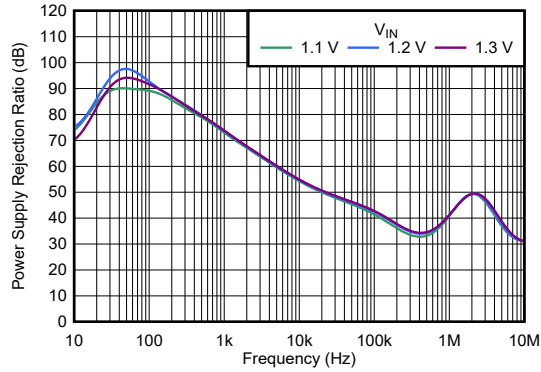
動作温度範囲全体 ($T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$)、 $V_{IN(\text{NOM})} = V_{OUT(\text{NOM})} + 0.4\text{V}$ 、 $V_{CP_EN} = 1.8\text{V}$ 、 $V_{BIAS} = 0\text{V}$ 、 $I_{OUT} = 0\text{A}$ 、 $V_{EN} = 1.8\text{V}$ 、 $C_{IN} = 10\mu\text{F}$ 、 $C_{OUT} = 22\mu\text{F}$ 、 $C_{BIAS} = 0\text{nF}$ 、 $C_{NR/SS} = 100\text{nF}$ 、特に記載のない限り、SNS ピンは OUT ピンにショートされ、PG ピンは $100\text{k}\Omega$ で V_{IN} プルアップされています。標準値は $T_J = 25^{\circ}\text{C}$ です

パラメータ	テスト条件	最小値	標準値	最大値	単位
$V_{IT(\text{PG})}$	PG ピンのスレッシュホールド V_{OUT} が低下して PG が Low に遷移する場合、 $V_{IN} = 1.1\text{V}$ 、 $V_{BIAS} = 0\text{V}$ 、 $V_{CP_EN} = 1.8\text{V}$ 、 $V_{OUT} < V_{IT(\text{PG})}$ 、 $I_{PG} = -1\text{mA}$ (デバイスへの電流)	87	90	93	%
$V_{HYS(\text{PG})}$	PG ピンのヒステリシス $V_{IN} = 1.1\text{V}$ 、 $V_{BIAS} = 0\text{V}$ 、 $V_{CP_EN} = 1.8\text{V}$ 、 $V_{OUT} < V_{IT(\text{PG})}$ 、 $I_{PG} = -1\text{mA}$ (デバイスへの電流)		2		%
$V_{OL(\text{PG})}$	PG ピンの Low レベル出力電圧 $V_{IN} = 1.1\text{V}$ 、 $V_{BIAS} = 0\text{V}$ 、 $V_{CP_EN} = 1.8\text{V}$ 、 $V_{OUT} < V_{IT(\text{PG})}$ 、 $I_{PG} = -1\text{mA}$ (デバイスへの電流)			0.4	V
$I_{LKG(\text{PG})}$	PG ピンのリーク電流 $V_{PG} = 6\text{V}$ 、 $V_{OUT} > V_{IT(\text{PG})}$ 、 $V_{IN} = 1.1\text{V}$ 、 $V_{BIAS} = 0\text{V}$ 、 $V_{CP_EN} = 1.8\text{V}$			1	μA
PSRR	電源リップル除去 $f = 1\text{MHz}$ 、 $V_{IN} = 0.8\text{V}$ 、 $V_{OUT(\text{NOM})} = 0.5\text{V}$ 、 $V_{CP_EN} = 0\text{V}$ 、 $V_{BIAS} = V_{OUT} + 3.2\text{V}$ 、 $I_{OUT} = 6\text{A}$ 、 $C_{NR/SS} = 4.7\mu\text{F}$		40		dB
			40		
			40		
			36		
V_n	出力ノイズ電圧 $BW = 10\text{Hz} \sim 100\text{kHz}$ 、 $0.7\text{V} \leq V_{IN} \leq 6\text{V}$ 、 $0.5\text{V} \leq V_{OUT} \leq 5.2\text{V}$ 、 $I_{OUT} = 6\text{A}$ 、 $C_{NR/SS} = 4.7\mu\text{F}$ 、 $V_{CP_EN} = 0\text{V}$ 、 $V_{BIAS} = V_{OUT} + 3.2\text{V}$		2.49		μV_{RMS}
			2.49		
ノイズ スペクトル密度	$f = 100\text{Hz}$ 、 $0.7\text{V} \leq V_{IN} \leq 6\text{V}$ 、 $0.5\text{V} \leq V_{OUT} \leq 5.2\text{V}$ 、 $I_{OUT} = 6\text{A}$ 、 $C_{NR/SS} = 4.7\mu\text{F}$ 、 $V_{CP_EN} = 0\text{V}$ 、 $V_{BIAS} = V_{OUT} + 3.2\text{V}$		20		$\text{nV}/\sqrt{\text{Hz}}$
	$f = 1\text{kHz}$ 、 $0.7\text{V} \leq V_{IN} \leq 6\text{V}$ 、 $0.5\text{V} \leq V_{OUT} \leq 5.2\text{V}$ 、 $I_{OUT} = 6\text{A}$ 、 $C_{NR/SS} = 4.7\mu\text{F}$ 、 $V_{CP_EN} = 0\text{V}$ 、 $V_{BIAS} = V_{OUT} + 3.2\text{V}$		9		
	$f = 10\text{kHz}$ 、 $0.7\text{V} \leq V_{IN} \leq 6\text{V}$ 、 $0.5\text{V} \leq V_{OUT} \leq 5.2\text{V}$ 、 $I_{OUT} = 6\text{A}$ 、 $C_{NR/SS} = 4.7\mu\text{F}$ 、 $V_{CP_EN} = 0\text{V}$ 、 $V_{BIAS} = V_{OUT} + 3.2\text{V}$		6		
R_{DIS}	出力ピンのアクティブ放電抵抗 $V_{IN} = 1.1\text{V}$ 、 $V_{CP_EN} = 1.8\text{V}$ 、 $V_{BIAS} = 0\text{V}$ 、 $V_{EN} = 0\text{V}$		110		Ω
R_{NR/SS_DIS}	NR/SS ピンのアクティブ放電抵抗 $V_{IN} = 1.1\text{V}$ 、 $V_{CP_EN} = 1.8\text{V}$ 、 $V_{BIAS} = 0\text{V}$ 、 $V_{EN} = 0\text{V}$		100		Ω
$T_{SD(\text{shutdown})}$	サーマル シャットダウン温度 シャットダウン、温度上昇		165		$^{\circ}\text{C}$
$T_{SD(\text{reset})}$	サーマル シャットダウンリセット温度 リセット、温度低下		150		$^{\circ}\text{C}$

- 最大消費電力は 2W。
- パルスの最大消費電力によって制限されます。 $0\text{mA} \leq I_{OUT} \leq 2.5\text{A}$ 、 $V_{IN} = 6\text{V}$ 、 $0\text{mA} \leq I_{OUT} \leq 6\text{A}$ 、 $V_{IN} = 5.6\text{V}$ の場合。
- $V_{REF} = V_{IN}$ 、 $V_{SNS} = 97\% \times V_{REF}$

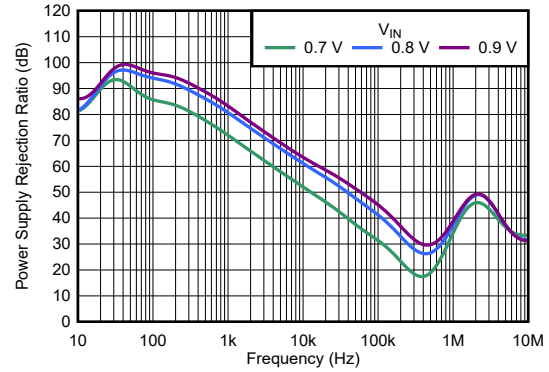
5.6 代表的特性

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡、PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$



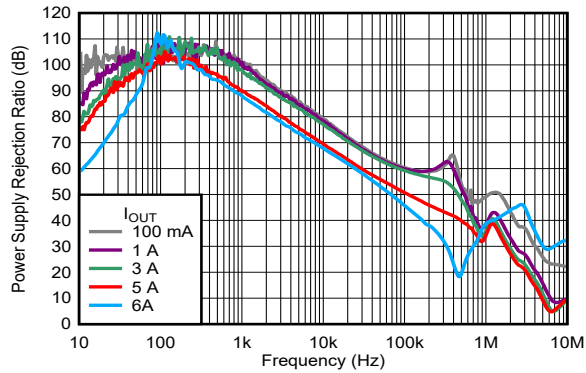
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = V_{EN}$,
 $V_{OUT} = 0.9V$, $V_{BIAS} = 0V$, $I_{OUT} = 6A$

図 5-1. PSRR と周波数および V_{IN} (CP イネーブル時) との関係、バイアスなし



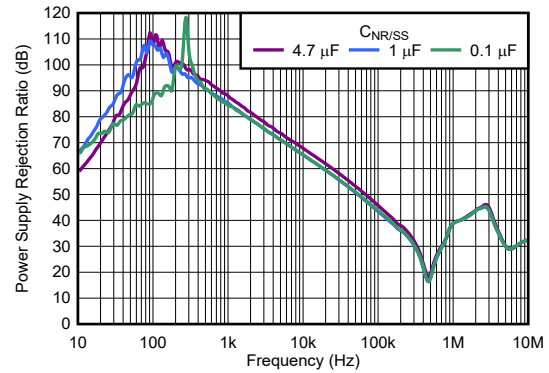
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = V_{EN}$,
 $V_{OUT} = 0.5V$, $V_{BIAS} = 3V$, $I_{OUT} = 6A$

図 5-2. CP が有効な場合の PSRR と周波数および V_{IN} との関係、最小バイアス



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{IN} = 1.2V$, $V_{OUT} = 0.9V$, $V_{BIAS} = 0V$

図 5-3. CP がイネーブルのときの PSRR と周波数および I_{OUT} の関係、バイアスなし

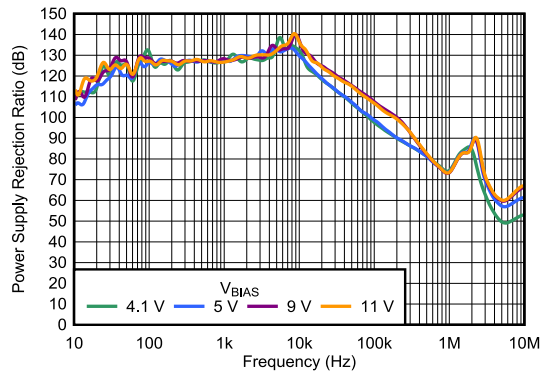


$C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$, $V_{IN} = 1.2V$,
 $V_{OUT} = 0.9V$, $V_{BIAS} = 11V$, $I_{OUT} = 6A$

図 5-4. CP を無効化した場合の PSRR と周波数および $C_{NR/SS}$ との関係

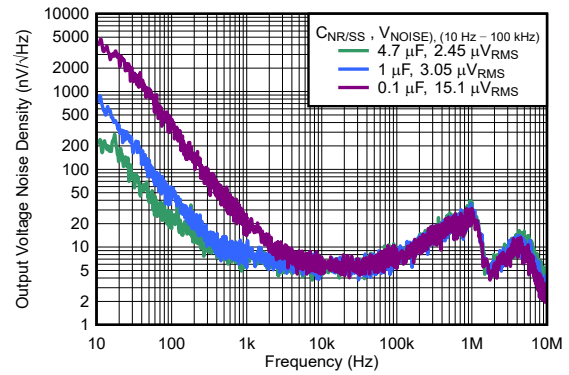
5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡、PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$



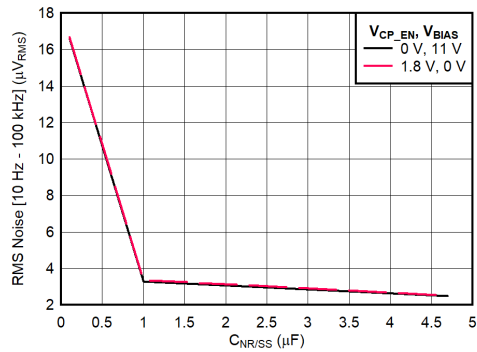
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{IN} = 1.2V$, $V_{OUT} = 0.9V$, $I_{OUT} = 6A$

図 5-5. CP ディスエーブル時の BIAS PSRR と周波数および V_{BIAS} との関係、 $V_{IN} = 1.2V$



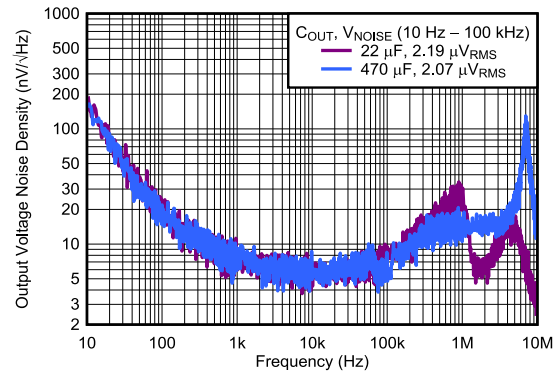
$C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = V_{EN}$, $V_{IN} = 5.3V$,
 $V_{OUT} = 5V$, $I_{OUT} = 6A$

図 5-6. CP をイネーブルにするための出力電圧ノイズ密度と周波数との関係 ($C_{NR/SS}$)



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $V_{IN} = 5.3V$, $V_{OUT} = 5V$

図 5-7. RMS ノイズと $C_{NR/SS}$ との関係

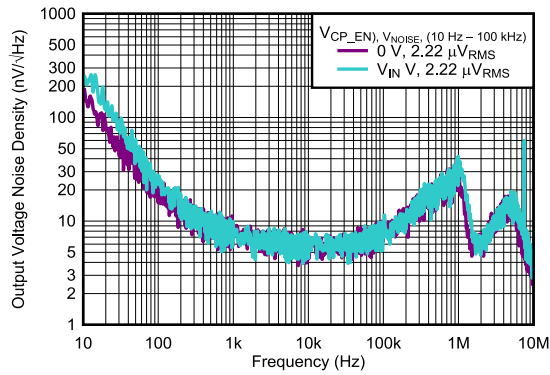


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $CP_EN = GND$, $V_{IN} = 0.8V$,
 $V_{OUT} = 0.5V$, $V_{BIAS} = 3.7V$

図 5-8. 出力電圧ノイズ密度と周波数および C_{OUT} との関係

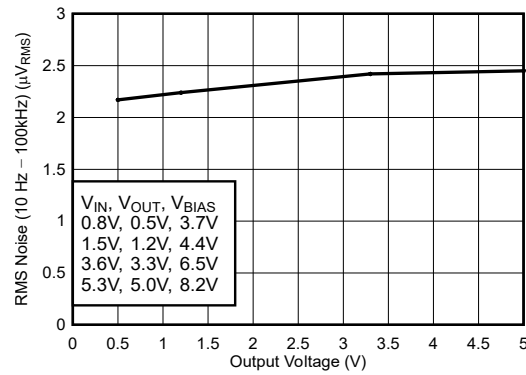
5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡, PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$



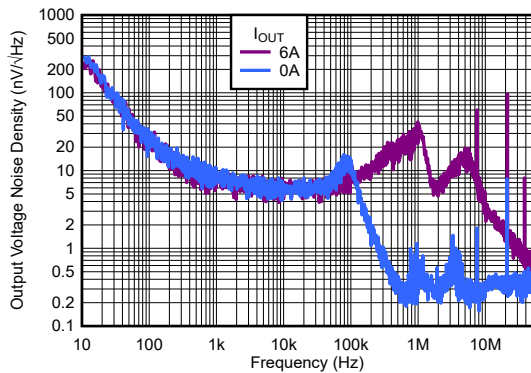
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{IN} = 0.8V$,
 $V_{BIAS} = 3.7V$, $I_{OUT} = 6A$

図 5-9. 出力電圧ノイズ密度対周波数および V_{CP_EN} ($V_{OUT} = 0.5V$) の関係



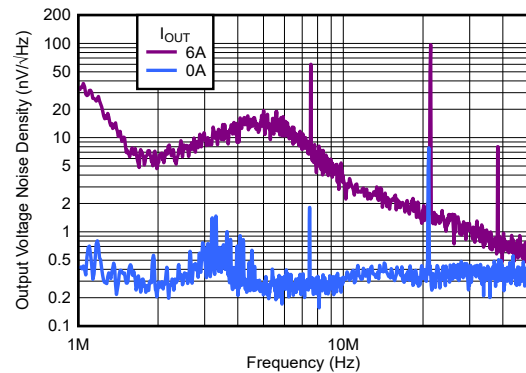
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $V_{CP_EN} = 0V$, $C_{OUT} = 22\mu F$, $I_{OUT} = 6A$

図 5-10. CP を無効化した場合の RMS ノイズと V_{OUT} との関係



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $V_{CP_EN} = V_{EN}$, $C_{OUT} = 22\mu F$,
 $V_{IN} = V_{OUT} + 0.3V$

図 5-11. CP をイネーブルにするための出力電圧ノイズ密度および V_{OUT} との関係

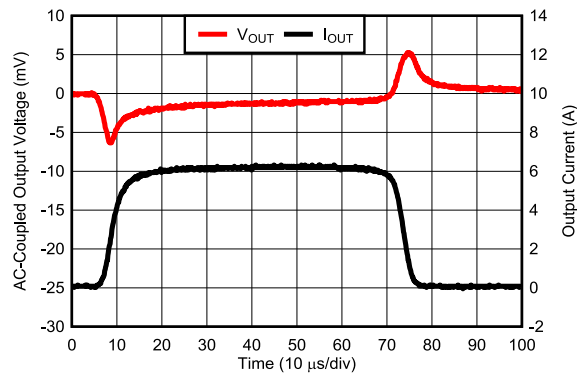


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{IN} = V_{OUT} + 0.3V$,
 $V_{CP_EN} = V_{EN}$, $V_{BIAS} = 0V$, $V_{OUT} = 5V$

図 5-12. チャージポンプ出力電圧ノイズ密度と周波数および I_{OUT} との関係

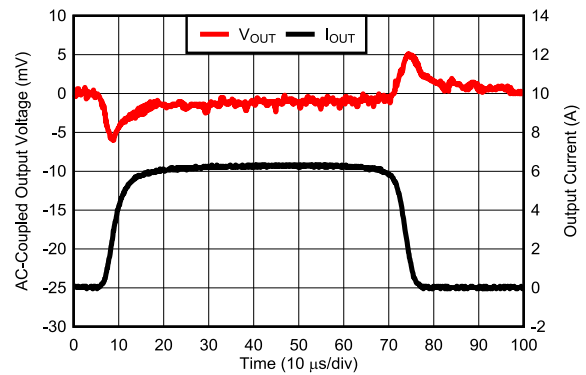
5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡、PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$



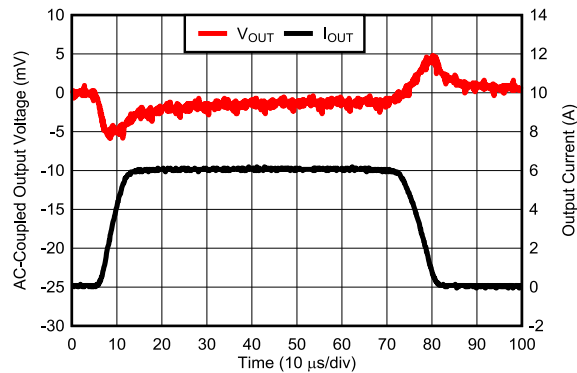
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{BIAS} = 3V$, $V_{IN} = 0.8V$, $SR = 1A/\mu s$

図 5-13. $V_{OUT} = 0.5V$ の負荷過渡、 $I_{OUT} = 100mA$ から 6A、CP はイネーブル



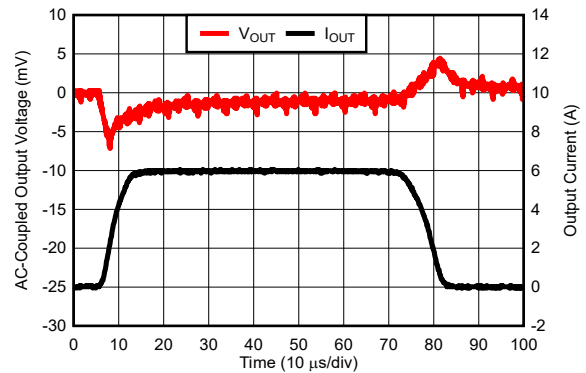
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{BIAS} = 0V$, $V_{IN} = 1.1V$, $SR = 1A/\mu s$

図 5-14. $V_{OUT} = 0.5V$ の負荷過渡、 $I_{OUT} = 100mA$ から 6A、CP はイネーブル



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{BIAS} = 0V$, $V_{IN} = 3.6V$, $SR = 1A/\mu s$

図 5-15. $V_{OUT} = 3.3V$ の負荷過渡、 $I_{OUT} = 100mA$ から 6A、CP はイネーブル



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{BIAS} = 0V$, $V_{IN} = 5.5V$, $SR = 1A/\mu s$

図 5-16. $V_{OUT} = 5.2V$ の負荷過渡、 $I_{OUT} = 100mA$ から 6A、CP はイネーブル

5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡、PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$

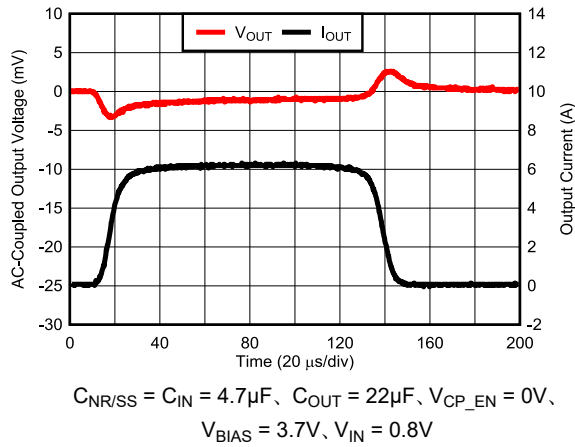


図 5-17. $V_{OUT} = 0.5V$, $I_{OUT} = 100mA$ から $6A$ への負荷過渡、CP デイセーブル、 $SR = 0.5A/\mu s$

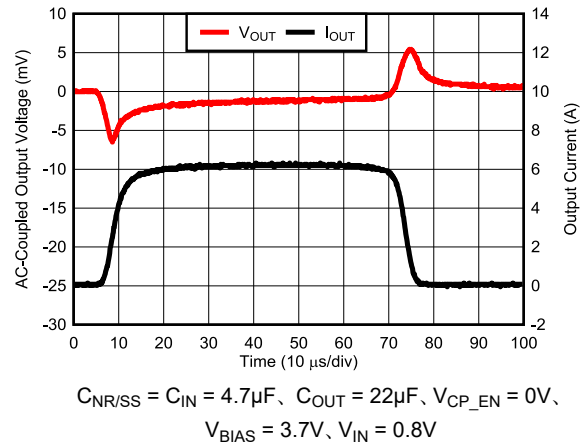


図 5-18. $V_{OUT} = 0.5V$, $I_{OUT} = 100mA$ から $6A$ への負荷過渡、CP デイセーブル、 $SR = 1A/\mu s$

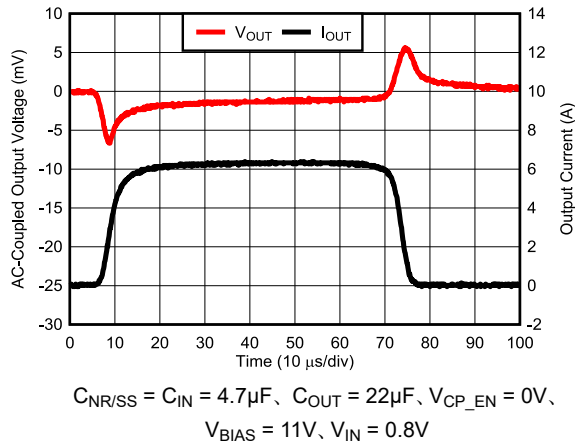


図 5-19. $V_{OUT} = 0.5V$, $I_{OUT} = 100mA$ から $6A$ へ、CP デイセーブル、 $SR = 1A/\mu s$, $V_{BIAS} = 11V$ での負荷過渡

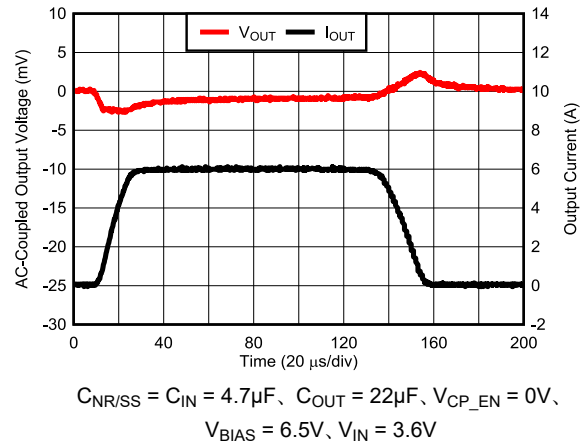


図 5-20. $V_{OUT} = 3.3V$, $I_{OUT} = 100mA$ から $6A$ へ、CP デイセーブル、 $SR = 0.5A/\mu s$, $V_{BIAS} = 6.5V$ での負荷過渡

5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡、PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$

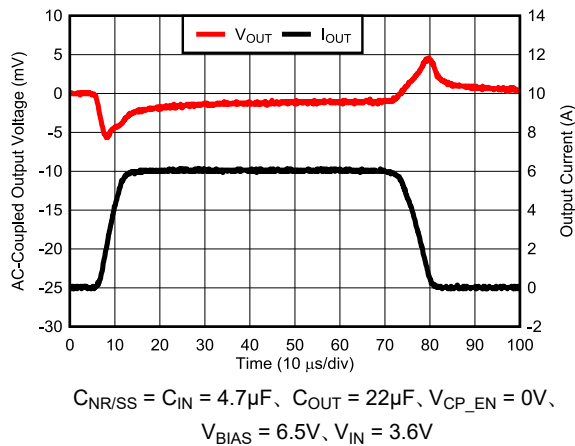


図 5-21. $V_{OUT} = 3.3V$, $I_{OUT} = 100mA$ から $6A$ へ、CP ディセーブル、
 $SR = 1A/\mu s$, $V_{BIAS} = 6.5V$ での負荷過渡

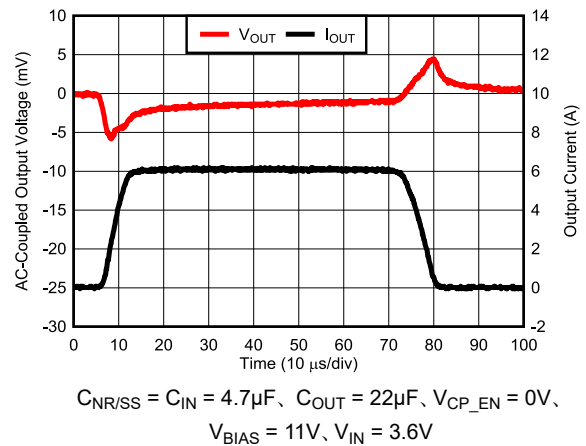


図 5-22. $V_{OUT} = 3.3V$, $I_{OUT} = 100mA$ から $6A$ へ、CP ディセーブル、
 $SR = 1A/\mu s$, $V_{BIAS} = 11V$ での負荷過渡

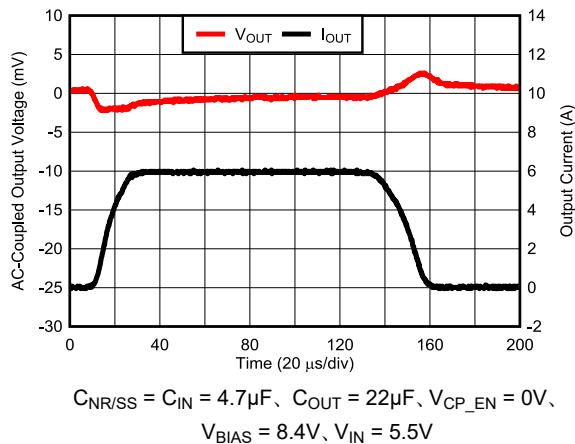


図 5-23. $V_{OUT} = 5.2V$, $I_{OUT} = 100mA$ から $6A$ へ、CP ディセーブル、
 $SR = 0.5A/\mu s$, $V_{BIAS} = 8.4V$ での負荷過渡

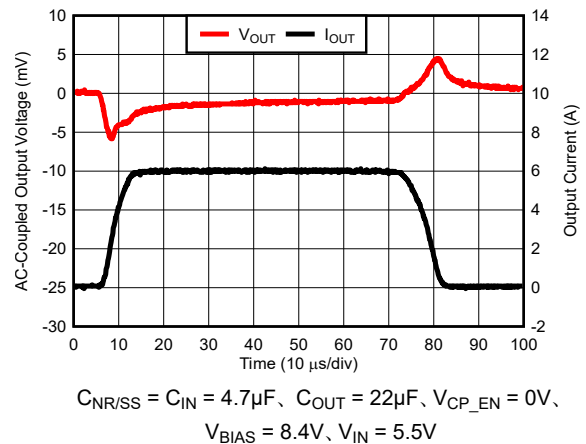


図 5-24. $V_{OUT} = 5.2V$, $I_{OUT} = 100mA$ から $6A$ へ、CP ディセーブル、
 $SR = 1A/\mu s$, $V_{BIAS} = 8.4V$ での負荷過渡

5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡、PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$

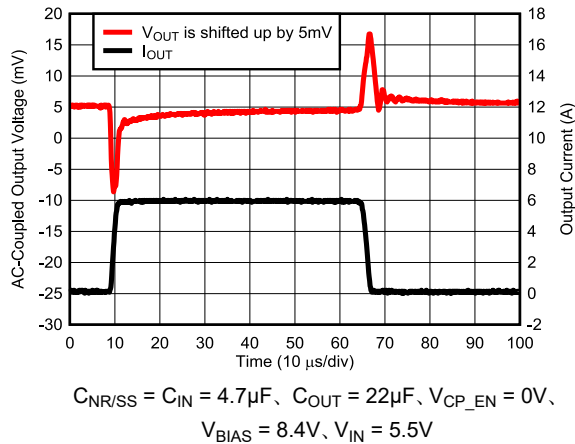


図 5-25. $V_{OUT} = 5.2V$, $I_{OUT} = 100mA$ から $6A$ へ、CP ディセーブル、
 $SR = 5A/\mu s$, $V_{BIAS} = 8.4V$ での負荷過渡

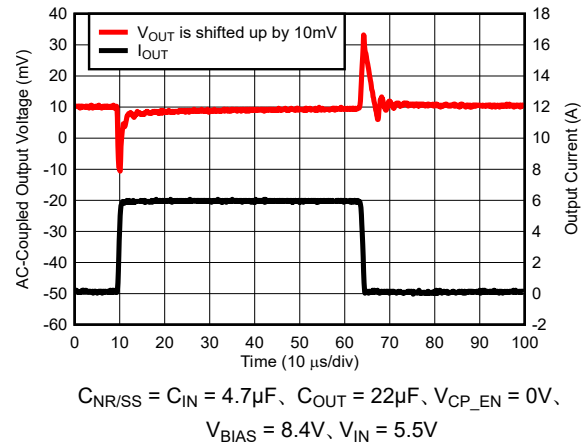


図 5-26. $V_{OUT} = 5.2V$, $I_{OUT} = 100mA$ から $6A$ へ、CP ディセーブル、
 $SR = 10A/\mu s$, $V_{BIAS} = 8.4V$ での負荷過渡

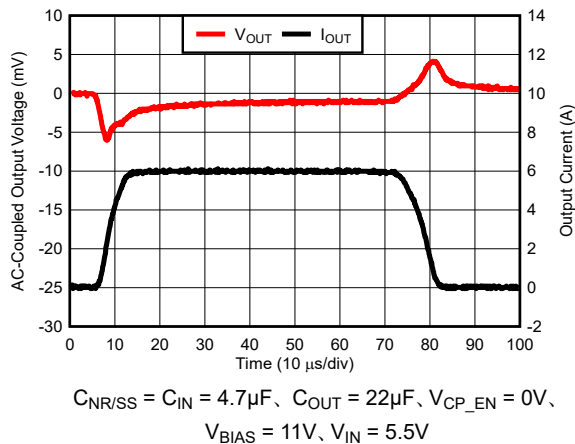


図 5-27. $V_{OUT} = 5.2V$, $I_{OUT} = 100mA$ から $6A$ へ、CP ディセーブル、
 $SR = 1A/\mu s$, $V_{BIAS} = 11V$ での負荷過渡

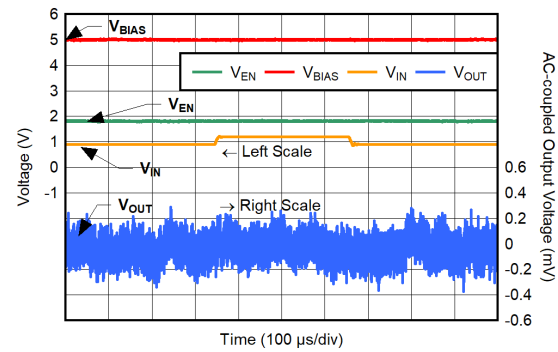
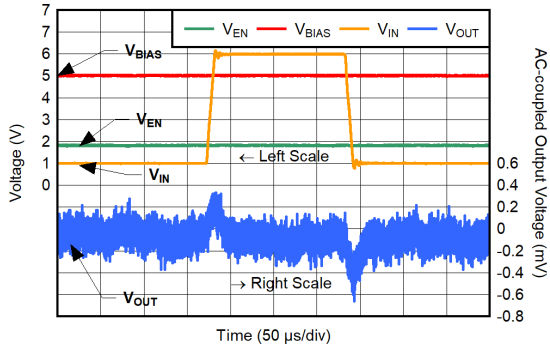


図 5-28. V_{IN} 向け IN ライン過渡応答 ($0.9V \sim 1.2V$)

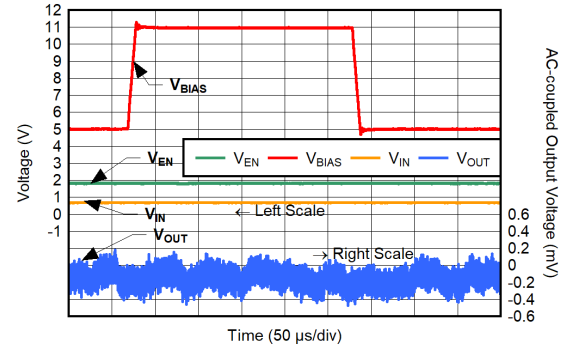
5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡, PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$



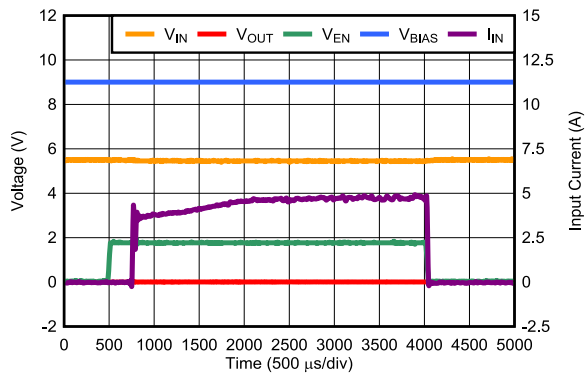
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$, $V_{BIAS} = 5V$, $V_{OUT} = 0.5V$, $I_{OUT} = 100mA$, $SR = 1V/\mu s$

図 5-29. V_{IN} 向け IN ライン過渡応答 (0.9V~6V)



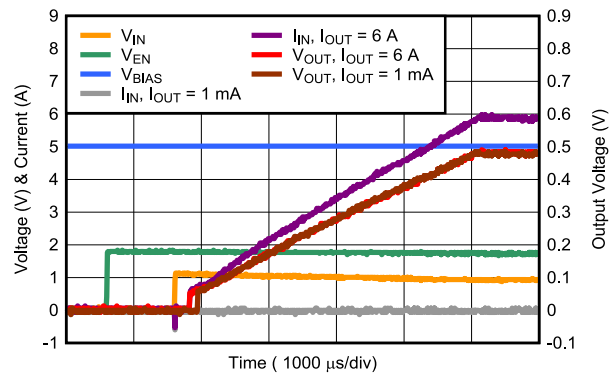
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$, $V_{IN} = 0.8V$, $V_{OUT} = 0.5V$, $SR = 1V/\mu s$

図 5-30. $V_{IN} = 0.9V \sim 6V$,
 $I_{OUT} = 100mA$ での BIAS ライン過渡



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$, $V_{BIAS} = 9V$, $V_{IN} = 5.5V$, $V_{OUT(nom)} = 5.2V$

図 5-31. スタートアップ時の低電流制限



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$, $V_{BIAS} = 5V$, $V_{IN} = 0.8V$, $V_{OUT} = 0.5V$

図 5-32. CP ディセーブルの BIAS-EN-IN レール シーケンスのスタートアップ

5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡、PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$

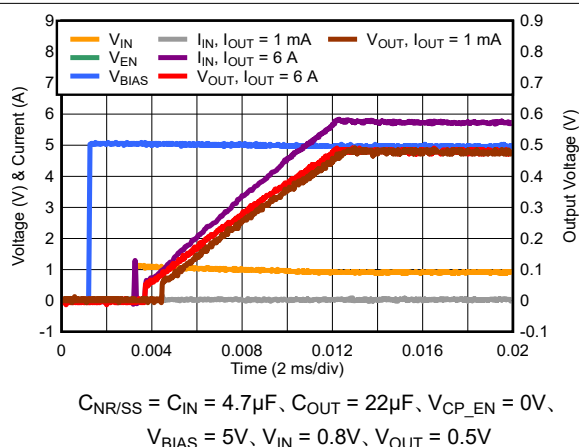


図 5-33. CP ディセーブルの EN-BIAS-IN レール シーケンスのスタートアップ

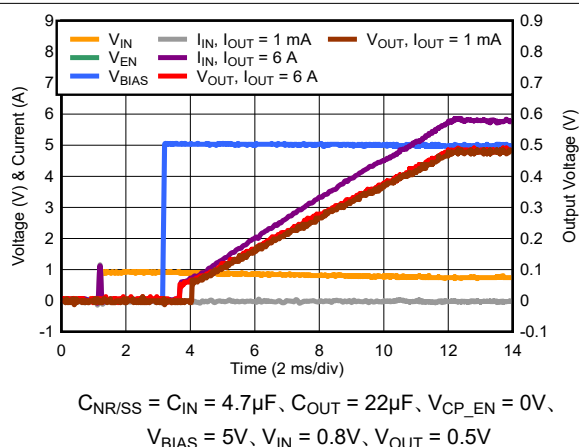


図 5-34. CP ディセーブルの EN-IN-BIAS レール シーケンスのスタートアップ

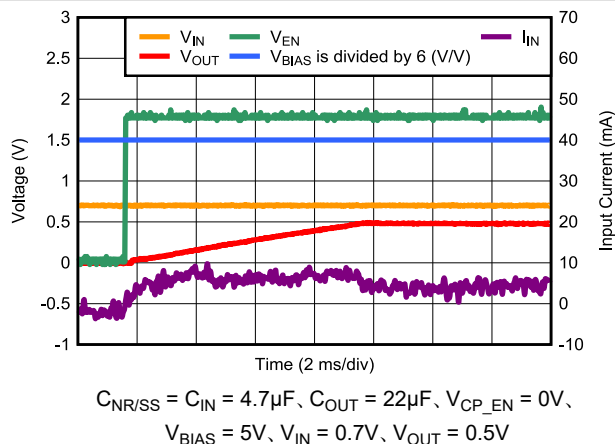


図 5-35. CP ディセーブル時の突入電流、 $V_{OUT} = 0.5V$

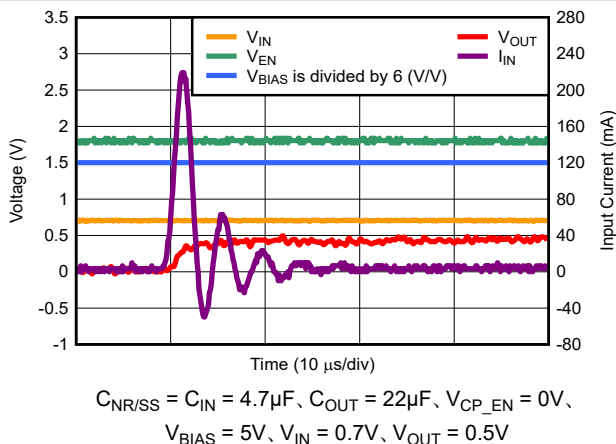
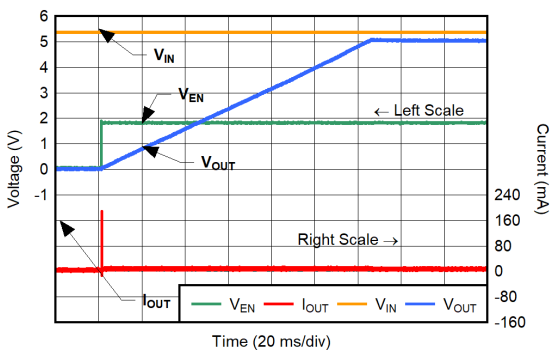


図 5-36. CP ディセーブル時の突入電流、 $V_{OUT} = 0.5V$ 、最初の $500\mu s$

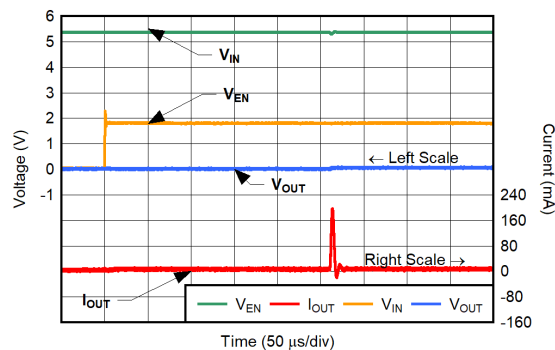
5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡, PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$



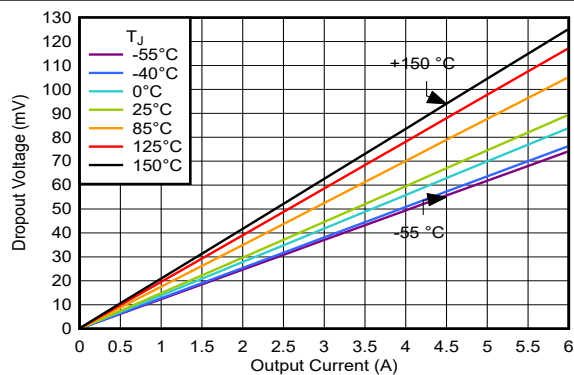
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 9V$, $V_{IN} = 5.5V$, $V_{OUT} = 5.2V$

図 5-37. CP ディセーブル時の突入電流、 $V_{OUT} = 5.2V$



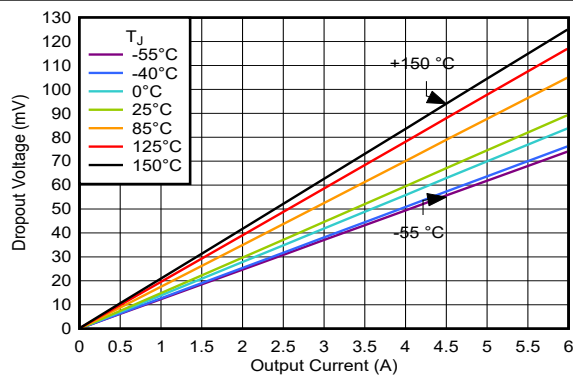
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 9V$, $V_{IN} = 5.5V$, $V_{OUT} = 5.2V$

図 5-38. CP ディセーブル時の突入電流、 $V_{OUT} = 5.2V$ 、最初の $500\mu s$



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$

図 5-39. CP ディセーブル時のドロップアウト電圧と I_{OUT} の関係、
 $V_{IN} = 0.7V$, $V_{BIAS} = 3.9V$

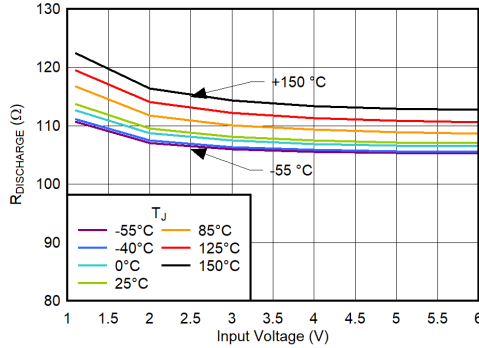


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{BIAS} = 0V$

図 5-40. CP イネーブル時のドロップアウト電圧と I_{OUT} との関係、
 $V_{IN} = 1.1V$, バイアスなし

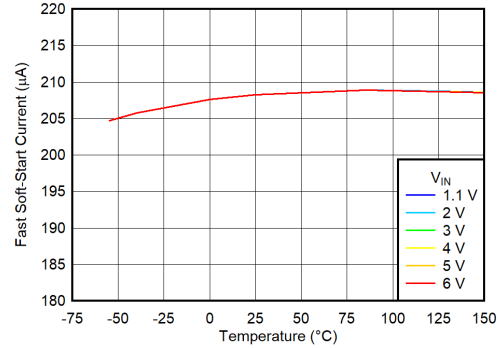
5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡, PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$



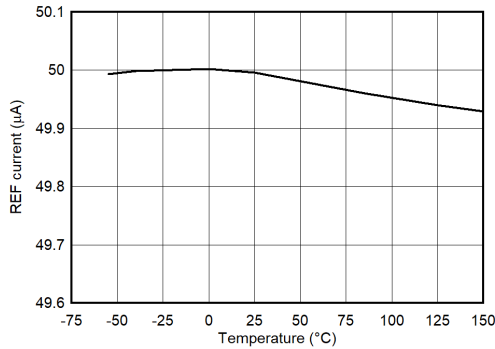
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$

図 5-41. 出力放電抵抗と V_{IN} の関係



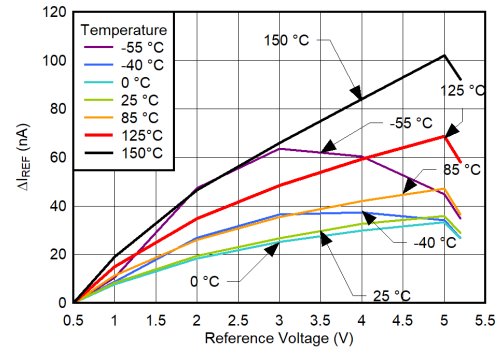
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 0V$

図 5-42. 高速ソフトスタート電流と温度および V_{IN} との関係



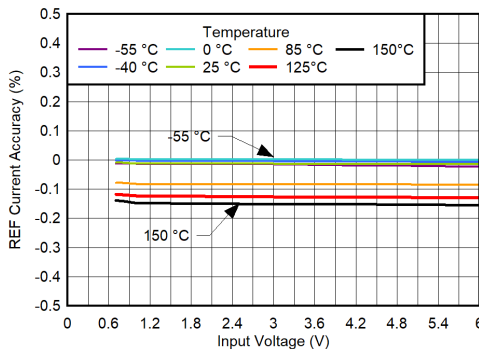
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{BIAS} = 0V$, $V_{IN} = 1.1V$

図 5-43. リファレンス電流と温度との関係



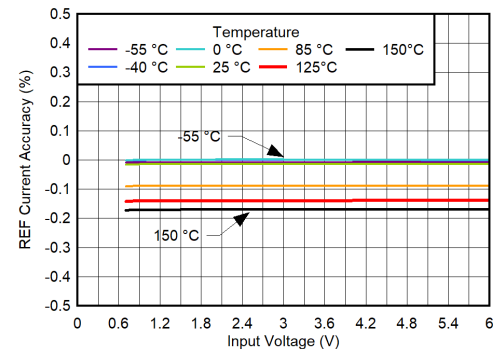
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{BIAS} = 0V$, $V_{IN} = 6V$, $I_{OUT} = 0A$

図 5-44. 基準電流の変化と V_{REF} の関係



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{BIAS} = 3V$, $V_{OUT} = 0.5V$

図 5-45. CP をイネードにするためのリファレンス電流精度と V_{IN} との関係

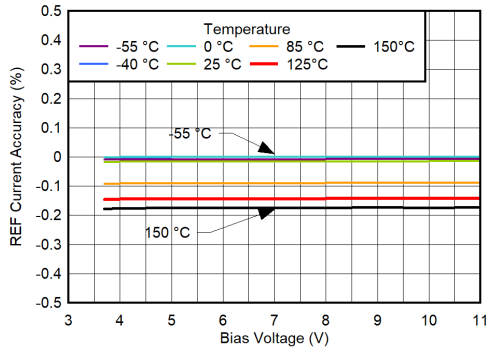


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 3.7V$, $V_{OUT} = 0.5V$

図 5-46. CP ディスエーブル時のリファレンス電流精度と V_{IN} との関係

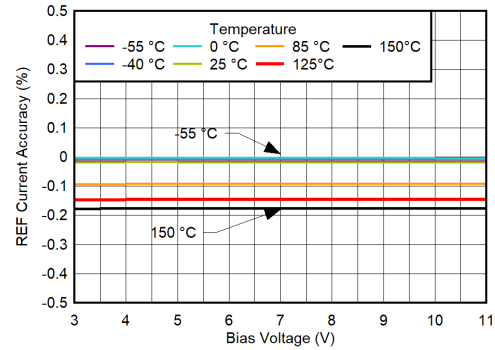
5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡、PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$



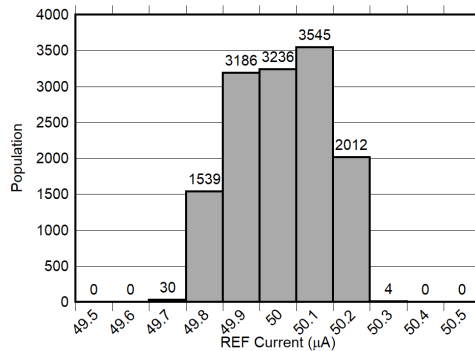
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{IN} = 0.7V$, $V_{OUT} = 0.5V$

図 5-47. CP ディスエーブル時の $I_{OUT} = 0A$ でのリファレンス電流精度と V_{BIAS} との関係



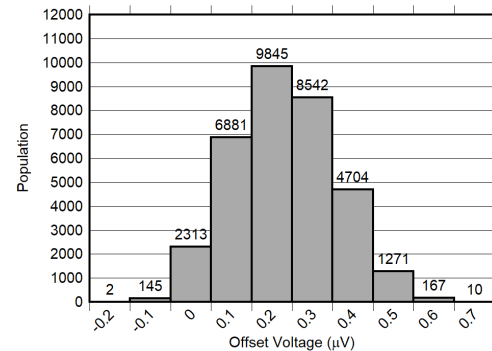
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{IN} = 0.7V$, $V_{OUT} = 0.5V$

図 5-48. CP イネーブル時の $I_{OUT} = 0A$ のリファレンス電流精度と V_{BIAS} との関係



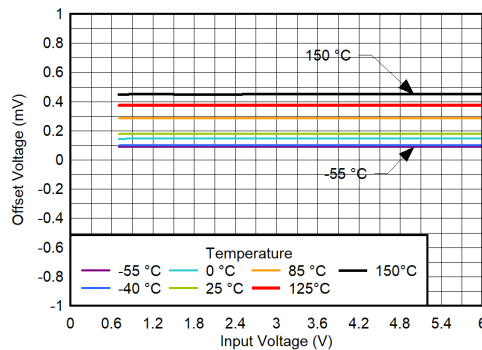
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-49. I_{REF} の分布



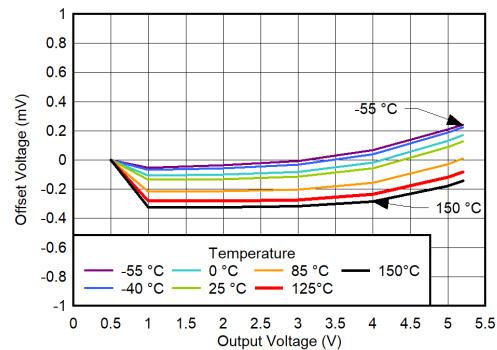
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-50. V_{OS} の分布



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 3.7V$, $V_{OUT} = 0.5V$, $I_{OUT} = 0A$

図 5-51. オフセット電圧と V_{IN} との関係

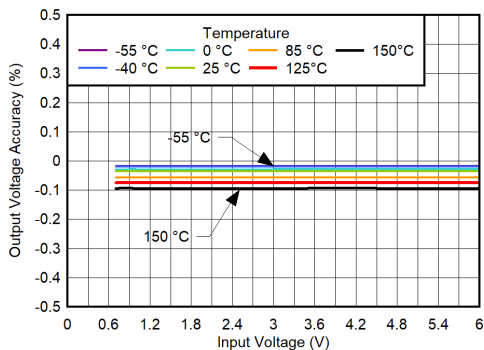


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 0V$, $V_{IN} = 6V$, $I_{OUT} = 0A$

図 5-52. オフセット電圧と V_{OUT} との関係

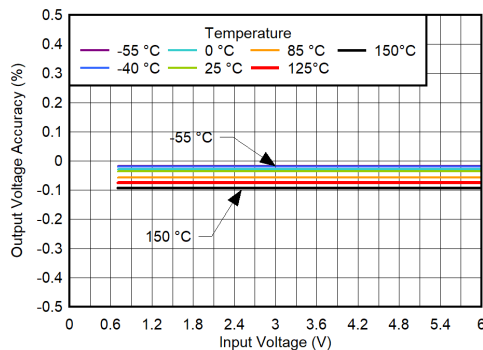
5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡、PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$



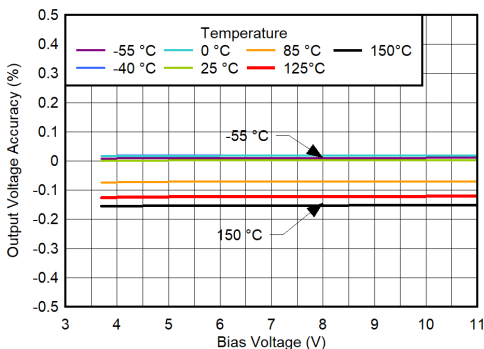
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 11V$, $V_{OUT} = 0.5V$, $I_{OUT} = 0A$

図 5-53. 出力電圧精度と V_{IN} との関係 ($V_{BIAS} = 11V$)、CP ディセーブル時



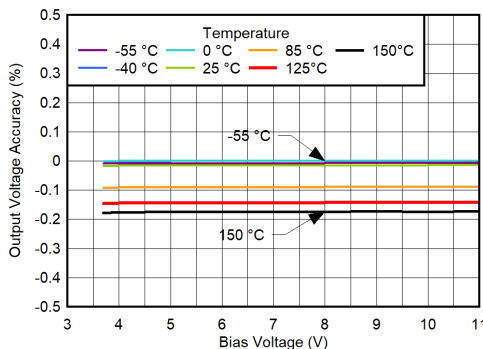
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 3.7V$, $V_{OUT} = 0.5V$, $I_{OUT} = 0A$

図 5-54. 出力電圧精度と V_{IN} との関係 ($V_{BIAS} = 3.7V$)、CP ディセーブル時



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$, $V_{IN} = 6V$,
 $V_{OUT} = 0.5V$, $I_{OUT} = 0A$

図 5-55. 出力電圧精度と V_{BIAS} との関係 ($V_{IN} = 6V$)、CP ディセーブル時

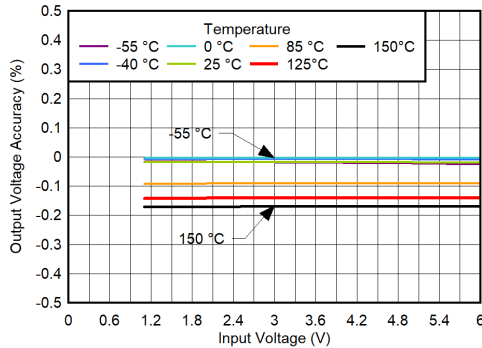


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{IN} = 0.7V$, $V_{OUT} = 0.5V$, $I_{OUT} = 0A$

図 5-56. 出力電圧精度と V_{BIAS} との関係 ($V_{IN} = 0.7V$)、CP ディセーブル時

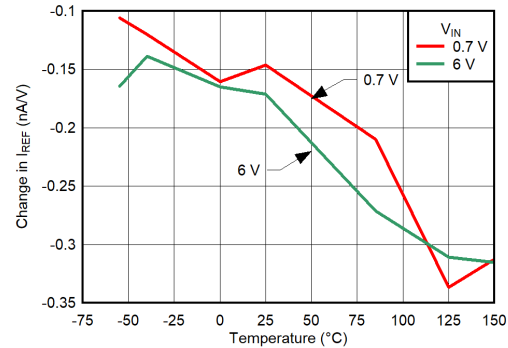
5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡, PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$



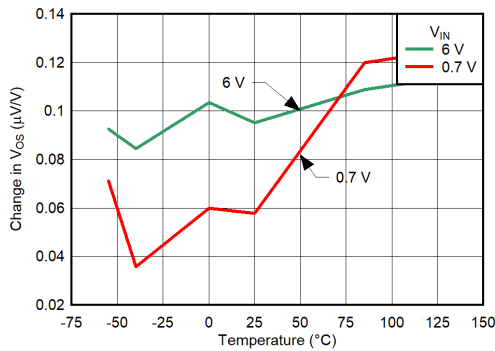
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{BIAS} = 0V$, $V_{IN} = 0.7V$, $V_{OUT} = 0.5V$, $I_{OUT} = 0A$

図 5-57. CP イネーブル時の出力電圧精度と V_{IN} との関係



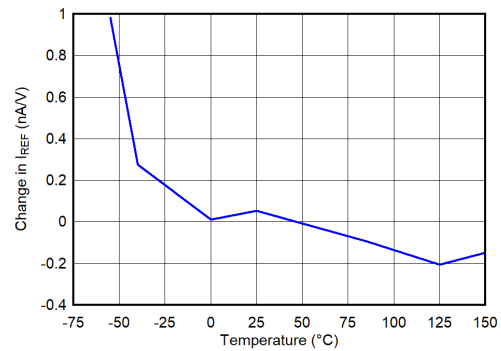
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 3.7V \sim 11V$, $V_{OUT} = 0.5V$

図 5-58. I_{REF} BIAS レール ライン レギュレーション



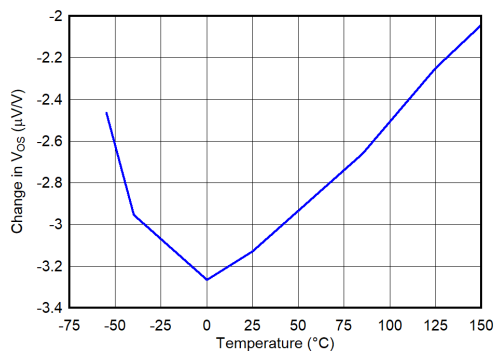
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{BIAS} = 3.7V \sim 11V$, $V_{OUT} = 0.5V$

図 5-59. V_{OS} BIAS レール ライン レギュレーション



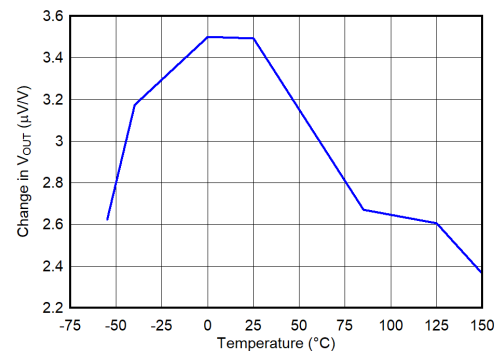
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{IN} = 1.1V \sim 6V$, $V_{OUT} = 0.5V$, $I_{OUT} = 0A$

図 5-60. I_{REF} IN レール ライン レギュレーション



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{IN} = 1.1V \sim 6V$, $V_{OUT} = 0.5V$, $I_{OUT} = 0A$

図 5-61. V_{OS} IN レール ライン レギュレーション



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{IN} = 1.1V \sim 6V$, $V_{OUT} = 0.5V$, $I_{OUT} = 0A$

図 5-62. V_{OUT} IN レール ライン レギュレーション

5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡, PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$

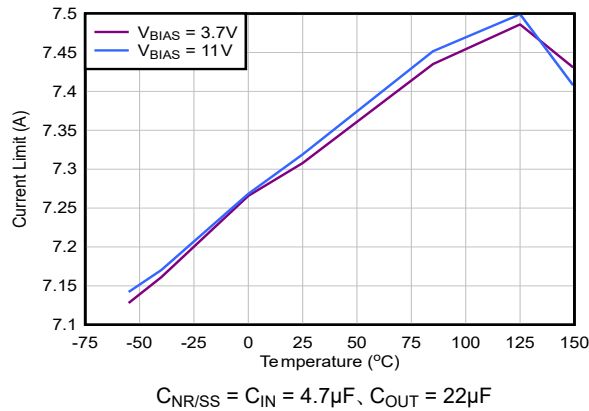


図 5-63. I_{LIMIT} vs 温度

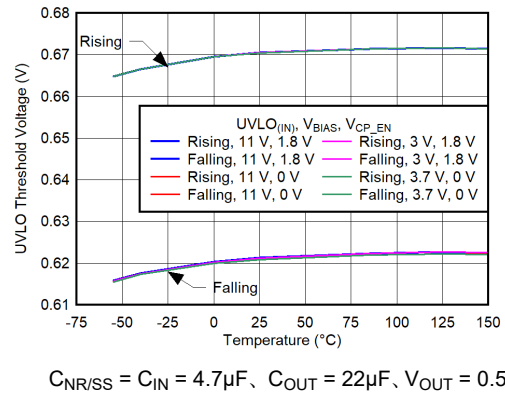


図 5-64. $UVLO_{IN}$ スレッシュホールドと温度との関係 (BIAS レールあり)

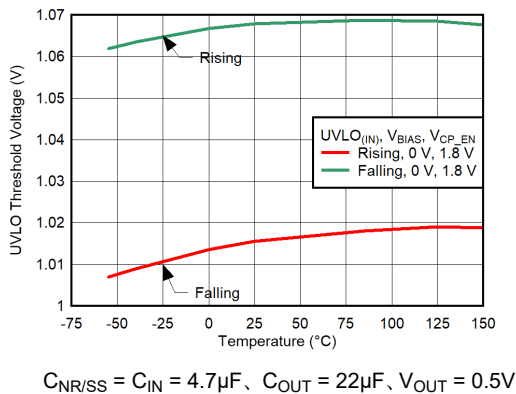


図 5-65. $UVLO_{IN}$ スレッシュホールドと温度との関係 (BIAS レールなし)

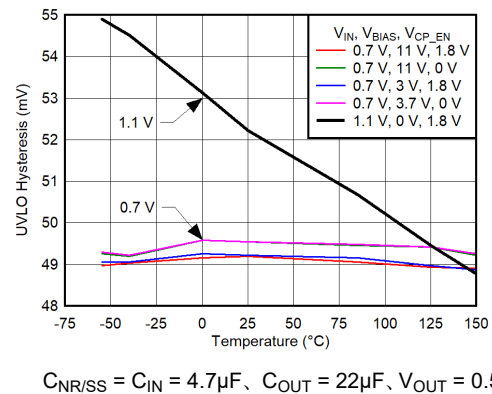


図 5-66. $UVLO_{IN}$ ヒステリシスと温度との関係

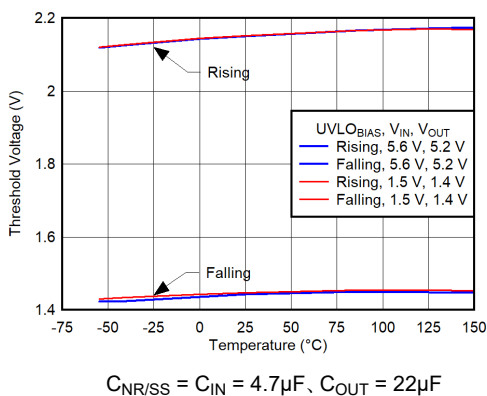


図 5-67. CP ディスエーブル時の $UVLO_{BIAS}$ スレッシュホールドと温度との関係

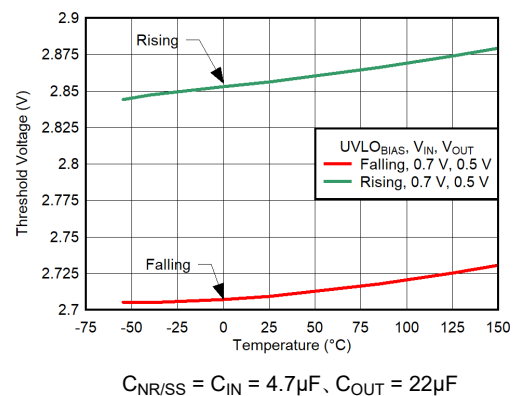
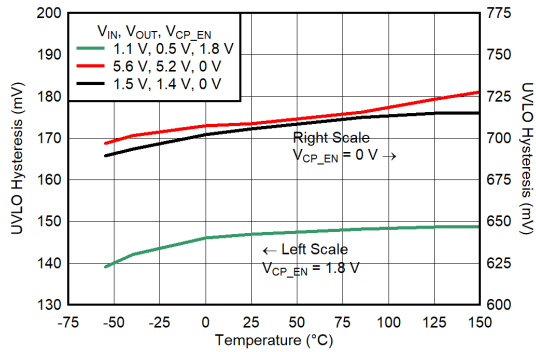


図 5-68. CP イネーブル時の $UVLO_{BIAS}$ スレッシュホールドと温度との関係

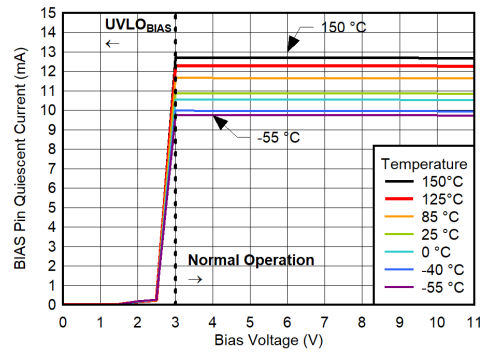
5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡、PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{OUT} = 0.5V$

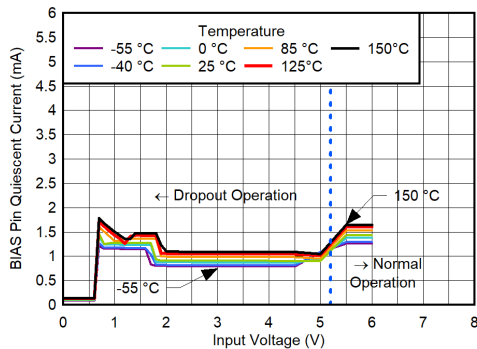
図 5-69. UVLO_{IN} ヒステリシスと温度との関係



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-70.

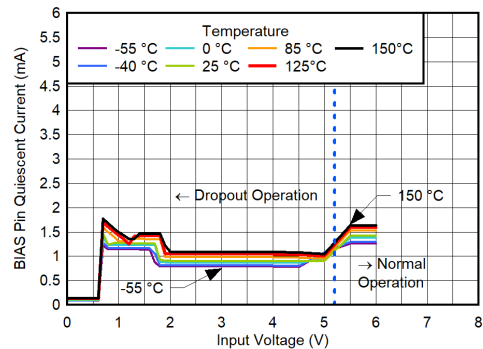
$V_{OUT} = 0.5V$, CP イネーブル, $I_{OUT} = 0A$ での BIAS ピンの静止電流と V_{BIAS} との関係



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-71.

$V_{OUT} = 5.2V$, $V_{BIAS} = 11V$, CP ディセーブルでの BIAS ピンの静止電流と V_{IN} との関係



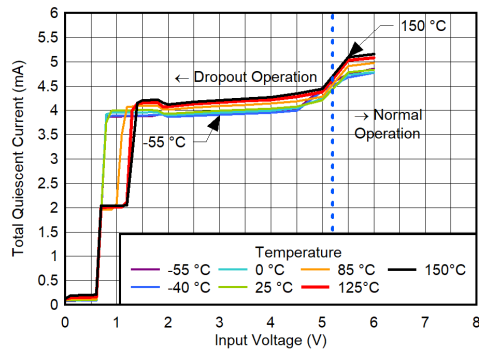
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-72.

$V_{OUT} = 5.2V$, $V_{BIAS} = 8.4V$, CP ディセーブルでの BIAS ピンの静止電流と V_{IN} との関係

5.6 代表的特性 (続き)

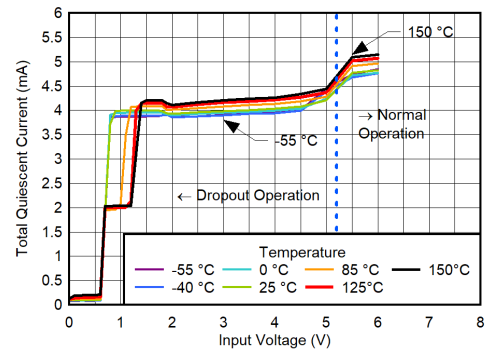
$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡、PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

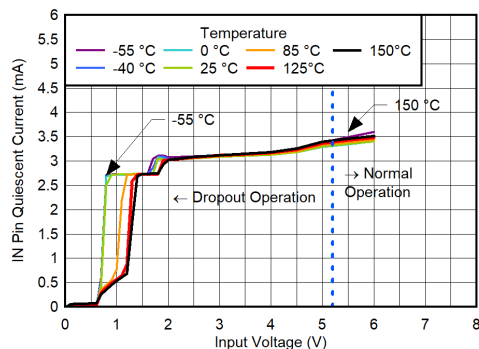
図 5-73.

$V_{OUT} = 5.2V$, $V_{BIAS} = 11V$, CP ディセーブルでの BIAS ピンの合計静止電流と V_{IN} との関係



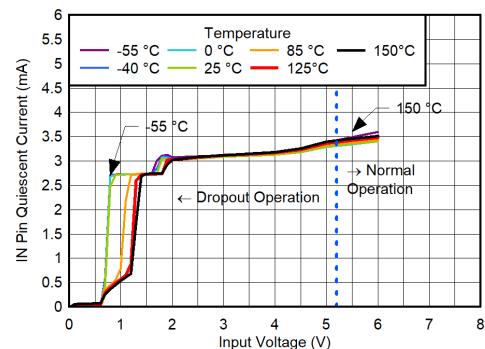
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-74. $V_{OUT} = 5.2V$, $V_{BIAS} = 8.4V$, CP ディセーブルでの合計静止電流と V_{IN} との関係



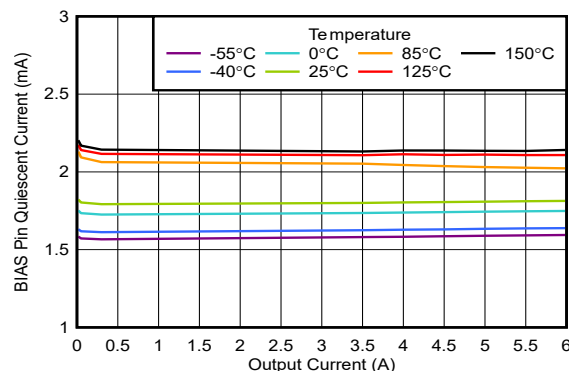
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-75. IN ピンの静止電流と V_{IN} との関係 ($V_{OUT} = 5.2V$, $V_{BIAS} = 11V$, CP ディセーブル)



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

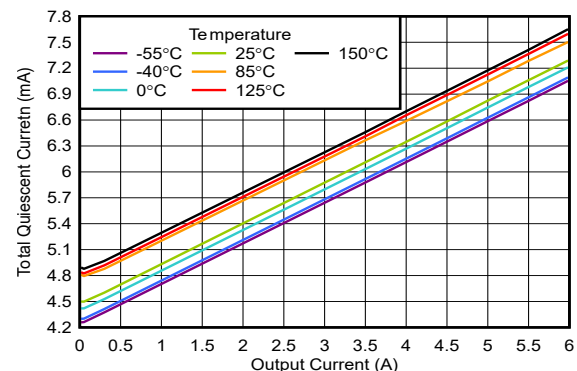
図 5-76. IN ピンの静止電流と V_{IN} との関係 ($V_{OUT} = 5.2V$, $V_{BIAS} = 8.4V$, CP ディセーブル)



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{IN} = 0.7V$

図 5-77.

$V_{OUT} = 0.5V$, $V_{BIAS} = 11V$, CP ディセーブルでの BIAS ピンの静止電流と I_{OUT} との関係



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{IN} = 0.7V$

図 5-78. $V_{OUT} = 0.5V$, $V_{BIAS} = 11V$, CP ディセーブル時の合計静止電流と I_{OUT} との関係

5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡、PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$

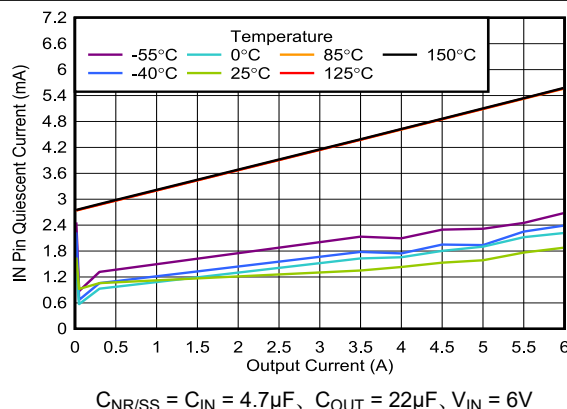


図 5-79. IN ピンの静止電流と I_{OUT} との関係 ($V_{OUT} = 0.5V$, $V_{BIAS} = 11V$, CP はディセーブル)

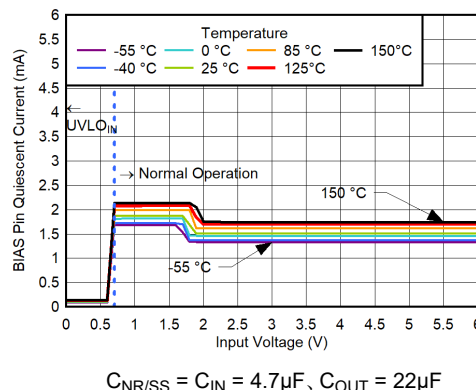


図 5-80. $V_{OUT} = 0.5V$, $V_{BIAS} = 11V$, CP ディセーブルでの BIAS ピン電流と V_{IN} との関係

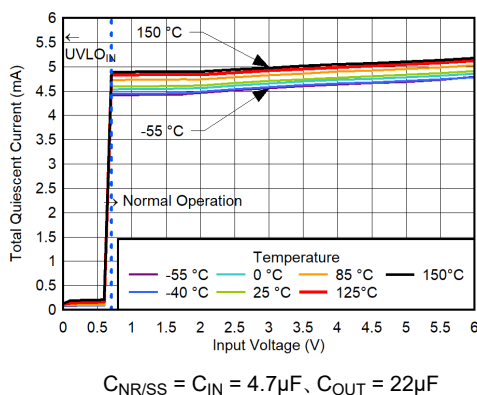


図 5-81. $V_{OUT} = 0.5V$, $V_{BIAS} = 11V$, CP ディセーブルでの合計静止電流と V_{IN} との関係

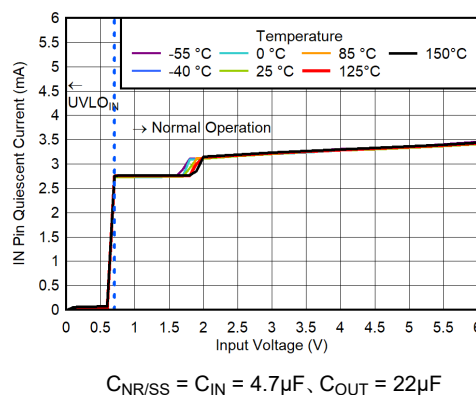


図 5-82. IN ピンの静止電流と V_{IN} との関係 ($V_{OUT} = 0.5V$, $V_{BIAS} = 11V$, CP ディセーブル)

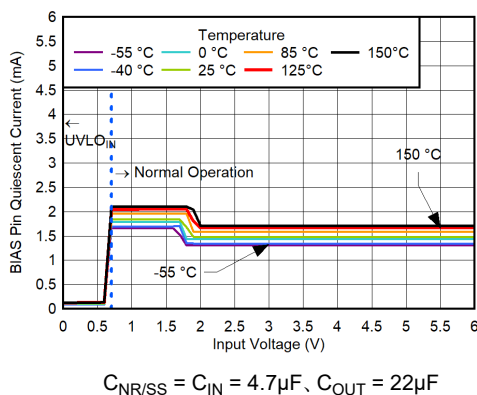


図 5-83. $V_{OUT} = 0.5V$, $V_{BIAS} = 3.7V$, CP ディセーブルでの BIAS ピンの静止電流と V_{IN} との関係

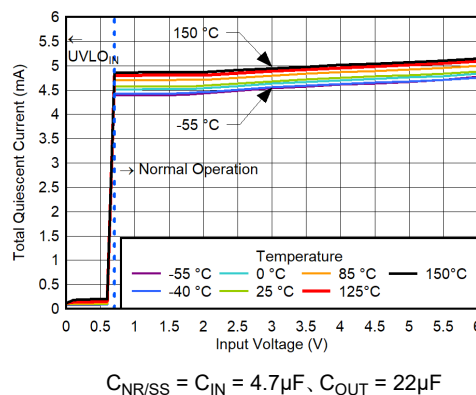
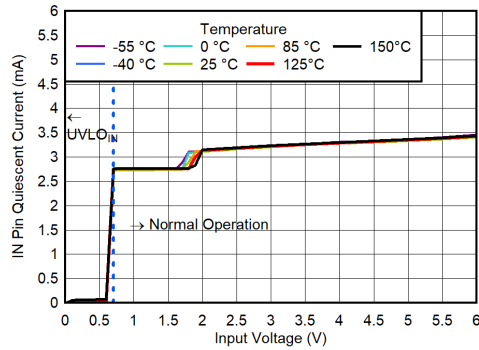


図 5-84. $V_{OUT} = 0.5V$, $V_{BIAS} = 3.7V$, CP ディセーブルでのピンの合計静止電流と V_{IN} との関係

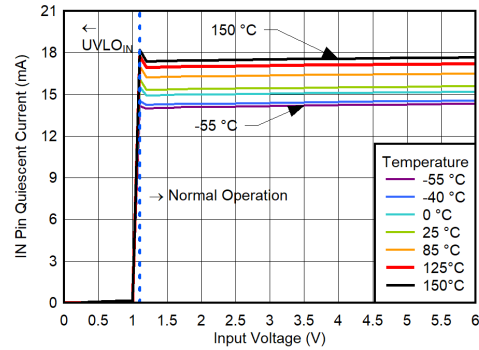
5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡、PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

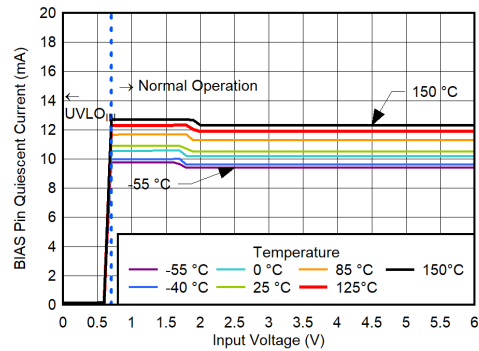
図 5-85. IN ピンの静止電流と V_{IN} との関係 ($V_{OUT} = 0.5V$)、 $V_{BIAS} = 3.7V$ 、CP ディセーブル



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-86.

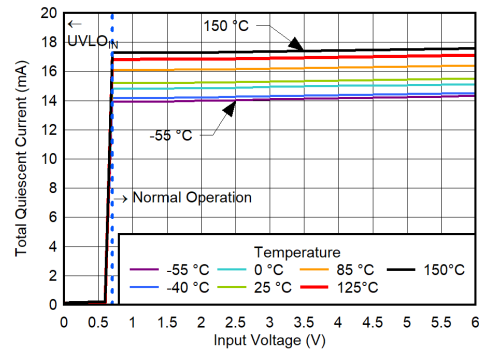
$V_{OUT} = 0.5V$ 、BIAS なし、CP イネーブル、 $I_{OUT} = 0A$ での BIAS ピンの静止電流と V_{IN} との関係



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-87.

$V_{OUT} = 0.5V$ 、 $V_{BIAS} = 3V$ 、CP イネーブル、 $I_{OUT} = 0A$ での BIAS ピンの静止電流と V_{IN} との関係

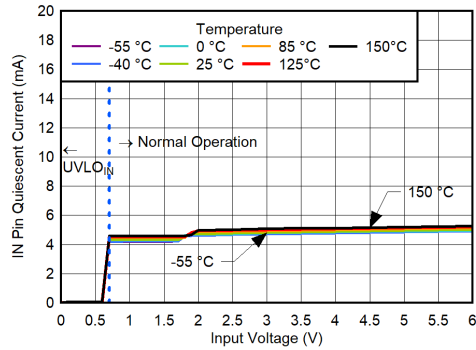


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-88. $V_{OUT} = 0.5V$ 、 $V_{BIAS} = 3V$ 、CP イネーブル、 $I_{OUT} = 0A$ での合計静止電流と V_{IN} との関係

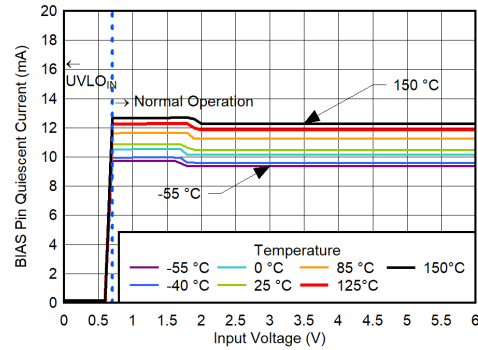
5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡、PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

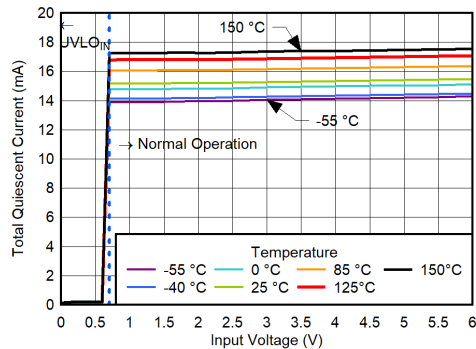
図 5-89. IN ピンの静止電流と V_{IN} との関係 ($V_{OUT} = 0.5V$, $V_{BIAS} = 3V$, CP イネーブル, $I_{OUT} = 0A$)



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

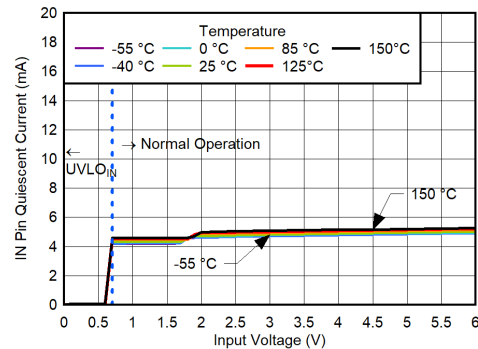
図 5-90.

$V_{OUT} = 0.5V$, $V_{BIAS} = 11V$, CP イネーブル, $I_{OUT} = 0A$ での BIAS ピンの静止電流と V_{IN} との関係



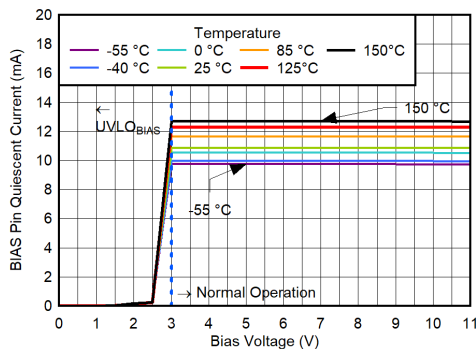
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-91. $V_{OUT} = 0.5V$, $V_{BIAS} = 11V$, CP イネーブル, $I_{OUT} = 0A$ での合計静止電流と V_{IN} との関係



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

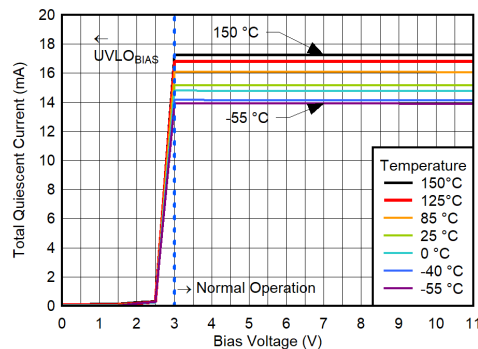
図 5-92. IN ピンの静止電流と V_{IN} との関係 ($V_{OUT} = 0.5V$, $V_{BIAS} = 11V$, CP イネーブル, $I_{OUT} = 0A$)



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-93.

$V_{OUT} = 0.5V$, $V_{IN} = 0.7V$, CP イネーブル, $I_{OUT} = 0A$ での BIAS ピンの静止電流と V_{BIAS} との関係

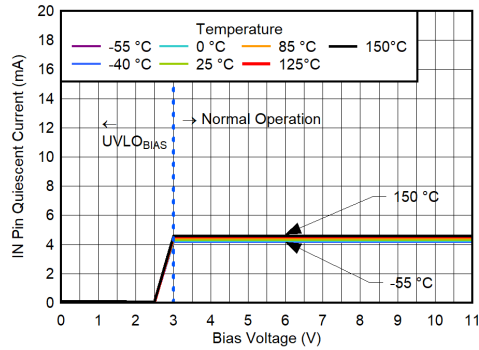


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-94. $V_{OUT} = 0.5V$, $V_{IN} = 0.7V$, CP イネーブル, $I_{OUT} = 0A$ での合計静止電流と V_{BIAS} との関係

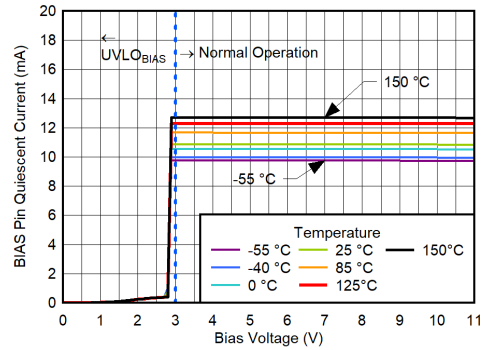
5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡、PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

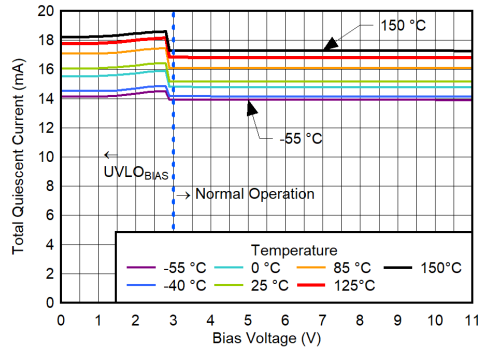
図 5-95. IN ピンの静止電流と V_{BIAS} との関係 ($V_{OUT} = 0.5V$, $V_{IN} = 0.7V$, CP イネーブル, $I_{OUT} = 0A$)



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

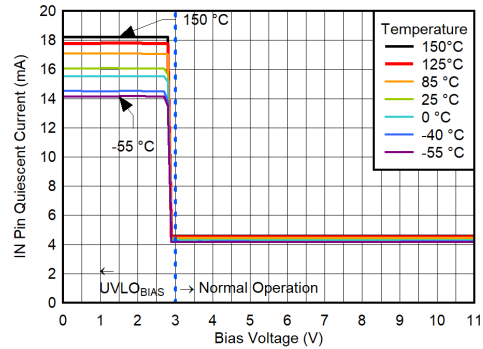
図 5-96.

$V_{OUT} = 0.5V$, $V_{IN} = 1.1V$, CP イネーブル, $I_{OUT} = 0A$ での BIAS ピンの静止電流と V_{BIAS} との関係



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-97. $V_{OUT} = 0.5V$, $V_{IN} = 1.1V$, CP イネーブル, $I_{OUT} = 0A$ での合計静止電流と V_{BIAS} との関係



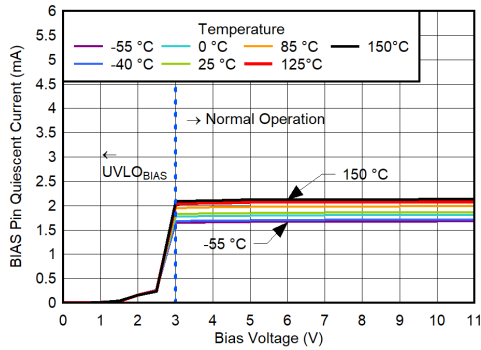
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-98.

$V_{OUT} = 0.5V$, $V_{IN} = 1.1V$, CP イネーブル, $I_{OUT} = 0A$ での IN ピン静止電流と BIAS 電圧との関係

5.6 代表的特性 (続き)

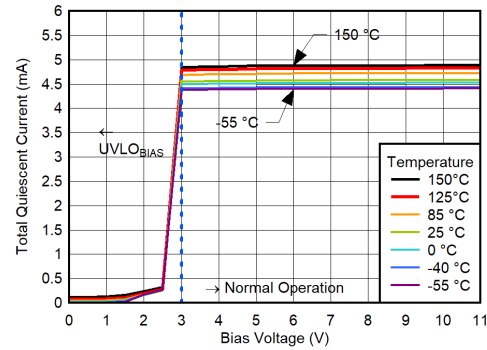
$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡, PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

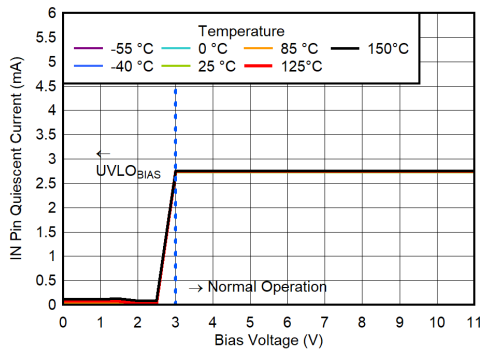
図 5-99.

$V_{OUT} = 0.5V$, $V_{IN} = 0.7V$, CP ディセーブル, $I_{OUT} = 0A$ での BIAS ピンの静止電流と V_{BIAS} との関係



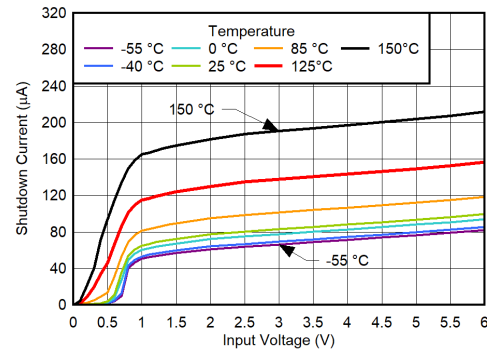
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-100. $V_{OUT} = 0.5V$, $V_{IN} = 0.7V$, CP ディセーブル, $I_{OUT} = 0A$ での合計静止電流と V_{BIAS} との関係



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-101. IN ピンの静止電流と V_{BIAS} との関係 ($V_{OUT} = 0.5V$, $V_{IN} = 0.7V$, CP イネーブル, $I_{OUT} = 0A$)

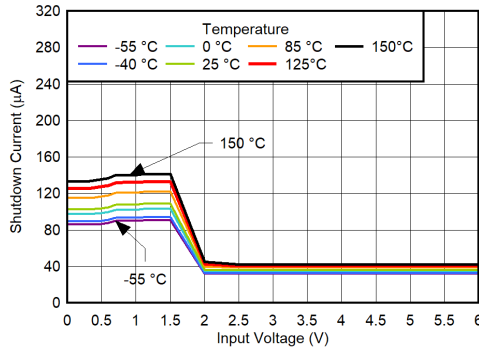


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$, $V_{EN} = 0.4V$

図 5-102. $V_{OUT} = 0.5V$, $V_{BIAS} = 0V$, CP イネーブルの場合のシャットダウン電流と V_{IN} との関係

5.6 代表的特性 (続き)

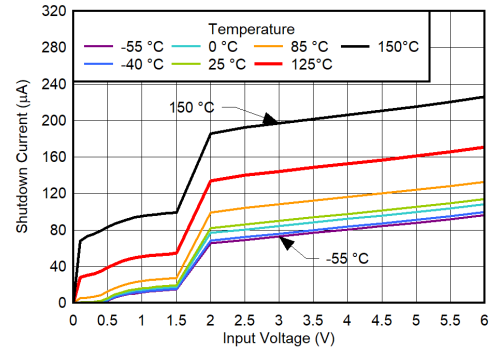
$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡, PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0.4V$,
 $V_{EN} = 0.4V$

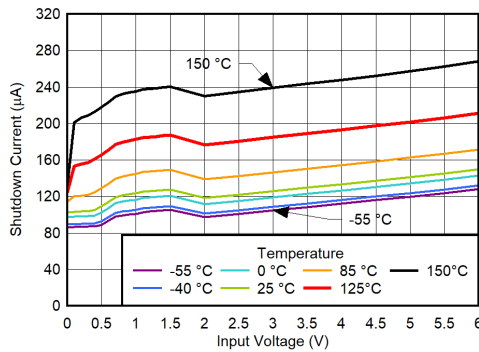
図 5-103.

$V_{OUT} = 0.5V$, $V_{BIAS} = 11V$, CP ディセーブルでの BIAS ピン シャット
ダウン電流と V_{IN} との関係



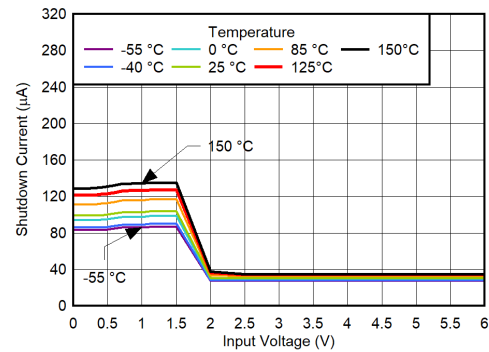
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0.4V$,
 $V_{EN} = 0.4V$

図 5-104. $V_{OUT} = 0.5V$, $V_{BIAS} = 11V$, CP ディセーブルでの IN ピン
シャットダウン電流と V_{IN} との関係



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0.4V$,
 $V_{EN} = 0.4V$

図 5-105. $V_{OUT} = 0.5V$, $V_{BIAS} = 11V$, CP ディセーブルでの合計シャ
ットダウン電流と V_{IN} との関係



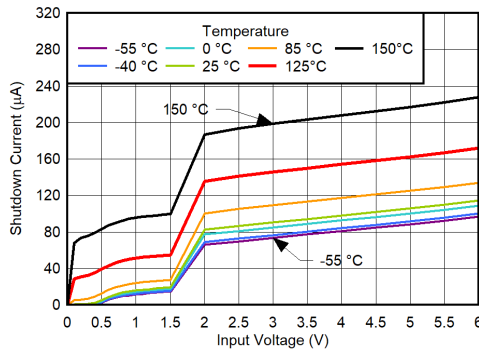
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{EN} = 0.4V$

図 5-106.

$V_{OUT} = 0.5V$, $V_{BIAS} = 3V$, CP イネーブルでの BIAS ピン シャット
ダウン電流と V_{IN} との関係

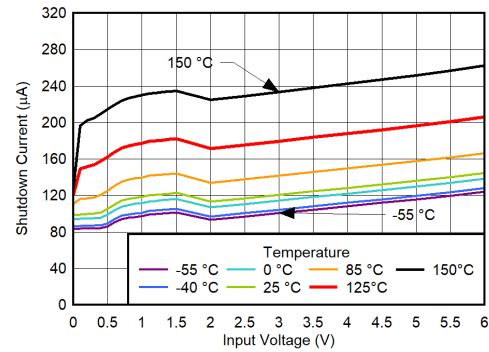
5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡、PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$



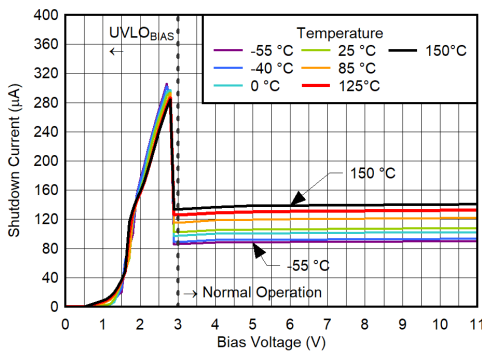
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{EN} = 0.4V$

図 5-107. $V_{OUT} = 0.5V$, $V_{BIAS} = 3V$, CP イネーブルでの IN ピン シャットダウン電流と V_{IN} との関係



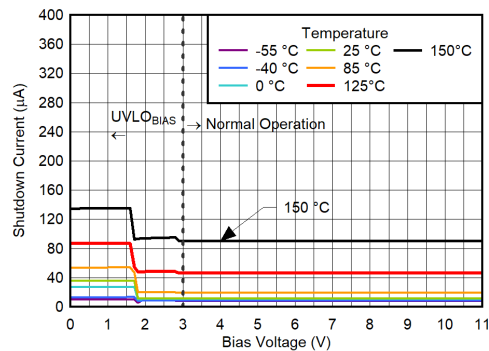
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{EN} = 0.4V$

図 5-108. $V_{OUT} = 0.5V$, $V_{BIAS} = 3V$, CP イネーブルでの合計シャットダウン電流と V_{IN} との関係



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{EN} = 0.4V$

図 5-109. $V_{IN} = 0.7V$, $V_{OUT} = 0.5V$, CP イネーブルでの BIAS ピン シャットダウン電流と V_{BIAS} との関係

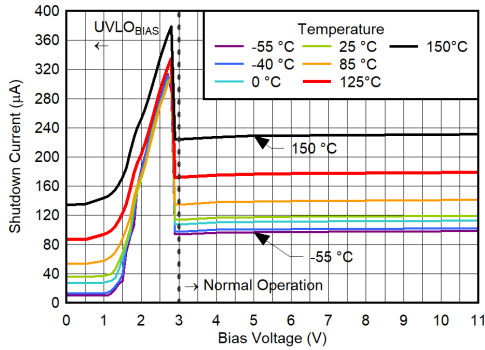


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{EN} = 0.4V$

図 5-110. $V_{IN} = 0.7V$, $V_{OUT} = 0.5V$, CP イネーブルでの IN ピン シャットダウン電流と V_{BIAS} との関係

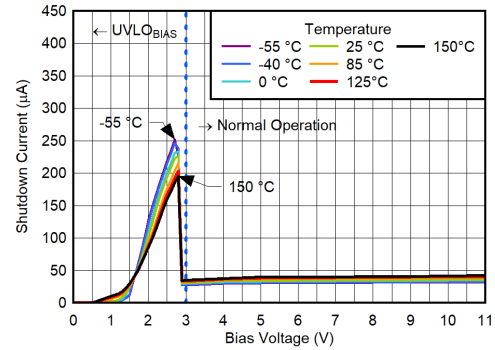
5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡, PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$



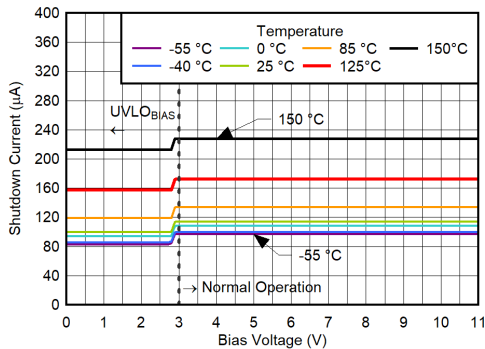
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{EN} = 0.4V$

図 5-111. $V_{IN} = 0.7V$, $V_{OUT} = 0.5V$, CP イネーブルでの合計シャットダウン電流と V_{BIAS} との関係



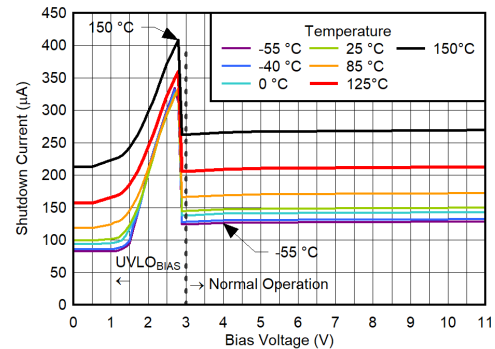
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{EN} = 0.4V$

図 5-112. $V_{IN} = 6V$, $V_{OUT(nom)} = 0.5V$, CP イネーブルでの BIAS ピン シャットダウン電流と V_{BIAS} との関係



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{EN} = 0.4V$

図 5-113. $V_{IN} = 6V$, $V_{OUT(nom)} = 0.5V$, CP イネーブルでの BIAS ピン シャットダウン電流と V_{BIAS} との関係

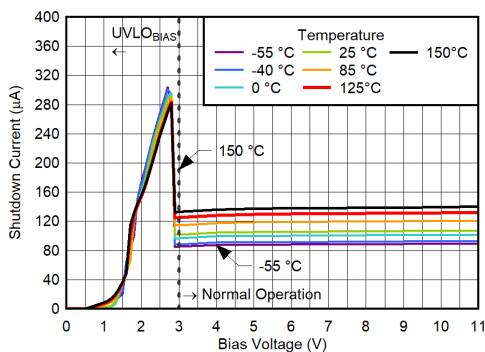


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 1.8V$,
 $V_{EN} = 0.4V$

図 5-114. $V_{IN} = 6V$, $V_{OUT(nom)} = 0.5V$, CP イネーブルでの合計シャットダウン電流と V_{BIAS} との関係

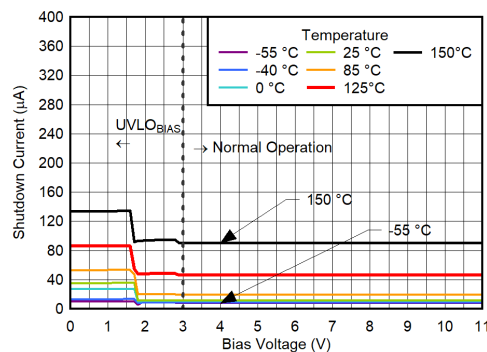
5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡, PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$



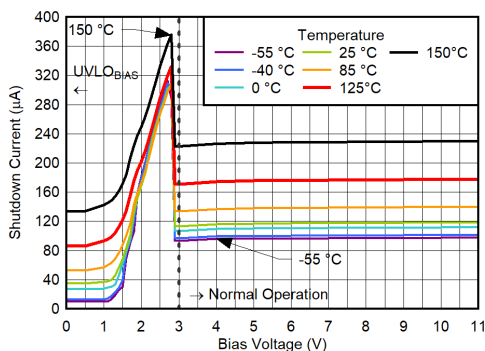
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{EN} = 0.4V$

図 5-115. $V_{IN} = 0.7V$, $V_{OUT(nom)} = 0.5V$, CP ディセーブルでの BIAS ピン シャットダウン電流と V_{BIAS} との関係



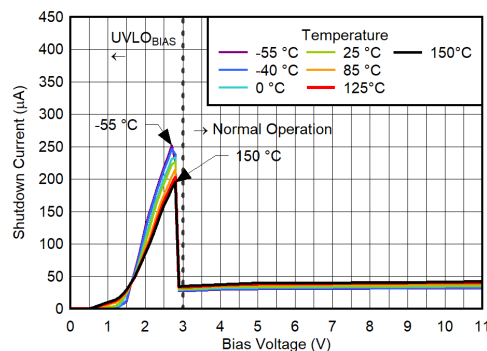
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{EN} = 0.4V$

図 5-116. $V_{IN} = 0.7V$, $V_{OUT(nom)} = 0.5V$, CP ディセーブルでの IN ピン シャットダウン電流と V_{BIAS} との関係



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{EN} = 0.4V$

図 5-117. $V_{IN} = 0.7V$, $V_{OUT(nom)} = 0.5V$, CP ディセーブルの場合の合計シャットダウン電流と V_{BIAS} との関係

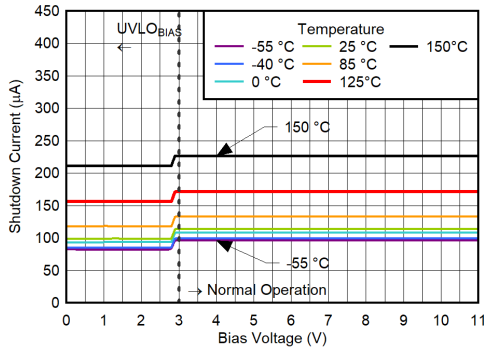


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{EN} = 0.4V$

図 5-118. $V_{IN} = 6V$, $V_{OUT(nom)} = 0.5V$, CP ディセーブルでの BIAS ピン シャットダウン電流と V_{BIAS} との関係

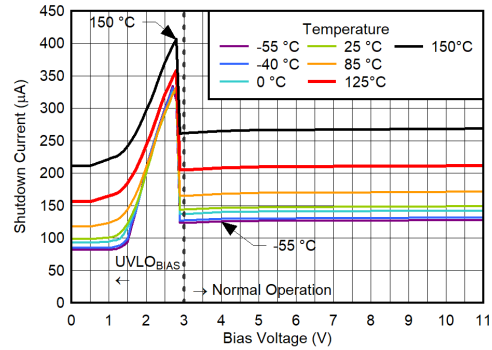
5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡、PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$



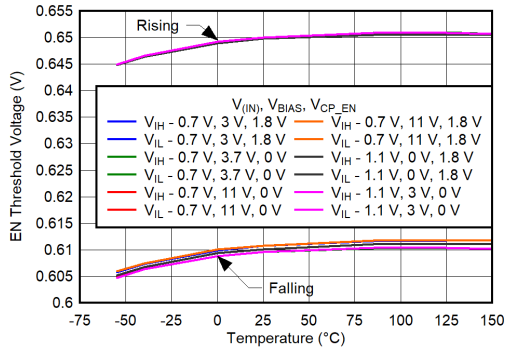
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{EN} = 0.4V$

図 5-119. $V_{IN} = 6V$, $V_{OUT(nom)} = 0.5V$, CP ディセーブルでの IN ピン シャットダウン電流と V_{BIAS} との関係



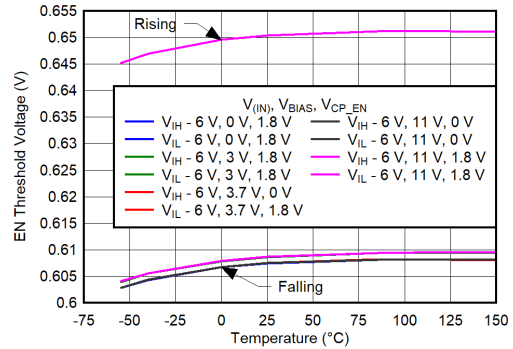
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{CP_EN} = 0V$,
 $V_{EN} = 0.4V$

図 5-120. $V_{IN} = 6V$, $V_{OUT(nom)} = 0.5V$, CP ディセーブルの場合の合計シャットダウン電流と V_{BIAS} との関係



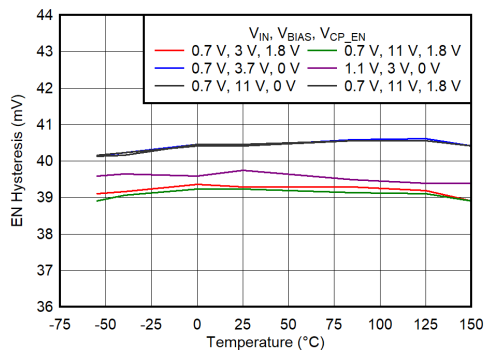
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-121. EN スレッシュホールド電圧と温度との関係 ($V_{IN} = 0.7V$ および $1.1V$, $V_{OUT} = 0.5V$)



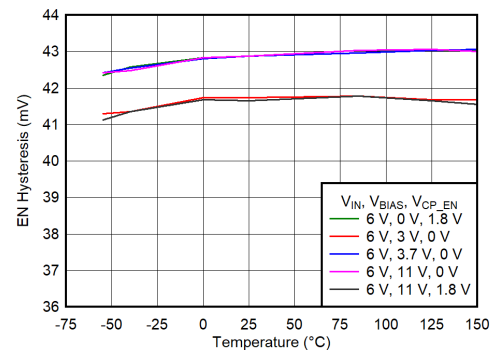
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-122. EN スレッシュホールド電圧と温度との関係 ($V_{IN} = 6V$, $V_{OUT} = 0.5V$)



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-123. EN ヒステリシスと温度との関係 ($V_{IN} = 0.7V$ および $1.1V$, $V_{OUT} = 0.5V$)

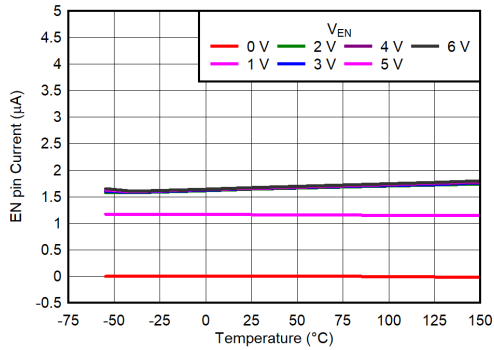


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-124. EN ヒステリシスと温度との関係 ($V_{IN} = 6V$, $V_{OUT} = 0.5V$)

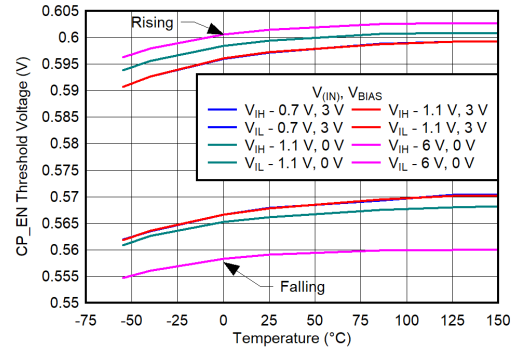
5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡、PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$



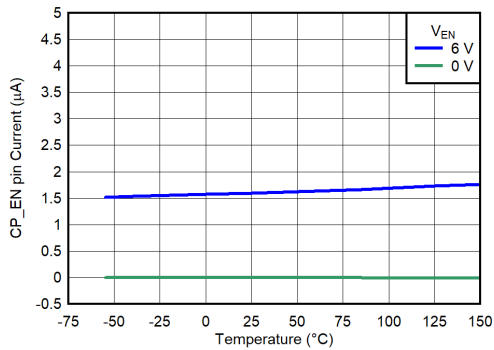
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-125. EN ピンの電流と温度との関係



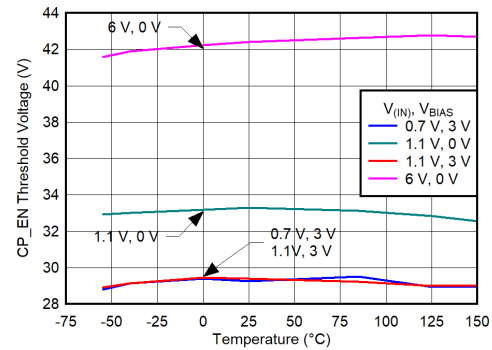
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-126. CP_EN スレッシュホールド電圧と温度との関係



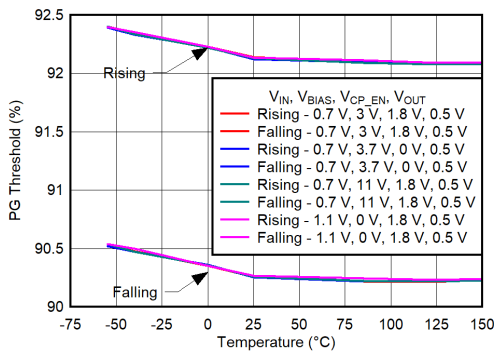
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-127. CP_EN ピンの電流と温度との関係



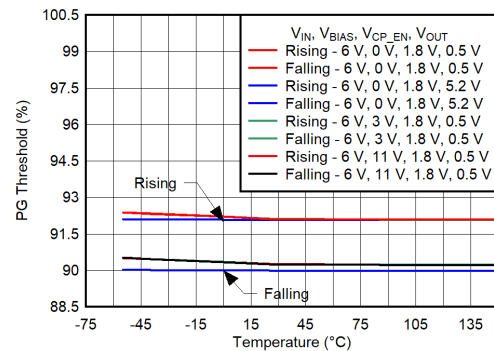
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-128. CP_EN ヒステリシスと温度との関係



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-129. PG のスレッシュホールド電圧と温度との関係 ($V_{IN} = 0.7V$ および $1.1V$)

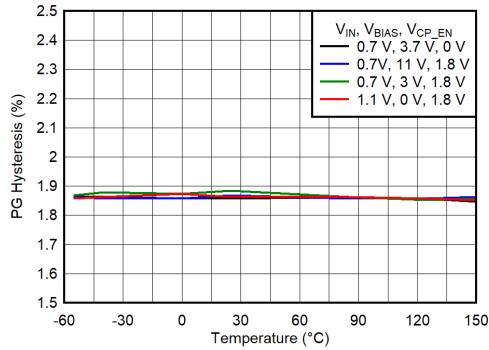


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-130. PG スレッシュホールド電圧と温度との関係 ($V_{IN} = 6V$)

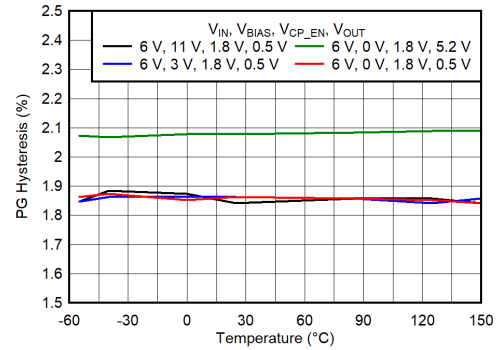
5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡、PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$



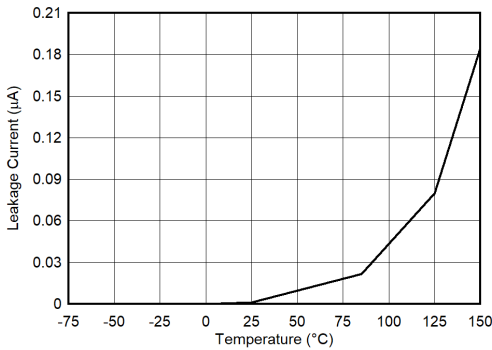
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-131. PG ヒステリシスと温度との関係 ($V_{IN} = 0.7V$ および $1.1V$)



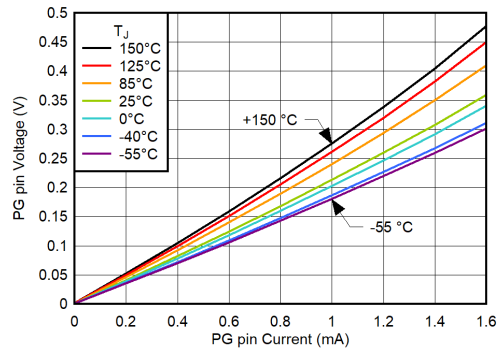
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-132. PG ヒステリシスと温度との関係 ($V_{IN} = 6V$)



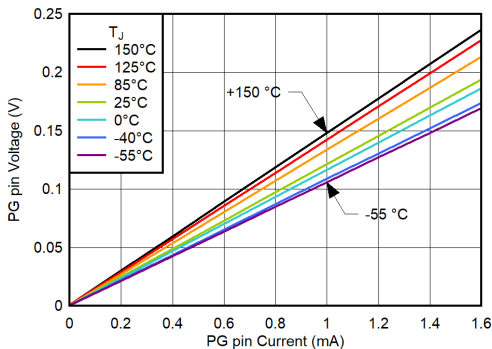
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$

図 5-133. PG リーク電流と温度との関係



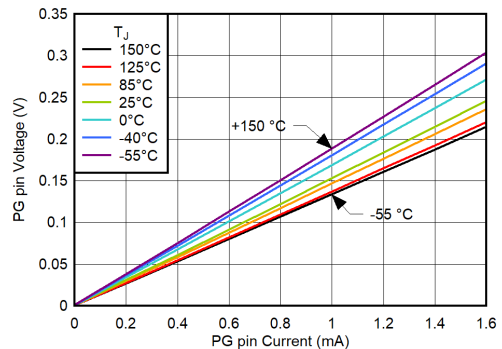
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{BIAS} = 0V$,
 $V_{OUT} = 0.5V$, $V_{CP_EN} = 1.8V$

図 5-134. $V_{IN} = 1.1V$, BIAS なしでの PG ピンの低レベル電圧と PG ピン電流との関係



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{BIAS} = 0V$,
 $V_{OUT} = 0.5V$, $V_{CP_EN} = 1.8V$

図 5-135. $V_{IN} = 6V$, BIAS なしでの PG ピンの低レベル電圧と PG ピン電流との関係

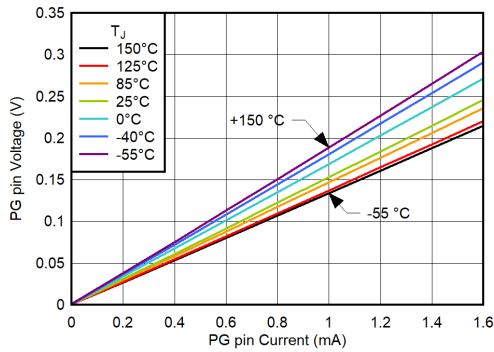


$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{OUT} = 0.5V$

図 5-136. PG ピンの低レベル電圧と PG ピン電流との関係 ($V_{IN} = 0.7V$, $V_{BIAS} = 3.7V$, $V_{CP_EN} = 0V$)

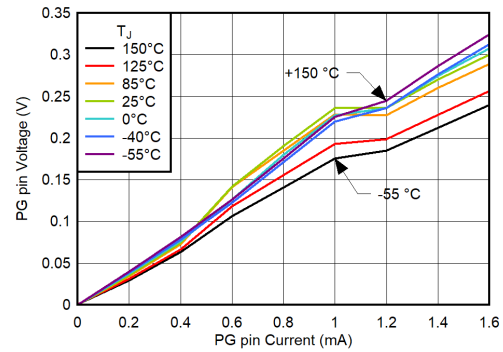
5.6 代表的特性 (続き)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $V_{CP_EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS ピンを OUT ピンに短絡、PG ピンを $100k\Omega$ で V_{IN} にプルアップ (特に記述のない限り)。標準値は $T_J = 25^\circ C$



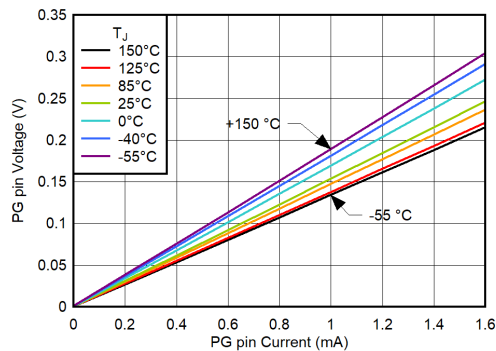
$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{OUT} = 0.5V$

図 5-137. PG ピンの低レベル電圧と PG ピン電流との関係 ($V_{IN} = 0.7V$, $V_{BIAS} = 11V$, $V_{CP_EN} = 0V$)



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{OUT} = 0.5V$

図 5-138. PG ピンの低レベル電圧と PG ピン電流との関係 ($V_{IN} = 0.7V$, $V_{BIAS} = 3V$, $V_{CP_EN} = 1.8V$)



$C_{NR/SS} = C_{IN} = 4.7\mu F$, $C_{OUT} = 22\mu F$, $V_{OUT} = 0.5V$

図 5-139. PG ピンの低レベル電圧と PG ピン電流との関係 ($V_{IN} = 0.7V$, $V_{BIAS} = 11V$, $V_{CP_EN} = 1.8V$)

6 詳細説明

6.1 概要

TPS7A56 は、低ノイズ(10Hz ~ 100kHz の帯域幅で $2.45\mu\text{V}_{\text{RMS}}$)、超高 PSRR (> 36dB ~ 1MHz)、高精度(1%)、超低ドロップアウト(LDO)リニア電圧レギュレータです。このデバイスの入力範囲は 0.7V ~ 6.0V、出力電圧範囲は 0.5V ~ 5.0V です。このデバイスは革新的な回路構成を採用しており、広い帯域幅と高いループ ゲインを実現しています。その結果、動作マージンが非常に小さい状況でも、超高 PSRR を達成します。このヘッドルームは $[V_{\text{OpHr}} = (V_{\text{IN}} - V_{\text{OUT}})]$ として計算できます。概要として、このデバイスには 2 つの主な特長といくつかの副次的な機能があります。主な特長は、電流リファレンスとユニティ ゲイン LDO バッファです。副次的な特長には、調整可能なソフトスタート突入電流制御、高精度 イネーブル、チャージ ポンプのイネーブル、PG ピンがあります。

電流リファレンスは、REF ピンにより制御されます。このピンは、1 本の抵抗で出力電圧を設定します。

NR/SS ピンは、立ち上がり時間を設定し、リファレンスや外付け設定抵抗によって発生するノイズをフィルタします。

ユニティ ゲイン LDO バッファが出力電圧を制御します。低ノイズ特性は出力電圧の上昇によって悪化せず、広帯域の PSRR を提供します。そのため、SNS ピンは負荷のリモート センシング専用で使用されます。

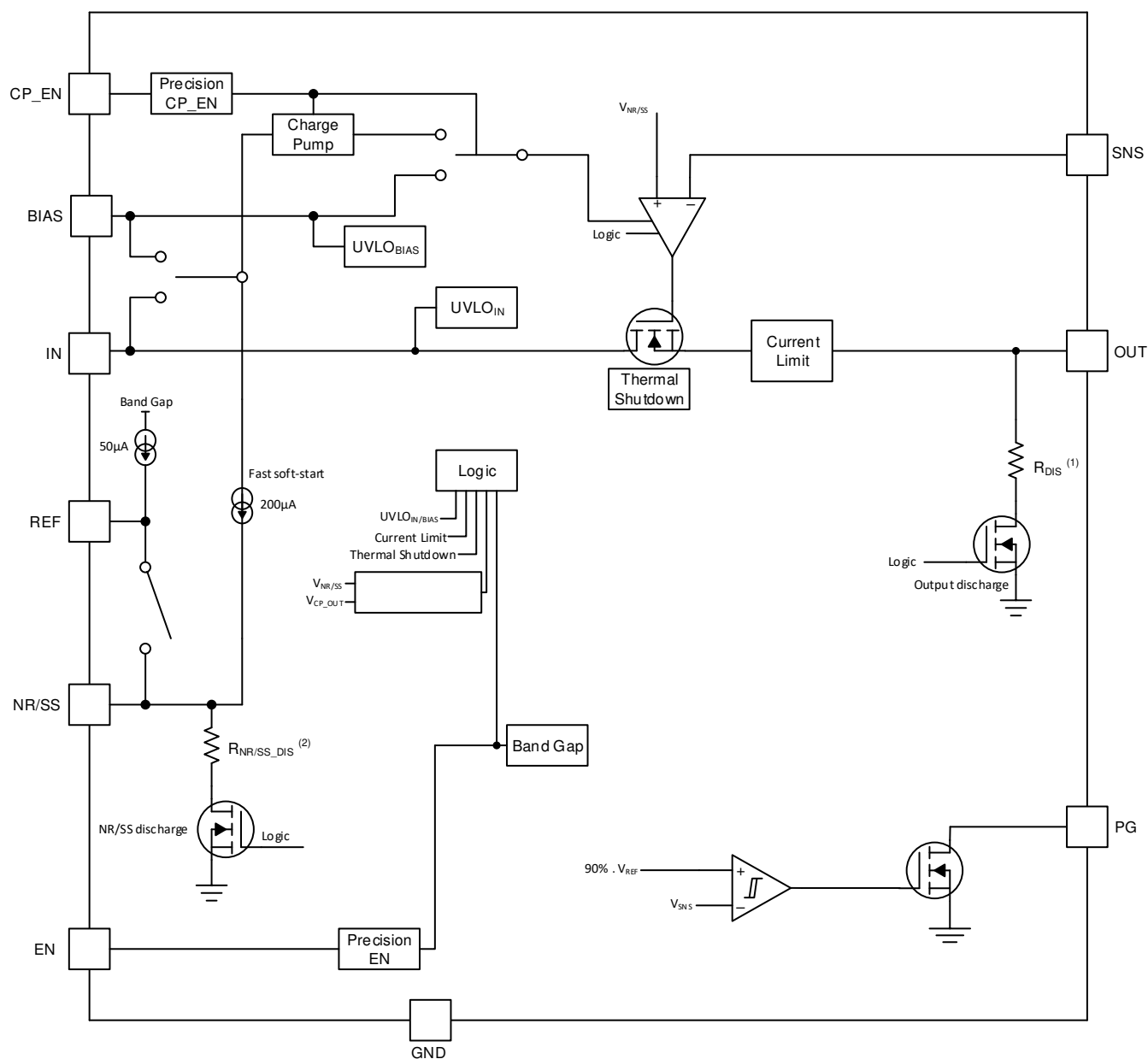
出力電圧を設定するには、標準値 50 μA の低ノイズ電流リファレンスを外付け抵抗 (R_{REF}) とともに使用します。このプロセスにより、出力電圧範囲を 0.5V ~ 5.0V に設定できます。低ノイズを実現し、ソフトスタート時の突入電流を抑制するために、NR/SS ピンに外付けコンデンサ $C_{\text{NR/SS}}$ (通常は 4.7 μF) を接続します。起動が完了し、REF と NR/SS 間のスイッチが閉じられると、 $C_{\text{NR/SS}}$ コンデンサが R_{REF} 抵抗と並列に接続されます。この抵抗はバンドギャップ ノイズを減衰させ、出力電圧を設定します。このユニティ ゲインの LDO は、負荷変動や電源変動に対する応答性能を損なうことなく、広い周波数範囲にわたって非常に高い PSRR を提供します。

EN ピンは高精度イネーブル機能を設定するためのもので、このピンに接続された抵抗分圧回路によって、デバイスが起動する最適な入力電圧が選択されます。このデバイスには、3 つの独立した低電圧誤動作防止(UVLO) 電圧があります。これらの電圧は、IN レールおよび BIAS レールに対する内部固定の UVLO スレッシュホールドと、EN ピンを使用して外部から調整可能な UVLO スレッシュホールドです。

CP_EN ピンは、内部チャージ ポンプをイネーブル / ディエーブルします。TPS7A56 では、BIAS レールなしで 1.1V 未満で動作させることはできません。チャージ ポンプがディセーブルなら、OUT と BIAS の間の最小動作ヘッドルームが必要です。

このレギュレータは、電流制限機能および熱保護機能を備えており、 -40°C ~ $+125^{\circ}\text{C}$ の範囲で完全に仕様が規定されています。また、このデバイスは熱効率に優れた 3mm × 3mm の 16 ピン WQFN パッケージで提供されます。

6.2 機能ブロック図



- A. R_{DIS} (出力ピンのアクティブ放電抵抗) の値を [電氣的特性](#) の表で参照してください。
- B. R_{NR/SS_DIS} (NR/SS ピンのアクティブ放電抵抗) の値を [電氣的特性](#) の表で参照してください。

6.3 機能説明

6.3.1 出力電圧設定およびレギュレーション

図 6-1 に、簡略化したレギュレーション回路を示します。入力信号 (V_{REF}) は、内部電流源 (I_{REF}) と外付け抵抗 (R_{REF}) から生成されます。誤差アンプは常にユニティ ゲイン構成で動作するため、LDO 出力電圧は V_{REF} 電圧によってプログラムされます。 V_{REF} リファレンス電圧は、 R_{REF} 抵抗を駆動する内部の低ノイズ電流源から生成されます。 V_{REF} は、ローパスフィルタ ($C_{NR/SS} \parallel R_{REF}$) を使用することで、エラー アンプへの入力の帯域幅が非常に低くなるように設計されています。

ユニティ ゲイン構成は、SNS を OUT に接続することで実現されます。出力のトレース インダクタンスを最小限に抑え、 C_{OUT} をできる限り出力の近くに接続します。

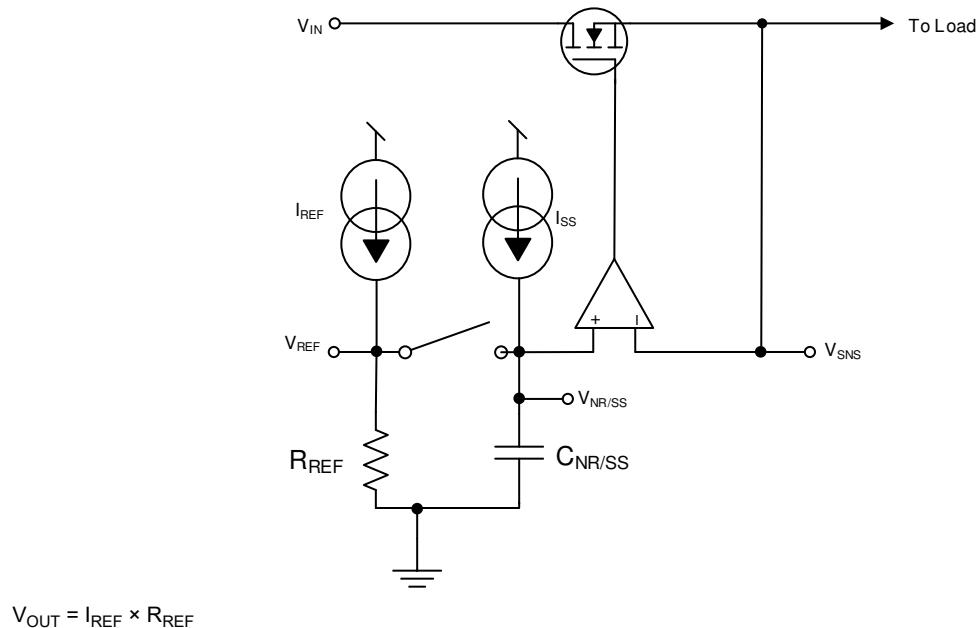


図 6-1. 簡易レギュレーション回路

このユニティ ゲイン構成と、高精度の I_{REF} リファレンス電流により、このデバイスは非常に優れた出力電圧精度を実現できます。低いドロップアウト電圧 (V_{DO}) によって、放熱が低減され、堅牢な性能を実現します。この機能の組み合わせにより、このデバイスは敏感なアナログ低電圧 ($\leq 5.5V$) デバイスへの電力供給に最適な電圧源です。

6.3.2 低ノイズおよび超高電源除去比 (PSRR)

このデバイスのアーキテクチャは、高精度、高精密、低ノイズの電流リファレンスと、それに続く最先端の相補型金属酸化膜半導体 (CMOS) エラー アンプを備えています。この CMOS 誤差アンプは、 $V_{OUT} \geq 0.5V$ の場合、10kHz ノイズで $6nV/\sqrt{Hz}$ です。従来世代の LDO とは異なり、このデバイスのユニティ ゲイン構成は、出力電圧範囲全体にわたって低ノイズを実現します。複数の TPS7A56 LDO を並列接続することで、ノイズのさらなる低減とより高い出力電流が実現されます。[並列接続により大出力電流と低ノイズを実現](#) セクションを参照してください。

6.3.3 プログラム可能なソフトスタート (NR/SS ピン)

このデバイスには、プログラム可能、単調、電流制御、ソフトスタート回路が搭載されています。この回路では $C_{NR/SS}$ コンデンサを使用して、起動時の出力コンデンサおよび負荷への突入電流を最小限に抑えます。この回路は、出力電圧が設定値の少なくとも 90% に迅速に到達することが求められる用途において、起動時間を短縮します。詳細については、「[ソフトスタート、ノイズ低減 \(NR/SS ピン\)、パワーグッド \(PG ピン\)](#)」セクションを参照してください。

6.3.4 高精度のイネーブルと UVLO

回路の実装によっては、最大 3 つの独立した低電圧誤動作防止 (UVLO) 電圧回路がアクティブな可能性があります。入力電源 (IN ピン) およびバイアス電源 (BIAS ピン) には内部設定された UVLO があり、入力電圧が最小しきい値に達すると自動的に LDO を無効化します。高精度の EN 機能 (EN ピン) は、ユーザーがプログラム可能な UVLO としても機能します。このプログラマビリティには以下が含まれます。

1. 内部入力電源電圧 UVLO 回路により、入力電圧が十分高くないときはレギュレータがオンになるのを防止します。詳細については、「[電氣的特性](#)」表を参照してください。
2. 内部バイアス電源の UVLO 回路により、バイアス電圧が十分に高くないときにレギュレータがオンになることが防止されます。詳細については、「[電氣的特性](#)」表を参照してください。
3. 高精度のイネーブル回路により、他の電源からの抵抗分圧を用いて複数の電源のシーケンス制御を簡単に行うことができます。このイネーブル回路を使用することで、EN ピンに抵抗分圧を設け、デバイスが有効になる外部 UVLO 電圧を設定できます。詳細については、「[高精度イネーブル \(外部 UVLO\)](#)」セクションを参照してください。

6.3.5 チャージポンプのイネーブルと BIAS レール

本デバイスは、スイッチング ノイズを一切許容できないシステム向けに、内部チャージ ポンプを無効化することが可能です。

V_{IN} が 1.1V 未満の場合、このレールは内部回路に必要な電流を供給するため、BIAS レールが必要です。チャージ ポンプは、有効または無効のいずれかの状態になります。チャージ ポンプを無効にする場合は、OUT から BIAS への十分な動作ヘッドルームを確保する必要があります。詳細については、「[低電圧誤動作防止 \(UVLO\) 動作](#)」セクションを参照してください。

V_{IN} が 1.1V 以上の場合、CP_EN ピンの接続によって内部回路への電力供給方法が決まります。CP_EN が GND に接続されている場合 (CP が無効)、内部回路は BIAS レールから電力供給されます。詳細については、「[低電圧誤動作防止 \(UVLO\) 動作](#)」セクションを参照してください。CP_EN が電源に接続されている場合 (CP が有効)、内部回路に必要な電流はすべて IN ピンから供給されます。このため、BIAS ピンはオープンのままにします。

6.3.6 パワーグッドピン (PG ピン)

PG ピンは、LDO が電力供給可能な状態であることを示す出力ピンです。このピンは、オープンドレイン構成で実装されています。起動フェーズ中、高速ソフトスタートが進行している間は、PG の電圧スレッシュホールドは REF 電圧によって設定されます。高速ソフトスタートが完了し、REF と NR/SS 間のスイッチが閉じられると、PG のスレッシュホールドは NR/SS 電圧によって設定されます。

[機能ブロック図](#) に示すように、SNS ピンの電圧を内部基準電圧と比較することで PG ピンが実装されています。このため、PG ピンは出力電圧状態を反映した電圧インジケータと見なされます。

PG ピンの実装については、[パワーグッド機能](#)セクションを参照してください。

6.3.7 アクティブ放電

内部ノードを迅速に放電するために、本デバイスには 2 つの内部プルダウン MOSFET (金属酸化膜半導体電界効果トランジスタ) が組み込まれています。1 番目のプルダウン MOSFET は、デバイスがディセーブルされて、出力コンデンサをアクティブに放電する際に、OUT からグラウンドに抵抗 (R_{DIS}) を接続します。2 番目のプルダウン MOSFET は、デバイスがディセーブルになると NR/SS (R_{NR/SS_DIS}) とグラウンドとの間に抵抗を接続し、NR/SS コンデンサを放電します。両方のプルダウン MOSFET は、以下のいずれかのイベントによってアクティブ化されます。

- EN ピンの電圧を $V_{EN(LOW)}$ スレッシュホールドより低くする
- IN ピンの電圧が低電圧誤動作防止スレッシュホールド電圧 $V_{UVLO(IN)}$ を下回っている
- BIAS ピンの電圧が低電圧誤動作防止スレッシュホールド電圧 $V_{UVLO(BIAS)}$ を下回っている

注

低入力、低出力 (LILO) 動作時 ($< 1.1V_{IN}$) に BIAS でブラウンアウトが発生すると、 $C_{NR/SS}$ の放電が不完全になります。適切なシステム シャットダウン手順を行うために、NR/SS ピンおよび OUT ピンの時定数を考慮します。

6.3.8 サーマル シャットダウン保護機能 (T_{SD})

デバイスには、パストランジスタの接合部温度 (T_J) が $T_{SD(shutdown)}$ (標準値) まで上昇したときにデバイスを無効化するサーマル シャットダウン保護回路が内蔵されています。サーマル シャットダウン ヒステリシスにより、温度が $T_{SD(RESET)}$ (標準値) まで低下するとデバイスがリセットされます (オンになります)。

半導体ダイの熱時定数はかなり短いです。このため、サーマル シャットダウンに達した時点で、消費電力が低下するまで、デバイスはオンとオフを繰り返します。スタートアップ時の消費電力は、デバイス両端での大きな $V_{IN} - V_{OUT}$ 電圧降下が発生するか、大きな突入電流で大容量の出力コンデンサを充電することにより高くなります。条件によっては、サーマル シャットダウン保護機能により、起動が完了する前にデバイスが無効化されることがあります。

信頼性の高い動作を実現するには、接合部温度を [推奨動作条件](#) 表に記載された最大値に制限します。この最大温度を超えて動作すると、デバイスは動作仕様を超えます。本デバイスの内蔵保護回路は熱過負荷状態から保護するように設計されていますが、この回路は適切なヒートシンクの代わりとなるものではありません。デバイスをサーマル シャットダウン状態、または推奨される最大接合部温度を上回る状態で使用し続けると、長期的な信頼性が低下します。

6.4 デバイスの機能モード

6.4.1 通常動作

デバイスは、以下の条件が満たされるとき、公称出力電圧へのレギュレートを行います。

- 入力電圧が、公称出力電圧とドロップアウト電圧の合計 ($V_{OUT(nom)} + V_{DO}$) よりも大きくなります。
- バイアス電圧は、公称出力電圧と OUT から BIAS 降下電圧の合計よりも大きくなります。この状況は、チャージポンプがディセーブルになった場合、または入力電圧が $1.1V$ を下回った場合に発生します。OUT から BIAS へのドロップアウト電圧は、 $V_{OUT(nom)} + V_{DO(BIAS)}$ として定義されます。
- 出力電流が、電流制限より小さい ($I_{OUT} < I_{CL}$)
- デバイスの接合部温度がサーマルシャットダウン温度未満 ($T_J < T_{SD(shutdown)}$) です。
- EN ピンの電圧は以前に $V_{IH(EN)}$ スレッショルド電圧を上回っており、イネーブル立ち下がりスレッショルドを下回るまでは低下していません。

[表 6-1](#) は、すべての有効な動作モードをまとめ、内部バイアス電流を供給しているレールを示します。

表 6-1. デバイスの機能モードの比較

動作モード	パラメータ					
	V_{IN}	V_{BIAS}	V_{CP_EN}	V_{EN}	I_{OUT}	T_J
通常モード	$V_{IN} \geq V_{OUT(nom)} + V_{DO}$ および $V_{IN} \geq V_{UVLO(IN)}$	$V_{BIAS} \geq V_{OUT} + 3.2V$	$V_{CP_EN} \geq V_{IH(CP_EN)}$	$V_{EN} \geq V_{IH(EN)}$	$I_{OUT} < I_{CL}$	シャットダウン用: $T_J < T_{SD}$
ドロップアウト モード	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{BIAS} = V_{OUT} + 3.2V$	$V_{CP_EN} > V_{IH(CP_EN)}$	$V_{EN} > V_{IH(EN)}$	$I_{OUT} < I_{CL}$	シャットダウン用: $T_J < T_{SD}$
無効 モード	$V_{IN} < V_{UVLO(IN)}$	$V_{BIAS} < V_{BIAS(UVLO)}$	$V_{CP_EN} < V_{IL(CP_EN)}$	$V_{EN} < V_{IL(EN)}$	-	シャットダウン用: $T_J \geq T_{SD}$

6.4.2 ドロップアウト動作

入力電圧が、公称出力電圧と規定ドロップアウト電圧の和よりも低い場合、デバイスはドロップアウト モードで動作します。このモードでは、出力電圧は入力電圧に追従します。このモードでは、デバイスの過渡性能が大きく低下します。このモード中、パストランジスタは完全にオンに駆動されます。ドロップアウト中にライン過渡または負荷過渡事象が生じると、大きな出力電圧の偏差が発生する可能性があります。

注

チャージ ポンプが無効の場合は、REF 電圧より高い最小の UVLO (BIAS) 電圧を維持します。3V の BIAS レール以上の電圧が必要です。ただし、この要件が必要となるのは、チャージ ポンプが有効で、かつ IN 電圧が 1.1V 未満の場合のみです。チャージ ポンプが有効で、IN 電圧が 1.1V 以上であれば、BIAS レールは不要です。

追加情報については、「[低電圧誤動作防止 \(UVLO\) 動作](#)」セクションを参照してください。

6.4.3 ディセーブル

EN ピンの電圧を強制的に $V_{IH(EN)}$ スレッショルド未満にすることで、デバイス出力をシャットダウンします ([電气的特性](#) 表を参照)。無効化されると、パストランジスタはオフになり、内部回路はシャットダウンされ、NR/SS ピンおよび OUT ピンの電圧はともに積極的にグラウンドへ放電されます。これらのピンの電圧は、IN ピンの電圧がダイオードの順方向電圧以上である場合、内部の放電回路によってグラウンドへ放電されます。

6.4.4 電流制限動作

出力電流が最小電流制限 ($I_{LIM(Min)}$) 以上の場合、デバイスは電流制限モードで動作します。電流制限はフォールドバック実装です。

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

アプリケーションで LDO を正しく実装するには、アプリケーションの要件に依存します。このセクションでは、デバイスの主要な機能と、信頼性の高い設計を実現するための最適な実装方法について説明します。

7.1.1 高精度イネーブル (外部 UVLO)

高精度イネーブル回路 (EN ピン) は、デバイスのオン/オフを切り替えます。図 7-1 に示すように、この回路を使用して外部の低電圧誤動作防止 (UVLO) 電圧を設定します。この回路は、IN (またはチャージポンプがディセーブルされているときは BIAS)、EN、GND の間に分圧抵抗を使用してデバイスのオン/オフを切り替えます。

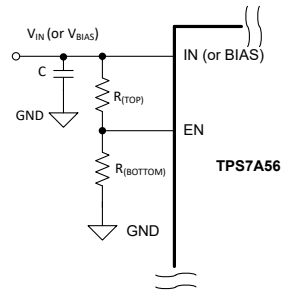


図 7-1. 高精度 EN を外部 UVLO として使用

入力電源電圧が十分に高くない場合にデバイスが起動しないようにするために、この外部 UVLO (低電圧ロックアウト) ソリューションを使用します。外部 UVLO により、デバイスはドロップアウト動作状態になります。このソリューションでは、他の電源からの抵抗デバイダを使用して複数の電源を簡単にシーケンシングすることもできます。このピンには内部プルダウン抵抗がないため、EN ピンがフローティングになることはありません。この状態は、抵抗分圧回路を使用してデバイスを有効または無効にすることによる、もう一つの利点をもたらします。ただし、このピンの絶対最大定格を満たす必要がある場合は、EN ピンとグラウンドの間にツェナーダイオードを配置します。

式 1 と 式 2 を使用して正しい抵抗値を求めます。

$$V_{ON} = V_{OFF} \times [(V_{IH(EN)} + V_{HYS(EN)}) / V_{EN}] \quad (1)$$

$$R_{(TOP)} = R_{(BOTTOM)} \times (V_{ON} / V_{IH(EN)} - 1) \quad (2)$$

ここで

- V_{OFF} は、レギュレータがオフになる入力またはバイアス電圧です
- V_{ON} は、レギュレータがオンになる入力またはバイアス電圧です

注

EN ピンの入力電流 I_{EN} では、影響は無視されます。

7.1.2 低電圧誤動作防止 (UVLO) 動作

各種動作モードの UVLO スレッショルドを、表 7-1 に示します。

表 7-1. 各種動作モードでの相対スレッショルド

UVLO スレッショルド	チャージ ポンプがオフのときの UVLO スレッショルド (標準値)	チャージ ポンプがオンの場合と BIAS なしの場合の UVLO スレッ ショルド (標準値)	チャージ ポンプ オンおよび BIAS での UVLO スレッショルド (標準値)
$V_{UVLO(IN)}$ の立ち上がり	0.67V	1.07V	0.67V
$V_{UVLO(BIAS)}$ の立ち上がり	$V_{REF} + 2.1V$	該当なし	最大 ($V_{REF} + 2.1V$, 2.8V)

7.1.2.1 UVLO での IN ピン

IN ピンの UVLO (UVLO (IN)) 回路により、入力電源が最小動作電圧範囲に達する前に、デバイスが確実にディセーブルに維持されます。また、この回路により、入力電源が低下した場合にデバイスが確実にシャットダウンされます。

UVLO (IN) 回路が完全にアサートされるまでの最小応答時間は数マイクロ秒です。この間、電圧が約 0.67V を下回るような下降過渡が発生すると、入力電源の UVLO (IN) が短時間アサートされます。しかし、UVLO (IN) 回路には、デバイス内部の回路を完全に放電させるだけの蓄積エネルギーがありません。したがって、OUT コンデンサと NR/SS コンデンサは潜在的に放電されます。

注

ライン下降過渡現象の影響により、オーバーシュート防止回路がトリガされます。この効果は、[高精度イネーブル \(外部 UVLO\)](#) セクションで提案するソリューションを使用することで簡単に軽減できます。

7.1.2.2 BIAS UVLO

BIAS ピンの UVLO (UVLO (BIAS)) 回路により、入力電源が最小動作電圧範囲に達する前に、デバイスが確実にディセーブルに維持されます。この回路により、入力電源が低下した場合にデバイスが確実にシャットダウンされます。

UVLO (BIAS) 回路が完全にアサートされるまでの最小応答時間は数マイクロ秒です。この期間中、約 2.8V を下回る下降ライン過渡または $V_{REF} + 2.1V$ を下回ると、入力電源 UVLO (BIAS) が短時間アサートされます。この過渡電圧が約 2.8V を下回ると、チャージ ポンプを有効にし、 $V_{REF} + 2.1V$ の場合はチャージ ポンプを無効にします。ただし、UVLO (BIAS) 回路には、デバイス内の内部回路を完全に放電するのに十分な蓄積エネルギーがありません。そのため、OUT および NR/SS コンデンサが不完全な放電が発生する可能性があります。

注

ライン下降過渡現象の影響により、オーバーシュート防止回路がトリガされます。この効果は、[高精度イネーブル \(外部 UVLO\)](#) セクションで提案するソリューションを使用することで簡単に軽減できます。

7.1.2.3 UVLO の標準動作

各種入力電圧イベントに対する UVLO (IN または BIAS) 回路の応答を、図 7-2 に示します。この図は、次の領域に分かれています。

- 領域 A: 入力 UVLO の立ち上がりスレッショルドに達するまで、デバイスはオンになりません。
- 領域 B: 安定化された出力での通常動作。
- 領域 C: UVLO 立ち下がりスレッショルドを上回るブラウンアウト イベント (UVLO 立ち上がりスレッショルド - UVLO ヒステリシス)。出力がレギュレーション範囲外になる可能性があります。デバイスは引き続きイネーブルされています。
- 領域 D: 安定化された出力での通常動作。
- 領域 E: UVLO 立ち下がりスレッショルドを下回るブラウンアウト イベント。ほとんどの場合、デバイスはディセーブルされており、負荷およびアクティブ放電回路によって出力が低下します。入力電圧が UVLO の立ち上がりスレッショルドに達すると、デバイスは再び有効になり、通常の起動シーケンスが実行されます。
- 領域 F: 通常動作の後、入力電圧が UVLO の下降スレッショルドまで低下します。

- 領域 G: 入力電圧が UVLO 立ち下がりスレッショルド 0V を下回ると、デバイスはディセーブルになります。負荷およびアクティブ放電回路によって出力が低下します。

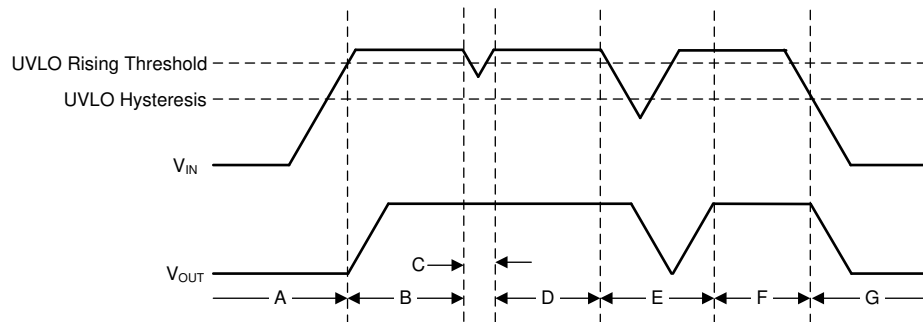


図 7-2. UVLO の標準動作

7.1.2.4 UVLO (IN) と UVLO (BIAS) の相互作用

シャットダウン時の電源シーケンスにおいて、BIAS レールが IN レールより先に電圧降下すると、出力に瞬間的な異常が発生する可能性があります。この誤差は、内部チャージ ポンプをオンにした状態で 1.07V と 1.1V の範囲で動作する場合に発生します。

BIAS レールが V_{UVLO_BIAS} スレッショルドを下回ると、出力がディセーブルされます。IN レールが動作する最小 UVLO スレッショルドを上回ると、LDO が再起動されます。図 7-3 にこの動作を示します。

このような動作を防ぐには、適切な電源オフ時のシーケンスに従うか、チャージ ポンプ無効化などの動作モードを選択します。

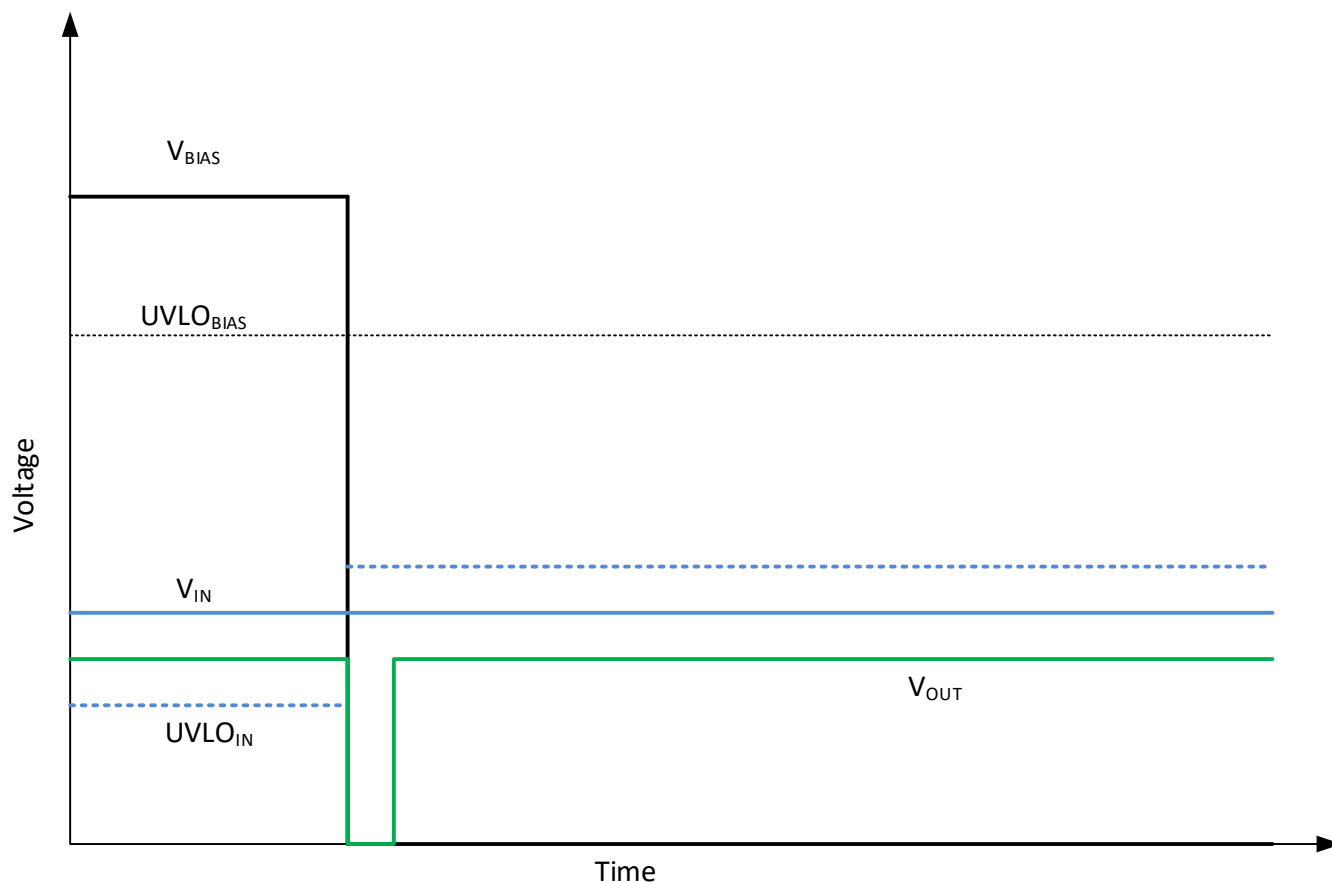


図 7-3. UVLO_{IN} と UVLO_{BIAS} の相互作用

7.1.3 ドロップアウト電圧 (V_{DO})

一般的な話として、ドロップアウト電圧 (V_{DO}) とは多くの場合、レギュレーションに必要な入力電圧と出力電圧との最小電圧差を意味します。この最小電圧差は、 $V_{DO} = V_{IN} - V_{OUT}$ と定義されます。 V_{IN} が所定の負荷電流に対して設定された V_{DO} 以下に低下すると、デバイスは抵抗スイッチとして機能します。この状態では、本デバイスは出力電圧をレギュレートしません。デバイスがドロップアウト状態で動作する場合、出力電圧は入力電圧に追従し、ドロップアウト電圧 (V_{DO}) は出力電流に比例します。この状態では、デバイスは抵抗性スイッチとして動作します。ドロップアウト電圧またはそれに近い温度でデバイスを動作させると、デバイスの過渡性能と PSRR が大幅に低下します。十分な V_{OPHR} を維持すると、デバイスの過渡性能と PSRR が大幅に向上します。

注

内部チャージポンプが無効状態で、最小 BIAS レールが V_{REF} より 3.2V 高く設定されている場合、パストランジスタを BIAS から OUT へのドロップアウトにすることはできません。そのため、IN と OUT の間のドロップアウト条件のみを考慮する必要があります。 V_{REF} は、[推奨動作条件](#) 表で定義されている基準ピン電圧範囲です。その他の動作条件については、[低電圧誤動作防止 \(UVLO\) 動作](#) セクションを参照してください。

7.1.4 入力および出力コンデンサの要件 (C_{IN} および C_{OUT})

TPS7A56 は、出力に 22 μ F またはそれ以上のセラミックコンデンサを使用し、入力に 1 μ F 以上のコンデンサを使用して動作するよう設計されています。出力コンデンサは 15 μ F 以上、入力コンデンサは 5 μ F 以上の容量を確保するようにします。入力インピーダンスを最小化するため、入力には 10 μ F コンデンサを少なくとも使用します。トレースの寄生容量を最小限に抑えるために、入力コンデンサおよび出力コンデンサは、それぞれの入力ピンおよび出力ピンの近くにできるだけ配置します。入力電源から TPS7A56 までのパターンインダクタンスを Low に維持します。高速電流過渡により、 V_{IN} は

絶対最大定格電圧を上回り、デバイスが損傷します。この状況を緩和するには、入力コンデンサを追加してリングングを抑え、電圧スパイクがデバイスの絶対最大定格を超えないようにします。

注

広い帯域幅を持つため、LDO のエラー アンプは出力コンデンサよりも速く反応する可能性があります。このような場合、負荷の挙動が直接 LDO の電源に現れ、電源電圧を引き下げてしまう可能性があります。このような動作を回避するため、出力に存在する ESR と ESL の両方を最小限に抑えます。推奨動作条件表を参照してください。

7.1.5 推奨されるコンデンサの種類

このデバイスは、低等価直列抵抗 (ESR) および低等価直列インダクタンス (ESL) のセラミック コンデンサを使用して安定に動作するよう設計されています。入力、出力、およびノイズ低減ピンでこれらのコンデンサを使用します。積層セラミック コンデンサは、この種のアプリケーションの業界標準になっており、推奨されますが、適切な判断のもとに使用する必要があります。X7R、X5R、COG 定格の誘電体を採用したセラミック コンデンサは、温度範囲全体にわたって比較的良好な容量安定性が得られます。しかし、Y5V 定格のコンデンサは、容量に大きな変動があるため推奨しません。

選択されたセラミック コンデンサの種類にかかわらず、セラミック容量は動作電圧や温度によって変化します。セラミック コンデンサは、必ず 50% 以上デレーティングしてください。ここで推奨する入力および出力コンデンサは、約 50% の容量デレーティングを考慮しています。 V_{IN} および V_{OUT} が高く ($V_{IN} = 5.5V \sim V_{OUT} = 5.0V$)、および温度が上限を超える場合、デレーティングが 50% を超える可能性があります。このデレーティングの可能性を考慮します。

このデバイスが適切に動作するためには、入力、出力、およびノイズ低減コンデンサが必要です。推奨動作条件表に記載されているように、公称入力および出力コンデンサより大きい値を使用してください。対応するピンにできるだけ近い位置に、入出力コンデンサを配置します。コンデンサの GND 接続は、デバイスの GND ピンにできるだけ近づけて配置して、リターン経路の過渡電流を短くします。大きな入力コンデンサや、さまざまな値のコンデンサ バンクを使用することは、入力配線のインダクタンスを打ち消すための設計方法として常に適切です。また、この手法により、過渡応答が改善され、入力リップルやノイズも低減されます。同様に、出力に複数のコンデンサを接続すると、チャージ ポンプのリップルが低減され、PSRR が最適化されます。ノイズと PSRR の最適化セクションを参照してください。

より大きな C_{NRSS} コンデンサを使用すると、スタートアップ時間が長くなるため、公称ノイズ低減の $C_{NR/SS}$ コンデンサを使用してください。

7.1.6 ソフトスタート、ノイズ低減 (NR/SS ピン)、パワーグッド (PG ピン)

NR/SS ピンにはデュアル機能があります。このピンはソフトスタート時間を制御し、内部バンドギャップ基準電圧と外部抵抗 R_{REF} によって発生するノイズを低減します。NR/SS コンデンサ ($C_{NR/SS}$) は、出力ノイズを非常に低いレベルに低減し、突入電流を制限するように出力上昇レートを設定します。

このデバイスには、外付けコンデンサ ($C_{NR/SS}$) とともに動作するように設定されたプログラム可能、単調、電圧制御のソフトスタート回路が搭載されています。 $C_{NR/SS}$ コンデンサは、ソフトスタート機能に加えて、LDO の出力電圧ノイズも低減します。ソフトスタート機能を使用すると、起動時の初期化の問題を解消できます。制御された出力電圧ランプにより、起動時のピーク突入電流も減少し、入力電源バスにおけるスタートアップ時の過渡事象も最小化されます。

単調な起動を実現するため、デバイスの出力電圧は、この基準電圧が設定値 (設定された出力電圧) に達するまで、 $V_{NR/SS}$ リファレンス電圧に追従します。 $V_{NR/SS}$ 基準電圧は、 R_{REF} 抵抗によって設定されます。起動中、デバイスは 図 7-4 に示すように高速充電電流 (I_{FAST_SS}) を使用して $C_{NR/SS}$ コンデンサを充電します。

注

NR/SS および REF ピンのリークは、基準電圧の精度に直接影響を及ぼします。

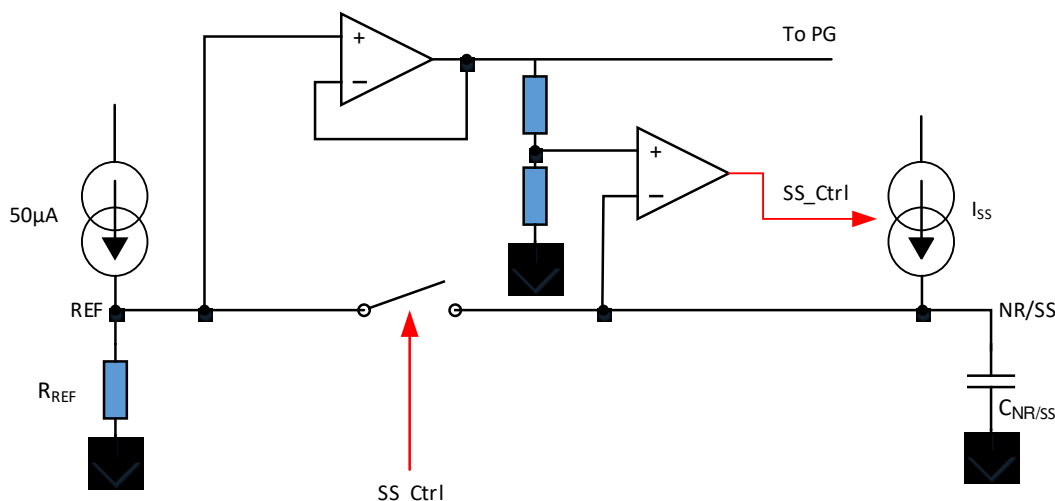


図 7-4. 簡易ソフトスタート回路

200µA (標準) の $I_{NR/SS}$ 電流は、電圧が設定出力電圧の約 97% に達するまで、 $C_{NR/SS}$ を急速に充電します。すると、 I_{SS} 電流がオフになり、REF と NR/SS の間のスイッチが閉じます。そのため、 $C_{NR/SS}$ を設定した出力電圧レベルまで充電する I_{REF} 電流のみが残されます。

注

NR/SS の放電プルダウン抵抗 (機能ブロック図を参照) は、グランドを基準とした UVLO がトリップされるか、または障害が発生したときに作動します。このようなフォルトには、過熱、POR、IREF 異常、OTP エラー故障があります。この抵抗は、いずれかのイベントがアクティブで、NRSS ピンが 50mV を上回っている場合にのみ作動します。

ソフトスタートのランプ時間は、高速スタートアップ ($I_{NR/SS}$) 充電電流、リファレンス電流 (I_{REF})、 $C_{NR/SS}$ コンデンサの値、および目標出力電圧 ($V_{OUT(target)}$) に依存します。式 3 で、ソフトスタートのランプ時間を計算します。

$$\text{Soft-start time } (t_{SS}) = (V_{OUT(target)} \times C_{NR/SS}) / (I_{SS}) \quad (3)$$

I_{SS} 電流は代表的特性セクションに示されており、値は 200µA (標準値) です。 I_{REF} 電流の値は 50µA (標準値) です。起動時間の残り 3% は、 $R_{REF} \times C_{NR/SS}$ 時定数によって決まります。図 7-5 に、起動時の PG スレッシュホールドを示します。

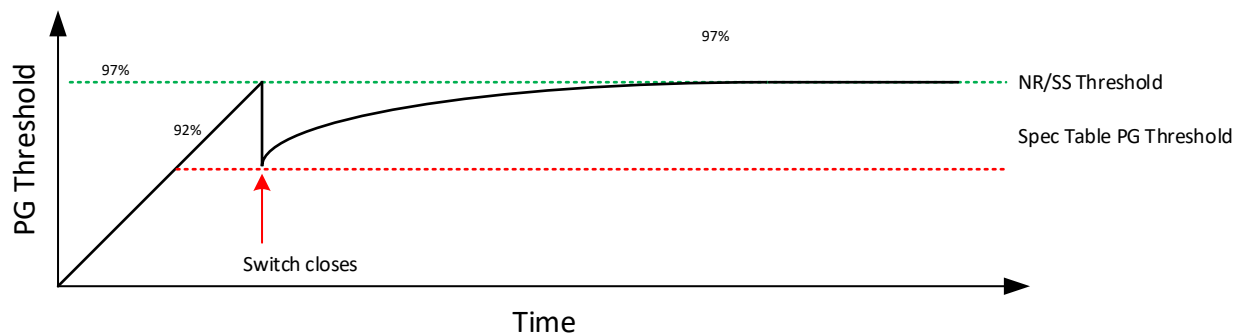


図 7-5. 起動時の PG スレッシュホールド

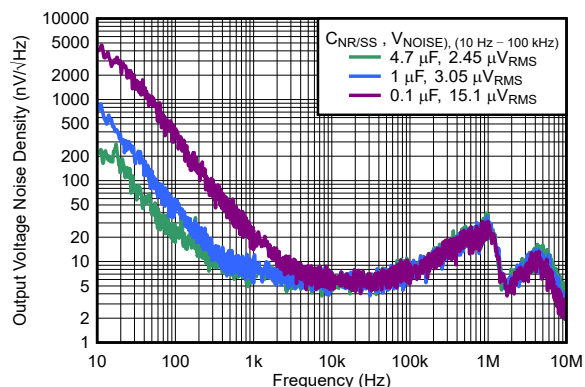
$C_{NR/SS}$ コンデンサを大きくすると、出力電圧ノイズが大幅に低減されます。 $C_{NR/SS}$ コンデンサと R_{REF} 抵抗によって LPF が形成され、 V_{REF} 電圧リファレンスからのノイズをフィルタリングして、デバイスのノイズフロアが低減されます。ローパスフィルタ (LPF) は単極フィルタで、式 4 は LPF カットオフ周波数を計算します。ただし、 $C_{NR/SS}$ コンデンサを大きくすると、出力電圧ノイズが大幅に低減します。ただし、これにより、起動時間が長くなります。低ノイズの用途では、最適なノイズと起動時間のトレードオフを実現するために 4.7µF $C_{NR/SS}$ を使用します。

$$\text{Cutoff Frequency (f}_{\text{cutoff}}) = 1 / (2 \times \pi \times R_{\text{REF}} \times C_{\text{NR/SS}}) \quad (4)$$

注

起動時に、小さな $C_{\text{NR/SS}}$ と大きな C_{OUT} で 電流制限に入ります。これは、 V_{OUT} がソフトスタート ランプに追従しなくなるためです。

図 7-6 に、 $C_{\text{NR/SS}}$ コンデンサが LDO の出力電圧ノイズに及ぼす影響を示します。



$C_{\text{IN}} = 4.7\mu\text{F}$, $C_{\text{OUT}} = 22\mu\text{F}$, $V_{\text{CP_EN}} = V_{\text{EN}}$, $V_{\text{IN}} = 5.3\text{V}$,
 $V_{\text{OUT}} = 5\text{V}$, $I_{\text{OUT}} = 6\text{A}$

図 7-6. チャージ ポンプがイネーブルになったときの出力電圧ノイズ密度と $C_{\text{NR/SS}}$ との関係

7.1.7 ノイズと PSRR の最適化

ノイズとは一般に、電源の品質が低下する原因となる、目的の信号 (レギュレートされる LDO 出力など) と組み合わせる、不要な信号と定義されます。ノイズは、ノイズやポップ音としてオーディオに簡単に認識されます。ノイズは大きく分けて、外因性と内因性の 2 つの基本的なグループに分類されます。外部回路や自然現象から生じるノイズ、たとえば 50Hz ~ 60Hz の電力線ノイズ (スパイク) とその高調波などは、外因性ノイズの代表的な例です。固有ノイズは、抵抗やトランジスタなど、デバイス回路内の部品によって生成されます。このデバイスでは、固有ノイズの支配的な原因は、誤差アンプと内部基準電圧 (V_{REF}) の 2 つです。外部ノイズと組み合わせたもう 1 つの用語は PSRR です。PSRR とは、回路またはデバイスが入力電源ノイズを除去またはフィルタリングで除去する能力を意味します。PSRR は、出力電圧のノイズリップルと入力電圧のノイズリップルとの比率として表されます。

次の項目を注意深く選択することで、デバイス固有のノイズと PSRR を最適化します。

- デバイスの帯域幅までの低周波数範囲に対応する $C_{NR/SS}$
- 高周波数範囲がデバイスの帯域幅に近い、またはそれを上回る C_{OUT}
- 動作ヘッドルーム、 $V_{IN} - V_{OUT}$ (V_{OPHR})。主にデバイスの帯域幅までの低周波数範囲ですが、より高い周波数が影響を及ぼしにくいものです

より大きな $C_{NR/SS}$ コンデンサを使用してデバイスの V_{REF} リファレンスへのノイズ結合を除去することで、デバイスのノイズ性能が大幅に向上します。この結合は、低周波からデバイスの帯域幅までの範囲で特に顕著です。 $C_{NR/SS}$ と R_{REF} によって形成されるローパスフィルタは、入力電源に発生する低周波数ノイズを目標として設計されています。 $C_{NR/SS}$ コンデンサを大きくすることの欠点の一つは、起動時間が長いことです。デバイスのユニティゲイン構成により、フィードバック回路が原因で他の LDO が受けるノイズ性能の低下を排除できます。さらに、デバイスの負荷電流を増加させても、デバイスのノイズ性能への影響はほとんど、またはまったくありません。

より大きな C_{OUT} コンデンサを使用することで、デバイスの帯域幅よりも高い周波数範囲でデバイスのノイズをさらに改善できます。ただし、 C_{OUT} を大きくすると突入電流が大きくなり、デバイスの過渡応答が遅くなります。

これらの状態について [代表的特性](#) セクションで説明します。[図 5-6](#) と [図 5-8](#) に、5V デバイスでの 10Hz ~ 100kHz の RMS ノイズの測定値を示します。これらの曲線は、6A の負荷電流におけるさまざまな $C_{NR/SS}$ 条件および C_{OUT} 条件に対して 300mV のヘッドルームで 0.5V の出力電圧を示しています。[表 7-2](#) と [表 7-3](#) に、これらのコンデンサの代表的な出力ノイズを示します。

V_{IN} と V_{OUT} の間の動作ヘッドルームを大きくしても、ノイズ性能の改善にはほとんど影響がありません。ただし、この値を増やすと、デバイスの帯域幅までの周波数範囲で PSRR が大幅に改善されます。ヘッドルームが大きいほど、デバイスの過渡性能も向上します。 C_{OUT} は、低周波数で PSRR を改善する上でほとんど、またはまったく影響しませんが、 C_{OUT} はデバイスの帯域幅を超える高い周波数で PSRR を改善します。また、 C_{OUT} が大きいと、起動時間が長くなり、起動時の突入電流が増加します。470 μ F || 22 μ F などのコンデンサの組み合わせがより効果的です。組み合わせによって ESR と ESL が低くなるからです。

表 7-2. 0.5V_{OUT} の出力ノイズと C_{OUT} および標準的な起動時間の関係

V_n (μ V _{RMS}), 10Hz ~ 100kHz BW	$C_{NR/SS}$ (μ F)	C_{OUT} (μ F)	起動時間 (ms)
2.19	4.7	22	11.75
2.07	4.7	470	11.75

表 7-3. 5V_{OUT} の出力ノイズと $C_{NR/SS}$ 、 C_{OUT} 、 $V_{CP_EN} = 5.3$ V の標準的な起動時間の関係

V_n (μ V _{RMS}), 10Hz ~ 100kHz BW	$C_{NR/SS}$ (μ F)	C_{OUT} (μ F)	起動時間 (ms)
15.2	0.1	22	2.5
3.05	1	22	25
2.45	4.7	22	117.5

7.1.8 可変動作

図 7-7 に示すように、1 つの外付け抵抗 (R_{REF}) を使用してデバイスの出力電圧を設定できます。

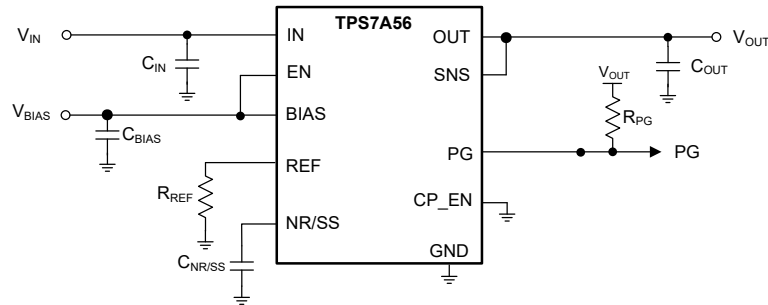


図 7-7. 回路例

式 5 を使用して、目的の出力電圧に必要な R_{REF} 値を計算します。

$$V_{OUT} = I_{REF(NOM)} \times R_{REF} \quad (5)$$

表 7-4 に、許容誤差の標準 1% の抵抗を使用して複数の一般的なレールを実現するための推奨 R_{REF} 抵抗値を示します。

表 7-4. R_{REF} の推奨値

目標出力電圧 (V)	R_{REF} (k Ω) ⁽¹⁾	計算された出力電圧 (V)
0.5	10.0	0.500
0.6	12.1	0.605
0.7	14.0	0.700
0.8	16.2	0.810
0.9	18.2	0.910
1.0	20.0	1.000
1.2	24.3	1.215
1.5	30.1	1.505
2.5	49.9	2.495
3.0	60.4	3.020
3.3	66.5	3.325
3.6	71.5	3.575
4.7	95.3	4.765
5.0	100.0	5.000

(1) 抵抗は 1% 未満。

7.1.9 負荷過渡応答

負荷ステップ過渡応答とは、LDO の出力電圧が負荷電流の変動に対してどのように応答し、出力電圧のレギュレーションを維持するかを示すものです。負荷過渡応答中には、2 つの重要な遷移があります。これには、軽負荷から重負荷への遷移、および重負荷から軽負荷への遷移が含まれます。図 7-8 に示す領域は、このセクションで分類します。A、E、H の各領域で、出力電圧が定常状態のレギュレーション状態にあることを示しています。

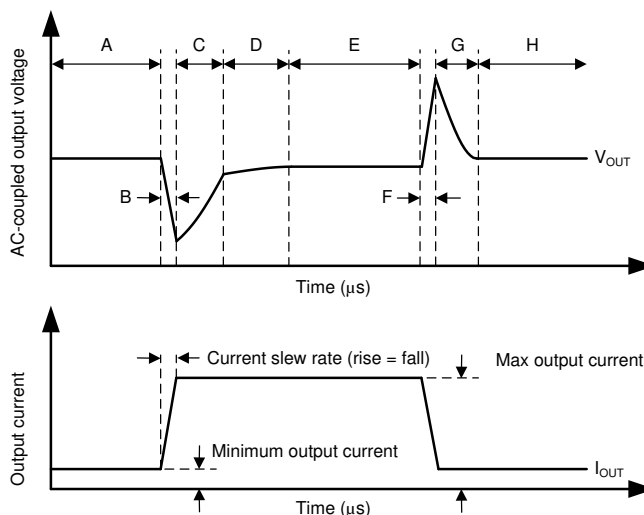


図 7-8. 負荷過渡波形

軽負荷から重負荷への遷移中の動作:

- 最初の電圧降下は、出力コンデンサの電荷の消耗および出力コンデンサまでの寄生インピーダンスによって生じるものです (領域 B)
- 電圧降下からの回復は、LDO が供給電流を増加させることによって起こり、出力電圧のレギュレーションへとつながります (領域 C)

高負荷から軽負荷への遷移時の遷移:

- 最初の電圧上昇は、LDO が大きな電流を供給することによって生じ、その結果、出力コンデンサの電荷が増加します (領域 F)
- 電圧上昇からの回復は、LDO が供給電流を減少させることと、負荷が出力コンデンサを放電することによって生じます (領域 G)

電流レベルの遷移は、デバイスが大電流デバイスであるため、内部の電力損失を変化させます (領域 D) 電力損失の変化は、これらの遷移中にチップ内部の温度を変化させ、それによって出力電圧レベルがわずかに変動する原因となります。この温度に依存する出力電圧レベルは、さまざまな負荷過渡応答に示されます。

出力容量が大きいと、負荷過渡時のピークは小さくなりますが、デバイスの応答時間は遅くなります。DC 負荷が大きいと、ピークも減少します。この状態は、遷移の振幅が小さくなり、出力コンデンサに対してより大きな電流の放電経路が確保されることによって発生します。

注

TPS7A56 はこのような広帯域幅で、出力コンデンサよりも高速に反応する可能性があります。LDO の入力に十分な容量があることを確認します。

7.1.10 チャージポンプ動作

チャージポンプのイネーブルと BIAS レールセクションで説明したように、CP_EN ピンを使用して、内部チャージポンプが有効化または無効化になります。そのため、BIAS レールなしで最低 1.1V で動作できます。

CP_EN ピンの電圧スレッショルドとヒステリシスは、電気的特性表に定義されます。

回路の実装に応じて、内部チャージポンプには IN または BIAS レールのいずれかから電力が供給されます。このピンは、デジタル I/O ピンでデジタル制御するようには設計されていません。代わりに、このピンはプリント基板 (PCB) 上でアナログレールに接続することを想定しています。

動的に制御することを意図していませんが、CP_EN ピンは低インピーダンスのソースで制御されます。EN ピンがオンになると CP_EN ピンがラッチされるため、EN と CP_EN との間で適切なシーケンシングを行わなければなりません。EN リセットまたはパワー サイクルによってのみクリアされ、CP_EN ラッチがリセットされます。

図 7-9 は無負荷および全負荷時のチャージポンプのスイッチング周波数を示します。

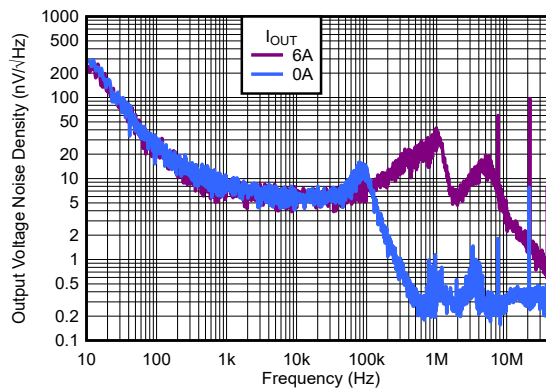


図 7-9. チャージポンプのノイズ

7.1.11 シーケンシング

IN、BIAS、EN の間にシーケンス要件はありません。CP_EN はアナログ信号であり、IN、BIAS、GND のいずれかに接続する必要があります。

シャットダウン時に、BIAS レールの放電が IN レールよりも速い場合、誤った PG がトリガーされることがあります。これと同じシナリオは、内部 MUX とチャージポンプを備えたデバイスでも発生します。

BIAS レールが $V_{UVLO(BIAS)}$ を下回ると、IN と BIAS の間の内部 MUX がオーバーになります。この条件により、LDO に IN レールから完全に電力が供給されます。

IN レールが 1.1V を超え、チャージポンプがイネーブルの状態では BIAS レールが $UVLO (BIAS)$ を下回ると、LDO は再起動します。IN の動作は依然として有効な状態であるため、LDO が再起動します。

7.1.12 パワーグッド機能

機能ブロック図で説明したように、PG ピンはシュミットトリガで駆動されるオープンドレイン MOSFET です。シュミットトリガは、SNS ピンの電圧を、基準電圧の 90% に等しい事前選択された電圧と比較します。

推奨動作条件表で説明したように、最高の性能を得るためには、プルアップ抵抗が 10kΩ と 100kΩ の間にあることを確認してください。PG 機能が不要な場合は、PG ピンをフローティングにするか、GND に接続してください。

BIAS レールには、GND ($V_{UVLO(BIAS)}$) を基準とする UVLO 回路と、 $V_{REF} (V_{UVLO(BIAS)} - V_{REF})$ を基準とする UVLO 回路が 2 つあります。チャージポンプがディスエーブルになっている際、ロジックの優先度が原因で PG の誤作動が発生します。

PG の誤発生を防止するには、 V_{BIAS} を V_{OUT} よりも 3.2V 高い値に設定することを検討します。

表 7-5 に、UVLO の各種動作を示します。

表 7-5. UVLO により PG イベントがトリガされます

V _{IN}	V _{UVLO(BIAS)} の立ち上がり	V _{UVLO(BIAS)} 立ち下がり	V _{UVLO(BIAS)} -V _{REF} の立ち上がり	V _{UVLO(BIAS)} -V _{REF} の立ち下がり
0.5V	2.8V	2.685V	2.1 + 0.5 = 2.6V	1.86 + 0.5 = 2.36V
0.7V	2.8V	2.685V	2.1 + 0.7 = 2.8V	1.86 + 0.7 = 2.56V
1.4V	2.8V	2.685V	2.1 + 1.4 = 3.5V	1.86 + 1.4 = 3.26V
5.2V	2.8V	2.685V	2.1 + 5.2 = 7.3V	1.86 + 5.2 = 7.06V

7.1.13 並列接続により大出力電流と低ノイズを実現

より高い出力電流と低ノイズを実現するには、2 つ以上の LDO を並列接続する方法が有効です。性能を最適化し、出力電流の不均衡を最小限に抑えるために、実装は慎重に計画します。

TPS7A56 の出力電圧は電流源で駆動される抵抗で設定されるため、REF 抵抗とコンデンサを調整します。抵抗およびコンデンサの設定は、以下の式で計算されます。

$$R_{REF} = V_{OUT_TARGET} / (n \times I_{REF}) \quad (6)$$

$$C_{NR/SS_parallel} = n \times C_{NR/SS_single} \quad (7)$$

ここで

- n は並列に配置された出力コンデンサの数です。
- I_{REF} は、[電气的特性](#) の表に記載されている REF 電流です
- C_{NR/SS} は単一の LDO の NR/SS コンデンサです。各 LDO に個別の C_{NR/SS} コンデンサがあることを確認します

LDO は、IN ピンを互いに接続するとバッファとして機能します。したがって、電流の不均衡は、誤差アンプの誤差オフセット電圧のみによって影響されます。したがって、電流不均衡は次のように表します。

$$\varepsilon_I = V_{OS} \times 2 \times R_{BALLAST} / (R_{BALLAST}^2 - \Delta R_{BALLAST}^2) \quad (8)$$

ここで

- ε_I は電流不均衡です
- V_{OS} は、LDO の誤差オフセット電圧です
- R_{BALLAST} はバラスト抵抗です
- ΔR_{BALLAST} は、バラスト抵抗の値からの偏差です

図 7-10 に、並列に接続された複数のデバイスの図を示します。

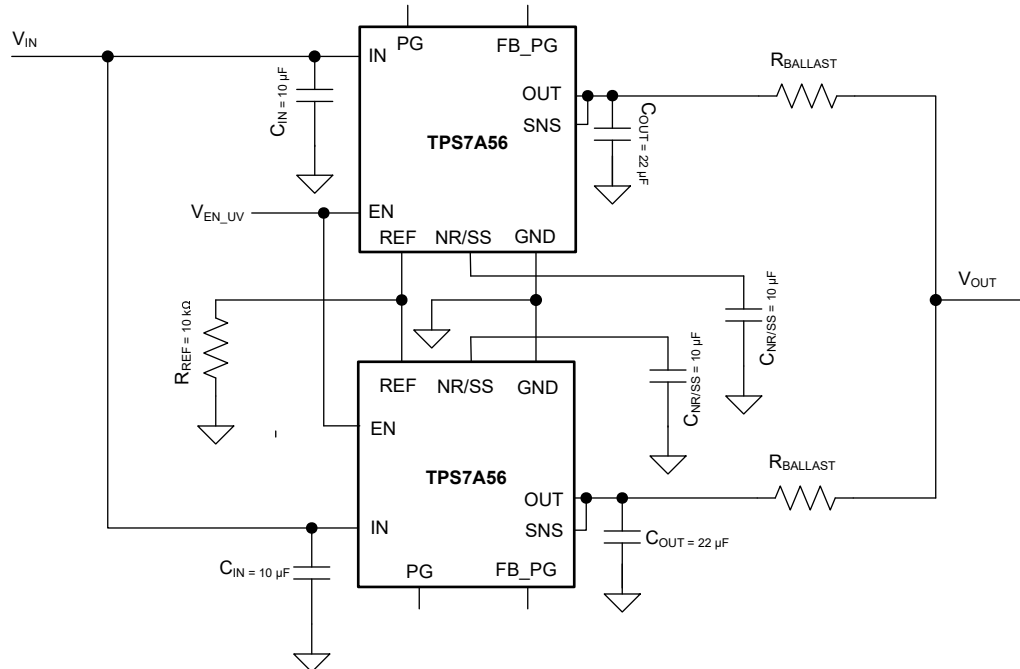


図 7-10. 複数の TPS7A56 デバイスの並列接続

ここに説明した構成を使用すると、LDO 出力ノイズを次の分だけ低減できます。

$$e_{O_parallel} = (1 / \sqrt{n}) \times e_{O_single} \quad (9)$$

ここで

- n は、並列接続された LDO の個数を表します。
- e_{O_single} は単一の LDO の出力ノイズ密度です
- $e_{O_parallel}$ は、結果として生じるパラレル LDO の出力ノイズ密度です

図 7-10 では、ノイズが $1/\sqrt{2}$ ほど低減されます。

パラレル LDO の詳細については、以下の資料を参照してください。

- [バラスト抵抗を使ったパラレル LDO の包括的解析と一般方程式技術白書](#)
- [スケーラブル、大電流、低ノイズのパラレル LDO のリファレンス デザイン設計ガイド](#)
- [複数のバラスト抵抗を使用した並列の LDO アーキテクチャ設計技術白書](#)

7.1.14 消費電力 (P_D)

回路の信頼性を確保するには、デバイスの消費電力、プリント基板 (PCB) 上の回路の位置、およびサーマル プレーンの適切なサイズを適切に考慮する必要があります。レギュレータの周囲の PCB 領域には、熱ストレスを増大させるその他の発熱デバイスが、ほとんどまたはまったくないようにする必要があります。

1 次近似では、レギュレータの消費電力は、入力と出力の電圧差と負荷条件に依存します。消費電力 (P_D) は、次の式で計算されます。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (10)$$

注

システム電圧レールを適切に選択することで、消費電力を最小限に抑えることができるため、より高い効率を実現できます。適切に選択することで、入出力電圧差の最小値が得られます。デバイスのドロップアウトが小さいため、広い範囲の出力電圧にわたって最大の効率を実現します。

パッケージの主な放熱経路は、サーマル パッドを通じて基板 (PCB) へ伝わる経路です。サーマル パッドをデバイスの下
の銅パッド領域に半田付けします。このパッド領域にはめっきビアのアレイがあり、熱を内部層のプレーンや基板裏面の銅
プレーンへと伝導します。

デバイスを流れる消費電力によって、デバイスの接合部温度 (T_J) が決まります。消費電力と接合部温度は、ほとんどの場
合、PCB とデバイスの組み合わせパッケージの $R_{\theta JA}$ と T_A に関連します。 $R_{\theta JA}$ は接合部から周囲への熱抵抗、 T_A は
周囲気温です。この関係を次の式に示します。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (11)$$

次の式は、出力電流のこの関係を並べ替えたものです。

$$I_{OUT} = (T_J - T_A) / [R_{\theta JA} \times (V_{IN} - V_{OUT})] \quad (12)$$

残念ながら、この熱抵抗 ($R_{\theta JA}$) は、特定の PCB 設計に作り込まれている熱拡散能力に大きく依存します。したがって、
この抵抗は、銅箔の総面積、銅の重量、プレーンの位置に応じて変化します。 $R_{\theta JA}$ (接合部一周間熱抵抗) は [熱に関
する情報](#) 表に記載されていますが、これは JEDEC 標準の基板および銅の拡散面積に基づいて決定された値です。
 $R_{\theta JA}$ は、パッケージの熱性能の相対的な測定値としてのみ使用されます。適切に設計された熱レイアウトの場合、 $R_{\theta JA}$
は、RTE パッケージの $R_{\theta JCbot}$ と PCB 銅による熱抵抗の寄与を和したものです。 $R_{\theta JCbot}$ は、[熱に関する情報](#) の表に記
載されている接合部からケース (底面) までの熱抵抗です。

7.1.15 推定接合部温度

現在、JEDEC 規格では、典型的な PCB 基板アプリケーションで回路内にある LDO の接合部温度を推定するために、
 ψ (Ψ) の熱指標を使用することを推奨しています。これらの指標は、厳密には熱抵抗ではありませんが、接合部温度を
実用的かつ相対的に推定する手段として用いられます。これらの ψ 指標は、銅の広がり面積に対して大きく影響を受け
ないことが確認されています。主要な熱特性指標 (Ψ_{JT} と Ψ_{JB}) は、[式 13](#) に従って使用されており、[電気的特性](#) 表に示
されています。

$$\begin{aligned} \Psi_{JT}: T_J &= T_T + \Psi_{JT} \times P_D \\ \Psi_{JB}: T_J &= T_B + \Psi_{JB} \times P_D \end{aligned} \quad (13)$$

ここで

- P_D は、[式 10](#) で説明されているように消費される電力です
- T_T は、デバイス パッケージの中央上部の温度
- T_B は、デバイス パッケージから 1mm の位置で、パッケージのエッジの中心で測定された PCB 表面温度

7.1.16 TPS7A57EVM-056 の熱解析

TPS7A57EVM-056 を使用して、TPS7A5601RTE 熱モデルを開発しました。RTE パッケージは、3mm × 3mm の 16 ピン WQFN で、各ビアには 25μm のメッキが施されています。EVM は、3.5 インチ × 3.5 インチ (89mm × 89mm) のサイズを持つ、6 層構成の PCB です。表 7-6 に EVM の層構成を示します。図 7-11～図 7-18 は、EVM の各層の詳細を示すために使用されます。

表 7-6. TPS7A57EVM-056 の PCB スタックアップ

基板面	名称	材料	厚さ (mil)
1	上部オーバーレイ	—	—
2	上面の半田	半田レジスト	0.4
3	上層	銅	2.756
4	誘電 1	FR-4 高 Tg	9
5	中間層 1	銅	2.756
6	誘電 2	FR-4 高 Tg	9
7	中間層 2	銅	2.756
8	誘電 3	FR-4 高 Tg	9
9	中間層 3	銅	2.756
10	誘電 4	FR-4 高 Tg	9
11	中間層 4	銅	2.756
12	誘電 5	FR-4 高 Tg	9
13	下層	銅	2.756
14	底面半田	半田レジスト	0.4

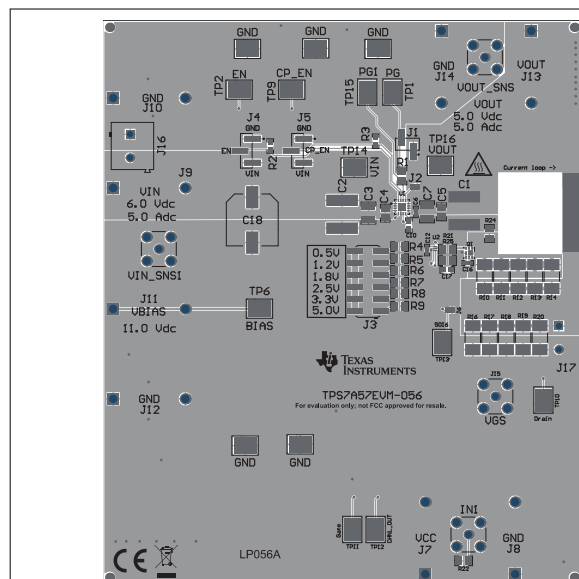


図 7-11. 上層アセンブリ層とシルクスクリーン

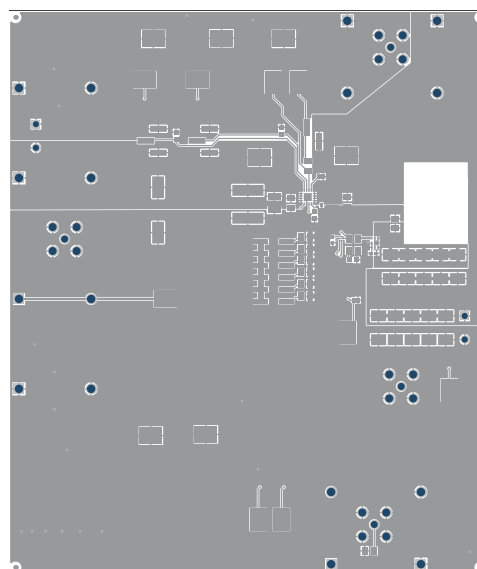


図 7-12. 最上層の配線

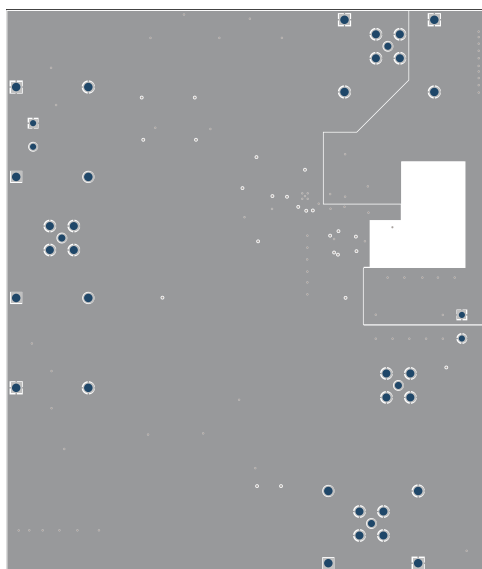


図 7-13. レイヤ 2 の配線

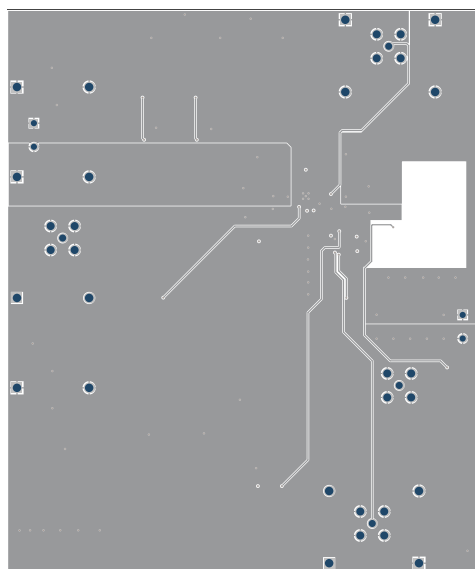


図 7-14. レイヤ 3 の配線



図 7-15. レイヤ 4 の配線



図 7-16. レイヤ 5 の配線

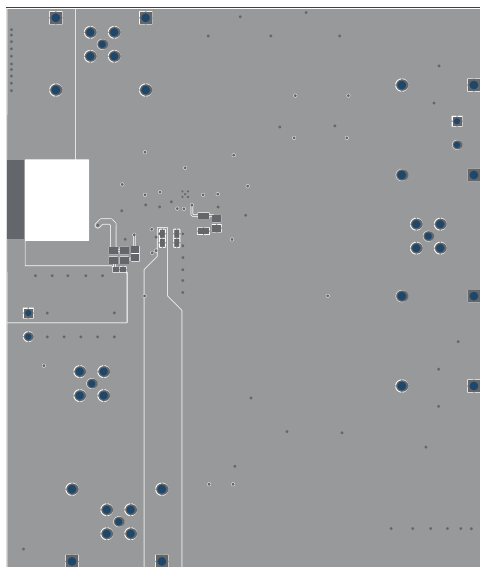


図 7-17. 最下層の配線

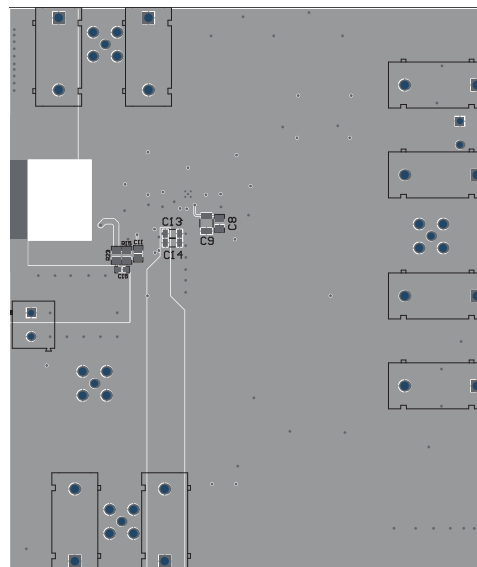


図 7-18. 下面アセンブリ層とシルクスクリーン

表 7-7 に、TPS7A57EVM-056 の熱特性シミュレーション データを示します。図 7-19 および図 7-20 に PCB とデバイスの熱勾配を示します。この熱放射は、周囲温度が 25°C の条件下で、パストランジスタを介して 1W の電力を消費した場合に発生します。

表 7-7. TPS7A57EVM-081 の熱シミュレーション データ

DUT (試験対象デバイス)	$R_{\theta JA}$ (°C/W)	Ψ_{JB} (°C/W)	Ψ_{JT} (°C/W)
TPS7A57EVM-056	21.9	11.9	0.4

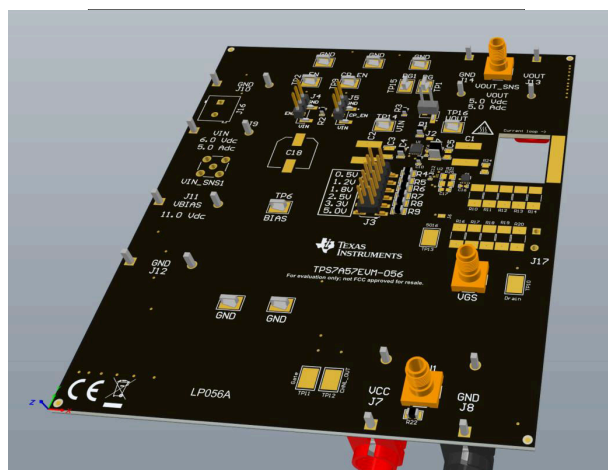


図 7-19. TPS7A57EVM-081 ハードウェア 3D 表示

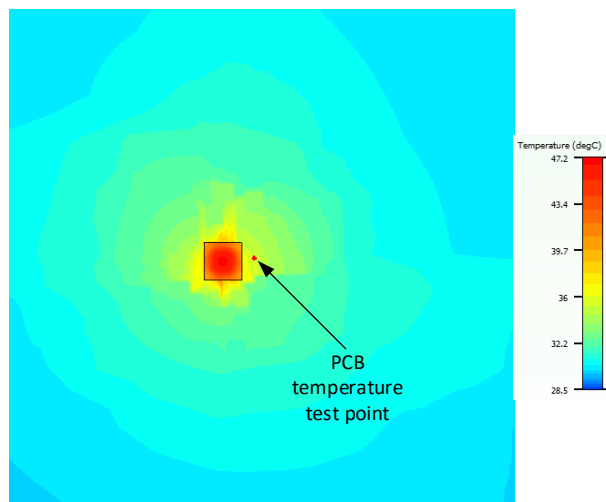


図 7-20. TPS7A57EVM-081 PCB の熱勾配

7.2 代表的なアプリケーション

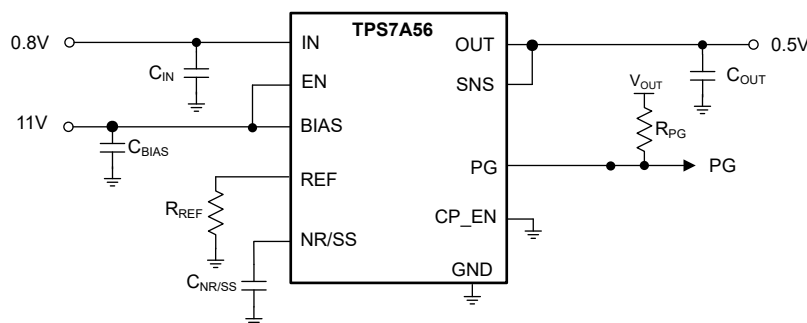


図 7-21. 代表的なアプリケーション回路図

7.2.1 設計要件

表 7-8 は設計例に必要なアプリケーション パラメータを一覧表示しています。

表 7-8. 設計パラメータ

パラメータ	設計要件
入力電圧	0.8V、 $\pm 3\%$ 、1MHz でスイッチングする DC/DC コンバータにより供給
バイアス電圧	11V
出力電圧	0.5V、1%
チャージポンプ	ディセーブル
出力電流	4.2A (最大値)、3.5A (最小値)
ノイズ	5 μ V _{RMS} 未満
10kHz での PSRR	最大負荷電流時に 80dB
1MHz での PSRR	最大負荷電流時に 35dB 超
最大負荷過渡	± 5 mV、100mA ~ 3.5A
起動環境	起動時間 15ms 未満

7.2.2 詳細な設計手順

この設計例では、デバイスは 1MHz でスイッチングする DC/DC コンバータによって電源供給されています。負荷に必要なのは、5 μ V_{RMS} 未満の 0.5V のクリーンなレールです。一般的な構成として、入力および出力に 22 μ F のコンデンサ、NR/SS に 4.7 μ F のコンデンサを使用します。これらのコンデンサは、迅速な立ち上がり時間と優れたノイズ性能、PSRR 特性、および負荷過渡応答とのバランスを良好に実現します。

出力電圧は、[出力電圧設定およびレギュレーション](#)セクションで説明したように計算された 10k Ω 薄膜抵抗値を使用して設定します。PG ピンは使用されていないため、熱の問題を解決するためグランドに接続されています。イネーブル電圧は、外部 I/O により供給されます。[図 7-23](#) に、デバイスがすべての設計ノイズ要件を満たしていることを示します。[図 7-22](#) に、適切な PSRR 性能を示します。

[図 7-24](#) に示すように、負荷過渡は電源要件に十分です。

[図 7-21](#) に、これらの成分の実装を示します。

7.2.3 アプリケーション曲線

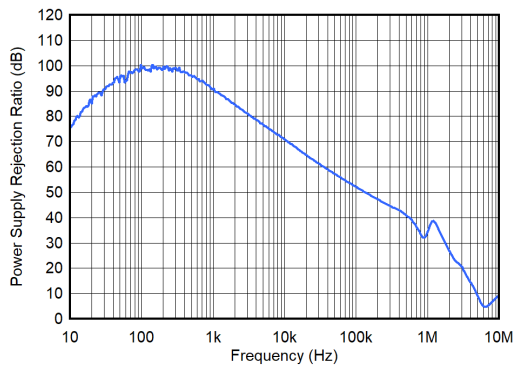


図 7-22. PSRR と周波数との関係

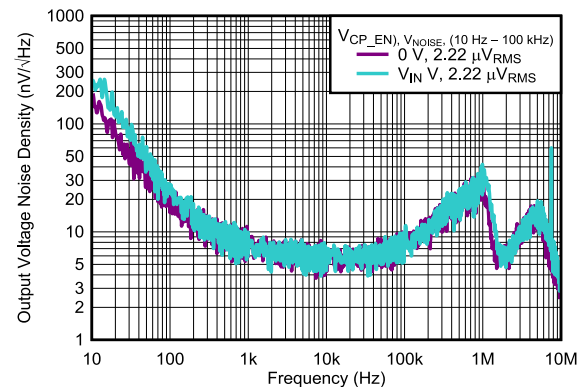


図 7-23. ノイズ電圧と周波数との関係

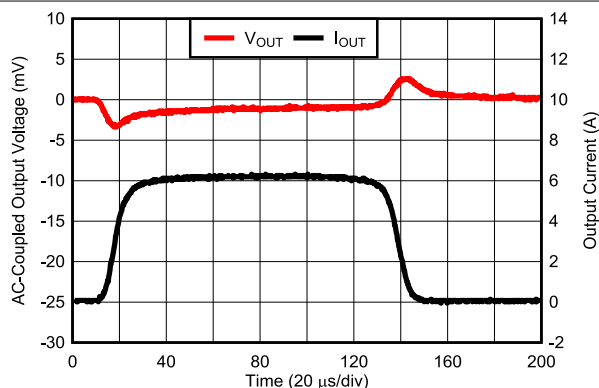


図 7-24. 負荷過渡

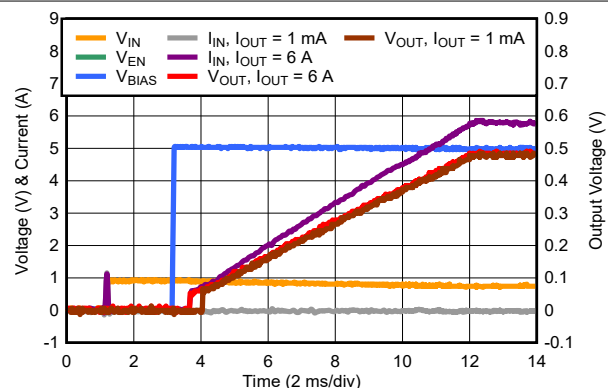


図 7-25. スタートアップレール シーケンス

7.3 電源に関する推奨事項

本デバイスは、0.7V～6.0V の入力電圧および最大 11V の BIAS レールで動作するように設計されています。入力電圧範囲が、デバイスが安定した出力を維持するために十分な動作ヘッドルームを確保できることを確認します。この入力電源が適切にレギュレートされ、低インピーダンスであることを確認します。入力電源にノイズがある場合は、ESR の低い追加の入力コンデンサを使用します。目的とする出力ノイズ、PSRR、および負荷過渡応答性能を得るために、動作ヘッドルームを増やします。

IN、BIAS、EN の間にシーケンス要件はありません。CP_EN はアナログ信号であり、IN、BIAS、GND のいずれかに接続する必要があります。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

全体の性能を最適化するために、すべての回路部品は回路基板の同じ面に配置します。これらの部品は、可能な限り各 LDO ピンの接続部の近くに配置します。グラウンド復帰コンデンサを入力 / 出力コンデンサ、および LDO のグラウンド ピンにできるだけ近づけて接続します。これらの接続には、部品面の広い銅箔パターンを使用してください。システム性能の低下を防ぐため、入力および出力コンデンサへの接続にビアや長い配線は使用しないでください。図 7-26 に示された接地およびレイアウト方式は、寄生インダクタンスを最小限に抑えることで、負荷電流の過渡応答を低減し、ノイズを最小化し、回路の安定性を高めます。

広い帯域幅と高い出力電流性能を備えているため、出力に存在するインダクタンスは負荷の過渡応答に悪影響を与えます。最良の性能を得るために、出力と負荷間の配線インダクタンスを最小限に抑えます。低 ESL コンデンサと低インダクタンスの配線を組み合わせることで、出力に存在する総インダクタンスを抑え、高周波における PSRR を最適化できます。

性能を向上させるために、基板内に埋め込むか、部品面の反対側（基板の底面）に配置したグランド基準面を使用します。この基準プレーンは、出力電圧の精度を確保し、ノイズを遮蔽する役割を果たします。このプレーンは、サーマルパッドに接続することで、LDO デバイスからの熱を拡散（または吸収）するサーマルプレーンと同様の働きをします。ほとんどの用途では、熱要件を満たすためにこのグランドプレーンが必要です。

7.4.2 レイアウト例

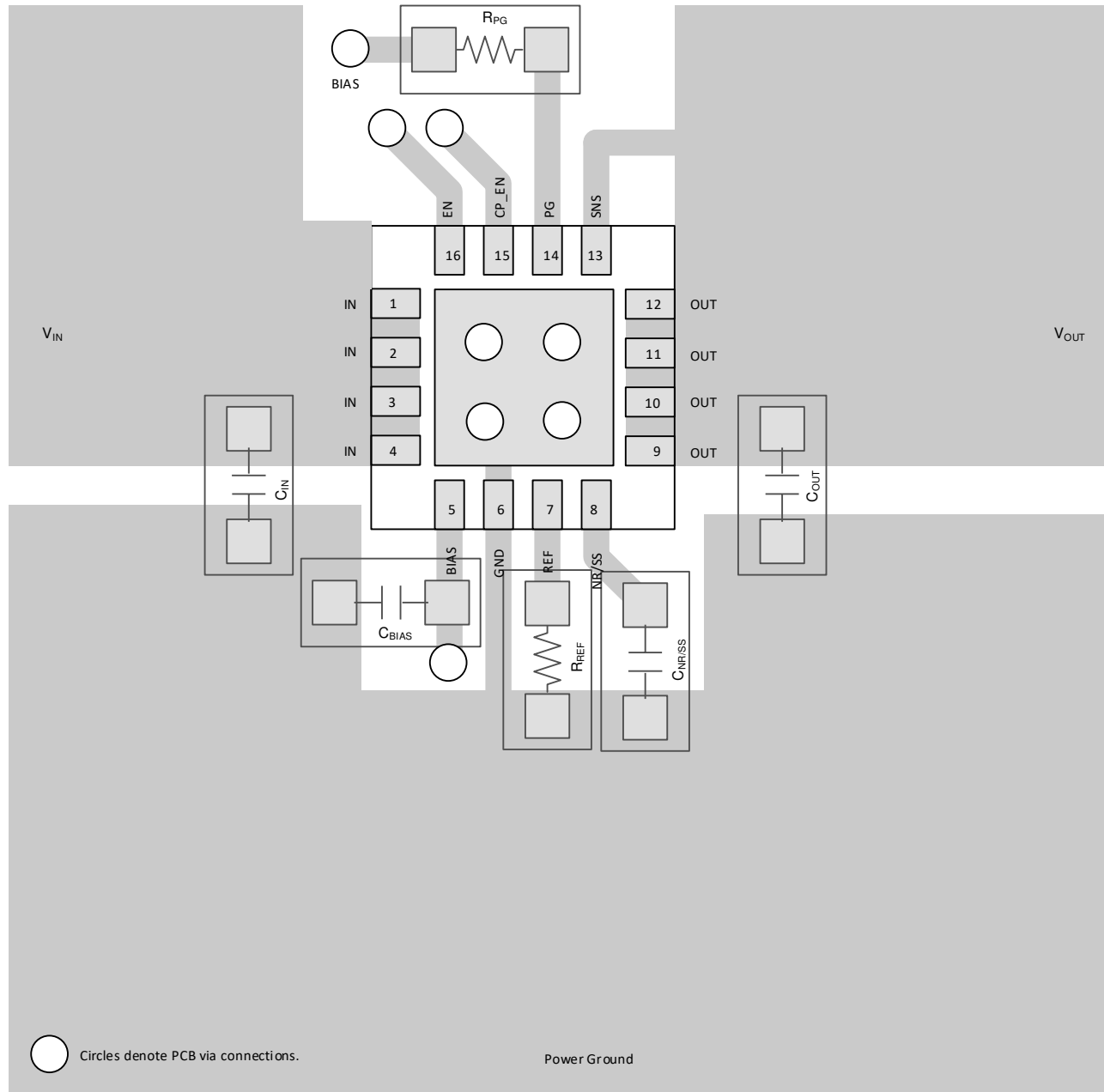


図 7-26. 推奨レイアウト

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

TPS7A57EVM-056 を使用して、TPS7A56 の取り付けと評価を行います。初期の回路性能評価には、評価基板 (EVM) を利用することができます。TPS7A56 (および関連ユーザー ガイド [TPS7A57EVM-056](#)) は、製品フォルダまたは [TI eStore](#) を通じて、テキサス・インスツルメンツのウェブサイトからリクエストまたは購入することができます。

8.1.2 デバイスの命名規則

表 8-1. デバイスの命名規則

製品 ⁽¹⁾	説明
TPS7A5601yyyz	<p>01 は、このデバイスが可変オプションとして提供されていることを示します。</p> <p>yyy はパッケージ指定子です。</p> <p>zi はパッケージ数量です。R は数量の多いリールです。</p>

(1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ オプションの付録を参照するか、[www.ti.com](#) にあるデバイスの製品フォルダをご覧ください。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、[TPS7A57EVM-056 評価基板ユーザー ガイド](#)
- テキサス・インスツルメンツ、[大電流、低ノイズの平行 LDO のリファレンス デザイン設計ガイド](#)
- テキサス・インスツルメンツ、[バラスト抵抗を使った平行 LDO の包括的解析と一般方程式技術白書](#)
- テキサス・インスツルメンツ、[スケーラブル、大電流、低ノイズの平行 LDO のリファレンス デザイン設計ガイド](#)
- テキサス・インスツルメンツ、[バラスト抵抗を使用した平行 LDO アーキテクチャ設計技術白書](#)

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](#) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#) は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
March 2025	*	初版

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

10.1 メカニカル データ

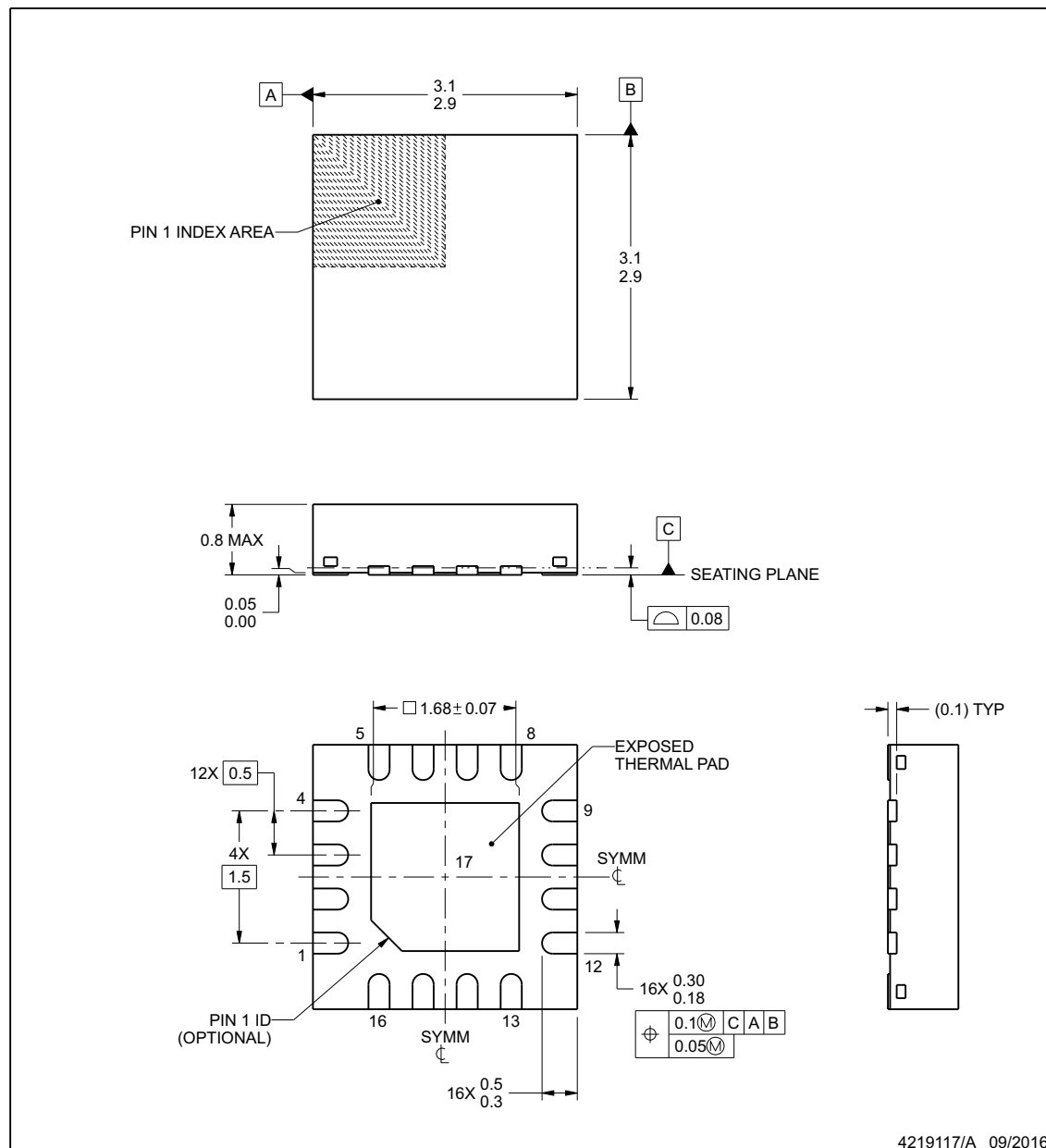


PACKAGE OUTLINE

RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

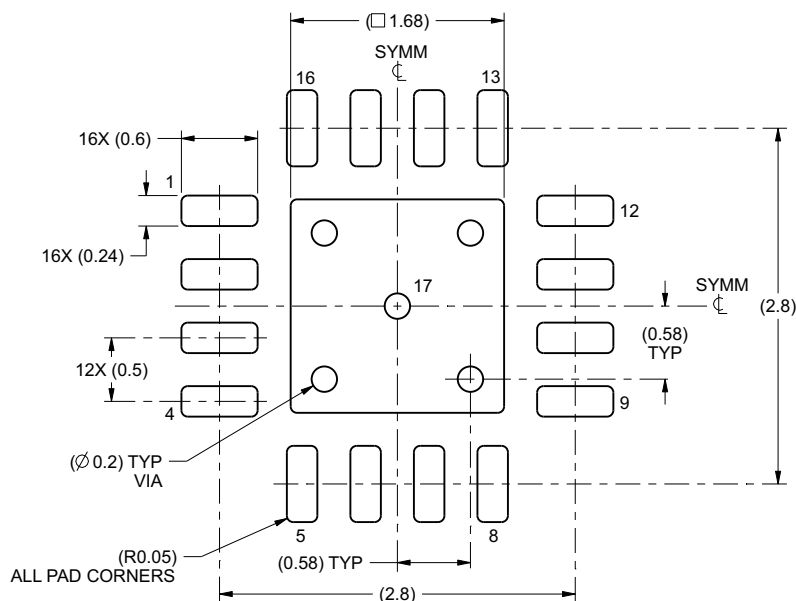
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

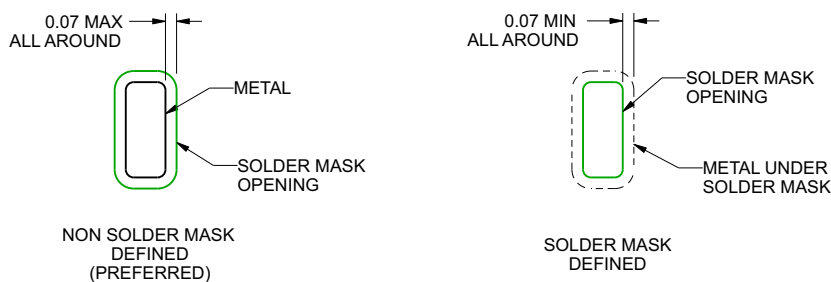
RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:20X



SOLDER MASK DETAILS

4219117/A 09/2016

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sl原因271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

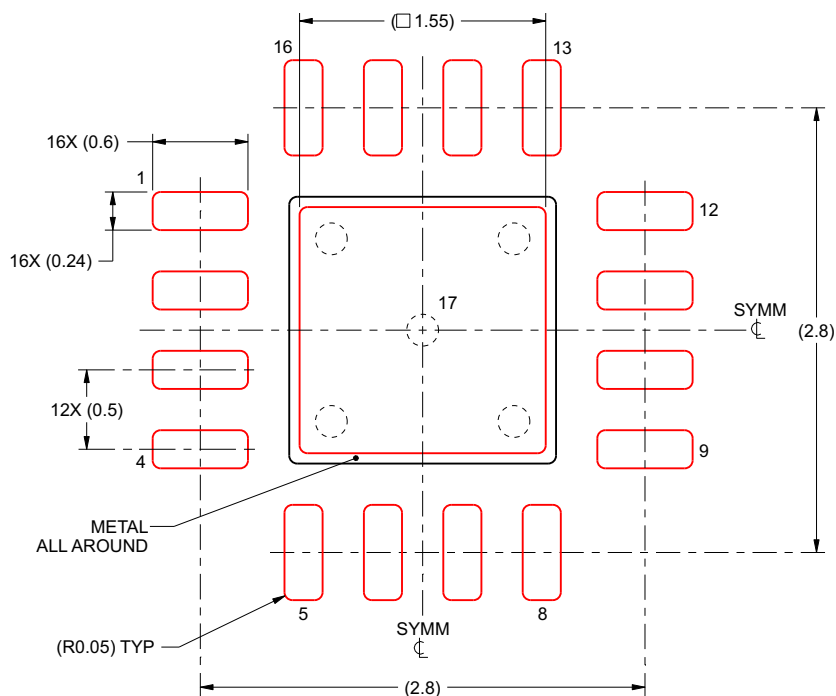
www.ti.com

EXAMPLE STENCIL DESIGN

RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4219117/A 09/2016

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

www.ti.com

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7A5601RTER	Active	Production	WQFN (RTE) 16	5000 LARGE T&R	Yes	FULL NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7A5601
TPS7A5601RTER.A	Active	Production	WQFN (RTE) 16	5000 LARGE T&R	Yes	FULL NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7A5601

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

RTE 16

WQFN - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.





4219117/B 04/2022

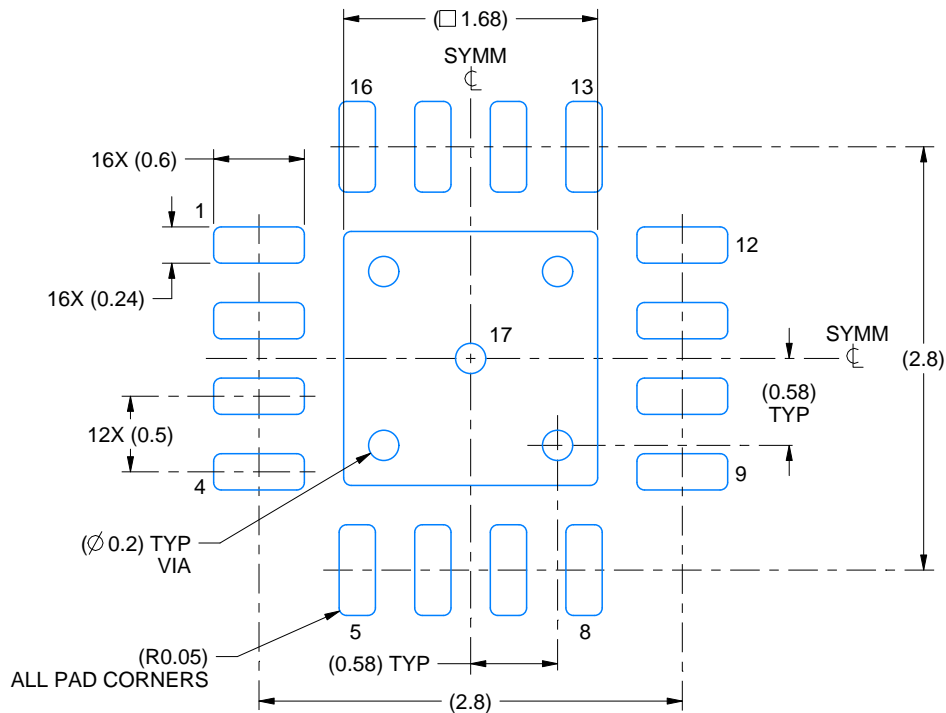
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

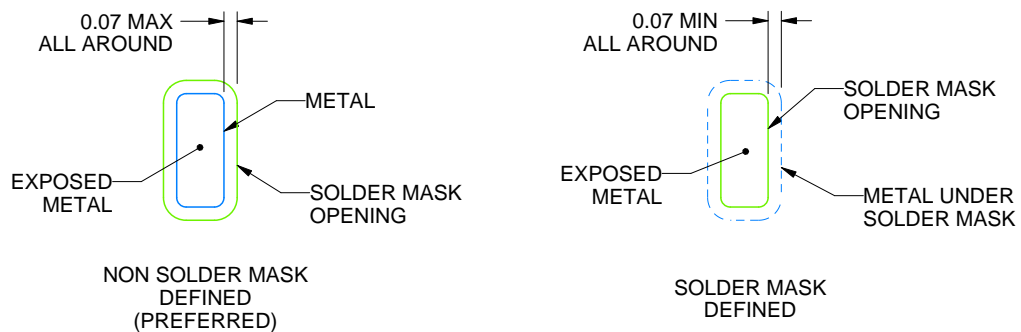
RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4219117/B 04/2022

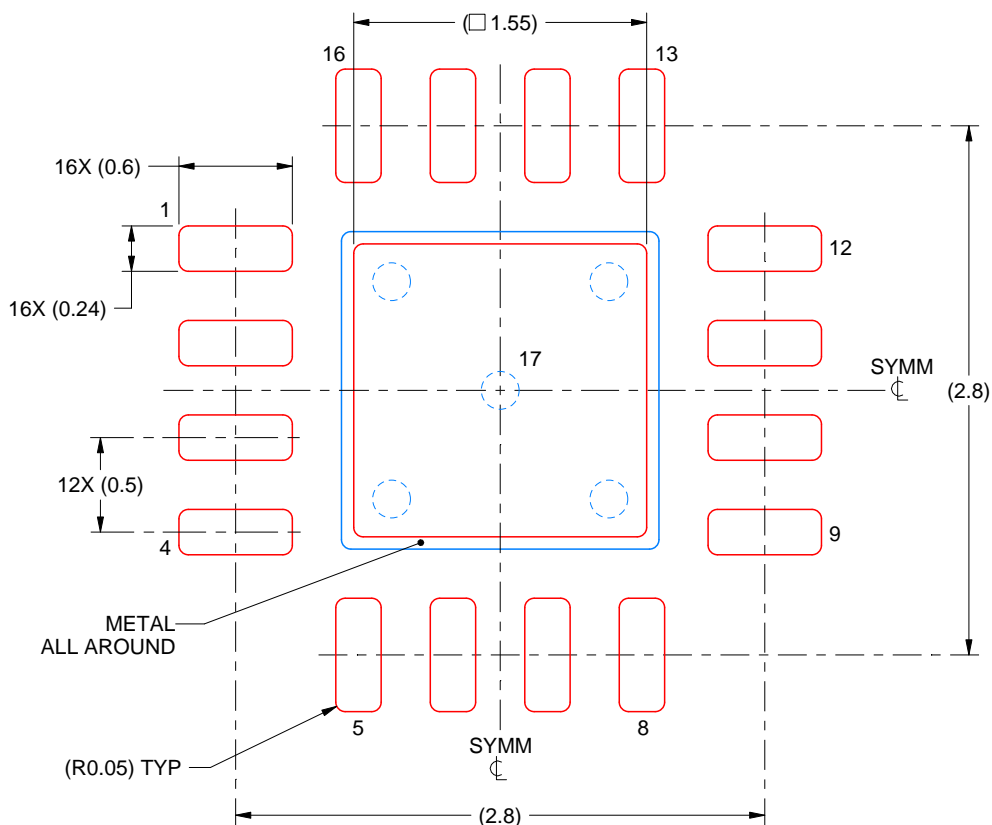
NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

RTE0016C

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4219117/B 04/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月