

36V、1A、低出力ノイズ 4.17 μ V_{RMS}、RF LDO電圧レギュレータ

特 長

- 入力電圧範囲: +3V~+36V
- 超低出力電圧ノイズ
 - 4.17 μ V_{RMS} (10Hz、100kHz)
- 電源リップル除去比:
 - 82dB (100Hz)
 - $\geq$ 55dB (10Hz、10MHz)
- ANY-OUT™ (PCB配線により出力電圧をユーザーで設定可能)
 - 外付け抵抗およびフィードフォワード・コンデンサは不要
 - 出力電圧範囲: +1.4V~+20.5V
- 出力電流: 1A
- ドロップアウト電圧: 307mV (1A時)
- CMOSロジック・レベル互換のイネーブル・ピン
- 固定の電流制限および過熱シャットダウン機能を内蔵
- 熱特性の優れたパッケージで供給:
 - 5mm×5mm QFN
- 動作温度範囲: -40°C~+125°C

アプリケーション

- 電圧制御発振器 (VCO)
- 周波数シンセサイザ
- 試験/計測アプリケーション
- 医療用アプリケーション
- RX、TX、およびPA回路
- オペアンプ、DAC、ADCなどの高精度アナログ回路用電源
- オーディオ・アプリケーション
- DC/DCコンバータ出力の後段安定化およびリップル・フィルタ
- 産業用計測機器
- ベース・ステーションおよび通信インフラ
- +12Vおよび+24Vの産業用電源バス

概 要

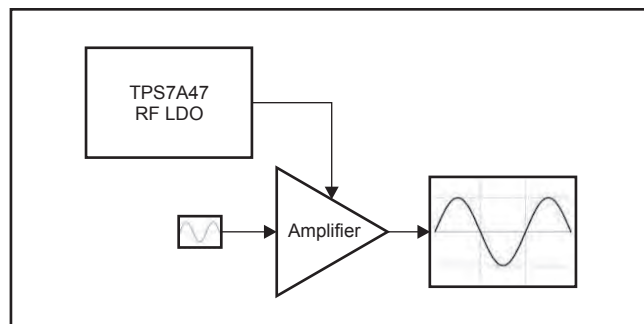
TPS7A47は、正電圧 (+36V)、超低ノイズ (4.17 μ V_{RMS}) のリニア・レギュレータであり、1Aの負荷供給能力を持ちます。

TPS7A47の出力電圧は、プリント基板 (PCB) のレイアウトにより完全にユーザーが設定可能であり、外付け抵抗やフィードフォワード・コンデンサは必要としないため、全体の部品数を削減できます。

TPS7A47は、バイポーラ・テクノロジーを使用して設計されており、システム性能を最大限に高めるためにクリーンな電圧レールを必要とする高精度計測アプリケーションに最適です。この機能により、TPS7A47は、重要度の高いアプリケーション (医療、RF、試験・測定など) で使用されるパワー・オペアンプ、A/Dコンバータ (ADC)、D/Aコンバータ (DAC)、その他の高精度アナログ回路への給電用に理想的なデバイスとなります。

さらに、TPS7A47は、DC/DCコンバータ出力の安定化にも適しています。DC/DCスイッチング変換に固有の出力電圧リップルをフィルタリングして除去することにより、敏感な計測、試験・測定、オーディオ、およびRFアプリケーションにおいて最高のシステム性能が得られます。

正負両方の低ノイズ・レールを必要とするアプリケーションに対しては、TIの高電圧、超低ノイズ、負電圧リニア・レギュレータ、TPS7A33ファミリーを使用できます。



ANY-OUT、PowerPADは、テキサス・インスツルメンツの商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。

この資料は、Texas Instruments Incorporated (TI) が英文で記述した資料を、皆様のご理解の一助として頂くために日本テキサス・インスツルメンツ (日本TI) が英文から和文へ翻訳して作成したものです。資料によっては正規英語版資料の更新に対応していないものがあります。日本TIによる和文資料は、あくまでもTI正規英語版をご理解頂くための補助的参考資料としてご使用下さい。製品のご検討およびご採用にあたりましては必ず正規英語版の最新資料をご確認下さい。TIおよび日本TIは、正規英語版にて更新の情報を提供しているにもかかわらず、更新以前の情報に基づいて発生した問題や障害等につきましては如何なる責任も負いません。



静電気放電対策

これらのデバイスは、限定的なESD(静電破壊)保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

製品情報⁽¹⁾

製品名	パッケージ - リード	パッケージ・コード	規定温度範囲
TPS7A4700RGW	VQFN	RGW	$-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$

(1) 最新のパッケージおよびご注文情報については、最新の英文データシートの巻末にある「PACKAGE OPTION ADDENDUM」を参照するか、www.ti.comでデバイスの製品フォルダをご覧ください。

絶対最大定格

動作温度範囲内(特に記述のない限り)⁽¹⁾

		VALUE		単位
		MIN	MAX	
Voltage ⁽²⁾	IN pin to GND pin	−0.4	+36	V
	EN pin to GND pin	−0.4	+36	V
	EN pin to IN pin	−36	+0.4	V
	OUT pin to GND pin	−0.4	+36	V
	NR pin to GND pin	−0.4	+36	V
	SENSE pin to GND pin	−0.4	+36	V
	0P1V pin to GND pin	−0.4	+36	V
	0P2V pin to GND pin	−0.4	+36	V
	0P4V pin to GND pin	−0.4	+36	V
	0P8V pin to GND pin	−0.4	+36	V
	1P6V pin to GND pin	−0.4	+36	V
	3P2V pin to GND pin	−0.4	+36	V
	6P4V1 pin to GND pin	−0.4	+36	V
	6P4V2 pin to GND pin	−0.4	+36	V
Current	Peak output	Internally limited		
Temperature	Operating virtual junction, T_J	−40	+125	°C
	Storage, T_{stg}	−65	+150	°C
Electrostatic discharge (ESD) ratings ⁽³⁾	Human body model (HBM) QSS 009-105 (JESD22-A114A)		1000	V
	Charge device model (CDM) QSS 009-147 (JESD22-C101B.01)		500	V

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値を越える状態での本製品の機能動作は含まれていません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

(2) すべての電圧値は回路のグランド端子を基準としています。

(3) ESDテストは、該当するJESD22 JEDEC規格に従って実施されています。

電気的特性

$-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$, $V_{\text{IN}} = V_{\text{OUT(NOM)}} + 1.0\text{V}$ または $V_{\text{IN}} = 3.0\text{V}$ (いずれか大きい方), $V_{\text{EN}} = V_{\text{IN}}$, $I_{\text{OUT}} = 0\text{mA}$, $C_{\text{IN}} = 10\mu\text{F}$, $C_{\text{OUT}} = 10\mu\text{F}$, $C_{\text{NR}} = 10\text{nF}$, SENSEをOUTに接続、0P1V、0P2V、0P4V、0P8V、1P6V、3P2V、6P4V1、6P4V2ピンはオープンです(特に記述のない限り)。

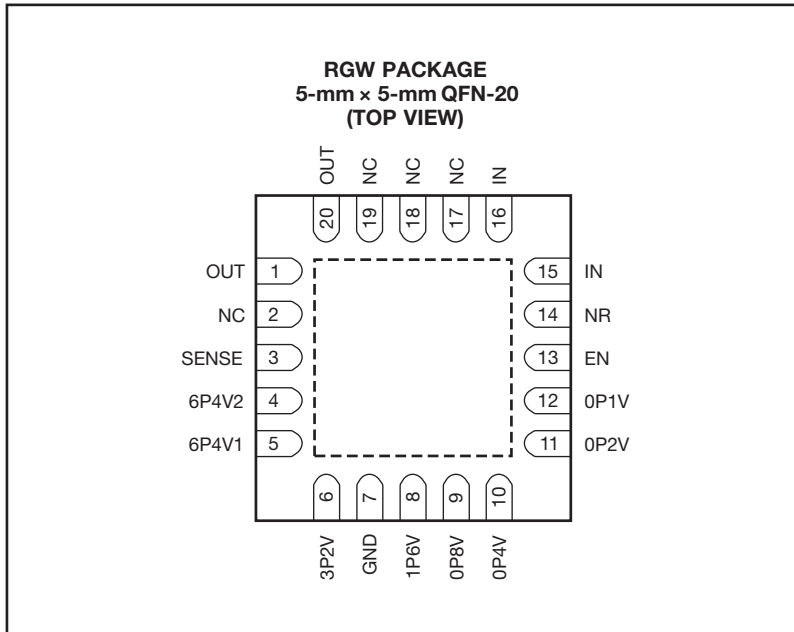
パラメータ		テスト条件	MIN	TYP	MAX	単位
V_{IN}	Input voltage range		3		35	V
V_{UVLO}	Under-voltage lockout threshold	V_{IN} rising		2.67		V
		V_{IN} falling		2.5		V
$V_{\text{UVLO_HYS}}$	Under-voltage lockout hysteresis			177		mV
V_{NR}	Noise reduction pin voltage			V_{OUT}		V
V_{OUT}	Output voltage range	$V_{\text{IN}} \geq V_{\text{OUT(NOM)}} + 1.0\text{ V or }3\text{V (whichever is greater)}, C_{\text{OUT}} = 20\mu\text{F}$	1.4		20.5	V
	Nominal accuracy	$T_J = +25^{\circ}\text{C}, C_{\text{OUT}} = 20\mu\text{F}$	-1.0		1.0	% V_{OUT}
	Overall accuracy	$V_{\text{OUT(NOM)}} + 1.0\text{ V} \leq V_{\text{IN}} \leq 35\text{ V}, 0\text{ mA} \leq I_{\text{OUT}} \leq 1\text{ A}, C_{\text{OUT}} = 20\mu\text{F}$	-2.5		2.5	% V_{OUT}
$\Delta V_{\text{OUT}}(\Delta V_{\text{IN}})/V_{\text{OUT(NOM)}}$	Line regulation	$V_{\text{OUT(NOM)}} + 1.0\text{ V} \leq V_{\text{IN}} \leq 35\text{ V}$		0.092		% V_{OUT}
$\Delta V_{\text{OUT}}(\Delta I_{\text{OUT}})/V_{\text{OUT(NOM)}}$	Load regulation	$0\text{ mA} \leq I_{\text{OUT}} \leq 1\text{ A}$		0.3		% V_{OUT}
V_{DO}	Dropout voltage	$V_{\text{IN}} = 95\% V_{\text{OUT(NOM)}}, I_{\text{OUT}} = 0.5\text{ A}$		216		mV
		$V_{\text{IN}} = 95\% V_{\text{OUT(NOM)}}, I_{\text{OUT}} = 1\text{ A}$		307	450	mV
I_{CL}	Current limit	$V_{\text{OUT}} = 90\% V_{\text{OUT(NOM)}}$	1	1.26		A
I_{GND}	Ground pin current	$I_{\text{OUT}} = 0\text{ mA}$		0.58	1.0	mA
		$I_{\text{OUT}} = 1\text{ A}$		6.1		mA
I_{SHDN}	Shutdown supply current	$V_{\text{EN}} = 0.4\text{ V}$		2.55	8	μA
		$V_{\text{EN}} = 0.4\text{ V}, V_{\text{IN}} = 35\text{ V}$		3.04	60	μA
I_{EN}	Enable pin current	$V_{\text{EN}} = V_{\text{IN}}$		0.78	2	μA
		$V_{\text{IN}} = V_{\text{EN}} = 35\text{ V}$		0.81	2	μA
$V_{\text{+EN(HI)}}$	Enable high-level voltage		2.0		V_{IN}	V
$V_{\text{+EN(LO)}}$	Enable low-level voltage		0.0		0.4	V
V_{NOISE}	Output noise voltage	$V_{\text{IN}} = 3\text{ V}, V_{\text{OUT(NOM)}} = 1.4\text{ V}, C_{\text{OUT}} = 50\mu\text{F}, C_{\text{NR}} = 1\mu\text{F}, \text{BW} = 10\text{ Hz to }100\text{ kHz}$		4.17		μV_{RMS}
		$V_{\text{IN}} = 6\text{ V}, V_{\text{OUT(NOM)}} = 5\text{ V}, C_{\text{OUT}} = 50\mu\text{F}, C_{\text{NR}} = 1\mu\text{F}, \text{BW} = 10\text{ Hz to }100\text{ kHz}$		4.67		μV_{RMS}
PSRR	Power-supply rejection ratio	$V_{\text{IN}} = 16\text{ V}, V_{\text{OUT(NOM)}} = 15\text{ V}, C_{\text{OUT}} = 50\mu\text{F}, I_{\text{OUT}} = 500\text{ mA}, C_{\text{NR}} = 1\mu\text{F}, f = 1\text{ kHz}$		78		dB
T_J	Operating junction temperature		-40		+125	$^{\circ}\text{C}$
T_{SD}	Thermal shutdown temperature	Shutdown, temperature increasing		+170		$^{\circ}\text{C}$
		Reset, temperature decreasing		+150		$^{\circ}\text{C}$

熱特性について

熱特性 ⁽¹⁾		TPS7A47	単位
		RGW	
		20 PINS	
θ_{JA}	Junction-to-ambient thermal resistance	32.5	$^{\circ}\text{C/W}$
θ_{JCTop}	Junction-to-case (top) thermal resistance	27	
θ_{JB}	Junction-to-board thermal resistance	11.9	
ψ_{JT}	Junction-to-top characterization parameter	0.3	
ψ_{JB}	Junction-to-board characterization parameter	11.9	
θ_{JCbott}	Junction-to-case (bottom) thermal resistance	1.7	

(1) 従来の熱特性パラメータと新しい熱特性パラメータの詳細については、アプリケーション・レポート『IC Package Thermal Metrics』(SPRA953)を参照してください。

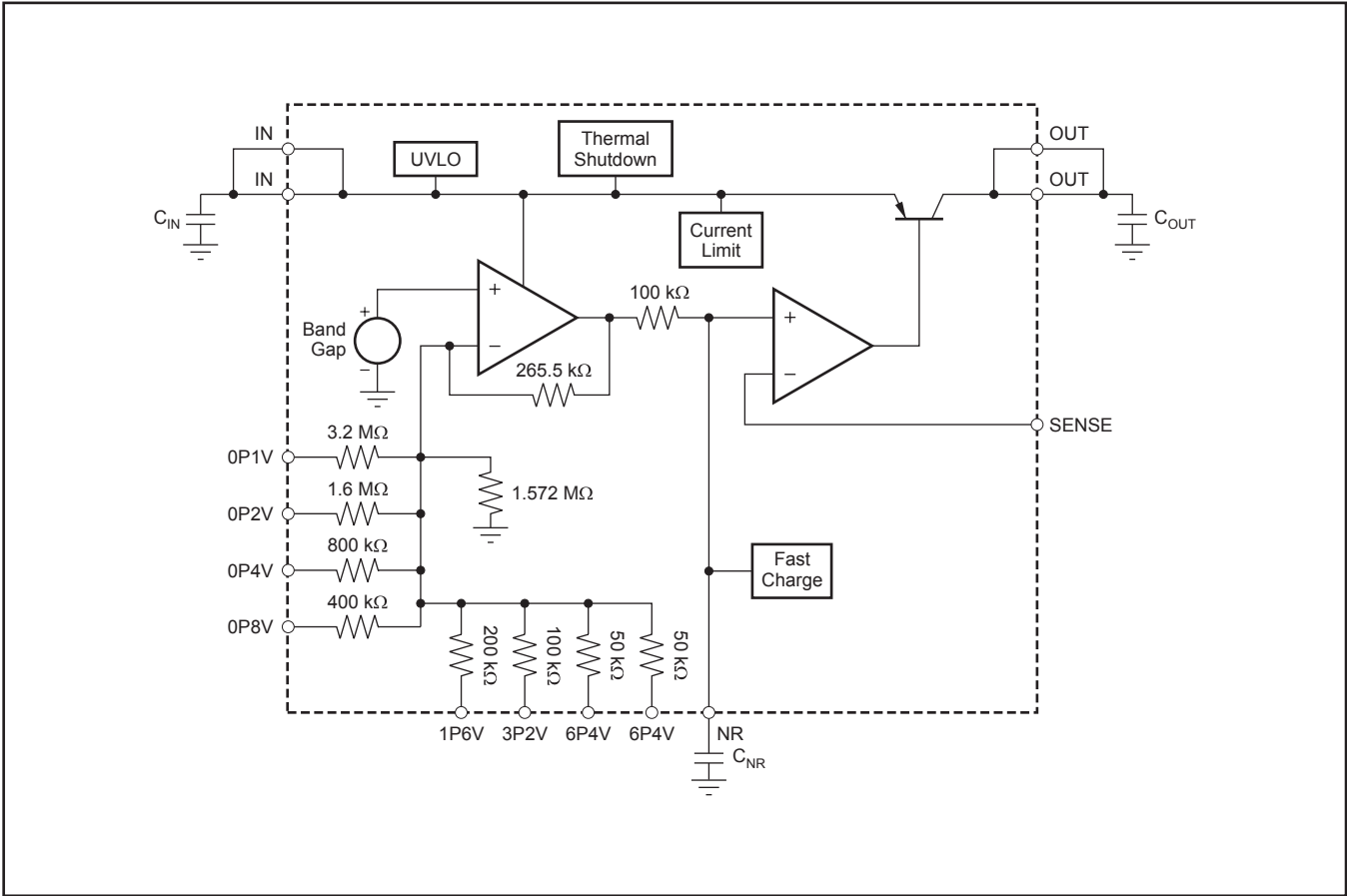
ピン構成



ピン説明

ピン		説 明
名前	NO.	
0P1V	12	このピンをGNDに接続すると、レギュレータの公称出力電圧に0.1Vが加算されます。 このピンにはGND以外の電圧を接続しないでください。使用しない場合、このピンはフローティングにします。
0P2V	11	このピンをGNDに接続すると、レギュレータの公称出力電圧に0.2Vが加算されます。 このピンにはGND以外の電圧を接続しないでください。使用しない場合、このピンはフローティングにします。
0P4V	10	このピンをGNDに接続すると、レギュレータの公称出力電圧に0.4Vが加算されます。 このピンにはGND以外の電圧を接続しないでください。使用しない場合、このピンはフローティングにします。
0P8V	9	このピンをGNDに接続すると、レギュレータの公称出力電圧に0.8Vが加算されます。 このピンにはGND以外の電圧を接続しないでください。使用しない場合、このピンはフローティングにします。
1P6V	8	このピンをGNDに接続すると、レギュレータの公称出力電圧に1.6Vが加算されます。 このピンにはGND以外の電圧を接続しないでください。使用しない場合、このピンはフローティングにします。
3P2V	6	このピンをGNDに接続すると、レギュレータの公称出力電圧に3.2Vが加算されます。 このピンにはGND以外の電圧を接続しないでください。使用しない場合、このピンはフローティングにします。
6P4V1	5	このピンをGNDに接続すると、レギュレータの公称出力電圧に6.4Vが加算されます。 このピンにはGND以外の電圧を接続しないでください。使用しない場合、このピンはフローティングにします。
6P4V2	4	このピンをGNDに接続すると、レギュレータの公称出力電圧に6.4Vが加算されます。 このピンにはGND以外の電圧を接続しないでください。使用しない場合、このピンはフローティングにします。
EN	13	このピンは、レギュレータをオンまたはオフにします。
GND	7	グランド
IN	15, 16	入力電源。安定性確保のため、このピンとグランドの間に1μF以上のコンデンサを接続する必要があります。 特に、長い入力パターンや高いソース・インピーダンスが含まれる場合には、プリント基板 (PCB) のレイアウトによる回路への影響を小さくするため、INとGNDの間に (デバイスにできる限り近づけて) 10μFのコンデンサを接続することを推奨します。
NC	2, 17-19	このピンは、オープンにするか、またはGNDとINの間の任意の電圧に接続できます。
NR	14	ノイズ低減用ピン。このピンとGNDの間にコンデンサを接続すると、RMSノイズを非常に低いレベルまで低減できます。安定性確保のため、このピンとグランドの間に10nF以上のコンデンサを接続する必要があります。AC性能を最大限に高め、ノイズを最小限に抑えるため、NRとGNDの間に (デバイスにできる限り近づけて) 1μFのコンデンサを接続することを推奨します。
OUT	1, 20	レギュレータ出力。安定性確保のため、このピンとグランドの間に10μF以上のコンデンサを接続する必要があります。AC性能を最大限に高めるため、OUTとGNDの間に (デバイスにできる限り近づけて) 47μFのセラミック出力コンデンサを接続することを強く推奨します。
SENSE	3	制御ループの誤差増幅器入力。このピンはOUTに接続する必要があります。 精度を最大限に高めるため、OUTは負荷上の点で接続することを推奨します。

機能ブロック図



標準的特性

$-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$ 、 $V_{IN} = V_{OUT(NOM)} + 1.0\text{V}$ または $V_{IN} = 3.0\text{V}$ (いずれか大きい方)、 $V_{EN} = V_{IN}$ 、 $I_{OUT} = 0\text{mA}$ 、 $C_{IN} = 10\mu\text{F}$ 、 $C_{OUT} = 10\mu\text{F}$ 、 $C_{NR} = 10\text{nF}$ 、SENSEをOUTに接続、0P1V、0P2V、0P4V、0P8V、1P6V、3P2V、6P4V1、6P4V2ピンはオープンです(特に記述のない限り)。

ノイズ 対 出力電圧

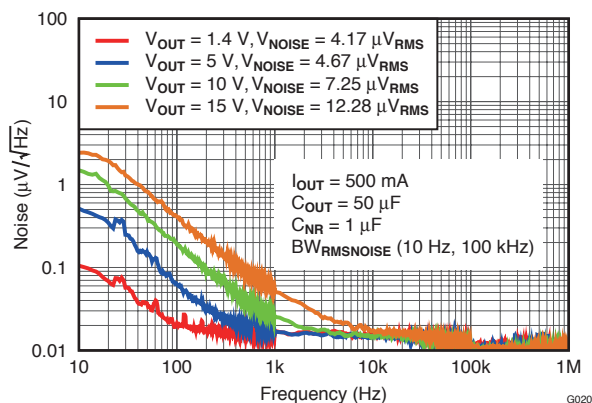


図 1

ライン・レギュレーション

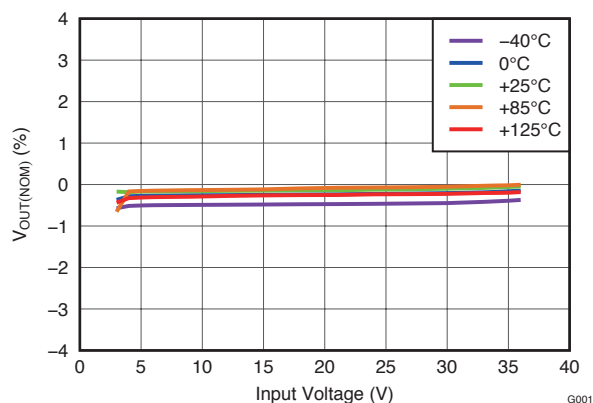


図 2

負荷レギュレーション

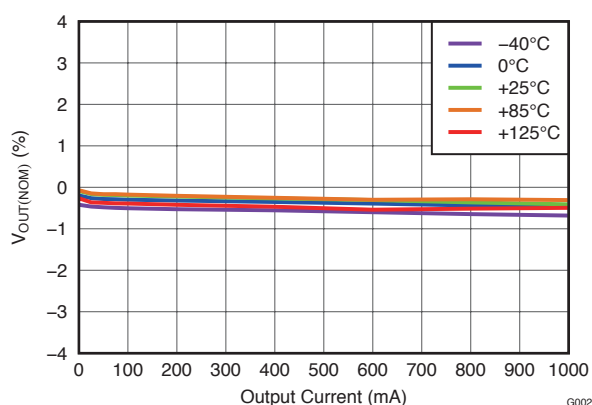


図 3

ドロップアウト電圧 対 出力電流

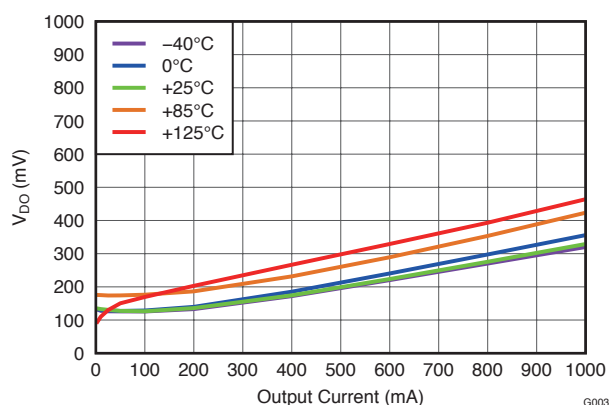


図 4

UVLOスレッショルド 対 温度

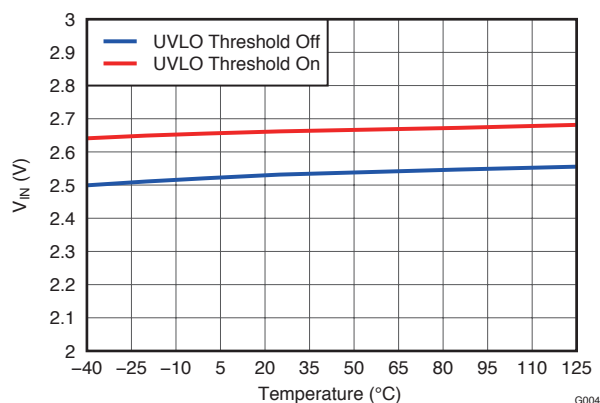


図 5

イネーブル電圧スレッショルド 対 温度

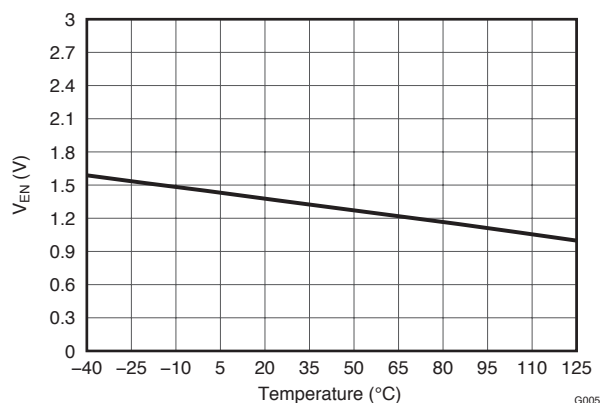


図 6

標準的特性 (続き)

$-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$ 、 $V_{\text{IN}} = V_{\text{OUT(NOM)}} + 1.0\text{V}$ または $V_{\text{IN}} = 3.0\text{V}$ (いずれか大きい方)、 $V_{\text{EN}} = V_{\text{IN}}$ 、 $I_{\text{OUT}} = 0\text{mA}$ 、 $C_{\text{IN}} = 10\mu\text{F}$ 、 $C_{\text{OUT}} = 10\mu\text{F}$ 、 $C_{\text{NR}} = 10\text{nF}$ 、SENSEをOUTに接続、0P1V、0P2V、0P4V、0P8V、1P6V、3P2V、6P4V1、6P4V2ピンはオープンです (特に記述のない限り)。

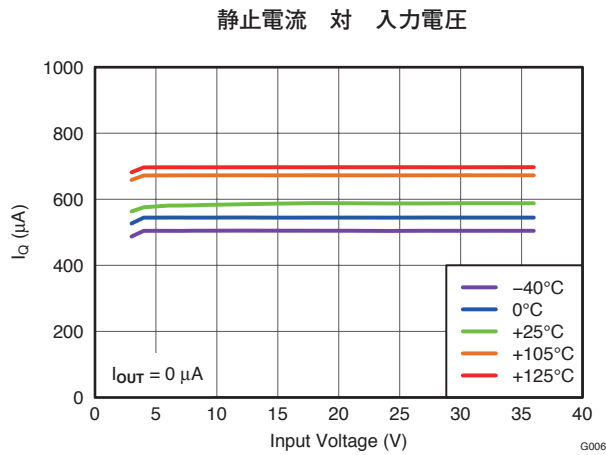


図 7

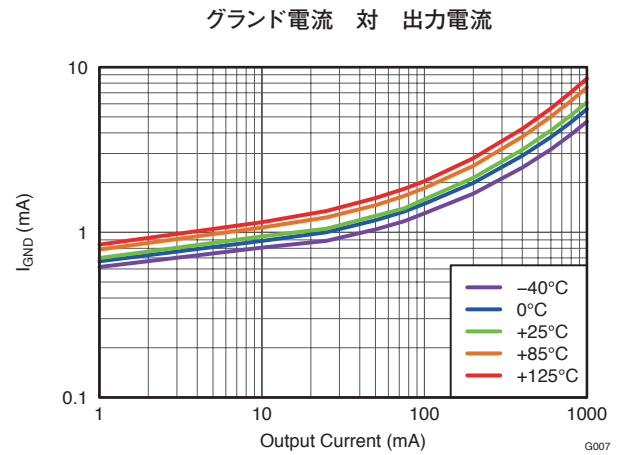


図 8

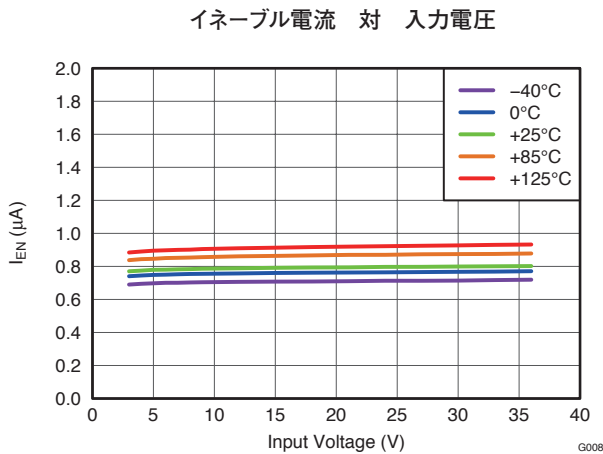


図 9

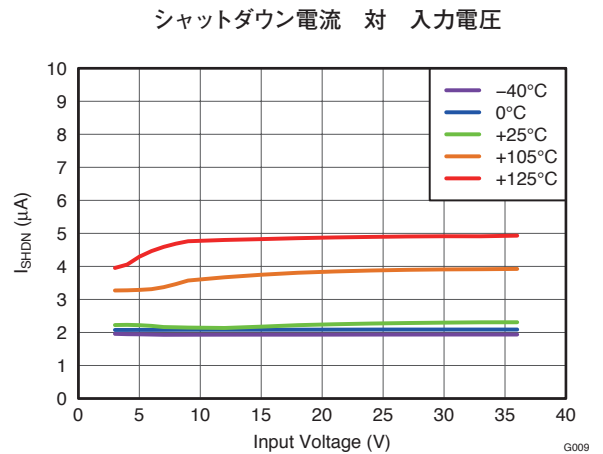


図 10

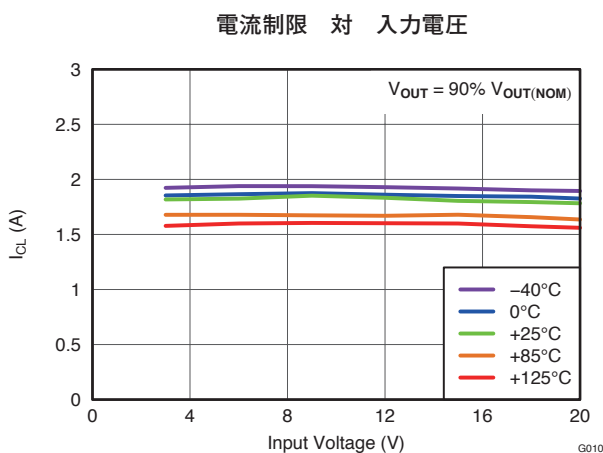


図 11

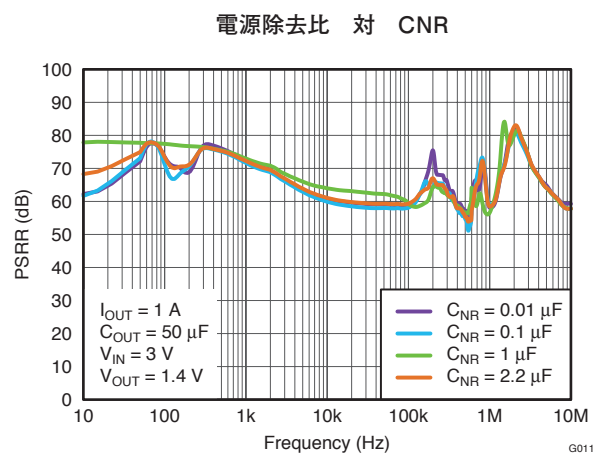


図 12

標準的特性 (続き)

$-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$ 、 $V_{IN} = V_{OUT(NOM)} + 1.0\text{V}$ または $V_{IN} = 3.0\text{V}$ (いずれか大きい方)、 $V_{EN} = V_{IN}$ 、 $I_{OUT} = 0\text{mA}$ 、 $C_{IN} = 10\mu\text{F}$ 、 $C_{OUT} = 10\mu\text{F}$ 、 $C_{NR} = 10\text{nF}$ 、SENSEをOUTに接続、0P1V、0P2V、0P4V、0P8V、1P6V、3P2V、6P4V1、6P4V2ピンはオープンです (特に記述のない限り)。

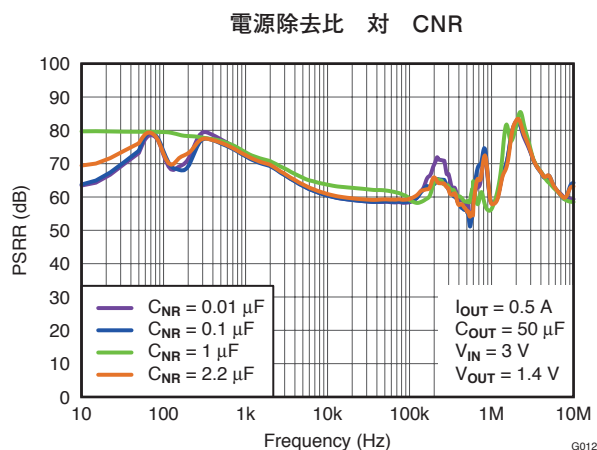


図 13

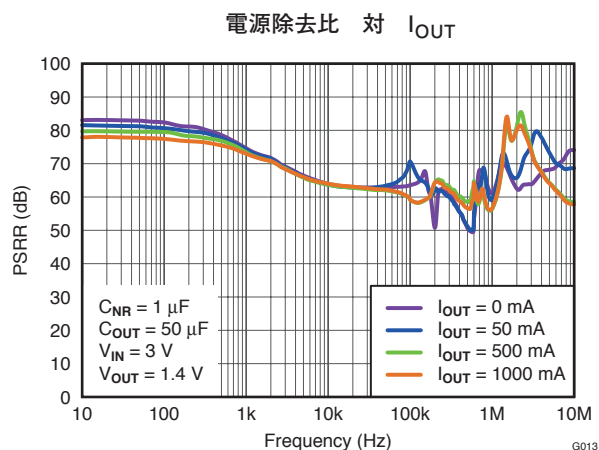


図 14

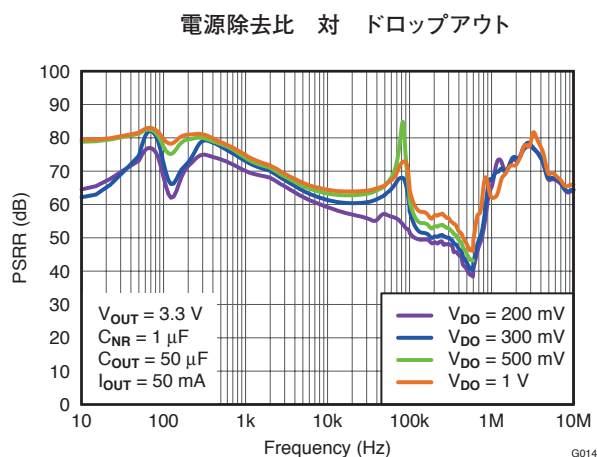


図 15

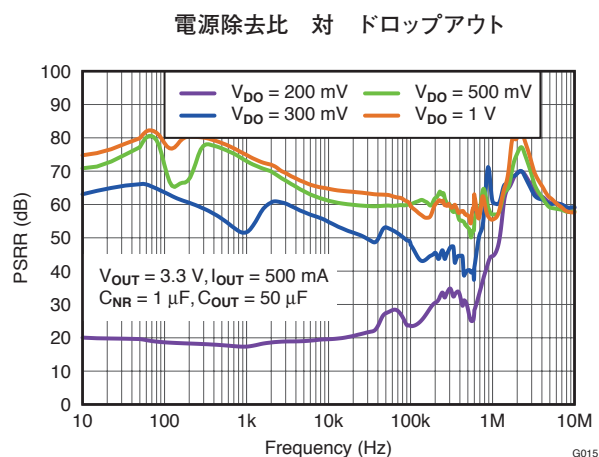


図 16

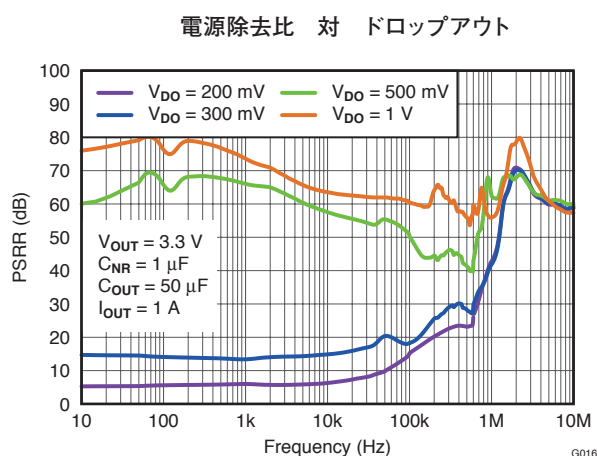


図 17

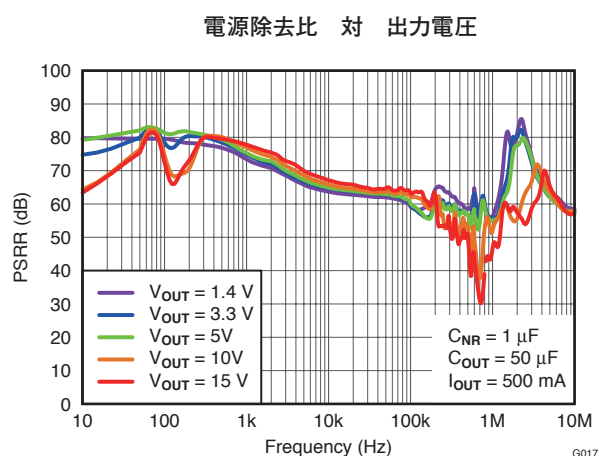


図 18

標準的特性 (続き)

$-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$ 、 $V_{\text{IN}} = V_{\text{OUT(NOM)}} + 1.0\text{V}$ または $V_{\text{IN}} = 3.0\text{V}$ (いずれか大きい方)、 $V_{\text{EN}} = V_{\text{IN}}$ 、 $I_{\text{OUT}} = 0\text{mA}$ 、 $C_{\text{IN}} = 10\mu\text{F}$ 、 $C_{\text{OUT}} = 10\mu\text{F}$ 、 $C_{\text{NR}} = 10\text{nF}$ 、SENSEをOUTに接続、0P1V、0P2V、0P4V、0P8V、1P6V、3P2V、6P4V1、6P4V2ピンはオープンです (特に記述のない限り)。

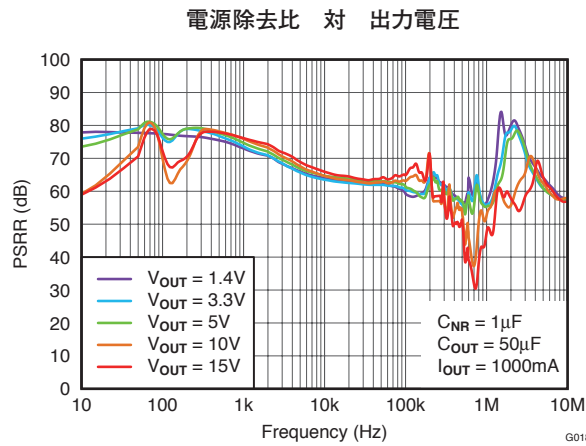


図 19

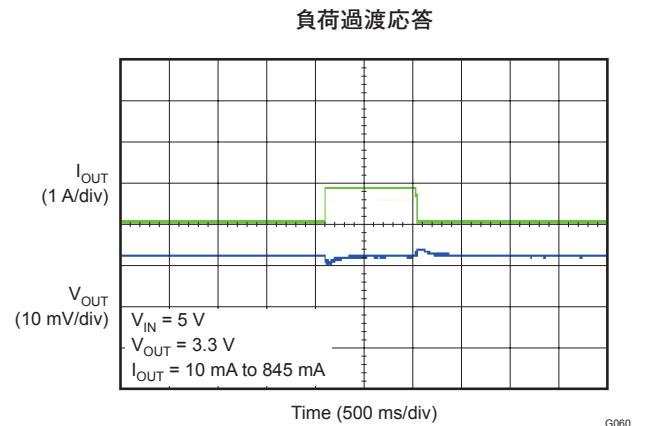


図 20

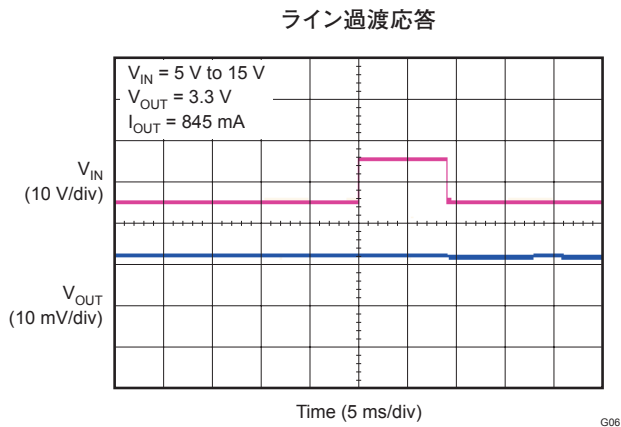


図 21

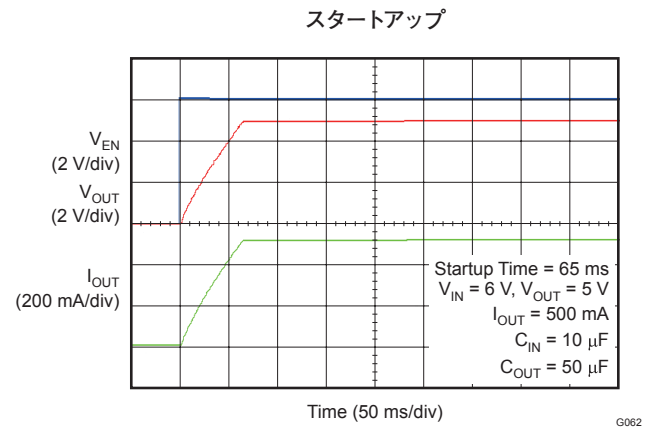


図 22

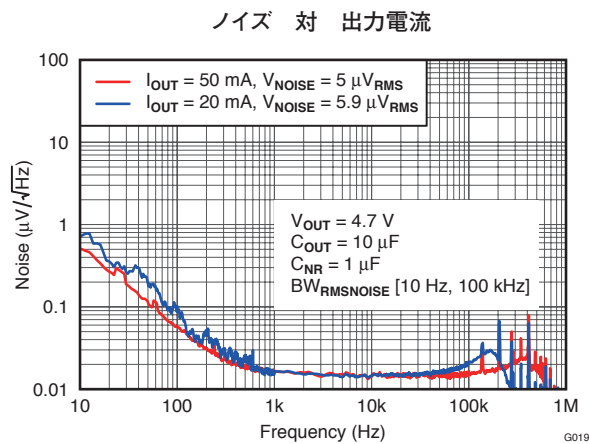


図 23

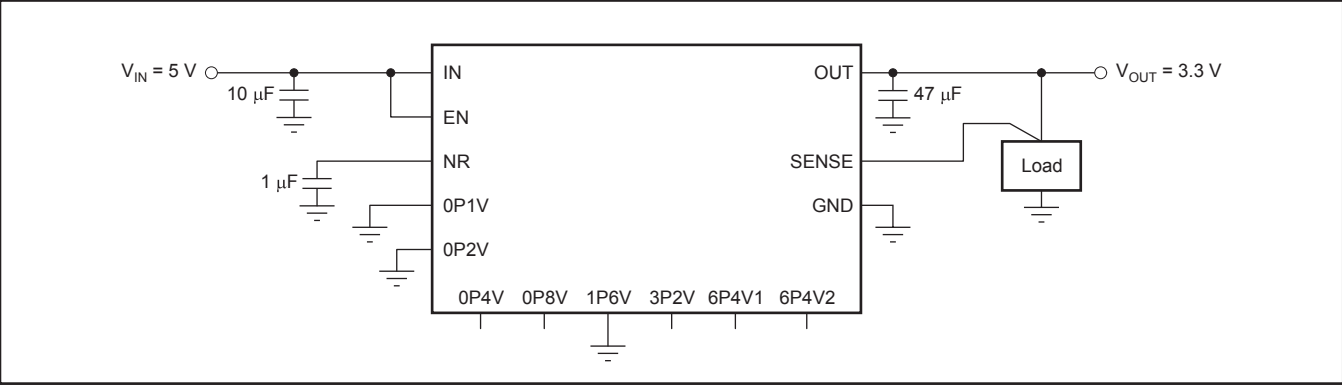


図 24. PSRR性能の最大化およびRMSノイズの最小化

標準アプリケーション回路

図24に示すように、出力電圧は適切な制御ピンを接地することにより設定されます。接地されると、各制御ピンは内部リファレンス電圧 ($V_{REF} = 1.4V$) に特定の電圧を加算します。例えば、ピン 0P1V、0P2V、1P6Vを接地した場合、式 (1) に示されるように、1.4Vの内部リファレンス電圧に電圧値0.1V、0.2V、1.6Vがそれぞれ加算され、 $V_{OUT(NOM)}$ は3.3Vとなります。

$$\begin{aligned} V_{OUT(NOM)} &= V_{REF} + 0.1V + 0.2V + 1.6V \\ &= 1.4V + 0.1V + 0.2V + 1.6V \\ &= 3.3V \end{aligned} \tag{1}$$

ANY-OUTによる出力電圧のプログラミング

TPS7A4700では、出力電圧を設定するために、一般的な低ドロップアウト・レギュレータ (LDO) のような外付け抵抗は使用せず、製品のピン4、5、6、8、9、10、11、12を使用してレギュレーションする出力電圧をプログラミングします。各ピンは、グラウンドに接続 (アクティブ) するか、オープンまたはフローティング (非アクティブ) にします。ANY-OUTプログラミングは、式 (2) に基づき、アクティブな各ピンにそれぞれ割り当てられた電圧の合計を内部リファレンス電圧 ($V_{REF} = 1.4V$) に加算した結果として設定されます。電圧の割り当ては、100mV (ピン12)、200mV (ピン11)、400mV (ピン10)、800mV (ピン9)、1.6V (ピン8)、3.2V (ピン6)、6.4V (ピン5)、6.4V (ピン4) です。表1に、各アクティブ・ピン設定に関連付けられたこれらの電圧値をまとめています。すべてのプログラム・ピンをオープン (フローティング) にすると、出力は可能な最小の出力電圧 ($= V_{REF}$) にプログラミングされます。

$$V_{OUT} = V_{REF} + (\Sigma \text{ ANY-OUT Pins to Ground}) \tag{2}$$

出力電圧の設定には、いくつかの方法があります。プログラム・ピンを外部の汎用入出力ピン (GPIO) で駆動するか、0Ω抵抗を使って手動でグラウンドに接続する (またはオープンにする) か、プリント基板 (PCB) のレイアウトにより固定配線を行うことで、ANY-OUT電圧を設定できます。www.ti.comからダウンロードできるTPS7A4700評価モジュール (EVM) では、ジャンパーを使用して出力電圧をプログラミングできます。

コンデンサに関する推奨事項

TPS7A4700は、入力、出力、およびノイズ低減ピン (NR、ピン14) に、等価直列抵抗 (ESR) の低いセラミック・コンデンサを使用することにより安定して動作するよう設計されています。これらの用途に対しては多層セラミック・コンデンサが業界標準となっており、ここでも推奨されますが、使用する場合には適切な判断が必要です。X7R、X5R、およびCOG定格の誘電体を使用したセラミック・コンデンサは、温度範囲全体にわたって比較的良好な容量安定性を示しますが、Y5V定格のコンデンサは容量の変動幅が広いので推奨されません。いずれの場合も、セラミック・コンデンサは印加電圧による実容量の変動が大きいため、設計エンジニアはそれらの特性について把握しておく必要があります。経験則として、セラミック・コンデンサには50%のデレーティングの適用を推奨します。ここで推奨している入力および出力コンデンサは、50%の容量デレーティングを考慮しています。

TPS7A4700は負荷過渡応答が非常に高速であるため、負荷電流ステップ中に入力の過渡的な電圧降下が最小限に抑えられるよう、入力容量に注意を払う必要があります。大きな入力容量 (10µF以上) を使用すると良い効果が得られ、安定性には影響し

ANY-OUTプログラム・ピン (アクティブ・ロー)	加算される出力電圧レベル
ピン4 (6P4V2)	6.4 V
ピン5 (6P4V1)	6.4 V
ピン6 (3P2)	3.2 V
ピン8 (1P6)	1.6 V
ピン9 (0P8)	800 mV
ピン10 (0P4)	400 mV
ピン11 (0P2)	200 mV
ピン12 (0P1)	100 mV

表 1. ANY-OUTによる出力電圧のプログラミング

ません。ただし、単に大きなセラミック入力容量を使用すると、入力コンデンサと配線リードのインダクタンスとの組み合わせによって過渡事象中に高Qピーキング効果が生じることで、出力に不要なリングングが発生する可能性があります。例えば、5nHのリード・インダクタンスと10μFの入力コンデンサによって、制御ループ帯域幅の端に712kHzの共振周波数を持つLCフィルタが形成されます。上流の電源との接続リードを短くして適切に設計することで、ダンピングを追加せずにこの効果を最小限に抑えることができます。不要なリングングのダンピングは、セラミック入力コンデンサと並列に、ESRが数百mΩのタンタル・コンデンサを使用することで実現できます。

入力および出力コンデンサの要件

TPS7A4700は、入力および出力に10μF以上のセラミック・コンデンサを使用した動作状態に対して設計され、特性が規定されています。最適なノイズ特性は、50μFの合計出力容量を使用して規定されています。特に、入力および出力容量は、それぞれの入力および出力ピンに実用的な範囲でできる限り近づけて配置する必要があることに注意してください。

ノイズ低減コンデンサ(C_{NR})

LDOのNRピンに接続されるノイズ低減コンデンサは、RCフィルタを形成し、制御ループによって増幅されて出力電圧に現れる可能性のあるノイズをフィルタリングします。最大で1μFまでの大きな容量を使用すると、低周波数でのノイズ低減能力に影響を与えますが、高周波数でのノイズ低減能力は向上します。C_{NR}は、出力電圧のオン時の立ち上がり時間のプログラミングにも利用され、オン時のサージ電流を抑制します。

内部電流制限 (I_{CL})

内部電流制限回路は、高負荷電流または短絡の発生からLDOを保護するために使用されます。LDOは、電流制限状態で定期的に動作するようには設計されていません。電流制限が動作している間、LDOは一定の電流をソースします。したがって、負荷インピーダンスが低下すると出力電圧は低下します。また、電流制限が動作した結果、出力電圧が低くなる時、LDOでは過大な電力が消費され、出力が過熱シャットダウンとなる場合があります。

ドロップアウト電圧 (V_{DO})

一般的に言って、ドロップアウト電圧とは多くの場合、入力電圧と出力電圧の差を意味します (V_{DO} = V_{IN} - V_{OUT})。ただし、電気的特性表では、V_{DO}は定格電流 (I_{RATED}) におけるV_{IN} - V_{OUT}の電圧として定義されます。このとき、メインの電流パスFETは抵抗動作領域で、FETの典型的なR_{DS(ON)}の特性で完全にオン状態となっています。V_{DO}は、プログラミングされた公称出力電圧に加算する事により、最小の入力電圧を間接的に規定します。入力電圧がそれ以上であれば、出力電圧がその精度境界内に留まることが想定されます。入力がこのV_{DO}制限 (V_{IN} < V_{OUT} + V_{DO})を下回った場合、出力電圧は入力電圧に追従して低下します。

ドロップアウト電圧は常に、メイン・パスFETのR_{DS(ON)}によって決定されます。したがって、LDOが定格電流より低い電流で動作

している場合、その電流でのV_{DO}はそれに応じて低い値となります。TPS7A4700のR_{DS(ON)}は、式 (3) を使用して計算できます。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (3)$$

出力電圧精度

出力電圧精度は、期待される公称出力電圧を基準とした最小および最大の出力電圧の誤差をパーセントで示したものです。この精度誤差には一般に、内部リファレンスおよび負荷およびラインレギュレーションによって生じた誤差が含まれ、それらは温度に応じた負荷およびラインの定格動作状態の全範囲にわたる値です (電気的特性で別途規定される場合を除く)。また、出力電圧精度には、製造ロット間の変動もすべて考慮されています。

スタートアップ

イネーブル (EN) と低電圧誤動作防止 (UVLO)

TPS7A4700は、ENとUVLOの両方がそれぞれの電圧スレッシュホールドを上回った場合のみオンになります。UVLO回路は入力電圧 (V_{IN}) を監視し、V_{IN}が規定の電圧を超えるまではデバイスをオンにしません。また、UVLO回路は、V_{IN}が規定の電圧を下回るとデバイスをシャットダウンします。EN信号は、入力電圧が印加されているときに、LDOのオンおよびシャットダウンを論理レベルによって独立に行うために使用されます。独立したオン制御がない場合は、ENを直接V_{IN}に接続できます。

ソフト・スタートと突入電流

ソフト・スタートは、ENおよびUVLOがスレッシュホールド電圧に達した後でLDOがオンになるときの出力電圧の上昇特性を制御します。ノイズ低減コンデンサは、出力ノイズの低減と、オン時のソフト・スタートのプログラミングという2つの目的に使用されます。

突入電流は、オン時の電圧上昇中にLDOのINからOUTへと流れる電流として定義されます。突入電流は主に、負荷電流と出力コンデンサへの充電電流の合計です。この電流は、入力コンデンサを除去する (推奨しません) 必要があるため、測定が困難です。ただし、このソフト・スタート電流は式 (4) で見積もることができます。

$$I_{OUT(t)} = \left[\frac{C_{OUT} \times dV_{OUT}(t)}{dt} \right] + \left[\frac{V_{OUT}(t)}{R_{LOAD}} \right] \quad (4)$$

ここで

V_{OUT(t)}は、オン時の上昇中の瞬時出力電圧です。

dV_{OUT(t)/dt}は、V_{OUT}の上昇の傾きです。

R_{LOAD}は、抵抗性負荷インピーダンスです。

AC性能

LDOのAC性能は一般に、電源除去比、負荷ステップ過渡応答、および出力ノイズを含むものとして理解されています。これらの指標は主に、開ループ・ゲインと帯域幅、位相マージン、およびリファレンス・ノイズによる関数となります。

電源除去比 (PSRR)

PSRRは、LDOの制御ループが入力ソースからリップル・ノイズを除去する度合いを示す指標です。それによって、周波数スペクトル全体 (10Hz~10MHz) にわたって直流出力電圧のノイズをできる限り低減します。したがってPSRRはノイズ信号振幅の減少幅 (入力リップルに対する出力リップル) を表しますが、電気的特性では便宜上、PSRRの逆数が正のデシベル (dB) 値としてプロットされています。式 (5) に、入力ノイズ電圧 $[V_{S(IN)}(f)]$ と出力ノイズ電圧 $[V_{S(OUT)}(f)]$ を純粋にAC信号と考えた場合の、周波数の関数としてのPSRRの計算式を示します。

$$PSRR \text{ (dB)} = 20 \text{ Log}_{10} \left[\frac{V_{S(IN)}(f)}{V_{S(OUT)}(f)} \right] \quad (5)$$

内部基準電圧から制御ループの入力に結合されるノイズも、PSRRの大きさと帯域幅が減少する主要な要因の1つです。この基準電源のノイズは、LDOのNRピンのノイズ低減コンデンサと内部フィルタ抵抗 (R_{SS}) の組み合わせによってフィルタリングされ、最適なPSRRが得られます。

LDOは多くの場合、DC/DCレギュレータとしてだけでなく、電源に敏感なシステム部品に対して、ノイズやリップルのない極めてクリーンな電源電圧を供給するためにも使用されます。この利用法は、TPS7A4700では特に有効です。

負荷ステップ過渡応答

負荷ステップ過渡応答は、負荷電流のステップ変化に対して、出力電圧のレギュレーションを維持した状態でのLDOの出力電圧応答です。ワーストケースの応答は10mAから1Aへの負荷ステップ ($1A/\mu s$) によって規定され、非常に安定したシステムでは大きくダンピングされた応答となります。電圧応答では、最初に出力コンデンサから電荷が放電された後、制御ループが自己調整を行って出力が回復するため、出力電圧に小さな一時的低下が見られます。負荷ステップ直後の電荷放電能力の大きさは、出力容量の大きさに直接比例します。ただし、ある程度までは、回復の速度はその同じ出力容量に対して逆比例します。つまり、出力容量が大きいほど、負荷ステップ中に生じる電圧の低下またはピークが小さくなりますが、制御ループの帯域幅が減少するため、応答が遅くなります。

ワーストケースのオフ時ロード・ステップ特性は、1Aから0mAへの電流ステップ時に生じます。最初は、LDOループは十分に速く応答できないため、出力コンデンサの出力電圧の電荷がわずかに増加します。LDOは充電電流をシンクできないため、制御ループはメイン・パスFETをオフにして電荷が放電されるのを待つ必要があります、それによってオフ時のロード・ステップは標準的な単調減少 (三角形の波形) となります。

ノイズ

TPS7A4700は、特に、電源レールのノイズを最小限に抑えることがシステムの性能に対して不可欠であるようなシステム・アプリケーション用に設計されています。このシナリオは、例えば、PLL (フェーズ・ロック・ループ) ベースのクロック回路で、最小位相ノイズが重要である場合、または、試験/計測システムで、電源ノイズのわずかな変動でも瞬時に測定精度が劣化するような場合などで

す。TPS7A4700は高電圧の産業用アプリケーション向けにも設計されているため、ノイズ特性は、出力電圧の関数としてのノイズの増加を最小限に抑えるよう適切に設計されています。

LDOノイズは、半導体回路単独で生成される、内部生成固有ノイズとして定義されます。このノイズは、さまざまな種類のノイズの合計です (電流の流れるピン接合に関連したショット・ノイズ、電荷キャリアの熱擾乱によって生じる熱ノイズ、抵抗の特性の1つであり $1/f$ の関数として低周波数で支配的となるフリッカ・ノイズ ($1/f$ ノイズ)、パースト・ノイズ、アバランシェ・ノイズなど)。

LDO RMS出力ノイズを計算するには、最初にスペクトル・アナライザで目的の帯域幅 (通常は $\mu V/\sqrt{Hz}$ 単位で10Hz~100kHz) にわたるスペクトル・ノイズを測定します。次に、通常の方法でRMSノイズを計算します。これは、帯域全体にわたるスペクトル・ノイズの2乗の総和の平方根を取り、帯域幅で平均化することで行います。

熱特性について

過熱保護

TPS7A4700には、LDOで過剰な熱が生じたときに出力電流をオフにする、過熱シャットダウン保護回路が内蔵されています。過熱シャットダウンは、メイン・パスFETの接合部温度 (T_J) が $+170^\circ\text{C}$ (標準) を超えた場合に発生します。過熱シャットダウンではヒステリシスによって、温度が $+150^\circ\text{C}$ (標準) に低下するとLDOが再度リセットされます (オンになります)。TPS7A4700は高い入力電圧をサポートできるため、出力電圧が低いとデバイスでかなり大きな電力を消費することが想定され、その結果、過熱シャットダウンが生じる場合があります。半導体のダイの熱時定数はかなり短いため、過熱シャットダウンに達すると、消費電力が低下するまでの間、出力が短い間隔でオン/オフを繰り返します。

動作の信頼性を高めるために、接合部温度は最大 $+125^\circ\text{C}$ に制限してください。特定のレイアウトで熱的な余裕度を評価するには、ワーストケースの負荷および最高入力電圧条件を使用し、過熱シャットダウンが作動するまで周囲温度を上昇させます。良好な信頼性のためには、アプリケーションの最大想定周囲温度よりも $+45^\circ\text{C}$ 以上上昇した場合に過熱シャットダウンが作動するのが望ましい状態です。したがって、最大想定周囲温度およびワーストケース負荷でのワーストケース接合部温度は $+125^\circ\text{C}$ となります。

TPS7A4700の内部保護回路は、熱的過負荷状態に対して保護するように設計されています。この回路は、適切なヒートシンクの代わりとなるよう意図されたものではありません。TPS7A4700を過熱保護が作動するまで使用し続けると、デバイスの信頼性が低下します。

消費電力 (P_D)

回路の信頼性を維持するために、デバイスの消費電力、プリント基板 (PCB) 上での回路位置、およびサーマル・プレーンの適切なサイズについて、慎重に配慮する必要があります。レギュレータ周囲のPCB領域には、追加の熱ストレスを生じるような他の発熱デバイスをできる限り配置しないようにする必要があります。

レギュレータの消費電力は、入力電圧と出力電圧の差、および負荷条件に依存します。 P_D は、式 (6) で計算できます。

$$P_D = (V_{OUT} - V_{IN}) \times I_{OUT} \quad (6)$$

システム電圧レールの適切な選択によって、消費電力を最小限に抑えることができ、より高い効率を実現できることに注意してください。適切な選択により、出力レギュレーションに必要な最小の入力電圧が得られます。

QFN (RGW) パッケージに対する主要な熱伝導パスは、サーマル・パッド経由でPCBへのパスです。サーマル・パッドは、デバイスの下に配置した銅パッド領域に半田付けする必要があります。このパッド領域には、めっきビアの配列を含める必要があります。それによって内層の熱拡散プレーン領域や裏面の銅プレーンへと熱を伝導します。

デバイスに許容される最大接合部温度 (T_J) によって最大消費電力が決まります。消費電力および接合部温度は、ほとんどの場合、PCBとデバイス・パッケージの組み合わせによる熱抵抗 (θ_{JA})、および周囲空気温度 (T_A) によって、式 (7) のように関係付けられます。

$$T_J = T_A + (\theta_{JA} \times P_D) \quad (7)$$

残念ながら、この熱抵抗 (θ_{JA}) は、特定のPCB設計に組み込まれた熱拡散機能に大きく依存するため、合計銅面積、銅重量、および拡散プレーンの位置によって変化します。「熱特性について」の表に示される θ_{JA} の値は、JEDEC規格のPCBおよび銅拡散領域によって決定され、パッケージ熱特性の相対的な尺度としてのみ使用されます。適切に設計された熱レイアウトでは、 θ_{JA} は実際に、QFN パッケージの接合部-ケース (底面) 間熱抵抗 (θ_{JCbot}) に PCB の銅領域による熱抵抗の寄与を加えた値となります。 θ_{JCbot} がわかると、適切なヒート・シンクの最小量を使用して、図25で θ_{JA} を見積もることができます。 θ_{JCbot} は、「熱特性について」の表に示されています。

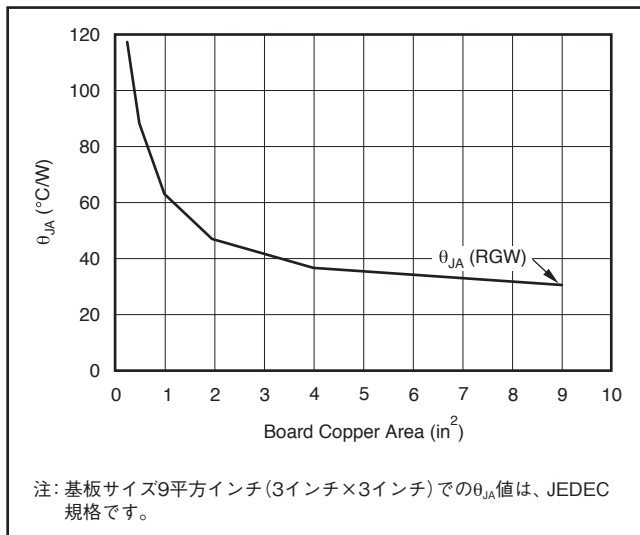


図 25. θ_{JA} 対 基板サイズ

接合部温度の見積もり

JEDEC規格では現在、PSI熱指標を使用して、標準的なPCB基板アプリケーション上の回路内でLDOの接合部温度を見積もることを推奨しています。これらの指標は厳密には熱抵抗ではなく、接合部温度の実際的かつ相対的な見積もり手段を提供するものです。これらのPSI指標は、銅拡散領域とはまったく独立して決定されます。主要な熱指標 (Ψ_{JT} および Ψ_{JB}) は「熱特性について」の表に示され、式 (8) に従って使用されます。

$$\Psi_{JT}: T_J = T_T + \Psi_{JT} \times P_D$$

$$\Psi_{JB}: T_J = T_B + \Psi_{JB} \times P_D \quad (8)$$

ここで

P_D は、式 (6) で説明される消費電力です。

T_T は、デバイス・パッケージの上部中央の温度です。

T_B は、パッケージの端部中央、デバイス・パッケージから1mmの位置で測定されたPCB表面温度です。

基板レイアウト

全体の性能を最大限に高めるため、すべての回路部品は回路基板の同じ側に実装し、それぞれのLDOピン接続に対して実用的な範囲でできる限り近づけて配置することを推奨します。入力および出力コンデンサおよびLDOグラウンド・ピンに対するグラウンド・リターン接続は、それぞれ互いにできる限り近づけて配置し、部品実装側の幅広い銅表面によって接続する必要があります。ビアや長いソリタールンを使用してLDO回路接続を作成することは、システムの性能に悪影響を与えるため、推奨しません。このグラウンドおよびレイアウト方式により、誘導性寄生成分が最小限に抑えられるため、負荷過渡電流およびノイズが低減され、回路の安定性が高まります。

また、グラウンド・リファレンス・プレーンの使用を推奨し、これはPCB自体に埋め込むか、またはPCB上で部品と反対側に配置する必要があります。このリファレンス・プレーンは、出力電圧の精度の確保およびノイズの遮蔽に役立ち、PowerPAD™と接続することで、サーマル・プレーンと同様にLDOデバイスからの熱の拡散 (シンク) に役立ちます。ほとんどのアプリケーションでは、熱に関する要件を満足するためにこのグラウンド・プレーンが必要となります。

www.ti.comからダウンロードできるTPS7A4700EVM-094評価モジュール (EVM) をレイアウトおよびアプリケーション設計の基準として使用できます。

パッケージ情報

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/ Ball Finish	MSL Peak Temp ⁽³⁾	Samples (Requires Login)
TPS7A4700RGWR	ACTIVE	VQFN	RGW	20	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	
TPS7A4700RGWT	ACTIVE	VQFN	RGW	20	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR	

⁽¹⁾ マーケティング・ステータスは次のように定義されています。
ACTIVE: 製品デバイスが新規設計用に推奨されています。
LIFEBUY: TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。
NRND: 新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。
PREVIEW: デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。
OBSOLETE: TIによりデバイスの生産が中止されました。

⁽²⁾ エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free(RoHS)、Pb-Free(RoHS Expert) およびGreen(RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。
TBD: Pb-Free/Green変換プランが策定されていません。
Pb-Free(RoHS): TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。
Pb-Free(RoHS Exempt): この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free(RoHS)と考えられます。
Green(RoHS & no Sb/Br): TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中のBrまたはSb重量が0.1%を超えない) ことを意味しています。

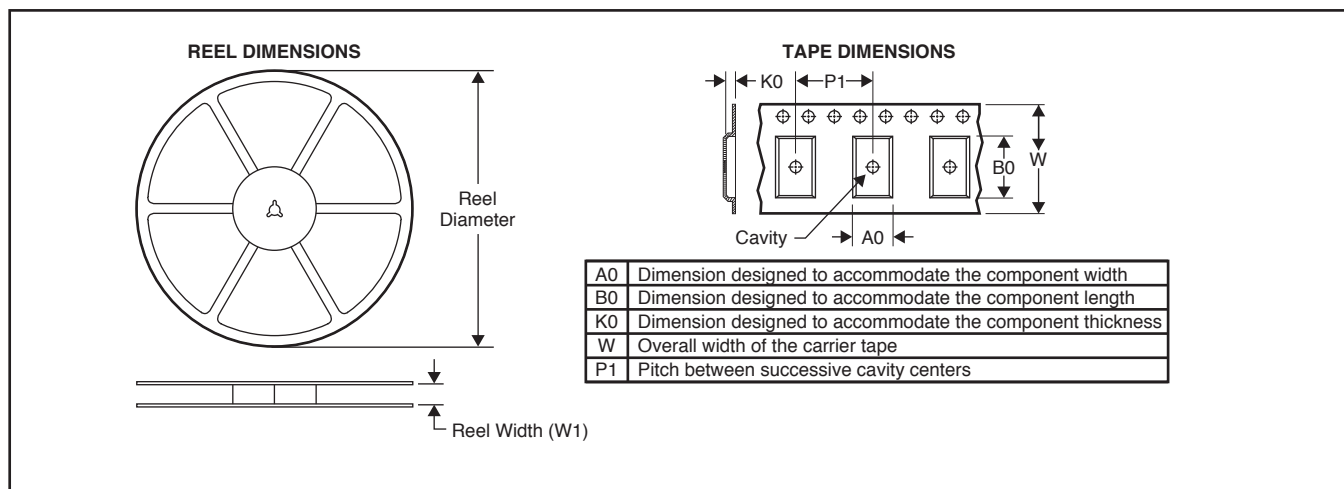
⁽³⁾ MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項: このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任は負いかねます。

パッケージ・マテリアル情報

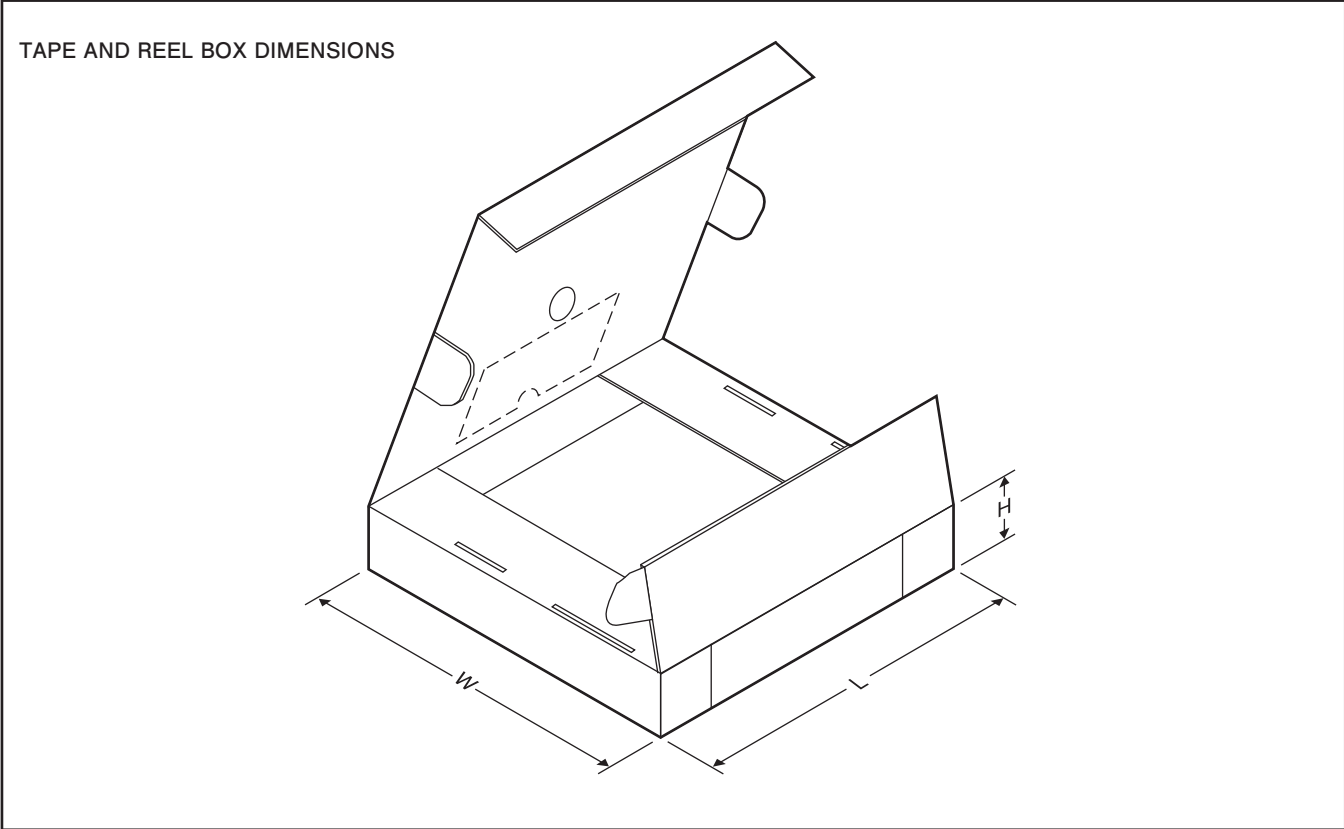
テープおよびリール・ボックス情報



*All dimensions are nominal

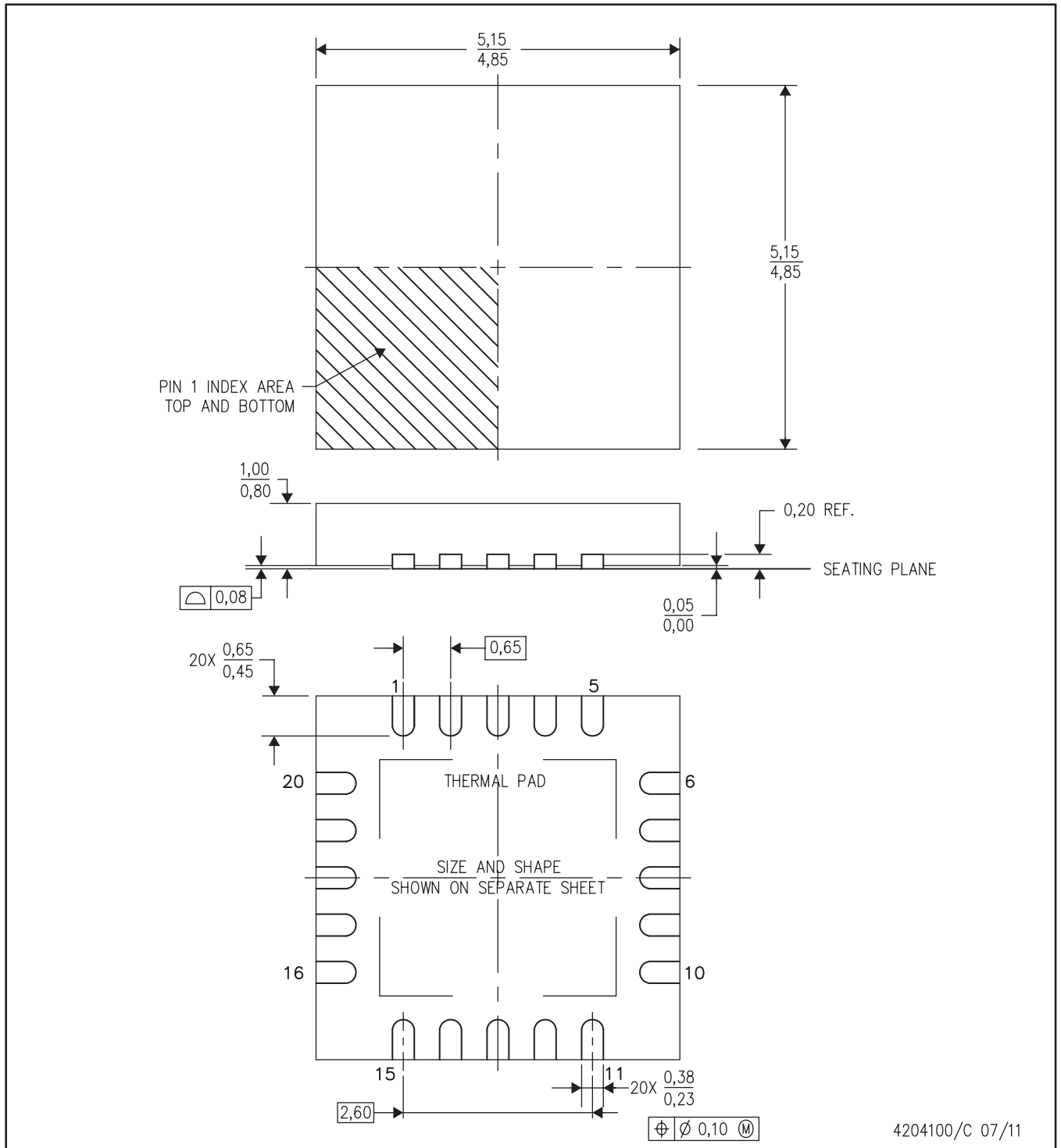
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7A4700RGWR	VQFN	RGW	20	3000	330.0	12.4	5.3	5.3	1.5	8.0	12.0	Q2
TPS7A4700RGWT	VQFN	RGW	20	250	180.0	12.4	5.3	5.3	1.5	8.0	12.0	Q2

パッケージ・マテリアル情報



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7A4700RGWR	VQFN	RGW	20	3000	367.0	367.0	35.0
TPS7A4700RGWT	VQFN	RGW	20	250	210.0	185.0	35.0



- 注：A. 直線寸法はすべてミリメートル単位です。寸法および許容誤差は、ASME Y14.5M-1994によります。
 B. 本図は予告なしに変更することがあります。
 C. QFN(クワッド・フラットパック・ノーリード)パッケージ構造。
 D. パッケージのサーマルパッドは、熱的および機構的特性を得るために基板に半田付けする必要があります。
 E. 露出サーマルパッドの寸法に関する詳細は、製品データシートをご覧ください。
 F. JEDEC MO-220に準拠します。

サーマルパッド・メカニカル・データ

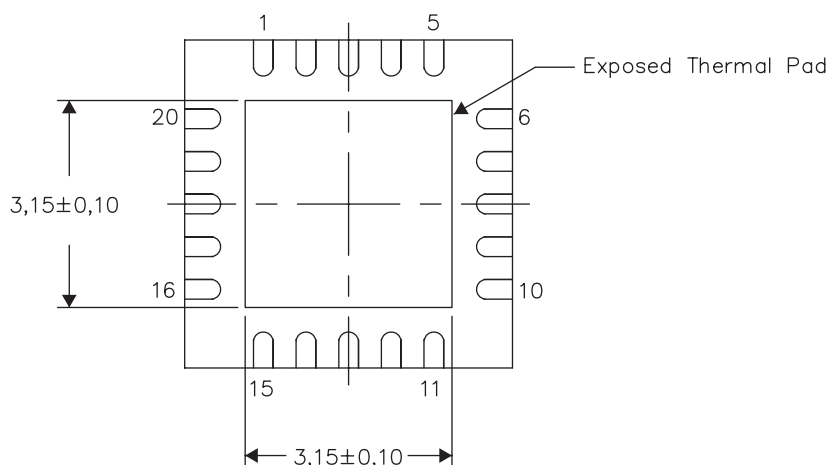
RGW(S-PVQFN-N20)

熱的特性に関する資料

このパッケージは外部のヒートシンクに直接接続できるよう設計された露出したサーマルパッドをもっています。サーマルパッドはプリント回路基板 (PCB) に直接はんだ付けされなければなりません。はんだ付けされることにより、PCBはヒートシンクとして使用できます。さらに、サーマルビアを使用することにより、サーマルパッドはグランドまたは電源プレーン(どちらか当てはまる方)、またはもう1つの方法としてPCBに設計された特別なヒートシンク構造に直接接続することができます。この設計により、集積回路 (IC) からの熱の移動が最適化されます。

クワッド・フラットパック・ノーリード (QFN) パッケージとその利点についての情報はアプリケーション・レポート“Quad Flatpack No-Lead Logic Packages”TI文献番号SLUA271を参照してください。この文献はホームページwww.ti.comで入手できます。

このパッケージのサーマルパッドの寸法は以下の図に示されています。



Bottom View

注：全ての線寸法の単位はミリメートルです。

4206352-2/J 07/11

サーマルパッド寸法図

RGW(S-PVQFN-N20)

Example Board Layout

Note D

16x0,65

3,8

5,8

20x0,3

20x0,95

3,85

5,75

Example Stencil Design

0,125mm Stencil Thickness
(Note E)

R0,15

4x1,3

0,3

3,85

5,75

68% Printed Solder Coverage

Center Pad Layout
(Note D)

9x0,3

1,0

3,15

Non Solder Mask Defined Pad

Example Solder Mask Opening
(Note F)

Pad Geometry
(Note C)

R0,175

1,0

0,07 all around

0,35

4207623/E 07/11

F. 信号パッド間および信号パッド周囲の半田マスク許容差については、基板組み立て拠点にお問い合わせください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated