TPS793-Q1 車載、超低ノイズ、高 PSRR、高速 RF、200mA、低ドロップアウトリニアレギュレータ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度グレード 1:-40℃～+125℃、T_A
- 固定オプションと可変オプションが用意されています
- 高 PSRR:100kHz 時に 43dB (従来のチップ)
- 高 PSRR:100kHz 時に 39dB (新しいチップ)
- 高速起動:50µs (従来チップ)
- 500µs の内部ソフトスタートにより突入電流を低減 (新しいチップ)
- 2.2µF のセラミックコンデンサで安定動作
- 全負荷時の非常に低いドロップアウト 112mV (代表値)
- パッケージ:
  - 6 ピン SOT-23
  - 5 ピン SOT-23

2 アプリケーション

- 車載ヘッド ユニット
- ハイブリッド インストルメント クラスタ
- テレマティクス制御ユニット
- DC/DC コンバータ

3 説明

TPS793-Q1 は、低ドロップアウト (LDO)、ローパワー、リニア電圧レギュレータです。このデバイスは、高い電源除去比 (PSRR)、超低ノイズ、高速起動、優れたラインおよび負荷過渡応答を特長としています。TPS793-Q1 は、200mA を供給するスモールアウトラインの SOT-23 パッケージで供給されます。

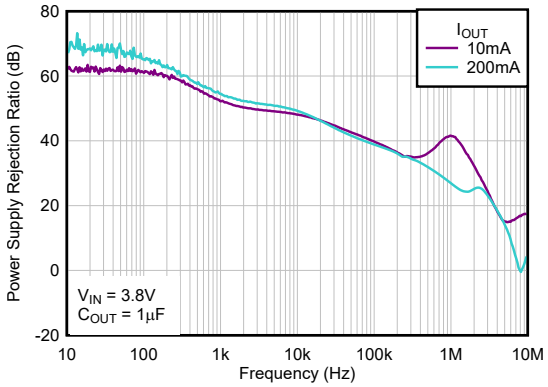
TPS793-Q1 はポストレギュレーションアプリケーション向けに設計されており、3.3V などの一般的な電圧レールをサポートする、固定および可変のオプションを提供します。低ノイズで PSRR 性能が優れているため、このデバイスは電力の制約が厳しいアナログ負荷に適しています。

TPS793-Q1 は、過電流条件の際に消費電力を低減するための、フォールドバック電流制限機能を備えています。EN 入力はシステムの電源シーケンス要件を満たすのに役立ちます。内部ソフトスタートでは起動を制御して突入電流を少なくできるため、小さい容量の入力コンデンサを使用できます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TPS793-Q1	DBV (SOT-23、6)	2.9mm × 2.8mm
	DBV (SOT-23、5)	2.8mm × 2.8mm

(1) 詳細については、*メカニカル、パッケージ、および注文情報*をご覧ください。
(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



TPS79328-Q1 リップル除去と周波数との関係 (新しいチップ)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....5
5.4 熱に関する情報.....5
5.5 電気的特性.....6
5.6 代表的特性.....9
6 詳細説明.....15
6.1 概要.....15
6.2 機能ブロック図.....15
6.3 機能説明.....17
6.4 デバイスの機能モード.....20
7 アプリケーションと実装.....21
7.1 アプリケーション情報.....21
7.2 代表的なアプリケーション.....22
7.3 電源に関する推奨事項.....25
7.4 レイアウト.....25
8 デバイスおよびドキュメントのサポート.....27
8.1 デバイス サポート.....27
8.2 ドキュメントのサポート.....27
8.3 ドキュメントの更新通知を受け取る方法.....27
8.4 サポート・リソース.....27
8.5 商標.....29
8.6 静電気放電に関する注意事項.....29
8.7 用語集.....29
9 改訂履歴.....29
10 メカニカル、パッケージ、および注文情報.....30

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

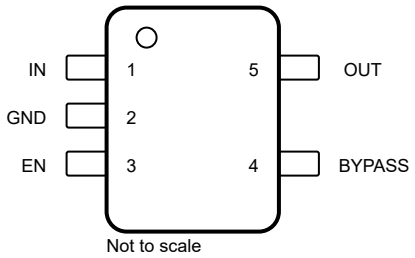


図 4-1. 固定オプション (従来のチップ) : DBV パッケージ、5 ピン SOT-23 (上面図)

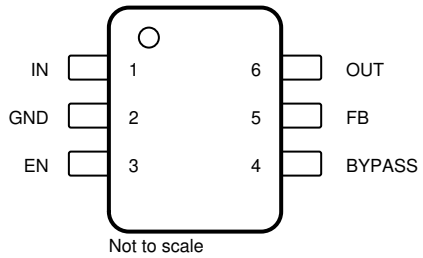


図 4-2. 可変オプション (従来のチップ) : DBV パッケージ、6 ピン SOT-23 (上面図)

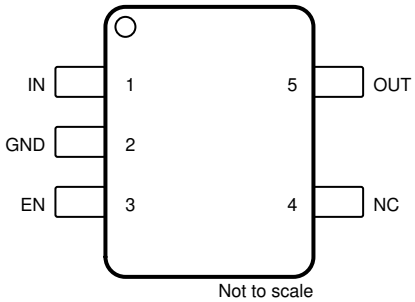


図 4-3. 固定オプション (新しいチップ) : DBV パッケージ、5 ピン SOT-23 (上面図)

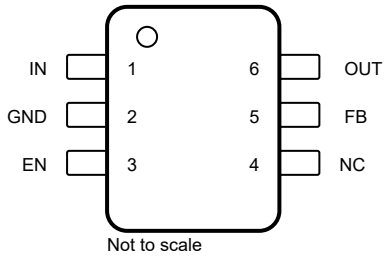


図 4-4. 可変オプション (新チップ) : DBV パッケージ、6 ピン SOT-23 (上面図)

表 4-1. ピンの機能

ピン					タイプ	説明
名称	ADJ (従来)	FIXED (従来)	ADJ (新)	FIXED (新)		
バイパス	4	4	—	—	—	従来のチップ : このピンに外付けバイパスコンデンサを接続して内部抵抗と連動させると、ローパスフィルタが形成され、レギュレータのノイズがさらに低減されます。
EN	3	3	3	3	I	デバイスをイネーブルまたはシャットダウンするイネーブル入力。EN が論理 High になると、デバイスはイネーブルになります。デバイスが論理 Low になると、デバイスはシャットダウンになります。
FB	5	—	5	—	I	可変デバイスの帰還入力電圧
GND	2	2	2	2	—	レギュレータグランド
IN	1	1	1	1	I	デバイスへの入力
NC	—	—	4	4	—	新しいチップ : 接続の無いピンこのピンは内部接続されていません。最高の放熱性能を得るためにグランドに接続するか、フローティングのままにします。
OUT	6	5	6	5	O	デバイスのレギュレーション済み出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) [(1)]

		最小値	最大値	単位
電圧	V_{IN} 、V_{EN}、V_{OUT} (従来のチップ)	-0.3	6	V
	V_{IN} 、V_{EN} (新しいチップ)	-0.3	6.5	V
	V_{OUT} (新しいチップ)	-0.3	V_{IN} + 0.3 [(2)]	
電流	出力、I_{OUT}	内部的に制限		
温度	動作時の接合部温度、T_J	-40	150	℃
	保存、T_{stg}	-65	150	℃

(1) *絶対最大定格*を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、「*推奨動作条件*」に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 絶対最大定格は V_{IN} + 0.3V または 6.5V のどちらか小さい方です。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 [(1)]	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠 [(2)]	±250	
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠 [(3)]	±500	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。
(2) 従来のチップ。
(3) 新しいチップ。

Copyright © 2025 Texas Instruments Incorporated

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{IN}	入力電圧	2.7		5.5	V
V_{EN}	イネーブル電圧	0		5.5	V
V_{OUT}	出力電圧	V_{FB}		5	V
I_{OUT}	出力電流	0		200	mA
T_J	動作時接合部温度	-40		125	℃
C_{IN}	入力コンデンサ	0.1	1		µF
C_{OUT}	出力コンデンサ (従来のチップ)	2.2[(1)]	10		µF
	出力コンデンサ (新しいチップ)	1[(2)]	10	200	µF
C_{NR}	ノイズ低減コンデンサ[(3)]	0	10		nF
C_{FF}	フィードフォワードコンデンサ (従来のチップ)		15		pF
	フィードフォワードコンデンサ (新しいチップ)[(4)]	0	10	100	nF
R_2	低帰還抵抗 (従来のチップ)		30.1		kΩ
F_{EN}	トグル周波数を有効にする (新しいチップ)			10	kHz

(1) 従来のチップのみ:C_{FF} を使用しないまたは V_{OUT}(nom) < 1.8V の場合、推奨される最小 C_{OUT} = 4.7µF です。
(2) 最小実効容量は 0.47µF です。
(3) 従来のチップ専用です。新しいチップにはノイズリダクションピンがありません。
(4) フィードフォワードコンデンサはオプションで、安定性のためには必要ありません。

5.4 熱に関する情報

熱評価基準[(1)]		TPS793-Q1			単位
		DBV (SOT23-6)	DBV (SOT23-6)[(2)]	DBV (SOT23-5)[(2)]	
		6 ピン	6 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	225.1	171.7	182.3	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	78.4	110.8	114.8	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	54.7	85.4	79.1	℃/W
ψ_{JT}	接合部から上面への特性パラメータ	3.3	54.4	56.8	℃/W
ψ_{JB}	接合部から基板への特性パラメータ	53.8	85.2	78.8	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション ノートを参照してください。
(2) 新しいチップ。

5.5 電気的特性

推奨動作温度範囲全体、T_J = –40°C から +125°C V_{EN} = V_{IN}、V_{IN} = $V_{O(typ)}$ + 1V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{NR} = 0.01µF (従来のチップ) (特に記述のない限り)。標準値はすべて、T_J = 25℃ における値です。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{IN}	入力電圧範囲			2.7		5.5	V
I_{OUT}	連続出力電流			0		200	mA
T_J	動作時接合部温度			-40		125	℃
V_{OUT}	出力電圧範囲	TPS79301-Q1		V_{FB}		5.5 – $V_{DROPOUT}$	V
		TPS79318-Q1	0µA < I_{OUT} < 200mA、2.8V < V_{IN} < 5.5V	1.764	1.8	1.836	
		TPS79325-Q1	0µA < I_{OUT} < 200mA、3.5V < V_{IN} < 5.5V	2.45	2.5	2.55	
		TPS79328-Q1	0µA < I_{OUT} < 200mA、3.8V < V_{IN} < 5.5V	2.744	2.8	2.856	
		TPS79330-Q1 (従来のチップのみ)	0µA < I_{OUT} < 200mA、4V < V_{IN} < 5.5V	2.94	3	3.06	
		TPS79333-Q1	0µA < I_{OUT} < 200mA、4.3V < V_{IN} < 5.5V	3.234	3.3	3.366	
		TPS793475-Q1 (従来のチップのみ)	0µA < I_{OUT} < 200mA、5.25V < V_{IN} < 5.5V	4.655	4.75	4.845	
I_{GND}	静止電流 (GND 電流)	0µA ≤ I_O ≤ 200mA (従来のチップ)			170	220	µA
		0µA ≤ I_O ≤ 200mA (新しいチップ)			250	1000	
$\Delta V_{OUT}/\Delta I_{OUT}$	負荷レギュレーション	0µA ≤ I_{OUT} ≤ 200mA			5		mV
$\Delta V_{OUT}/\Delta VIN$	ライン レギュレーション	V_{OUT} + 1V ≤ V_{IN} ≤ 5.5V			0.05	0.12	%/V
Vn	出力ノイズ電圧 TPS79328-Q1	BW = 100Hz ～ 100kHz、I_{OUT} = 200mA	C_{NR} = 0.001µF		55		$µV_{RMS}$
		BW = 100Hz ～ 100kHz、I_{OUT} = 200mA	C_{NR} = 0.0047µF		36		
		BW = 100Hz ～ 100kHz、I_{OUT} = 200mA	C_{NR} = 0.01µF		33		
		BW = 100Hz ～ 100kHz、I_{OUT} = 200mA	C_{NR} = 0.1µF		32		
		BW = 100Hz ～ 100kHz、I_{OUT} = 200mA	(新しいチップ)		69		
t_{STR}	時間、起動 (TPS79328-Q1)	R_L = 14 Ω、C_{OUT} = 1µF	C_{NR} = 0.001µF		50		µs
			C_{NR} = 0.0047µF		50		
			C_{NR} = 0.01µF		50		
			(新しいチップ)		500		

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 (続き)

推奨動作温度範囲全体、T_J = –40°C から +125°C V_{EN} = V_{IN}、V_{IN} = $V_{O(typ)}$ + 1V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{NR} = 0.01µF (従来のチップ) (特に記述のない限り)。標準値はすべて、T_J = 25℃ における値です。

パラメータ		テスト条件		最小値	標準値	最大値	単位
I_{CL}	出力電流制限	V_{OUT} = 0V (従来のチップ)		285		600	mA
		V_{IN} = $V_{OUT(NOM)}$ + 1V、V_{OUT} = 0.9 x $V_{OUT(NOM)}$ (新しいチップのみ)		320		460	
I_{SC}	回路短絡時の電流制限	V_{OUT} = 0V (新しいチップ)			175		mA
I_{SHDN}	シャットダウン電流	V_{EN} = 0V、2.7V < V_I < 5.5V (従来のチップ)			0.07	1	µA
		V_{EN} = 0V、2.7V < V_I < 5.5V (新しいチップ)			0.01	1	
$V_{EN(HI)}$	High レベルイネーブル入力電圧	2.7V ≤ V_{IN} ≤ 5.5V		1.7		V_{IN}	V
		2.7V ≤ V_{IN} ≤ 5.5V (新しいチップ)		0.85		V_{IN}	
$V_{EN(LOW)}$	Low レベルイネーブル入力電圧	2.7V ≤ V_{IN} ≤ 5.5V		0		0.7	V
		2.7V ≤ V_{IN} ≤ 5.5V (新しいチップ)		0		0.425	
I_{EN}	イネーブル ピンの電流	V_{EN} = 0 V		-1		1	µA
I_{FB}	フィードバック ピンの電流	V_{FB} = 1.8V (従来のチップ)				1	µA
		V_{FB} = 1.8V (新しいチップ)				0.05	
V_{REF}	内部リファレンス			1.201	1.225	1.25	V
PSRR	電源除去比 (TPS79328-Q1)	f = 100Hz	I_{OUT} = 10mA (従来のチップ)		70		dB
			I_{OUT} = 10mA (新しいチップ)		64		
			I_{OUT} = 200mA (従来のチップ)		68		
			I_{OUT} = 200mA (新しいチップ)		65		
		f = 10kHz	I_{OUT} = 200mA (従来のチップ)		70		
			I_{OUT} = 200mA (新しいチップ)		49		
		f = 100kHz	I_{OUT} = 200mA (従来のチップ)		43		
			I_{OUT} = 200mA (新しいチップ)		39		

5.5 電気的特性 (続き)

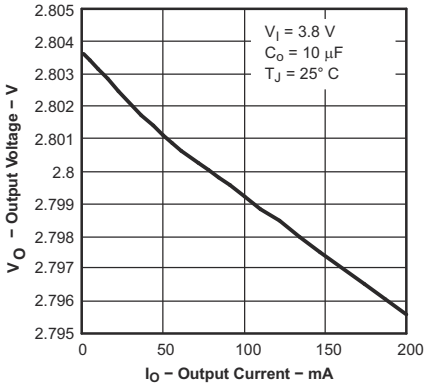
推奨動作温度範囲全体、T_J = –40°C から +125°C V_{EN} = V_{IN}、V_{IN} = $V_{O(typ)}$ + 1V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{NR} = 0.01µF (従来のチップ) (特に記述のない限り)。標準値はすべて、T_J = 25℃ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{DO}	ドロップアウト電圧 (TPS79328-Q1)	V_{IN}= V_{OUT} - 0.1V、I_{OUT} = 200mA		120	200	mV
	ドロップアウト電圧 (TPS793285-Q1) (従来のチップのみ)	V_{IN} = V_{OUT} - 0.1V、I_{OUT} = 200mA		120	200	
	ドロップアウト電圧 (TPS79330-Q1)	V_{IN} = V_{OUT} - 0.1V、I_{OUT} = 200mA		112	200	
	ドロップアウト電圧 (TPS79333-Q1)	V_{IN} = V_{OUT} - 0.1V、I_{OUT} = 200mA		112	180	
	ドロップアウト電圧 (TPS793475-Q1) (従来のチップのみ)	V_{IN} = V_{OUT} - 0.1V、I_{OUT} = 200mA		77	125	
V_{UVLO}	UVLO スレッショルド	V_{IN} 立ち上がり (従来のチップ)	2.25		2.65	V
		VIN 立ち上がり (新しいチップ)	1.32		1.6	
$V_{UVLO(HYST)}$	UVLO ヒステリシス	T_J = 25°C、V_{CC} 立ち上がり (従来のチップ)		100		mV
		T_J = 25°C、V_{CC} 立ち上がり (新しいチップ)		130		

Copyright © 2025 Texas Instruments Incorporated

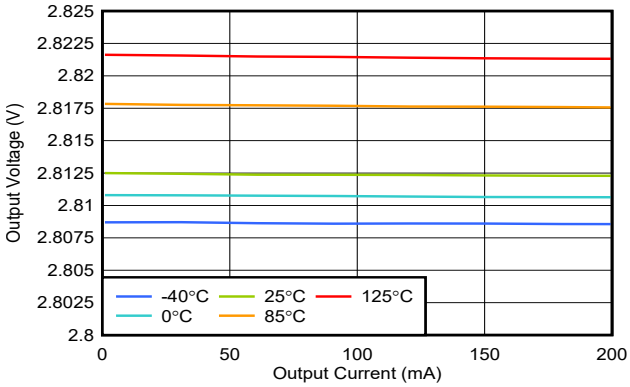
5.6 代表的特性

推奨動作温度範囲全体、T_J = –40°C ～ +125°C V_{EN} = V_{IN}、V_{IN} = $V_{O(typ)}$ + 1V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{NR} = 0.01µF (従来のチップ) (特に記述のない限り)。標準値はすべて T_J = 25°C における値



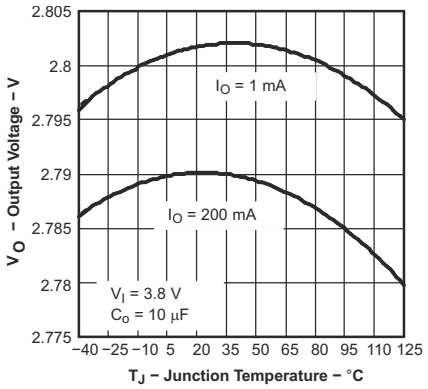
従来のチップ

図 5-1. TPS793-Q1 の出力電圧と出力電流との関係



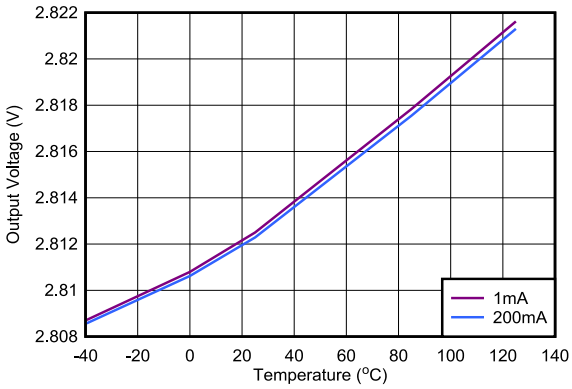
新しいチップ

図 5-2. TPS793-Q1 の出力電圧と出力電流との関係



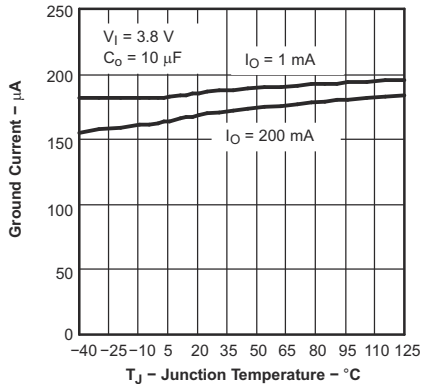
従来のチップ

図 5-3. TPS793-Q1 の出力電圧と接合部温度との関係



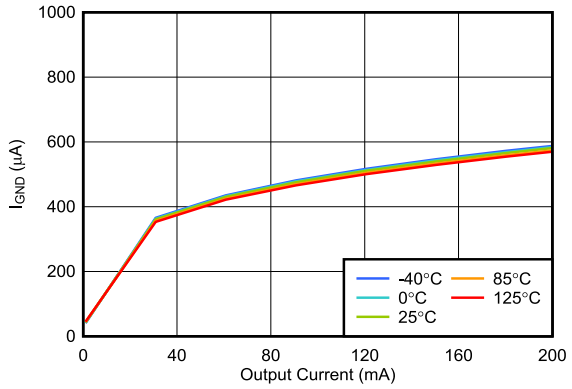
新しいチップ

図 5-4. TPS793-Q1 の出力電圧と接合部温度との関係



従来のチップ

図 5-5. TPS793-Q1 接地電流と接合部温度との関係

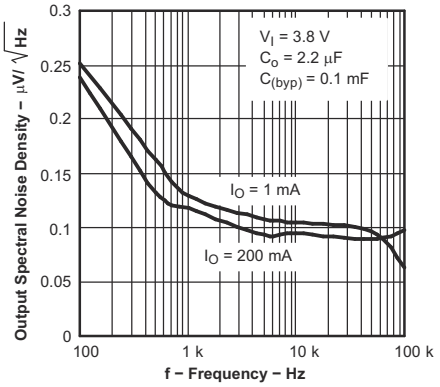


新しいチップ

図 5-6. TPS793-Q1 接地電流と接合部温度との関係

5.6 代表的特性 (続き)

推奨動作温度範囲全体、T_J = –40°C ～ +125°C V_{EN} = V_{IN}、V_{IN} = $V_{O(typ)}$ + 1V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{NR} = 0.01µF (従来のチップ) (特に記述のない限り)。標準値はすべて T_J = 25°C における値



従来のチップ

図 5-7. TPS793-Q1 出力スペクトルノイズ密度と周波数との関係

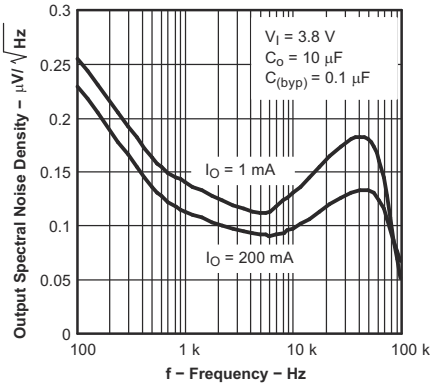


図 5-8. TPS793-Q1 出力スペクトルノイズ密度と周波数との関係

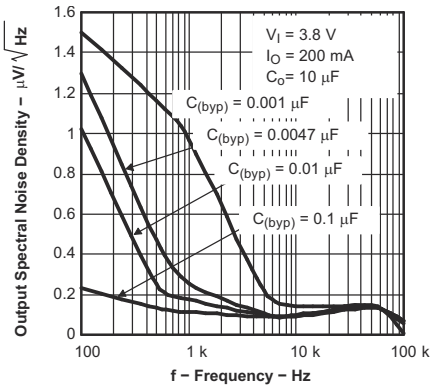
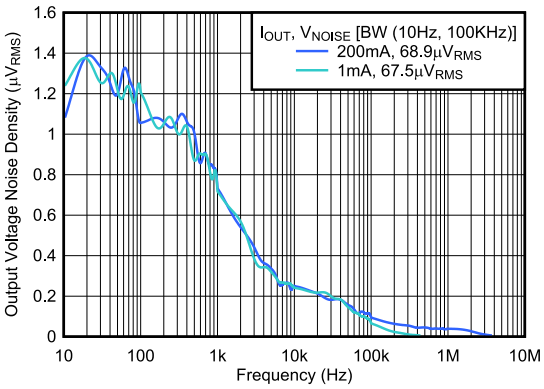
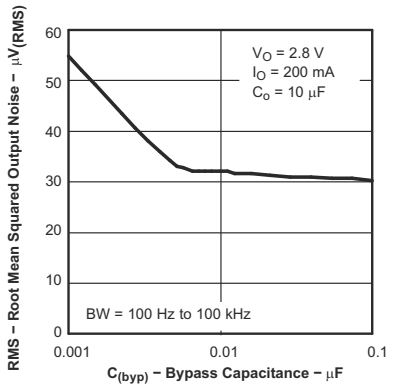


図 5-9. TPS793-Q1 出力スペクトルノイズ密度と周波数との関係



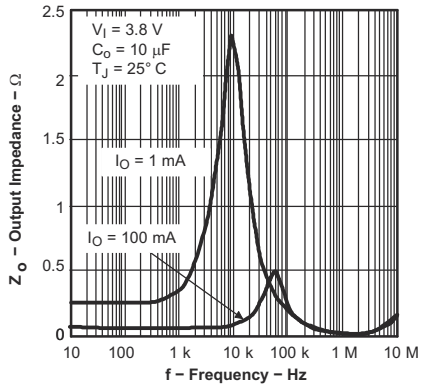
C_{OUT} = 10µF (新しいチップ)

図 5-10. TPS793-Q1 出力スペクトルノイズ密度と周波数との関係



従来のチップ

図 5-11. 実効値出力ノイズとバイパス容量との関係



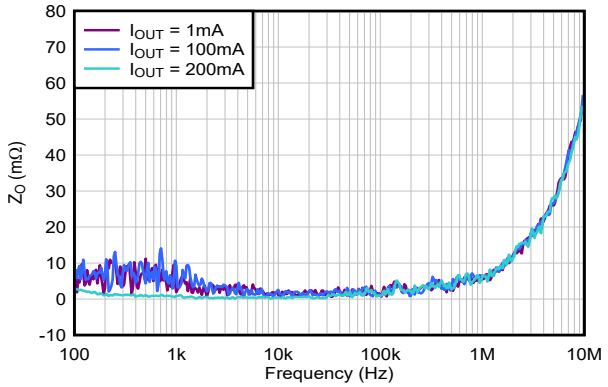
従来のチップ

図 5-12. 出力インピーダンス 対 周波数

Copyright © 2025 Texas Instruments Incorporated

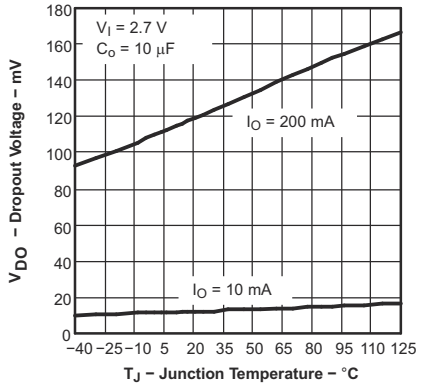
5.6 代表的特性 (続き)

推奨動作温度範囲全体、T_J = –40°C ～ +125°C V_{EN} = V_{IN}、V_{IN} = $V_{O(typ)}$ + 1V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{NR} = 0.01µF (従来のチップ) (特に記述のない限り)。標準値はすべて T_J = 25°C における値



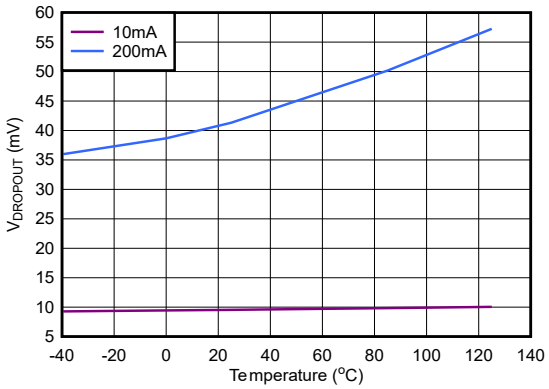
新しいチップ

図 5-13. 出力インピーダンス 対 周波数



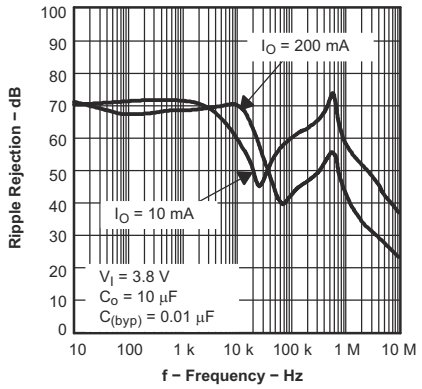
従来のチップ

図 5-14. TPS793-Q1 ドロップアウト電圧と接合部温度との関係



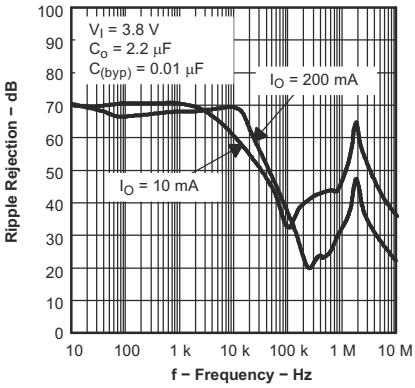
新しいチップ

図 5-15. TPS793-Q1 ドロップアウト電圧と接合部温度との関係



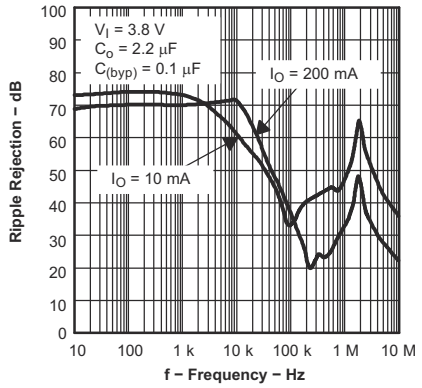
従来のチップ

図 5-16. TPS793-Q1 リップル除去と周波数との関係



従来のチップ

図 5-17. TPS793-Q1 リップル除去と周波数との関係

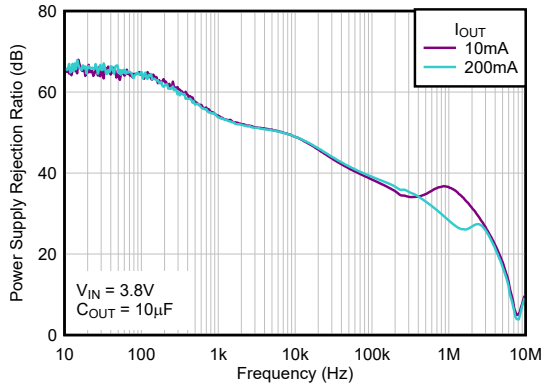


従来のチップ

図 5-18. TPS793-Q1 リップル除去と周波数との関係

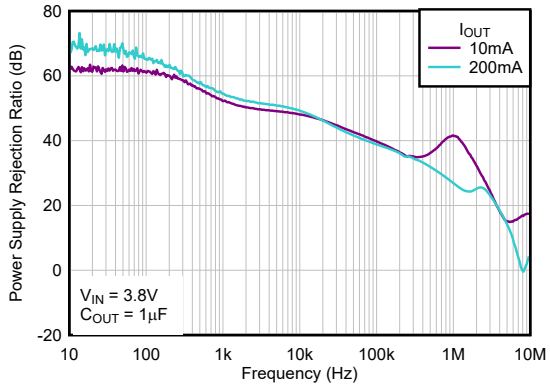
5.6 代表的特性 (続き)

推奨動作温度範囲全体、T_J = –40°C ～ +125°C V_{EN} = V_{IN}、V_{IN} = $V_{O(typ)}$ + 1V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{NR} = 0.01µF (従来のチップ) (特に記述のない限り)。標準値はすべて T_J = 25°C における値



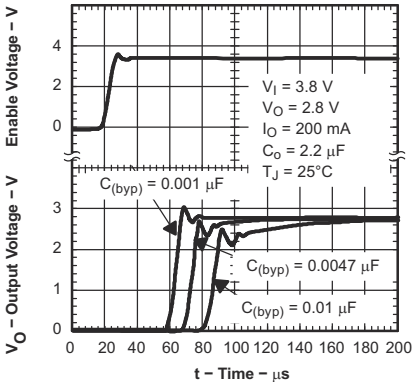
新しいチップ

図 5-19. TPS793-Q1 リップル除去と周波数との関係



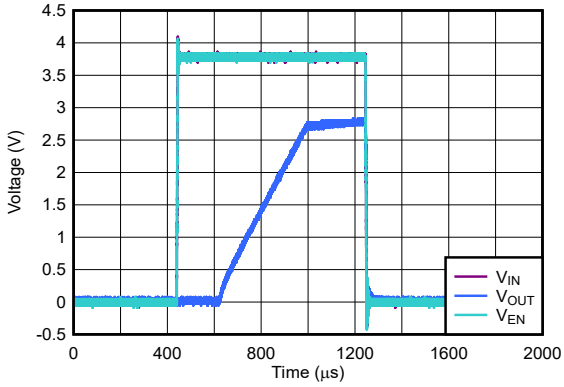
新しいチップ

図 5-20. TPS793-Q1 リップル除去と周波数との関係



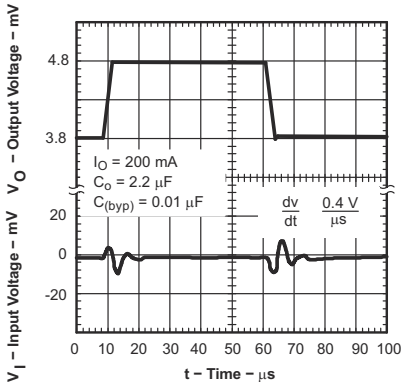
従来のチップ

図 5-21. TPS793-Q1 出力電圧およびイネーブル電圧と時間との関係 (スタートアップ)



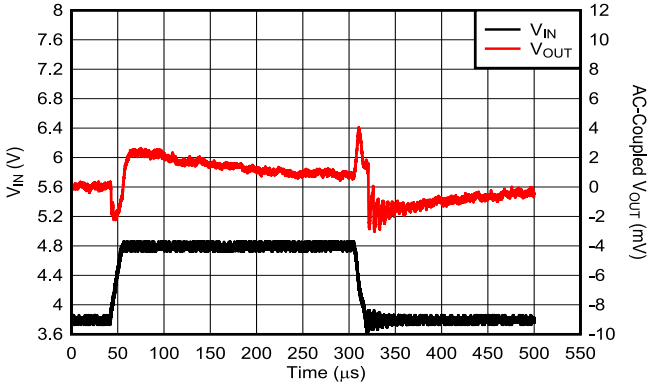
新しいチップ

図 5-22. TPS793-Q1 出力電圧、イネーブル電圧と時間との関係 (スタートアップ)



従来のチップ

図 5-23. TPS793-Q1 のライン過渡応答



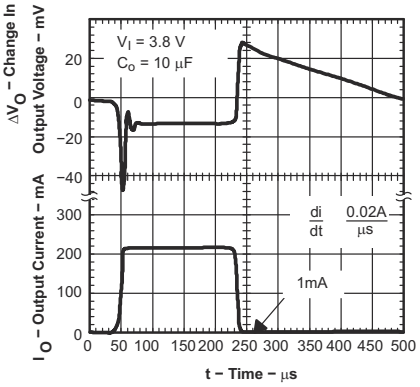
新しいチップ、I_{OUT} = 200mA、C_{OUT} = 2.2µF、dV/dt = 0.4V/µs

図 5-24. TPS793 のライン過渡応答

Copyright © 2025 Texas Instruments Incorporated

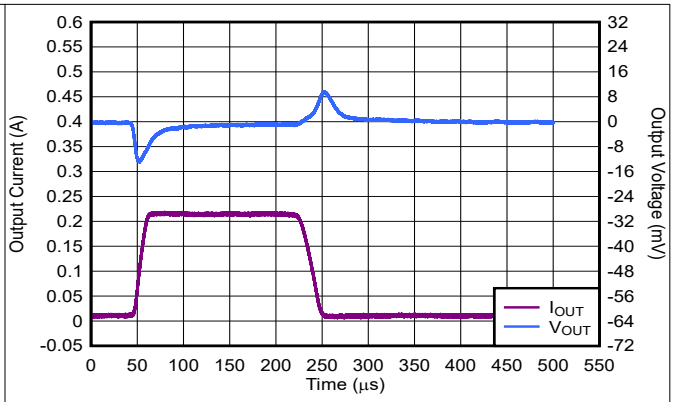
5.6 代表的特性 (続き)

推奨動作温度範囲全体、T_J = –40°C ～ +125°C V_{EN} = V_{IN}、V_{IN} = $V_{O(typ)}$ + 1V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{NR} = 0.01µF (従来のチップ) (特に記述のない限り)。標準値はすべて T_J = 25°C における値



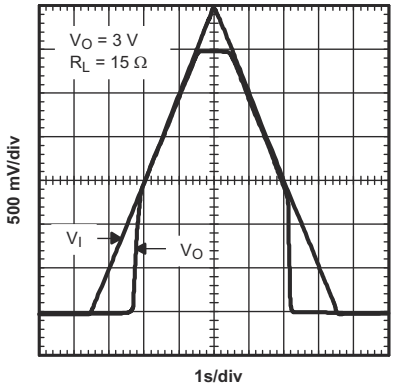
従来のチップ

図 5-25. TPS793-Q1 の負荷過渡応答



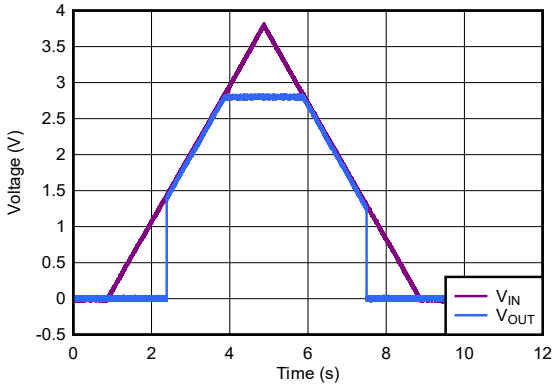
新しいチップ、C_{OUT} = 10µF、dI/dt = 0.02A/µs

図 5-26. TPS79328 の負荷過渡応答



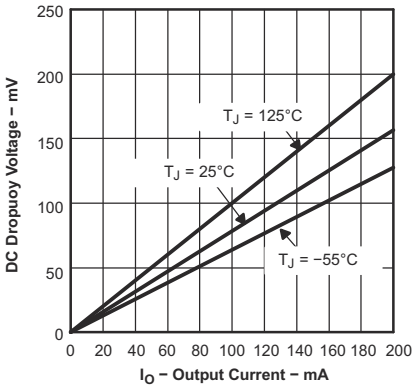
従来のチップ

図 5-27. パワーアップおよびパワーダウン



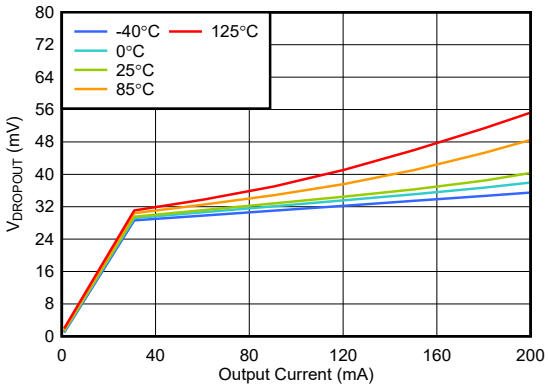
新しいチップ

図 5-28. パワーアップおよびパワーダウン



従来のチップ

図 5-29. ドロップアウト電圧と出力電流との関係

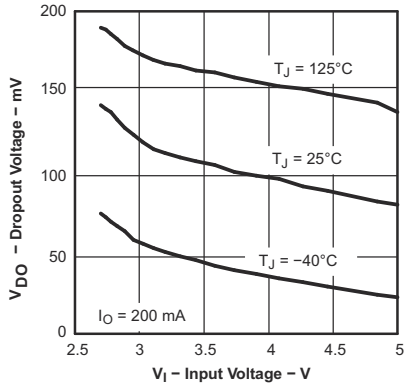


新しいチップ

図 5-30. ドロップアウト電圧と出力電流との関係

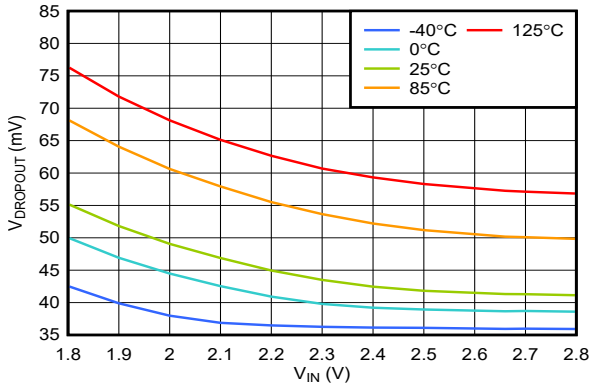
5.6 代表的特性 (続き)

推奨動作温度範囲全体、T_J = –40°C ～ +125°C V_{EN} = V_{IN}、V_{IN} = $V_{O(typ)}$ + 1V、I_{OUT} = 1mA、C_{OUT} = 10µF、C_{NR} = 0.01µF (従来のチップ) (特に記述のない限り)。標準値はすべて T_J = 25°C における値



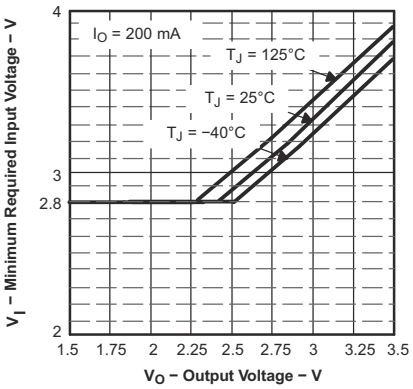
従来のチップ

図 5-31. TPS793-Q1 ドロップアウト電圧と入力電圧との関係



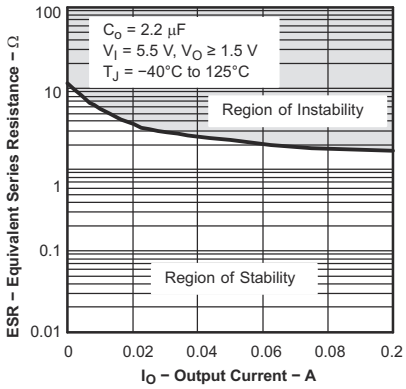
新しいチップ、I_{OUT} = 200mA

図 5-32. TPS793-Q1 ドロップアウト電圧と入力電圧との関係



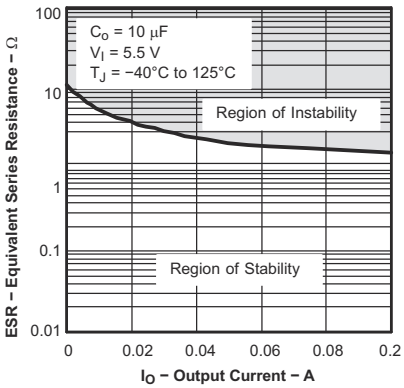
従来のチップ

図 5-33. 最小要求入力電圧と出力電圧との関係



従来のチップ

図 5-34. 安定等価直列抵抗 (ESR) の標準的な領域と出力電流との関係



従来のチップ

図 5-35. 安定等価直列抵抗 (ESR) の標準的な領域と出力電流との関係

Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

TPS793-Q1 は低ドロップアウト、高 PSRR、高精度リニア電圧レギュレータで、ノイズに敏感な、バッテリ駆動機器での使用に最適化されており、優れた過渡性能を持ちます。これらの特性があるため、このデバイスは大半の車載アプリケーションに適した設計になっています。

このレギュレータは、電流制限、出力イネーブル、アクティブ放電、低電圧誤動作防止 (UVLO)、過熱保護機能を備えています。

6.2 機能ブロック図

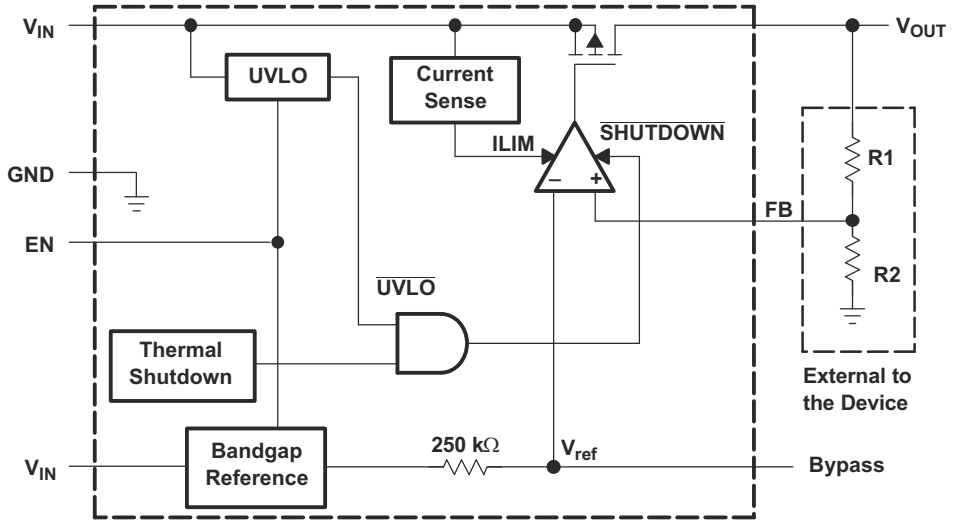


図 6-1. 可変バージョン (従来のチップ)

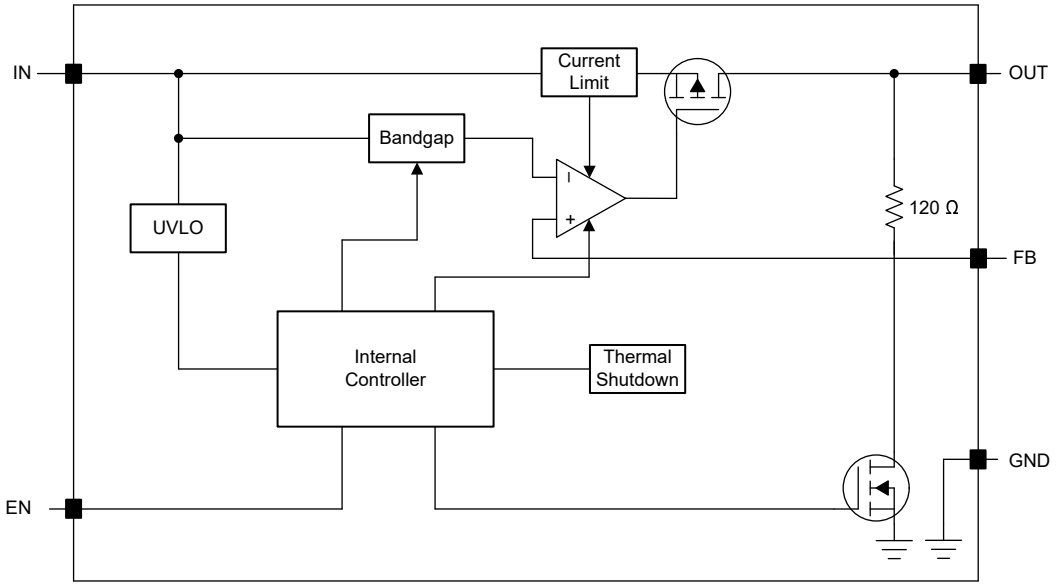


図 6-2. 可変バージョン (新しいチップ)

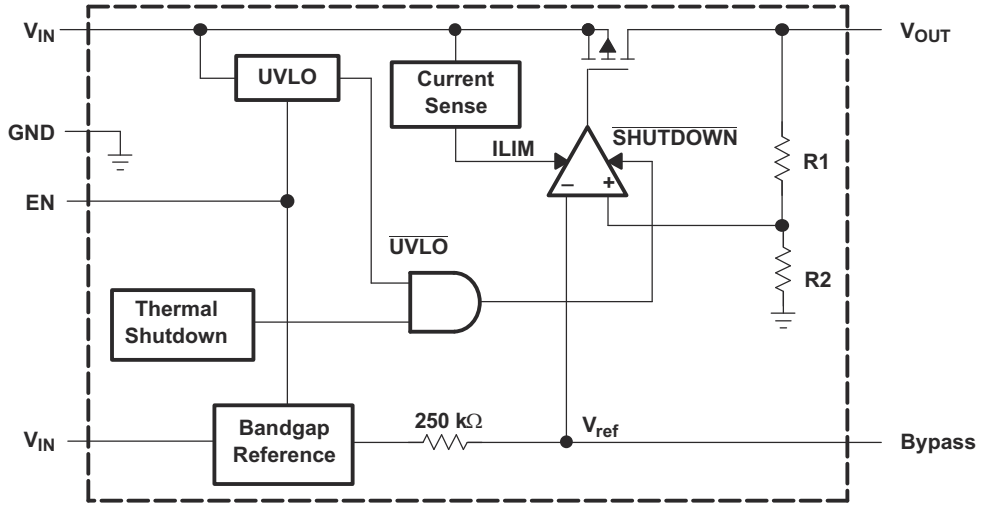


図 6-3. 固定バージョン (従来のチップ)

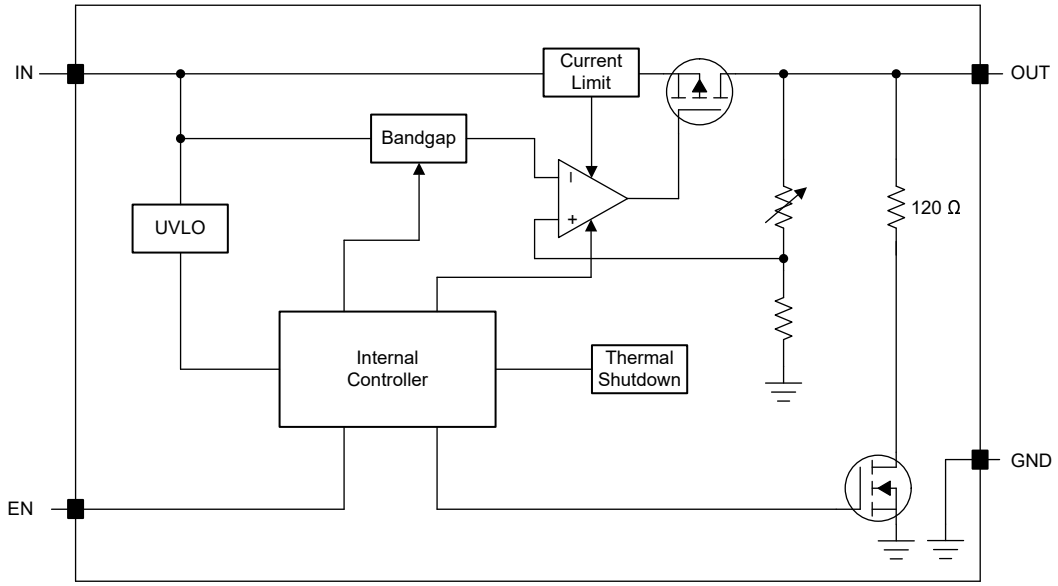


図 6-4. 固定バージョン (新しいチップ)

Copyright © 2025 Texas Instruments Incorporated

6.3 機能説明

6.3.1 低電圧誤動作防止 (UVLO)

TPS793-Q1 は、入力電圧が立ち上がり UVLO 電圧より高くなるまで出力をディセーブルにする、低電圧誤動作防止 (UVLO) 回路を使用しています。この回路により、電源電圧が内部回路の動作範囲 $V_{IN(min)}$ よりも低い場合に、デバイスの予測不能な動作を防止します。

UVLO 回路を使用すると、入力電源が最小動作電圧範囲に達する前にデバイスはディセーブル状態を維持し、入力電源が急減するとデバイスは確実にシャットダウンします。各種入力電圧イベントに対する UVLO 回路の応答を、図 6-5 に示します。この図は、次の部分に分かれています:

- 領域 A:入力が UVLO の立ち上がりスレッショルドに達するまで、デバイスは開始しません。
- 領域 B:通常動作、デバイスをレギュレーション。
- 領域 C:UVLO 立ち下がりスレッショルドを上回るブラウンアウト イベント (UVLO 立ち上がりスレッショルド - UVLO ヒステリシス)。出力がレギュレーション範囲外になる可能性がありますが、デバイスはイネーブルを維持します。
- 領域 D:通常動作、デバイスをレギュレーション。
- 領域 E:UVLO 立ち下がりスレッショルドを下回るブラウンアウト イベント。ほとんどの場合、デバイスはディセーブルされており、負荷およびアクティブ放電回路によって出力が低下します。入力電圧が UVLO の立ち上がりスレッショルドに達すると、デバイスは再びイネーブルになり、通常の起動が実行されます。
- 領域 F:通常動作の後、入力電圧が UVLO の下降スレッショルドまで低下します。
- 領域 G:入力電圧が UVLO 立ち下がりスレッショルドから 0V まで低下すると、デバイスはディスエーブルになります。負荷およびアクティブ放電回路により、出力は低下します。

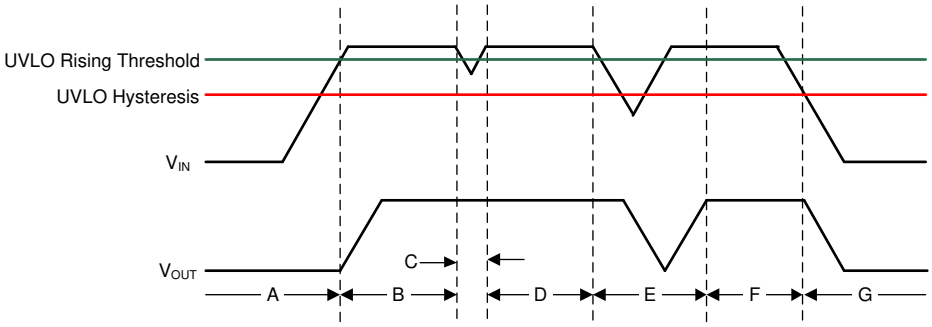


図 6-5. UVLO の標準動作

6.3.2 シャットダウン

イネーブルピン (EN) はアクティブ High です。EN ピンが強制的に $V_{EN(High)}$ を上回るようにして、デバイスを有効にします。最大 EN ピンの Low レベル入力電圧を下回るように EN ピンを強制して、デバイスをオフにします (「*電気的特性*」表を参照)。シャットダウン機能が不要な場合は、EN ピンを IN に接続します。

6.3.3 フォールドバック電流制限

TPS793-Q1 には内部電流制限と過熱保護機能が搭載されています。通常動作時中、TPS793-Q1 は出力電流を約 400mA に制限します。電流制限が作動すると、出力電圧は過電流状態が終了するまで直線的に戻ります。電流制限はデバイスの全体的な故障を防ぐように設計されていますが、パッケージの消費電力定格またはデバイスの絶対最大電圧定格を超えないように注意してください。

このデバイスには、内部に電流制限回路があり、過渡的な高負荷電流障害または短絡イベントの時にレギュレータを保護します。電流制限は、ブリック ウォール フォールドバック方式です。フォールドバック電圧 ($V_{FOLDBACK}$) では、電流制限はブリック ウォール方式からフォールドバック方式に遷移します。出力電圧が $V_{FOLDBACK}$ を上回った際の高負荷電流障害では、ブリックウォール方式により、出力電流が電流制限 (I_{CL}) に制限されます。電圧が $V_{FOLDBACK}$ を下回ると、フォールドバック電流制限が有効になり、出力電圧が GND に近付くと電流を小さくします。出力が短絡したとき、デバイスは短絡電流制限 (I_{SC}) と呼ばれる標準的な電流を供給します。I_{CL} と I_{SC} は、「*電気的特性*」表に記載されています。

このデバイスでは、$V_{FOLDBACK}$ = 0.4 × $V_{OUT(NOM)}$ です。

デバイスが電流制限されている場合、出力電圧はレギュレートされません。電流制限イベントが発生すると、消費電力の増加によりデバイスが発熱し始めます。デバイスがブリックウォール電流制限にある場合、パス トランジスタは電力 [(V_{IN} - V_{OUT}) × I_{CL}] を消費します。デバイスの出力が短絡され、出力が $V_{FOLDBACK}$ を下回ると、パス トランジスタは電力 [(V_{IN} - V_{OUT}) × I_{SC}] を消費します。サーマル シャットダウンがトリガされると、デバイスはオフになります。デバイスの温度が下がると、内蔵のサーマル シャットダウン回路によってデバイスがオンに戻ります。出力電流フォルト状態が継続すると、デバイスは電流制限とサーマル シャットダウンを繰り返します。電流制限の詳細については、『制限の把握』アプリケーション ノートを参照してください。

図 6-6 は、フォールドバック電流制限の図を示しています。

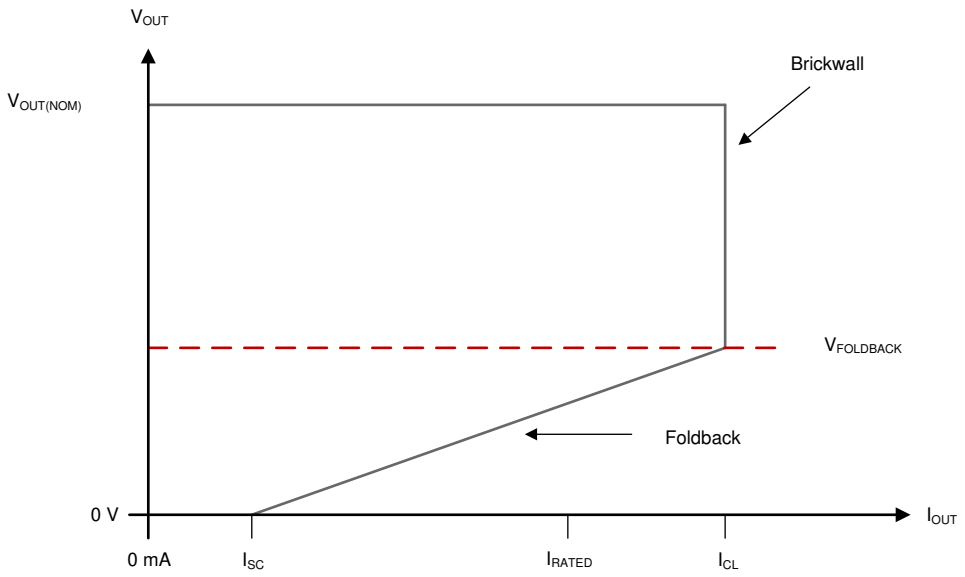


図 6-6. フォールドバック電流制限

6.3.4 過熱保護

過熱保護機能は、接合部温度が約 165°C に上昇すると出力を無効化し、デバイスを冷却させます。接合部温度が約 140°C まで冷却されると、出力回路が再びオンになります。消費電力、熱抵抗、および周囲温度に応じて、過熱保護回路はオン/オフを繰り返します。このサイクルによりレギュレータの消費電力が制限され、過熱による損傷からデバイスを保護します。過熱保護回路が作動する傾向にある場合、消費電力が過剰であるか、ヒート シンクが不十分であることを示しています。信頼性の高い動作を実現するには、接合部温度を最大 125°C に制限してください。設計全体 (ヒートシンクを含む) の安全マージンを推定するためには、周囲温度を上昇させて加熱保護が作動する点を確認します。最悪の負荷と信号条件を使用してください。

TPS793-Q1 の内部保護回路は、過負荷状態から保護するように設計されています。この回路は、適切なヒート シンクの代替となるものではありません。TPS793-Q1 のサーマル シャットダウンが作動する状態で使用を続けると、信頼性が低下します。

6.3.5 逆電流保護

TPS793-Q1 の従来のチップの PMOS パストランジスタにはバックダイオードが組み込まれており、入力電圧が出力電圧を下回ったときに電流を伝導します。たとえば、パワーダウン中です。電流は出力から入力へ伝導され、内部で制限されません。長時間の逆電圧動作が予想される場合は、定格出力電流を外部で 5% に制限することをお勧めします。

Copyright © 2025 Texas Instruments Incorporated

TPS793-Q1 の新しいチップは、最新の LDO と同様、非常に逆電流が大きく、このデバイスが損傷します。

逆電流は、通常の導通チャネルではなく、パストランジスタのボディダイオードを通って流れます。振幅が大きいと、この電流が流れることにより、次のいずれかの条件の結果としてデバイスの長期的な信頼性が低下します。

- エレクトロマイグレーションによる劣化
- 過度の放熱
- ラッチアップ条件が発生する可能性がある

このセクションでは、逆電流が発生する可能性のある条件について概説します。これらの条件はすべて、$V_{OUT} > V_{IN} + 0.3V$ の絶対最大定格を超える可能性があります。

- デバイスが大きな C_{OUT} を持ち、負荷電流がほとんどまたはまったくない状態で入力電源が破損した場合
- 入力電源が確立されていない場合、出力はバイアスされる
- 出力は入力電源よりも高くバイアスされる

アプリケーションで逆電流が予期される場合は、外部保護機能を使用してデバイスを保護します。図 6-7 に、デバイスを保護するための 1 つのプローチを示します。

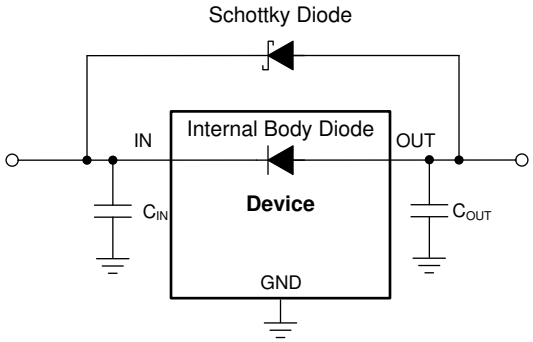


図 6-7. ショットキー ダイオードを使用した逆電流保護の回路例

6.4 デバイスの機能モード

表 6-1 に、各種の動作モードにつながる条件を示します。パラメータ値については、「*電気的特性*」表を参照してください。

表 6-1. デバイスの機能モードの比較

動作モード	パラメータ			
	V_{IN}	V_{EN}	I_{OUT}	T_J
通常動作	$V_{IN} > V_{OUT(nom)} + V_{DO}$ および $V_{IN} > V_{IN(min)}$	$V_{EN} > V_{EN(HI)}$	$I_{OUT} < I_{OUT(max)}$	$T_J < T_{SD(shutdown)}$
ドロップアウト動作	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{EN} > V_{EN(HI)}$	— ($I_{OUT} < I_{OUT(max)}$ を示すテンプレートは未使用)	$T_J < T_{SD(shutdown)}$
ディスエーブル (条件が真の場合、デバイスはディスエーブル)	$V_{IN} < V_{UVLO}$	$V_{EN} < V_{EN(LOW)}$	該当なし	$T_J > T_{SD(shutdown)}$ (1)

(1) サーマルシャットダウンの近似値

6.4.1 通常動作

デバイスは、以下の条件が満たされるとき、公称出力電圧へのレギュレートを行います。

- 入力電圧は最低 $V_{IN(min)}$ 以上
- 入力電圧は公称出力電圧とドロップアウト電圧の合計よりも大きい
- イネーブル電圧は $V_{EN(min)}$ よりも高い
- 出力電流は電流制限より小さい
- デバイスの接合部温度は指定された最大接合部温度よりも低い

6.4.2 ドロップアウト動作

入力電圧が、公称出力電圧と規定ドロップアウト電圧の和よりも低い場合、デバイスはドロップアウト モードで動作します。ただし、他のすべての条件は、正常動作の条件を満たしている必要があります。この動作モードの出力電圧は、入力電圧からドロップアウト電圧を引いた値と同じになります。パストランジスタがリニア領域内にあり、LDO によって電流の制御を行わないため、デバイスの過渡性能が大きく低下します。ドロップアウト中にライン過渡または負荷過渡事象が生じると、大きな出力電圧の偏差が発生する可能性があります。

6.4.3 ディセーブル

デバイスは次の条件ではディセーブルです。

- イネーブル電圧がイネーブル立ち下がりスレッショルド電圧を低いか、まだイネーブル立ち上がりスレッショルドを超えていない
- デバイスの接合部温度がサーマルシャットダウンのスレッショルド温度よりも高くなっている
- 入力電圧が $UVLO_{falling}$ を下回っている

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

TPS793-Q1 低ドロップアウト (LDO) レギュレータは、ノイズに敏感なバッテリ動作機器での使用に最適化されています。このデバイスは、非常に低いドロップアウト電圧、高 PSRR、超低出力ノイズ、低静止電流、イネーブル入力を特長としています。これらの機能により、レギュレータがオフになるときの供給電流を低減できます。

7.1.1 ドロップアウトの終了

一部のアプリケーションでは、起動時に V_{IN} のランプが遅くなるなど、LDO をドロップアウトにする過渡現象が発生します。他の LDO と同様に、このような条件からの回復時に出力でオーバーシュートが発生する可能性があります。図 7-1 は、ランプ入力電源によって、起動時に LDO のオーバーシュートが発生することを示しています。この状態は、スルーレートと電圧レベルが適切な範囲にあるときに発生します。この状態を回避するには、イネーブル信号を使用します。

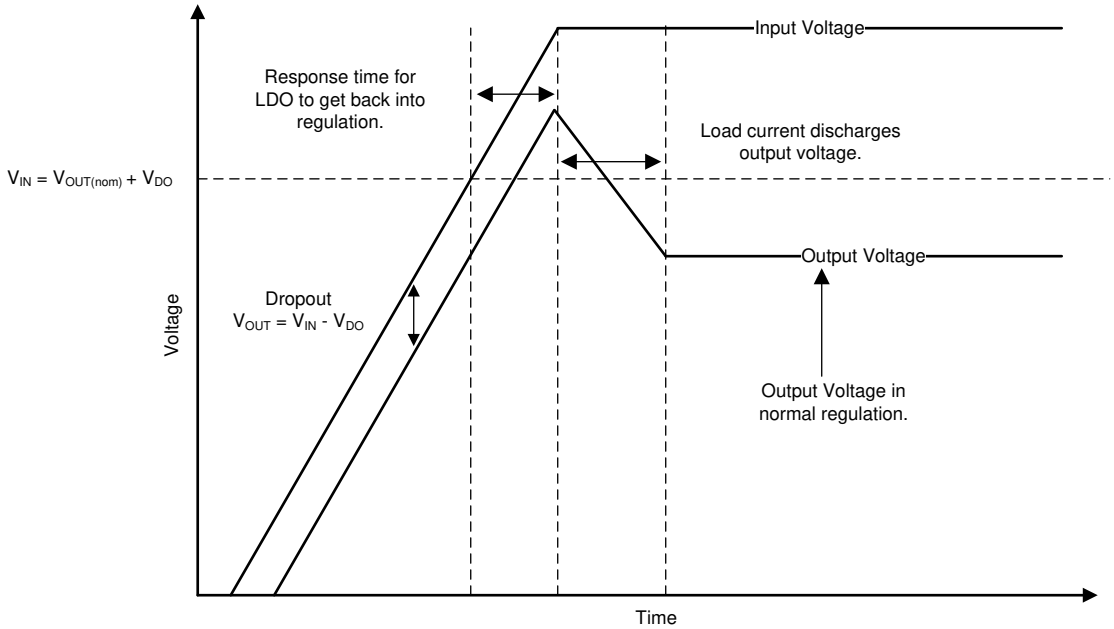


図 7-1. ドロップアウトの開始

ドロップアウトからのライン過渡事象も、レギュレータ出力のオーバーシュートの原因となります。これらのオーバーシュートは、エラーアンプがパストランジスタのゲート容量を駆動する必要があることに起因しています。その後、エラーアンプはゲートを正しい電圧に戻し、適切にレギュレーションされます。図 7-2 は、ゲート電圧の内部で発生する現象と、動作中にオーバーシュートがどのように発生したかを示しています。LDO をドロップアウト状態にすると、ゲート電圧 (V_{GS}) がグランドにプルダウンされ、可能な限り低いオン抵抗がパストランジスタに生じます。ただし、デバイスがドロップアウト状態のときにライン過渡が発生すると、ループはレギュレーション状態にはなりません。この条件によって、ループが応答し、出力電流によって出力電圧がレギュレーション状態に戻されるまで、出力のオーバーシュートが発生します。これらの過渡電圧が許容できない場合は、過渡が十分遅くなってオーバーシュートを低減するまで、システムに入力容量を追加し続けます。

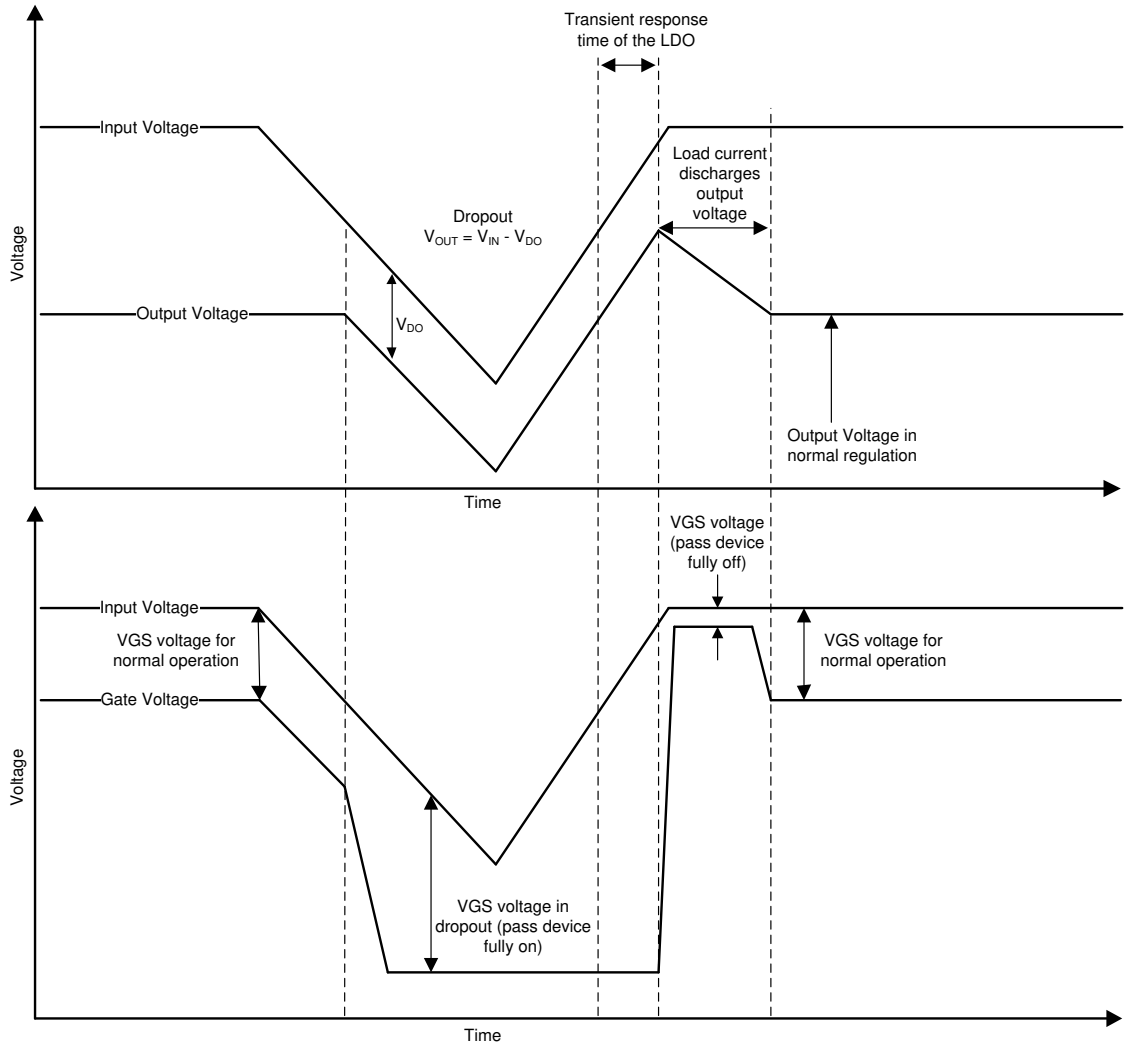


図 7-2. ドロップアウトからのライン過渡

7.2 代表的なアプリケーション

図 7-3 と 図 7-4 に、従来のチップと新しいチップの代表的なアプリケーション回路をそれぞれ示します。

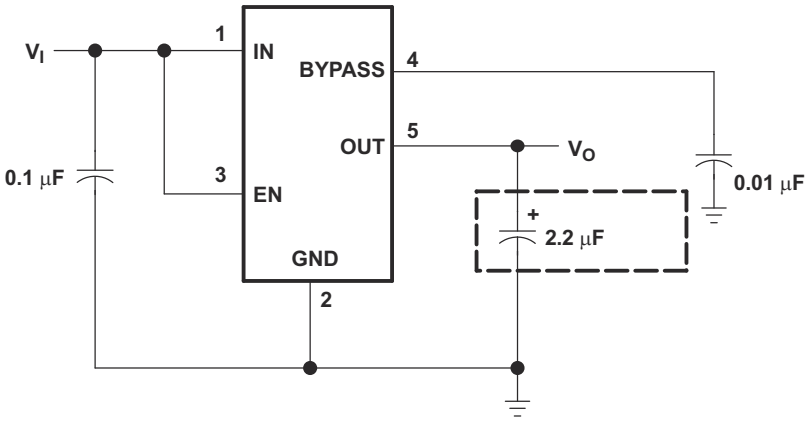


図 7-3. 代表的なアプリケーション回路 (従来のチップ)

Copyright © 2025 Texas Instruments Incorporated

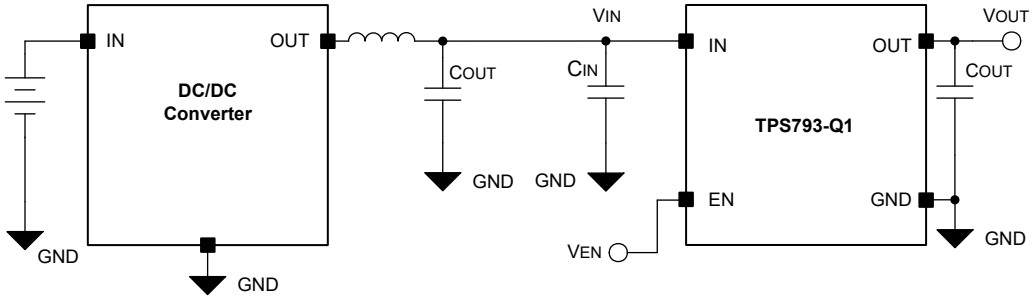


図 7-4. 代表的なアプリケーション回路図 (新しいチップ)

7.2.1 設計要件

表 7-1 は設計要件をまとめたものです。

表 7-1. 設計パラメータ

パラメータ	設計要件
入力電圧	3V～4V
出力電圧	2.8V
DC 出力電流	10mA
ピーク出力電流	75mA
最大周囲温度	65°C

7.2.2 詳細な設計手順

7.2.2.1 外部コンデンサの要件

安定性のため、IN と GND の間、TPS793-Q1 の近くに、0.1μF 以上の容量のセラミック入力バイパスコンデンサを接続する必要があります。このコンデンサは、過渡応答、ノイズ除去、リップル除去を改善します。立ち上がり時間の短い大きな負荷またはライン過渡事象が予想される場合、またはデバイスが電源から数インチの場所に配置される場合は、より大きな値の電解入力コンデンサが必要になります。

TPS793-Q1 では、内部制御ループを安定させるため、OUT と GND との間に出力コンデンサを接続する必要があります。従来のチップに推奨される最小コンデンサは 2.2μF です。新しいチップの推奨される最小容量は 0.47μF です。温度によって容量が大きく変化しない限り、2.2μF 以上のセラミックコンデンサはすべて許容されます。

内部電圧リファレンスは、LDO レギュレータにおける主要なノイズ源です。TPS793-Q1 (従来のチップ) には BYPASS ピンがあり、250kΩ の内部抵抗経由で電圧リファレンスに接続されています。250kΩ の内部抵抗と、BYPASS ピンに接続された外付けバイパスコンデンサにより、ローパスフィルタが形成されます。このフィルタにより電圧リファレンスのノイズが低減し、その結果、レギュレータ出力でのノイズも低減します。レギュレータを適切に動作させるため、BYPASS ピンから流れる電流を最小にしてください。リーク電流によって内部抵抗の両端に IR 降下が発生し、出力誤差が発生します。そのため、バイパスコンデンサのリーク電流が最小限であることを確認してください。

7.2.2.2 可変動作

図 7-5 は、TPS79301-Q1 可変レギュレータの出力電圧を外付け分圧抵抗でプログラムする方法を示しています。出力電圧は、式 1 を使用して計算されます。

$$V_O = V_{ref} \times \left(1 + \frac{R1}{R2}\right) \tag{1}$$

ここで

- V_{ref} は 1.225V の標準値 (内部リファレンス電圧)

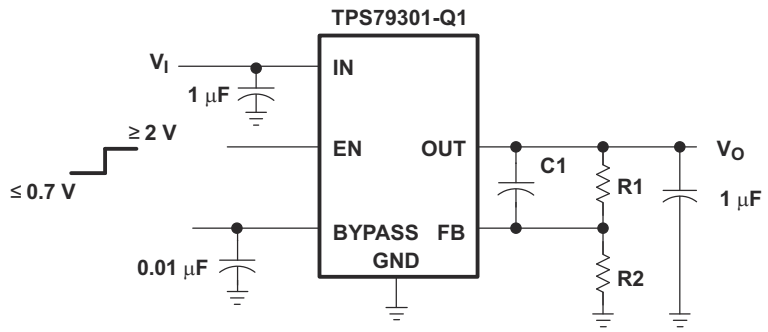


図 7-5. TPS79301-Q1 の可変 LDO レギュレータのプログラミング

7.2.2.2.1 可変動作 (従来のチップ)

約 50µA のデバイダ電流に対して抵抗 R1 および R2 を選択します。値の低い抵抗を使用するとノイズ性能が向上しますが、ソリューションにはより多くの電力を消費します。R1 と R2 の両端の FB からのリーク電流により、帰還電圧を人工的に増加または減少させるオフセット電圧が生じるため、値の高い抵抗は使用しないでください。結果として、出力電圧 (V_O) が意図に反して低下または増加するおそれがあります。推奨される設計手順は、R2 = 30.1kΩ を選択して分圧抵抗の電流を 50µA に設定することです。安定性のために C1 = 15pF に設定して、次の式で R1 を計算します。

$$R1 = \left(\frac{V_O}{V_{ref}} - 1\right) \times R2 \tag{2}$$

可変バージョンの安定性を高めるため、OUT ピンと FB ピンとの間に小さな補償コンデンサを配置します (フィードフォワードコンデンサ)。電圧が 1.8V 未満の場合は、このコンデンサの値が 100pF であることを確認してください。電圧が 1.8V を超える場合、このコンデンサの近似値は次の式で計算されます。

$$C1 = \frac{(3 \times 10^{-7}) \times (R1 + R2)}{(R1 \times R2)} \tag{3}$$

表 7-2 は、複数の抵抗比に対する、このコンデンサの推奨値を示しています。このコンデンサを使用しない場合 (ユニティゲイン構成など)、または出力電圧が 1.8V 未満の場合は、より大きな出力コンデンサを使用してください。この場合に推奨される最小出力コンデンサは、2.2µF ではなく 4.7µF です。

表 7-2. 出力電圧プログラミングガイド

出力電圧	R1	R2	C1
2.5V	31.6kΩ	30.1kΩ	22pF
3.3V	51kΩ	30.1kΩ	15pF
3.6V	59kΩ	30.1kΩ	15pF

7.2.2.2.2 可変動作 (新しいチップ)

FB ピン電流の影響を無視して最高の精度を実現するには、R2 を 550kΩ 以下の値に選択します。R1 と R2 を流れる電流が、「*電気的特性*」表に記載されている I_{FB} 電流の少なくとも 100 倍であることを確認します。R2 の値を小さくすると、ノイズ注入に対する耐性が高まります。R2 の値を大きくすると静止電流が減少し、低負荷電流時に高効率が達成されます。次の式は、帰還分圧器の直列抵抗が最大となる設定を計算します。

$$(R1 + R2) \le V_{OUT} / (I_{FB} \times 100) \tag{4}$$

Copyright © 2025 Texas Instruments Incorporated

7.2.3 アプリケーション曲線

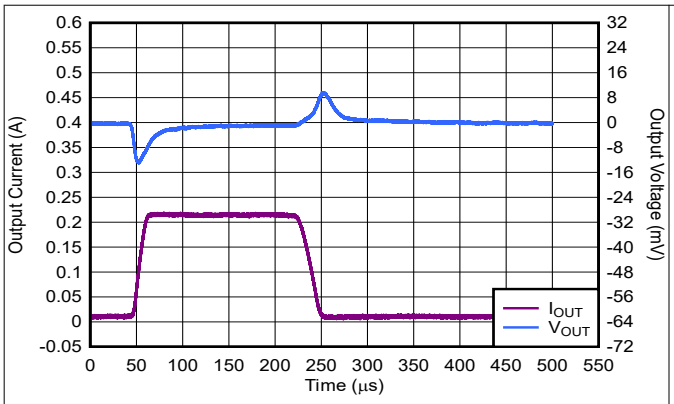


図 7-6. TPS793-Q1 の負荷過渡応答

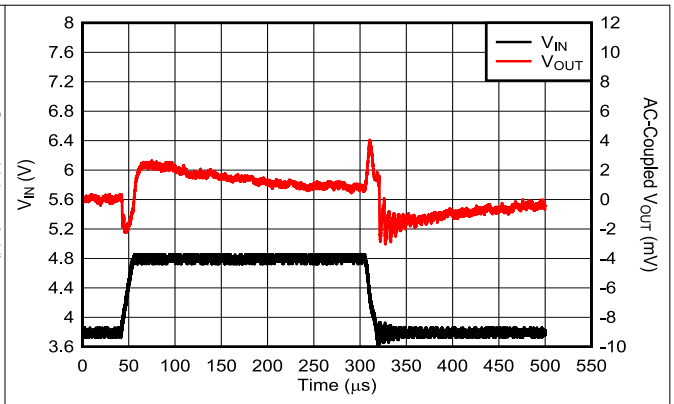


図 7-7. TPS793-Q1 のライン過渡応答

7.3 電源に関する推奨事項

このデバイスは、2.7V から 5.5V の入力電源電圧範囲で動作するように設計されています。入力電圧範囲が、デバイスが安定した出力を維持するために十分なヘッドルームを確保できることを確認します。この入力電源が適切にレギュレートされ安定していることを確認します。安定動作のために、0.1µF の入力コンデンサが必要です。入力電源にノイズがある場合、ESR の低い入力コンデンサを追加すると、出力のノイズ特性を改善するために役立ちます。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

レイアウトは優れた電源設計のために重要な要素です。高速で変化する電流または電圧を通す信号パスがいくつかあり、浮遊インダクタンスや寄生容量によってノイズが発生したり、電源の性能が低下したりする可能性があります。これらの問題をなくすために、X5R または X7R 誘電体を使用した低 ESR のセラミックバイパスコンデンサを使用して、IN ピンをグランドにバイパスします。

等価直列インダクタンス (ESL) および等価直列抵抗 (ESR) を最小化し、性能を最大化して安定性を実現します。各コンデンサ (C_{IN}、C_{OUT}、C_{NR}、C_{FF}) は可能な限りデバイスに近く、PCB 上でレギュレータと同じ面に配置します。PCB 上でレギュレータが設置されている面と反対の面にコンデンサを配置しないでください。ビアと長いパターンを使用するとシステム性能に悪影響を及ぼし、不安定になる可能性があるため、使用しないよう強くお勧めします。

7.4.1.1 PSRR およびノイズ性能向上のための推奨基板レイアウト

測定値 (PSRR、出力ノイズ、過渡応答など) を向上させるため、V_{IN} と V_{OUT} に別々のグランドプレーンを付けて基板を設計します。各グランド プレーンは、デバイスの GND ピンにのみ接続します。

7.4.1.2 許容損失と接合部温度

指定されたレギュレータ動作は接合部温度が 125°C に対するものです。通常動作条件では、最大接合部温度が 125°C に制限されます。この制限により、特定のアプリケーションにおいてレギュレータが処理する消費電力が制限されます。接合部温度が許容される制限内であることを保証するには、最大許容消費電力 $P_{D(max)}$ および実際の消費電力 P_D を計算します。$P_{D(max)}$ と P_D の両方が $P_{D(max)}$ 以下であることを確認してください。

最大消費電力制限は、次の式を使用して決定されます。

$$P_{D(max)} = \frac{T_J max - T_A}{R_{\theta JA}} \tag{5}$$

ここで

- $T_J$max = 許容される最大の接合部温度
- $R_{\theta JA}$ = パッケージの接合部から周囲への熱抵抗、「*熱情報*」表を参照
- T_A = 周囲温度

レギュレータの消費電力は、次の式で計算されます。

$$P_D = (V_I - V_O) \times I_O \tag{6}$$

静止電流による消費電力は無視できます。消費電力が過剰になると、過熱保護回路がトリガされます。

7.4.2 レイアウト例

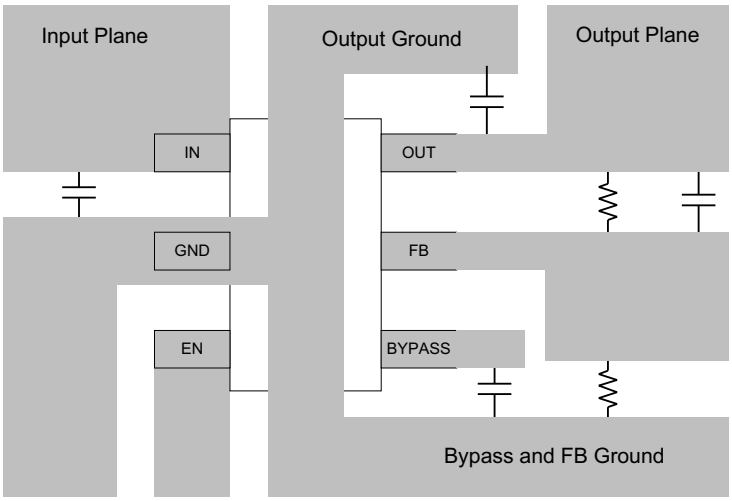


図 7-8. レイアウト例 (DBV 6 ピンパッケージ、従来のチップ)

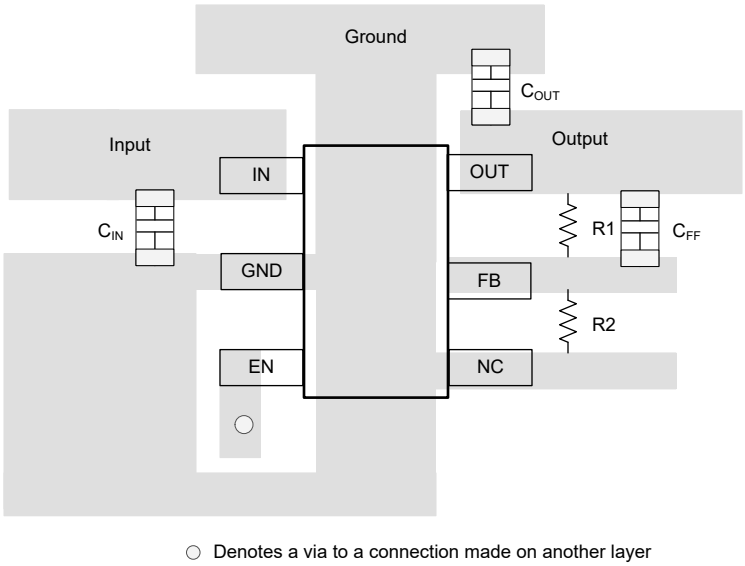


図 7-9. レイアウト例 (DBV 6 ピンパッケージ、新しいチップ)

Copyright © 2025 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

8.1.1.1 評価基板

TPS793-Q1 を使用した初期の回路性能評価には、複数の評価基板 (EVM) を利用することができます。

- TPS79301EVM
- TPS79328EVM
- DEM-SOT23LDO

これらの EVM はテキサス インスツルメンツの Web サイトの製品フォルダでリクエスト、または TI eStore から直接購入できます。

8.1.1.2 SPICE モデル

SPICE による回路パフォーマンスのコンピュータ シミュレーションは、アナログ回路やシステムのパフォーマンスを分析するため多くの場合に有用です。TPS793 用の SPICE モデルは、製品フォルダの「ツールとソフトウェア」から入手できます。

8.1.2 デバイスの命名規則

表 8-1. 利用可能なオプション

製品[(1)]	説明
TPS793**xxyyyzM3Q1**	**xx(x)** は公称出力電圧です (例：28 = 2.8V、285 = 2.85V、01 = 可変バージョン)。 **yyy** はパッケージの記号です。 **z** はパッケージ数量です。 **M3** は最新の製造フローのみを使用するデバイスの接尾辞記号です (CSO：RFB) を用いて出荷されます。この接尾辞がないデバイスは、従来のチップ (CSO：DLN) または新しいチップ (CSO：RFB) を用いて出荷されます。リール包装ラベルには、使用されているチップを識別するための CSO 情報が記載されています。本書では、新旧チップごとのデバイス性能について説明しています。 **Q1** は、デバイスが車載グレード (AEC-Q100) であることを示します。

(1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ・オプションの付録を参照するか、www.ti.com にあるデバイスの製品フォルダをご覧ください。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、*『新しい熱評価基準の解説』アプリケーション ノート*
- テキサス インスツルメンツ、『低ドロップアウト レギュレータでフィードフォワード コンデンサを使用することの長所と短所』アプリケーション ノート
- テキサス インスツルメンツ、*『TPS79301EVM、TPS79328EVM LDO レギュレータ評価基板』ユーザーガイド*

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

Copyright © 2025 Texas Instruments Incorporated

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision I (March 2016) to Revision J (June 2025) — **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- ドキュメントに新しいシリコン (M3) デバイスを追加 1
- ドキュメントに新しいチップの DBV パッケージ (固定バージョンと可変バージョン) を追加 1
- ドキュメント全体を変更し、従来のチップと新しいチップの機能と相違点、およびデバイスの可変バージョンと固定バージョンを識別してください 1
- 「*特長*」、「*アプリケーション*」、「*概要*」セクションを変更 1
- 新しいチップの情報と一致するように「*説明*」セクションを変更し、従来のチップの*出力スペクトルノイズ密度と周波数との関係*曲線を削除 1
- 「*電圧オプション*」表を削除 3
- 従来のチップ曲線との対照比較を示すため「*代表的特性*」セクションに新しいチップ曲線を追加 9
- 「*概要*」セクションを変更 15
- 「*機能ブロック図*」セクションを変更 15
- 「*低電圧誤動作防止 (UVLO)*」セクションを変更 17
- 「*シャットダウン*」セクションの EN ピンの説明を変更 17
- 「*フォールドバック電流制限*」セクションを変更 17
- 「*逆電流動作*」セクションを変更 18
- 「*レギュレータ保護*」セクションを削除 18
- 「*デバイスの機能モード*」表を変更 20
- 「*アプリケーション情報*」セクションの低静止電流の説明から *170µA 標準値*を削除 21
- 「*ドロップアウトの終了*」セクションを追加 21
- 「*代表的なアプリケーション回路 (新しいチップ)*」図を追加 22
- 「*設計パラメータ*」表の入力電圧行から *(リチウムイオンバッテリ)* を削除 23
- 「*外部コンデンサの要件*」セクションの最後の項を削除 23
- 「*可変動作*」セクションとタイトルを変更 23
- 「アプリケーション曲線」セクションを変更 25
- 「*デバイスの命名規則*」表に新しいチップの情報を追加 27

Changes from Revision H (January 2013) to Revision I (January 2016) — **Page**

- ドキュメントの型番を汎用 TPS793-Q1 に変更 1
- データシートから 2.85V バージョンを削除 1

- 「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加。 1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS79301DBVRG4Q1	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PGV1
TPS79301DBVRG4Q1.A	Active	Production	null (null) |	3000 | LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See TPS79301DBVRG4Q1	PGV1
TPS79301DBVRQ1	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PGV1
TPS79301DBVRQ1.A	Active	Production	null (null) |	3000 | LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See TPS79301DBVRQ1	PGV1
TPS79318DBVRG4Q1	Obsolete	Production	SOT-23 (DBV) | 5	-	-	Call TI	Call TI	-40 to 125	PHH1
TPS79318DBVRQ1	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PHH1
TPS79318DBVRQ1.A	Active	Production	null (null) |	3000 | LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See TPS79318DBVRQ1	PHH1
TPS79325DBVRQ1	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PGW1
TPS79325DBVRQ1.A	Active	Production	null (null) |	3000 | LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See TPS79325DBVRQ1	PGW1
TPS79328QDBVRQ1	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PGX1
TPS79328QDBVRQ1.A	Active	Production	null (null) |	3000 | LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See TPS79328QDBVRQ1	PGX1
TPS79330QDBVRQ1	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PGY1
TPS79330QDBVRQ1.A	Active	Production	null (null) |	3000 | LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See TPS79330QDBVRQ1	PGY1
TPS79333DBVRG4Q1	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PHU1
TPS79333DBVRG4Q1.A	Active	Production	null (null) |	3000 | LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See TPS79333DBVRG4Q1	PHU1
TPS79333DBVRQ1	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PHU1
TPS79333DBVRQ1.A	Active	Production	null (null) |	3000 | LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	See TPS79333DBVRQ1	PHU1

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS793-Q1 :

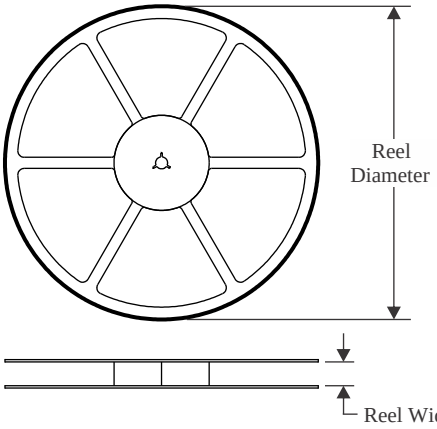
- Catalog : TPS793

NOTE: Qualified Version Definitions:

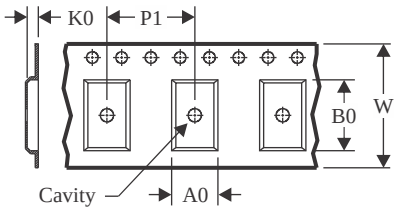
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

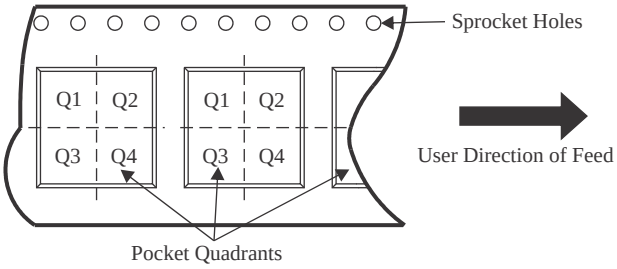


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

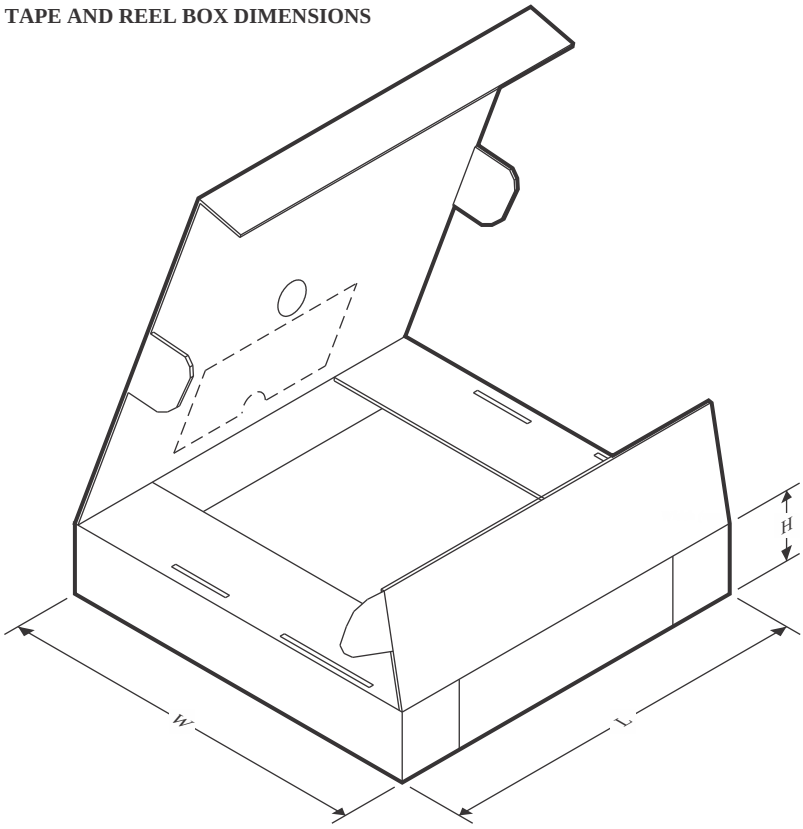
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

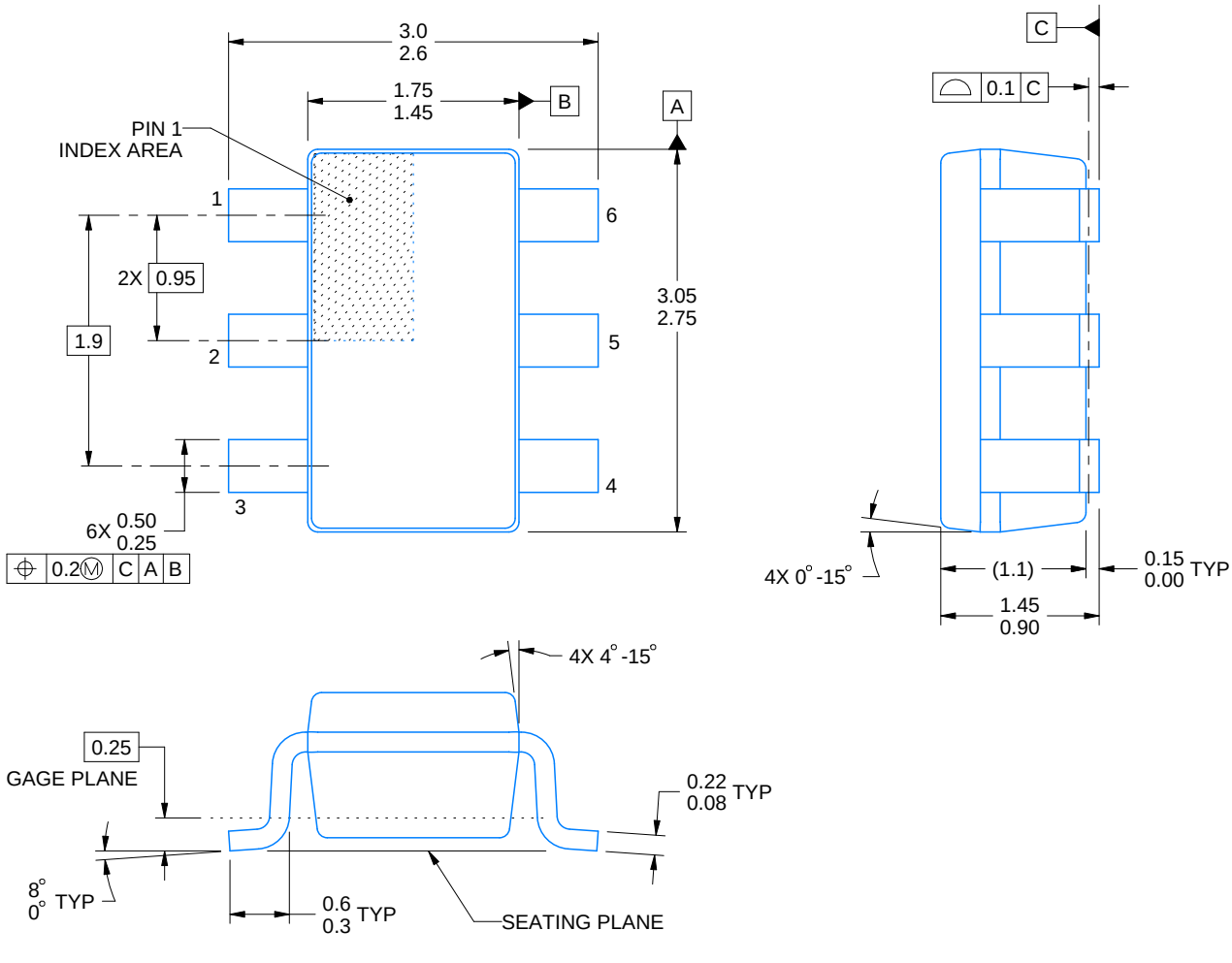
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS79301DBVRG4Q1	SOT-23	DBV	6	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
TPS79301DBVRQ1	SOT-23	DBV	6	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
TPS79318DBVRQ1	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
TPS79325DBVRQ1	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
TPS79328QDBVRQ1	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS79330QDBVRQ1	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS79333DBVRG4Q1	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPS79333DBVRQ1	SOT-23	DBV	5	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

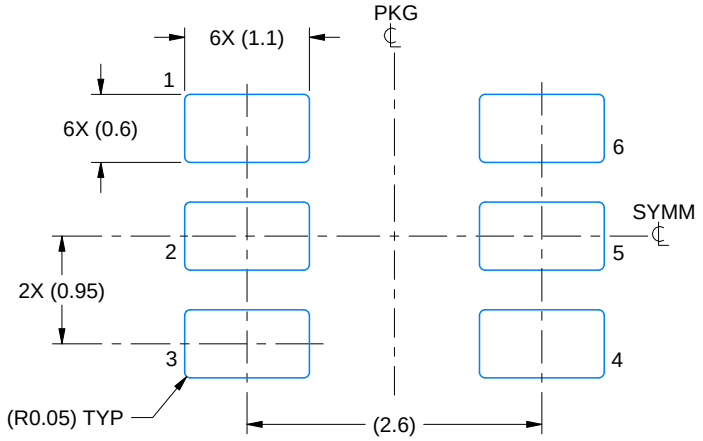
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS79301DBVRG4Q1	SOT-23	DBV	6	3000	445.0	220.0	345.0
TPS79301DBVRQ1	SOT-23	DBV	6	3000	445.0	220.0	345.0
TPS79318DBVRQ1	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS79325DBVRQ1	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS79328QDBVRQ1	SOT-23	DBV	5	3000	200.0	183.0	25.0
TPS79330QDBVRQ1	SOT-23	DBV	5	3000	200.0	183.0	25.0
TPS79333DBVRG4Q1	SOT-23	DBV	5	3000	180.0	180.0	18.0
TPS79333DBVRQ1	SOT-23	DBV	5	3000	180.0	180.0	18.0



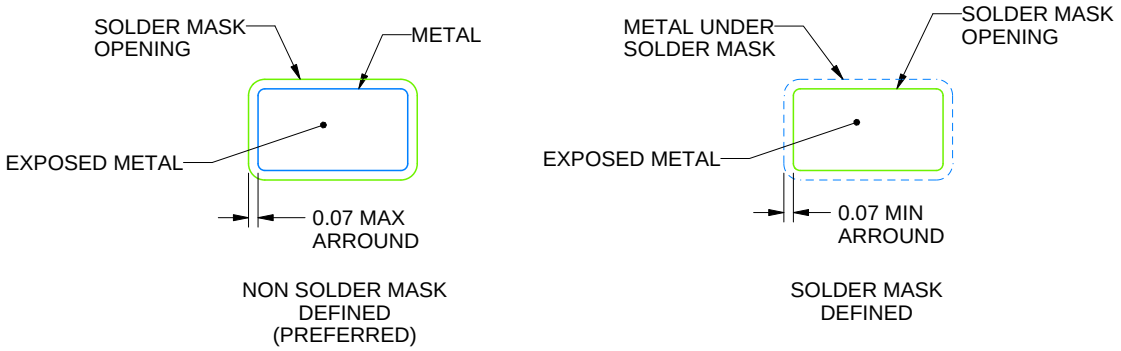
4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

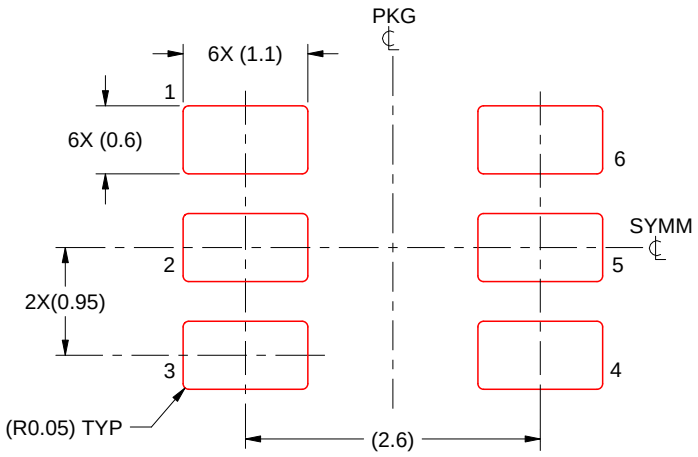


SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

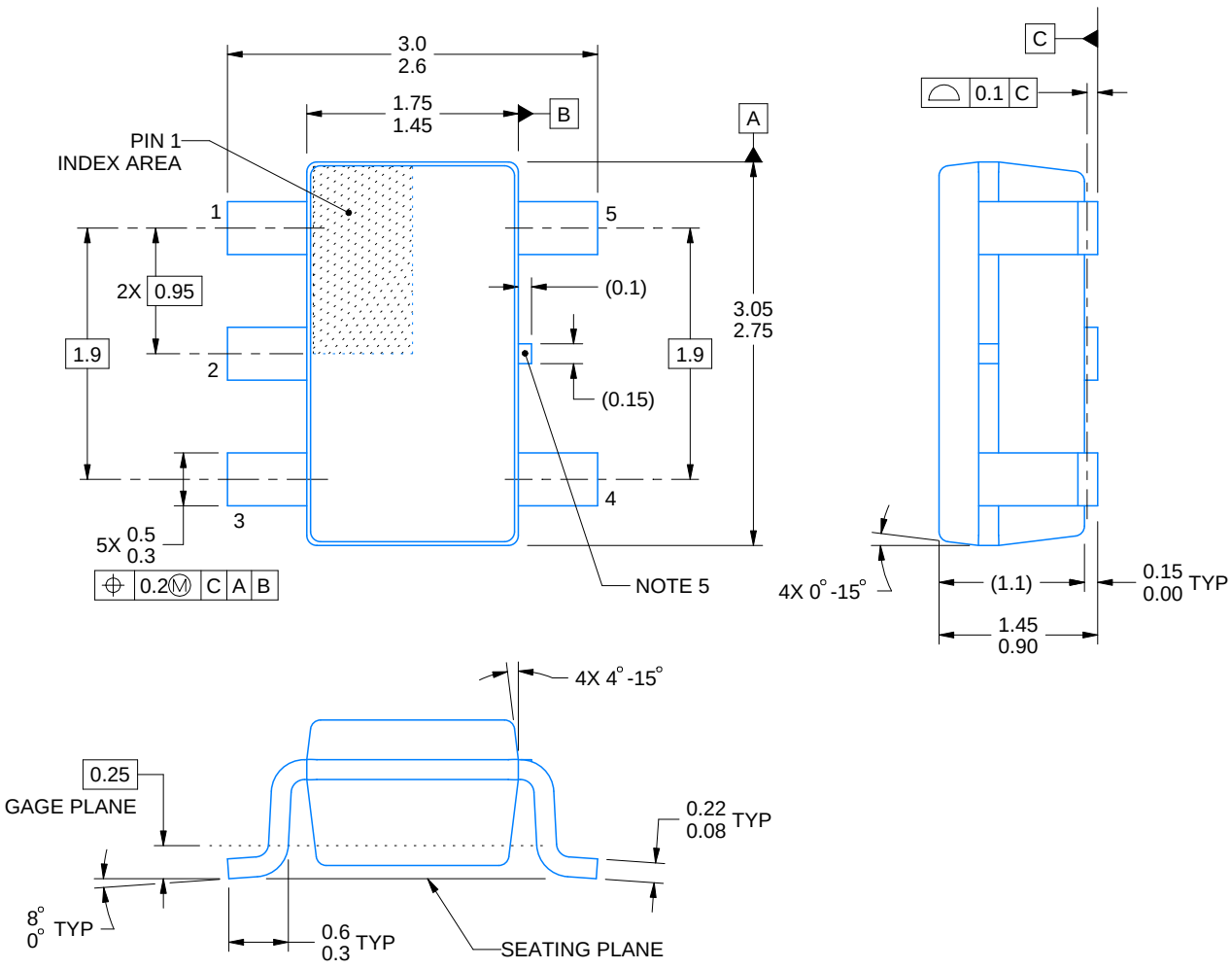


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

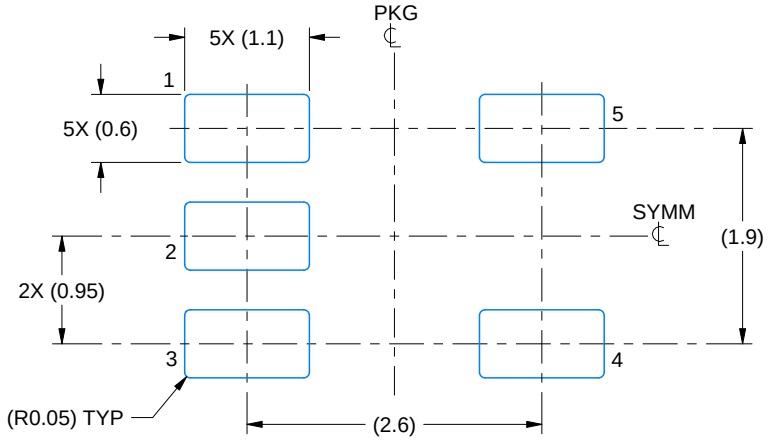
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



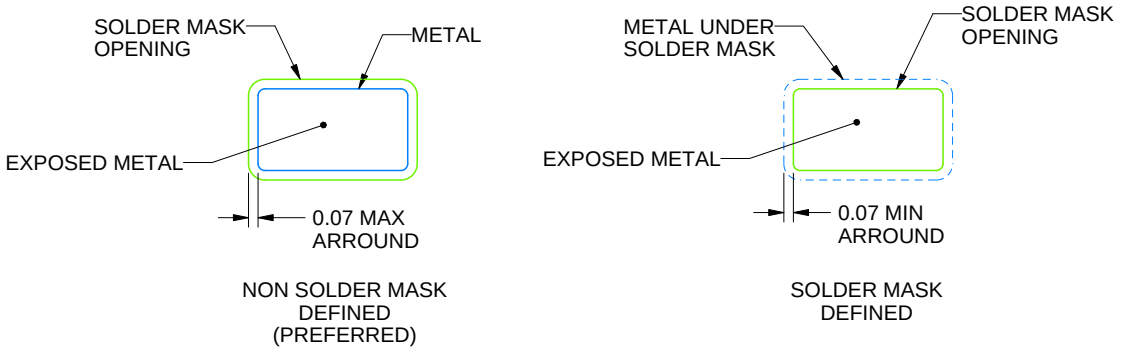
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

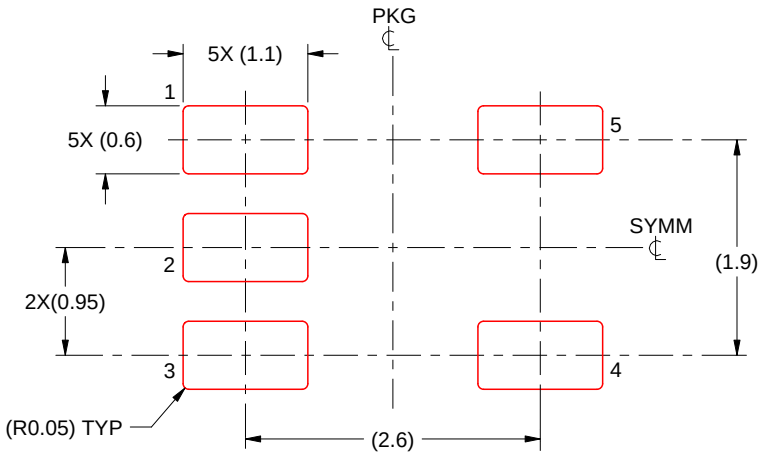


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated