

TPS737-Q1 車載、逆電流保護付き、1A 出力の低ドロップアウトレギュレータ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - 温度グレード 1: -40°C ~ +125°C, T_A
 - デバイス HBM ESD 分類レベル 2
 - デバイス CDM ESD 分類レベル C4A
- 1 μ F 以上のセラミック出力コンデンサにより安定
- 入力電圧範囲: 2.2V ~ 5.5V
- 非常に低いドロップアウト電圧: 1A で 130mV (標準値)
- わずか 1 μ F の出力コンデンサでも優れた負荷過渡応答
- NMOS トポロジにより、低い逆リーキ電流を実現
- 1% の初期精度
- ライン、負荷、温度の全範囲にわたって 3% の総合精度
- シャットダウン モードでの静止電流: 20nA 未満 (標準値)
- サーマル シャットダウンおよび電流制限によるフォルト保護
- 複数の出力電圧バージョンが利用可能

2 アプリケーション

- DSP、FPGA、ASIC、マイクロプロセッサのポイントオブロードレギュレーション
- スイッチング電源のポストレギュレーション
- 携帯用、バッテリ駆動機器

3 概要

TPS737-Q1 リニア低ドロップアウト (LDO) 電圧レギュレータは、電圧フォロワ構成で n 型電界効果トランジスタ (NMOS) パストランジスタを使用します。このトポロジは出力コンデンサの値と ESR の影響を比較的受けにくいため、広範な負荷構成に対応できます。わずか 1 μ F のセラミック出力コンデンサを使用した場合でも、負荷過渡応答が非常に優れています。また、NMOS トポロジにより、ドロップアウトも非常に小さくなります。

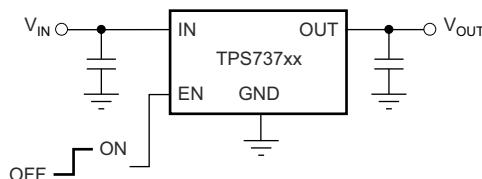
TPS737-Q1 は、先進的なバイシーモス (BiCMOS) プロセスを使用しています。このプロセスを使用することで高い精度を達成し、非常に低いドロップアウト電圧と小さいグランド ピン電流を実現します。ディセーブル時の消費電流は 20nA 未満であり、携帯型アプリケーション向けに設計されています。このデバイスは、サーマル シャットダウンとフォールドバック電流制限によって保護されています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
TPS737-Q1	DRB (VSON, 8)	3mm × 3mm

(1) 詳細については、[メカニカル、パッケージ、および注文情報](#)をご覧ください。

(2) パッケージサイズ(長さ×幅)は公称値であり、ピンを含む場合もあります。



代表的なアプリケーション回路



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	6.4 デバイスの機能モード	17
2 アプリケーション	1	7 アプリケーションと実装	18
3 概要	1	7.1 アプリケーション情報	18
4 ピン構成および機能	3	7.2 代表的なアプリケーション	18
5 仕様	4	7.3 電源に関する推奨事項	20
5.1 絶対最大定格	4	7.4 レイアウト	20
5.2 ESD 定格	4	8 デバイスおよびドキュメントのサポート	23
5.3 推奨動作条件	4	8.1 デバイス サポート	23
5.4 熱に関する情報	4	8.2 ドキュメントの更新通知を受け取る方法	23
5.5 電気的特性	5	8.3 サポート・リソース	23
5.6 代表的特性	6	8.4 商標	23
6 詳細説明	15	8.5 静電気放電に関する注意事項	23
6.1 概要	15	8.6 用語集	23
6.2 機能ブロック図	15	9 改訂履歴	24
6.3 機能説明	16	10 メカニカル、パッケージ、および注文情報	24

4 ピン構成および機能

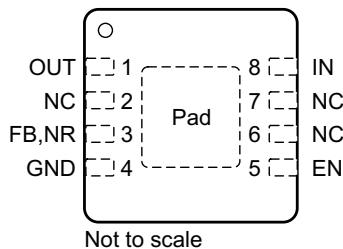


図 4-1. DRB パッケージ、8 ピン VSON (上面図)

表 4-1. ピンの機能

ピン		I/O	説明
名称	番号		
EN	5	I	イネーブルピン (EN) を high にすると、レギュレータが動作します。このピンを low にすると、レギュレータはシャットダウンモードに移行します。詳細については、「イネーブルおよびシャットダウン」セクションを参照してください。EN をフローティングのままにしないでください。ピン未使用時は EN を IN ピンに接続してください。
FB	3	I	可変電圧バージョンのみ。このピンは制御ループのエラーアンプへの入力であり、デバイスの出力電圧を設定するため使用されます。
GND	4、Pad	G	グランド
IN	8	I	非安定型入力電源
NR	3	—	固定電圧バージョンのみ。このピンに外付けコンデンサを接続すると、内部バンドギャップによって発生するノイズがバイパスされるため、出力ノイズが非常に低いレベルに低減されます。
OUT	1	O	レギュレーター出力。安定動作のために、1 μ F 以上の任意のタイプのコンデンサが必要です。
NC	2, 6, 7	—	内部接続なし

5 仕様

5.1 絶対最大定格

接合部動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電圧	入力、 V_{IN}	-0.3	6	V
	イネーブル、 V_{EN}	-0.3	6	
	出力、 V_{OUT}	-0.3	5.5	
	V_{NR} 、 V_{FB}	-0.3	6	
電流	最大出力、 I_{OUT}	内部的に制限		
出力短絡時間		無制限		
連続総許容損失	P_{DISS}	熱に関する情報を参照		
温度	動作時の接合部温度、 T_J	-55	150	°C
	保存、 T_{stg}	-65	150	

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	±500	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{IN}	入力電源電圧	2.2		5.5	V
I_{OUT}	出力電流	0		1	A
T_J	動作時接合部温度	-40		125	°C

5.4 热に関する情報

熱評価基準 ⁽¹⁾		TPS737-Q1 新しいシリコン	TPS737-Q1 レガシーシリコン	単位
		DRB (VSON)	DRB (VSON)	
		8 ピン	8 ピン	
$R_{θJA}$	接合部から周囲への熱抵抗	49.4	52.2	°C/W
$R_{θJC(top)}$	接合部からケース (上面) への熱抵抗	76.6	59.4	°C/W
$R_{θJB}$	接合部から基板への熱抵抗	22.0	19.3	°C/W
$Ψ_{JT}$	接合部から上面への特性パラメータ	3.8	2	°C/W
$Ψ_{JB}$	接合部から基板への特性パラメータ	22.0	19.3	°C/W
$R_{θJC(bot)}$	接合部からケース (底面) への熱抵抗	3.8	11.8	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

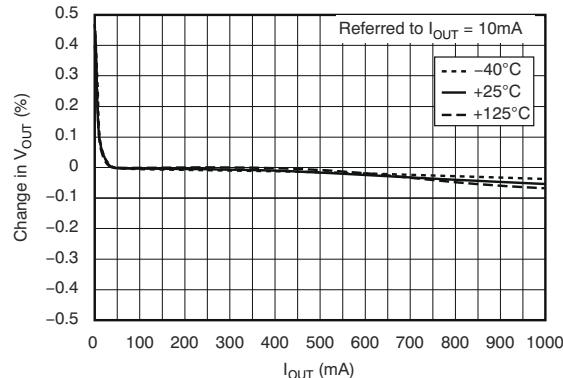
動作温度範囲 ($T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$)、 $V_{IN} = V_{OUT(\text{nom})} + 1\text{V}$ ⁽¹⁾、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 2.2\text{V}$ 、 $C_{OUT} = 2.2\mu\text{F}$ (特に記述のない限り)。標準値は $T_J = 25^{\circ}\text{C}$ 時に測定

パラメータ	テスト条件		最小値	標準値	最大値	単位	
V_{IN}	入力電圧範囲 ^{(1) (2)}		2.2	5.5	5.5	V	
V_{FB}	内部リファレンス		1.192	1.204	1.216	V	
V_{OUT}	出力電圧範囲 (TPS73701) ⁽³⁾		V_{FB}	5.5 - V_{DO}	5.5 - V_{DO}	V	
V_{OUT} 精度 ^{(1) (4)}	公称	$T_J = 25^{\circ}\text{C}$	-1	1	1	%	
		$5.36\text{V} < V_{IN} < 5.5\text{V}$ 、 $V_{OUT} = 5.08\text{V}$ 、 $10\text{mA} < I_{OUT} < 800\text{mA}$ 、 $-40^{\circ}\text{C} < T_J < 85^{\circ}\text{C}$ 、TPS73701、レガシーシリコン	-2	2			
	V_{IN} 、 I_{OUT} 、および温度範囲全体で ⁽¹⁾	$V_{OUT} + 0.5\text{V} \leq V_{IN} \leq 5.5\text{V}$ 、 $10\text{mA} \leq I_{OUT} \leq 1\text{A}$ 、レガシーシリコン	-3	± 0.5	3		
		$V_{OUT} + 0.5\text{V} \leq V_{IN} \leq 5.5\text{V}$ 、 $10\text{mA} \leq I_{OUT} \leq 1\text{A}$ 、新しいシリコン	-1.5	± 0.5	1.5		
$\Delta V_{OUT(\Delta V_{IN})}$	ライン レギュレーション ⁽¹⁾	$V_{OUT(\text{nom})} + 0.5\text{V} \leq V_{IN} \leq 5.5\text{V}$		0.01		%/V	
$\Delta V_{OUT(\Delta I_{OUT})}$	負荷レギュレーション	$1\text{mA} \leq I_{OUT} \leq 1\text{A}$		0.002		%/mA	
$\Delta V_{OUT(\Delta I_{OUT})}$	負荷レギュレーション	$10\text{mA} \leq I_{OUT} \leq 1\text{A}$		0.0005		%/mA	
V_{DO}	ドロップアウト電圧 ⁽⁵⁾ ($V_{IN} = V_{OUT(\text{nom})} - 0.1\text{V}$)	$I_{OUT} = 1\text{A}$		130	500	mV	
$Z_{O(DO)}$	ドロップアウト時の出力インピーダンス	$2.2\text{V} \leq V_{IN} \leq V_{OUT} + V_{DO}$		0.25		Ω	
I_{CL}	出力電流制限	$V_{OUT} = 0.9 \times V_{OUT(\text{nom})}$		1.05	1.6	2.2	A
I_{SC}	短絡電流	$V_{OUT} = 0\text{V}$		450		mA	
I_{REV}	逆リーケ電流 ⁽⁶⁾ ($-I_{IN}$)	$V_{EN} \leq 0.5\text{V}$ 、 $0\text{V} \leq V_{IN} \leq V_{OUT}$		0.1		μA	
I_{GND}	グランド ピン電流	$I_{OUT} = 10\text{mA}$ (I_O)		400		μA	
I_{GND}	グランド ピン電流	$I_{OUT} = 1\text{A}$ 、レガシーシリコン		1300		μA	
I_{GND}	グランド ピン電流	$I_{OUT} = 1\text{A}$ 、新しいシリコン		880		μA	
I_{SHDN}	シャットダウン時の電流 (I_{GND})	$V_{EN} \leq 0.5\text{V}$ 、 $V_{OUT} \leq V_{IN} \leq 5.5\text{V}$		20		nA	
I_{FB}	帰還ピン電流			0.1	0.6	μA	
PSRR	電源電圧変動除去比 (リップル除去)	$f = 100\text{Hz}$ 、 $I_{OUT} = 1\text{A}$		58		dB	
		$f = 10\text{kHz}$ 、 $I_{OUT} = 1\text{A}$		37			
V_N	出力ノイズ電圧、 $BW = 10\text{Hz} \sim 100\text{kHz}$	$C_{OUT} = 10\mu\text{F}$		$27 \times V_{OUT}$		μV_{RMS}	
t_{STR}	起動時間	$V_{OUT} = 3\text{V}$ 、 $R_L = 30\Omega$ 、 $C_{OUT} = 1\mu\text{F}$		600		μs	
$V_{EN(\text{high})}$	EN ピン 高 (イネーブル)			1.7	V_{IN}	V	
$V_{EN(\text{low})}$	EN ピン 低 (シャットダウン)			0	0.5	V	
I_{EN}	イネーブル ピンの電流 (イネーブル)	$V_{EN} = 5.5\text{V}$		20		nA	
T_{SD}	サーマル シャットダウン温度	シャットダウン、温度上昇		160		°C	
		リセット、温度低下		140			
T_J	動作時接合部温度			-40	125	°C	

- (1) 最小 $V_{IN} = V_{OUT} + V_{DO}$ または 2.2V のいずれか大きい方。
- (2) $V_{OUT(\text{nom})} < 1.6\text{V}$ の場合、 $V_{IN} \leq 1.6\text{V}$ になると出力が V_{IN} にロックされ、過電圧による損傷が発生する可能性があります。この状況を避けるため、 V_{IN} をオフにする前にデバイスを無効にしてください。(レガシーシリコンのみ)
- (3) TPS73701-Q1 は、 $V_{OUT} = 1.2\text{V}$ でテストされています。
- (4) この仕様には外付け抵抗の許容誤差は含まれていません。
- (5) $V_{OUT(\text{nom})} < 2.3\text{V}$ の出力バージョンでは、最小 $V_{IN} = 2.2\text{V}$ であるため、 V_{DO} は測定されません。
- (6) 固定電圧バージョンのみ対応。詳細は「アプリケーション情報」セクションを参照してください。

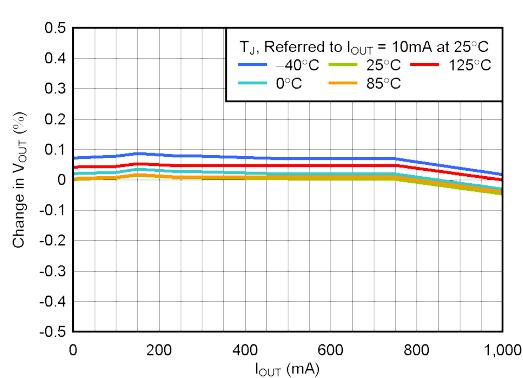
5.6 代表的特性

$T_J = 25^\circ\text{C}$ 、 $V_{IN} = (V_{OUT(nom)} + 1\text{V})$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 2.2\text{V}$ 、 $C_{OUT} = 2.2\mu\text{F}$ (特に記述のない限り)



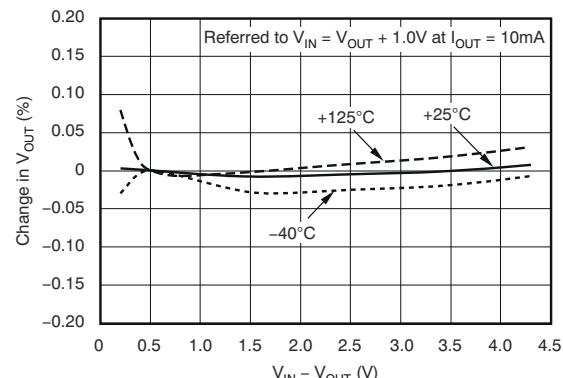
レガシー シリコン

図 5-1. ロード レギュレーション



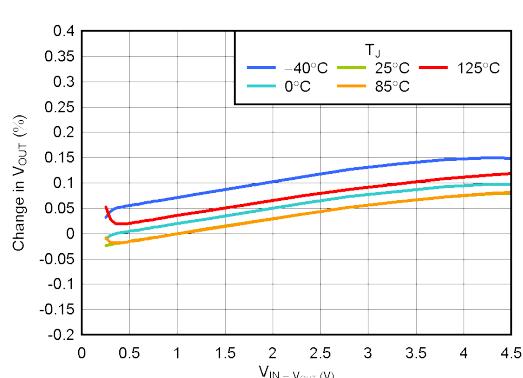
新しいシリコン

図 5-2. ロード レギュレーション



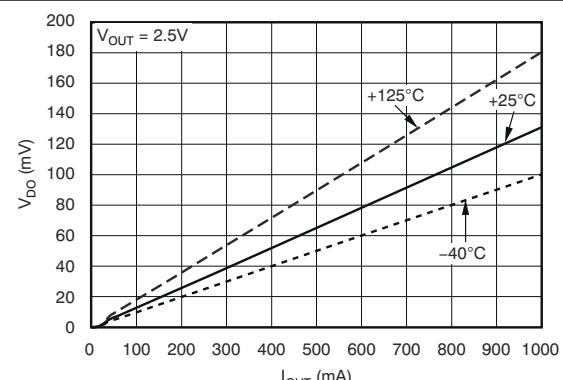
レガシー シリコン

図 5-3. ライン レギュレーション



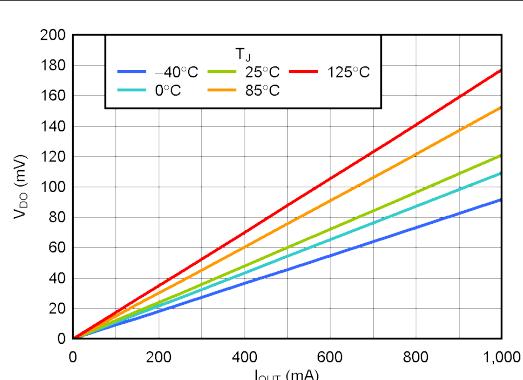
新しいシリコン

図 5-4. ライン レギュレーション



レガシー シリコン

図 5-5. ドロップアウト電圧と出力電流との関係



新しいシリコン

図 5-6. ドロップアウト電圧と出力電流との関係

5.6 代表的特性 (続き)

$T_J = 25^\circ\text{C}$ 、 $V_{IN} = (V_{OUT(nom)} + 1\text{V})$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 2.2\text{V}$ 、 $C_{OUT} = 2.2\mu\text{F}$ (特に記述のない限り)

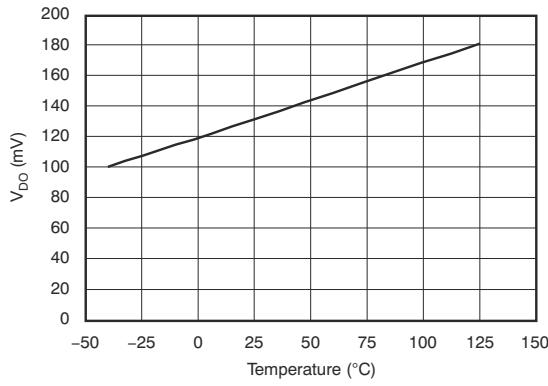
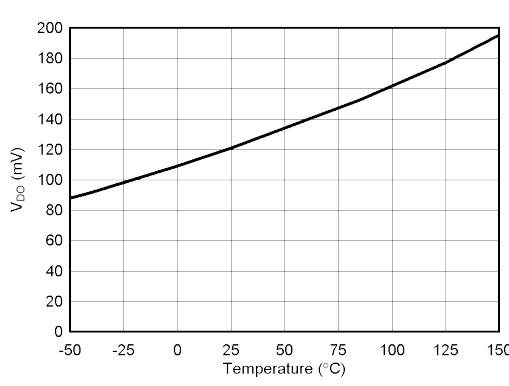


図 5-7. ドロップアウト電圧 vs 温度



新しいシリコン

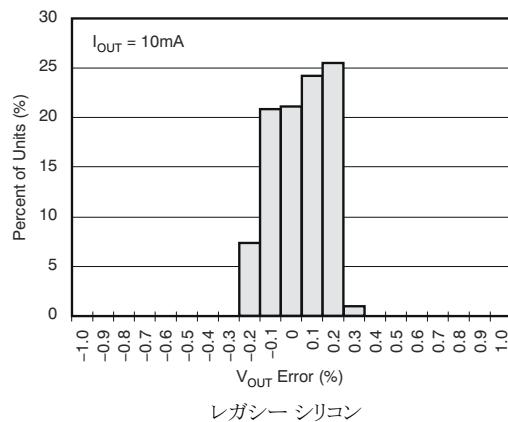


図 5-9. 出力電圧ヒストグラム

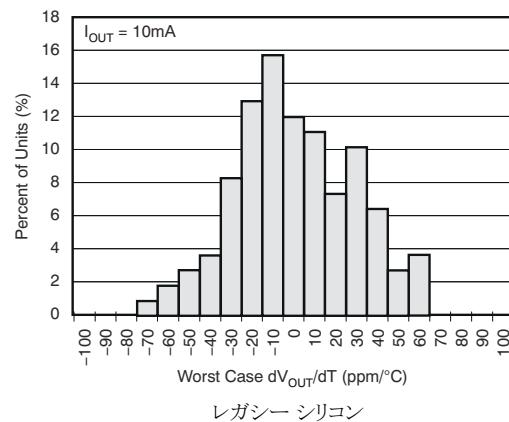


図 5-10. ドロップアウト電圧ドリフトのヒストグラム

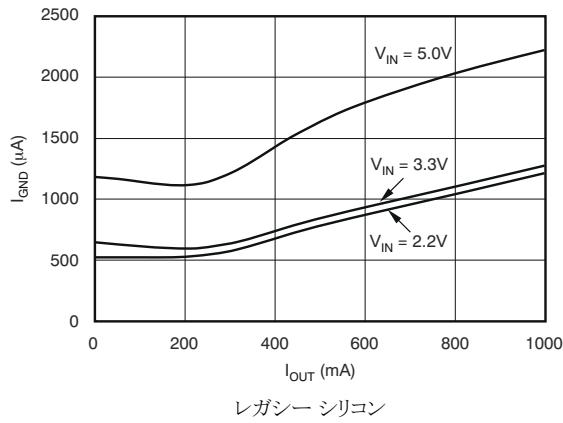


図 5-11. グランドピンの電流と出力電流との関係

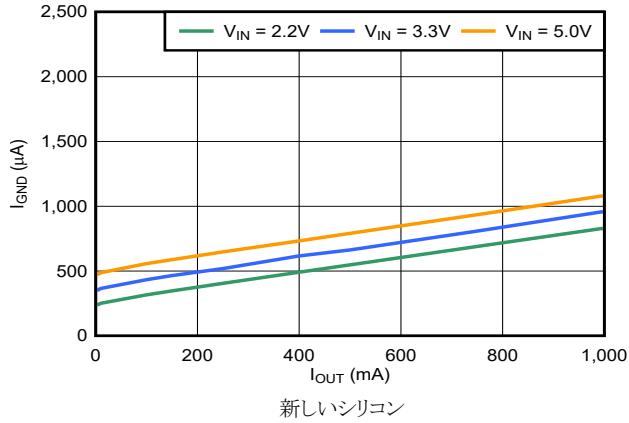


図 5-12. グランドピンの電流と出力電流との関係

5.6 代表的特性 (続き)

$T_J = 25^\circ\text{C}$ 、 $V_{IN} = (V_{OUT(nom)} + 1\text{V})$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 2.2\text{V}$ 、 $C_{OUT} = 2.2\mu\text{F}$ (特に記述のない限り)

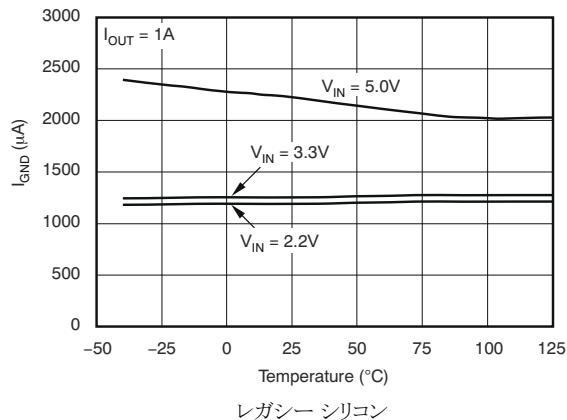


図 5-13. グランドピンの電流と温度との関係

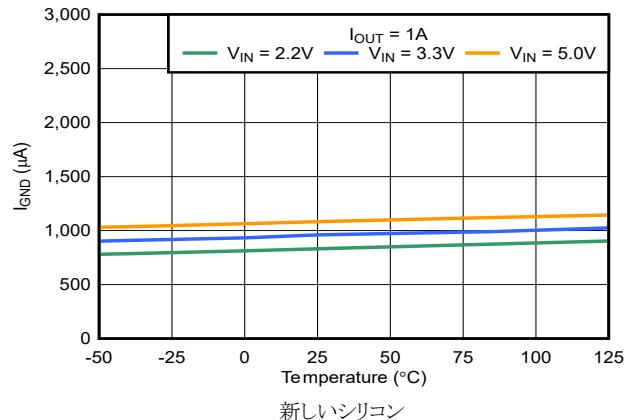


図 5-14. グランドピンの電流と温度との関係

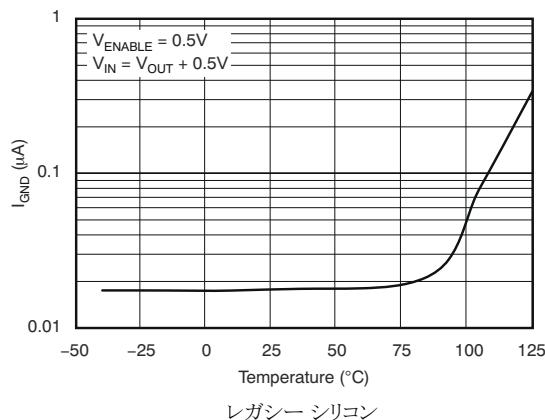


図 5-15. シャットダウン時のグランドピンの電流と温度との関係

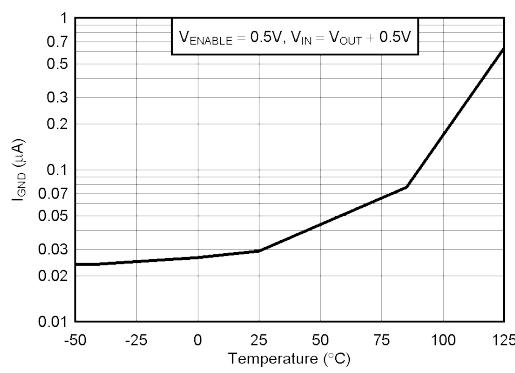


図 5-16. シャットダウン時のグランドピンの電流と温度との関係

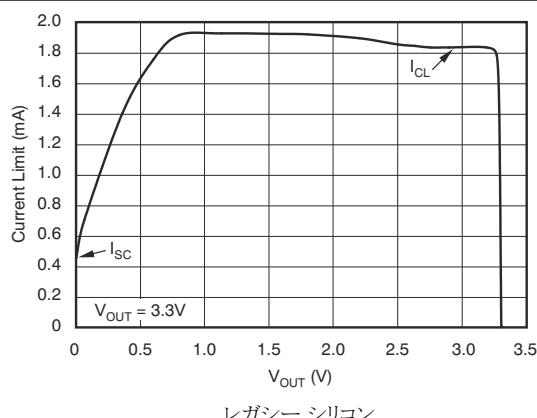


図 5-17. 電流制限と V_{OUT} (フォールドバック) の関係

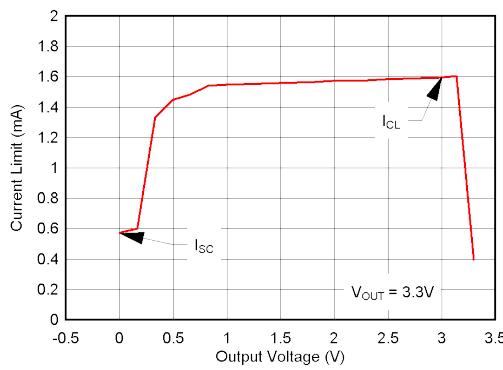
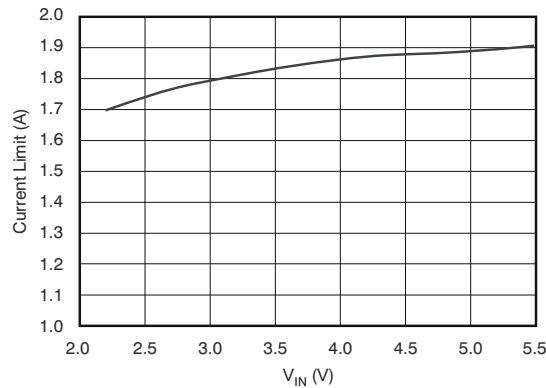


図 5-18. 電流制限と V_{OUT} (フォールドバック) の関係

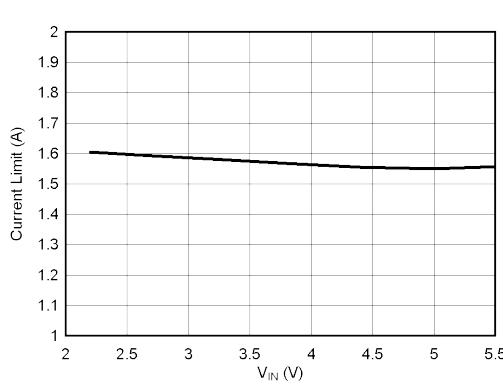
5.6 代表的特性 (続き)

$T_J = 25^\circ\text{C}$ 、 $V_{IN} = (V_{OUT(nom)} + 1\text{V})$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 2.2\text{V}$ 、 $C_{OUT} = 2.2\mu\text{F}$ (特に記述のない限り)



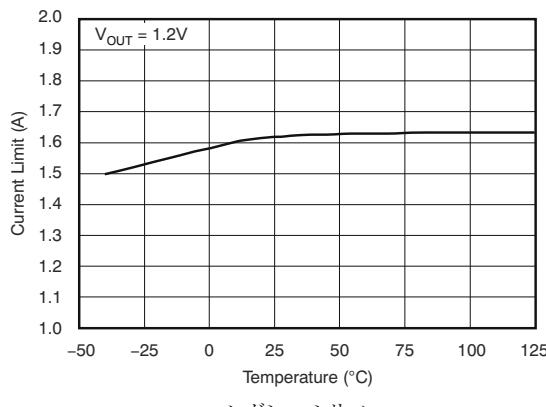
レガシー シリコン

図 5-19. 電流制限と V_{IN} の関係



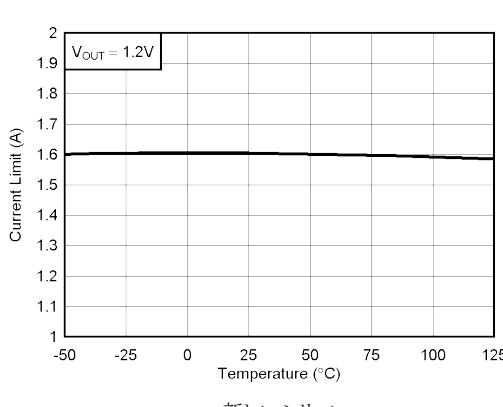
新しいシリコン

図 5-20. 電流制限と V_{IN} の関係



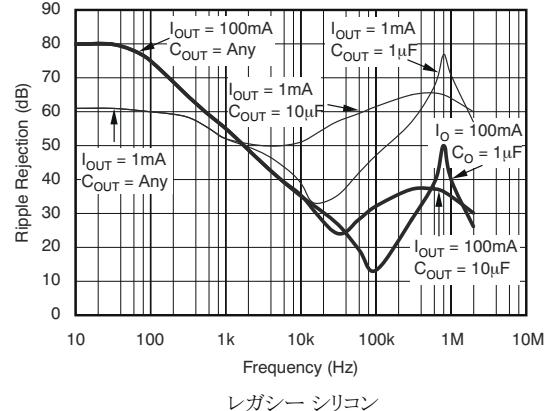
レガシー シリコン

図 5-21. 電流制限と温度との関係



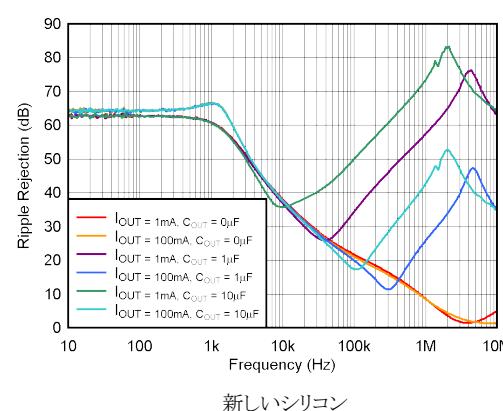
新しいシリコン

図 5-22. 電流制限と温度との関係



レガシー シリコン

図 5-23. PSRR (リップル除去) と周波数との関係



新しいシリコン

図 5-24. PSRR (リップル除去) と周波数との関係

5.6 代表的特性 (続き)

$T_J = 25^\circ\text{C}$ 、 $V_{IN} = (V_{OUT(nom)} + 1\text{V})$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 2.2\text{V}$ 、 $C_{OUT} = 2.2\mu\text{F}$ (特に記述のない限り)

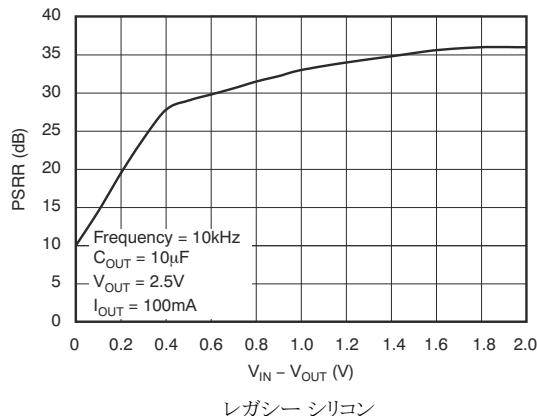


図 5-25. PSRR (リップル除去) と $V_{IN} - V_{OUT}$ との関係

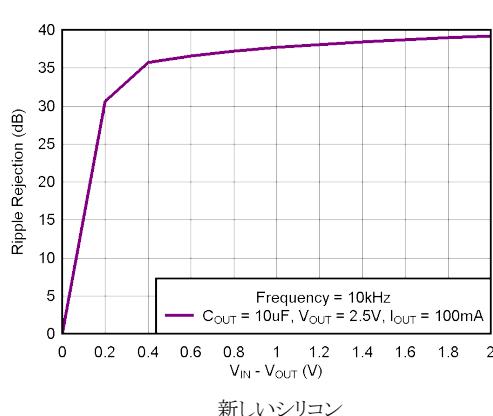


図 5-26. PSRR (リップル除去) と $(V_{IN} - V_{OUT})$ との関係

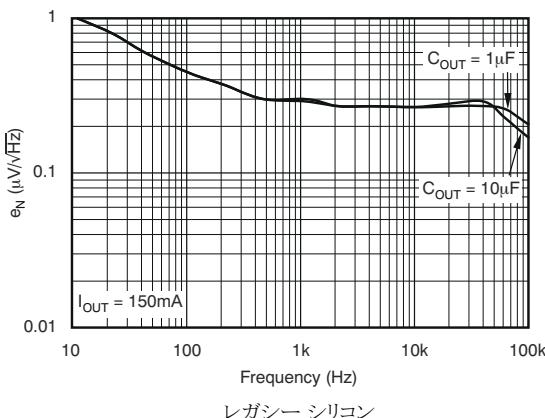


図 5-27. ノイズスペクトル密度

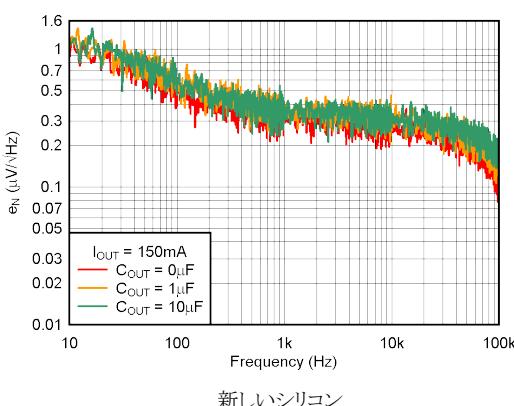


図 5-28. ノイズスペクトル密度

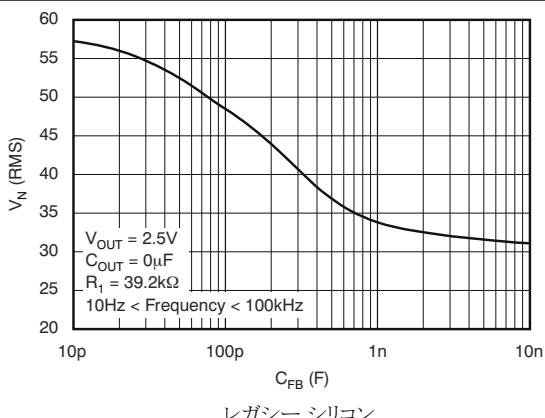


図 5-29. TPS73701-Q1 の RMS ノイズ電圧と C_{FB} との関係

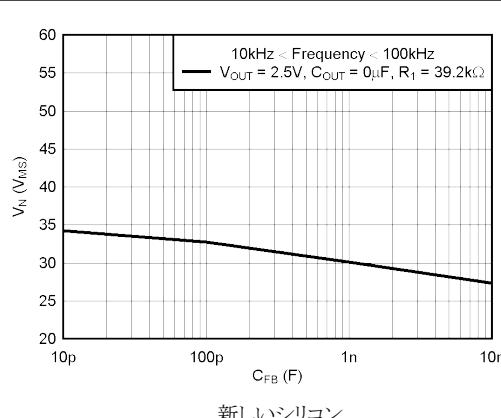


図 5-30. TPS73701-Q1 の RMS ノイズ電圧と C_{FB} との関係

5.6 代表的特性 (続き)

$T_J = 25^\circ\text{C}$ 、 $V_{IN} = (V_{OUT(nom)} + 1\text{V})$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 2.2\text{V}$ 、 $C_{OUT} = 2.2\mu\text{F}$ (特に記述のない限り)

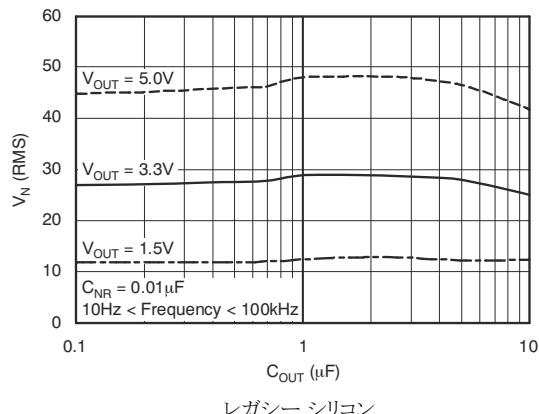


図 5-31. RMS ノイズ電圧と C_{OUT} との関係

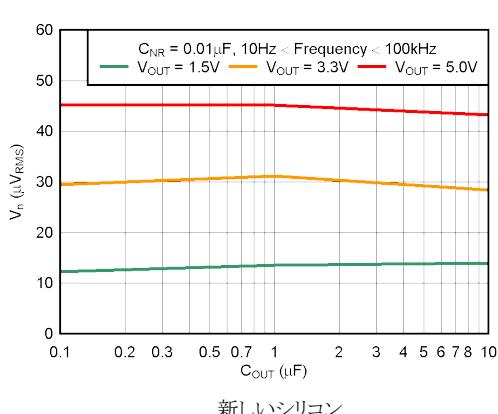


図 5-32. RMS ノイズ電圧と C_{OUT} との関係

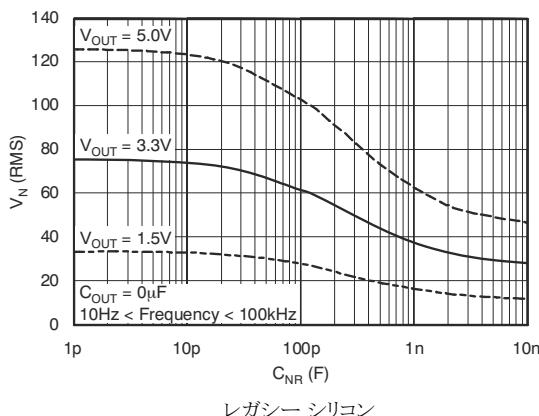


図 5-33. RMS ノイズ電圧と C_{NR} との関係

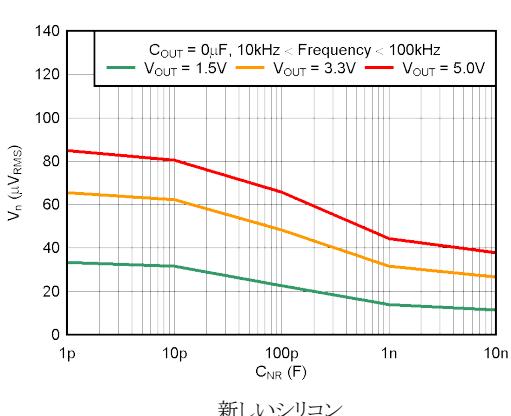


図 5-34. RMS ノイズ電圧と C_{NR} との関係

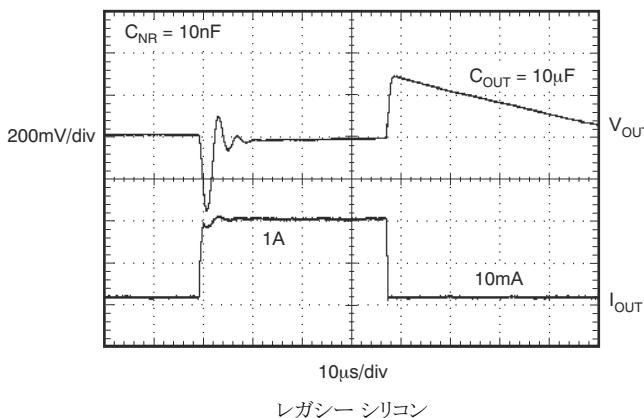


図 5-35. TPS73733-Q1 の負荷過渡応答

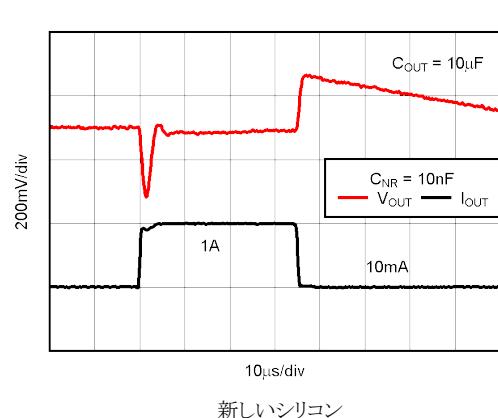


図 5-36. TPS73733-Q1 の負荷過渡応答

5.6 代表的特性 (続き)

$T_J = 25^\circ\text{C}$ 、 $V_{IN} = (V_{OUT(nom)} + 1\text{V})$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 2.2\text{V}$ 、 $C_{OUT} = 2.2\mu\text{F}$ (特に記述のない限り)

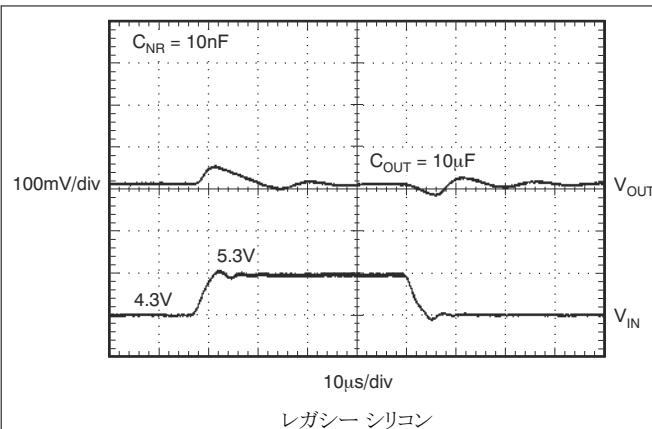
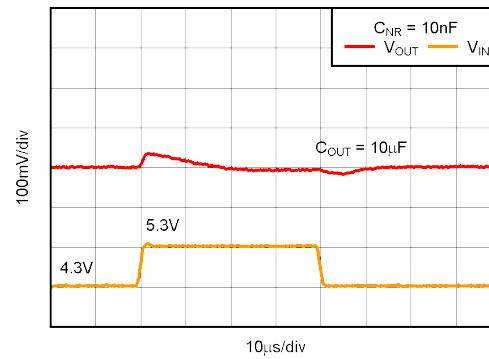


図 5-37. TPS73733-Q1 のライン過渡応答



新しいシリコン

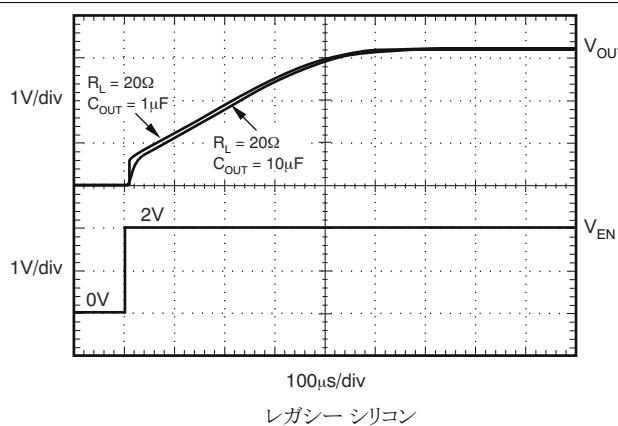
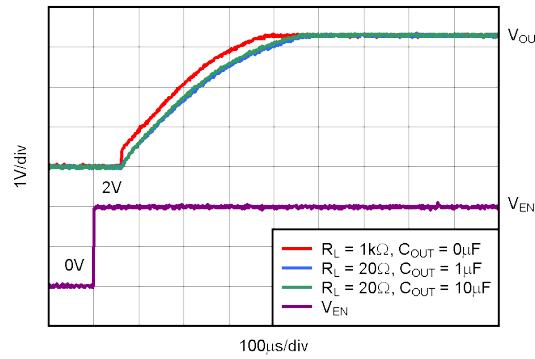


図 5-39. TPS73701-Q1 のターンオン応答



新しいシリコン

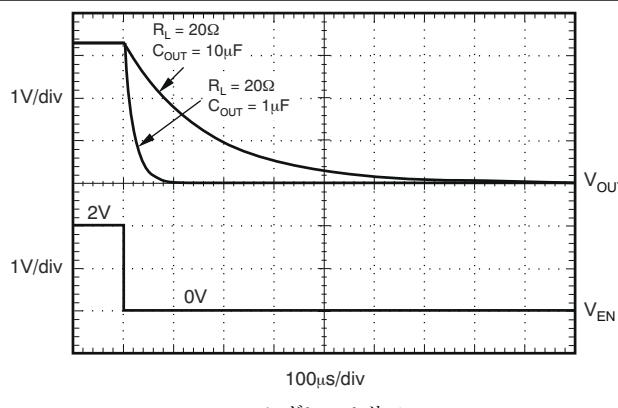
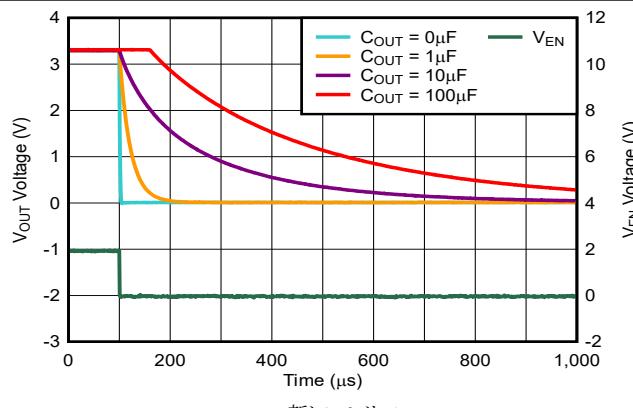


図 5-41. TPS73701-Q1 のターンオフ応答



新しいシリコン

5.6 代表的特性 (続き)

$T_J = 25^\circ\text{C}$ 、 $V_{IN} = (V_{OUT(nom)} + 1\text{V})$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 2.2\text{V}$ 、 $C_{OUT} = 2.2\mu\text{F}$ (特に記述のない限り)

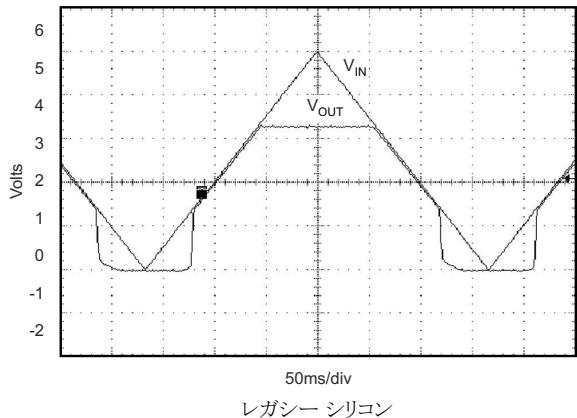


図 5-43. TPS73701-Q1、 $V_{OUT} = 3.3\text{V}$ 電源オンおよび電源オフ

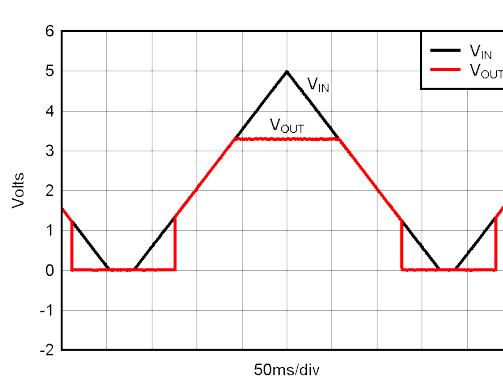


図 5-44. TPS73701-Q1、 $V_{OUT} = 3.3\text{V}$ 電源オンおよび電源オフ

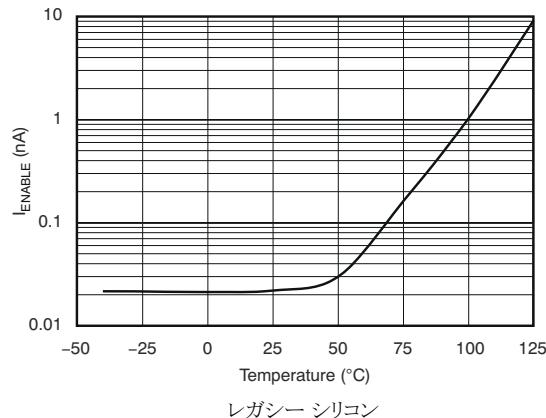


図 5-45. I_{ENABLE} vs 温度

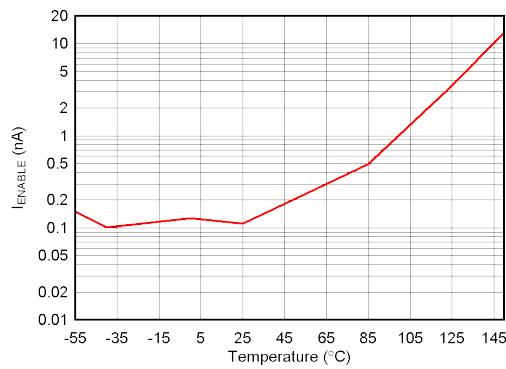


図 5-46. I_{EN} vs 温度

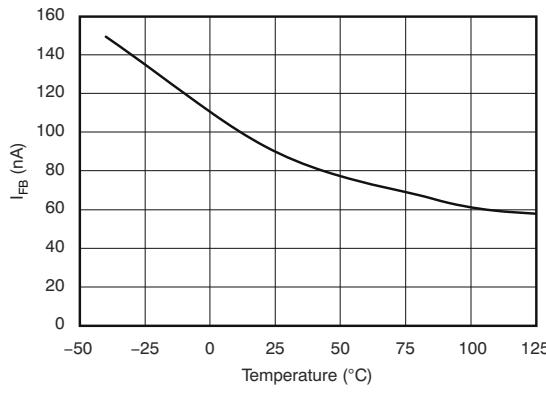


図 5-47. TPS73701-Q1 I_{FB} と温度との関係

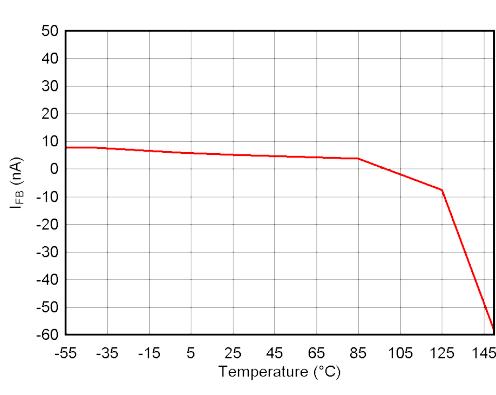


図 5-48. TPS73701-Q1 I_{FB} と温度との関係

5.6 代表的特性 (続き)

$T_J = 25^\circ\text{C}$ 、 $V_{IN} = (V_{OUT(nom)} + 1\text{V})$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 2.2\text{V}$ 、 $C_{OUT} = 2.2\mu\text{F}$ (特に記述のない限り)

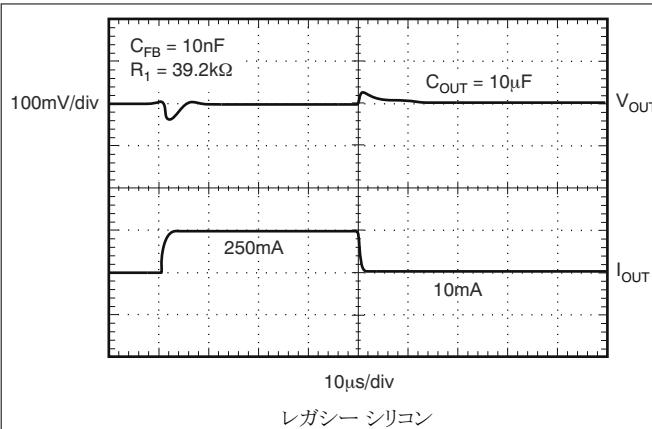


図 5-49. TPS73701-Q1 の負荷過渡応答、可変バージョン

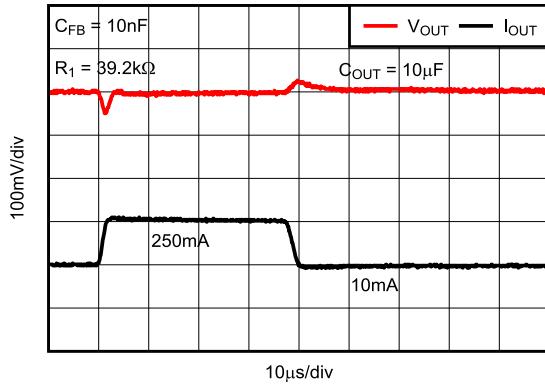


図 5-50. TPS73701-Q1 の負荷過渡応答、可変バージョン

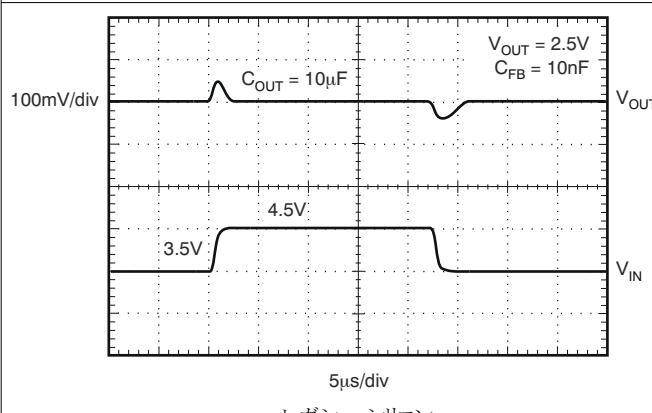


図 5-51. TPS73701-Q1 のライン過渡応答、可変バージョン

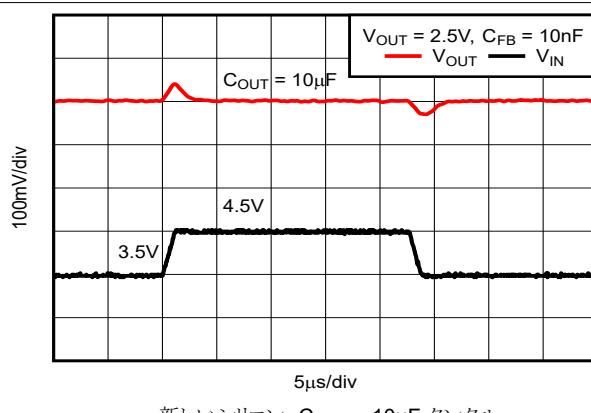


図 5-52. TPS73701-Q1 のライン過渡応答、可変バージョン

6 詳細説明

6.1 概要

TPS737-Q1 は、n 型電界効果トランジスタ (NMOS) パストランジスタを使用する低ドロップアウト (LDO) レギュレーターです。このトランジスタは、超低ドロップアウト性能および逆電流ブロックを実現し、出力コンデンサの制約を受けないようにしています。これらの機能に加え、イネーブル入力を備えた TPS737-Q1 は、携帯用途向けに設計されています。このレギュレータには、広範な固定出力電圧バージョンと可変出力バージョンがあります。すべてのバージョンには、フォールドバック電流制限など、過熱保護および過電流保護機能が搭載されています。

表 6-1 に、標準的な 1% 精度の抵抗の一般的な出力電圧を示します。

表 6-1. 一般的な出力電圧の標準 1% 精度の抵抗値

V_{OUT} (1)	R_1	R_2
1.2V	短絡	オープン
1.5V	23.2k Ω	95.3k Ω
1.8V	28k Ω	56.2k Ω
2.5V	39.2k Ω	36.5k Ω
2.8V	44.2k Ω	33.2k Ω
3V	46.4k Ω	33.2k Ω
3.3V	52.3k Ω	30.1k Ω

(1) $V_{OUT} = (R_1 + R_2) / R_2 \times 1.204R_1 \parallel R_2 \approx 19k\Omega$ (最善の精度を得るために)。

6.2 機能ブロック図

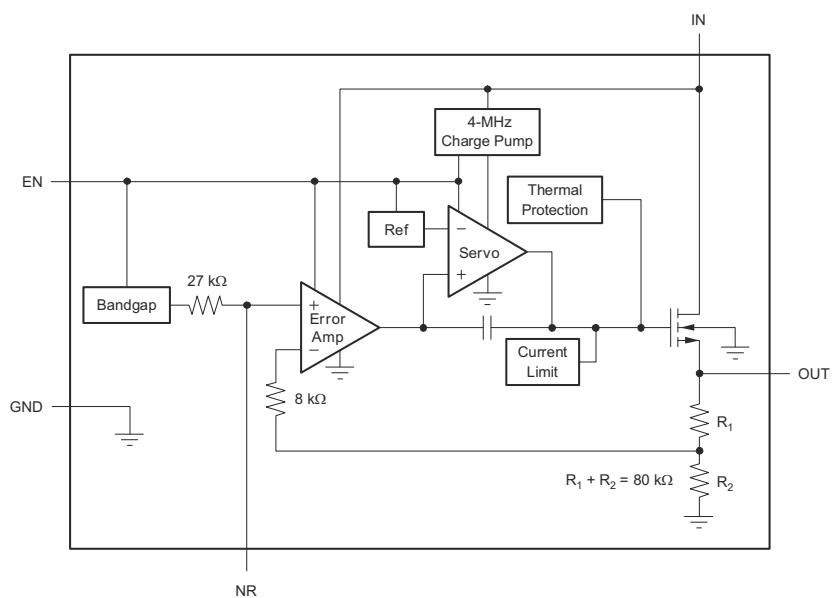
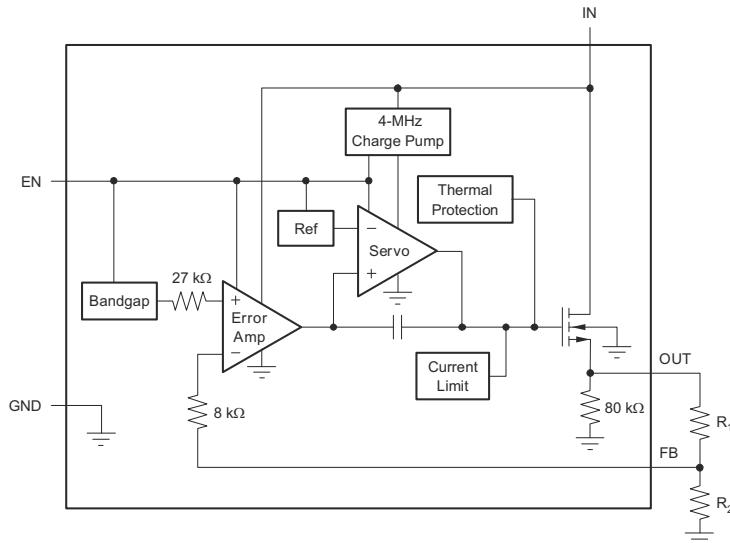


図 6-1. 固定電圧バージョン



標準的な抵抗値については、表 6-1 を参照してください。

図 6-2. 可変電圧バージョン

6.3 機能説明

6.3.1 出力ノイズ

高精度のバンドギャップ基準電圧を使用して、内部リファレンス電圧 (V_{REF}) を生成します。このリファレンスは TPS737-Q1 の主要なノイズ源であり、リファレンス出力 (NR) で約 $32\mu V_{RMS}$ (10Hz~100kHz) を生成します。レギュレータ制御ループは、リファレンス電圧と同じゲインで、リファレンスノイズにゲインを追加します。そのため、レギュレータのノイズ電圧は式 1 で概算されます。

$$V_N = 32 \mu V_{RMS} \times \frac{(R_1 + R_2)}{R_2} = 32 \mu V_{RMS} \times \frac{V_{OUT}}{V_{REF}} \quad (1)$$

V_{REF} の値が 1.2V であるため、 C_{NR} を使用しない場合は次の式に簡略化されます。

$$V_N (\mu V_{RMS}) = 27 \left(\frac{\mu V_{RMS}}{V} \right) \times V_{OUT} (V) \quad (2)$$

電圧リファレンスのローパスフィルタを形成するために、外部のノイズ低減コンデンサ (C_{NR}) を NR からグランド (C_{NR}) に接続します。内部 27kΩ 抵抗は、電圧リファレンスとノイズ低減ピン (NR) の間に直列に接続されています。10Hz~100kHz の帯域幅での合計ノイズは、 $C_{NR} = 10nF$ の場合、約 3.2 倍に低減されます。したがって、 $C_{NR} = 10nF$ の場合のおおよその関係は式 3 で表されます。

$$V_N (\mu V_{RMS}) = 8.5 \left(\frac{\mu V_{RMS}}{V} \right) \times V_{OUT} (V) \quad (3)$$

このノイズ低減の効果を図 5-33 に示します。

TPS737-Q1 は内部チャージポンプを使用して内部供給電圧を生成します。生成される電源電圧は、NMOS パストランジスタのゲートを V_{OUT} より高く駆動するのに十分です。チャージポンプは、約 4MHz で約 250μV のスイッチングノイズを生成します。ただし、チャージポンプによるノイズの影響は、ほとんどの I_{OUT} および C_{OUT} の値においてレギュレーターの出力では無視できます。

6.3.2 内部電流制限

TPS737-Q1 の内部電流制限は、故障時にもレギュレータを保護します。フォールドバック電流制限は、 V_{OUT} が 0.5V を下回ったときに電流制限を下げることで、出力短絡時のレギュレータの損傷を防ぎます。[図 5-17](#) を参照してください。

6.3.3 イネーブルおよびシャットダウン

イネーブルピン(EN)はアクティブ High であり、標準の TTL-CMOS レベルと互換です。イネーブルピン(EN)はアクティブ High である標準的な TTL-CMOS レベルと互換性があります。 V_{EN} が 0.5V(最大値)未満になると、レギュレータはオフになります、GND ピンの電流は約 10nA にまで低下します。EN ピンを使用してレギュレータをシャットダウンすると、すべての電荷がパストランジスタのゲートから除去されます。 V_{EN} が 1.7V(最小値)を超えるとレギュレータはオンになります、出力は制御された V_{OUT} に戻ります(詳細は[図 5-39](#) を参照)。

シャットダウン機能が不要な場合は、EN ピンを V_{IN} に接続します。ただし、この構成では、パストランジスタのゲートを放電できない可能性があります。そのため、 V_{IN} を取り除いた後、パストランジスタがしばらくの間オン状態(エンハンスド状態)のまま残る可能性があります。この状況では、逆電流が流れ(IN ピンが低インピーダンスの場合)、電源オン時のランプ時間が短くなります。さらに、 V_{IN} の立ち上がり時間が数ミリより遅い場合、電源投入時に出力がオーバーシュートを起こす可能性があります。

6.3.4 逆電流

NMOS パストランジスタは、パストランジスタのゲートを低くしたときに、レギュレータの出力から入力に電流が流れないように保護します。パストランジスタのゲートから確実にすべての電荷を取り除くには、入力電圧が取り除かれる前に EN ピンを low に駆動します。この手順を実行しないと、ゲートに蓄積された電荷が原因でパストランジスタがオンのままになる可能性があります。

EN ピンを low に駆動した後、逆電流を遮断するために、どのピンにもバイアス電圧を印加する必要はありません。逆電流とは、OUT ピンに電圧が印可されることによって IN ピンから流れ出す電流を指します。80k Ω 内部抵抗分圧器がグランドに接続されているため、OUT ピンに追加の電流が流れます([図 6-1](#) および[図 6-2](#) を参照)。

TPS73701-Q1 の場合、 V_{FB} が V_{IN} を 1V 以上上回ると、逆電流が流れる可能性があります。

6.3.5 過熱保護

過熱保護機能は、接合部温度が約 160°C に上昇すると出力を無効化し、デバイスを冷却させます。接合部温度が約 140°C まで冷却されると、出力回路が再びオンになります。消費電力、熱抵抗、および周囲温度に応じて、過熱保護回路はオン/オフを繰り返します。このオン/オフ サイクルによりレギュレータの消費電力が制限され、過熱による損傷からレギュレータを保護します。

過熱保護回路が作動する傾向がある場合、消費電力が過剰であるか、ヒートシンクが不十分であることを示しています。信頼性の高い動作のために、接合部温度を最大 125°C に制限してください。設計全体(ヒートシンクを含む)の安全マージンを推定するためには、周囲温度を上昇させて加熱保護が作動する点を確認します。最悪の負荷と信号条件を使用してください。高い信頼性を実現するために、予想される最大周囲条件を少なくとも 35°C 上回ると過熱保護がトリガされるように設定します。この制限により、予想される最高周囲温度および最悪の場合の負荷で、最悪の場合の接合部温度は 125°C になります。

TPS737-Q1 の内部保護回路は、過負荷状態に対して保護を行うように設計されています。この回路は、適切なヒートシンクの代わりとなるものではありません。TPS737-Q1 のサーマル シャットダウンが作動する状態で使用を続けると、信頼性が低下します。

6.4 デバイスの機能モード

EN ピンに 1.7V 以上を加えると、レギュレータが動作します。EN を 0.5V 未満にすると、レギュレータはシャットダウンモードに移行します。シャットダウン時には、デバイスの消費電流が 20nA(標準値)に低下します。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

TPS737-Q1 LDO レギュレータは NMOS パストランジスタを使用して、超低ドロップアウト性能および逆電流ブロックを実現し、出力コンデンサの制約を受けないようにしています。これらの機能に加え、低ノイズおよびイネーブル入力を備えた TPS737-Q1 は、携帯用途向けに設計されています。

7.2 代表的なアプリケーション

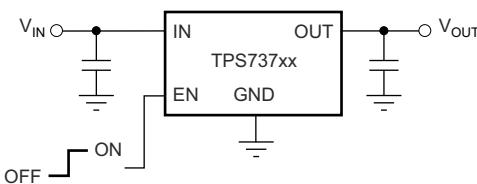


図 7-1. 代表的なアプリケーション回路（固定電圧バージョン）

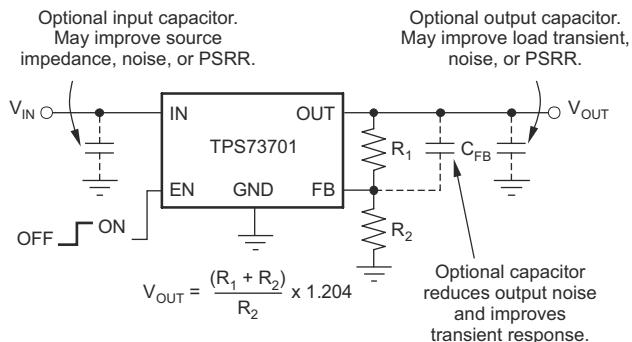


図 7-2. 代表的なアプリケーション回路（可変電圧バージョン）

7.2.1 設計要件

図 7-2 の式を使用して、出力電圧に応じた R_1 と R_2 を計算します。一般的な出力電圧に対するサンプル抵抗値は [表 6-1](#) に記載されています。

最高の精度を得るため、 R_1 と R_2 の並列組み合わせをできるだけ $19\text{k}\Omega$ に近付けます。この $19\text{k}\Omega$ に、内部の $8\text{k}\Omega$ 抵抗が加わることで、エラーアンプに対して $27\text{k}\Omega$ のバンドギャップ リファレンス出力と同じインピーダンスを提供します。このインピーダンスは、エラー アンプ端子へのリードを補償するのに役立ちます。

可変バージョンの TPS73701-Q1 には、NR ピンがありません。ただし、出力から帰還ピン (FB) に帰還コンデンサ (C_{FB}) を接続することで、出力ノイズが減少し、負荷過渡性能が向上します。このコンデンサは $0.1\mu\text{F}$ に制限してください。

7.2.2 詳細な設計手順

7.2.2.1 入出力コンデンサの要件

安定性のために、入力コンデンサは必要ありません。ただし、入力インピーダンスが非常に低い場合、 $0.1\mu\text{F} \sim 1\mu\text{F}$ の低 ESR (等価直列抵抗) コンデンサを、レギュレータ付近の入力電源に接続します。このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、ノイズ除去、リップル除去を改善します。立ち上がり時間の短い大きな負荷またはライン過渡事

象が予想される場合、またはデバイスが電源から数インチの場所に配置される場合は、より大きな値のコンデンサが必要になることがあります。

TPS737-Q1 の安定動作には、 $1\mu\text{F}$ の出力コンデンサが必要です。本デバイスは、利用可能なすべてのタイプとコンデンサの値で安定するよう設計されています。複数の低 **ESR** コンデンサを並列接続する場合、 C_{OUT} と合計 **ESR** の積が $50\text{nF} \times \Omega$ を下回るとリギングが発生する可能性があります。合計 **ESR** には、コンデンサの **ESR** に加え、基板、ソケット、半田接合抵抗を含むすべての寄生抵抗が含まれます。ほとんどの用途では、コンデンサの **ESR** と配線抵抗の合計がこの要件を満たします。

7.2.2.2 ドロップアウト電圧

TPS737-Q1 は NMOS パストランジスタを使用して、非常に低いドロップアウト電圧を実現しています。 $(V_{\text{IN}} - V_{\text{OUT}})$ がドロップアウト電圧 (V_{DO}) よりも低い場合、NMOS パストランジスタはリニア領域で動作します。このとき、このとき入力と出力の間の抵抗は NMOS パストランジスタの $R_{\text{DS(ON)}}$ となります。

TPS737-Q1 では、負荷電流の大きな負荷変動時の過渡応答の低下を避けるため、 V_{IN} から V_{OUT} への電圧差を十分に確保する必要があります。この過渡ドロップアウト領域の境界は、DC ドロップアウト電圧の約 2 倍です。 $V_{\text{IN}} - V_{\text{OUT}}$ の値がこの境界を超えている場合、通常の過渡応答が得られます。

過渡ドロップアウト領域で動作する場合、復帰時間が長くなります。負荷変動からの復帰時間は、負荷電流の変化量とその変化速度によって決まります。また、復帰時間は負荷電流の変化率と、確保できるヘッドルーム (V_{IN} から V_{OUT} への電圧差) にも影響を受けます。最悪の場合、TPS737-Q1 が規定の精度まで復帰するのに数百マイクロ秒かかる可能性があります。この最悪条件は、 $(V_{\text{IN}} - V_{\text{OUT}})$ が DC ドロップアウトに近い状態で、瞬間にフルスケールの負荷変動が発生した場合です。

7.2.2.3 過渡応答

電圧フォロワ構成の NMOS パストランジスタにより低い開ループ出力インピーダンスが得られるため、動作に $1\mu\text{F}$ 出力コンデンサは不要です。他のレギュレータと同様に、**OUT** ピンからグランドへの静電容量を追加すると、アンダーシュートの大きさが減少しますが、持続時間は長くなります。可変バージョンでは、**OUT** ピンと **FB** ピンとの間にコンデンサ (C_{FB}) を追加することで、過渡応答が改善されます。

TPS737-Q1 には、出力が過電圧の際のアクティブプルダウン機能はありません。このアーキテクチャにより、別の電源などの高い電圧源を出力に接続する用法が可能になります。このアーキテクチャでは、負荷電流が急速にゼロに下がった場合、出力に接続されたコンデンサにより数パーセントのオーバーシュートが発生します。オーバーシュートの持続時間を見短するには、負荷抵抗を追加します。オーバーシュートは、出力コンデンサ (C_{OUT}) と内部および外部の負荷抵抗によって決まる速度で減衰します。減衰の速度は式 4 および式 5 によって示されます。

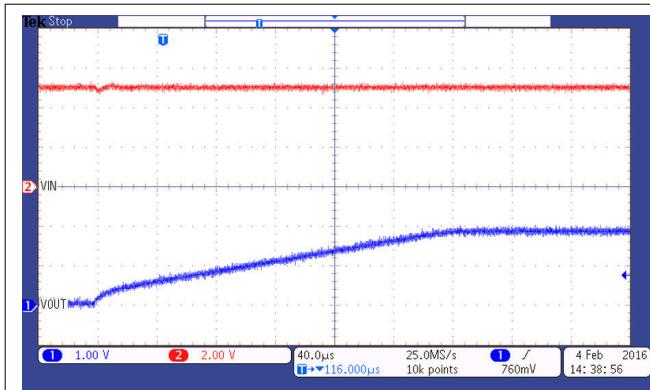
(固定電圧バージョン) :

$$\frac{dV}{dT} = \frac{V_{\text{OUT}}}{C_{\text{OUT}} \times 80 \text{ k}\Omega \parallel R_{\text{LOAD}}} \quad (4)$$

(可変電圧バージョン) :

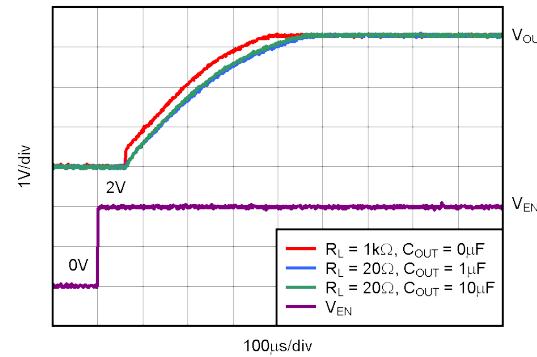
$$\frac{dV}{dT} = \frac{V_{\text{OUT}}}{C_{\text{OUT}} \times 80 \text{ k}\Omega \parallel (R_1 + R_2) \parallel R_{\text{LOAD}}} \quad (5)$$

7.2.3 アプリケーション曲線



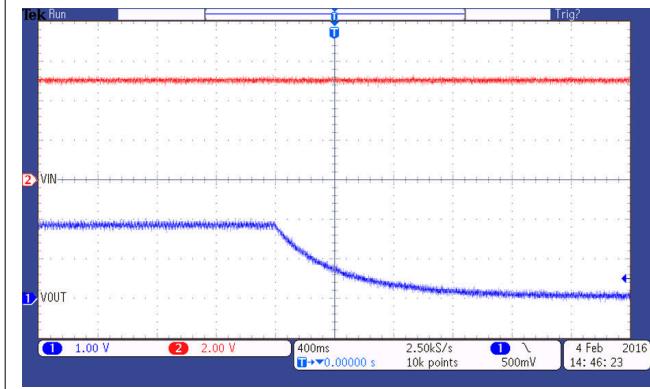
レガシー シリコン

図 7-3. TPS737-Q1 のスタートアップ



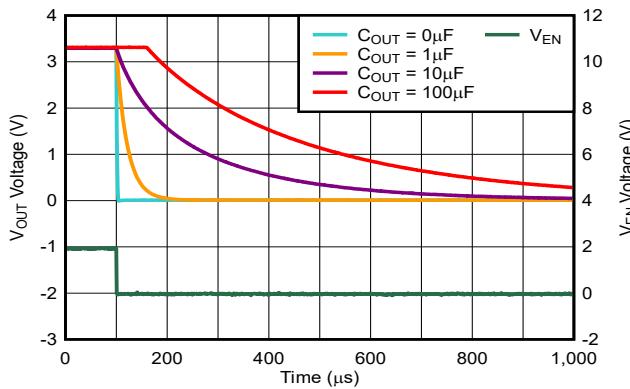
新しいシリコン

図 7-4. TPS73701-Q1 のターンオン応答



レガシー シリコン

図 7-5. TPS737-Q1 シャットダウン



新しいシリコン

図 7-6. TPS73701-Q1 のターンオフ応答

7.3 電源に関する推奨事項

このデバイスは、2.2V から 5.5V の入力電源電圧範囲で動作するように設計されています。この入力電圧範囲により、デバイスがレギュレートされた出力を供給するための十分なヘッドルームが得られます。この入力電源が十分に安定化されていることを確認してください。入力電源にノイズがある場合、ESR の低い入力コンデンサを追加すると、出力のノイズ特性を改善するために役立ちます。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

7.4.1.1 PSRR とノイズ特性の向上

V_{IN} と V_{OUT} の各コンデンサに対応するグランド プレーン接続を使用してプリント基板 (PCB) を設計します。PSRR、出力ノイズ、過渡応答などの AC 性能を向上させるため、グランド プレーンをデバイスの GND ピンに接続してください。さらに、バイパスコンデンサのグランド接続はデバイスの GND ピンに直接接続するようにしてください。

7.4.1.2 電力散逸

ダイからの放熱性能はパッケージの種類によって異なるため、PCB レイアウト時に考慮すべき検討事項も異なります。デバイス周辺の部品がない PCB 領域は、放熱の役割を果たします。また、厚みのある銅箔を使用すると、デバイスからの放熱効率が向上します。さらに、放熱層へ導通穴 (スルーホール) を追加することで、ヒートシンクの効果を高めることができます。

消費電力は、入力電圧と負荷条件によって異なります。消費電力 (P_D) は、出力電流に出力パストランジスタ間 (V_{IN} から V_{OUT}) の電圧降下を乗算した値に等しくなります。消費電力 (P_D) は、次の式で計算されます。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (6)$$

必要な出力電圧を供給するために必要な可能な限り低い入力電圧を使用して、電力消費を最小限に抑えます。

7.4.2 レイアウト例

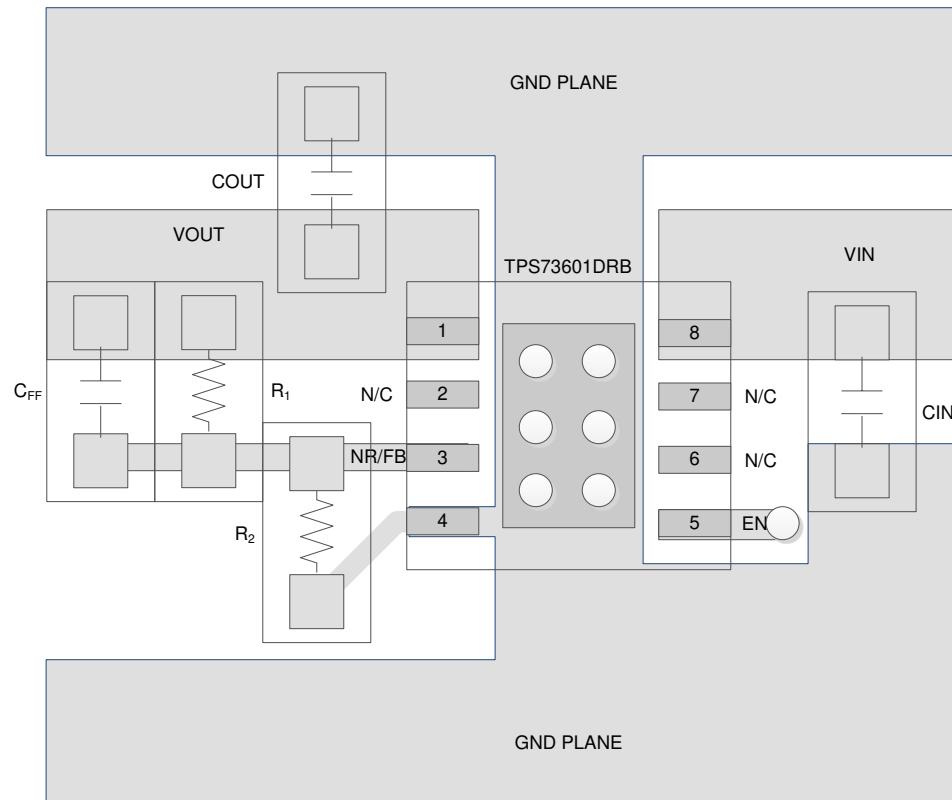


図 7-7. 可変出力電圧オプションのレイアウト (DRB パッケージ)

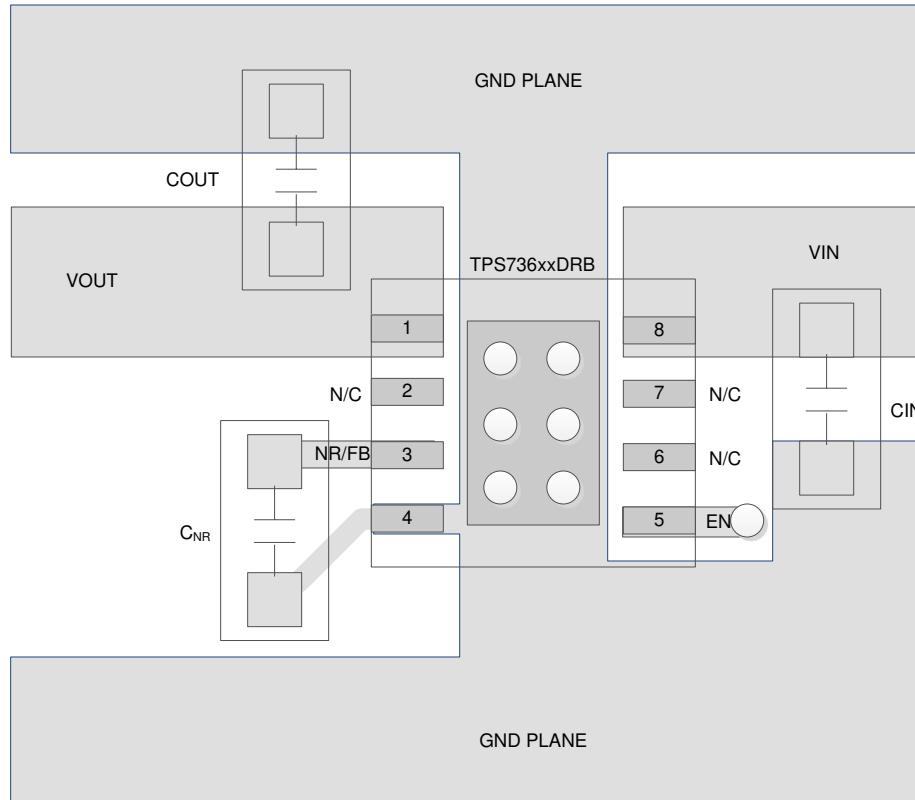


図 7-8. 固定出力電圧オプションのレイアウト (DRB パッケージ)

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 デバイスの命名規則

表 8-1. 注文情報

製品 ⁽¹⁾	説明
TPS737xxQyyyz(M3)Q1	<p>xx は公称出力電圧です (例: 25 = 2.5V、01 = 可変⁽²⁾)。</p> <p>Q は、AEC-Q100 規格のグレード 1 に準拠したデバイスであることを表します。</p> <p>yyy はパッケージ指定子です。</p> <p>Z はパッケージ数量です。</p> <p>M3 は、最新の製造フロー (CSO: RFB) のみを使用するデバイスの接尾辞指定子です。この接尾辞がないデバイスは、従来のシリコン (CSO: DLN) または新しいシリコン (CSO: RFB) と共に出荷されます。リール包装ラベルには、使用されているシリコンを識別するための CSO 情報が記載されています。本書では、新旧のシリコンごとのデバイス性能について説明しています。</p> <p>Q1 は、このデバイスが車載グレード (AEC-Q100) のデバイスであることを表します。</p>

(1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ オプションの付録を参照するか、www.ti.com にあるデバイスの製品フォルダをご覧ください。

(2) 1.20V 固定動作の場合は、FB を OUT に接続します。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (September 2019) to Revision C (March 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 現在のファミリのフォーマットに合わせてドキュメント全体を変更.....	1
• ドキュメントに新しいシリコン (M3) デバイスを追加.....	1
• 新しいシリコンの熱に関する情報を追加.....	4
• 内部リファレンスの標準値を更新.....	5
• 新しいシリコンの精度を追加.....	5
• 新しいシリコンのグランド電流を追加.....	5
• 「代表的特性」セクションに新しいシリコン曲線を追加.....	6
• 「パッケージ実装」セクションを削除.....	20

Changes from Revision A (July 2016) to Revision B (September 2019)	Page
• デバイスの温度グレードを AEC-Q100 に変更(特長の箇条書き).....	1
• 「特長」の出力電圧バージョンの箇条書き項目から副項目を削除.....	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS73719QDRBRQ1	Active	Production	SON (DRB) 8	3000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	719Q
TPS73719QDRBRQ1.A	Active	Production	SON (DRB) 8	3000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	719Q
TPS73733QDRBRQ1	Active	Production	SON (DRB) 8	3000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	733Q
TPS73733QDRBRQ1.A	Active	Production	SON (DRB) 8	3000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	733Q

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

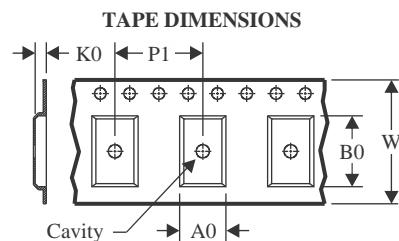
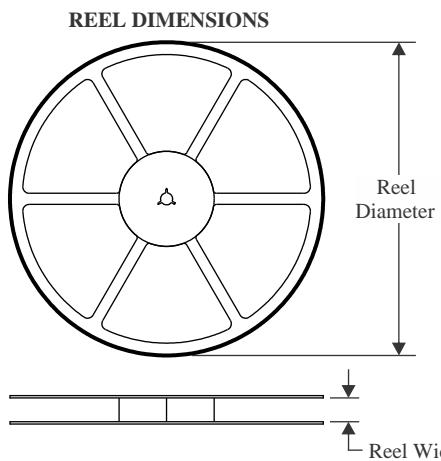
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS737-Q1 :

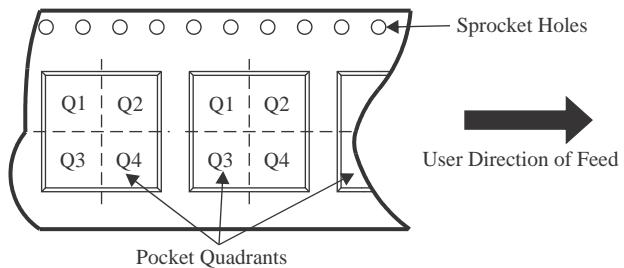
-
- Catalog : [TPS737](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

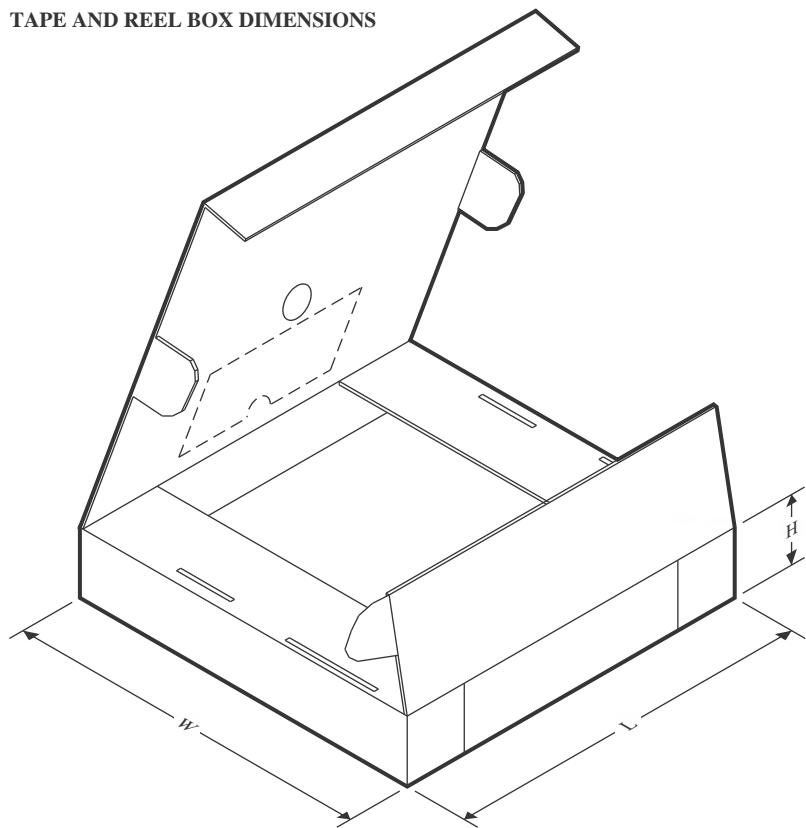
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS73719QDRBRQ1	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS73733QDRBRQ1	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS73719QDRBRQ1	SON	DRB	8	3000	353.0	353.0	32.0
TPS73733QDRBRQ1	SON	DRB	8	3000	353.0	353.0	32.0

GENERIC PACKAGE VIEW

DRB 8

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4203482/L

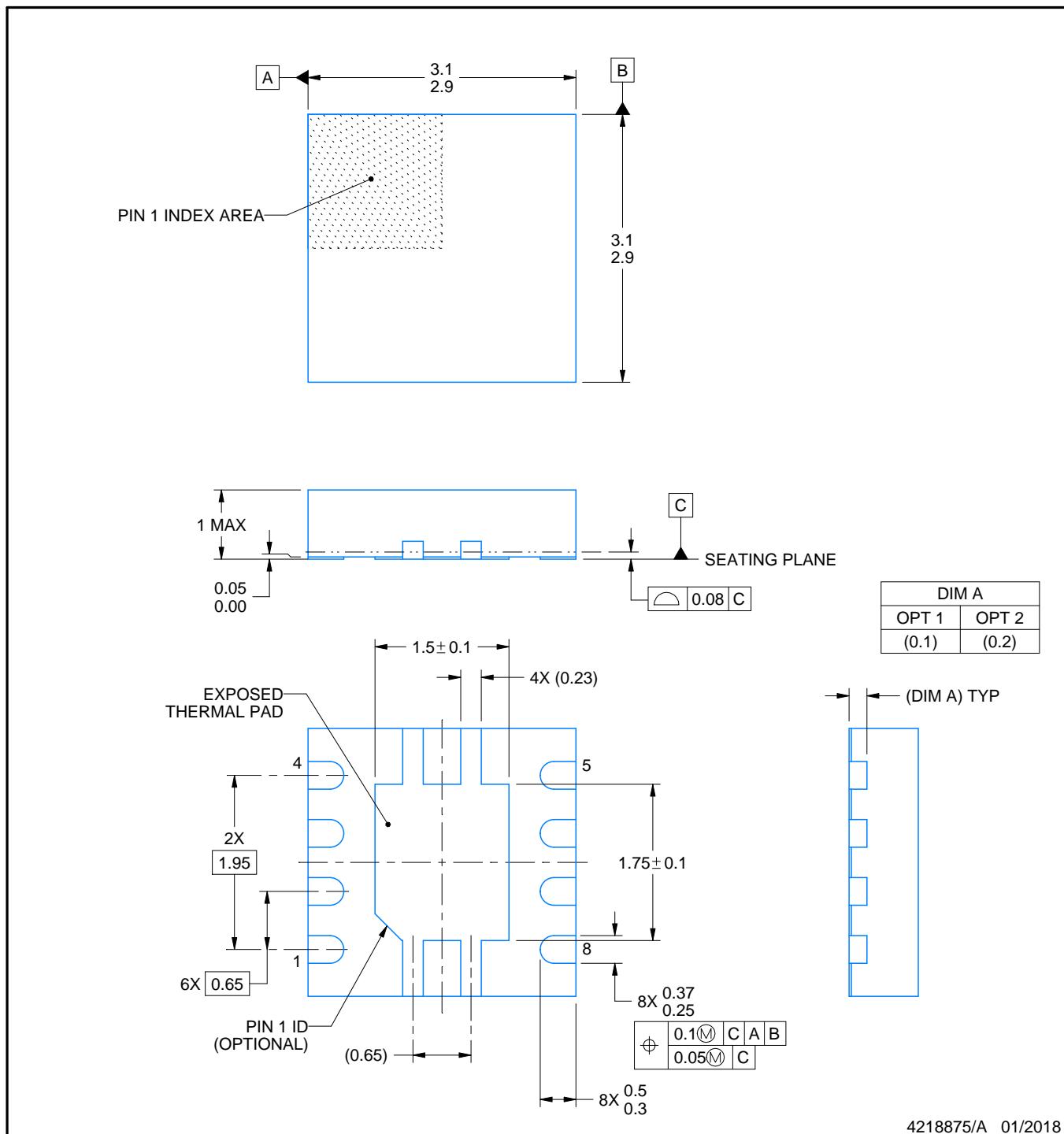
DRB0008A



PACKAGE OUTLINE

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

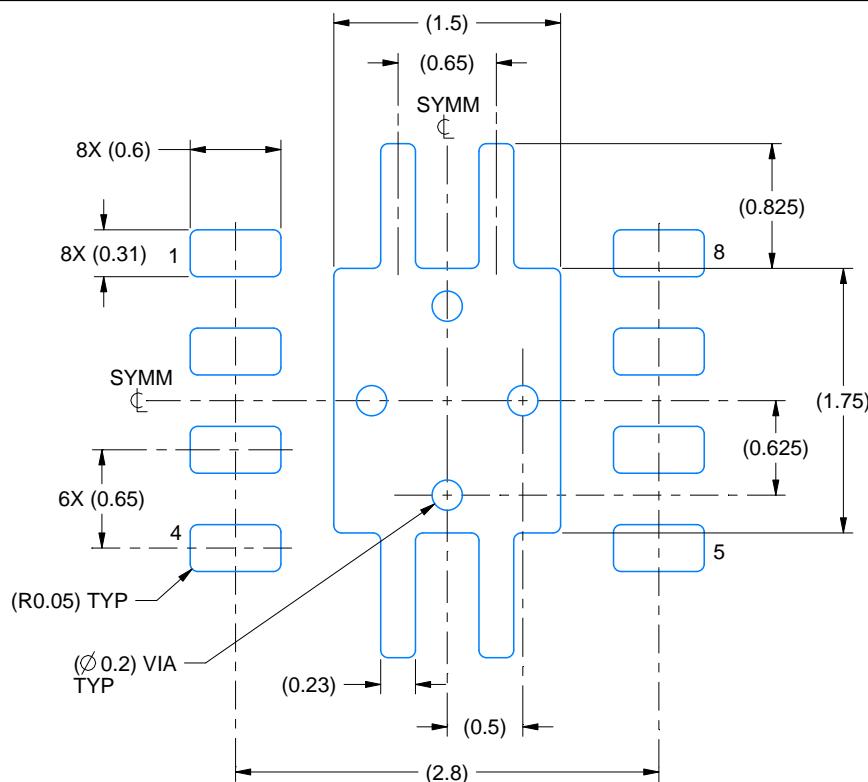
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

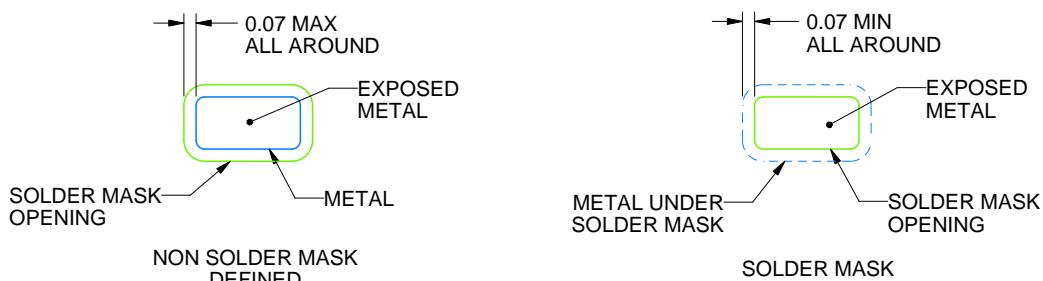
DRB0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4218875/A 01/2018

NOTES: (continued)

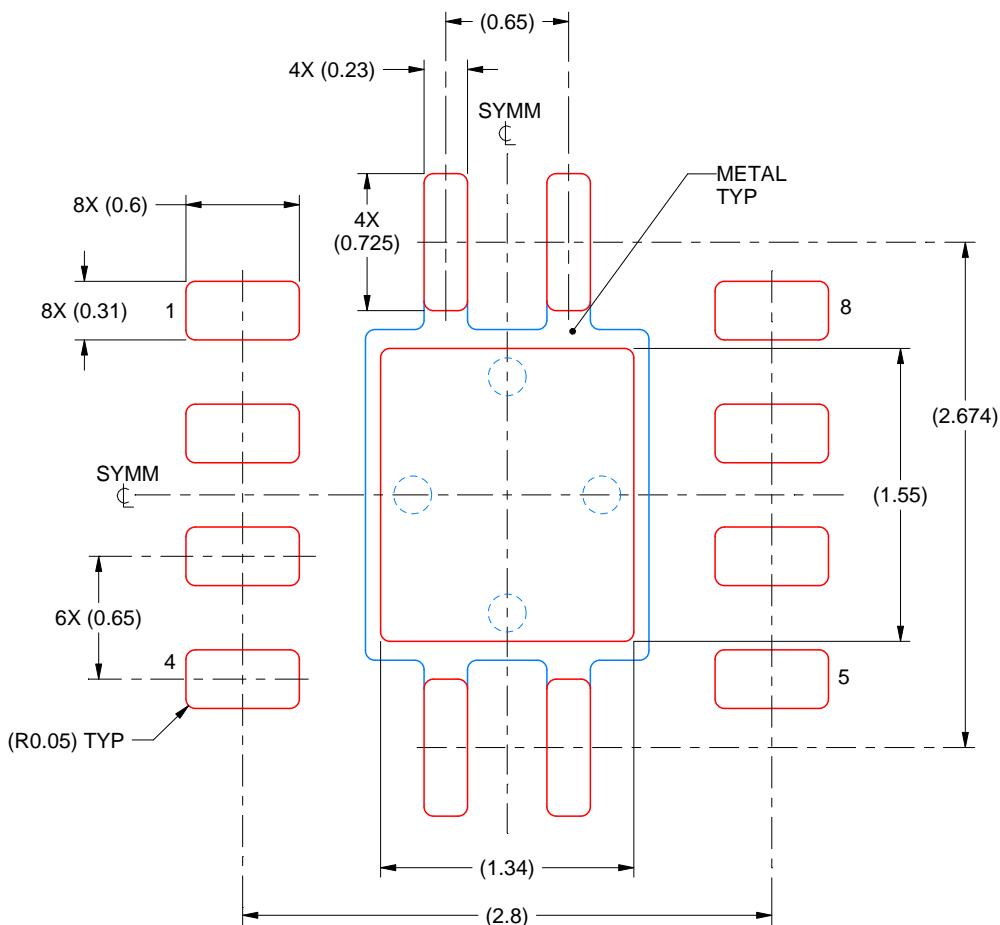
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DRB0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
84% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4218875/A 01/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月