

# TPS736xx-EP コンデンサ不要、NMOS、400mA、低ドロップアウト レギュレータ、 逆電流保護機能搭載

## 1 特長

- 管理されたベースライン:
  - 単一のアセンブリ
  - 単一のテスト施設
  - 単一の製造施設
- 拡張温度範囲:  $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$
- 強化された DMS (Diminishing Manufacturing Sources) のサポート
- 製品変更通知の強化
- 認定資格<sup>1</sup>
- 出力コンデンサなし、または任意の値またはタイプのコンデンサで安定動作
- 入力電圧範囲:  $1.7\text{V} \sim 5.5\text{V}$
- 非常に低いドロップアウト電圧:  $75\text{mV}$  (標準値)
- 非常に優れた負荷過渡応答 (オプションの出力コンデンサの有無にかかわらず)
- 新しい NMOS トポロジにより、逆リーク電流を低減
- 低ノイズ:  $30\mu\text{V}_{\text{RMS}}$  標準値 ( $10\text{Hz} \sim 100\text{kHz}$ )
- 初期精度:  $0.5\%$
- ライン、負荷、温度の全範囲にわたって  $1\%$  の総合精度
- シャットダウン モードの最大  $I_Q$ :  $1\mu\text{A}$  未満
- サーマル シャットダウン、仕様規定された最小 / 最大電流制限保護
- 複数の出力電圧バージョンが利用可能:
  - 固定出力:  $1.2\text{V} \sim 3.3\text{V}$
  - 調整可能な出力:  $1.2\text{V} \sim 5.5\text{V}$
  - カスタム出力品も提供

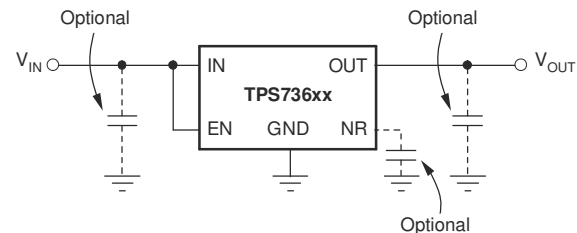
## 2 アプリケーション

- ポータブル - バッテリ駆動機器
- スイッチング電源のポストレギュレーション
- ノイズ - 影響を受けやすい回路 (VCO など)
- DSP、FPGA、ASIC、マイクロプロセッサのポイント オブロード レギュレーション

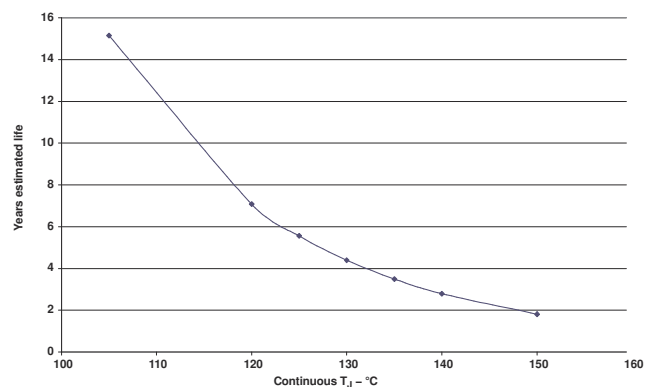
## 3 説明

TPS736xx-EP 低ドロップアウト (LDO) リニア電圧レギュレータ ファミリーは新しいトポロジ (電圧フォロワ構成の NMOS パス素子) を使用しています。このトポロジは、低 ESR の出力コンデンサで安定に動作し、コンデンサを使用しなくても動作できます。また、このファミリーは逆耐圧が高く (低逆電流)、グランド ピン電流が全出力電流値にわたってほぼ一定です。

TPS736xx-EP は、小さいドロップアウト電圧と小さなグランド ピン電流を実現すると同時に、先進の BiCMOS プロセスを使用することで高い精度を達成しています。ディセーブル時の消費電流は  $1\mu\text{A}$  未満であり、携帯型アプリケーションに最適です。小さい出力ノイズ ( $0.1\mu\text{F}$  の  $C_{\text{NR}}$  で  $30\mu\text{V}_{\text{RMS}}$ ) は、VCO への電力供給に最適です。これらのデバイスは、サーマル シャットダウンとフォールドバック電流制限で保護されています。



Typical Application Circuit for Fixed-Voltage Versions



**TPS736xxDBVzEP 高温での推定デバイス寿命エレクトロマイグレーション フェイル モード**  
 $(T_J = T_{JA} \times W + T_A$ 、標準 JESD 51 条件)

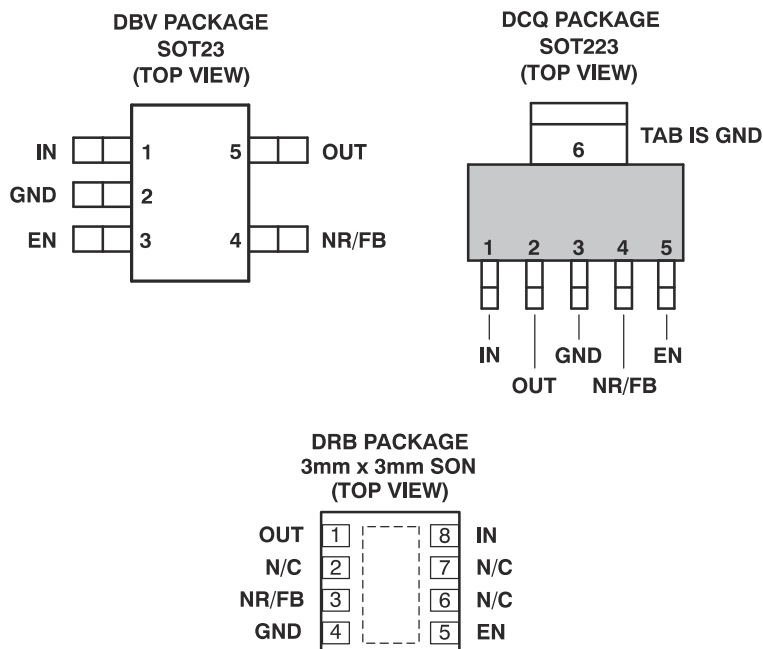
<sup>1</sup> JEDEC および業界標準に準拠したコンポーネント認定により、拡張温度範囲での信頼性の高い動作を保証します。これには、高度加速ストレス試験 (HAST) またはバイアス 85/85、温度サイクル、オートクレーブまたはバイアスなしの HAST、エレクトロマイグレーション、金属間結合寿命、および金型化合物寿命が含まれますが、これらに限定されません。このような認定試験は、規定された性能および環境制限を超えてこの部品を使用することを正当化するものとはみなさないでください。



## 目次

1 特長.....	1	7.1 アプリケーション情報.....	13
2 アプリケーション.....	1	8 デバイスおよびドキュメントのサポート.....	17
3 説明.....	1	8.1 デバイス サポート.....	17
4 ピン構成および機能.....	3	8.2 ドキュメントの更新通知を受け取る方法.....	17
5 仕様.....	4	8.3 サポート・リソース.....	17
5.1 絶対最大定格.....	4	8.4 商標.....	17
5.2 消費電力定格.....	4	8.5 静電気放電に関する注意事項.....	17
5.3 電気的特性.....	5	8.6 用語集.....	17
5.4 代表的特性.....	6	9 改訂履歴.....	17
6 機能ブロック図.....	12	10 メカニカル、パッケージ、および注文情報.....	18
7 アプリケーションと実装.....	13		

## 4 ピン構成および機能



N/C - No internal connection

表 4-1. ピンの機能

名称	SOT23 (DBV) PIN NO.	SOT223 (DCQ) PIN NO.	3x3 SON (DRB) PIN NO.	説明
IN	1	1	8	非安定型入力電源
GND	2	3、6	4、Pad	グランド
EN	3	5	5	イネーブル。EN を high にすると、レギュレータが動作します。このピンを low にすると、レギュレータはシャットダウンモードに移行します。詳細については、「アプリケーション情報」の「シャットダウン」セクションを参照してください。EN を使用しない場合は、IN に接続できます。
NR	4	4	3	固定電圧バージョンのみ。このピンに外付けコンデンサを接続すると、内部バンドギャップによって発生するノイズがバイパスされるため、出力ノイズが低いレベルに低減されます。
FB	4	4	3	フィードバック。可変電圧バージョンのみ。これは制御ループのエラーアンプへの入力であり、デバイスの出力電圧を設定するために使用されます。
OUT	5	2	1	レギュレータの出力。安定性のために出力コンデンサは必要ありません。

## 5 仕様

### 5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)<sup>(1)</sup>

			単位
V <sub>IN</sub> 範囲		-0.3～6	V
V <sub>EN</sub> 範囲		-0.3～6	V
V <sub>OUT</sub> 範囲		-0.3～5.5	V
ピーク出力電流		内部的に制限	
出力短絡時間		無制限	
連続総許容損失		許容損失表を参照	
接合部温度範囲、T <sub>J</sub>		-55～150	°C
保管温度範囲		-65～150	°C
ESD レーティング	人体モデル - HBM	2	kV
	デバイス帯電モデル - CDM	500	V

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらは、ストレス定格のみを示すものであり、これらの条件や「電気的特性」に示された値を超える条件で、本製品が機能することを意味するものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

### 5.2 消費電力定格

(1) 参照

基板	パッケージ	R <sub>θJC</sub>	R <sub>θJA</sub>	T <sub>A</sub> = 25°C を超える デレーティング係数	T <sub>A</sub> ≤ 25°C 電力定格	T <sub>A</sub> = 70°C 電力定格	T <sub>A</sub> ≤ 85°C の 電力定格
Low-K <sup>(2)</sup>	DBV	64°C/W	255°C/W	3.9 mW/°C	392mW	216mW	157mW
High-K <sup>(3)</sup>	DBV	64°C/W	180°C/W	5.6 mW/°C	556mW	306mW	222mW
Low-K <sup>(2)</sup>	DCQ	15°C/W	53°C/W	18.9 mW/°C	1887mW	1038mW	755mW
High-K <sup>(3)</sup>	DCQ	15°C/W	45°C/W	22.2 mW/°C	2222mW	1222mW	889mW
High-K <sup>(3) (4)</sup>	DRB	1.2°C/W	40°C/W	25.0 mW/°C	2500mW	1375mW	1000mW

- (1) 熱設計の詳細については、「過熱保護動作」セクションを参照してください。
- (2) このデータを導き出すために使用した JEDEC Low-K (1s) 基板設計は 3 インチ × 3 インチの 2 層基板であり、基板の上面に 2 オンスの銅パターンを持っています。
- (3) このデータを導き出すために使用した JEDEC High-K (2s2p) 基板設計は 3 インチ × 3 インチの多層基板であり、内層に 1 オンスの電源およびグランドプレーン、基板の上面と下面に 2 オンスの銅パターンを持っています。
- (4) 予備的な熱シミュレーションに基づく。

## 5.3 電気的特性

動作温度範囲 ( $T_A = -55^{\circ}\text{C} \sim 125^{\circ}\text{C}$ )、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}^{(1)}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\ \mu\text{F}$  (特に記述のない限り)。標準値は  $T_J = 25^{\circ}\text{C}$ 時に測定。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{IN}$	入力電圧範囲 <sup>(1)</sup> (4)		1.7		5.5	V
$V_{FB}$	内部リファレンス (TPS73601)	$T_J = 25^{\circ}\text{C}$	1.198	1.2	1.21	V
$V_{OUT}$	出力電圧範囲 (TPS73601)		$V_{FB}$		$5.5 - V_{DO}$	V
	精度 <sup>(1)</sup>	公称 範囲 $V_{IN}$ 、 $I_{OUT}$ 、 および $T$	$T_J = 25^{\circ}\text{C}$ -0.5% -1%		0.5% 1%	
$\Delta V_{OUT}/\Delta V_{IN}$	ラインレギュレーション <sup>(1)</sup>	$V_{O(nom)} + 0.5\text{V} \leq V_{IN} \leq 5.5\text{V}$		0.01		%/V
$\Delta V_{OUT}/\Delta I_{OUT}$	ロードレギュレーション	$1\text{mA} \leq I_{OUT} \leq 400\text{mA}$		0.002		%/mA
		$10\text{mA} \leq I_{OUT} \leq 400\text{mA}$		0.0005		
$V_{DO}$	ドロップアウト電圧 <sup>(2)</sup> ( $V_{IN} = V_{OUT(nom)} - 0.1\text{V}$ )	$I_{OUT} = 400\text{mA}$		75	200	mV
$Z_O(DO)$	ドロップアウト時の出力インピーダンス	$1.7\text{V} \leq V_{IN} \leq V_{OUT} + V_{DO}$		0.25		$\Omega$
$I_{CL}$	出力電流制限	$V_{OUT} = 0.9 \times V_{OUT(nom)}$	400	650	800	mA
$I_{SC}$	短絡電流	$V_{OUT} = 0\text{V}$		450		mA
$I_{REV}$	逆リーク電流 <sup>(3)</sup> ( $-I_{IN}$ )	$V_{EN} \leq 0.5\text{V}$ 、 $0\text{V} \leq V_{IN} \leq V_{OUT}$		0.1	15	$\mu\text{A}$
$I_{GND}$	グラウンドピン電流	$I_{OUT} = 10\text{mA}$ ( $I_Q$ )		400	550	$\mu\text{A}$
		$I_{OUT} = 400\text{mA}$		800	1000	
$I_{SHDN}$	シャットダウン時の電流 ( $I_{GND}$ )	$V_{EN} \leq 0.5\text{V}$ 、 $V_{OUT} \leq V_{IN} \leq 5.5\text{V}$		0.02	1	$\mu\text{A}$
$I_{FB}$	FBピン電流 (TPS73601)			0.1	0.45	$\mu\text{A}$
PSRR	電源電圧変動除去比 (リップル除去)	$f = 100\text{Hz}$ 、 $I_{OUT} = 400\text{mA}$		58		dB
		$f = 10\text{kHz}$ 、 $I_{OUT} = 400\text{mA}$		37		
$V_N$	出力ノイズ電圧 $\text{BW} = 10\text{Hz} \sim 100\text{kHz}$	$C_{OUT} = 10\ \mu\text{F}$ 、No $C_{NR}$		$27 \times V_{OUT}$		$\mu\text{V}_{RMS}$
		$C_{OUT} = 10\ \mu\text{F}$ 、 $C_{NR} = 0.01\ \mu\text{F}$		$8.5 \times V_{OUT}$		
$t_{STR}$	起動時間	$V_{OUT} = 3\text{V}$ 、 $R_L = 30\Omega$ 、 $C_{OUT} = 1\ \mu\text{F}$ 、 $C_{NR} = 0.01\ \mu\text{F}$		600		$\mu\text{s}$
$V_{EN(HI)}$	イネーブル ハイ (有効)		1.7		$V_{IN}$	V
$V_{EN(LO)}$	イネーブル ロー (シャットダウン)		0		0.5	V
$I_{EN(HI)}$	イネーブルピンの電流 (イネーブル)	$V_{EN} = 5.5\text{V}$		0.02	0.1	$\mu\text{A}$
$T_{SD}$	サーマルシャットダウン温度	シャットダウン、温度上昇		160		$^{\circ}\text{C}$
		リセット、温度低下		140		
$T_A$	動作時の周囲温度		-55		125	$^{\circ}\text{C}$

- (1) 最小  $V_{IN} = V_{OUT} + V_{DO}$  または  $1.7\text{V}$  のいずれか大きい方。  
(2)  $V_{OUT(nom)} < 1.5\text{V}$  の TPS73615 では、最小  $V_{IN} = 1.7\text{V}$  であるため、 $V_{DO}$  は測定されません。  
(3) 詳細については、[アプリケーションと実装](#) セクションを参照してください。  
(4)  $V_{OUT(nom)} < 1.6\text{V}$  の場合、 $V_{IN} \leq 1.6\text{V}$  になると出力が  $V_{IN}$  にロックされ、過電圧レベルによる損傷が発生する可能性があります。この状況为了避免するため、 $V_{IN}$  をオフにする前にデバイスを無効にしてください。

## 5.4 代表的特性

すべての電圧バージョンで、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\mu\text{F}$  の条件下において (特に記述のない限り)

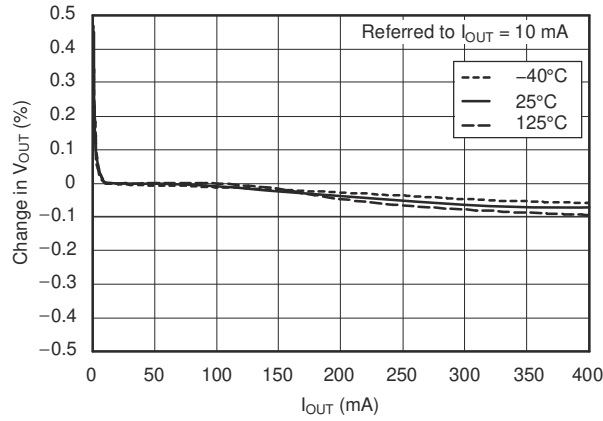


図 5-1. ロードレギュレーション

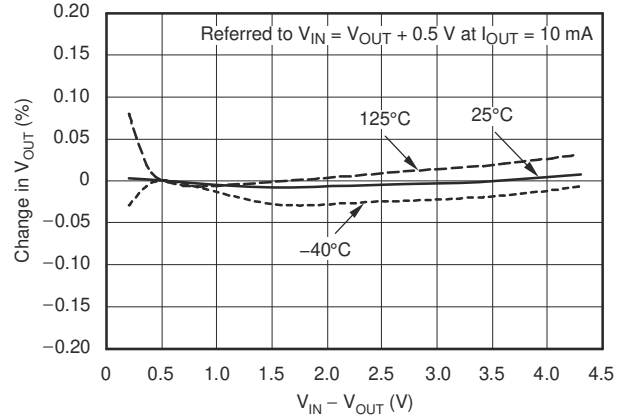


図 5-2. ラインレギュレーション

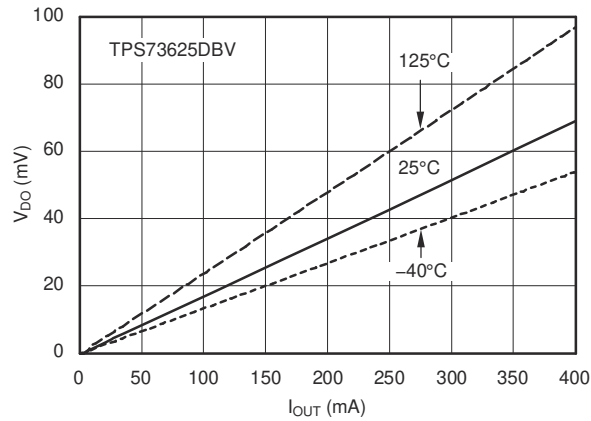


図 5-3. ドロップアウト電圧と出力電流との関係

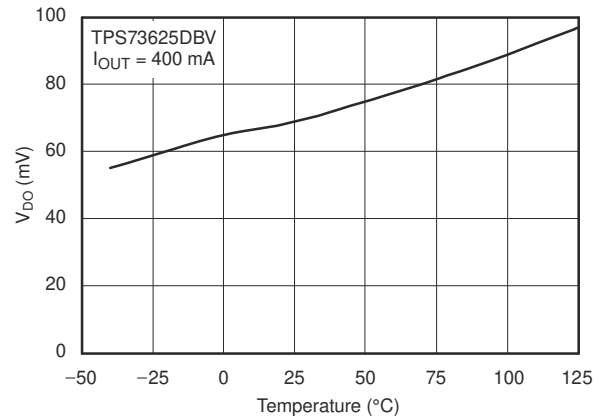


図 5-4. ドロップアウト電圧 vs 温度

## 5.4 代表的特性 (続き)

すべての電圧バージョンで、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\mu\text{F}$  の条件下において (特に記述のない限り)

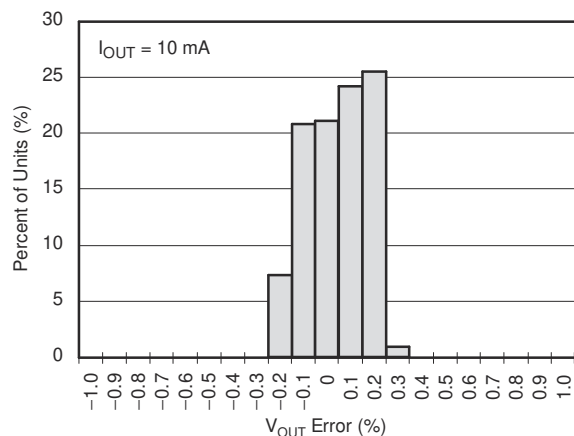


図 5-5. 出力電圧精度のヒストグラム

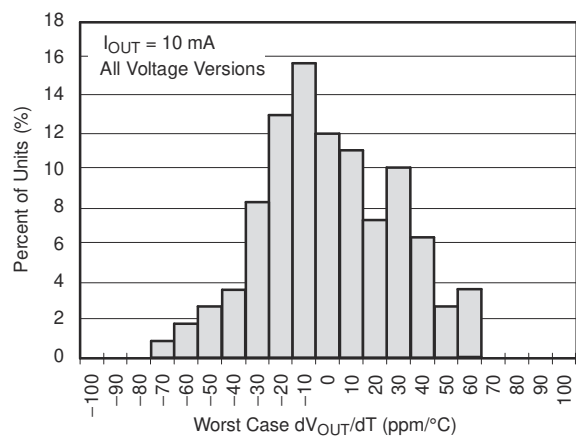


図 5-6. 出力電圧ドリフトのヒストグラム

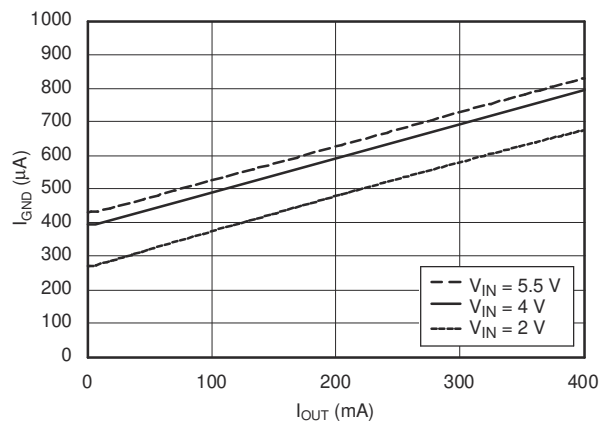


図 5-7. グランドピンの電流と出力電流との関係

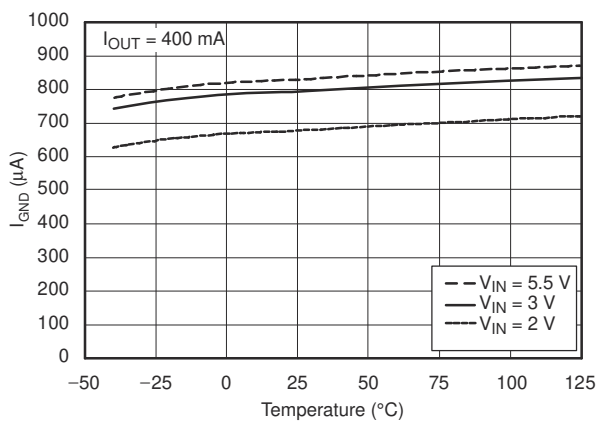


図 5-8. グランドピンの電流と温度との関係

## 5.4 代表的特性 (続き)

すべての電圧バージョンで、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\mu\text{F}$  の条件下において (特に記述のない限り)

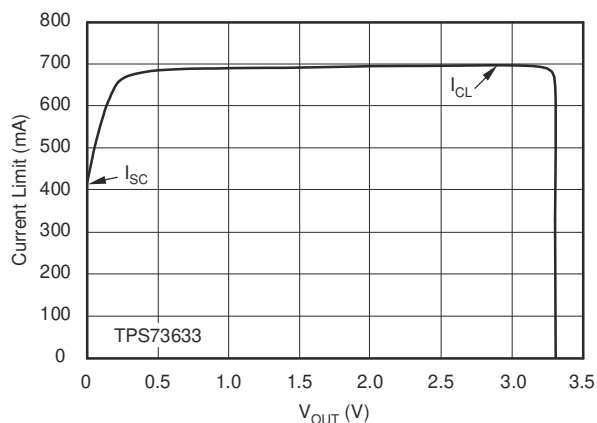


図 5-9. 電流制限と  $V_{OUT}$  (フォールドバック) の関係

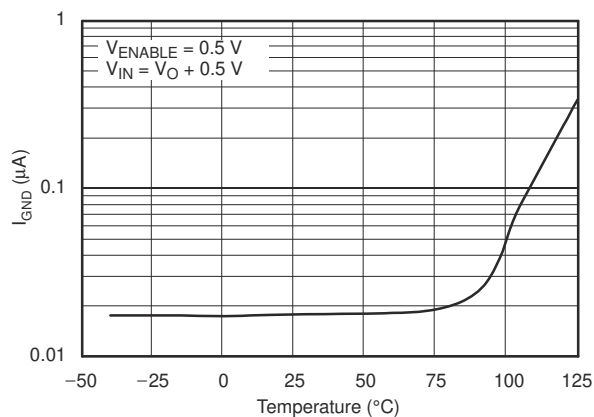


図 5-10. シャットダウン時のグランドピンの電流と温度との関係

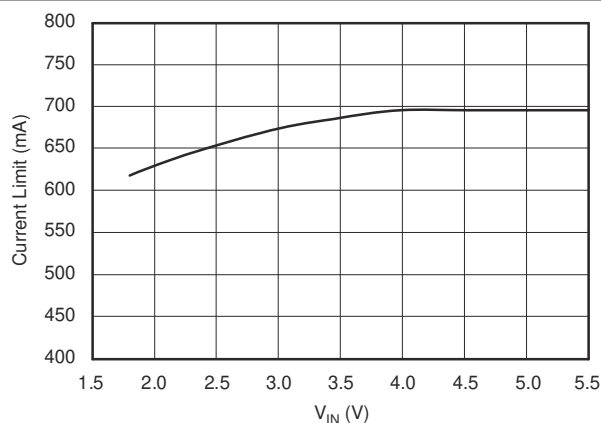


図 5-11. 電流制限と  $V_{IN}$  との関係

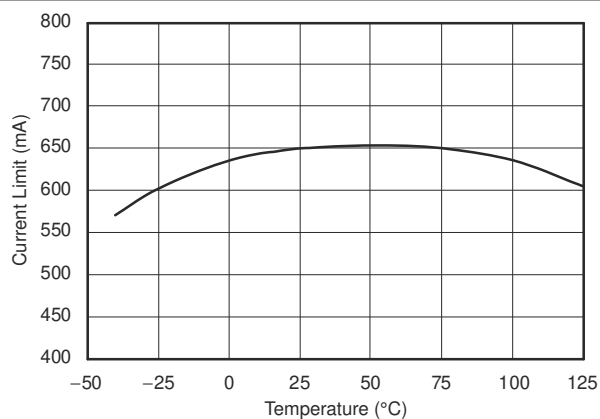


図 5-12. 電流制限と温度との関係



## 5.4 代表的特性 (続き)

すべての電圧バージョンで、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\mu\text{F}$  の条件下において (特に記述のない限り)

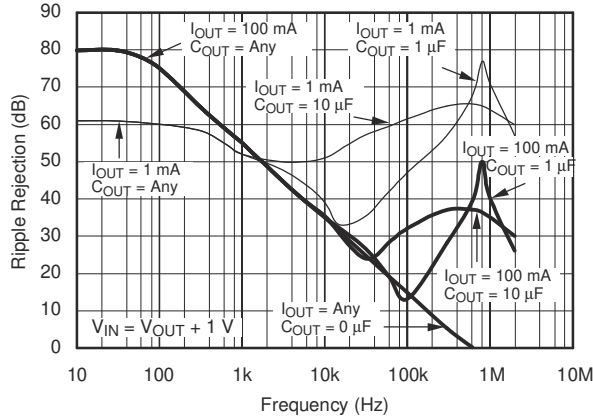


図 5-13. PSRR (リップル除去) と周波数との関係

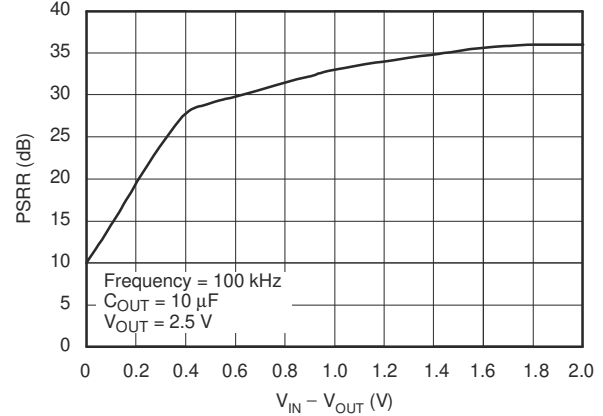


図 5-14. PSRR (リップル除去) と  $V_{IN} - V_{OUT}$  との関係

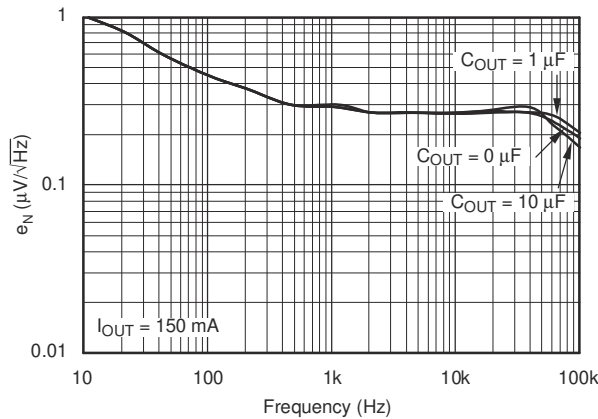


図 5-15. ノイズスペクトル密度  $C_{NR} = 0\mu\text{F}$

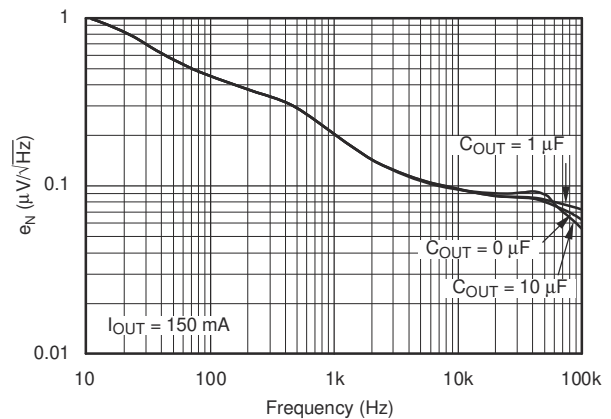


図 5-16. ノイズスペクトル密度  $C_{NR} = 0.01\mu\text{F}$

## 5.4 代表的特性 (続き)

すべての電圧バージョンで、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\mu\text{F}$  の条件下において (特に記述のない限り)

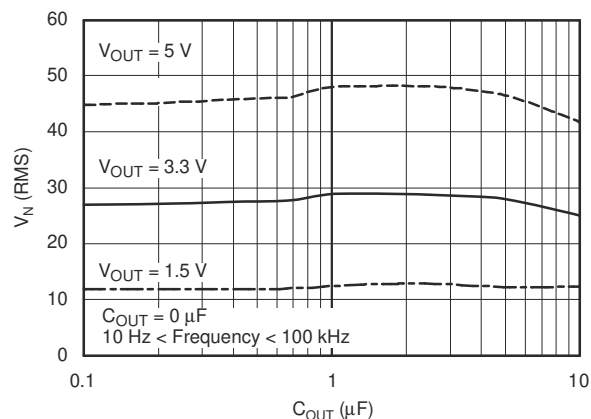


図 5-17. RMS ノイズ電圧と  $C_{OUT}$  との関係

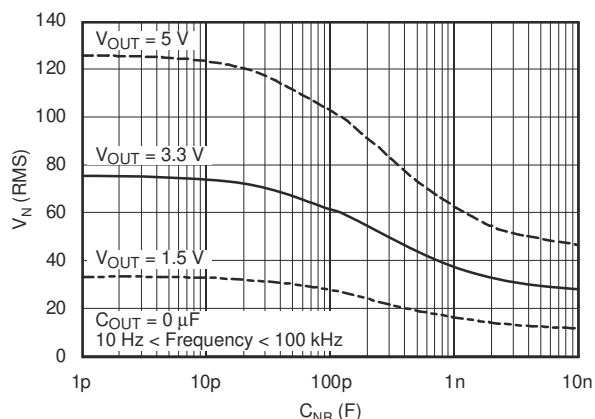


図 5-18. RMS ノイズ電圧と  $C_{NR}$  との関係

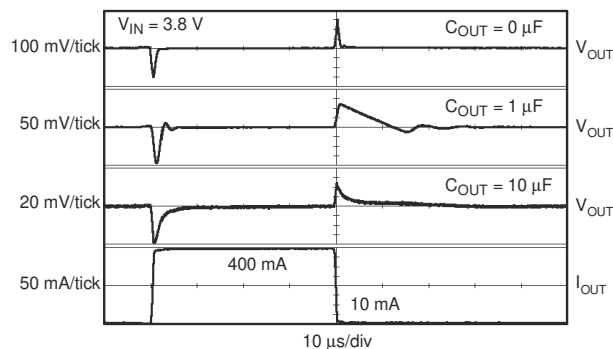


図 5-19. TPS73633 の負荷過渡応答

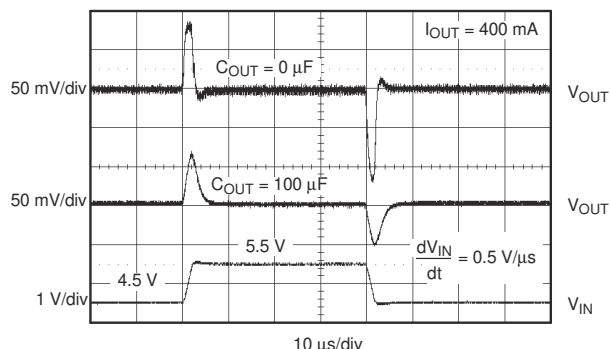


図 5-20. TPS73633 のライン過渡応答

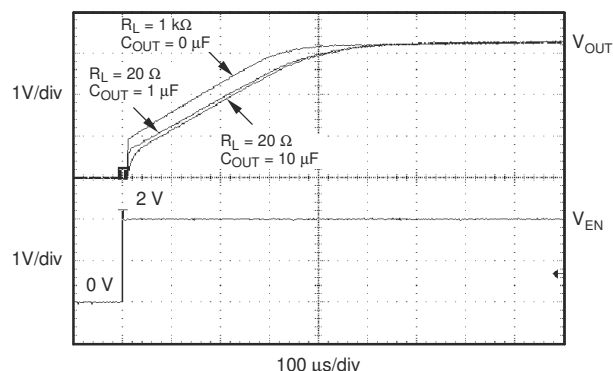


図 5-21. TPS73633 のターンオン応答

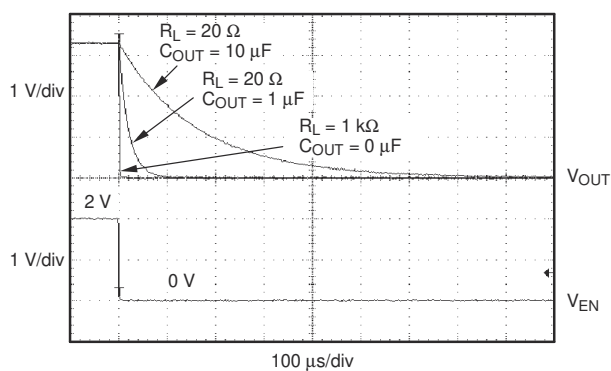


図 5-22. TPS73633 のターンオフ応答

## 5.4 代表的特性 (続き)

すべての電圧バージョンで、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\mu\text{F}$  の条件下において (特に記述のない限り)

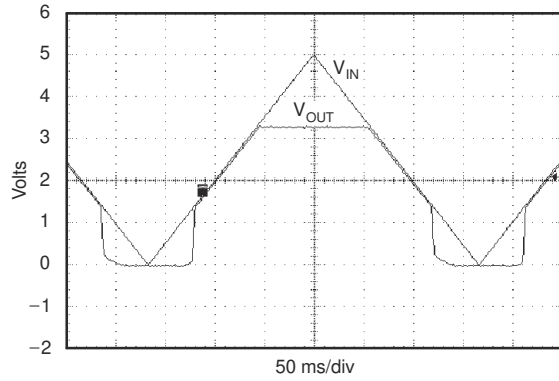


図 5-23. TPS73633 パワーアップ、パワーダウン

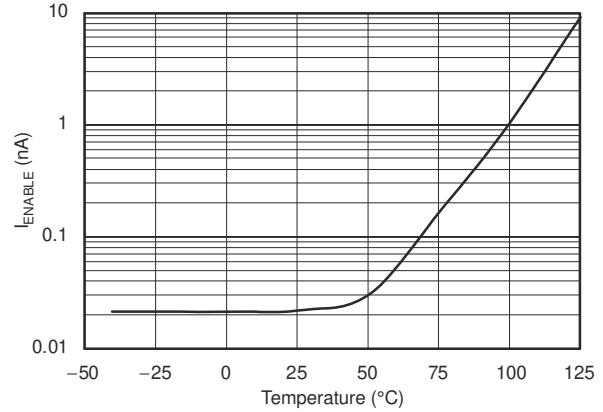


図 5-24.  $I_{ENABLE}$  VS 温度

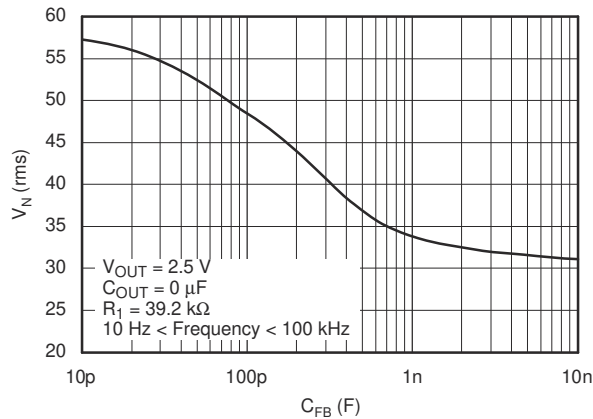


図 5-25. TPS73601 の RMS ノイズ電圧と  $C_{ADJ}$  との関係

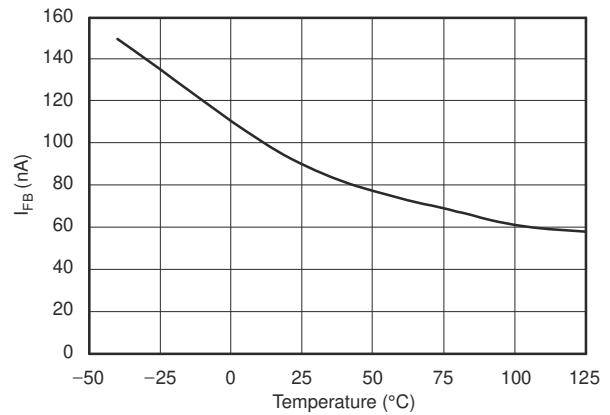


図 5-26. TPS73601  $I_{FB}$  と温度との関係

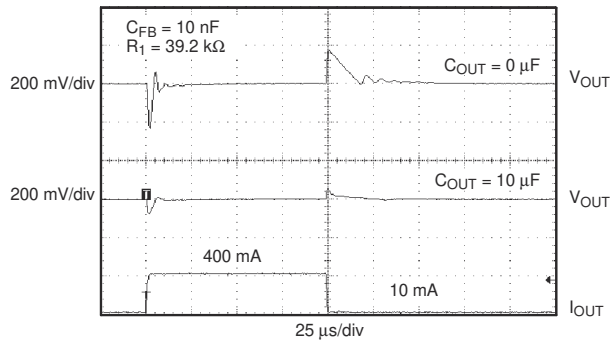


図 5-27. TPS73601 の負荷過渡応答、可変バージョン

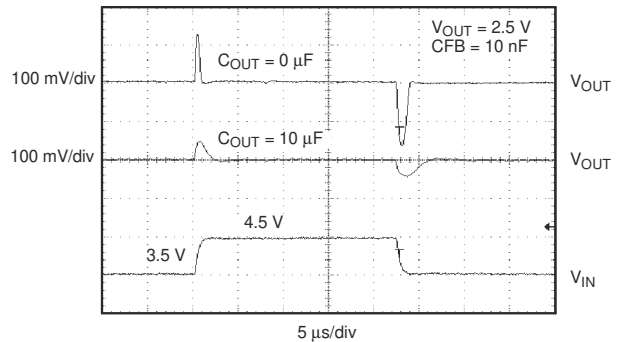


図 5-28. TPS73601 のライン過渡応答、可変バージョン

## 6 機能ブロック図

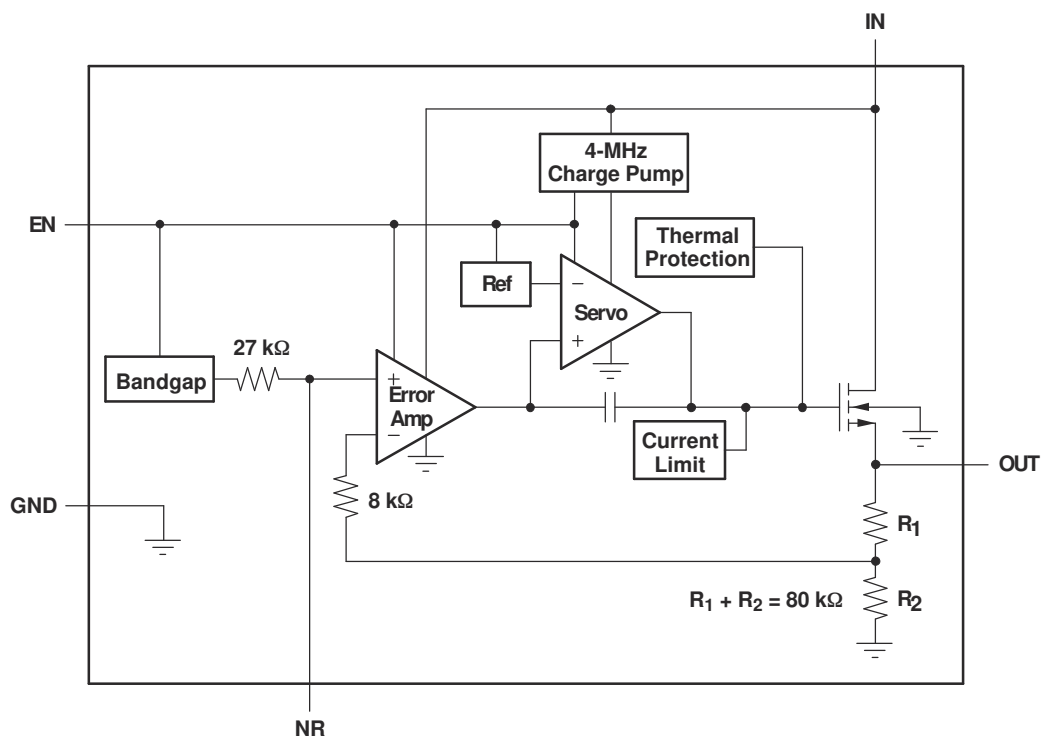
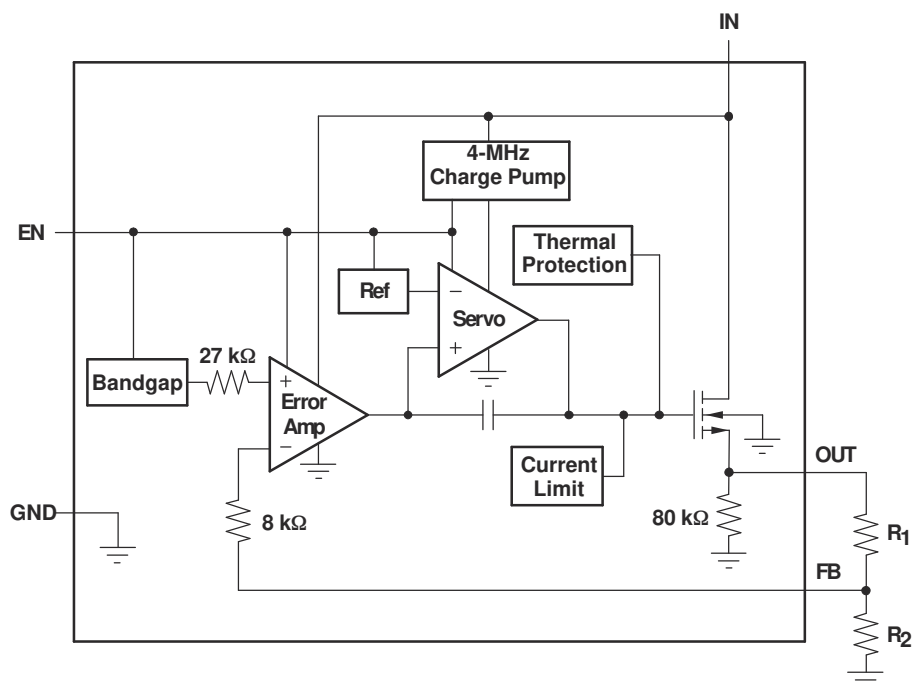


図 6-1. 固定電圧バージョン



Standard 1% Resistor  
 Values for Common  
 Output Voltages

V <sub>O</sub>	R <sub>1</sub>	R <sub>2</sub>
1.2 V	Short	Open
1.5 V	23.2 kΩ	95.3 kΩ
1.8 V	28 kΩ	56.2 kΩ
2.5 V	39.2 kΩ	36.5 kΩ
2.8 V	44.2 kΩ	33.2 kΩ
3 V	46.4 kΩ	30.9 kΩ
3.3 V	52.3 kΩ	30.1 kΩ

NOTE:  $V_{OUT} = (R_1 + R_2)/R_2 \times 1.204$ ;  
 $R_1 || R_2 \approx 19 \text{ k}\Omega$  for best  
 accuracy

図 6-2. 可変電圧バージョン

## 7 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.1 アプリケーション情報

TPS736xx-EP は 新世代 LDO レギュレータ ファミリの製品です。NMOS パストランジスタを使用して超低ドロップアウト性能および逆電流ブロックを実現し、さらに出力コンデンサの制約を受けません。これらの機能に加え、低ノイズおよびイネーブル入力を備えた TPS736xx-EP は、携帯用途向けに理想的です。このレギュレータファミリでは、幅広い選択肢の固定出力電圧バージョンと、可変出力バージョンから選ぶことができます。すべてのバージョンには、フォールドバック電流制限など、過熱保護および過電流保護機能が搭載されています。

図 7-1 に、固定電圧モデルの基本的な回路接続を示します。図 7-2 に、可変出力バージョン (TPS73601-EP) の接続を示します。R<sub>1</sub> と R<sub>2</sub> は、出力電圧に応じて 図 7-2 の式で求めることができます。一般的な出力電圧の抵抗値の例を 図 6-2 に示します。より高い精度を得るため、R<sub>1</sub> と R<sub>2</sub> の並列組み合わせを約 19kΩ に設定します。

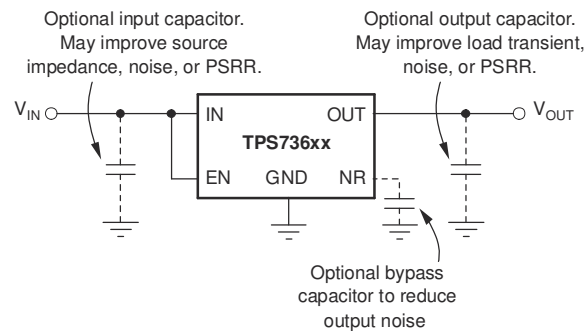


図 7-1. 代表的なアプリケーション回路 (固定電圧バージョン)

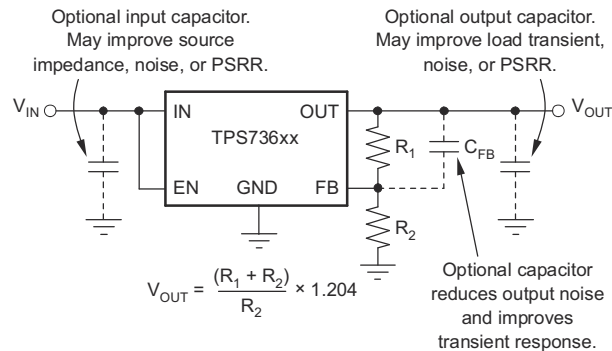


図 7-2. 可変電圧バージョン向けの標準的なアプリケーション回路

### 7.1.1 入出力コンデンサの要件

安定性のために入力コンデンサは必須ではありませんが、アナログ回路設計の一般的な良い慣行として、レギュレータの近くに入力電源に 0.1μF から 1μF の低 ESR コンデンサを接続することが推奨されます。これにより、リアクティブな入力ソースに対抗し、過渡応答、ノイズ除去、リップル除去を改善します。立ち上がり時間の短い過大な負荷過渡事象が予想される場合、またはデバイスが電源から数インチの場所に配置される場合は、より大容量のコンデンサが必要になる可能性があります。

TPS736xx-EP は、安定性のために出力コンデンサを必要とせず、コンデンサなしで最大の位相マージンを持ちます。これは、利用可能なすべてのコンデンサのタイプと値で安定するよう設計されています。 $V_{IN} - V_{OUT} < 0.5V$  で複数の低 ESR コンデンサを並列接続する場合、 $C_{OUT}$  と合計 ESR の積が  $50\Omega$  を下回るとリンギングが発生する可能性があります。合計 ESR には、コンデンサの ESR に加え、基板、ソケット、半田接合抵抗を含むすべての寄生抵抗が含まれます。ほとんどの用途では、コンデンサの ESR と配線抵抗の合計がこの要件を満たします。

### 7.1.2 出力ノイズ

高精度のバンドギャップ基準電圧を使用して、内部リファレンス電圧  $V_{REF}$  を生成します。このリファレンスは、TPS736xx-EP 内の主要なノイズ源であり、リファレンス出力 (NR) で約  $32\mu V_{RMS}$  (10Hz ~ 100kHz) を生成します。レギュレータの制御ループはリファレンス電圧と同じゲインでリファレンス ノイズを増幅するため、レギュレータのノイズ電圧概算は以下で求められます。

$$V_N = 32 \mu V_{RMS} \times \frac{(R_1 + R_2)}{R_2} = 32 \mu V_{RMS} \times \frac{V_{OUT}}{V_{REF}} \quad (1)$$

$V_{REF}$  の値が 1.2V であるため、この関係は以下のように減少します。

$$V_N(\mu V_{RMS}) = 27 \left( \frac{\mu V_{RMS}}{V} \right) \times V_{OUT}(V) \quad (2)$$

$C_{NR}$  がいない場合。

外部ノイズ低減コンデンサ  $C_{NR}$  がノイズ低減ピン (NR) からグランドに接続されている時、 $27k\Omega$  の内部抵抗を NR と直列に接続すると、電圧リファレンスのローパス フィルタが形成されます。 $C_{NR} = 10nF$  の場合、10Hz から 100kHz の帯域幅における総ノイズは、~ 3.2 倍に減少し、近似関係が示されています。

$$V_N(\mu V_{RMS}) = 8.5 \left( \frac{\mu V_{RMS}}{V} \right) \times V_{OUT}(V) \quad (3)$$

$C_{NR} = 10nF$  の場合。

このノイズ低減の効果は、図 5-18 で、RMS ノイズ電圧と  $C_{NR}$  の関係として示されています。

可変バージョンの TPS73601-EP には、イズ低減ピンがありません。しかし、帰還コンデンサ  $C_{FB}$  を出力から FB ピンに接続することで、出力ノイズが減少し、負荷過渡性能が向上します。

TPS736xx-EP は、内部のチャージポンプを使用して、NMOS パス素子のゲートが  $V_{OUT}$  を超える電圧で駆動するのに十分な内部供給電圧を生成します。チャージ ポンプは、~ 4MHz で、~ 250μV のスイッチング ノイズを生成しますが、チャージ ポンプ ノイズの影響はレギュレータの出力における  $I_{OUT}$  および  $C_{OUT}$  のほとんどの値で、無視できるほど小さくなります。

### 7.1.3 PSRR およびノイズ性能向上のための推奨基板レイアウト

PSRR、出力ノイズ、過渡応答などの ac パフォーマンスを向上させるために、TI では、基板設計では  $V_{IN}$  と  $V_{OUT}$  に別々のグランドプレーンを設け、各グランドプレーンをデバイスの GND ピンのみで接続することをお勧めします。さらに、バイパスコンデンサのグランド接続部はデバイスの GND ピンに直接接続する必要があります。

#### 7.1.4 内部電流制限

TPS736xx-EP の内部電流制限は、故障時にもレギュレータを保護します。フォールドバック電流制限は、 $V_{OUT}$  が 0.5V を下回ったときに電流制限を下げることで、出力短絡時のレギュレータの損傷を防ぎます。 $I_{OUT}$  と  $V_{OUT}$  との関係の図については、[図 5-9](#) を参照してください。

#### 7.1.5 シャットダウン

イネーブル (EN) ピンはアクティブ high であり、標準の TTL-CMOS レベルと互換です。 $V_{EN}$  が 0.5V (最大値) 未満になると、レギュレータはオフになり、グラウンド ピンの電流は約 10nA にまで低下します。シャットダウン機能が不要な場合は、EN ピンを  $V_{IN}$  に接続します。プルアップ抵抗を使用し、最低 1.8V で動作する必要がある場合は、50k $\Omega$  より低いプルアップ抵抗値を使用します。

#### 7.1.6 ドロップアウト電圧

TPS736xx-EP は NMOS パス トランジスタを使用して、非常に低いドロップアウト電圧を実現しています。 $(V_{IN} - V_{OUT})$  がドロップアウト電圧 ( $V_{DO}$ ) よりも低い場合、NMOS パス デバイスはリニア領域での動作になり、入出力抵抗は NMOS パス素子の  $R_{DS-ON}$  となります。

TPS736xx-EP では、負荷電流の急激な負荷変動時、過渡応答の低下を避けるために  $V_{IN}$  から  $V_{OUT}$  への電圧降下を十分に確保する必要があります。この過渡ドロップアウト領域の境界は、dc ドロップアウト電圧の約 2 倍です。 $V_{IN} - V_{OUT}$  の値がこの境界を超えている場合、通常の過渡応答が保証されます。

過渡ドロップアウト領域での動作により、復帰時間が長くなる場合があります。負荷過渡からの回復に要する時間は、負荷電流レートの変化率、負荷電流の変化率、使用可能なヘッドルーム ( $V_{IN}$  から  $V_{OUT}$  への電圧降下) の関数で求められます。最悪な条件下 [ $(V_{IN} - V_{OUT})$  が DC ドロップアウト レベルに近い状態でのフルスケール瞬時負荷変動] において、TPS736xx-EP は指定された規制精度に戻るまでに数百マイクロ秒かかる場合があります。

#### 7.1.7 過渡応答

電圧フォロウ構成の NMOS パス素子により低い開ループ出力インピーダンスが得られるため、多くのアプリケーションにおいて出力コンデンサなし無しの動作が可能です。他のレギュレータと同様に、出力ピンとグラウンドの間にコンデンサ (公称値 1 $\mu$ F) を追加すると、アンダーシュートの大きさが減少しますが、持続時間は長くなります。可変バージョンでは、出力と調整ピンとの間にコンデンサ、すなわち  $C_{FB}$  を追加することでも過渡応答を改善できます。

TPS736xx-EP は、出力過電圧時においてのアクティブプルダウン機能を備えていません。これにより、代替電源などの高い電圧源を出力に接続する用途が可能になります。これはまた、出力にコンデンサが接続された状態で負荷電流が急速にゼロに下がった場合、数パーセントのオーバーシュートを生じさせます。負荷抵抗を追加することで、オーバーシュートの持続時間を短縮できます。オーバーシュートは、出力コンデンサ  $C_{OUT}$  と内部または外部の負荷抵抗によって決まる速度で減衰します。減衰の速度は以下によって示されます。

$$\text{Fixed-voltage version: } dV/dt = \frac{V_{OUT}}{C_{OUT} \times 80 \text{ k}\Omega \parallel R_{LOAD}} \quad (4)$$

$$\text{Adjustable-voltage version: } dV/dt = \frac{V_{OUT}}{C_{OUT} \times 80 \text{ k}\Omega \parallel (R_1 + R_2) \parallel R_{LOAD}} \quad (5)$$



### 7.1.8 逆電流

TPS736xx-EP の NMOS パス素子は、パス デバイスのゲート引き下げ時にレギュレータの出力から入力への電流の逆流を防ぎ、本質的な安全性を高めます。パス素子のゲートから確実にすべての電荷を除去するため、入力電圧が解除される前に EN を low に駆動する必要があります。この手順を実行しないと、ゲートに蓄積された電荷が原因でパス素子がオンのままになる可能性があります。

EN を low に駆動した後、いずれのピンにも逆電流を遮断するためのバイアス電圧は必要ありません。逆電流とは、OUT ピンに電圧が印加されることによって IN ピンから流れ出す電流を指すことに注意してください。80kΩ の内部抵抗分圧器がグランドに接続されているため、OUT ピンに追加の電流が流れます (図 6-1 および図 6-2 を参照)。

TPS73601-EP の場合、 $V_{FB}$  が  $V_{IN}$  を 1V 以上上回ると、逆電流が発生する可能性があります。

### 7.1.9 過熱保護

過熱保護機能は、接合部温度が約 160°C に上昇すると出力を無効化し、デバイスを冷却させます。接合部温度が約 140°C まで冷却されると、出力回路が再びオンになります。消費電力、熱抵抗、および周囲温度に応じて、過熱保護回路はオン / オフを繰り返します。これにより、レギュレータの消費が制限され、過熱による損傷から保護されます。

過熱保護回路が作動する傾向がある場合、消費電力が過剰であるか、ヒートシンクが不十分であることを示しています。信頼性の高い動作を確保するために、接合部温度は最大 125°C 以内に制限する必要があります。設計全体 (ヒートシンクを含む) の安全率を推定するためには、周囲温度を上昇させて過熱保護が作動することを確認します。その際、ワーストケースの負荷と信号条件を使用してください。信頼性を高めるために、アプリケーションで想定される最大周囲条件を少なくとも 35°C 上回った時に過熱保護をトリガするよう設定する必要があります。これにより、予想される最高周囲温度および最悪の場合の負荷で、最悪の場合の接合部温度は 125°C になります。

TPS736xx-EP の内部保護回路は、過負荷状態からの保護を目的に設計されています。これは適切なヒートシンクを置き換えることを意図したものではありません。TPS736xx-EP のサーマル シャットダウンが作動する状態で使用を続けると、信頼性が低下します。

### 7.1.10 消費電力

ダイからの放熱性能はパッケージの種類によって異なるため、PCB レイアウト時に考慮すべき検討事項も異なります。デバイス周辺の部品がない PCB 領域は、放熱の役割を果たします。JEDEC の low-K 基板と high-K 基板の性能データを、「消費電力定格表」の表に示します。また、厚みのある銅箔を使用すると、デバイスからの放熱効率が向上します。さらに、放熱層へ導通穴 (スルーホール) を追加することで、ヒートシンクの効果を高めることができます。

消費電力は、入力電圧と負荷条件によって異なります。消費電力は、出力電流と出力パス素子間 ( $V_{IN}$  から  $V_{OUT}$ ) の電圧降下の積に等しくなります。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (6)$$

要求される出力電圧を確保できる最低限の入力電圧を使用することで、電力消費を最小限に抑えることが可能です。

### 7.1.11 パッケージの取り付け

TPS736xx-EP の半田パッドのフットプリントに関する推奨事項については、TI Web サイト ([www.ti.com](http://www.ti.com)) から入手可能な『表面実装デバイスの半田パッドに関する推奨事項』(AB-132) アプリケーション速報を参照してください。



## 8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアをこのセクションで紹介합니다。

### 8.1 デバイス サポート

#### 8.1.1 デバイスの命名規則

表 8-1. 利用可能なオプション

製品 <sup>(1)</sup>	説明
TPS736xxMyyyREP	<b>xx</b> は公称出力電圧です (例: 25 = 2.5V, 01 = 可変 <sup>(2)</sup> )。 <b>yyy</b> はパッケージ指定子です。 <b>z</b> はパッケージ数量です。

- (1) パッケージ状態で行われる革新的な出荷時 EEPROM プログラミングにより、1.25V から 4.3V まで 100mV 刻みの出力電圧のほとんどがクイックターン ベースで利用可能です。最小注文数量が適用されます。詳細および在庫状況については IT お問い合わせください。
- (2) 1.2V 固定動作の場合は、FB を OUT に接続します。

### 8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

### 8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.  
すべての商標は、それぞれの所有者に帰属します。

### 8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 8.6 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

## 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (February 2009) to Revision D (August 2025)	Page
・ ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
・ 「注文情報」表を削除 .....	1
・ 式の分母の「可変電圧バージョンの代表的なアプリケーション回路」図の R1 を R2 に変更.....	13

## 10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265  
Copyright © 2025, Texas Instruments Incorporated

## PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">TPS73601MDBVREP</a>	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	PJRM
TPS73601MDBVREP.A	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	PJRM
<a href="#">TPS73601MDCQREP</a>	Active	Production	SOT-223 (DCQ)   6	2500   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	PWZM
TPS73601MDCQREP.A	Active	Production	SOT-223 (DCQ)   6	2500   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	PWZM
<a href="#">TPS73601MDRBREP</a>	Active	Production	SON (DRB)   8	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	PMNM
TPS73601MDRBREP.A	Active	Production	SON (DRB)   8	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	PMNM
<a href="#">TPS73615MDBVREP</a>	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T59
TPS73615MDBVREP.A	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T59
<a href="#">TPS73618MDBVREP</a>	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T60
TPS73618MDBVREP.A	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T60
<a href="#">TPS73625MDBVREP</a>	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T61
TPS73625MDBVREP.A	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T61
<a href="#">TPS73630MDBVREP</a>	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T62
TPS73630MDBVREP.A	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T62
<a href="#">TPS73632MDBVREP</a>	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T63
TPS73632MDBVREP.A	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T63
<a href="#">TPS73633MDBVREP</a>	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T64
TPS73633MDBVREP.A	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T64
<a href="#">V62/06626-01XE</a>	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	PJRM
<a href="#">V62/06626-01YE</a>	Active	Production	SOT-223 (DCQ)   6	2500   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	PWZM
<a href="#">V62/06626-01ZE</a>	Active	Production	SON (DRB)   8	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	PMNM
<a href="#">V62/06626-02XE</a>	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T59
<a href="#">V62/06626-03XE</a>	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T60
<a href="#">V62/06626-04XE</a>	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T61
<a href="#">V62/06626-05XE</a>	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T62
<a href="#">V62/06626-06XE</a>	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T63
<a href="#">V62/06626-07XE</a>	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	T64

(1) **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## TAPE AND REEL INFORMATION



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS73601MDBVREP	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73601MDCQREP	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TPS73601MDRBREP	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.0	8.0	12.0	Q2
TPS73615MDBVREP	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73618MDBVREP	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73625MDBVREP	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73630MDBVREP	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73632MDBVREP	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73633MDBVREP	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

## TAPE AND REEL BOX DIMENSIONS



\*All dimensions are nominal

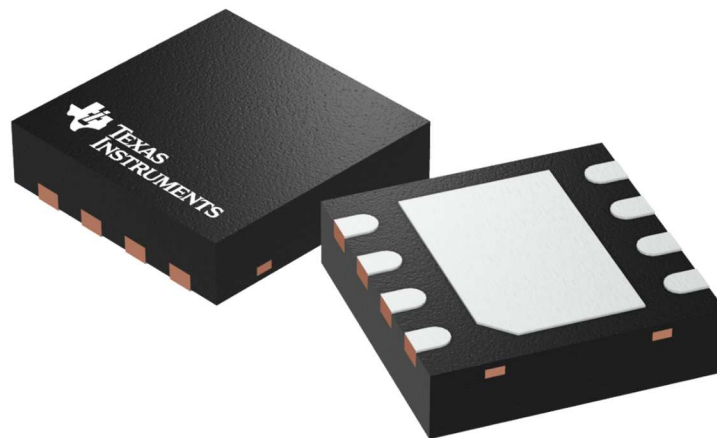
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS73601MDBVREP	SOT-23	DBV	5	3000	200.0	183.0	25.0
TPS73601MDCQREP	SOT-223	DCQ	6	2500	346.0	346.0	41.0
TPS73601MDRBREP	SON	DRB	8	3000	367.0	367.0	38.0
TPS73615MDBVREP	SOT-23	DBV	5	3000	200.0	183.0	25.0
TPS73618MDBVREP	SOT-23	DBV	5	3000	200.0	183.0	25.0
TPS73625MDBVREP	SOT-23	DBV	5	3000	200.0	183.0	25.0
TPS73630MDBVREP	SOT-23	DBV	5	3000	200.0	183.0	25.0
TPS73632MDBVREP	SOT-23	DBV	5	3000	200.0	183.0	25.0
TPS73633MDBVREP	SOT-23	DBV	5	3000	200.0	183.0	25.0

**DRB 8**

**GENERIC PACKAGE VIEW**

**VSON - 1 mm max height**

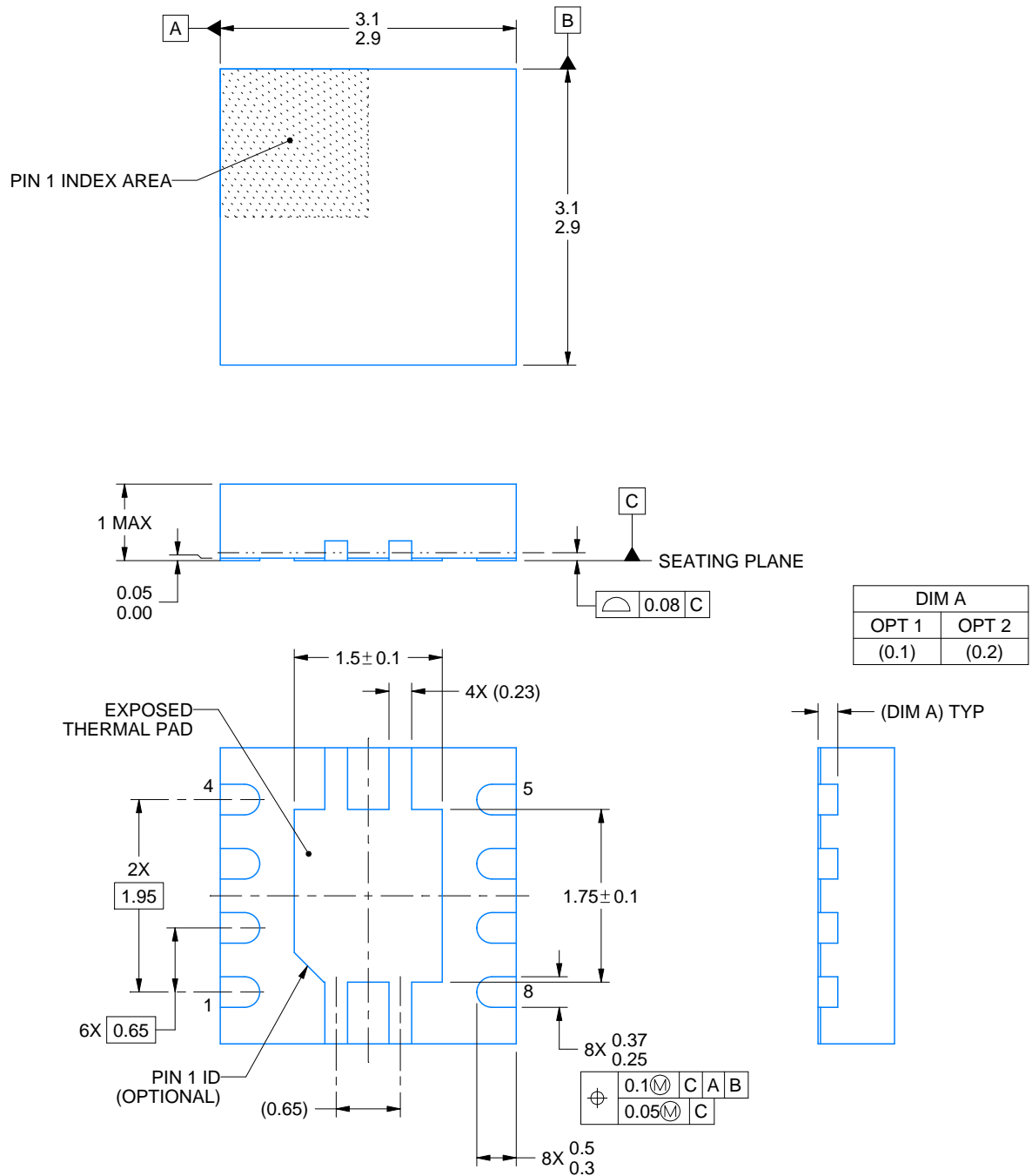
PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

4203482/L





4218875/A 01/2018

## NOTES:

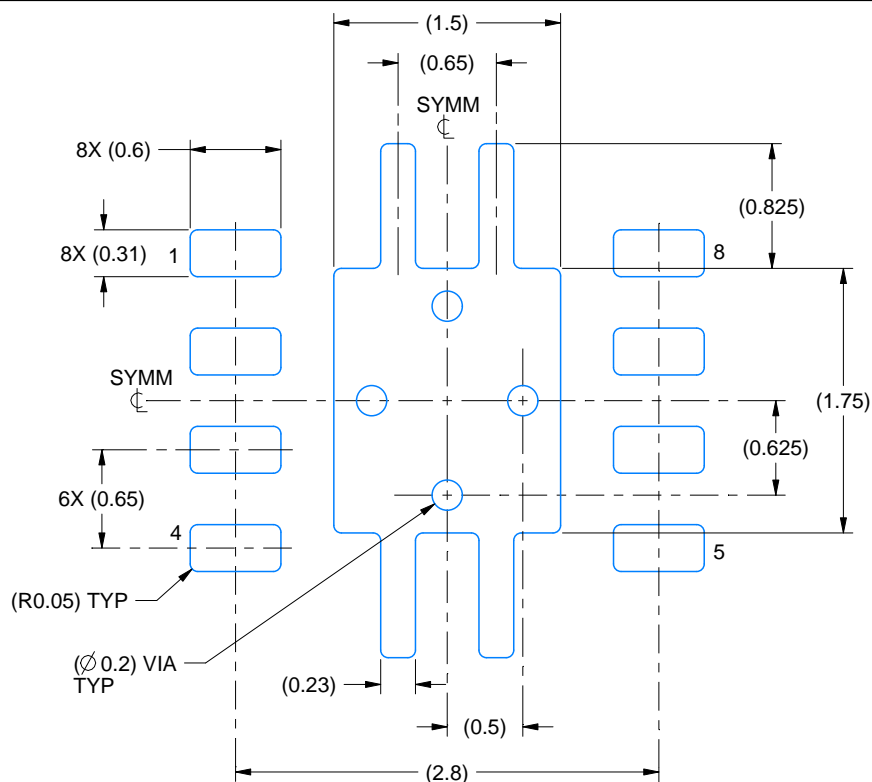
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

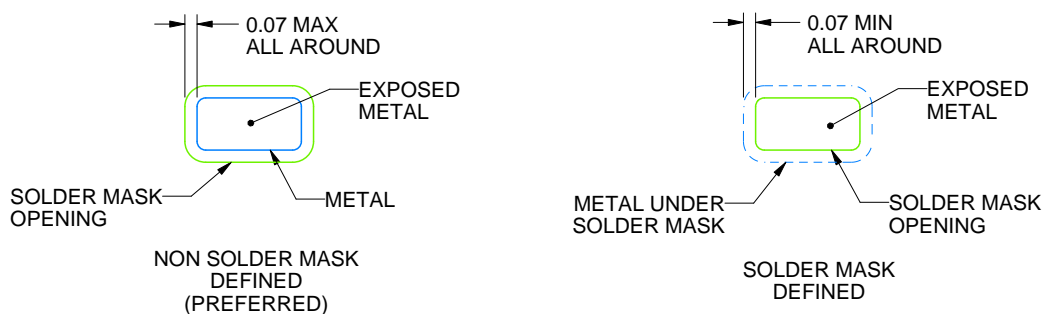
DRB0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:20X



SOLDER MASK DETAILS

4218875/A 01/2018

NOTES: (continued)

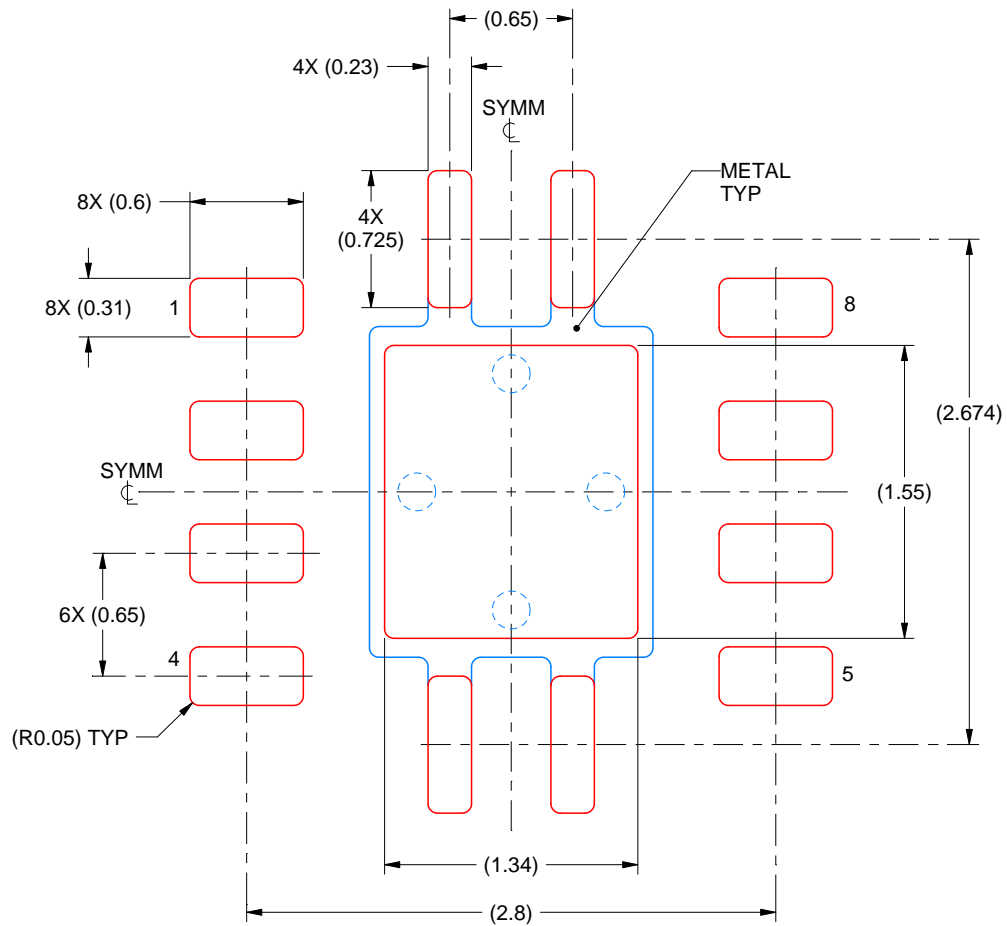
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slue271](http://www.ti.com/lit/slue271)).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

DRB0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD  
84% PRINTED SOLDER COVERAGE BY AREA  
SCALE:25X

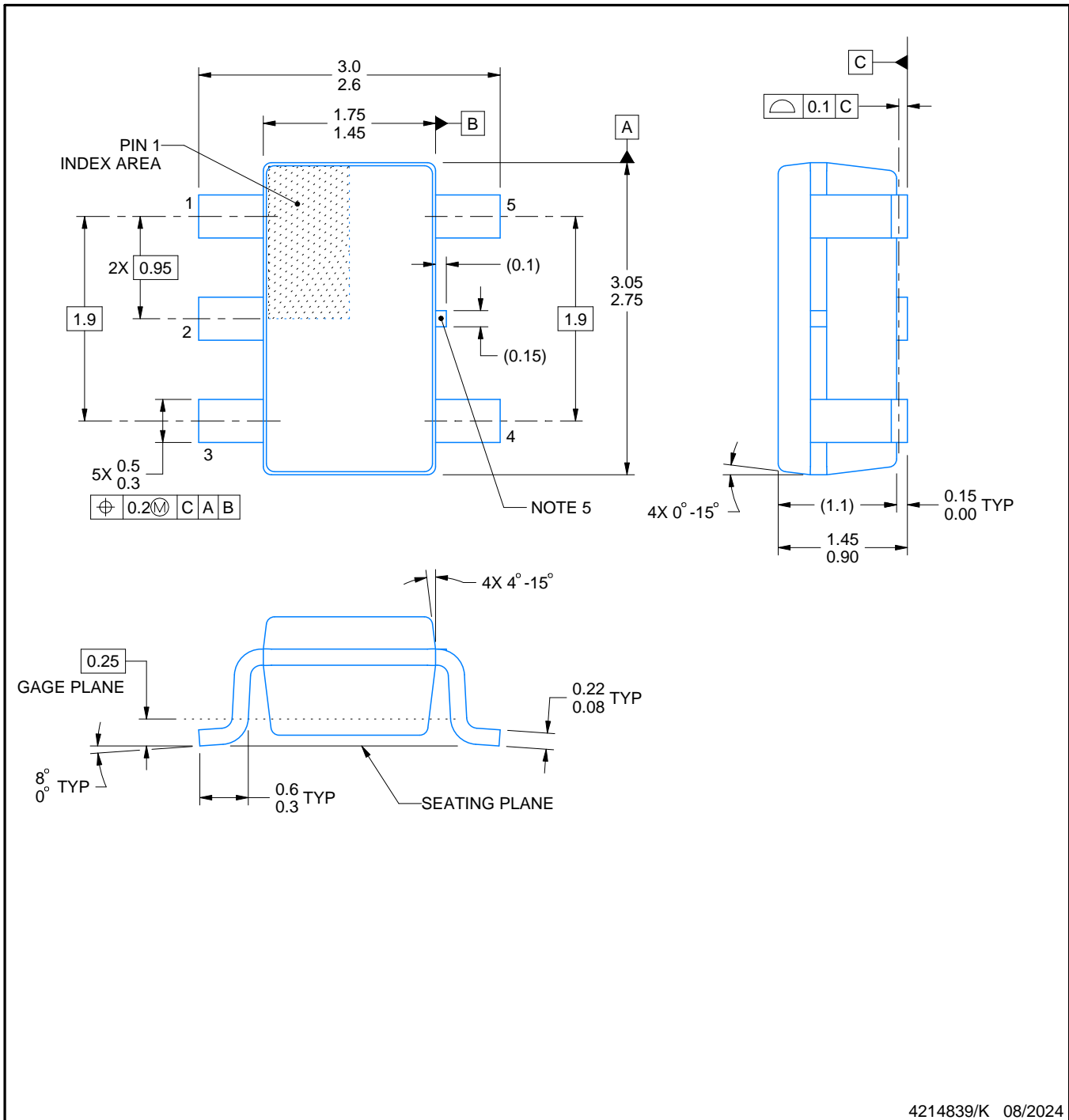
4218875/A 01/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

**DBV0005A****PACKAGE OUTLINE****SOT-23 - 1.45 mm max height**

SMALL OUTLINE TRANSISTOR

**NOTES:**

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

# EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

## EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR

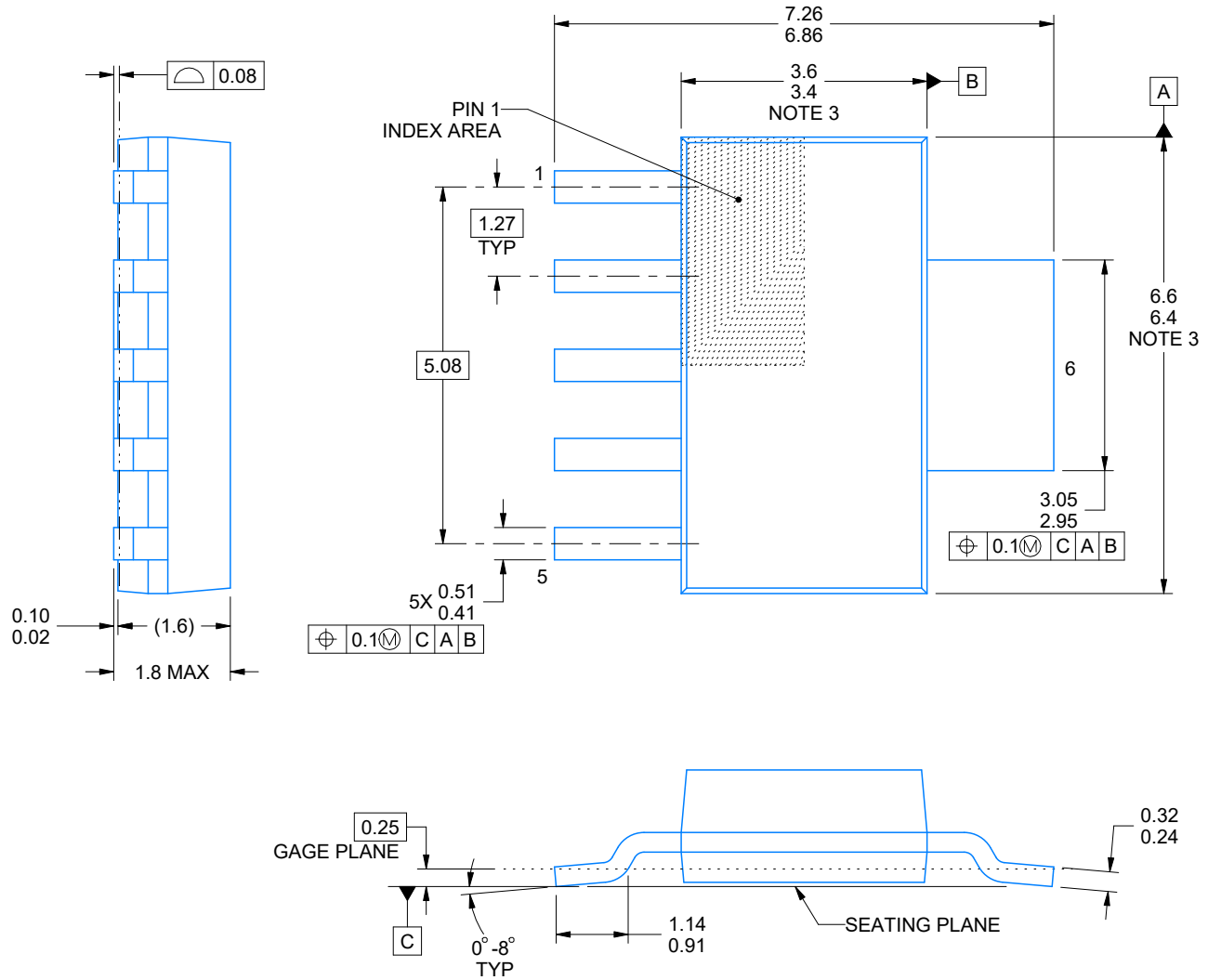
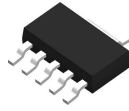


SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



4214845/C 11/2021

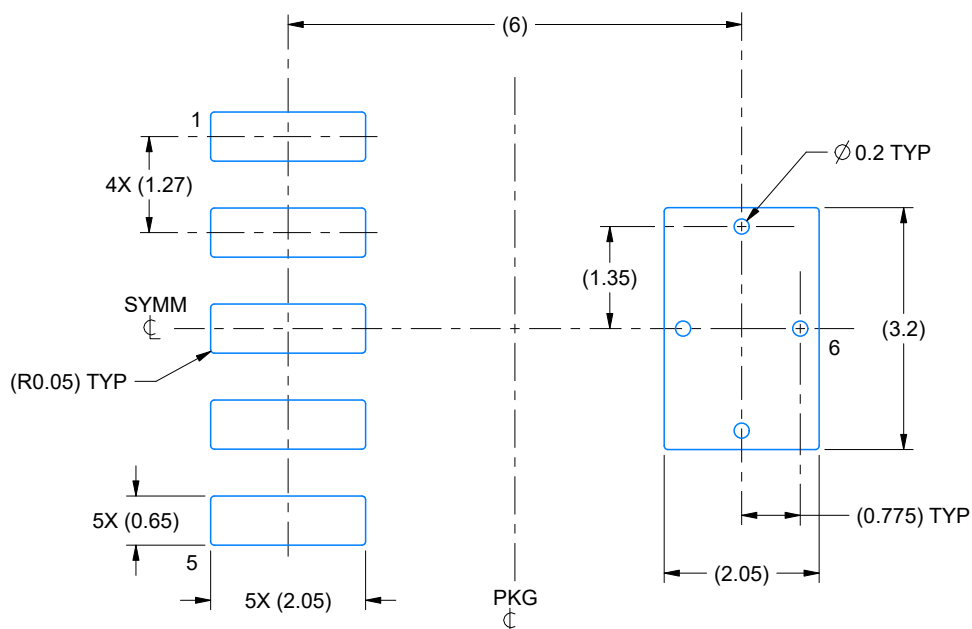
## NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.

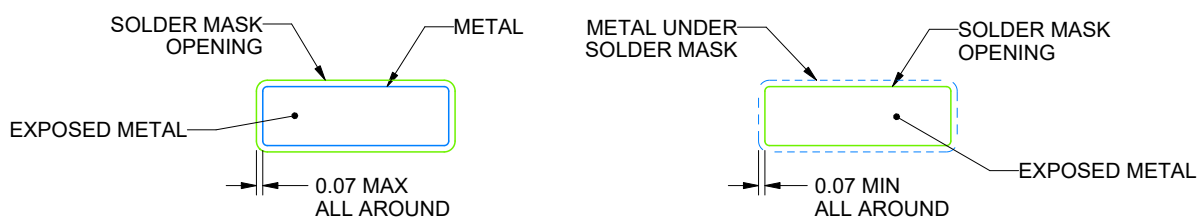
**DCQ0006A**

**SOT - 1.8 mm max height**

## PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



## SOLDER MASK DETAILS

4214845/C 11/2021

NOTES: (continued)

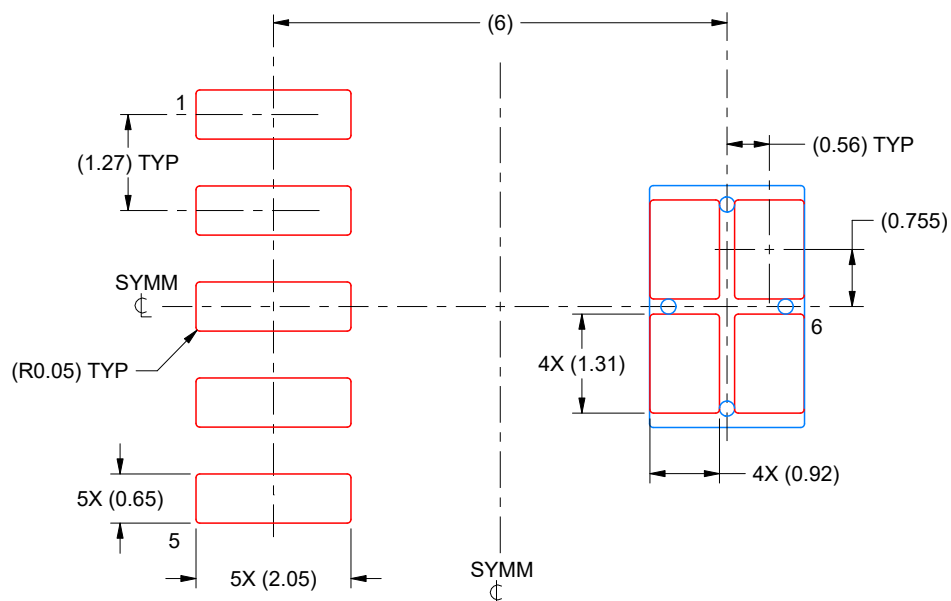
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



**DCQ0006A**

**SOT - 1.8 mm max height**

## PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4214845/C 11/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月