

# TPS732-Q1 車載、コンデンサ不要、NMOS、250mA、低ドロップアウトレギュレータ、逆電流保護機能搭載

## 1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度グレード 0: -40°C~150°C,  $T_A$
  - デバイス HBM 分類レベル 2
  - デバイス CDM 分類レベル C4B
  - デバイス MM 分類レベル M2
- 出力コンデンサなし、または任意の値またはタイプのコンデンサで安定動作
- 入力電圧範囲: 1.7V ~ 5.5V
- 非常に低いドロップアウト電圧: 250mAにおいて 40mV (標準値)
- オプションの出力コンデンサの有無にかかわらず非常に優れた負荷過渡応答
- NMOS トポロジにより、低い逆リーキ電流を実現
- 低ノイズ: 30 $\mu$ V<sub>RMS</sub> (標準値、10kHz~100kHz)
- 初期精度: 0.5%
- 1% の総合精度 (ライン、負荷、温度)
- シャットダウン モードの最大  $I_Q$ : 1 $\mu$ A 未満
- サーマル シャットダウン、仕様規定された最小 / 最大電流制限保護
- 複数の出力電圧バージョンが利用可能:
  - 1.2V、1.5V、1.6V、1.8V、2.5V、3V、3.3V、5V の固定出力電圧
  - 可変出力: 1.2V~5.5V
  - カスタム出力品も提供

## 2 アプリケーション

- 携帯型およびバッテリ駆動の機器
- スイッチング電源のポストレギュレーション
- ノイズの影響を受けやすい回路 (VCO など)
- DSP、FPGA、ASIC、マイクロプロセッサのポイントオブロードレギュレーション

## 3 説明

TPS732-Q1 低ドロップアウト (LDO) 電圧レギュレータは、NMOS パス過渡で構成される SAN NMOS トポロジを電圧フォロワ構成で使用します。このトポロジは、低 ESR の出力コンデンサで安定に動作し、コンデンサを使用しなくても動作できます。また、このトポロジは逆耐圧が高く (低逆電流)、グランド ピン電流が全出力電流値にわたってほぼ一定です。

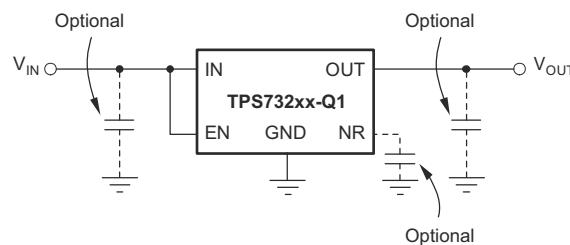
TPS732-Q1 は、小さいドロップアウト電圧と小さなグランド ピン電流を実現すると同時に、先進の BiCMOS プロセスを使用することで高い精度を達成しています。ディセーブル時の消費電流は 1 $\mu$ A 未満であり、携帯型アプリケーション向けに設計されています。非常に小さい出力ノイズ (0.1 $\mu$ F の  $C_{NR}$  で 30 $\mu$ V<sub>RMS</sub>) は、VCO への電力供給向けに設計されています。このデバイスは、サーマル シャットダウンとフォールドバック電流制限によって保護されています。

### パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	パッケージ サイズ <sup>(2)</sup>
TPS732-Q1	DBV (SOT-23, 5)	2.9mm × 2.8mm
	DCQ (SOT-223, 6)	6.5mm × 7.06mm
	DRB (VSON, 8)	3mm × 3mm

(1) 詳細については、[メカニカル、パッケージ、および注文情報](#)をご覧ください。

(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



代表的なアプリケーション回路 (固定電圧バージョン)



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

## 目次

1 特長.....	1	6.4 デバイスの機能モード.....	18
2 アプリケーション.....	1	7 アプリケーションと実装.....	19
3 説明.....	1	7.1 アプリケーション情報.....	19
4 ピン構成および機能.....	3	7.2 代表的なアプリケーション.....	19
5 仕様.....	4	7.3 電源に関する推奨事項.....	22
5.1 絶対最大定格.....	4	7.4 レイアウト.....	22
5.2 ESD 定格.....	4	8 デバイスおよびドキュメントのサポート.....	26
5.3 推奨動作条件.....	4	8.1 デバイス サポート.....	26
5.4 熱に関する情報.....	4	8.2 ドキュメントのサポート.....	26
5.5 熱に関する情報.....	5	8.3 ドキュメントの更新通知を受け取る方法.....	26
5.6 電気的特性.....	6	8.4 サポート・リソース.....	26
5.7 スイッチング特性.....	6	8.5 商標.....	26
5.8 代表的特性.....	7	8.6 静電気放電に関する注意事項.....	26
6 詳細説明.....	16	8.7 用語集.....	26
6.1 概要.....	16	9 改訂履歴.....	27
6.2 機能ブロック図.....	16	10 メカニカル、パッケージ、および注文情報.....	27
6.3 機能説明.....	16		

## 4 ピン構成および機能

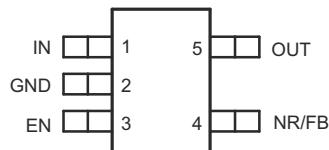


図 4-1. DBV パッケージ 5 ピン SOT-23 上面図

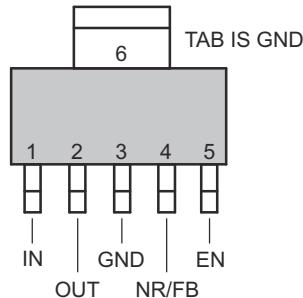
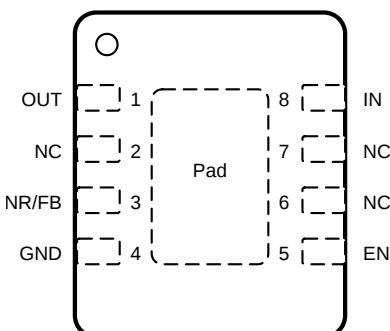


図 4-2. DCQ パッケージ、6 ピン SOT-223  
(上面図)



NC: 内部接続なし

図 4-3. DRB パッケージ 8 ピン VSON (露出サーマルパッド付き) 上面図

表 4-1. ピンの機能

名称	ピン			種類 <sup>(1)</sup>	説明		
	番号						
	SOT-23	SOT-223	VSON				
EN	3	5	5	I	イネーブルピン (EN) を high になると、レギュレータが動作します。このピンを low にすると、レギュレータはシャットダウンモードに移行します。詳細については、「 <a href="#">シャットダウン</a> 」セクションを参照してください。EN を使用しない場合は、IN に接続できます。		
FB <sup>(2)</sup>	4	4	3	I	制御ループのエラーアンプへの入力であり、デバイスの出力電圧を設定するために使用されます。		
GND	2	3, 6	4	—	グラウンド		
IN	1	1	8	I	非安定型入力電源		
NR <sup>(3)</sup>	4	4	3	—	このピンに外付けコンデンサを接続すると、内部バンドギャップによって発生するノイズがバイパスされます。このバイパスにより、出力ノイズを low レベルに低減できます。		
OUT	5	2	1	O	レギュレータの出力。安定性のために出力コンデンサは必要ありません。		
パッド	—	—	パッド	—	グラウンド		
NC	—	—	2, 6, 7	—	内部接続なし		

(1) I = 入力、O = 出力。

(2) 可変電圧バージョンのみ。

(3) 固定電圧バージョンのみ。

## 5 仕様

### 5.1 絶対最大定格

接合部動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		最小値	最大値	単位
電圧	入力、 $V_{IN}$	-0.3	6	V
	イネーブル、 $V_{EN}$	-0.3	6	
	出力、 $V_{OUT}$	-0.3	5.5	
	$V_{NR}$ 、 $V_{FB}$	-0.3	6	
電流	最大出力、 $I_{OUT}$	内部的に制限		
出力短絡時間		無制限		
連続総許容損失	$P_{DISS}$	熱に関する情報 参照		
温度	動作時の接合部温度、 $T_J$	-55	150	°C
	保存、 $T_{stg}$	-65	150	

- (1) 絶対最大定格を超えた動作は、デバイスに恒久的な損傷を与える可能性があります。絶対最大定格は、これらの条件において、または 推奨動作条件に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

### 5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 <sup>(1)</sup>	±4000	V
		デバイス帶電モデル (CDM)、AEC Q100-011 準拠	±1000	
		マシンモデル (MM) (レガシー シリコンのみ)	±200	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

### 5.3 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
$V_{IN}$	入力電源電圧	1.7	5.5	V	
$I_{OUT}$	出力電流	0	250	mA	
$T_J$	動作時接合部温度	-40	125	°C	

### 5.4 热に関する情報

熱評価基準 <sup>(1)</sup>		TPS732-Q1 新しいシリコン			単位
		DRB (VSON)	DCQ (SOT-223)	DBV (SOT-23)	
		8 ピン	6 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	49.4	76	185.2	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	76.6	46.6	82.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	22.0	18.1	53.1	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	3.8	8.6	21.1	°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	22.0	17.6	52.7	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	3.8	該当なし	該当なし	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

## 5.5 热に関する情報

热評価基準 <sup>(1)</sup>		TPS732-Q1 レガシーシリコン		単位
		DBV (SOT-23)	DRB (VSON)	
		5 ピン	8 ピン	
R <sub>θJA</sub>	接合部から周囲への热抵抗	180	47.8	°C/W
R <sub>θJC(top)</sub>	接合部からケース(上面)への热抵抗	64	83	°C/W
R <sub>θJB</sub>	接合部から基板への热抵抗	35	-	°C/W
Ψ <sub>JT</sub>	接合部から上面への特性パラメータ	-	2.1	°C/W
Ψ <sub>JB</sub>	接合部から基板への特性パラメータ	-	17.8	°C/W
R <sub>θJC(bot)</sub>	接合部からケース(底面)への热抵抗	-	12.1	°C/W

(1) 従来および最新の热評価基準の詳細については、『半導体および IC パッケージの热評価基準』アプリケーション ノートを参照してください。

## 5.6 電気的特性

動作温度範囲 ( $T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ )、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ <sup>(1)</sup>、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\mu\text{F}$  (特に記述のない限り)。標準値は  $T_J = 25^{\circ}\text{C}$  時に測定

パラメータ		テスト条件		最小値	標準値	最大値	単位
$V_{FB}$	内部リファレンス (TPS73201-Q1)	$T_J = 25^{\circ}\text{C}$		1.198	1.204	1.210	V
$V_{OUT}$	出力電圧範囲 (TPS73201-Q1) <sup>(2)</sup>			$V_{FB}$	5.5 - $V_{DO}$		V
	精度 <sup>(1)</sup>	公称	$T_J = 25^{\circ}\text{C}$	-0.5	0.5	1	%
$\Delta V_{OUT(\Delta V_{IN})}$	ライン レギュレーション	$(V_{OUT(nom)} + 0.5\text{V}) \leq V_{IN} \leq 5.5\text{V}$		0.06			%/V
$\Delta V_{OUT(\Delta I_{OUT})}$	ロード レギュレーション	$1\text{mA} \leq I_{OUT} \leq 250\text{mA}$		0.002			%/mA
$\Delta V_{OUT(\Delta I_{OUT})}$	ロード レギュレーション	$10\text{mA} \leq I_{OUT} \leq 250\text{mA}$		0.0008			%/mA
$V_{DO}$	ドロップアウト電圧 <sup>(3)</sup> ( $V_{IN} = V_{OUT(NOM)} - 0.1\text{V}$ )	$I_{OUT} = 250\text{mA}$		40	150		mV
$Z_{O(DO)}$	ドロップアウト時の出力インピーダンス	$1.7\text{V} \leq V_{IN} \leq V_{OUT} + V_{DO}$		0.25			$\Omega$
$I_{CL}$	出力電流制限	$V_{OUT} = 0.9 \times V_{OUT(nom)}$		250	425	600	mA
$I_{SC}$	短絡電流	$V_{OUT} = 0\text{V}$		300			mA
$I_{REV}$	逆リーク電流 <sup>(4)</sup> (- $I_{IN}$ )	$V_{EN} \leq 0.5\text{V}, 0\text{V} \leq V_{IN} \leq V_{OUT}$		0.1	10		$\mu\text{A}$
$I_{GND}$	グランド ピン電流	$I_{OUT} = 10\text{mA}$ ( $I_Q$ )、レガシー シリコン		400	550		$\mu\text{A}$
		$I_{OUT} = 10\text{mA}$ ( $I_Q$ )、新しいシリコン		400	630		
$I_{GND}$	グランド ピン電流	$I_{OUT} = 250\text{mA}$		650	950		$\mu\text{A}$
$I_{SHDN}$	シャットダウン時の電流 ( $I_{GND}$ )	$V_{EN} \leq 0.5\text{V}, V_{OUT} \leq V_{IN} \leq 5.5\text{V}$		0.02	1		$\mu\text{A}$
$I_{FB}$	帰還ビン電流 (TPS73201)			0.1	0.45		$\mu\text{A}$
PSRR	電源電圧変動除去比 (リップル除去)	$f = 100\text{Hz}, I_{OUT} = 250\text{mA}$		58			dB
		$f = 10\text{kHz}, I_{OUT} = 250\text{mA}$		37			
$V_N$	出力ノイズ電圧、BW = 10Hz~100kHz	$C_{OUT} = 10\mu\text{F}, C_{NR} \text{なし}$		$27 \times$ $V_{OUT}$			$\mu\text{V}_{RMS}$
		$C_{OUT} = 10\mu\text{F}, C_{NR} = 0.01\mu\text{F}$		$8.5 \times$ $V_{OUT}$			
$V_{EN(high)}$	EN ピン 高 (イネーブル)			1.7	$V_{IN}$		V
$V_{EN(low)}$	EN ピン 低 (シャットダウン)			0	0.5		V
$I_{EN(high)}$	イネーブル ピンの電流 (イネーブル)	$V_{EN} = 5.5\text{V}$		0.02	0.1		$\mu\text{A}$
$T_{SD}$	サーマル シャットダウン温度	シャットダウン、温度上昇		160			°C
		リセット、温度低下		140			

(1) 最小  $V_{IN} = V_{OUT} + V_{DO}$  または  $1.7\text{V}$  のいずれか大きい方。

(2) TPS73201-Q1 は、 $V_{OUT} = 2.5\text{V}$  でテストされています。

(3)  $V_{DO}$  は、 $V_{OUT(nom)} < 1.8\text{V}$  の出力バージョンでは、最小  $V_{IN} = 1.7\text{V}$  であるため測定されません。

(4) 固定電圧バージョンのみ対応。詳細は「アプリケーション情報」セクションを参照してください。

## 5.7 スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{STR}$	起動時間	$V_{OUT} = 3\text{V}, R_L = 30\Omega, C_{OUT} = 1\mu\text{F}, C_{NR} = 0.01\mu\text{F}$	600			$\mu\text{s}$

## 5.8 代表的特性

すべての電圧バージョンで、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\mu\text{F}$  の条件下において、特に記述のない限り

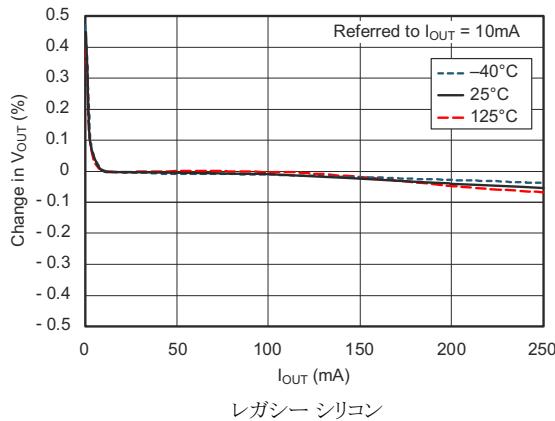


図 5-1. ロード レギュレーション

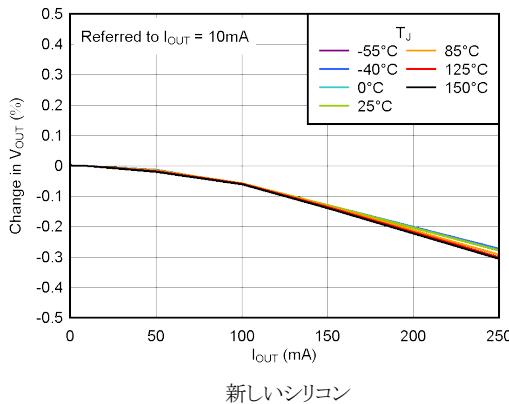


図 5-2. ロード レギュレーション

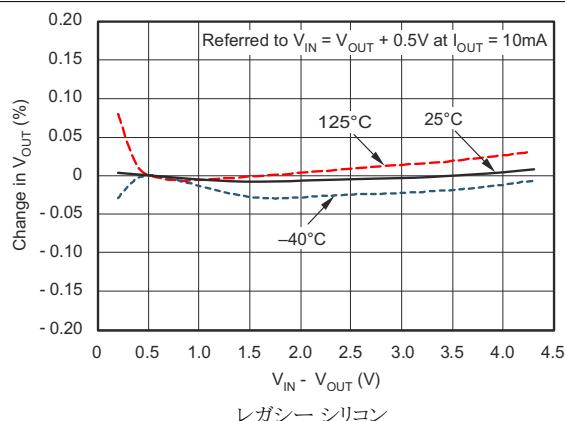


図 5-3. ライン レギュレーション

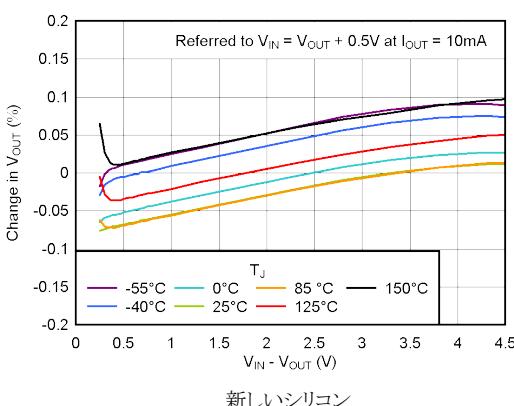


図 5-4. ライン レギュレーション

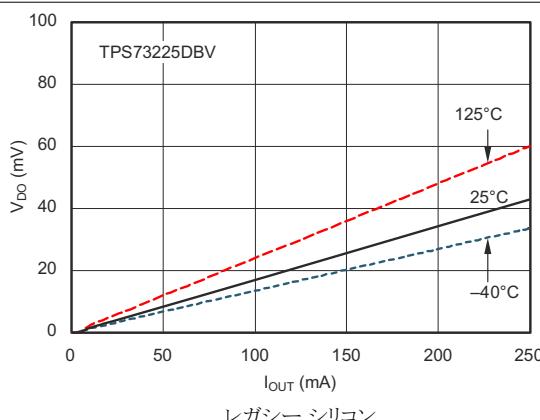


図 5-5. ドロップアウト電圧と出力電流との関係

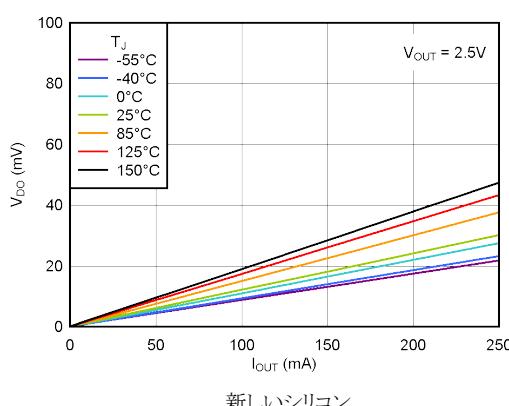
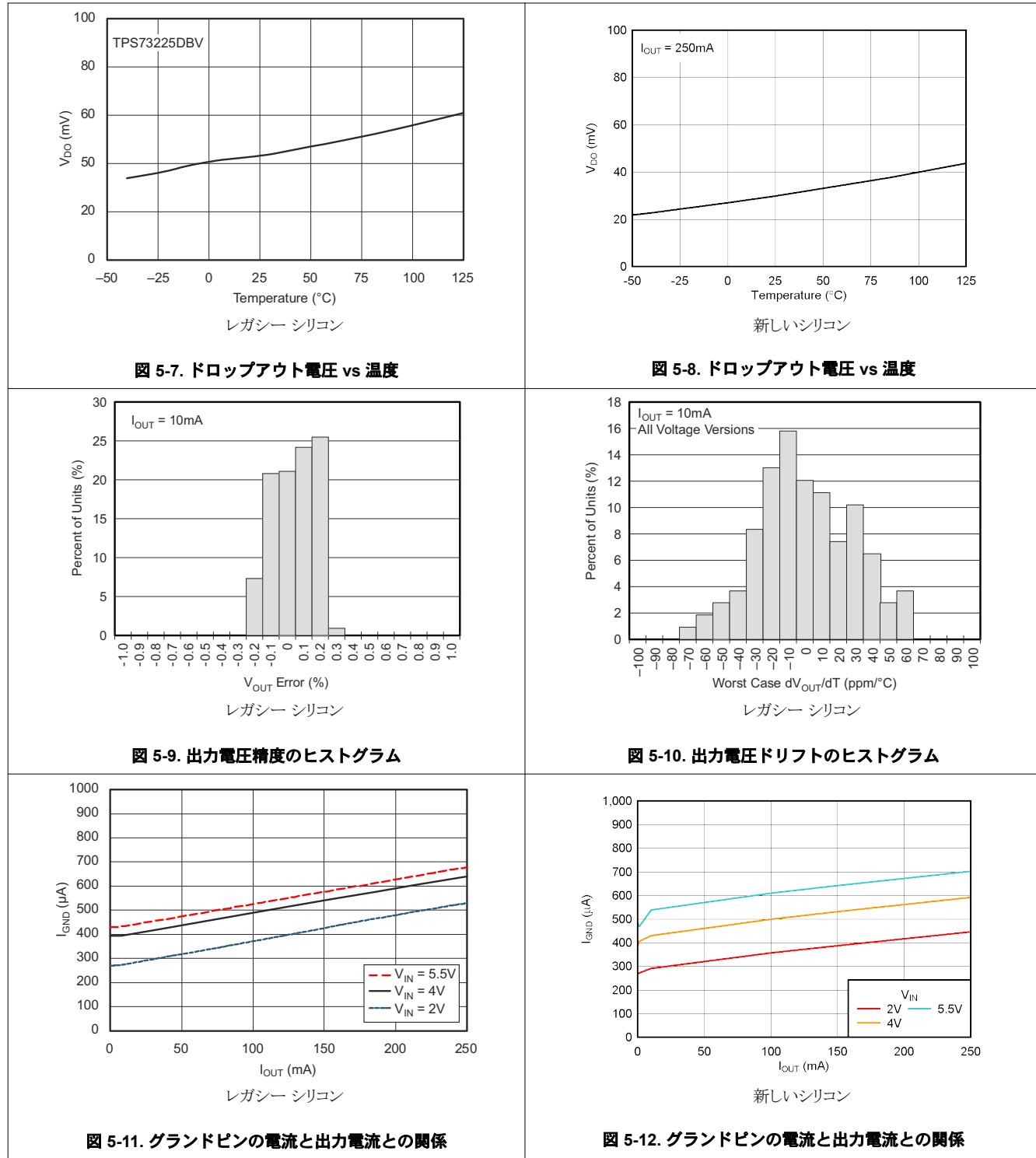


図 5-6. ドロップアウト電圧と出力電流との関係

## 5.8 代表的特性 (続き)

すべての電圧バージョンで、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\mu\text{F}$  の条件下において、特に記述のない限り



## 5.8 代表的特性 (続き)

すべての電圧バージョンで、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\mu\text{F}$  の条件下において、特に記述のない限り

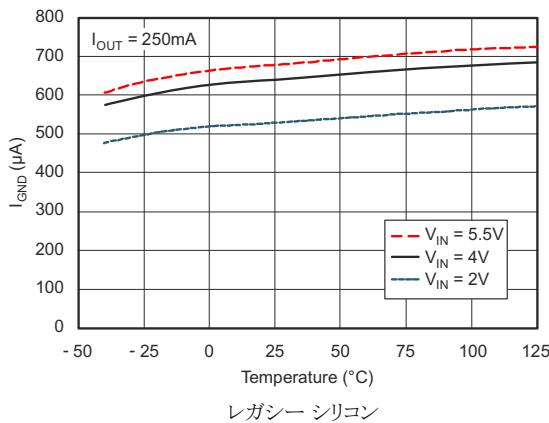


図 5-13. グランドピンの電流と温度との関係

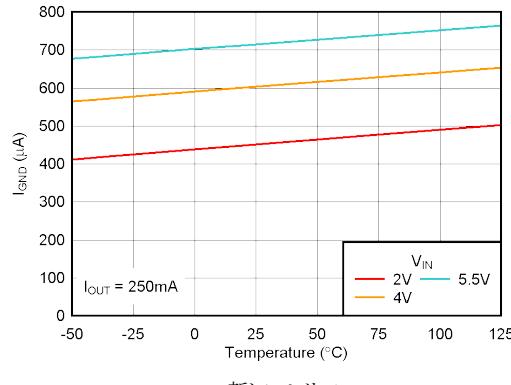


図 5-14. グランドピンの電流と温度との関係

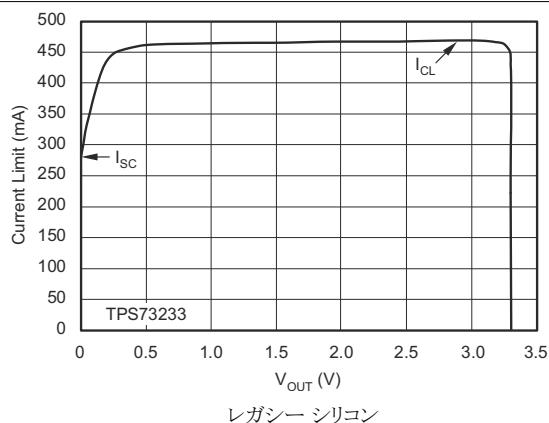


図 5-15. 電流制限と  $V_{OUT}$  (フォールドバック) の関係

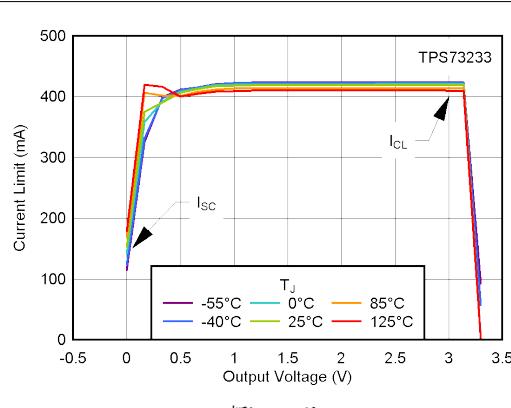


図 5-16. 電流制限と  $V_{OUT}$  (フォールドバック) の関係

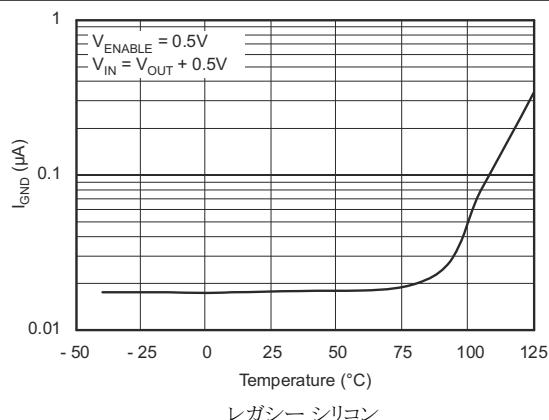


図 5-17. シャットダウン時のグランドピンの電流と温度との関係

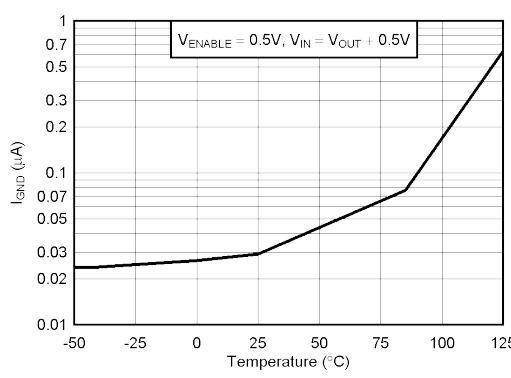
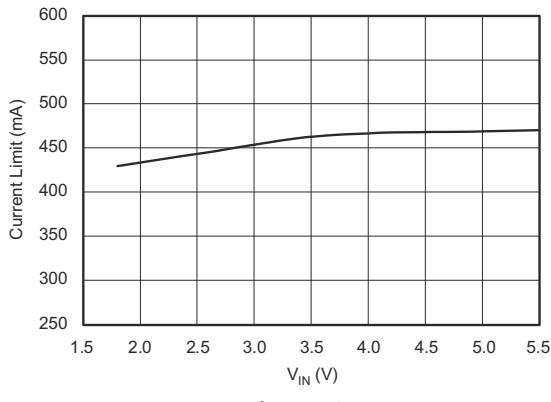
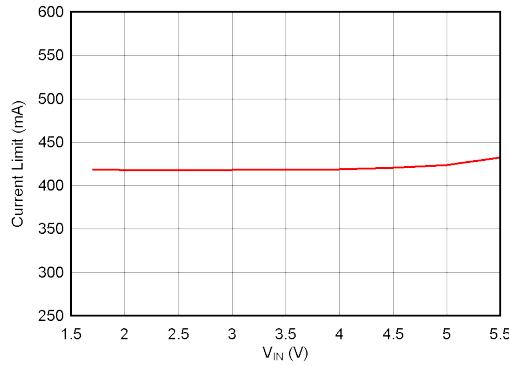


図 5-18. シャットダウン時のグランドピンの電流と温度との関係

## 5.8 代表的特性 (続き)

すべての電圧バージョンで、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\mu\text{F}$  の条件下において、特に記述のない限り

図 5-19. 電流制限と  $V_{IN}$  との関係

新しいシリコン

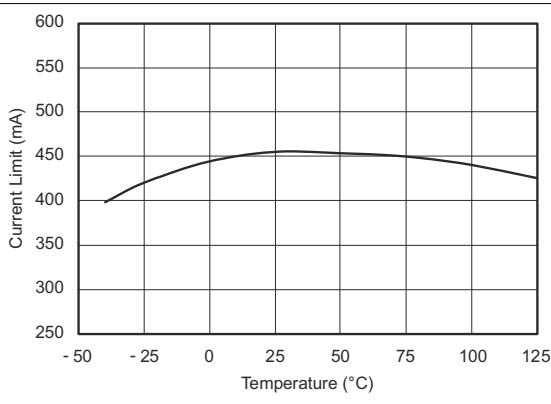
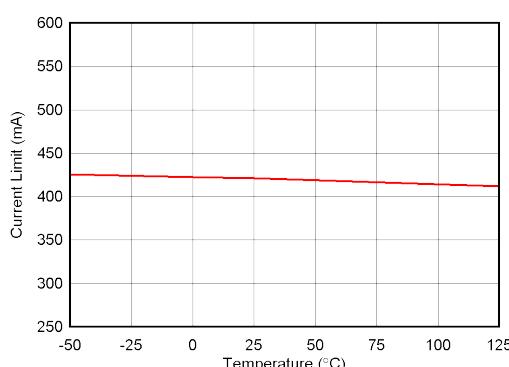


図 5-21. 電流制限と温度との関係



新しいシリコン

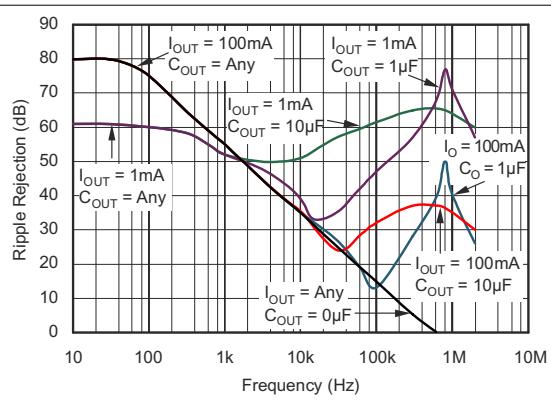
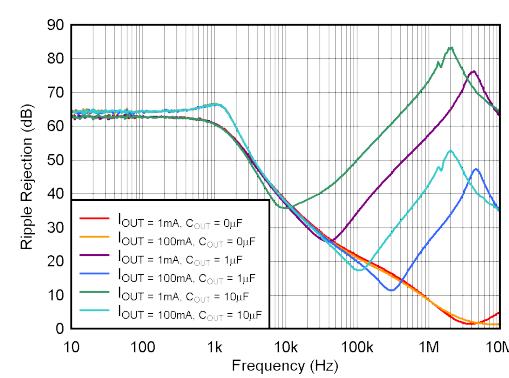


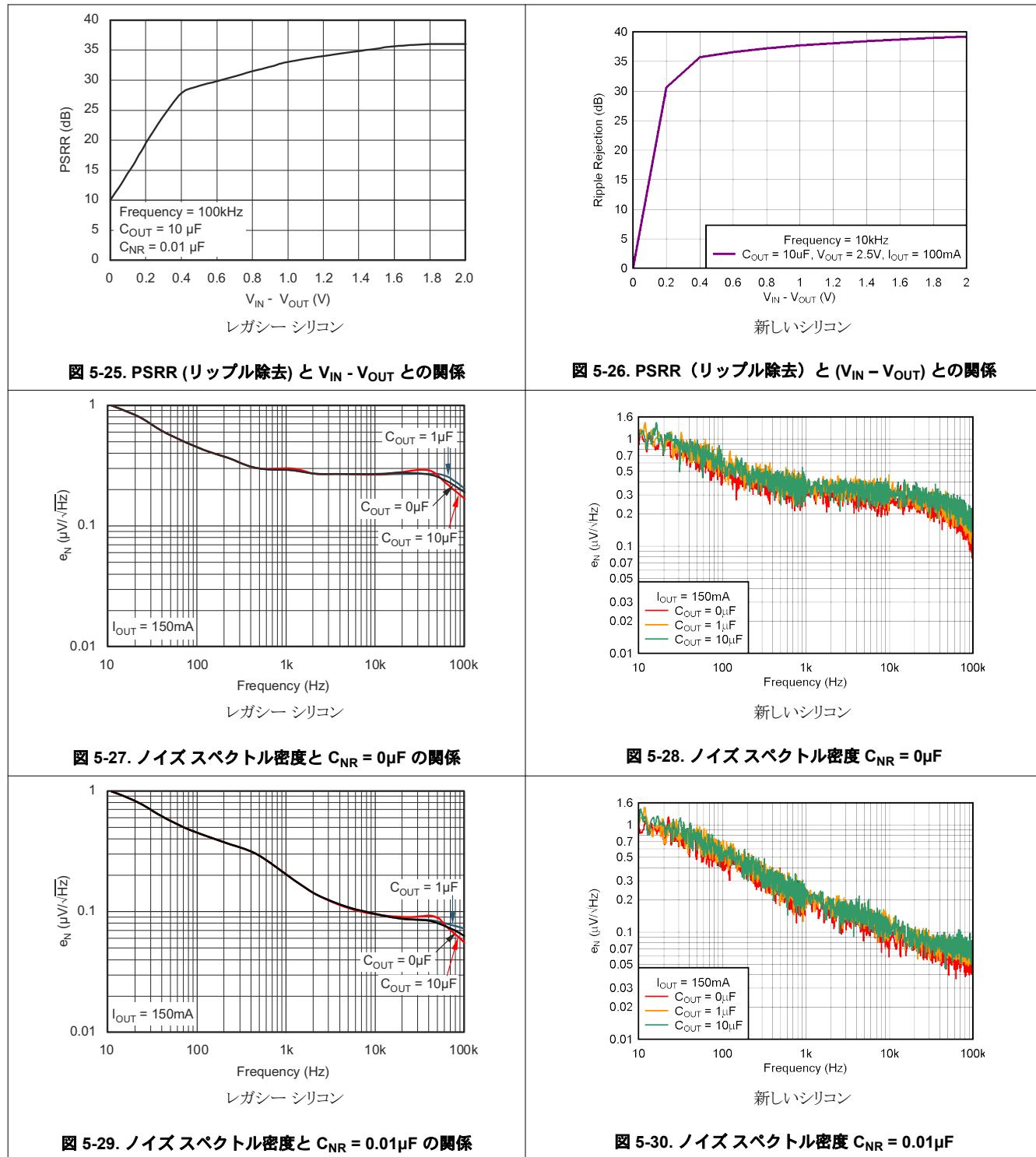
図 5-23. PSRR (リップル除去) と周波数との関係



新しいシリコン

## 5.8 代表的特性 (続き)

すべての電圧バージョンで、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\mu\text{F}$  の条件下において、特に記述のない限り



## 5.8 代表的特性 (続き)

すべての電圧バージョンで、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\mu\text{F}$  の条件下において、特に記述のない限り

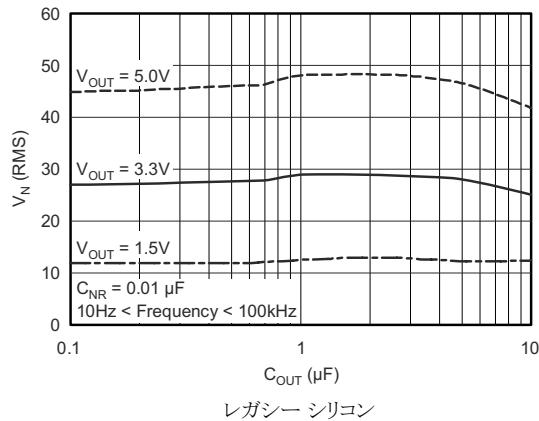


図 5-31. RMS ノイズ電圧と  $C_{OUT}$  との関係

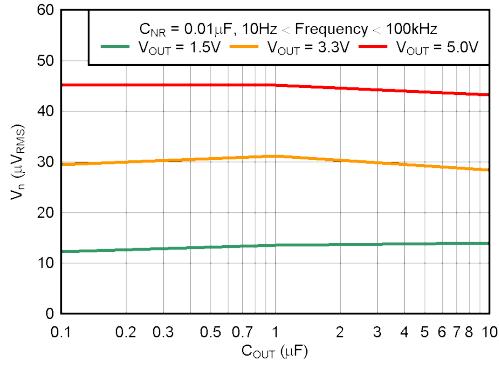


図 5-32. RMS ノイズ電圧と  $C_{OUT}$  との関係

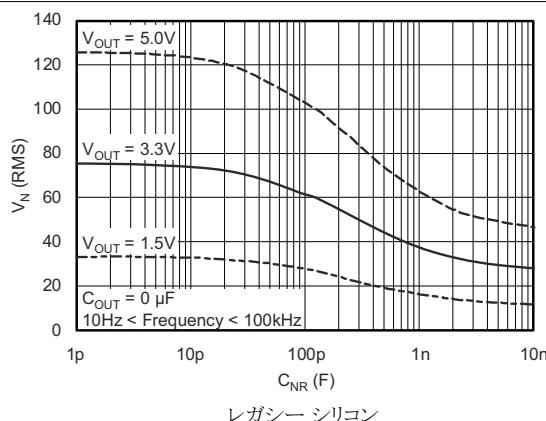


図 5-33. RMS ノイズ電圧と  $C_{NR}$  との関係

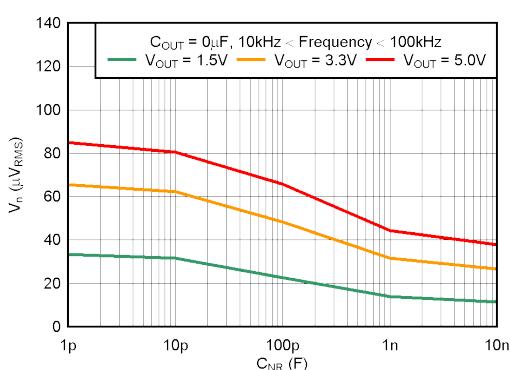


図 5-34. RMS ノイズ電圧と  $C_{NR}$  との関係

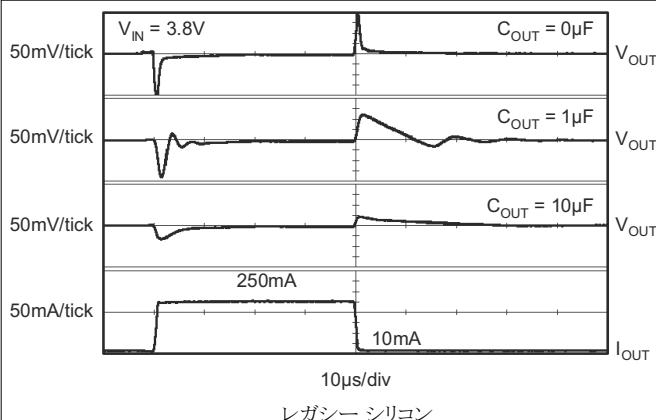


図 5-35. TPS73233-Q1 – 負荷過渡応答

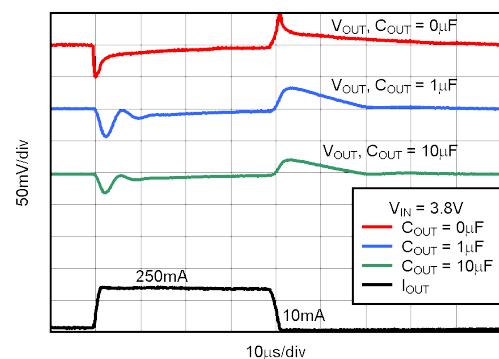


図 5-36. TPS73233-Q1 の負荷過渡応答

## 5.8 代表的特性 (続き)

すべての電圧バージョンで、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\mu\text{F}$  の条件下において、特に記述のない限り

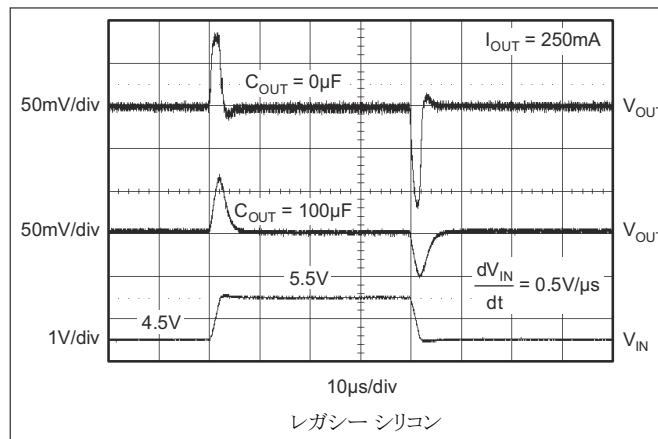


図 5-37. TPS73233-Q1 – ライン過渡応答

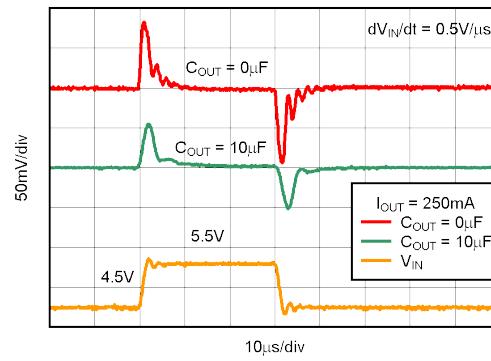


図 5-38. TPS73233-Q1 のライン過渡応答

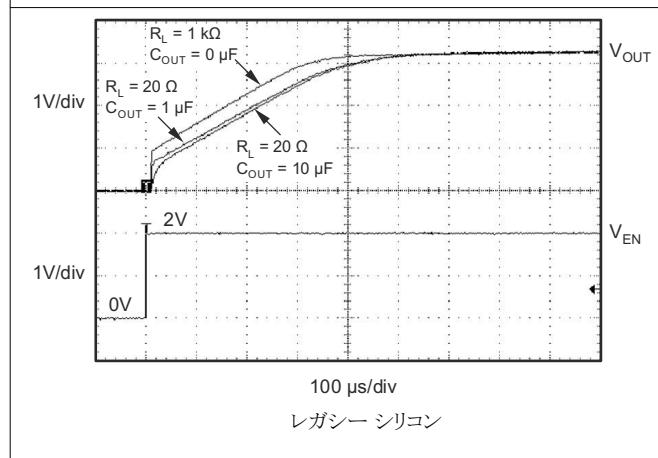


図 5-39. TPS73233-Q1 – ターンオン応答

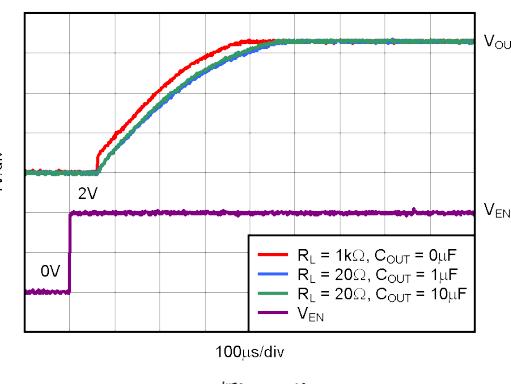


図 5-40. TPS73233-Q1 のターンオン応答

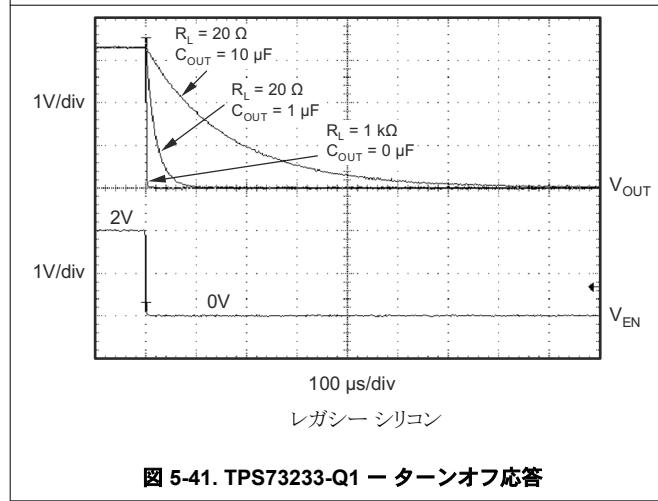


図 5-41. TPS73233-Q1 – ターンオフ応答

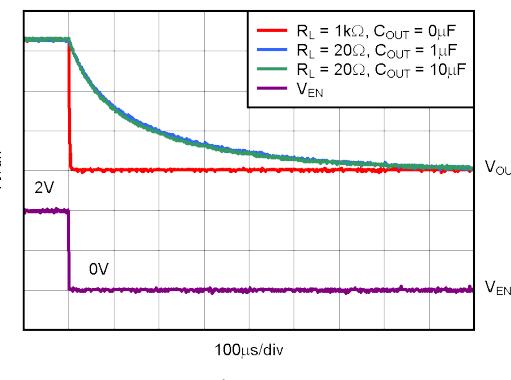


図 5-42. TPS73233-Q1 のターンオフ応答

## 5.8 代表的特性 (続き)

すべての電圧バージョンで、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\mu\text{F}$  の条件下において、特に記述のない限り

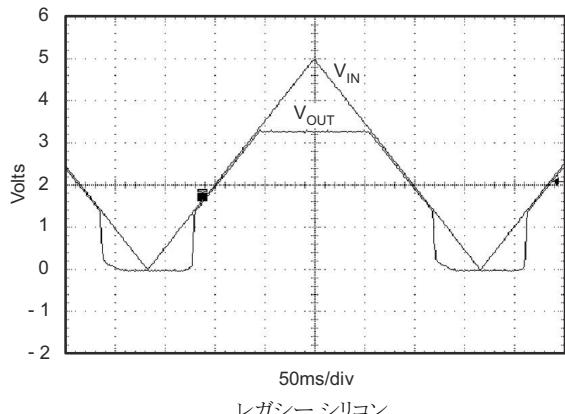


図 5-43. TPS73233-Q1 – パワーアップおよびパワーダウン

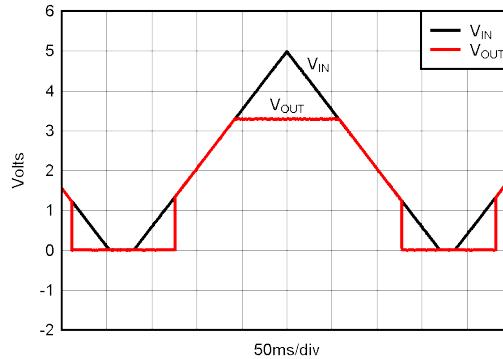


図 5-44. TPS73233-Q1 パワーアップおよびパワーダウン

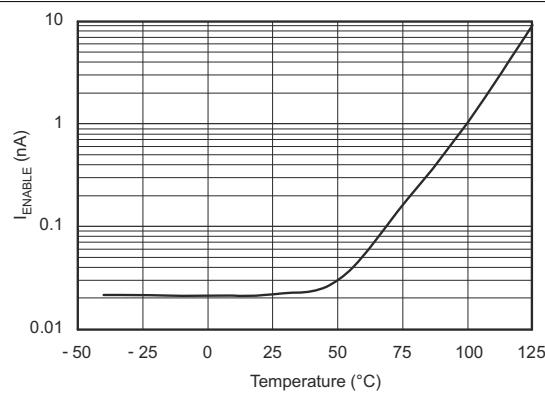


図 5-45.  $I_{ENABLE}$  vs 温度

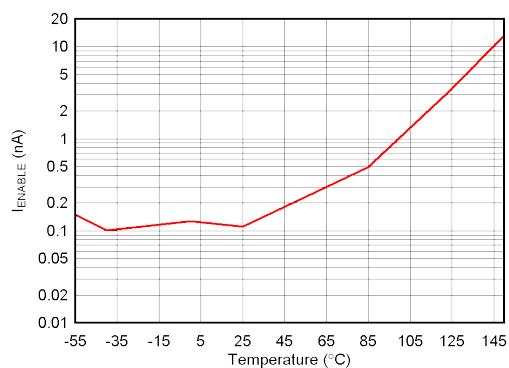


図 5-46.  $I_{ENABLE}$  vs 温度

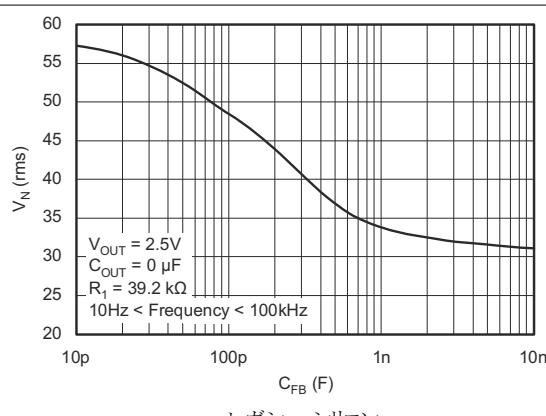


図 5-47. TPS73201-Q1 – RMS ノイズ電圧と  $C_{ADJ}$  との関係

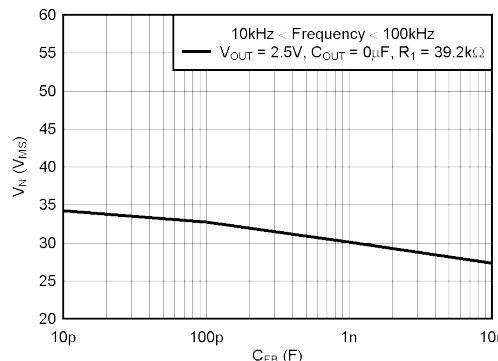


図 5-48. TPS73201-Q1 の RMS ノイズ電圧と  $C_{FB}$  との関係

## 5.8 代表的特性 (続き)

すべての電圧バージョンで、 $T_J = 25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(nom)} + 0.5\text{V}$ 、 $I_{OUT} = 10\text{mA}$ 、 $V_{EN} = 1.7\text{V}$ 、 $C_{OUT} = 0.1\mu\text{F}$  の条件下において、特に記述のない限り

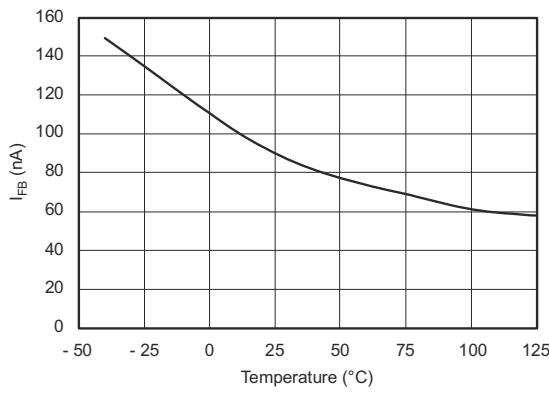


図 5-49. TPS73201-Q1 –  $I_{FB}$  と温度との関係

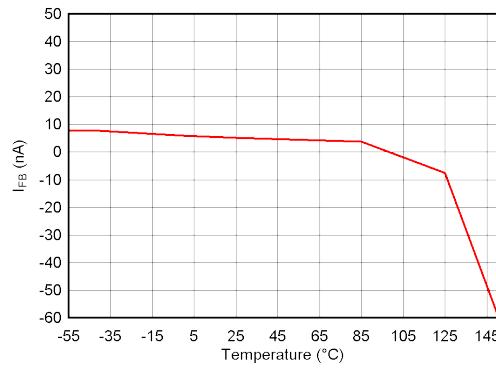


図 5-50. TPS73201-Q1  $I_{FB}$  と温度との関係

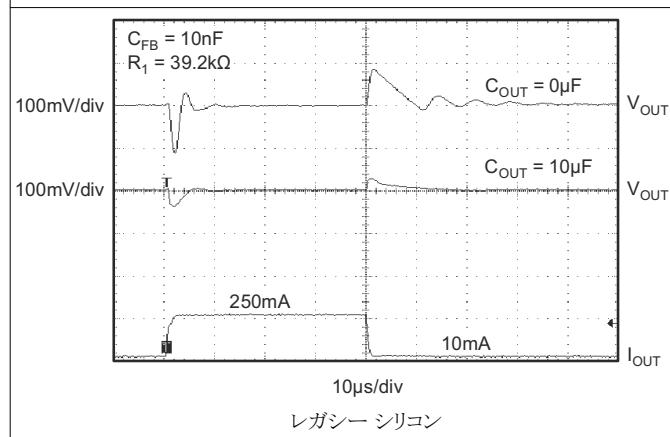


図 5-51. TPS73201-Q1 – 負荷過渡応答、可変バージョン

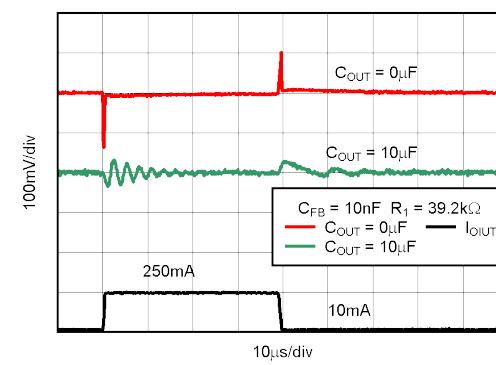


図 5-52. TPS73201-Q1 の負荷過渡応答、可変バージョン

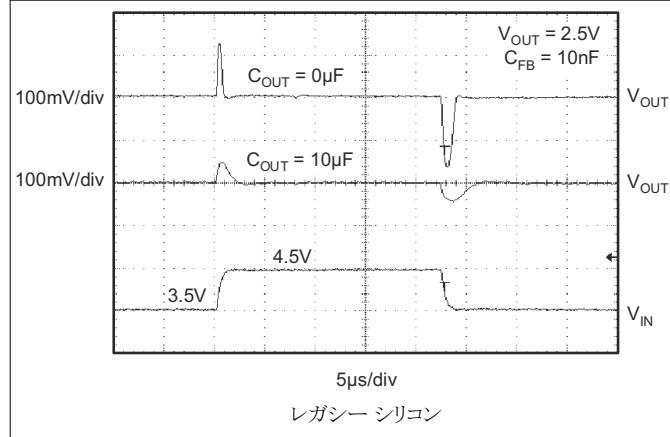


図 5-53. TPS73201-Q1 – ライン過渡応答、可変バージョン

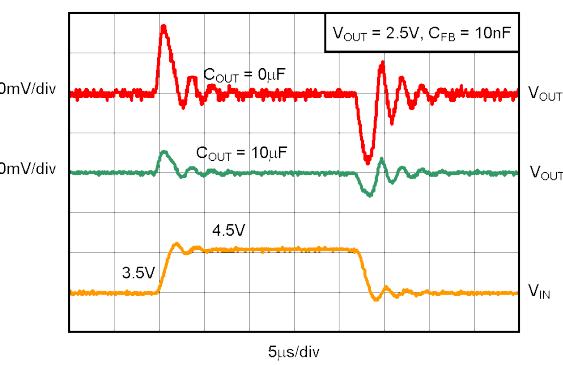


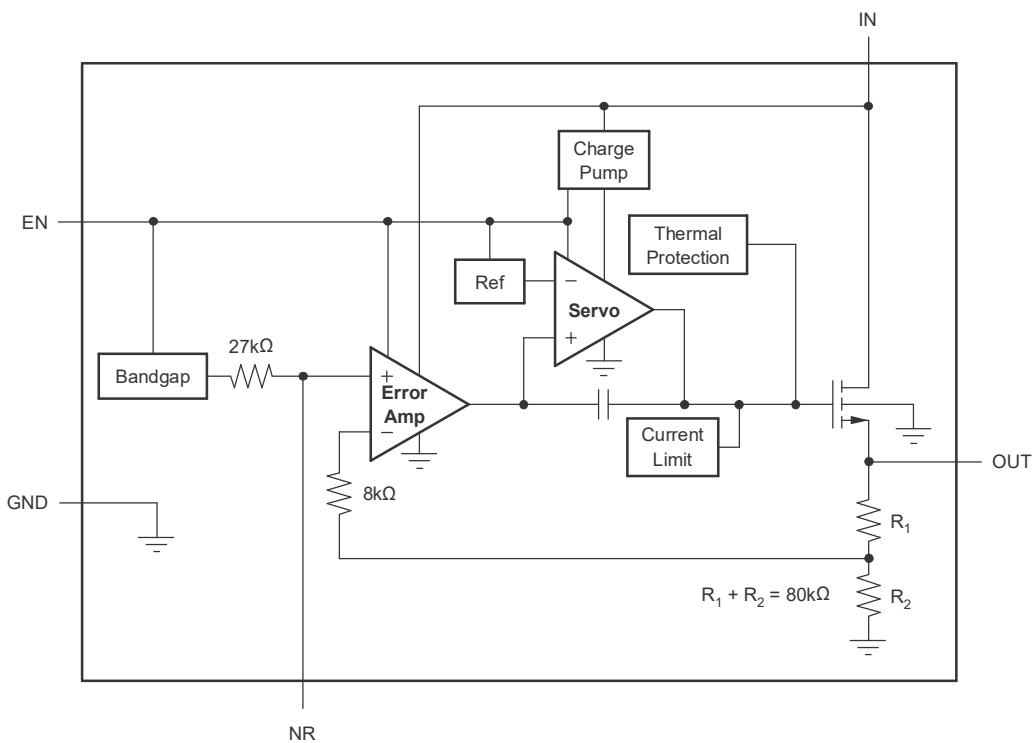
図 5-54. TPS73201-Q1 のライン過渡応答、可変バージョン

## 6 詳細説明

### 6.1 概要

TPS732-Q1 低ドロップアウトリニア レギュレータ デバイスは最低 1.7V の入力電圧で動作し、少なくとも 1.2V の出力電圧をサポートしながら、250mA の負荷電流を供給できます。これらのリニア レギュレータは、4MHz チャージ ポンプを内蔵した NMOS パス エレメントを使用して、全負荷電流で 150mV 未満のドロップアウト電圧を実現します。この独自のアーキテクチャにより、広い範囲の出力コンデンサにわたって安定したレギュレーションも可能です。実際、TPS732-Q1 ファミリーのデバイスには、安定性のために出力コンデンサは必要ありません。このリニア レギュレータ ファミリーは、出力コンデンサの値とタイプに対する感度が向上しているため、実効容量が不明な負荷に電力を供給する場合に最適です。また、TPS732-Q1 ファミリーのデバイスにはノイズ低減 (NR) ピンが搭載されており、出力ノイズをさらに低減できます。TPS732-Q1 ファミリーは低ノイズ出力を備えているため、このデバイスは VCO やその他ノイズに敏感な負荷への電力供給用に最適です。

### 6.2 機能ブロック図



固定電圧バージョン。

### 6.3 機能説明

#### 6.3.1 内部電流制限

TPS732-Q1 の内部電流制限は、故障時にもレギュレータを保護します。フォールドバックは、 $V_{OUT}$  が 0.5V を下回ったときに電流制限を下げることで、出力短絡時のレギュレータの損傷を防ぎます。図 5-15 を参照してください。

#### 6.3.2 シャットダウン

イネーブル ピンはアクティブ high であり、標準の TTL-CMOS レベルと互換です。 $V_{EN}$  が 0.5V (最大値) 未満になると、レギュレータはオフになり、グラウンド ピンの電流は約 10nA にまで低下します。シャットダウン機能が不要な場合は、イネーブル ピンを  $V_{IN}$  に接続します。プルアップ抵抗を使用し、最低 1.8V で動作する必要がある場合は、50kΩ より低いプルアップ抵抗値を使用します。

### 6.3.3 ドロップアウト電圧

TPS732-Q1 ファミリのデバイスは NMOS パストランジスタを使用して、非常に低いドロップアウトを実現しています。 $(V_{IN} - V_{OUT})$  がドロップアウト電圧 ( $V_{DO}$ ) よりも低い場合、NMOS パス デバイスはリニア領域での動作になり、入出力抵抗は NMOS パス素子の  $R_{DS-ON}$  となります。

TPS732-Q1 ファミリのデバイスでは、負荷電流の急激な負荷変動時、過渡応答の低下を避けるために  $V_{IN}$  から  $V_{OUT}$  への電圧降下を十分に確保する必要があります。この過渡ドロップアウト領域の境界は、dc ドロップアウト電圧の約 2 倍です。 $V_{IN} - V_{OUT}$  の値がこの境界を超えている場合、通常の過渡応答が得られます。

過渡ドロップアウト領域での動作により、復帰時間が長くなる場合があります。負荷過渡からの回復に要する時間は、負荷電流レートの変化率、負荷電流の変化率、使用可能なヘッドルーム ( $V_{IN}$  から  $V_{OUT}$  への電圧降下) の関数で求められます。ワーストケース条件 [ $(V_{IN} - V_{OUT})$  が dc ドロップアウトレベルに近い状態でのフルスケール瞬時負荷変動]において、TPS732-Q1 ファミリのデバイスは仕様どおりのレギュレーション精度に復帰するまでに数百マイクロ秒を要する場合があります。

### 6.3.4 過渡応答

電圧フォロワ構成の NMOS パス素子により低い開ループ出力インピーダンスが得られるため、多くのアプリケーションにおいて出力コンデンサ無しでの動作が可能です。他のレギュレータと同様に、出力ピンとグランドの間にコンデンサ（公称値  $1\mu F$ ）を追加すると、アンダーシュートの大きさが減少しますが、持続時間は長くなります。可変バージョンでは、出力と調整ピンとの間にコンデンサ、すなわち  $C_{FB}$  を追加することでも過渡応答を改善できます。

TPS732-Q1 ファミリのデバイスには、出力が過電圧の際のアクティブ プルダウン機能はありません。これにより、代替電源などの高い電圧源を出力に接続する用途が可能になります。これはまた、出力にコンデンサが接続された状態で負荷電流が急速にゼロに下がった場合、数パーセントのオーバーシュートを生じさせます。負荷抵抗を追加することで、オーバーシュートの持続時間を短縮できます。オーバーシュートは、出力コンデンサ  $C_{OUT}$  と内部および外部の負荷抵抗によって決まる速度で減衰します。減衰の速度は式 1 および式 2 によって示されます。

固定電圧バージョン：

$$\frac{dV}{dt} = \frac{V_{OUT}}{C_{OUT} \times 80k\Omega} \quad (1)$$

可変電圧バージョン：

$$\frac{dV}{dt} = \frac{V_{OUT}}{C_{OUT} \times 80k\Omega \parallel (R_1 + R_2)} \quad (2)$$

### 6.3.5 逆電流

TPS732-Q1 ファミリのデバイスの NMOS パス素子は、パス デバイスのゲート引き下げ時にレギュレータの出力から入力への電流の逆流を防ぎ、固有安全性を高めます。パス素子のゲートから確実にすべての電荷を除去するため、入力電圧が解除される前にイネーブル ピンを low に駆動する必要があります。この手順を実行しないと、ゲートに蓄積された電荷が原因でパス素子がオンのままになる可能性があります。

イネーブル ピンを low に駆動した後、いずれのピンにも逆電流を遮断するためのバイアス電圧は必要ありません。逆電流とは、OUT ピンに電圧が印加されることによって IN ピンから流れ出す電流を指すことに注意してください。 $80k\Omega$  の内部抵抗分圧器がグランドに接続されているため、OUT ピンに追加の電流が流れます（機能ブロック図および図 7-3 を参照）。

TPS73201-Q1 の場合、 $V_{FB}$  が  $V_{IN}$  を 1V 以上上回ると、逆電流が発生する可能性があります。

### 6.3.6 過熱保護

過熱保護機能は、接合部温度が約  $160^{\circ}\text{C}$  に上昇すると出力を無効化し、デバイスを冷却させます。接合部温度が約  $140^{\circ}\text{C}$  まで冷却されると、出力回路が再びオンになります。消費電力、熱抵抗、および周囲温度に応じて、過熱保護回路はオン / オフを繰り返します。これによりデバイスの消費電力が制限され、過熱によって起きる損傷からレギュレータを保護します。

過熱保護回路が作動する傾向がある場合、消費電力が過剰であるか、ヒートシンクが不十分であることを示しています。信頼性の高い動作のために、接合部温度を  $125^{\circ}\text{C}$  以下に制限する必要があります。設計全体（ヒートシンクを含む）の安全率を推定するためには、周囲温度を上昇させて過熱保護が作動することを確認します。その際、ワーストケースの負荷と信号条件を使用してください。信頼性を高めるために、アプリケーションで想定される最大周囲条件を少なくとも  $35^{\circ}\text{C}$  上回った時に過熱保護をトリガするよう設定します。これにより、予想される最高周囲温度および最悪の場合の負荷で、最悪の場合の接合部温度は  $125^{\circ}\text{C}$  になります。

TPS732-Q1 ファミリのデバイスの内部保護回路は、過負荷状態から保護されるように設計されています。この保護回路は、適切なヒートシンクの代わりとなるものではありません。TPS732-Q1 ファミリのデバイスがサーマルシャットダウンに陥る状態で使用し続けると、デバイスの信頼性が低下します。

## 6.4 デバイスの機能モード

### 6.4.1 通常動作

TPS732-Q1 ファミリのデバイスは、正常に機能し、レギュレーションを維持するために  $1.7\text{V}$  以上の入力電圧を必要とします。

本デバイスを  $5.5\text{V}$  付近で動作させるときは、 $6\text{V}$  の絶対最大定格電圧を超える過渡スパイクを抑制するように注意してください。デバイスは  $5.5\text{V}$  を超える DC 電圧で動作してはなりません。

## 7 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.1 アプリケーション情報

TPS732-Q1 は新世代 LDO レギュレータ ファミリの製品です。NMOS パストランジスタを使用して超低ドロップアウト性能および逆電流ブロックを実現し、さらに出力コンデンサの制約を受けません。これらの機能に加え、低ノイズおよびイネーブル入力を備えた TPS732-Q1 ファミリのデバイスは、携帯用途向けに理想的です。このレギュレータ ファミリでは、幅広い選択肢の固定出力電圧バージョンと、可変出力バージョンから選ぶことができます。すべてのバージョンには、フォールドバック電流制限など、過熱保護および過電流保護機能が搭載されています。

### 7.2 代表的なアプリケーション

図 7-1 に、固定電圧モデルの基本的な回路接続を示します。図 7-2 に、可変出力バージョン (TPS73201-Q1) の接続を示します。

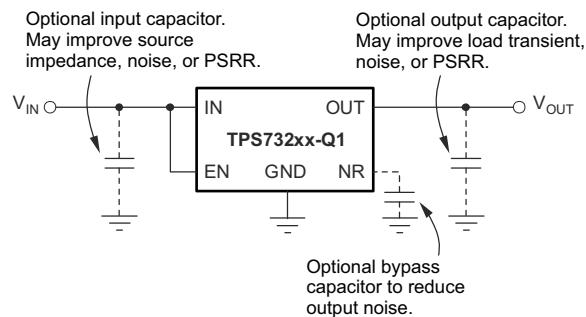


図 7-1. 代表的なアプリケーション回路(固定電圧バージョン)

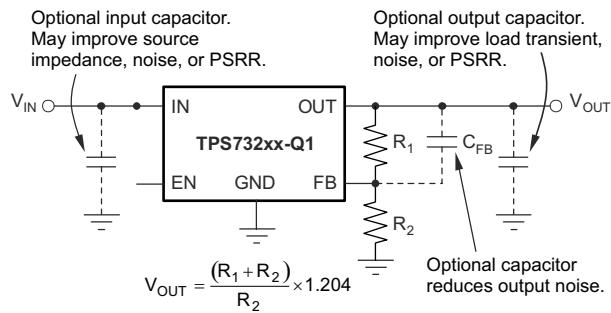
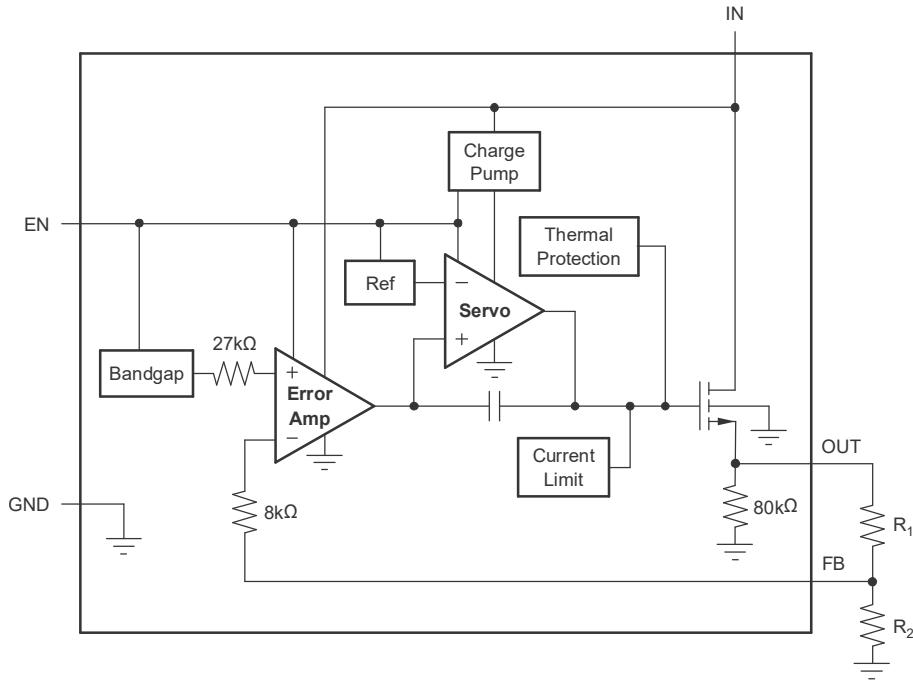


図 7-2. 可変電圧バージョン向けの標準的なアプリケーション回路

### 7.2.1 設計要件

$R_1$  と  $R_2$  は、出力電圧に応じて 図 7-2 の式で求めることができます。一般的な出力電圧の抵抗値の例を 図 7-3 に示します。より高い精度を得るため、 $R_1$  と  $R_2$  の並列組み合わせを約  $19\text{k}\Omega$  に設定します。



$$V_{OUT} = (R_1 + R_2) / R_2 \times 1.204$$

$R_1 \parallel R_2$  最高の精度を得るには、 $R_2 \approx 19\text{k}\Omega$  となります。

図 7-3. 可変電圧バージョン

表 7-1. 一般的な出力電圧の標準 1% 精度の抵抗値

$V_{OUT}$	$R_1$	$R_2$
1.2V	短絡	オープン
1.5V	$23.2\text{k}\Omega$	$95.3\text{k}\Omega$
1.8V	$28\text{k}\Omega$	$56.2\text{k}\Omega$
2.5V	$39.2\text{k}\Omega$	$36.5\text{k}\Omega$
2.8V	$44.2\text{k}\Omega$	$33.2\text{k}\Omega$
3V	$46.4\text{k}\Omega$	$30.9\text{k}\Omega$
3.3V	$52.3\text{k}\Omega$	$30.1\text{k}\Omega$
5V	$78.7\text{k}\Omega$	$24.9\text{k}\Omega$

## 7.2.2 詳細な設計手順

### 7.2.2.1 入出力コンデンサの要件

安定性のために入力コンデンサは必須ではありませんが、レギュレータ付近の入力電源の両端に  $0.1\mu F \sim 1\mu F$  の低 ESR コンデンサを接続することが、アナログ設計では推奨されます。これにより、リアクティブな入力ソースに対抗し、過渡応答、ノイズ除去、リップル除去を改善します。立ち上がり時間の短い過大な負荷過渡事象が予想される場合、またはデバイスが電源から数インチの場所に配置される場合は、より大容量のコンデンサが必要になる可能性があります。

TPS732-Q1 ファミリのデバイスは、安定性のために出力コンデンサを必要とせず、コンデンサなしで最大の位相マージンを持ちます。本デバイス。 $V_{IN} - V_{OUT} < 0.5$  で複数の低 ESR コンデンサを並列接続する場合、 $C_{OUT}$  と合計 ESR の積が  $50nF \times \Omega$  を下回るとリングギングが発生する可能性があります。合計 ESR には、コンデンサの ESR に加え、基板、ソケット、半田接合抵抗を含むすべての寄生抵抗が含まれます。ほとんどの用途では、コンデンサの ESR と配線抵抗の合計がこの要件を満たします。

### 7.2.2.2 出力ノイズ

高精度のバンドギャップ基準電圧を使用して、内部リファレンス電圧  $V_{REF}$  を生成します。このリファレンスは TPS732-Q1 ファミリのデバイスの主要なノイズ源であり、リファレンス出力 (NR) で約  $32\mu V_{RMS}$  ( $10Hz \sim 100kHz$ ) を生成します。レギュレータの制御ループはリファレンス電圧と同じゲインでリファレンスノイズを増幅するため、レギュレータのノイズ電圧概算は以下で求められます。

$$V_N = 32\mu V_{RMS} \times \frac{(R_1 + R_2)}{R_2} = 32\mu V_{RMS} \times \frac{V_{OUT}}{V_{REF}} \quad (3)$$

$V_{REF}$  の値が  $1.2V$  であるため、この関係は以下のように減少します。

$$V_N(\mu V_{RMS}) = 27 \left( \frac{\mu V_{RMS}}{V} \right) \times V_{OUT}(V) \quad (4)$$

ここで、

- $C_{NR}$  は存在しません

外部ノイズ低減コンデンサ  $C_{NR}$  がノイズ低減ピン (NR) からグランドに接続されている時、 $27k\Omega$  の内部抵抗を NR と直列に接続すると、電圧リファレンスのローパス フィルタが形成されます。 $C_{NR} = 10nF$  の場合、 $10Hz \sim 100kHz$  の帯域幅での合計ノイズは約 3.2 倍に低減され、そのおおよその関係は次のように得られます。

$$V_N(\mu V_{RMS}) = 8.5 \left( \frac{\mu V_{RMS}}{V} \right) \times V_{OUT}(V) \quad (5)$$

ここで、

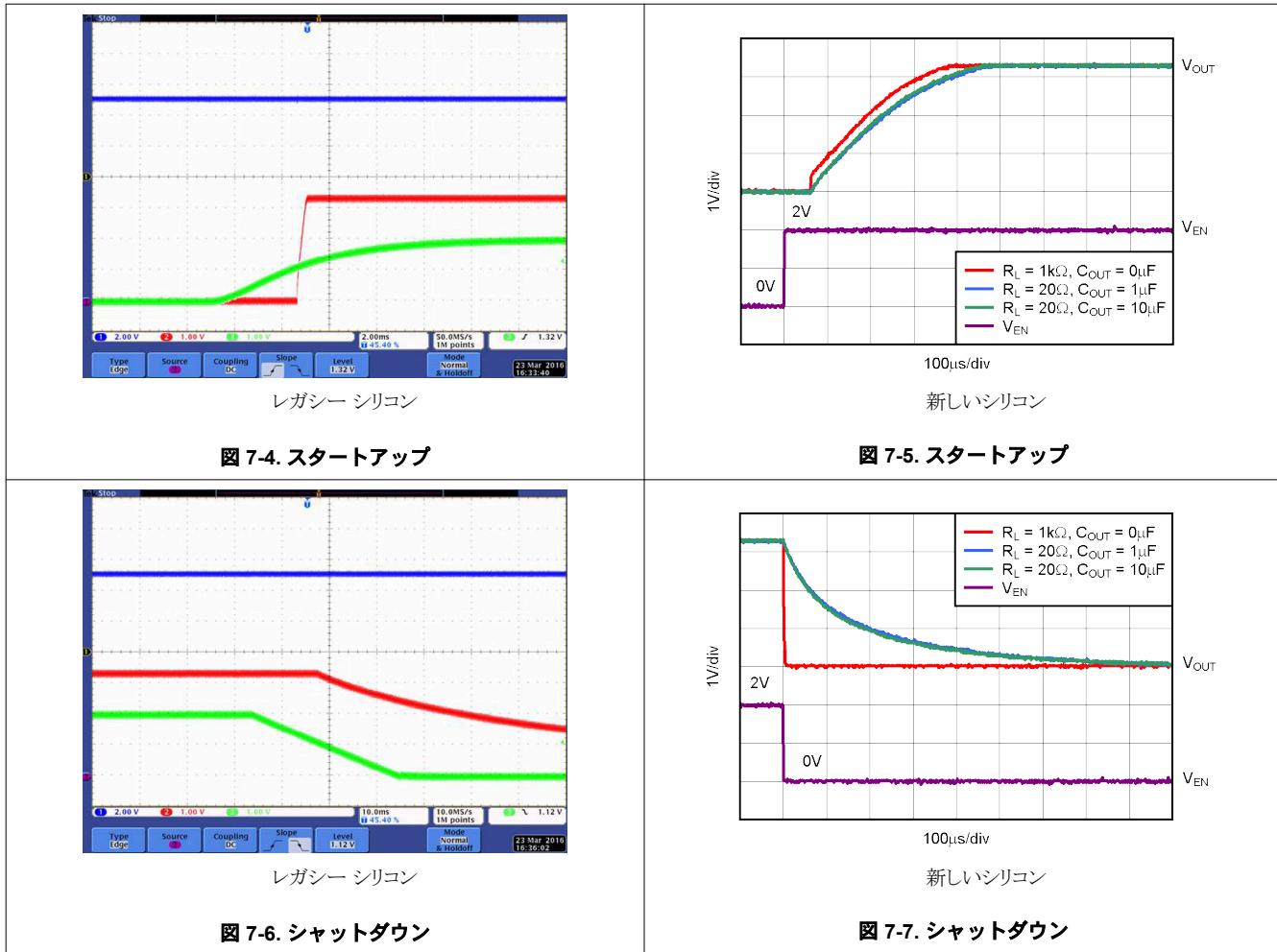
- $C_{NR} = 10nF$

このノイズ低減の効果は、[代表的特性](#)で、 $RMS$  ノイズ電圧と  $C_{NR}$  の関係として示されています。

可変バージョンの TPS73201-Q1 には、ノイズ低減ピンがありません。しかし、帰還コンデンサ  $C_{FB}$  を出力から FB ピンに接続することで、出力ノイズが減少し、負荷過渡性能が向上します。

TPS732-Q1 ファミリのデバイスは内部チャージポンプを用いて内部電源電圧を生成し、 $V_{OUT}$  を上回る電圧での NMOS パス素子のゲート駆動も可能にします。チャージポンプは約  $2MHz$  で約  $250\mu V$  のスイッチングノイズを生成しますが、チャージポンプノイズの影響はレギュレータの出力における  $I_{OUT}$  および  $C_{OUT}$  のほとんどの値で、無視できるほど小さくなります。

### 7.2.3 アプリケーション曲線



### 7.3 電源に関する推奨事項

これらのデバイスは、1.7V から 5.5V の入力電源電圧範囲で動作するように設計されています。この入力電圧範囲により、デバイスがレギュレートされた出力を供給するための十分なヘッドルームが得られます。この入力電源には適切なレギュレーションが行われる必要があります。入力電源にノイズがある場合、ESR の低い入力コンデンサを追加すると、出力のノイズ特性を改善するために役立ちます。

### 7.4 レイアウト

#### 7.4.1 レイアウトのガイドライン

PSRR、出力ノイズ、過渡応答などの ac 性能を向上させるため、PCB 設計では  $V_{IN}$  と  $V_{OUT}$  コンデンサへのグランドプレーン接続を設け、グランドプレーンをデバイスの GND ピンで接続してください。さらに、バイパスコンデンサのグランド接続部はデバイスの GND ピンに直接接続する必要があります。

##### 7.4.1.1 電力散逸

ダイからの放熱性能はパッケージの種類によって異なるため、PCB レイアウト時に考慮すべき検討事項も異なります。デバイス周辺の部品がない PCB 領域は、放熱の役割を果たします。また、厚みのある銅箔を使用すると、デバイスからの放熱効率が向上します。さらに、めつきされたスルーホールを放熱層へ追加することで、ヒートシンクの効果を高めることができます。

消費電力は、入力電圧と負荷条件によって異なります。消費電力は、出力電流と出力バス素子間 ( $V_{IN}$  から  $V_{OUT}$ ) の電圧降下の積に等しくなります。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (6)$$

要求される出力電圧を提供できる最低限の入力電圧を使用することで、電力消費を最小限に抑えることが可能です。

#### 7.4.2 レイアウト例

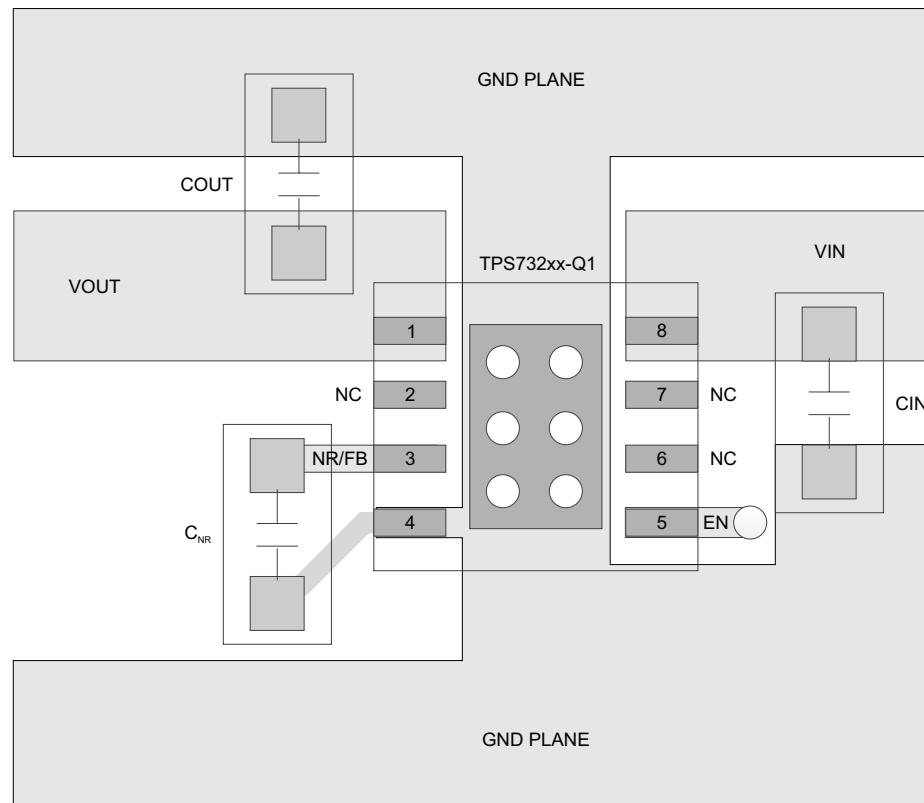


図 7-8. 固定出力電圧オプションのレイアウト (DRB パッケージ)

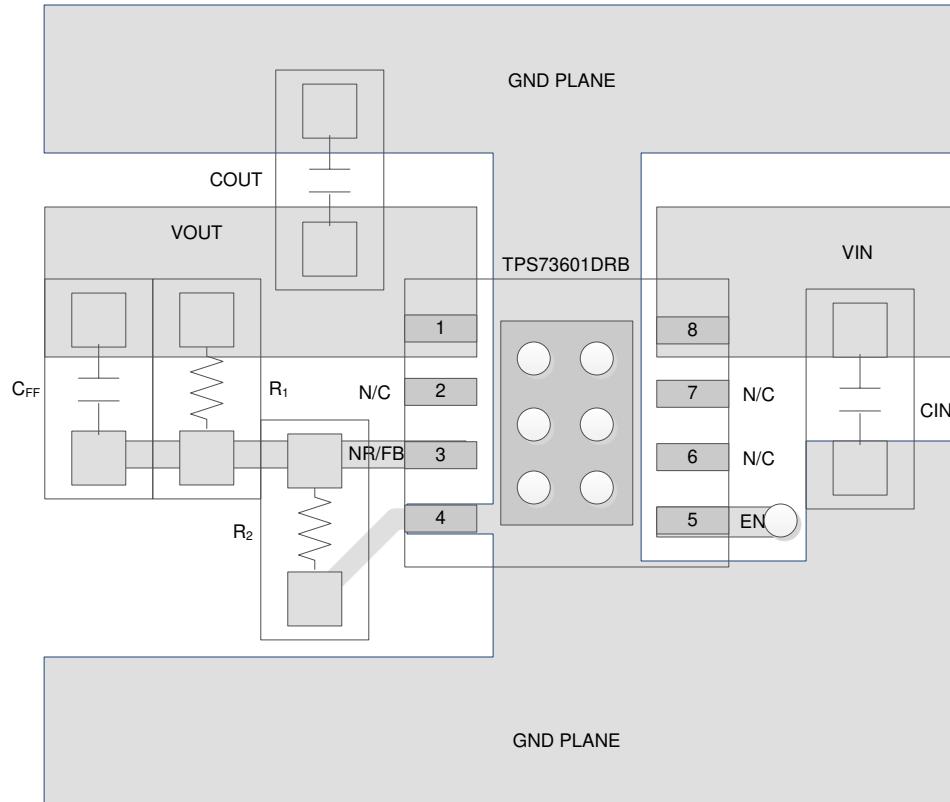


図 7-9. 可変出力電圧オプションのレイアウト (DRB パッケージ)

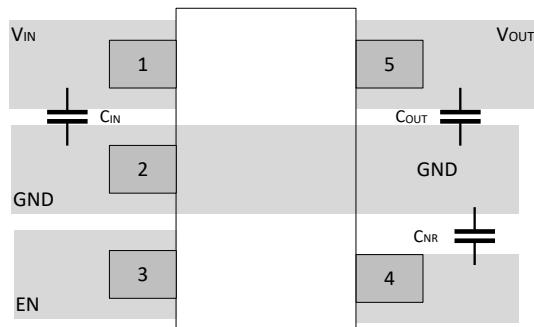


図 7-10. DBV パッケージのレイアウト例 (固定バージョン)

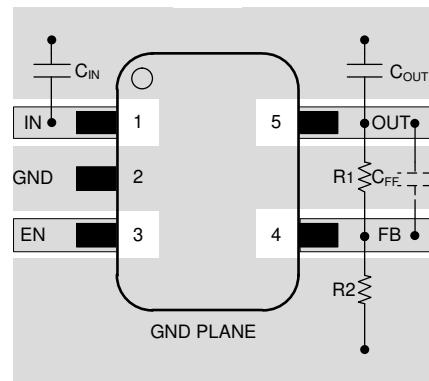


図 7-11. DBV パッケージのレイアウト例 (可変バージョン)

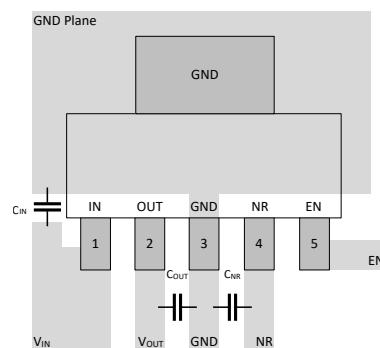


図 7-12. DCQ パッケージのレイアウト例 (固定バージョン)

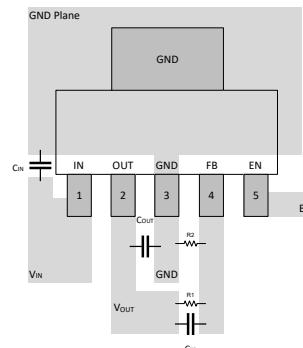


図 7-13. DCQ パッケージのレイアウト例 (可変バージョン)

## 8 デバイスおよびドキュメントのサポート

### 8.1 デバイス サポート

#### 8.1.1 デバイスの命名規則

表 8-1. 注文情報

製品名	説明 <sup>(1)</sup>
TPS732xxQyyyz(M3)Q1	<p><b>xx</b> は公称出力電圧です (例: 25 = 2.5V、01 = 可変<sup>(2)</sup>)。</p> <p><b>Q</b> は、AEC-Q100 規格のグレード 1 に準拠したデバイスであることを表します。</p> <p><b>yyy</b> はパッケージ指定子です。</p> <p><b>z</b> はパッケージ数量です。</p> <p><b>M3</b> は最新の製造フローのみを使用するデバイスの接尾辞です (CSO: RFB) を用いて出荷されます。この接尾辞がないデバイスは、レガシー シリコン (CSO: DLN) または新しいシリコン (CSO: RFB) を用いて出荷されます。リール包装ラベルには、使用されているシリコンを識別するための CSO 情報が記載されています。本書では、新旧のシリコンごとのデバイス性能について説明しています。</p> <p><b>Q1</b> は、デバイスが車載グレード (AEC-Q100) であることを示します。</p>

(1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ オプションの付録を参照するか、[www.ti.com](http://www.ti.com) にあるデバイスの製品フォルダをご覧ください。

(2) 1.20V 固定動作の場合は、FB を OUT に接続します。

### 8.2 ドキュメントのサポート

#### 8.2.1 関連資料

関連資料については、以下を参照してください。

テキサス インstrumentツ、『半導体およびIC パッケージの熱評価基準』アプリケーション ノート

#### 8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

#### 8.4 サポート・リソース

テキサス・インstrumentツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インstrumentツの仕様を構成するものではなく、必ずしもテキサス・インstrumentツの見解を反映したものではありません。テキサス・インstrumentツの使用条件を参照してください。

#### 8.5 商標

テキサス・インstrumentツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

#### 8.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インstrumentツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

 ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

#### 8.7 用語集

テキサス・インstrumentツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

<b>Changes from Revision G (December 2024) to Revision H (July 2025)</b>	<b>Page</b>
• DRB0008A パッケージ外形の DRB (VSON) を更新.....	4
• 新しいシリコンを DBV の熱に関する情報に追加.....	4
• 新しいシリコンのグランドピン電流仕様を追加.....	6
• 「パッケージ実装」セクションを削除.....	22

<b>Changes from Revision F (April 2016) to Revision G (December 2024)</b>	<b>Page</b>
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 現在のファミリのフォーマットに合わせてドキュメント全体を変更.....	1
• ドキュメントに M3 デバイスを追加.....	1

<b>Changes from Revision E (August 2013) to Revision F (April 2016)</b>	<b>Page</b>
• 「製品情報」表、目次、「仕様」セクション、「ESD 定格」表、「推奨動作条件」表、「詳細説明」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 .....	1

## 10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](http://ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS73201QDBVRQ1	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PJOQ
TPS73201QDBVRQ1.A	Active	Production	SOT-23 (DBV)   5	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	PJOQ
TPS73201QDRBRQ1	Active	Production	SON (DRB)   8	3000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	PSAQ
TPS73201QDRBRQ1.A	Active	Production	SON (DRB)   8	3000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	PSAQ
TPS73218QDCQRM3Q1	Active	Production	SOT-223 (DCQ)   6	2500   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	73218Q
TPS73218QDCQRM3Q1.A	Active	Production	SOT-223 (DCQ)   6	2500   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	73218Q
TPS73218QDCQRQ1	Active	Production	SOT-223 (DCQ)   6	2500   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	73218Q
TPS73218QDCQRQ1.A	Active	Production	SOT-223 (DCQ)   6	2500   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	73218Q
TPS73250QDCQRQ1	Active	Production	SOT-223 (DCQ)   6	2500   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	73250Q
TPS73250QDCQRQ1.A	Active	Production	SOT-223 (DCQ)   6	2500   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	73250Q

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

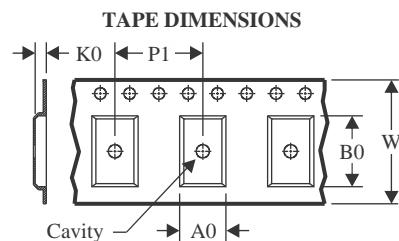
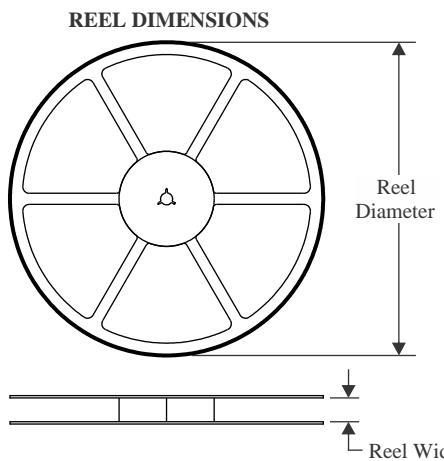
**OTHER QUALIFIED VERSIONS OF TPS732-Q1 :**

- Catalog : [TPS732](#)

NOTE: Qualified Version Definitions:

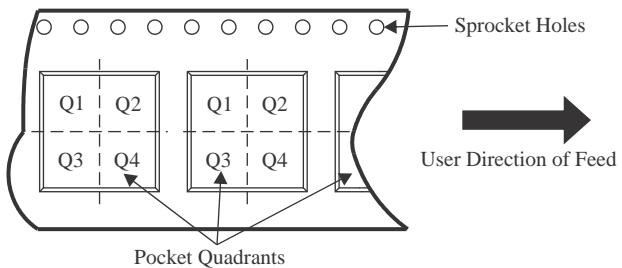
- Catalog - TI's standard catalog product

## TAPE AND REEL INFORMATION



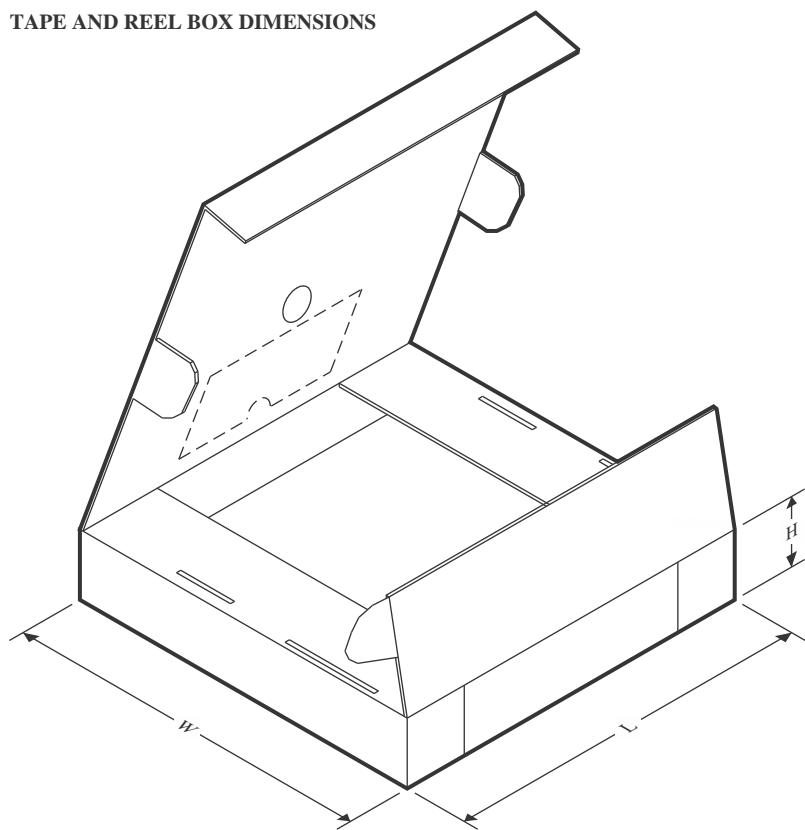
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS73201QDBVRQ1	SOT-23	DBV	5	3000	179.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS73201QDRBRQ1	SON	DRB	8	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS73218QDCQRQ1	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3
TPS73250QDCQRQ1	SOT-223	DCQ	6	2500	330.0	12.4	7.1	7.45	1.88	8.0	12.0	Q3

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS73201QDBVRQ1	SOT-23	DBV	5	3000	200.0	183.0	25.0
TPS73201QDRBRQ1	SON	DRB	8	3000	353.0	353.0	32.0
TPS73218QDCQRQ1	SOT-223	DCQ	6	2500	346.0	346.0	29.0
TPS73250QDCQRQ1	SOT-223	DCQ	6	2500	346.0	346.0	29.0

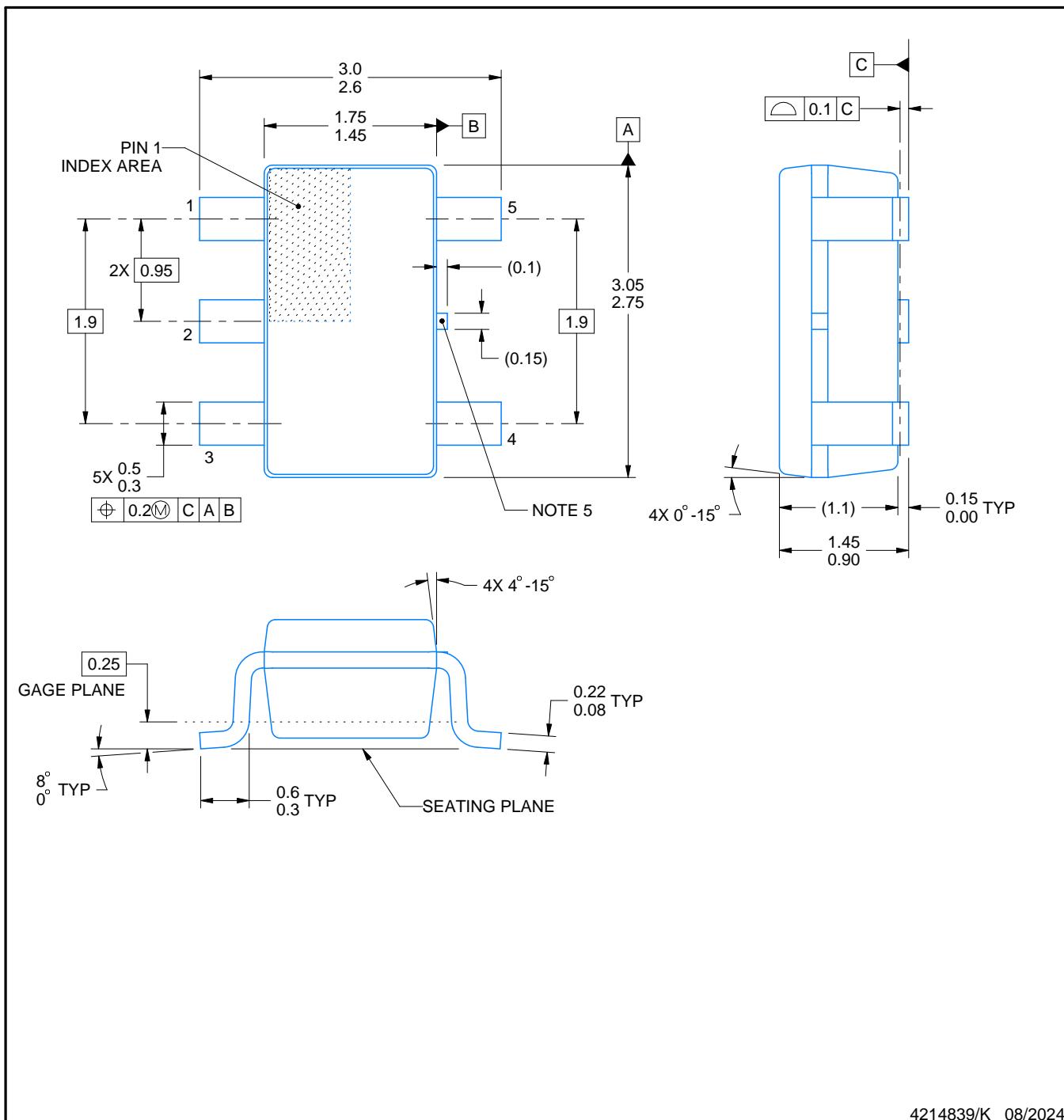
# PACKAGE OUTLINE

**DBV0005A**



**SOT-23 - 1.45 mm max height**

SMALL OUTLINE TRANSISTOR



4214839/K 08/2024

## NOTES:

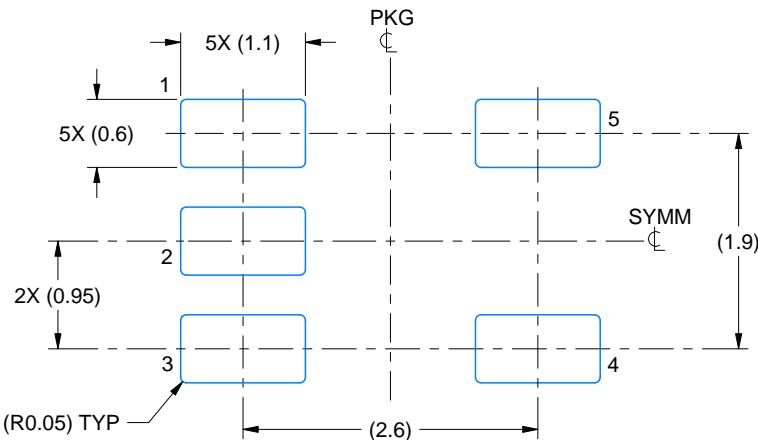
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

# EXAMPLE BOARD LAYOUT

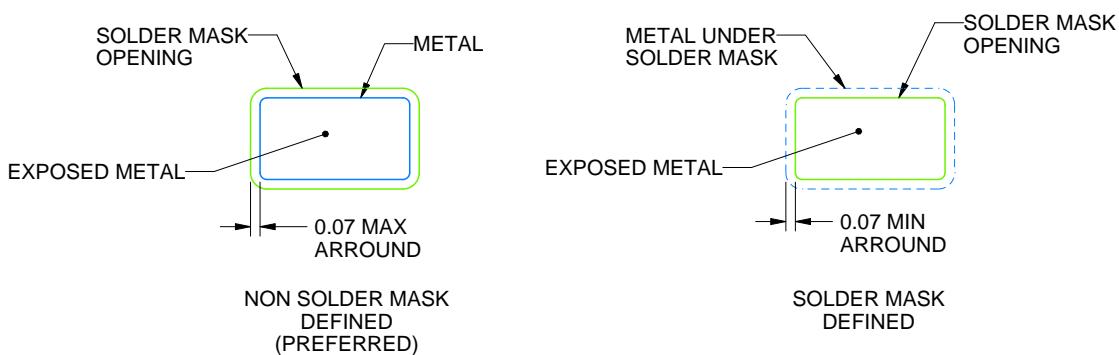
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

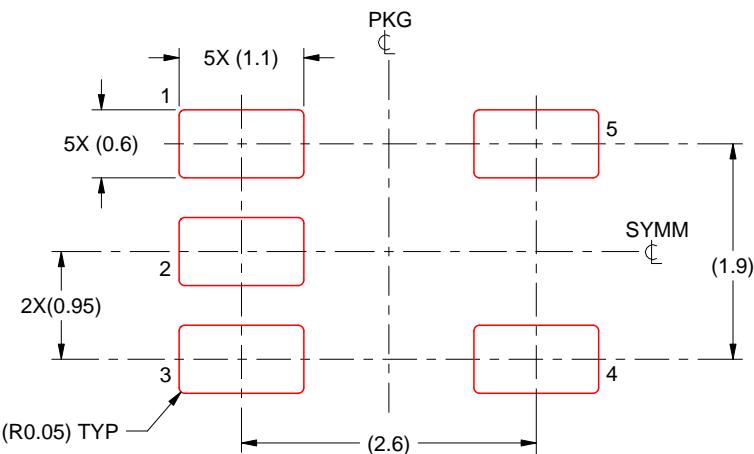
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:15X

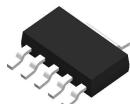
4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

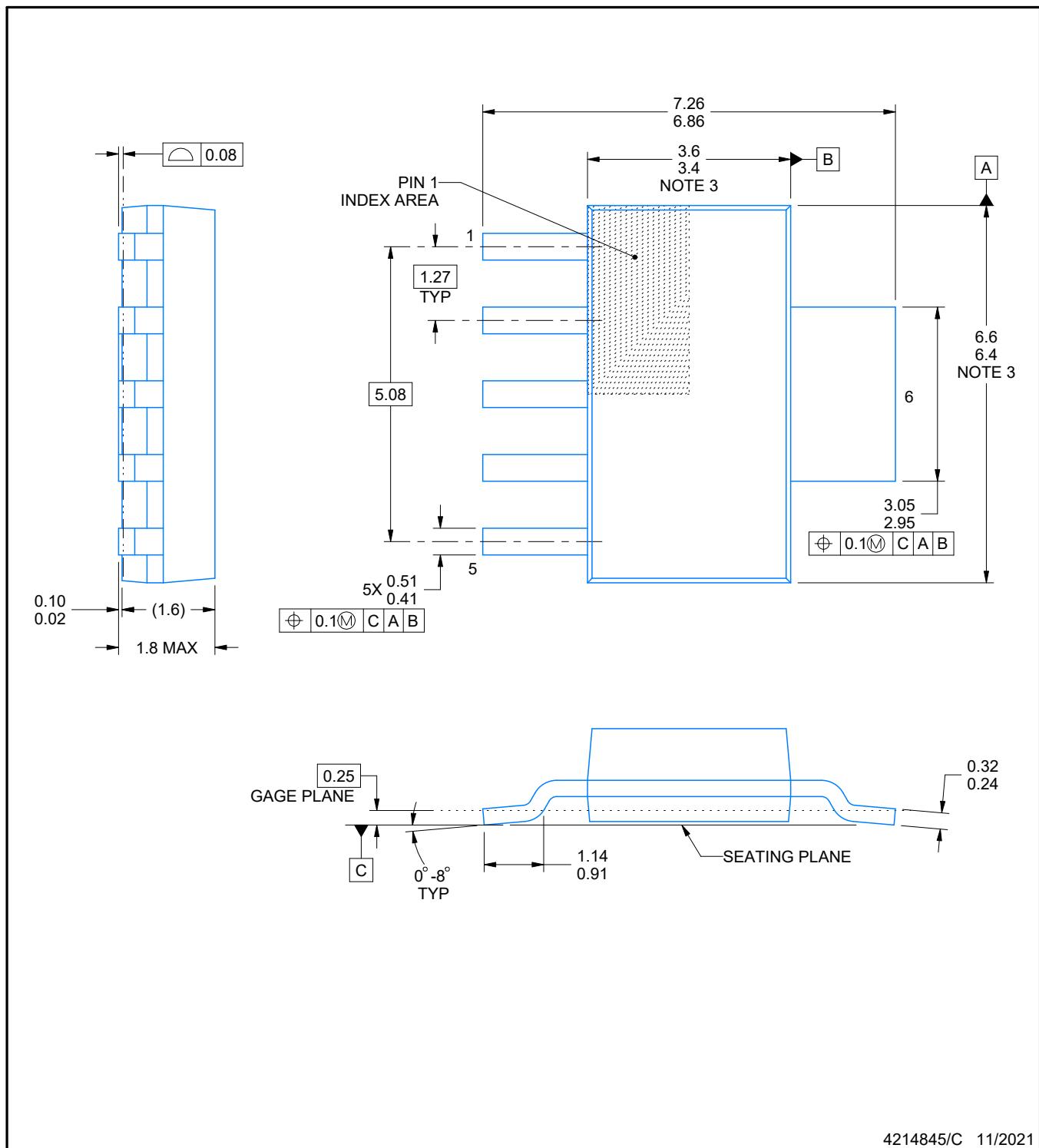
# PACKAGE OUTLINE

**DCQ0006A**



## SOT - 1.8 mm max height

## PLASTIC SMALL OUTLINE



4214845/C 11/2021

## NOTES:

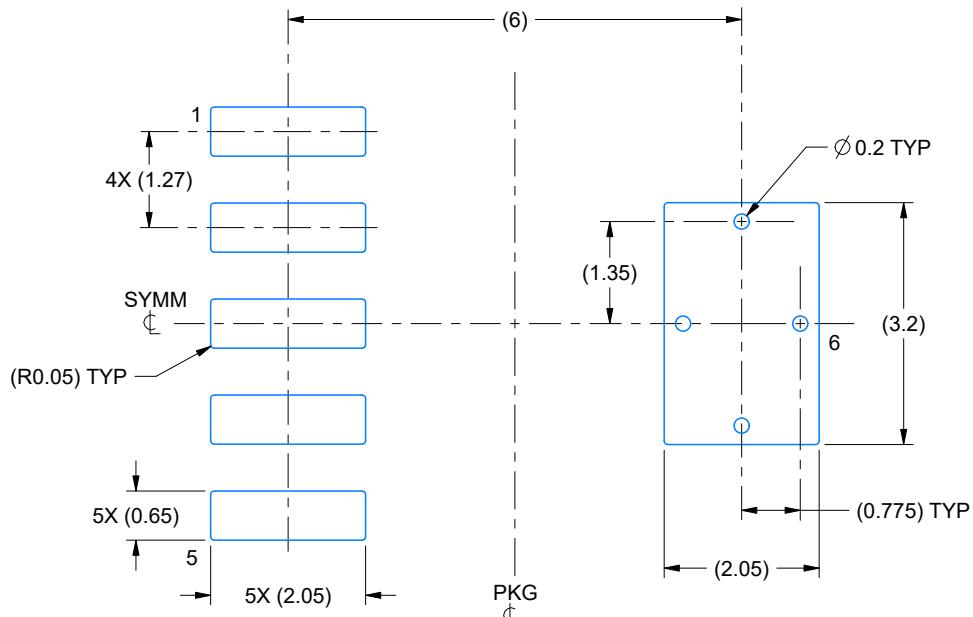
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
  2. This drawing is subject to change without notice.
  3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.

# EXAMPLE BOARD LAYOUT

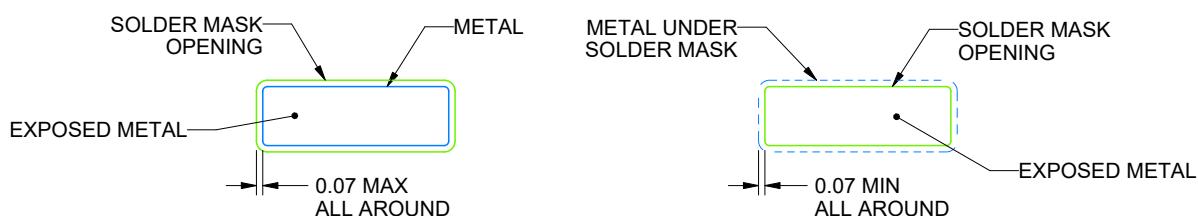
DCQ0006A

SOT - 1.8 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



SOLDER MASK DETAILS

4214845/C 11/2021

NOTES: (continued)

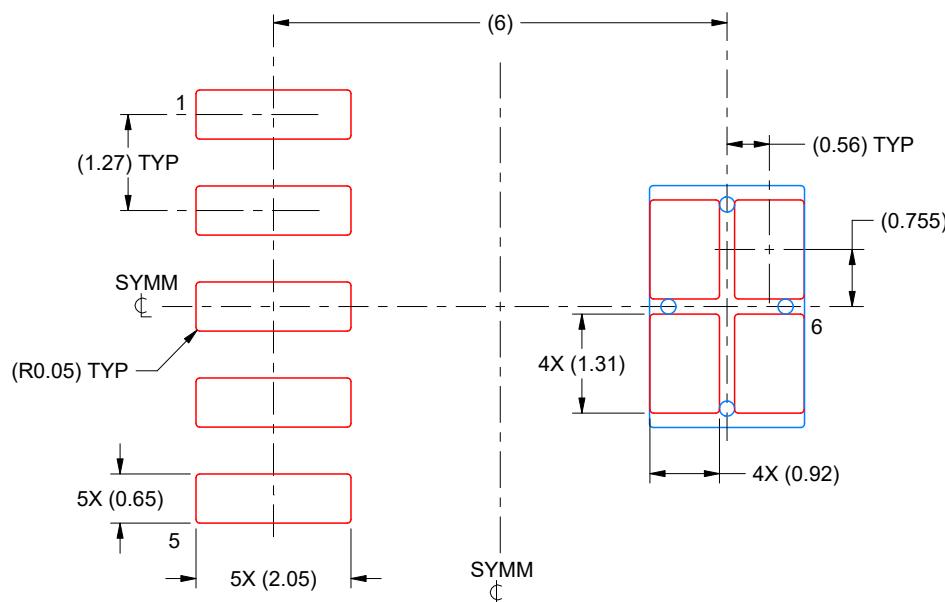
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

DCQ0006A

SOT - 1.8 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4214845/C 11/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

## GENERIC PACKAGE VIEW

**DRB 8**

**VSON - 1 mm max height**

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.

4203482/L

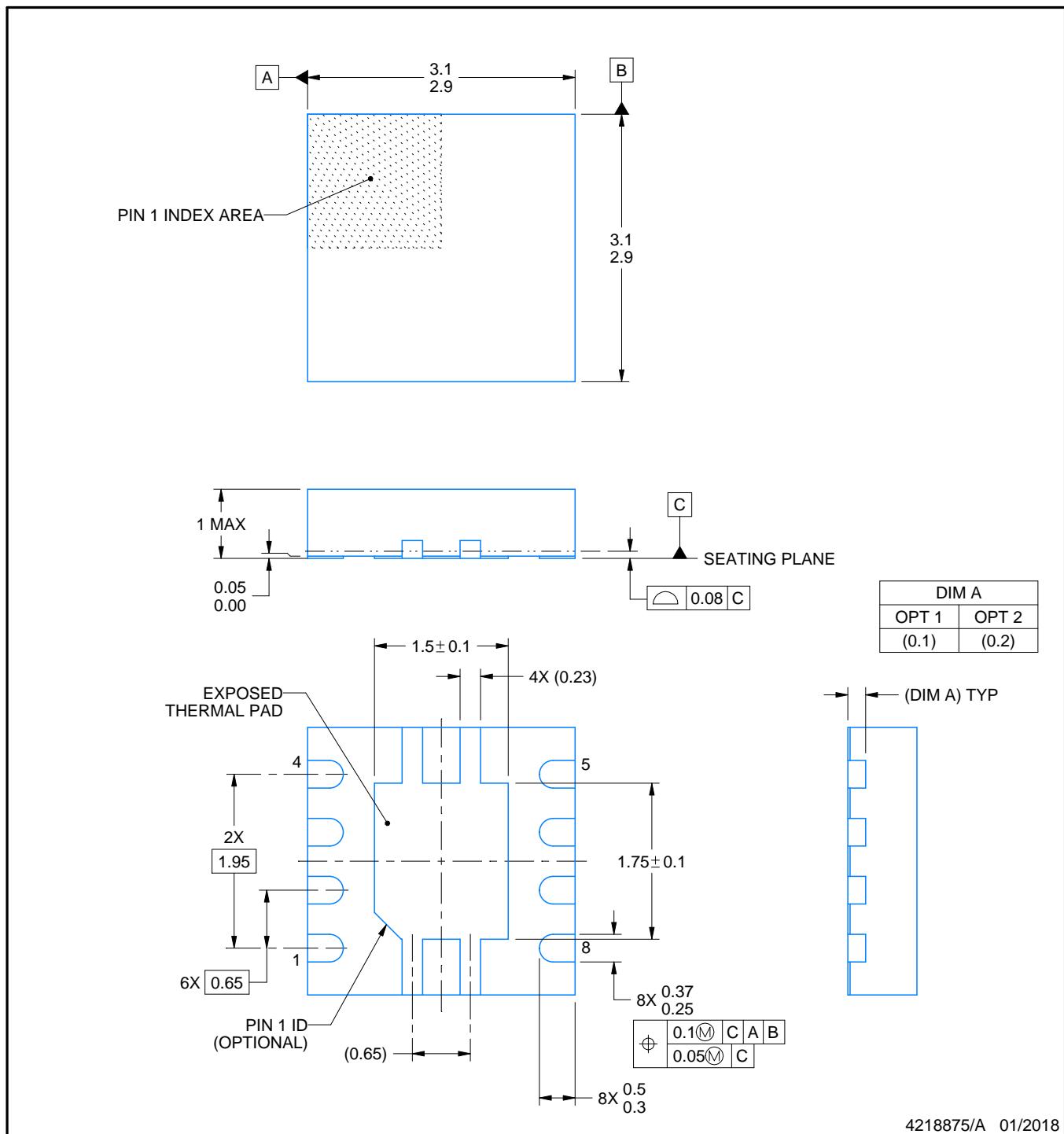
**DRB0008A**



# PACKAGE OUTLINE

## VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

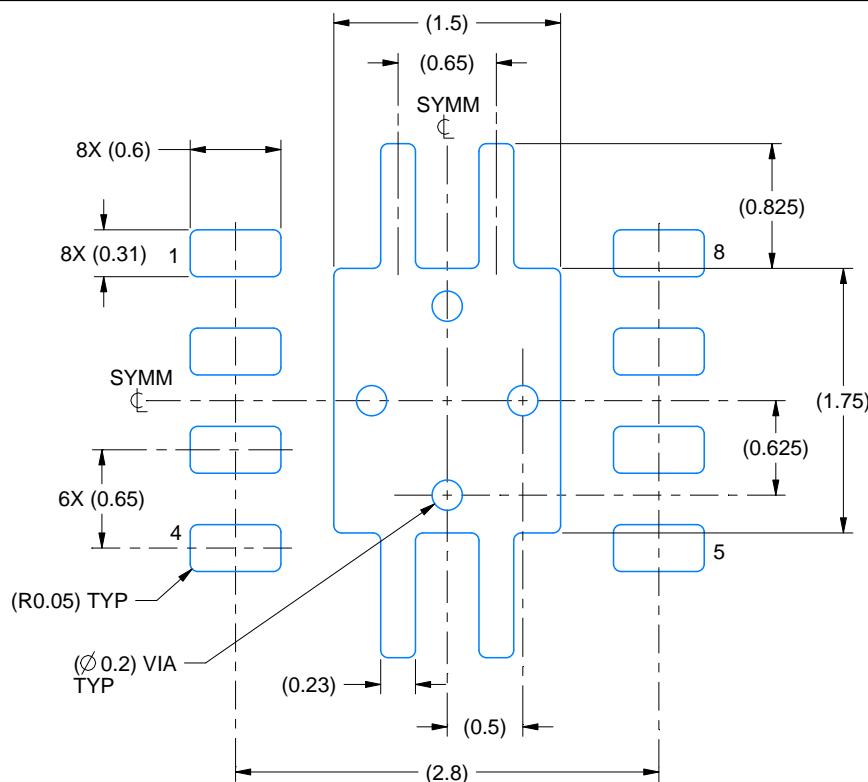
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

# EXAMPLE BOARD LAYOUT

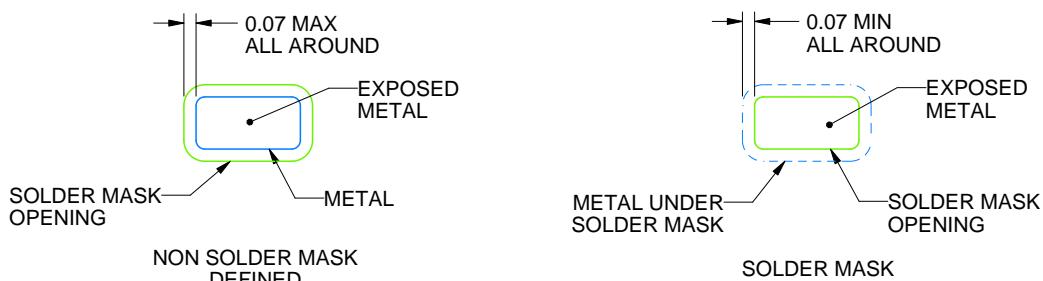
DRB0008A

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:20X



SOLDER MASK DETAILS

4218875/A 01/2018

NOTES: (continued)

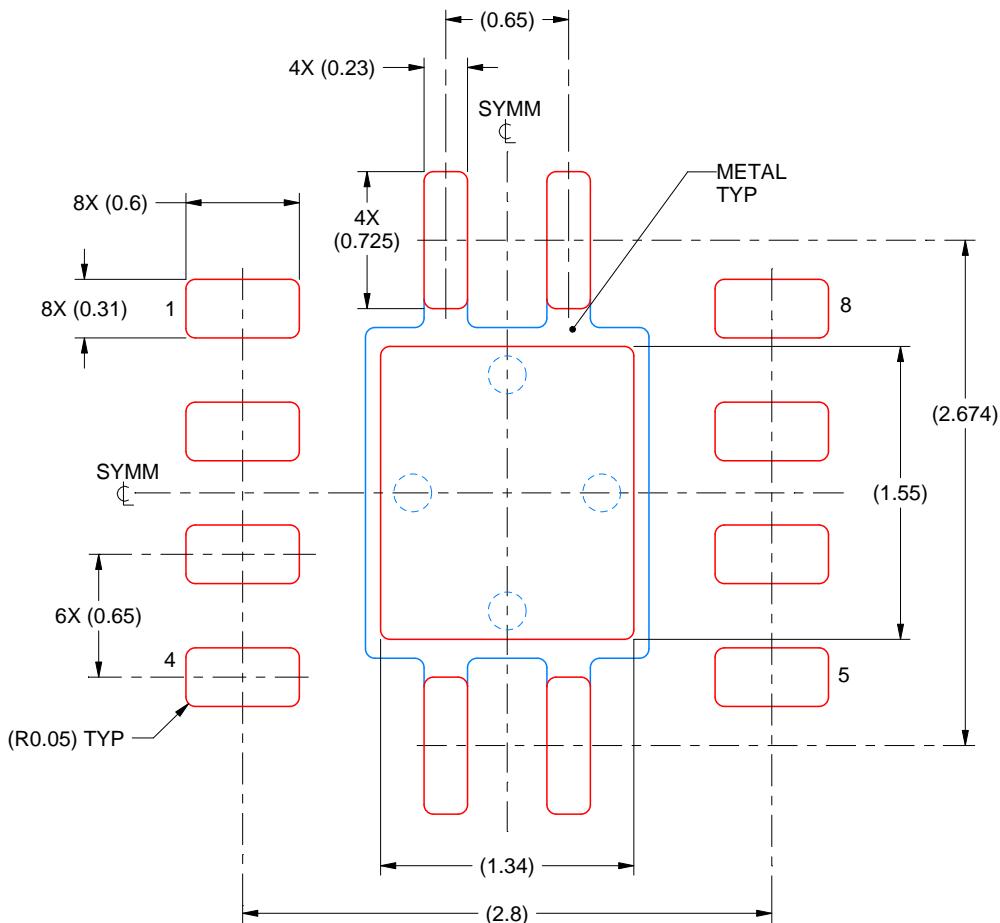
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

## EXAMPLE STENCIL DESIGN

**DRB0008A**

## VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



## SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD  
84% PRINTED SOLDER COVERAGE BY AREA  
SCALE:25X

4218875/A 01/2018

#### NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月