

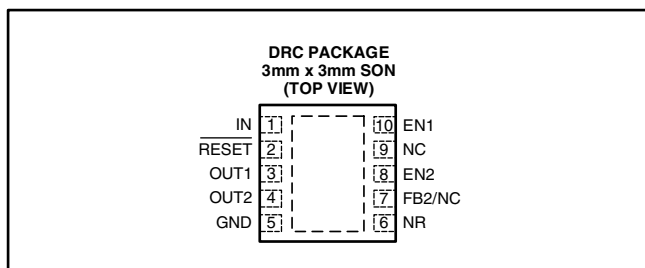
2ch 250mA 超低ノイズ、高PSRR、 SVS付低ドロップアウト・リニア・レギュレータ

特 長

- 2ch, 250mA高性能RF LDO
- V_{OUT2} をモニターする電圧監視回路を内蔵
- 固定電圧製品と可変電圧製品をラインアップ
固定電圧オプション (1.2V~5.5V)
- 高PSRR: 65dB (10kHz時)
- 超低ノイズ: 32 μ V_{RMS}
- 高速スタートアップ: 60 μ s
- 2.2 μ Fのセラミック出力コンデンサで安定
- 優れた負荷/入力電圧の過渡応答特性
- 低ドロップアウト電圧: 125mV (250mA時)
- 各chに独立したEnable
- 過熱シャットダウンと過電流制限
- 3mm × 3mm × 1mmの高熱特性SONパッケージ

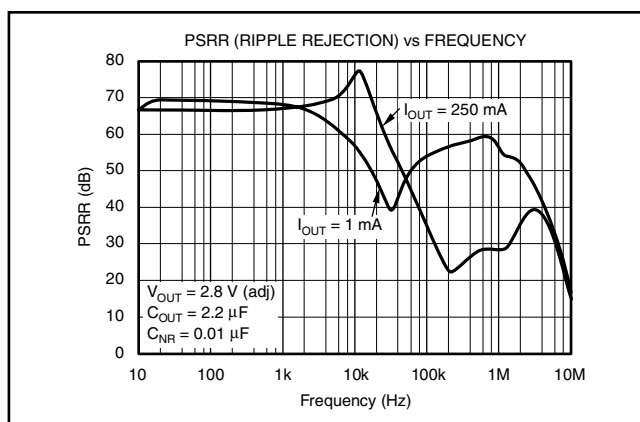
アプリケーション

- 携帯電話やコードレス電話
- 無線式PDA、携帯型電子機器
- PCMCIAや無線LANのアプリケーション
- デジタルカメラ、カムコーダー、インターネット・オーディオ
- DSP, FPGA, ASIC等のコントローラーとプロセッサ



概 要

TPS713xxファミリーの低ドロップアウト (LDO)、リニア・レギュレータは、ノイズの影響を受けやすい場合やRF向けのアプリケーション用に設計されました。これらの製品は超低ノイズ、高い電源除去比 (PSRR)、優れた過渡応答特性、高速スタートアップの特徴を持つ2chの250mAのLDOです。これらの製品は供給電圧監視 (SVS) 機能を内蔵しており、OUT2の出力電圧を監視しており、測定した出力が95% (標準) まで低下するとリセット信号を発生します。各レギュレータは低価格な2.2 μ Fのセラミック出力コンデンサで出力が安定し、非常に低いドロップアウト電圧 (250mA出力で標準125mV) を実現しています。各レギュレータは非常に低い自己消費電流 (両方の出力が動作時で300 μ A) にも関わらず高速スタートアップ (0.001 μ Fバイパスコンデンサ使用時に約60 μ s) を可能としています。製品がスタンバイ・モードになると消費電流は標準で0.3 μ A以下になります。各レギュレータは $V_{OUT} = 2.8V$ で0.01 μ Fのノイズ低減 (NR) コンデンサを使用している場合で約32 μ V_{RMS}の出力電圧ノイズを示します。携帯型高周波電子機器などのノイズの影響を受けやすいアナログ部品を使用したアプリケーションには高PSRR、低ノイズ、高速電源/負荷応答特性の機能は非常に有用です。TPS713ファミリーは3mm × 3mmのSONパッケージで供給され、-40°C~+125°C (T_J) の全温度範囲で仕様が規定されています。





静電気放電対策

これらのデバイスは、限定的なESD（静電破壊）保護機能を内蔵しています。保存時または取り扱い時に、MOSゲートに対する静電破壊を防止するために、リード線どうしを短絡しておくか、デバイスを導電性のフォームに入れる必要があります。

製品情報⁽¹⁾

PRODUCT	VOLTAGE (T _J)		PACKAGE-LEAD (DESIGNATOR)	SPECIFIED TEMPERATURE RANGE (T _J)	PACKAGE MARKING	ORDERING NUMBER	TRANSPORT MEDIA, QUANTITY
	V _{OUT1}	V _{OUT2}					
TPS71319	1.8 V	Adjustable	SON-10 (DRC)	-40°C~+125°C	ARP	TPS71319DRCT	Tape and Reel, 250
						TPS71319DRCR	Tape and Reel, 3000
TPS71334	3.3 V	Adjustable	SON-10 (DRC)	-40°C~+125°C	ARO	TPS71334DRCT	Tape and Reel, 250
						TPS71334DRCR	Tape and Reel, 3000

(1) 最新のパッケージ情報とご注文情報については、最新の英文データシートの巻末にある「PACKAGE OPTION ADDENDUM」を参照してください。

絶対最大定格

特に記述のない限り全動作ジャンクション温度範囲内⁽¹⁾

	TPS713xx	単位
V _{IN} range	-0.3 ~ 6.0	V
V _{RESET} range	-0.3 ~ V _{IN} +0.3	V
V _{EN1} , V _{EN2} range	-0.3 ~ V _{IN} +0.3	V
V _{OUT} range	-0.3 ~ 6.0	V
Peak output current	Internally limited	
Output short-circuit duration	Indefinite	
Continuous total power dissipation	「許容損失」の表を参照	
Junction temperature range, T _J	-40 ~ +150	°C
Storage temperature range	-65 ~ +150	°C
ESD rating, HBM	2	kV
ESD rating, CDM	500	V

(1) 絶対最大定格以上のストレスは、致命的なダメージを製品に与えることがあります。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。これはストレスの定格のみについて示しており、このデータシートに示された値を越える状態での本製品の機能動作は含まれていません。

許容損失

BOARD	PACKAGE	R _{θJC}	R _{θJA}	DERATING FACTOR ABOVE T _A = 25°C	T _A ≤ 25°C POWER RATING	T _A = 70°C POWER RATING	T _A = 85°C POWER RATING
High-K ⁽¹⁾	DRC	48	52	19 mW/°C	1.92 W	1.06 W	0.77 W

(1) このデータを得るために使用したJEDEC High-K (2s2p) 基板は、3インチ×3インチの多層基板で、内部に1オンスの電源およびグランド・プレーンを持ち、基板の上面および底面に2オンスの銅箔を積層しています。

電気的特性

動作温度範囲内 ($T_J = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$)、 V_{IN} = 高い方の $V_{OUT(TYP)} + 1.0\text{V}$ または 2.7V (いずれか大きい方)、 $I_{OUT} = 1\text{mA}$ 、 $V_{EN1,2} = 1.2\text{V}$ 、 $C_{OUT} = 10\mu\text{F}$ 、 $C_{NR} = 0.01\mu\text{F}$ 、可変電圧製品は $V_{OUT} = 3.0\text{V}$ でテストされています (特に記述のない限り)。標準値は $T_J = +25^{\circ}\text{C}$ での値です。

パラメータ			テスト条件	MIN	TYP	MAX	単位
V _{IN}	Input voltage range ⁽¹⁾			2.7		5.5	V
V _{FB}	Internal reference (adjustable LDOs)			1.200	1.225	1.250	V
V _{OUT}	Output voltage range (adjustable LDOs)			V _{FB}	5.5 – V _{DO}		V
	Accuracy ⁽¹⁾	Nominal	T _J = 25°C, I _{OUT} = 0 mA	–1.5		+1.5	%
		Over V _{IN} , I _{OUT} , and T	V _{OUT} + 1.0 V ≤ V _{IN} ≤ 5.5 V, 0 μA ≤ I _{OUT} ≤ 250 mA	–3	±1	+3	
ΔV _{OUT} %/ΔV _{IN}	Line regulation ⁽¹⁾		V _{OUT} + 1.0 V ≤ V _{IN} ≤ 5.5 V		0.05		%/V
ΔV _{OUT} %/ΔI _{OUT}	Load regulation		0 μA ≤ I _{OUT} ≤ 250 mA		0.8		%/mA
V _{DO}	Dropout voltage ⁽²⁾ (V _{IN} = V _{OUT(nom)} - 0.1V)	2.8 V, 2.85 V Adjustable	I _{OUT1} = I _{OUT2} = 250 mA		125	230	mV
I _{CL}	Output current limit		V _{OUT} = 0.9 × V _{OUT(nom)}	400	600	800	mA
I _{GND}	Ground pin current	One LDO enabled	I _{OUT} = 1 mA (enabled channel)		190	250	μA
		Both LDOs enabled	I _{OUT1} = I _{OUT2} = 1 mA to 250 mA		300	600	
I _{SHDN}	Shutdown current ⁽³⁾		V _{EN} ≤ 0.4 V, 0 V ≤ V _{IN} ≤ 5.5 V, RESET open		0.3	2.0	μA
I _{FB}	FB pin current (adjustable LDOs)				0.1	1	μA
V _n	Output noise voltage, BW = 10 Hz - 100 kHz		No C _{NR} , I _{OUT} = 250 mA	80.0 × V _{OUT}			μVrms
			C _{NR} = 0.01 μF, I _{OUT} = 250 mA	11.8 × V _{OUT}			
PSRR	Power-supply rejection ratio (ripple rejection)		f = 100 Hz, I _{OUT} = 250 mA	65			dB
			f = 10 kHz, I _{OUT} = 250 mA	65			
t _{STR}	Startup time		V _{OUT} = 2.85 V, R _L = 30Ω, C _{NR} = 0.001 μF		60		μs
V _{IH}	Enable threshold high (EN1, EN2)			1.2		V _{IN}	V
V _{IL}	Enable threshold low (EN1, EN2)			0		0.4	V
I _{EN}	Enable pin current (EN1, EN2)		V _{IN} = V _{EN} = 5.5 V	–1		1	μA
	Minimum V _{IN} for valid RESET		I _{RESET} = 10 μA		0.6		V
V _{RESET, LO}	RESET output low voltage		I _{RESET} = 1 mA			0.4	V
I _{LKG, RESET}	RESET leakage current		V _{IN} = V _{RESET} = 5.5 V		10	500	nA
V _{IT}	RESET threshold voltage		V _{OUT2} falling ⁽⁴⁾	92.5		97.5	%V _{OUT}
V _{HYS}	RESET threshold hysteresis		V _{OUT2} rising ⁽⁴⁾		0.5		%V _{OUT}
T _D	RESET delay time			50	100	200	ms
T _P	RESET propagation delay				10		μs
T _{SD}	Thermal shutdown temperature		Shutdown Temp increasing	+160			°C
			Reset Temp decreasing	+140			
UVLO	Under-voltage lockout threshold		V _{IN} rising	2.25		2.65	V
	Under-voltage lockout hysteresis		V _{IN} falling		100		mV

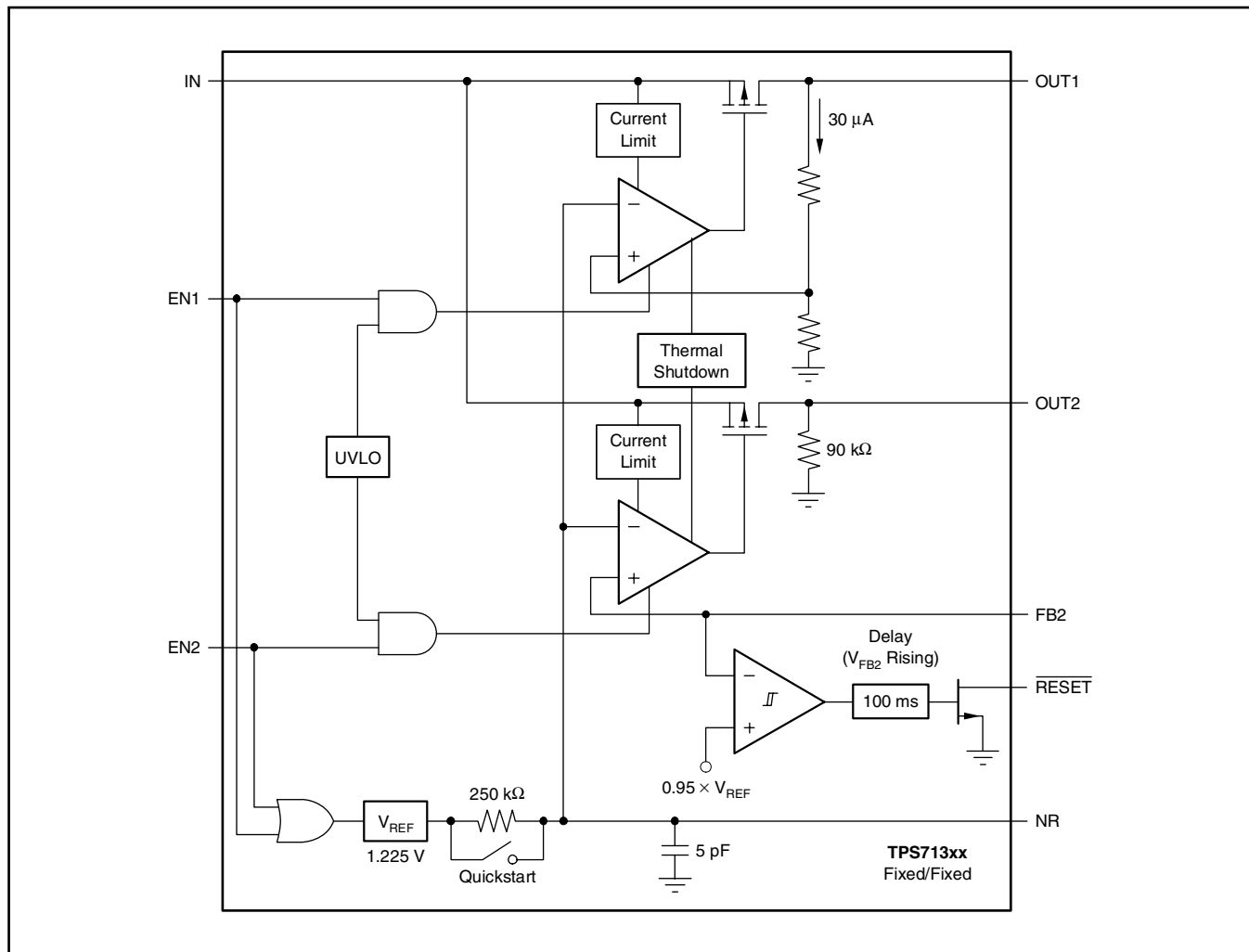
(1) V_{IN} の最小値は、($V_{OUT} + V_{DO}$)と2.7Vのうち大きいほうになります。

(2) 1.8Vのレギュレータでは V_{IN} の最小値が2.7Vであるため、 V_{DO} は測定していません。

(3) 可変電圧製品では V_{IN} が印加されてから V_{EN} を“High”から“Low”に移行した時のみ適用されます。

(4) $\overline{\text{RESET}}$ のスレッシュホールド電圧とヒステリシス電圧は測定された出力電圧に対するパーセント値となります。

機能ブロック図



TERMINAL		説 明
名 称	DRC	
IN	1	非安定電源入力。小型の0.1μFのコンデンサをINとGNDの間に接続して下さい。
GND	5, Pad	グラウンド
OUT1	3	レギュレータの出力。安定性を確保するため、このピンとグラウンドとの間に小型の2.2μFのセラミックコンデンサを接続して下さい。
OUT2	4	LDO2の出力、OUT1と同じ。
EN1	10	イネーブル・ピン(EN)を“High”にすると、LDO1がオンになります。このピンを“Low”にすると、LOD1はシャットダウン・モードになり、動作電流が減少します。この機能を使用しないときイネーブルピンはINに接続して下さい。
EN2	8	LDO2のイネーブル・ピン、EN1と同じ。
NC	9	非接続
FB2/NC	7	可変電圧製品でのCH2用の帰還入力；CH2が可変では無い場合は非接続
NR	6	ノイズ削減ピン；LDOの出力ノイズを減少させるために外部バイパスコンデンサを接続して下さい。
$\overline{\text{RESET}}$	2	OUT2を監視しているオープンドレインのリセット出力。殆どのアプリケーションで10kΩから1MΩのプルアップ抵抗が最適となります。オープンドレインのリセット出力のプルアップ電圧はV _{DD} +0.3Vを超えてはいけません。

表 1. 端子機能表

代表的特性

全ての電圧製品で $T_J = +25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(TYP)} + 1\text{V}$ 、 $I_{OUT} = 1\text{mA}$ 、 $V_{EN} = 1.2\text{V}$ 、 $C_{OUT} = 2.2\mu\text{F}$ 、 $C_{NR} = 0.001\mu\text{F}$ です (特に記述のない限り)。

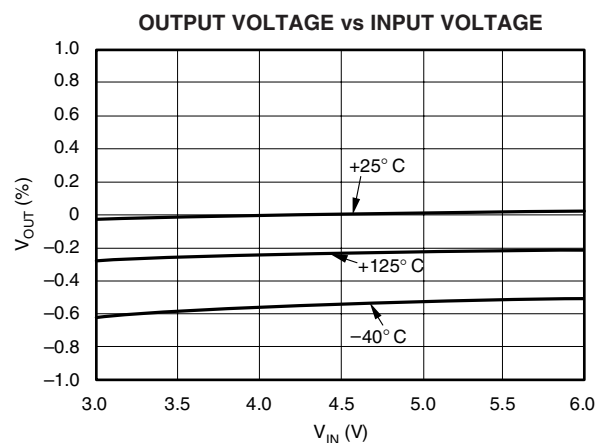


図 1

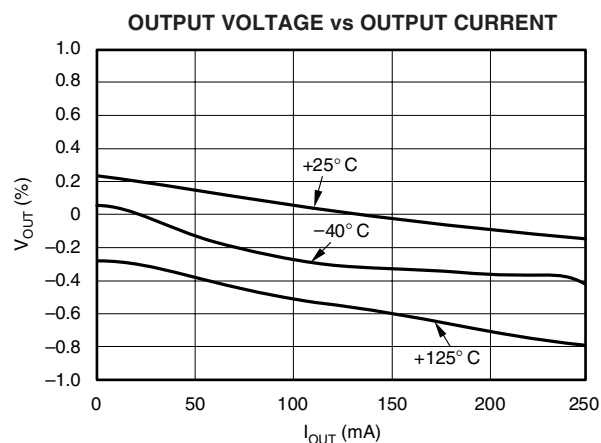


図 2

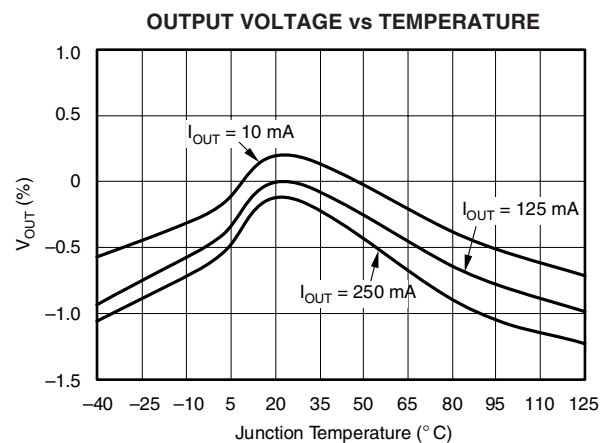


図 3

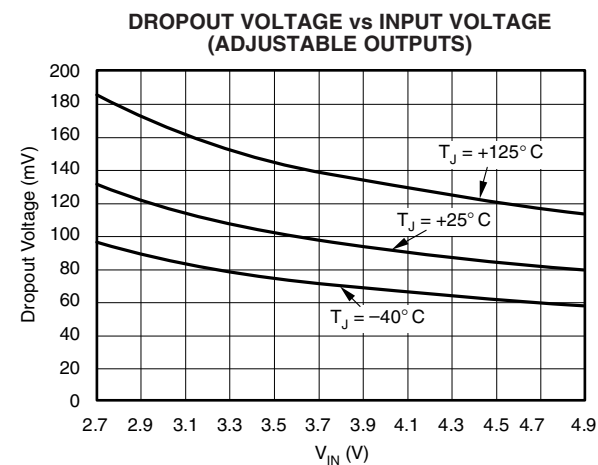


図 4

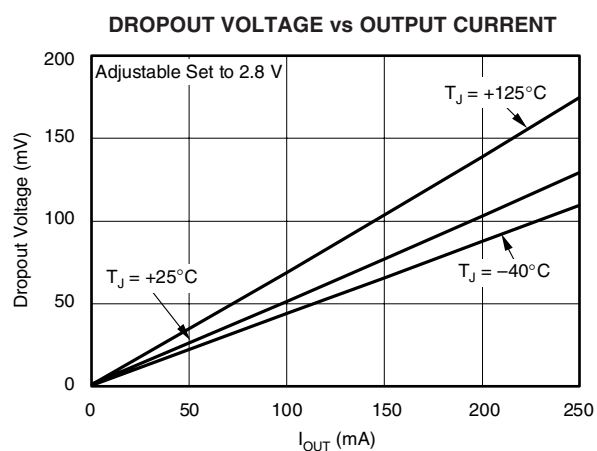


図 5

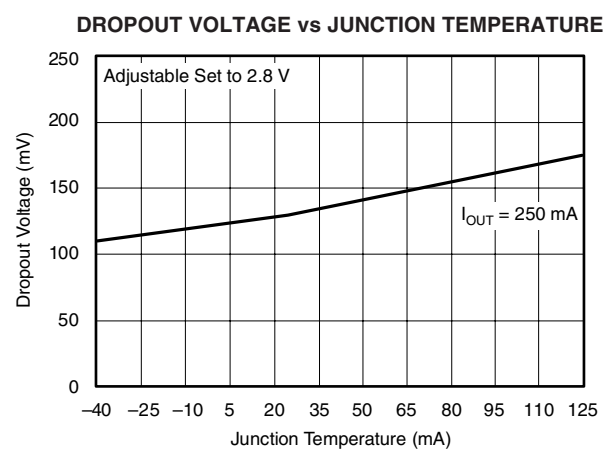


図 6

代表的特性

全ての電圧製品で $T_J = +25^{\circ}\text{C}$ 、 $V_{IN} = V_{OUT(TYP)} + 1\text{V}$ 、 $I_{OUT} = 1\text{mA}$ 、 $V_{EN} = 1.2\text{V}$ 、 $C_{OUT} = 2.2\mu\text{F}$ 、 $C_{NR} = 0.001\mu\text{F}$ です(特に記述のない限り)。

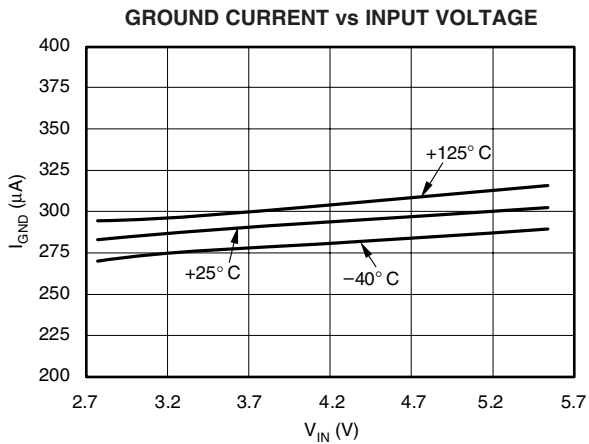


図 7

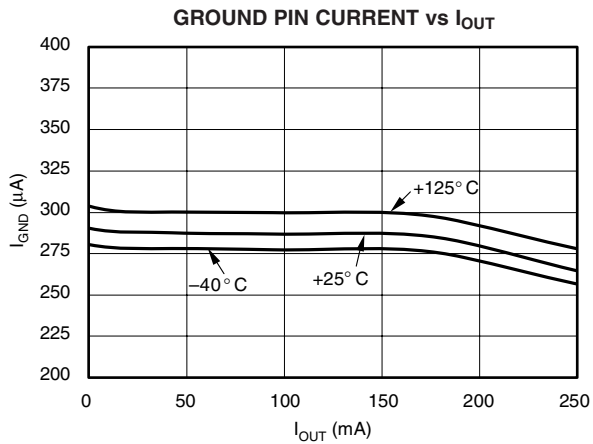


図 8

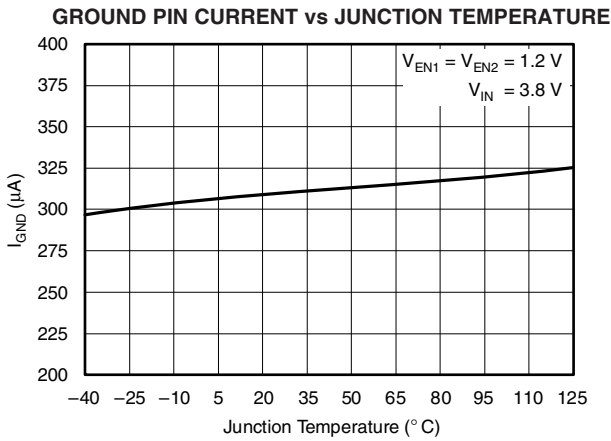


図 9

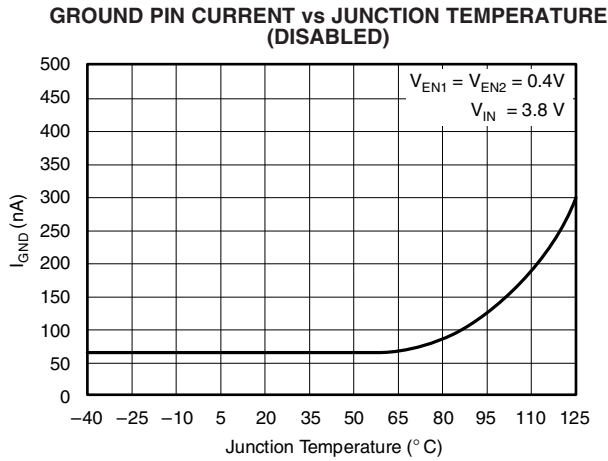


図 10

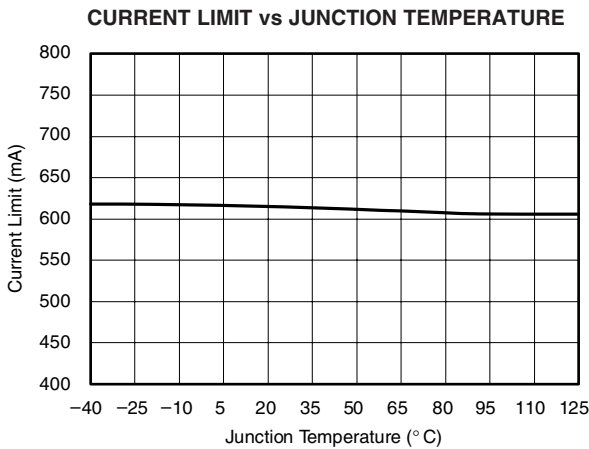


図 11

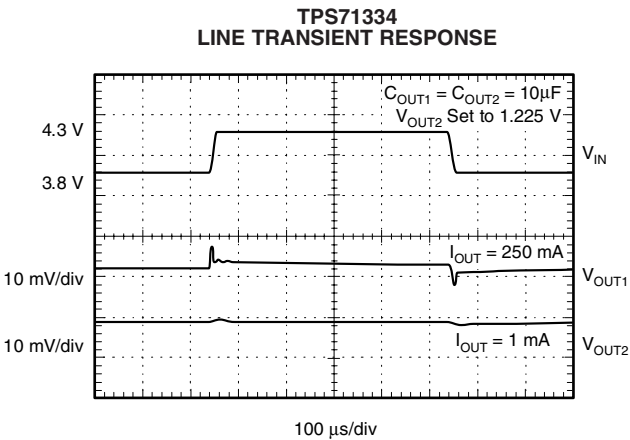


図 12

代表的特性

全ての電圧製品で $T_J = +25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(TYP)} + 1\text{V}$ 、 $I_{OUT} = 1\text{mA}$ 、 $V_{EN} = 1.2\text{V}$ 、 $C_{OUT} = 2.2\mu\text{F}$ 、 $C_{NR} = 0.001\mu\text{F}$ です (特に記述のない限り)。

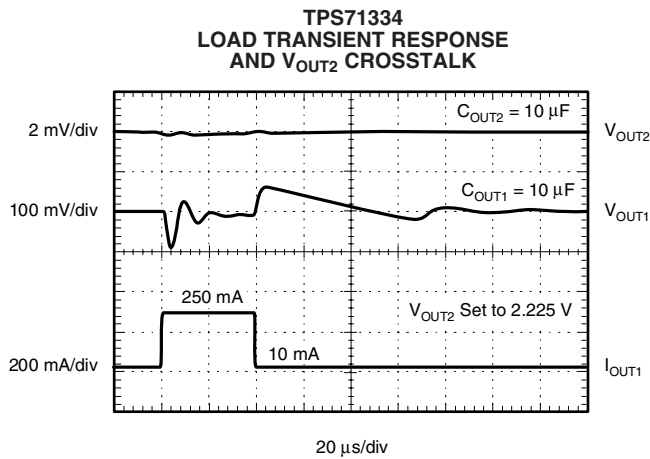


図 13

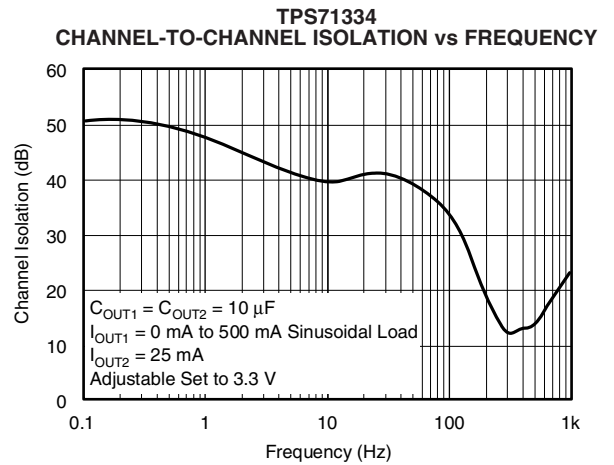


図 14

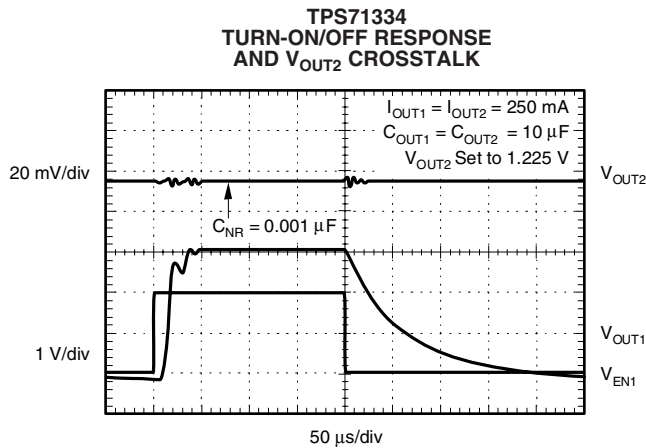


図 15

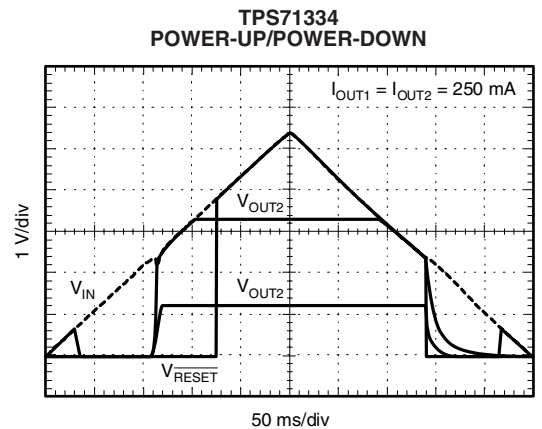


図 16

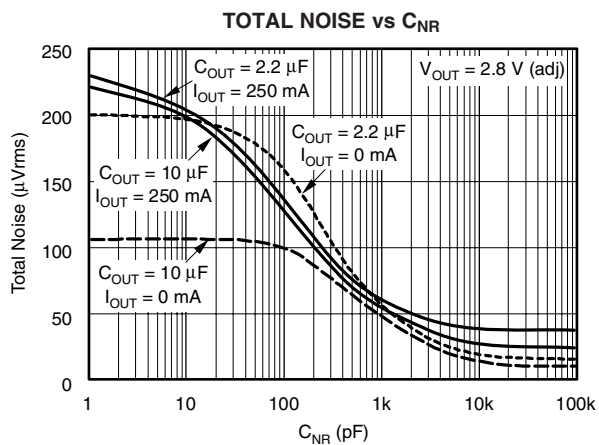


図 17

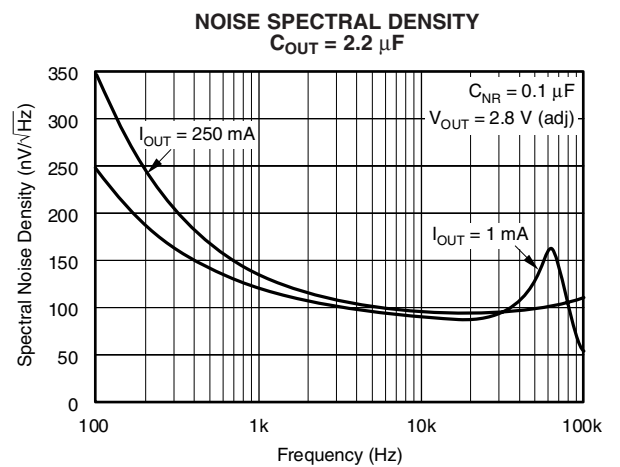


図 18

代表的特性

全ての電圧製品で $T_J = +25^\circ\text{C}$ 、 $V_{IN} = V_{OUT(TYP)} + 1\text{V}$ 、 $I_{OUT} = 1\text{mA}$ 、 $V_{EN} = 1.2\text{V}$ 、 $C_{OUT} = 2.2\mu\text{F}$ 、 $C_{NR} = 0.001\mu\text{F}$ です (特に記述のない限り)。

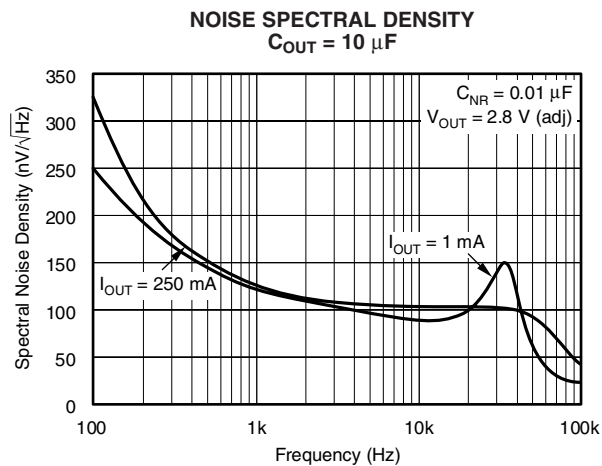


図 19

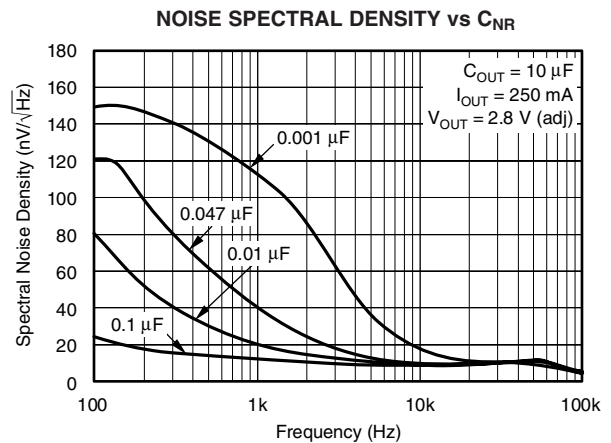


図 20

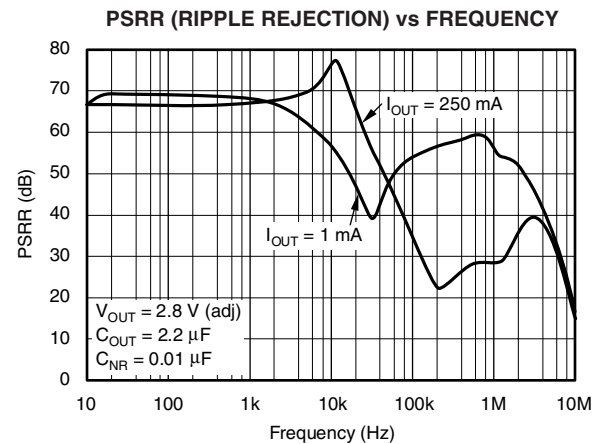


図 21

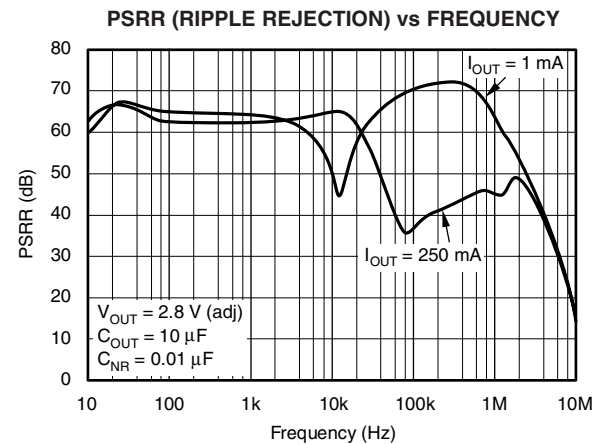


図 22

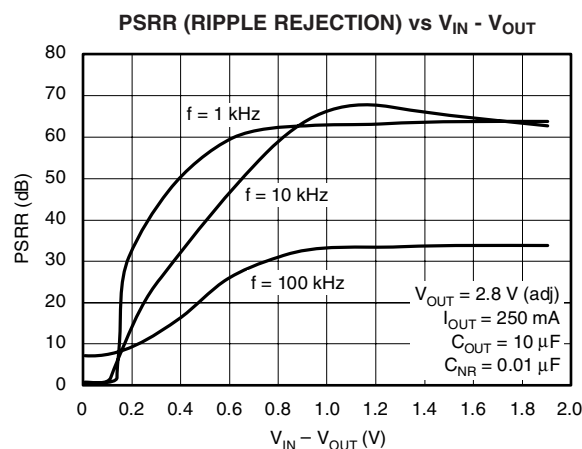


図 23

アプリケーション情報

TPS713xxファミリーの2ch低ドロップアウト (LDO) レギュレータはノイズの影響を受けやすい電池駆動の携帯機器での使用に最適化されています。本製品は非常に低いドロップアウト電圧、高いPSRR、超低ノイズと低自己消費電流 (チャネル当り標準で190 μ A) という特徴があります。両方の出力がディセーブルされると供給電流は2 μ A以下に減少します。図24に、シーケンス制御付きの標準的なアプリケーション回路を示します。

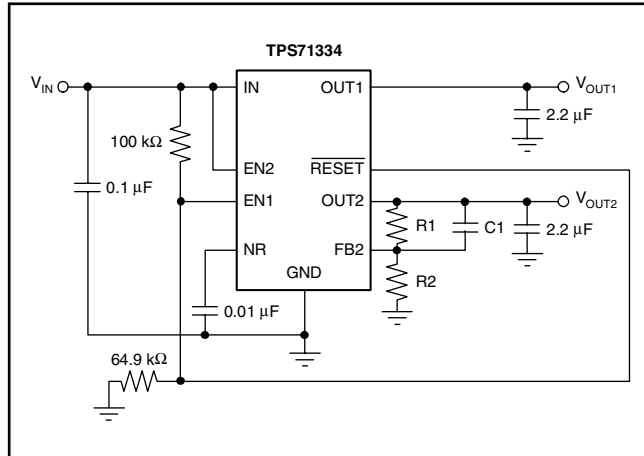


図 24. 標準アプリケーション回路 (シーケンス制御付き)

入力および出力コンデンサ要件

安定動作のためにTPS713xxの直近に0.1 μ F以上のセラミックの入力バイパスコンデンサをINピンとGNDの間に接続して下さい。このコンデンサは過渡応答、ノイズ除去、およびリップル除去を改善します。立ち上がりの速い大きな負荷過渡電流が予想される場合や、デバイスの位置が電源から数センチ離れている場合には、さらに大容量のコンデンサが必要です。

TPS713xxは内部ループの安定の為に出力とGNDの間に出力コンデンサが必須です。推奨される最小出力容量は2.2 μ Fです。もし出力電圧に1.8V以下が選択された場合は推奨される最小出力容量は4.7 μ Fとなります。最少出力容量の要求を満足していれば全てのタイプのセラミックコンデンサで安定に動作します。よりESRの高いコンデンサも使用可能ですがESRは1 Ω より小さい必要があります。

出力ノイズ

ほとんどのLDOでは、バンドギャップ基準電圧源が主要なノイズ源となります。TPS713xxは内蔵された250k Ω の抵抗を経由して基準電圧に接続されているNRピンを持っています。内蔵された250k Ω の抵抗はNRピンに接続された外部バイパスコンデンサとの組み合わせによりローパスフィルタを構成し、基準電圧で発生するノイズを減少させ、この結果レギュレータの出力ノイズを減少させます。高速な起動機能を持たせる為に、内蔵された250k Ω の抵抗はデバイスがイネーブルされてから400 μ sの間短絡されます。内部基準電源が出力ノイズ源である為に出力電圧の設定が高くなるほど出力ノイズは増加します。

ノイズ削減コンデンサが使用されない場合、10Hzから100kHzまでの標準値のノイズ量 (μ Vrms) は出力電圧値の80倍した数値となります。NRピンとGNDの間に0.01 μ Fのコンデンサが接続されるとノイズ量 (μ Vrms) は出力電圧の11.8倍の数値まで低下します。例えば、TPS713534で可変電圧の設定を2.8Vにした場合は0.01 μ Fのセラミックバイパスコンデンサと2.2 μ Fのセラミック出力コンデンサを使用した場合、出力ノイズ量はわずか33 μ Vrmsとなります。

起動時特性

起動時の出力電圧のオーバーシュートを最小とする為に初期段階ではTPS713xxは設定電圧の約80%の出力電圧を目標として起動します。起動時間の遅延を防止する為に、ノイズ削減コンデンサは0.01 μ F以下を推奨します。より大きなノイズ削減コンデンサを使用するとノイズ削減コンデンサの電圧がバンドギャップ電圧の80%を超えるまでの間出力電圧を設定の80%の値に保持してしまいます。0.001 μ Fのノイズ削減コンデンサを使用した時の標準起動時間は60 μ sです。片方の出力電圧が起動した後は、もう片方の出力の起動時間はノイズ削減コンデンサの影響は有りません。

可変出力電圧のLDOレギュレータTPS713xxのプログラミング

TPS713xx可変出力電圧レギュレータの出力電圧は図25に示されているように抵抗デバイダを外付けすることでプログラムされます。出力電圧は式 (1) を用いて計算されます。

$$V_{OUT} = V_{REF} \times \left(1 + \frac{R1}{R2}\right) \quad (1)$$

但し、 $V_{REF} = 1.225V$ (Typ.) (内部基準電圧)

抵抗R2は約40 μA のデバイダ電流が流れるように選択しなければなりません。ノイズ特性を改善するために低い値の抵抗を用いることができますが、これにより消費電力が増加してしまいます。抵抗値がこれより高いと、FBへのリーク電流の影響による V_{OUT} の誤差が増加してしまうため避けなければなりません。推奨する設計手順としてデバイダ電流が40 μA となるよう $R2 = 30.1k\Omega$ を選択し、次に式 (2) を用いてR1を計算します。

$$R1 = \left(\frac{V_{OUT}}{V_{REF}} - 1\right) \times R2 \quad (2)$$

可変電圧製品の安定性とノイズ特性を改善する為に、OUTとFBの間に小容量の補償コンデンサを接続することが推奨されます。出力電圧が1.8V以下の場合、このコンデンサの容量は100pFとなります。1.8V以上の電圧の場合は式 (3) により必要なコンデンサ容量を概算することができます。

$$C1 = \frac{(3 \times 10^5) \times (R1 + R2)}{(R1 \times R2)} \text{ (pF)} \quad (3)$$

図25に様々な抵抗設定に応じた補償コンデンサ容量を示します。補償コンデンサを使用しない(ユニティゲイン状態など)場合や出力電圧が1.8V以下の場合、出力コンデンサの推奨最小容量は2.2 μF の代わりに4.7 μF となります。

ドロップアウト電圧

TPS713xxは、PMOSパス・トランジスタを使用して超低ドロップアウトを実現しています。 $(V_{IN} - V_{OUT})$ がドロップアウト電圧(V_{DO})より小さい場合、PMOSパス素子はリニア動作領域にあり、入出力間抵抗はPMOSパス素子の $R_{DS,ON}$ となります。低電流時のおおよそのドロップアウト電圧はパス素子の実効 $R_{DS,ON}$ 値より計算することが可能で、その抵抗値と負荷電流の積となります。パス素子の $R_{DS,ON}$ 値はドロップアウト電圧をその時の負荷電流で割ることにより求めることができます。TPS71356ではパス素子の $R_{DS,ON}$ は84m Ω となります。TPS713xxのドロップアウト電圧は出力電圧の高い製品ほど低くなります。これはPMOSのパス素子はゲート駆動電圧が高くなるほどON抵抗が低くなるという特性によります。

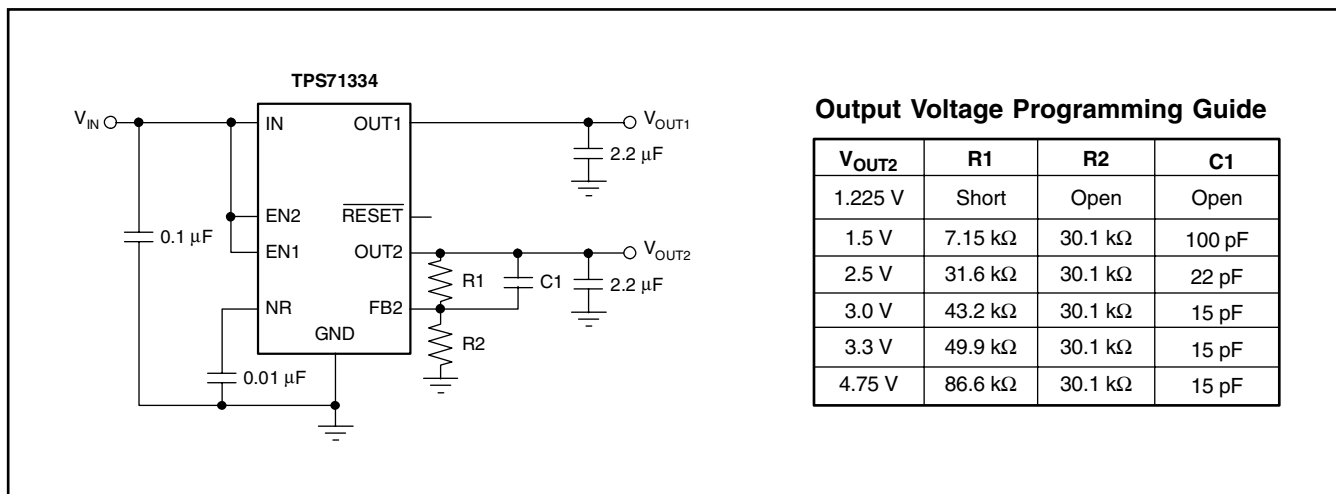


図 25. TPS71334 出力可変型LDO レギュレータのプログラミング

電圧監視機能の解説

TPS713xxはOUT2の電圧をモニターする電圧監視機能(SVS)をチップに内蔵しています。 $\overline{\text{RESET}}$ 出力は V_{OUT2} がリセットスレッショルド(V_{IT})以下になると動作します。OUT2がリセットスレッショルド + ヒステリシス(V_{HYS})を超えても、 $\overline{\text{RESET}}$ 出力は規定された遅延時間(t_D)の間“Low”状態を保持します。OUT2がEN2によりディセーブルされるか、入力電圧が低下して低電圧ロックアウトが動作した時もリセット信号は発動します。リセット回路の動作を図26と表2に示します。

出力電圧の精度や出力電圧設定抵抗の誤差の影響は V_{IT} スレッショルドには殆ど影響しません。リセット・スレッショルド V_{IT} は実際の出力電圧に追従して変化します。電圧が降下した時間がリセット回路の伝播遅延時間(T_P)より短い場合には $\overline{\text{RESET}}$ 出力は非稼働状態のままを保持します。出力コンデンサに2.2 μF しか使用されている場合でも、標準的な過渡負荷に対して $\overline{\text{RESET}}$ がエラー状態を発動させることは有りません。

リセットピンは非稼働状態のときに“High”にプルアップする外部抵抗が必要です。殆どのアプリケーションに於いて10k Ω から1M Ω の抵抗の使用が推奨されます。抵抗値がこれより低いと出力が論理“Low”と十分に認識されるレベルまで電圧を引き下げることができなくなります。プルアップ抵抗が大きすぎるとリセットピンのリーク電流により非稼働状態に“High”レベルまでプルアップされなくなる可能性があります。 $\overline{\text{RESET}}$ ピンのプルアップ電圧は $V_{\text{IN}} + 0.3\text{V}$ を超えてはいけません。これ以上の電圧の印加は内部のESD保護回路をONさせてしまい過電流により製品にダメージを与えることがあります。

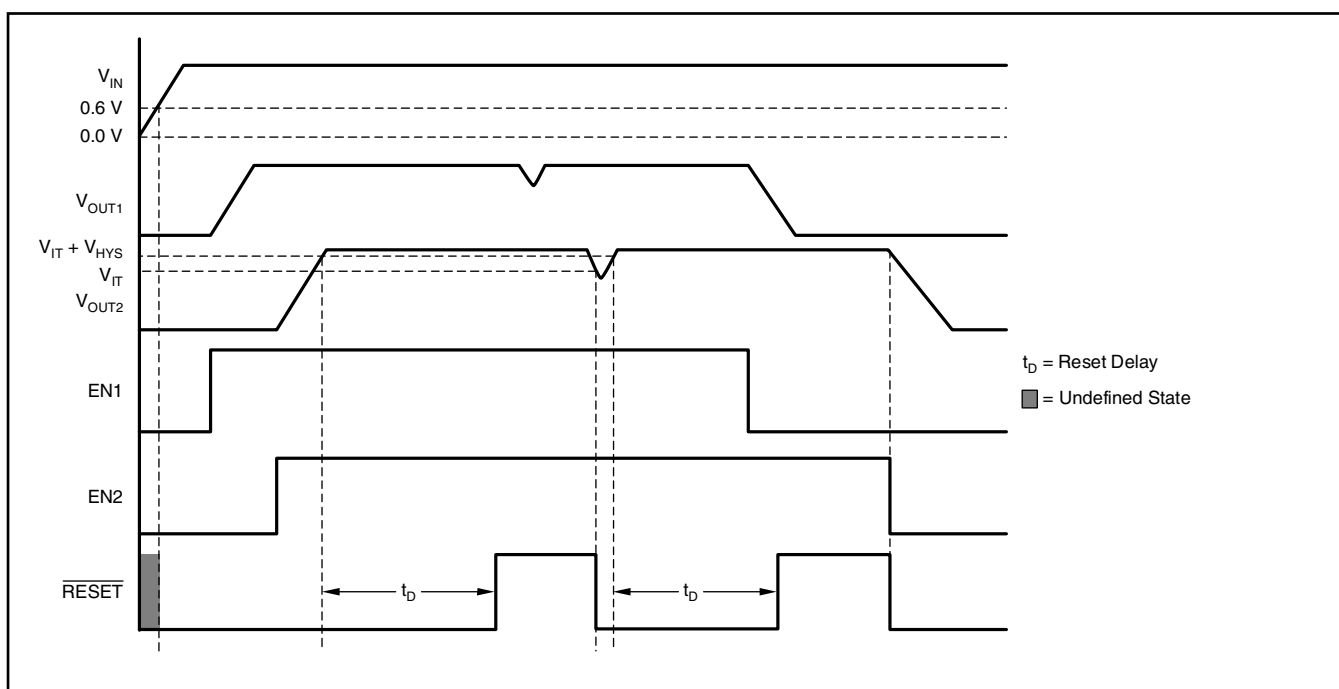


図 26. $\overline{\text{RESET}}$ タイミング・ダイアグラム

EN2	UVLO Asserted	V_{OUT2}	$\overline{\text{RESET}}$ Asserted
X ⁽¹⁾	Yes	X	Yes
Low	X	X	Yes
High	No	$V_{\text{OUT2}} > V_{\text{IT}}$	No
High	No	$V_{\text{OUT2}} < V_{\text{IT}}$	Yes

表 2. リセットピン真理値表

(1) X = don't care.

過渡応答

他のレギュレータと同様に、出力コンデンサのサイズを大きくすると、オーバーシュート/アンダーシュートが小さくなりますが、過渡応答の時間が増加します。可変出力電圧製品では、OUTとFBの間にCFBを追加することで、安定性と過渡応答を向上できます。

TPS713xxの過渡応答特性は、出力電圧が過電圧状態になったときに動作する、アクティブ・プルダウンによって改善されています。アクティブ・プルダウンにより負荷が急激に減少した時の電圧回復時間が減少します。代表的特性の図13に出力電圧の過渡応答特性を示します。

シャットダウン

イネーブル・ピン (EN) は、両ch共アクティブ・ハイであり、標準および低電圧のTTL-CMOSレベルと互換性があります。デバイスがEN1とEN2の両方が論理“Low”に設定された時のみ完全にシャットダウン状態となります。この状態ではLDOは完全にオフ状態となり、グランドピン電流は約100nAまで減少します。片方だけがディスエーブルされた状態ではグランド電流は標準状態の半分より少し多い値となります。シャットダウン機能が必要ない場合にはイネーブルピンは入力電源に接続して下さい。

内部電流制限

TPS713xxの内部電流制限により、異常発生時にレギュレータを保護することができます。過電流制限中、出力からは、出力電圧にほとんど依存しない一定値の制限電流が供給されます。

TPS713xxのPMOSパス・トランジスタには、ボディ・ダイオードが内蔵され、入力電圧が出力電圧を下回った時 (供給電源が落ちた時など) に電流が逆流します。この出力から入力への電流は制限されないため、長時間の逆方向電圧動作が予期される場合には、外部での制限を考慮する必要があります。

過熱保護

過熱保護機能により、接合部温度が約+160℃に上昇すると出力がディスエーブルになり、デバイスの温度が下がるまで待ちます。接合部温度が約140℃まで低下すると、出力回路は再びイネーブルになります。消費電力、熱抵抗、および周囲温度に応じて、過熱保護回路はオン/オフを繰り返します。これによりレギュレータの消費電力が制限され、過熱による損傷から保護されます。

過熱保護回路が作動する傾向がある場合、消費電力が高すぎるか、ヒートシンクが不十分である可能性があります。高い信頼性で動作させるためには接合部温度は最大+125℃に制限してください。最終製品 (ヒートシンクを含む) における安全性の余裕を評価するには、ワーストケースの負荷および信号条件を使用し、過熱保護が作動するまで周囲温度を上昇させます。良好な信頼性を確保するためには、該当アプリケーションの最大想定周囲温度よりも35℃以上高い周囲温度まで上昇した場合に過熱保護が作動するのが望ましい状態です。この状態であれば、最大想定周囲温度におけるワーストケース負荷でのワーストケース接合部温度は+125℃以下となります。

TPS713xxの内部保護回路は、過負荷状態に対して保護するように設計されています。これは、適切なヒートシンクの代わりとなるよう意図されたものではありません。TPS713xxを過熱保護が作動するまで使用し続けると、デバイスの信頼性が低下します。

許容損失

ダイ (ICのシリコンチップ) から熱を拡散させる能力はパッケージ・タイプによって異なるため、PCBレイアウトにおける考慮事項も異なってきます。デバイスの周辺の、他の部品が搭載されていないPCB領域がデバイスからの熱を周囲の大気に逃がします。「許容損失」の表には、JEDECのHigh-K基板での性能データを示しています。より厚い銅を使用することで、デバイスの放熱能力が高まります。また、熱拡散層との間にめっきされたスルーホールを付加することによっても、ヒートシンクとしての能力が向上します。

損失電力は、入力電圧および負荷条件に依存します。損失電力は、式 (4) に示されるように、出力パス素子での電圧降下と出力電流との積に等しくなります。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (4)$$

損失電力は出力電圧を維持するのに必要な範囲でできるだけ低い入力電圧を使用することで最小化することができます。

パッケージ・オプション

製品情報

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
TPS71319DRCCR	ACTIVE	SON	DRC	10	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS71319DRCRG4	ACTIVE	SON	DRC	10	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS71319DRCT	ACTIVE	SON	DRC	10	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS71319DRCTG4	ACTIVE	SON	DRC	10	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS71334DRCCR	ACTIVE	SON	DRC	10	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS71334DRCRG4	ACTIVE	SON	DRC	10	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS71334DRCT	ACTIVE	SON	DRC	10	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR
TPS71334DRCTG4	ACTIVE	SON	DRC	10	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-2-260C-1 YEAR

(1) マーケティング・ステータスは次のように定義されています。

ACTIVE：製品デバイスが新規設計用に推奨されています。

LIFEBUY：TIによりデバイスの生産中止予定が発表され、ライフタイム購入期間が有効です。

NRND：新規設計用に推奨されていません。デバイスは既存の顧客をサポートするために生産されていますが、TIでは新規設計にこの部品を使用することを推奨していません。

PREVIEW：デバイスは発表済みですが、まだ生産が開始されていません。サンプルが提供される場合と、提供されない場合があります。

OBsolete：TIによりデバイスの生産が中止されました。

(2) エコ・プラン - 環境に配慮した製品分類プランであり、Pb-Free (RoHS)、Pb-Free (RoHS Expert) およびGreen (RoHS & no Sb/Br) があります。最新情報および製品内容の詳細については、<http://www.ti.com/productcontent>でご確認ください。

TBD：Pb-Free/Green変換プランが策定されていません。

Pb-Free (RoHS)：TIにおける“Lead-Free”または“Pb-Free”(鉛フリー)は、6つの物質すべてに対して現在のRoHS要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が0.1%を超えないという要件も含まれます。高温で半田付けするように設計されている場合、TIの鉛フリー製品は指定された鉛フリー・プロセスでの使用に適しています。

Pb-Free (RoHS Exempt)：この部品は、1) ダイとパッケージの間に鉛ベースの半田バンプ使用、または 2) ダイとリードフレーム間に鉛ベースの接着剤を使用、が除外されています。それ以外は上記の様にPb-Free (RoHS) と考えられます。

Green (RoHS & no Sb/Br)：TIにおける“Green”は、“Pb-Free”(RoHS互換)に加えて、臭素(Br)およびアンチモン(Sb)をベースとした難燃材を含まない(均質な材質中のBrまたはSb重量が0.1%を超えない)ことを意味しています。

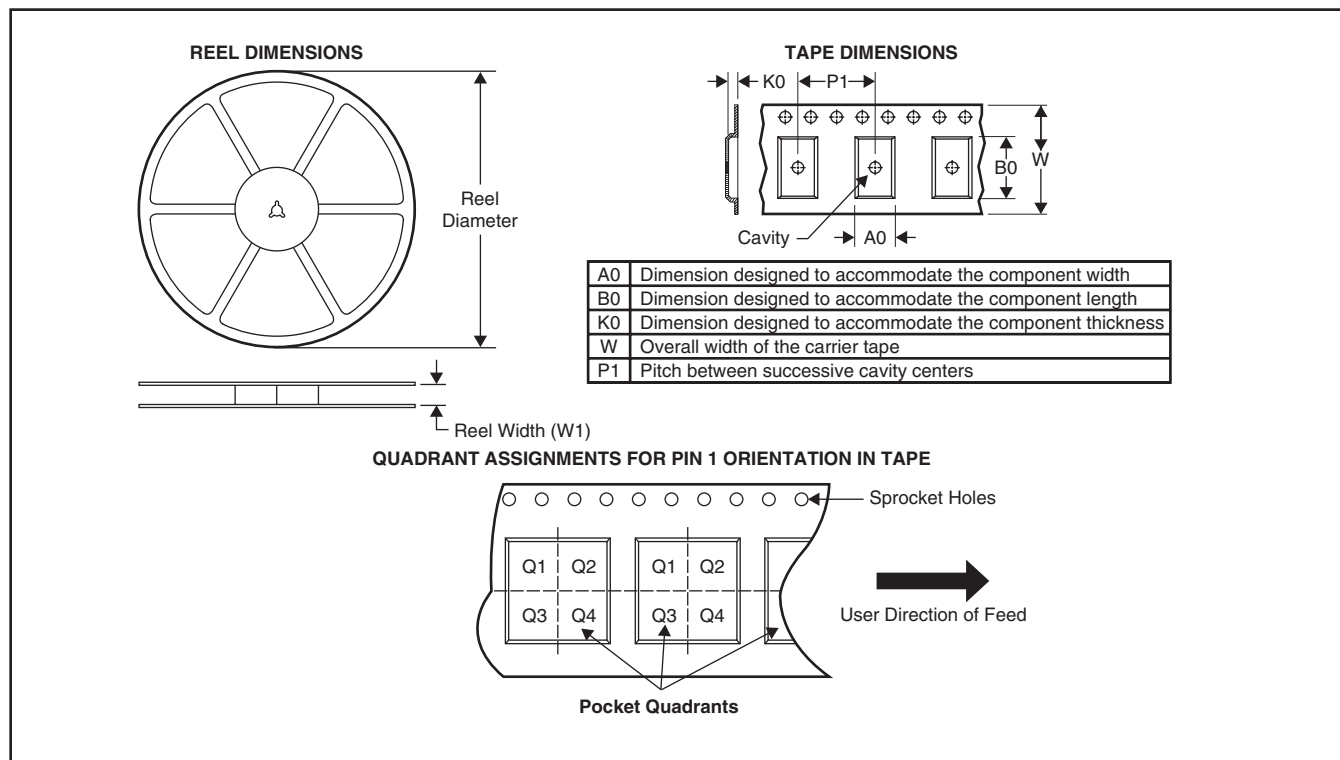
(3) MSL、ピーク温度 -- JEDEC業界標準分類に従った耐湿性レベル、およびピーク半田温度です。

重要な情報および免責事項：このページに記載された情報は、記載された日付時点でのTIの知識および見解を表しています。TIの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。TIでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。TIおよびTI製品の供給者は、特定の情報を機密情報として扱っているため、CAS番号やその他の制限された情報が公開されない場合があります。

TIは、いかなる場合においても、かかる情報により発生した損害について、TIがお客様に1年間に販売した本書記載の問題となった TIパーツの購入価格の合計金額を超える責任を負いかねます。

パッケージ・マテリアル情報

テープおよびリール・ボックス情報

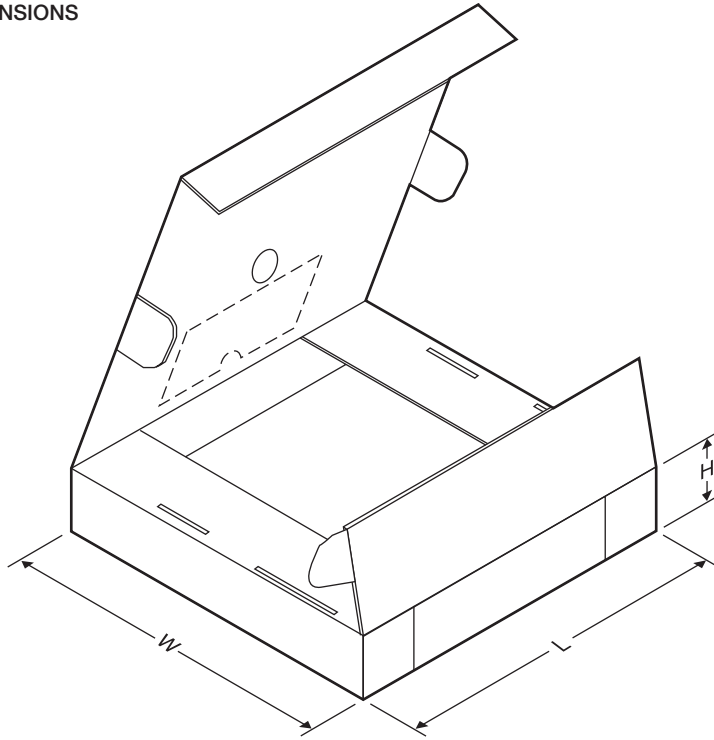


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS71319DRCR	SON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS71319DRCT	SON	DRC	10	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS71334DRCR	SON	DRC	10	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS71334DRCT	SON	DRC	10	250	180.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

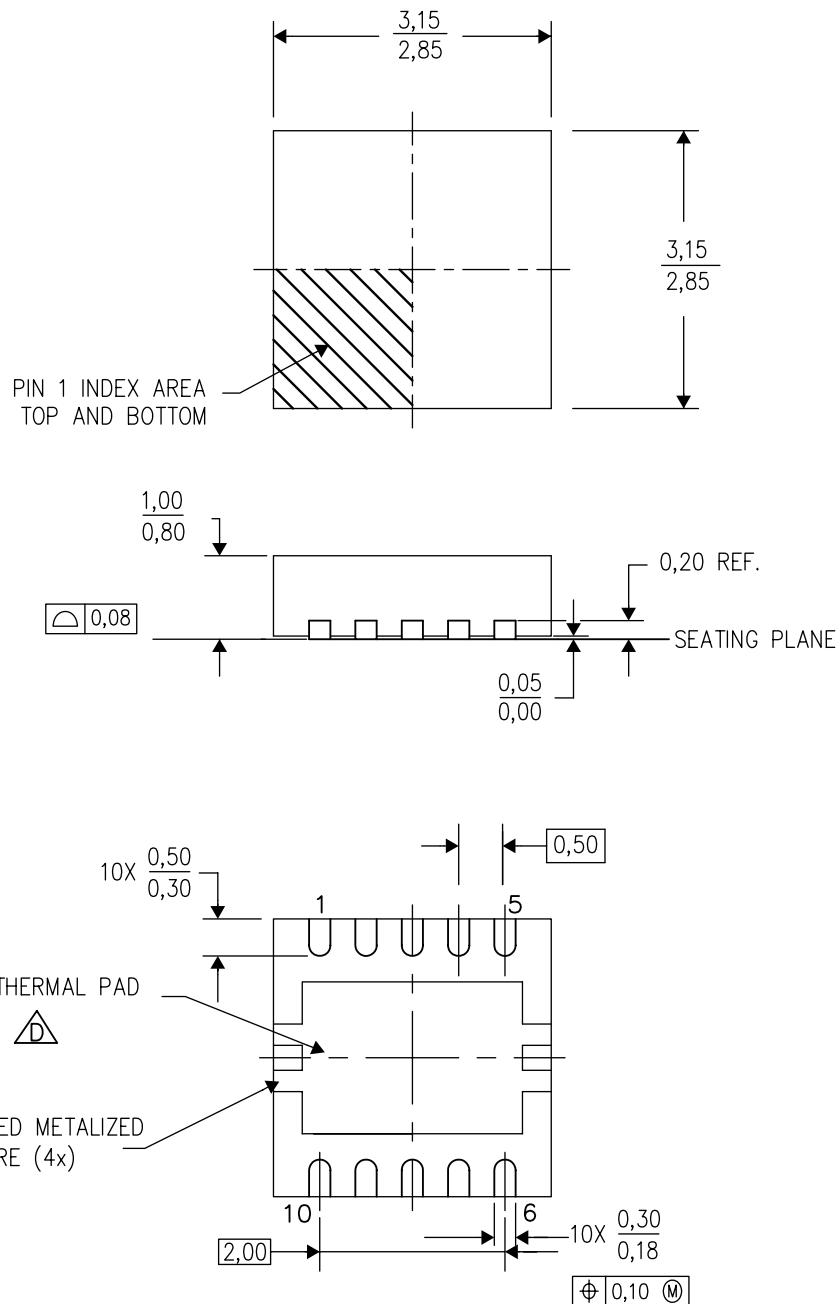
パッケージ・マテリアル情報

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS71319DRCR	SON	DRC	10	3000	346.0	346.0	29.0
TPS71319DRCT	SON	DRC	10	250	190.5	212.7	31.8
TPS71334DRCR	SON	DRC	10	3000	346.0	346.0	29.0
TPS71334DRCT	SON	DRC	10	250	190.5	212.7	31.8



4204102/G 06/08

注： A. 全ての線寸法の単位はミリメートルです。寸法と許容差はASME Y14.5M- 1994に従っています。
B. 図は予告なく変更することがあります。
C. SON (Small Outline No-Lead) パッケージ構成
D. 最良の熱特性および機械的特性を得るには、パッケージのサーマルパッドを基板に半田付けする必要があります。
露出したサーマルパッドの寸法に関する詳細は、製品データシートを参照してください。
E. 金属化はベンダのオプションで、パッケージには含まれていない場合があります。

サーマルパッド・メカニカル・データ

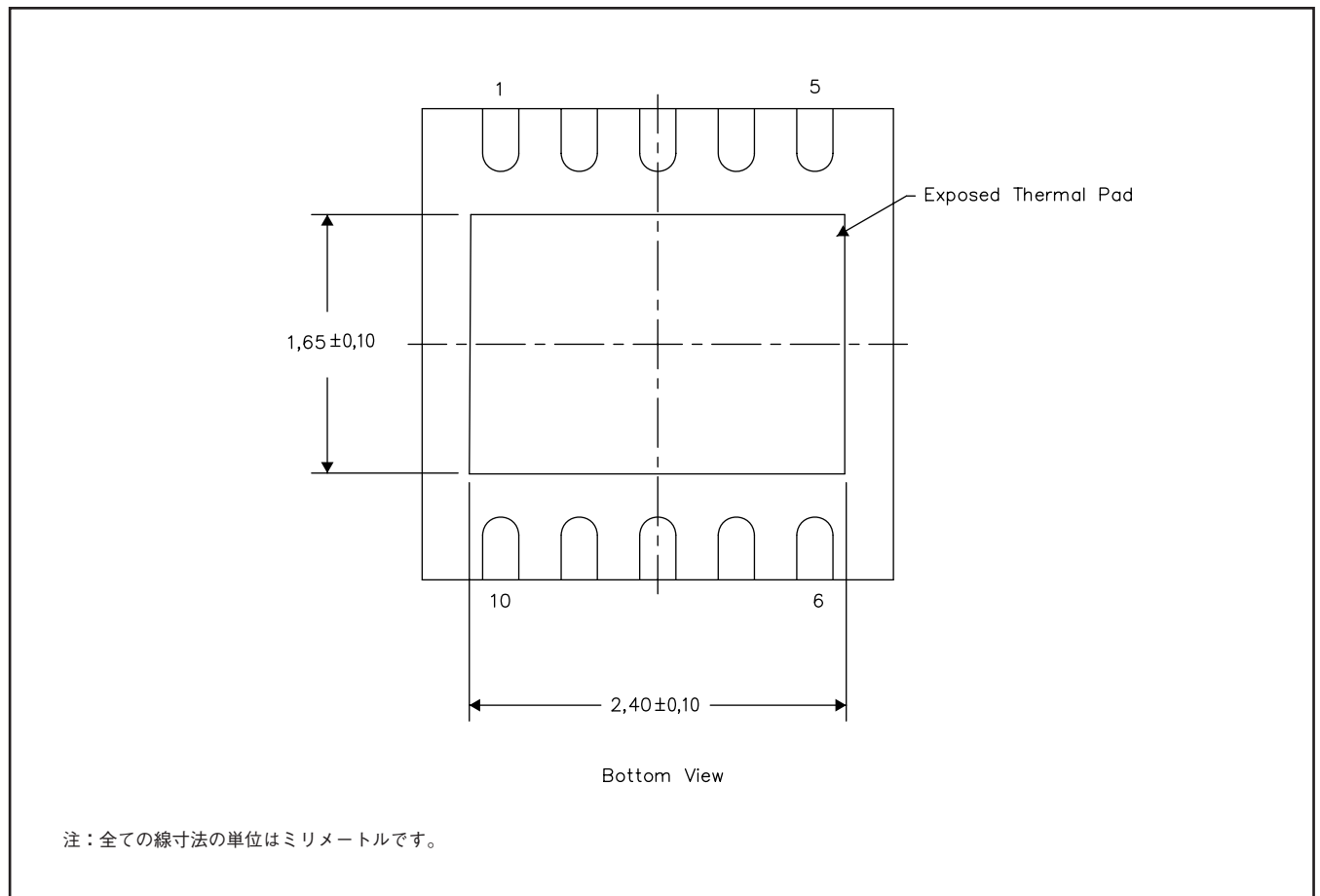
DRC (S-PVSON-N10)

熱特性について

このパッケージには、外部ヒートシンクに直接接続するように設計された、露出したサーマル・パッドが装備されています。このサーマル・パッドは、プリント基板 (PCB) をヒートシンクとして使用できるように、PCBに直接半田付けする必要があります。また、サーマル・ビアを使用して、サーマル・パッドをグランド・プレーンまたはPCB内に設計された特別なヒートシンク構造に直接接続することができます。この設計により、ICからの熱伝導が最適化されます。

QFN (Quad Flatpack No-Lead) パッケージとその利点については、アプリケーション・レポート『Quad Flatpack No-Lead Logic Packages』(Texas Instruments文献番号SLUA271)を参照してください。このドキュメントは、ホームページwww.ti.comで入手できます。

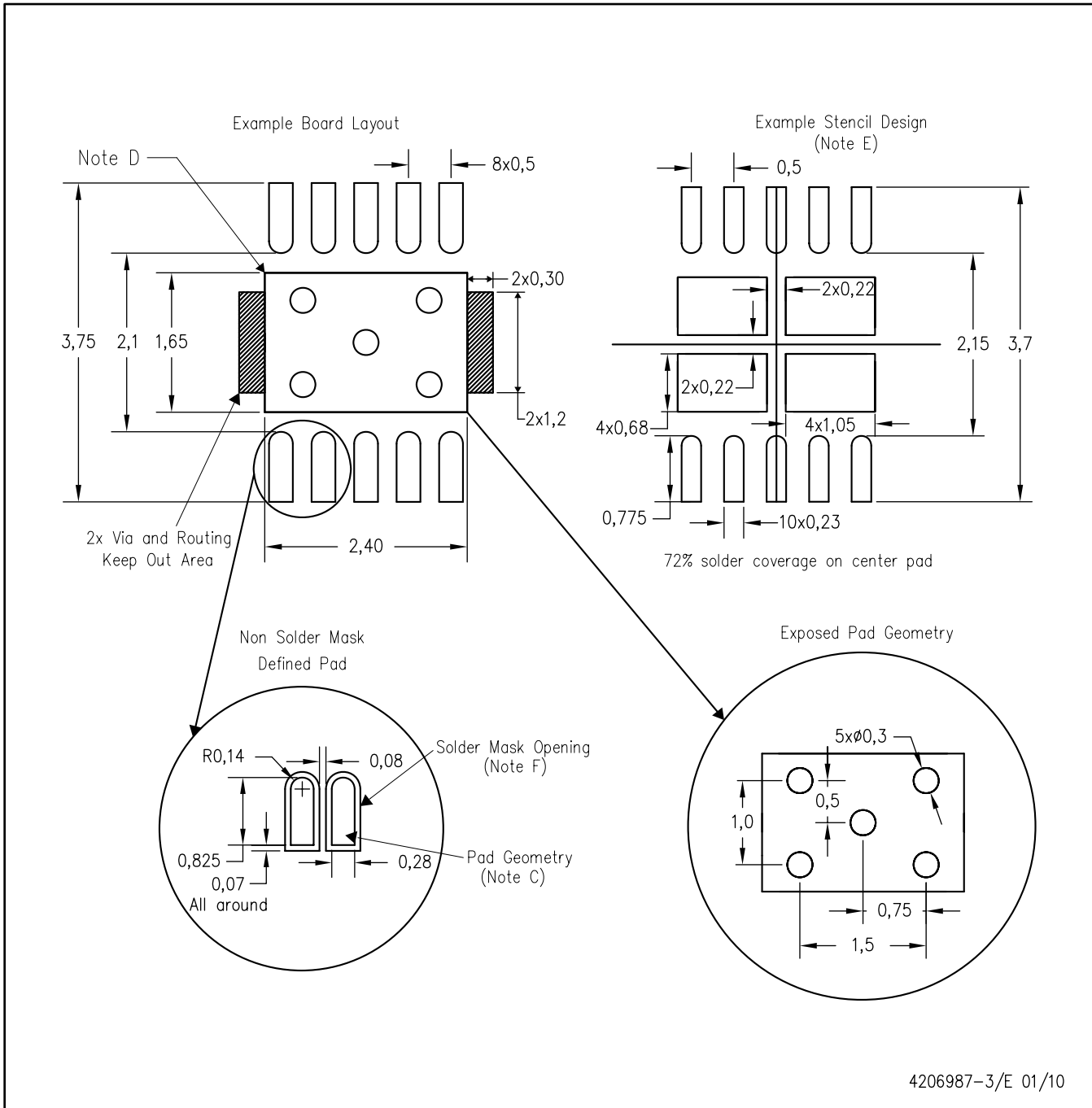
このパッケージの露出したサーマル・パッドの寸法を次の図に示します。



サーマル・パッド寸法図

ランド・パターン

DRC (S-PVSON-N10)



- 注： A. 直線寸法はすべてミリメートル単位です。
 B. 本図は予告なしに変更することがあります。
 C. 代替設計には、IPC-SM-782規格を推奨します。
 D. 本パッケージは、サーマルパッドを基板に半田付けするように設計されています。具体的な熱的特性情報、ビア条件、および推奨基板レイアウトについては、アプリケーション・ノート「QFNパッケージ」テキサス・インスツルメンツ文献番号SLUA271、および製品データシートも参照願います。これらの文献はwww.ti.com <<http://www.ti.com>> で入手できます。
 E. 台形壁面やラウンドコーナーにレーザー・カッティング・アパーチャを行うと、ペーストのリリースが容易になります。推奨のステンシル設計については、基板組立元に問合せ願います。ステンシル設計の検討については、IPC7525規格を参照願います。
 F. 半田マスク公差については、基板製造元に問合せ願います。

(SBVS055A)

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated