

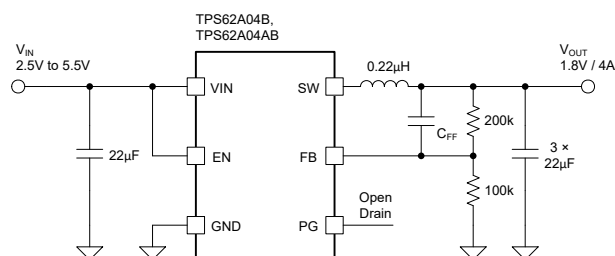
TPS62A04xB SOT563 パッケージの 4A 高効率同期整流降圧コンバータ

1 特長

- 入力電圧範囲: 2.5V~5.5V
- 調整可能な出力電圧範囲: 0.6V~ V_{IN}
- 15mΩ/10mΩ 低 $R_{DS(on)}$ スイッチ
- 25μA の静止電流
- タイミング精度: 1% (0°C~125°C)
- 100% モード動作
- 2.2MHz のスイッチング周波数
- パワー セーブ モードまたは FPWM オプションが利用可能
- パワー グッド出力ピン
- 短絡保護 (HICCUP)
- ソフト スタートアップを内蔵
- 出力放電
- サーマル シャットダウン保護機能
- 1.6mm × 1.6mm、SOT563 パッケージで供給
- TLV62585 とピン互換

2 アプリケーション

- 多機能プリンタ
- セットトップ ボックス
- TV アプリケーション
- IP ネットワーク カメラ
- ワイヤレス ルータ、ソリッドステートドライブ
- バッテリー駆動アプリケーション
- 汎用 POL (ポイント オブ ロード) 電源



代表的なアプリケーション

3 概要

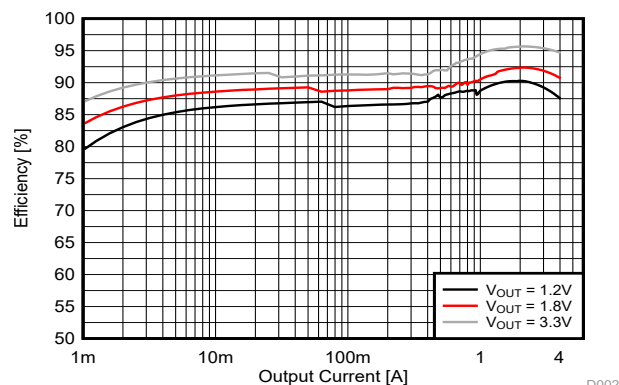
TPS62A04B および TPS62A04AB は同期整流降圧型 DC/DC コンバータで、高効率と小型の設計サイズ向けに最適化されています。このデバイスには、4A の出力電流を定常的に供給できるスイッチが内蔵されています。中負荷から高負荷では、デバイスはパルス幅変調 (PWM) モード、2.2MHz のスイッチング周波数で動作します。軽負荷時には、TPS62A04B デバイスのバリエーションは自動的にパワー セーブ モード (PSM) へ移行し、負荷電流範囲の全体にわたって高い効率を維持します。このデバイスファミリの A バリエーション (TPS62A04AB) は、負荷条件に関係なく、常に PWM モードを維持します。このデバイスは、安定した周波数と最小リップルを維持します。

TPS62A04B および TPS62A04AB は、外付けの抵抗デバイスを使用して出力電圧を設定します。内部のソフトスタート回路によって起動時の突入電流を制限し、パワーグッド信号が出力電圧が正しいことを示します。過電流保護機能と、加熱保護機能の組み合わせにより、デバイスおよびアプリケーションを保護します。これらのデバイスは、SOT563 パッケージで供給されます。

製品情報

部品番号 (2)	モード	パッケージ (1)	本体サイズ (公称)
TPS62A04B	PSM, PWM	DRL (SOT563, 6)	1.60mm × 1.60mm
TPS62A04AB	FPWM		

- (1) 詳細については、[セクション 11](#) を参照してください。
- (2) デバイス比較表を参照してください。[セクション 4](#)



$V_{IN} = 5V$ での出力電流と効率の関係

D002



Table of Contents

1 特長	1	8 Application and Implementation	10
2 アプリケーション	1	8.1 Application Information.....	10
3 概要	1	8.2 Typical Application.....	10
4 Device Comparison Table	3	8.3 Power Supply Recommendations.....	14
5 Pin Configuration and Functions	3	8.4 Layout.....	14
6 Specifications	4	9 Device and Documentation Support	15
6.1 Absolute Maximum Ratings.....	4	9.1 Device Support.....	15
6.2 ESD Ratings.....	4	9.2 Documentation Support.....	15
6.3 Recommended Operating Conditions.....	4	9.3 ドキュメントの更新通知を受け取る方法.....	15
6.4 Thermal Information.....	4	9.4 サポート・リソース.....	15
6.5 Electrical Characteristics.....	5	9.5 Trademarks.....	15
6.6 Typical Characteristics.....	6	9.6 静電気放電に関する注意事項.....	15
7 Detailed Description	7	9.7 用語集.....	15
7.1 Overview.....	7	10 Revision History	15
7.2 Functional Block Diagram.....	7	11 Mechanical, Packaging, and Orderable	
7.3 Feature Description.....	7	Information	15
7.4 Device Functional Modes.....	8		

4 Device Comparison Table

DEVICE NUMBER	OUTPUT CURRENT	OPERATION MODE
TPS62A04BDRLR	4A	PSM/PWM
TPS62A04ABDRLR	4A	FPWM

5 Pin Configuration and Functions

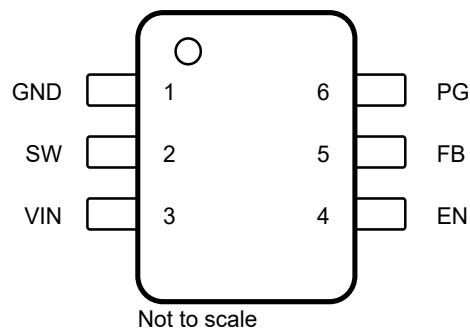


図 5-1. 6-Pin DRL SOT563 Package (Top View)

表 5-1. Pin Functions

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
EN	4	I	Device enable logic input. Logic high enables the device, logic low disables the device and turns the device into shutdown. Do not leave the pin floating.
FB	5	I	Feedback pin for the internal control loop. Connect this pin to an external feedback divider.
GND	1	G	Ground pin
PG	6	O	Power-good open-drain output pin. The pullup resistor cannot be connected to any voltage higher than 5.5V. If unused, leave the pin open or connect to GND.
SW	2	O	Switch pin connected to the internal FET switches and inductor terminal. Connect the inductor of the output filter to this pin.
VIN	3	I	Power supply voltage pin

(1) I = Input, O = Output, G = Ground

6 Specifications

6.1 Absolute Maximum Ratings

Over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
Pin voltage ⁽²⁾	VIN, EN, PG	−0.3	6	V
	SW, DC	−0.3	VIN + 0.3	V
	SW, transient < 10ns	−3.0	10	V
	FB	−0.3	3	V
TJ	Operating junction temperature	−40	150	°C
Tstg	Storage temperature	−55	150	°C

- (1) Operation outside the Absolute Maximum Ratings may cause permanent device damage. Absolute Maximum Ratings do not imply functional operation of the device at these or any other conditions beyond those listed under Recommended Operating Conditions. If used outside the Recommended Operating Conditions but within the Absolute Maximum Ratings, the device may not be fully functional, and this may affect device reliability, functionality, performance, and shorten the device lifetime.
- (2) All voltage values are with respect to the network ground terminal.

6.2 ESD Ratings

			VALUE	UNIT
V(ESD)	Electrostatic discharge	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±2000	V
		Charged-device model (CDM), per ANSI/ESDA/JEDEC JS-002 ⁽²⁾	±500	

- (1) JEDEC document JEP155 states that 500V HBM allows safe manufacturing with a standard ESD control process.
- (2) JEDEC document JEP157 states that 250V CDM allows safe manufacturing with a standard ESD control process.

6.3 Recommended Operating Conditions

Over operating junction temperature range (unless otherwise noted)

			MIN	NOM	MAX	UNIT
VIN	Input supply voltage range		2.5		5.5	V
VOU	Output voltage range		0.6		VIN	V
L	Effective inductance			0.22		μH
COU	Effective output capacitance	VOUT < 1.2V		120		μF
COU	Effective output capacitance	1.2V <= VOUT < 1.8V		45		μF
COU	Effective output capacitance	VOUT >= 1.8V		45		μF
IOU	Output current range	TPS62A04	0		4	A
IPG	Power-Good input current capability		0		1	mA
TJ	Operating junction temperature		−40		125	°C

6.4 Thermal Information

THERMAL METRIC ⁽¹⁾		TPS62A04xB	TPS62A04xB	UNIT
		DRL (SOT563)	EVM	
		6 PINS	6 PINS	
RθJA	Junction-to-ambient thermal resistance	137.5	74.5	°C/W
RθJC(top)	Junction-to-case (top) thermal resistance	60.2	-	°C/W
RθJB	Junction-to-board thermal resistance	22.0	-	°C/W
ψJT	Junction-to-top characterization parameter	1.4	1.2	°C/W
ψJB	Junction-to-board characterization parameter	21.6	33.7	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application note.

6.5 Electrical Characteristics

$T_J = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$, $V_{IN} = 2.5\text{V}$ to 5.5V . Typical values are at $T_J = 25^{\circ}\text{C}$ and $V_{IN} = 5\text{V}$ (unless otherwise noted)

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
SUPPLY						
$I_{Q(VIN)}$	VIN quiescent current	Non-switching, $V_{EN} = \text{High}$, $V_{FB} = 610\text{mV}$		26		μA
$I_{SD(VIN)}$	VIN shutdown supply current	$T_J = -40^{\circ}\text{C}$ to 85°C , $V_{EN} = \text{Low}$		0.01	4	μA
UVLO						
$V_{UVLO(R)}$	VIN UVLO rising threshold	V_{IN} rising	2.3	2.4	2.5	V
$V_{UVLO(F)}$	VIN UVLO falling threshold	V_{IN} falling	2.2	2.3	2.4	V
ENABLE						
$V_{EN(R)}$	EN voltage rising threshold	EN rising, enable switching	1.2			V
$V_{EN(F)}$	EN voltage falling threshold	EN falling, disable switching			0.4	V
$V_{EN(LKG)}$	EN Input leakage current	$V_{EN} = 5\text{V}$			100	nA
REFERENCE VOLTAGE						
V_{FB}	FB voltage	$T_J = 0^{\circ}\text{C}$ to 125°C , PWM mode	594	600	606	mV
V_{FB}	FB voltage	PWM mode	591	600	609	mV
$I_{FB(LKG)}$	FB input leakage current	$V_{FB} = 0.6\text{V}$			100	nA
SWITCHING FREQUENCY						
$f_{SW(FCCM)}$	Switching frequency, FPWM operation	$V_{IN} = 5\text{V}$, $V_{OUT} = 1.8\text{V}$		2200		kHz
STARTUP						
	Internal fixed soft-start time	From EN = High to $V_{FB} = 0.56\text{V}$		0.5	1	ms
POWER STAGE						
$R_{DS(on)(HS)}$	High-side MOSFET on-resistance	$V_{IN} = 5\text{V}$		15		m Ω
$R_{DS(on)(LS)}$	Low-side MOSFET on-resistance	$V_{IN} = 5\text{V}$		10		m Ω
OVERCURRENT PROTECTION						
$I_{HS(OC)}$	High-side peak current limit		8.2	10		A
$I_{LS(OC)}$	Low-side valley current limit			9.1		A
POWER GOOD						
V_{PGTH}	Power-Good threshold	PG low, FB falling		93.5		%
V_{PGTH}	Power-Good threshold	PG high, FB rising		96		%
	PG delay falling			30		μs
	PG delay rising			10		μs
$I_{PG(LKG)}$	PG pin Leakage current when open drain output is high	$V_{PG} = 5\text{V}$			100	nA
	PG pin output low-level voltage	$I_{PG} = 1\text{mA}$			400	mV
OUTPUT DISCHARGE						
	Output discharge current on SW pin	$V_{IN} = 3.0\text{V}$, $V_{OUT} = 2.0\text{V}$		150		mA
THERMAL SHUTDOWN						
$T_{J(SD)}$	Thermal shutdown threshold	Temperature rising		170		$^{\circ}\text{C}$
$T_{J(HYS)}$	Thermal shutdown hysteresis			20		$^{\circ}\text{C}$

6.6 Typical Characteristics

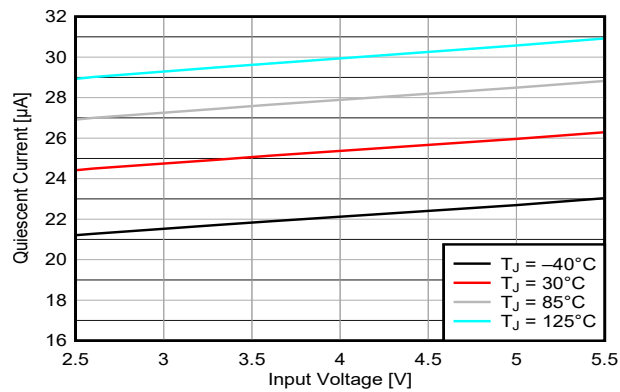


図 6-1. Quiescent Current vs Input Voltage

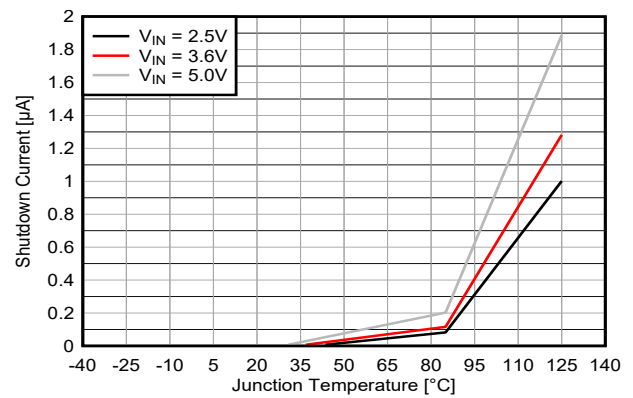


図 6-2. Shutdown Current vs Junction Temperature

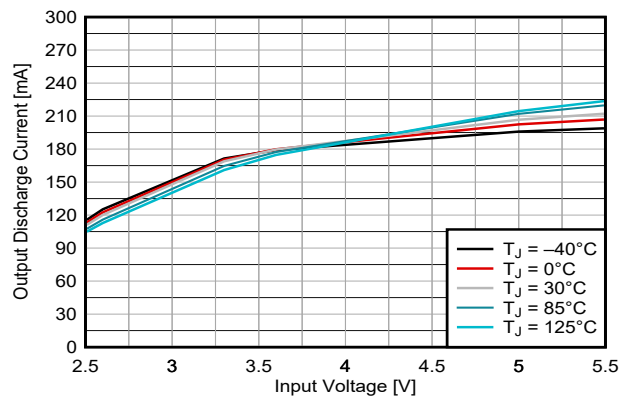


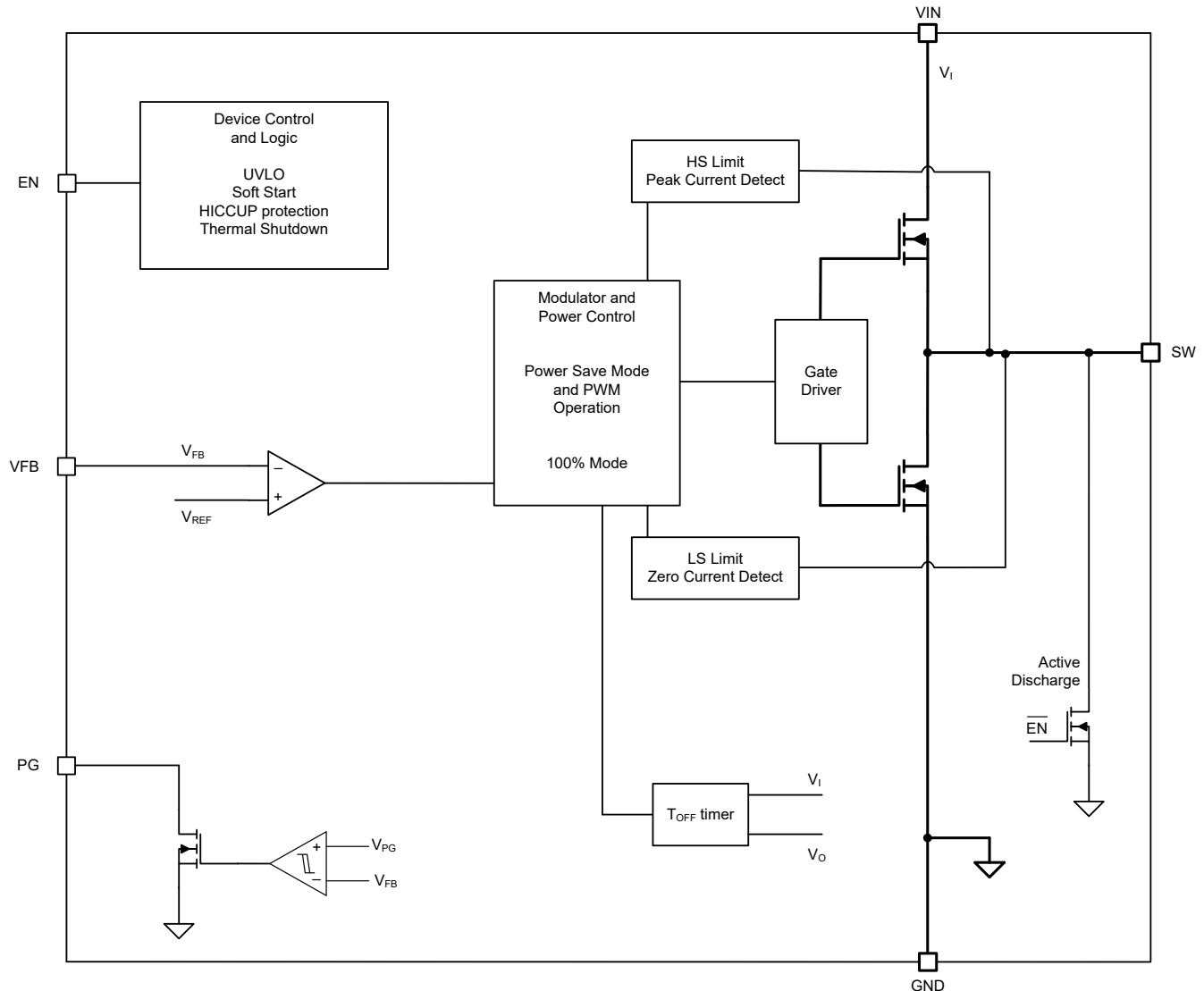
図 6-3. Output Discharge Current vs Input Voltage

7 Detailed Description

7.1 Overview

The TPS62A04xB is a high-efficiency, synchronous, step-down converter. The device operates with an adaptive off time with a peak current control scheme. The device operates typically at 2.2MHz frequency pulse width modulation (PWM) at moderate to heavy load currents. Based on the V_{IN}/V_{OUT} ratio, a simple circuit sets the required off time for the low-side MOSFET. This action makes the switching frequency relatively constant regardless of the variation of the input voltage, output voltage, and load current.

7.2 Functional Block Diagram



7.3 Feature Description

7.3.1 Power Save Mode

The device automatically enters power save mode to improve efficiency at light load when the inductor current becomes discontinuous. In power save mode, the converter reduces the switching frequency and minimizes current consumption. In power save mode, the output voltage rises slightly above the nominal output voltage. This effect is minimized by increasing the output capacitor or adding a feedforward capacitor.

7.3.2 100% Duty Cycle Low Dropout Operation

The device offers low input-to-output voltage difference by entering 100% duty cycle mode. In this mode, the high-side MOSFET switch is constantly turned on and the low-side MOSFET is switched off. The minimum input voltage to maintain output regulation, depending on the load current and output voltage, is calculated as:

$$V_{IN(MIN)} = V_{OUT} + I_{OUT} \times R_{DS(ON)} + R_L \quad (1)$$

where

- $R_{DS(ON)}$ = High-side FET on-resistance
- R_L = Inductor ohmic resistance (DCR)

7.3.3 Soft Start

After enabling the device, internal soft start-up circuitry ramps up the output voltage, which reaches the nominal output voltage during start-up time, avoiding excessive inrush current and creating a smooth output voltage rise slope. Soft start-up circuitry also prevents excessive voltage drops of primary cells and rechargeable batteries with high internal impedance.

The TPS62A04B is able to start into a prebiased output capacitor. The converter starts with the applied bias voltage and ramps the output voltage to the nominal value.

7.3.4 Switch Current Limit and Short-Circuit Protection (HICCUP)

The switch current limit prevents the device from high inductor current and from drawing excessive current from the battery or input voltage rail. Excessive current can occur with a shorted or saturated inductor or an overload or shorted output circuit condition. If the inductor current reaches the threshold I_{LIM} , the high-side MOSFET is turned off and the low-side MOSFET is turned on to ramp down the inductor current with an adaptive off time.

When this switch current limit is triggered 32 times, the device reduces the current limit for further 32 cycles and then stops switching to protect the output. The device then automatically starts a new start-up after a typical delay time of 500µs has passed. This action is named HICCUP short-circuit protection. The device repeats this mode until the high load condition disappears. HICCUP protection is also enabled during the start-up.

7.3.5 Undervoltage Lockout

To avoid misoperation of the device at low input voltages, an undervoltage lockout (UVLO) is implemented, which shuts down the device at voltages lower than V_{UVLO} with a hysteresis of 130mV.

7.3.6 Thermal Shutdown

The device goes into thermal shutdown and stops switching when the junction temperature exceeds T_{JSD} . When the device temperature falls below the threshold by 20°C, the device returns to normal operation automatically.

7.4 Device Functional Modes

7.4.1 Enable and Disable

The device is enabled by setting the EN input to a logic High. Accordingly, a logic Low disables the device. If the device is enabled, the internal power stage starts switching and regulates the output voltage to the set point voltage. The EN input must be terminated and must not be left floating.

7.4.2 Power Good

The TPS62A04xB has a built-in power-good (PG) feature to indicate whether the output voltage has reached the target and the device is ready. The PG signal can be used for start-up sequencing of multiple rails. The PG pin is an open-drain output that requires a pullup resistor to any voltage up to the recommended input voltage level. PG is low when the device is turned off due to EN, UVLO (undervoltage lockout), or thermal shutdown. VIN must remain present for the PG pin to stay low.

If the power-good output is not used, TI recommends to tie to GND or leave open.

表 7-1. Power-Good indicator Functional Table

LOGIC SIGNALS				PG STATUS
V_I	EN PIN	THERMAL SHUTDOWN	V_O	
$V_I > UVLO$	HIGH	NO	V_O on target	High impedance
			$V_O < \text{target}$	LOW
			YES	LOW
		YES	x	LOW
	$UVLO < V_I < 1.8V$	x	x	LOW
$V_I < 1.8V$	x	x	x	Undefined

The PG indicator features a deglitch to avoid the signal indicating glitches or transient responses from the loop sketch the behavior.

8 Application and Implementation

注

Information in the following applications sections is not part of the TI component specification, and TI does not warrant its accuracy or completeness. TI's customers are responsible for determining suitability of components for their purposes, as well as validating and testing their design implementation to confirm system functionality.

8.1 Application Information

The following section discusses the design of the external components to complete the power supply design for several input and output voltage options by using typical applications as a reference.

8.2 Typical Application

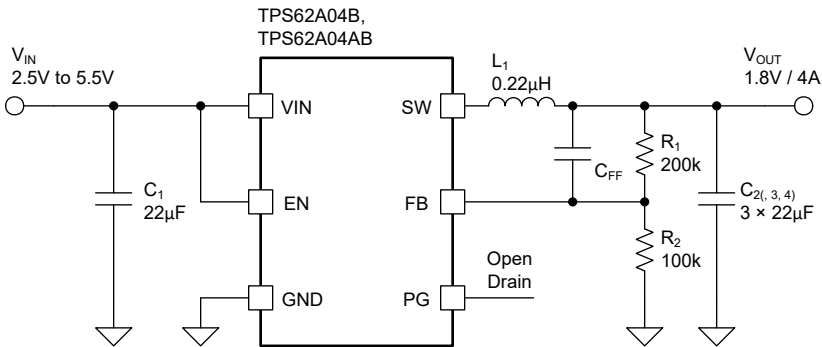


図 8-1. TPS62A04xB Typical Application Circuit

8.2.1 Design Requirements

For this design example, use the parameters listed in 表 8-1 as the input parameters

表 8-1. Design Parameters

DESIGN PARAMETER	EXAMPLE VALUE
Input voltage	2.5V to 5.5V
Output voltage	1.2V
Maximum output current	4.0A

表 8-2 lists the components used for the example.

表 8-2. List of Components

REFERENCE	DESCRIPTION	MANUFACTURER ⁽¹⁾
C1	22µF, ceramic capacitor, 10V, X7R, size 0805, GRM21BZ71A226KE15L	Murata
C2, (C3, C4)	22µF, ceramic capacitor, 10V, X7R, size 0805, GRM21BZ71A226KE15L	Murata
L1	0.22µH, power inductor, XGL4015-221MEC	Coilcraft
R1, R2	Chip resistor, 1%, size 0603	Std.
CFF	Optional, 120pF if needed	Std.

(1) See the *Third-Party Products Disclaimer*.

8.2.2 Detailed Design Procedure

8.2.2.1 Setting the Output Voltage

The output voltage is set by an external resistor divider according to 式 2. To keep the feedback (FB) net robust from noise, set R2 equal to or lower than 100kΩ to have at least 6μA of current in the voltage divider. Lower values of FB resistors achieve better noise immunity, and lower light load efficiency, as explained in the [Design Considerations for a Resistive Feedback Divider in a DC/DC Converter analog design journal](#).

$$R1 = R2 \times \left(\frac{V_{OUT}}{V_{FB}} - 1 \right) = R2 \times \left(\frac{V_{OUT}}{0.6V} - 1 \right) \quad (2)$$

8.2.2.2 Feedforward Capacitor

A feedforward capacitor C_{FF} in parallel with R₁ improves the load transient performance and reduces the output ripple voltage in PSM. The recommended value for C_{FF} is 120pF.

8.2.2.3 Output Filter Design

The inductor and output capacitor together provide a low-pass filter. To simplify this process, 表 8-3 outlines possible inductor and capacitor value combinations. Checked cells represent combinations that are proven for stability by simulation and lab test. Check further combinations for each individual application.

表 8-3. Matrix of Output Capacitor and Inductor Combinations

V _{OUT} [V]	L [μH] ⁽¹⁾	C _{OUT} [μF] ⁽²⁾		
		3 × 22	2 × 47	3 × 47
0.6 ≤ V _{OUT} < 1.2	0.22		++ ⁽³⁾	++
1.2 ≤ V _{OUT} < 1.8	0.22	++ ⁽³⁾	+	+
1.8 ≤ V _{OUT}	0.22	++ ⁽³⁾	+	+

(1) Inductor tolerance and current derating is anticipated. The effective inductance can vary by +20% and –30%.

(2) Capacitance tolerance and bias voltage derating is anticipated. The effective capacitance can vary by +20% and –50%.

(3) This LC combination is the standard value and recommended for most applications.

8.2.2.4 Input and Output Capacitor Selection

The architecture of the TPS62A04xB allows use of tiny ceramic-type output capacitors with low equivalent series resistance (ESR). These capacitors provide low output voltage ripple and are thus recommended. To keep resistance up to high frequencies and to achieve narrow capacitance variation with temperature, TI recommends to use X7R or X5R dielectric.

The input capacitor is the low impedance energy source for the converter that helps with stable operation. A low-ESR, multilayer ceramic capacitor provides best filtering. For most applications, a 10μF input capacitor is sufficient; larger capacitance reduces input voltage ripple.

The recommended typical output capacitor value for 1.2V output typical application is 45μF of effective capacitance. This capacitance can vary over a wide range, as outlined in 表 8-3.

8.2.3 Application Curves

$V_{IN} = 5.0V$, $V_{OUT} = 1.2V$, $T_A = 25^\circ C$, BOM = 表 8-2 unless otherwise noted.

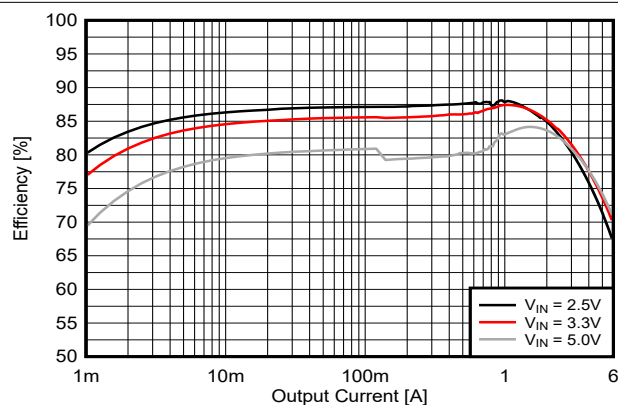


図 8-2. 0.6V Output Efficiency (TPS62A04B)

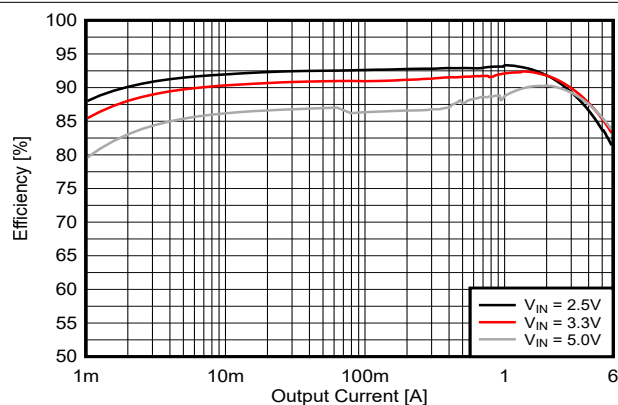


図 8-3. 1.2V Output Efficiency (TPS62A04B)

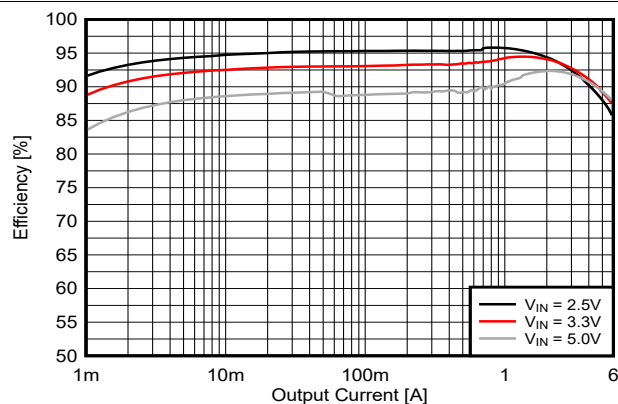


図 8-4. 1.8V Output Efficiency (TPS62A04B)

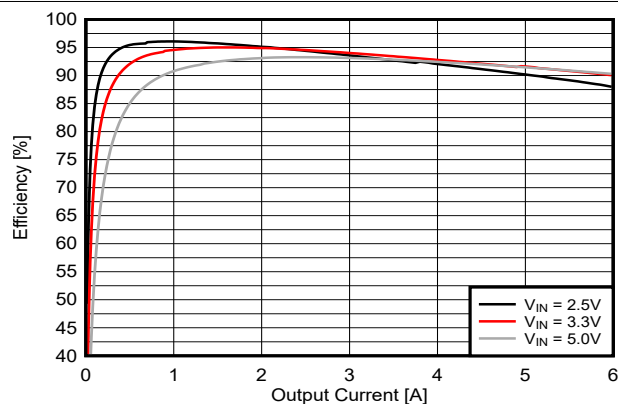


図 8-5. 1.8V Output Efficiency (TPS62A04AB)

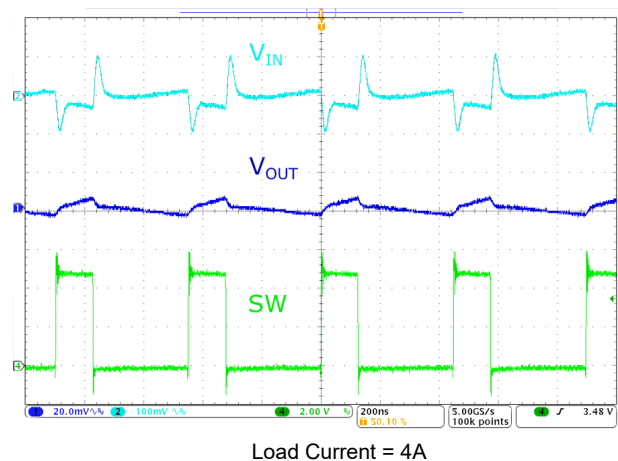


図 8-6. PWM Operation (TPS62A04B)

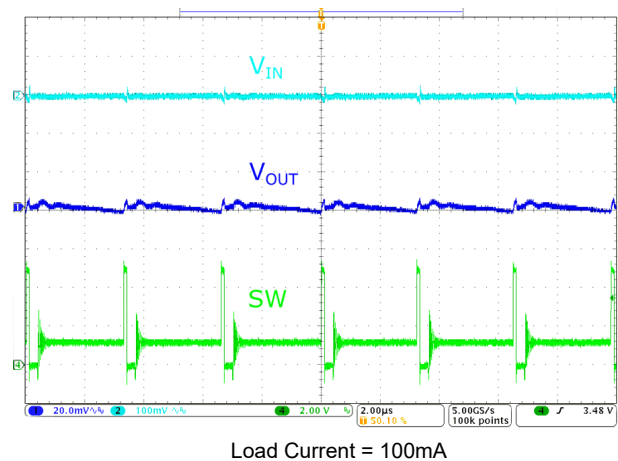


図 8-7. PFM Operation (TPS62A04B)

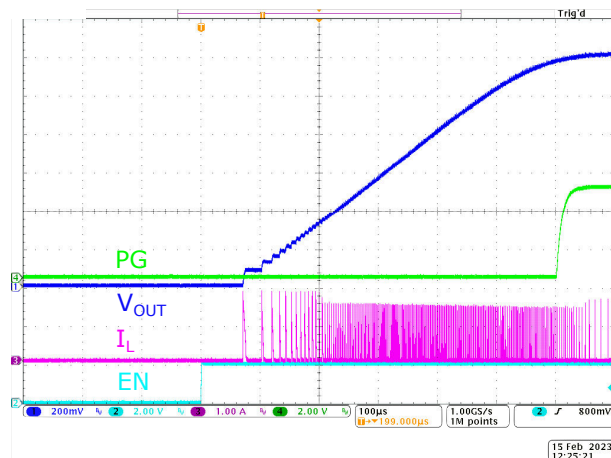


図 8-8. Start-Up With No Load (TPS62A04B)

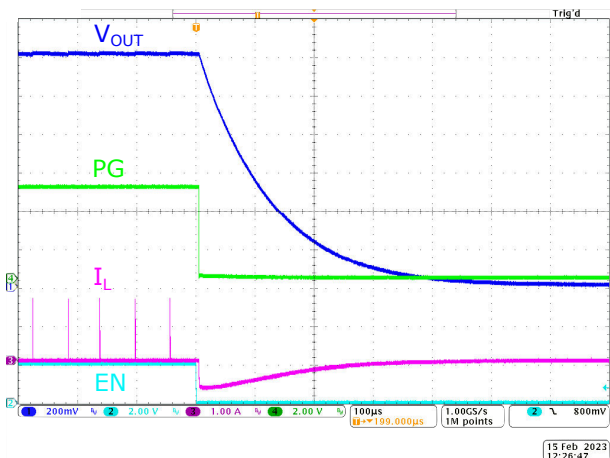
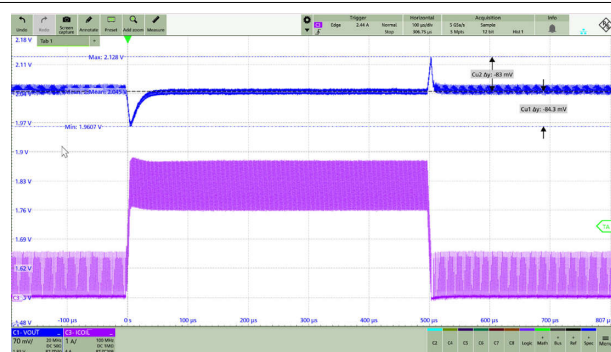


図 8-9. Shutdown With No Load (TPS62A04B)



Load Step: 0.3A to 3.5A, 0.5A/μs

L = TFM160808BLE-R24 (240nH, 1608), C_{OUT} = 4 × 10μF

図 8-10. Load Transient Response (TPS62A04B)

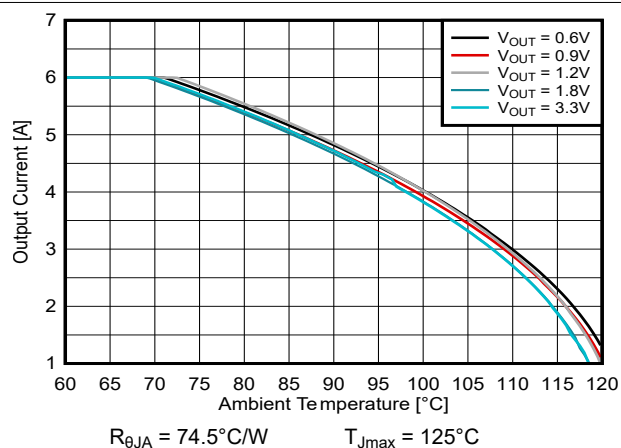


図 8-11. Safe Operating Area Based on EVM, V_{IN} = 5.0V, TPS62A04xBDRL

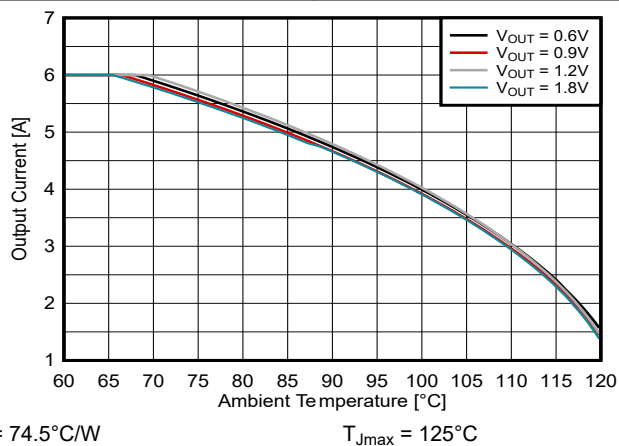


図 8-12. Safe Operating Area Based on EVM, V_{IN} = 3.3V, TPS62A04xBDRL

8.3 Power Supply Recommendations

The device is designed to operate from an input voltage supply range from 2.5V to 5.5V. Make sure that the input power supply has a sufficient current rating for the application.

8.4 Layout

8.4.1 Layout Guidelines

The printed-circuit-board (PCB) layout is an important step to maintain the high performance of the TPS62A04xA device.

- Place the input and output capacitors and the inductor as close as possible to the IC. This action keeps the power traces short. Routing these power traces direct and wide results in low trace resistance and low parasitic inductance.
- Connect the low side of the input and output capacitors properly to the GND pin to avoid a ground potential shift.
- Take special care to avoid noise being induced. The sense traces connected to FB is a signal trace. Keep these traces away from SW nodes.
- Use common ground. GND layers can be used for shielding.

See [Figure 8-13](#) for the recommended PCB layout.

8.4.2 Layout Example

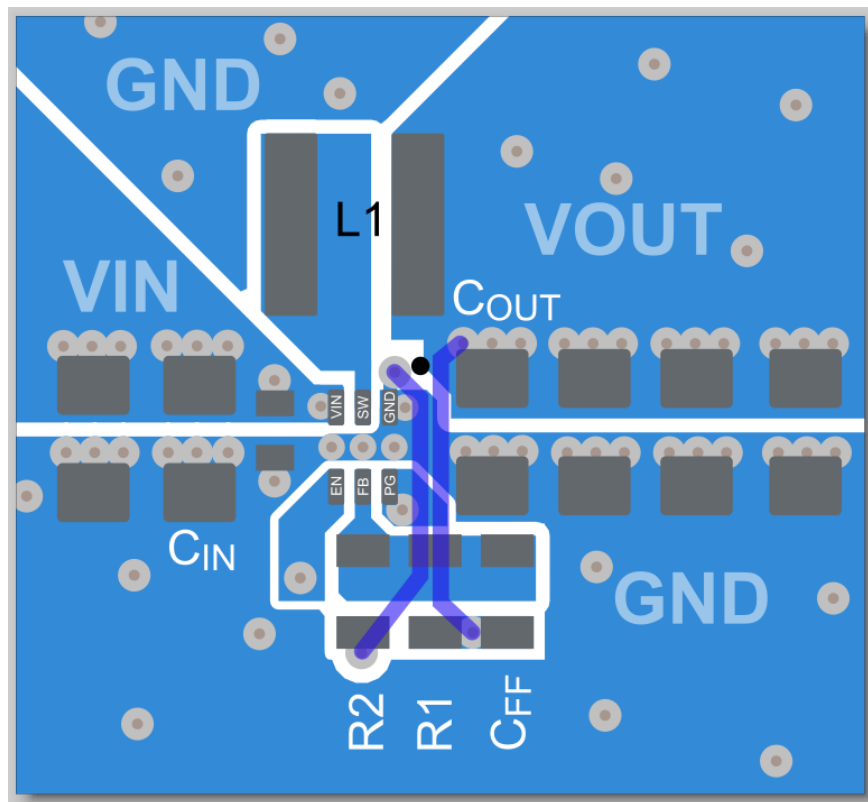


図 8-13. TPS62A04xB PCB Layout Recommendation

9 Device and Documentation Support

9.1 Device Support

9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.2 Documentation Support

9.2.1 Related Documentation

Texas Instruments, [Design Considerations for a Resistive Feedback Divider in a DC/DC Converter analog design journal](#)

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.5 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

DATE	REVISION	NOTES
October 2024	*	Initial Release

11 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS62A04ABDRLR	Active	Production	SOT-5X3 (DRL) 6	4000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1UL
TPS62A04ABDRLR.A	Active	Production	SOT-5X3 (DRL) 6	4000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1UL
TPS62A04BDRLR	Active	Production	SOT-5X3 (DRL) 6	4000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1UK
TPS62A04BDRLR.A	Active	Production	SOT-5X3 (DRL) 6	4000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1UK

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

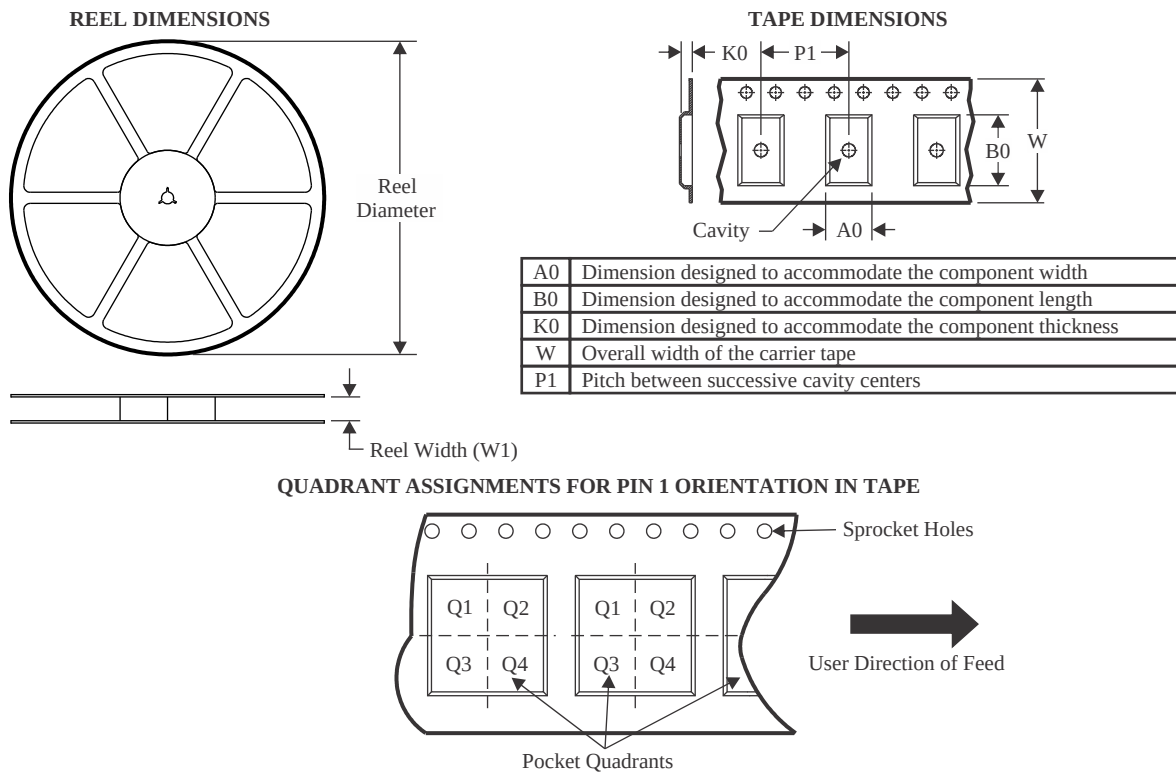
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

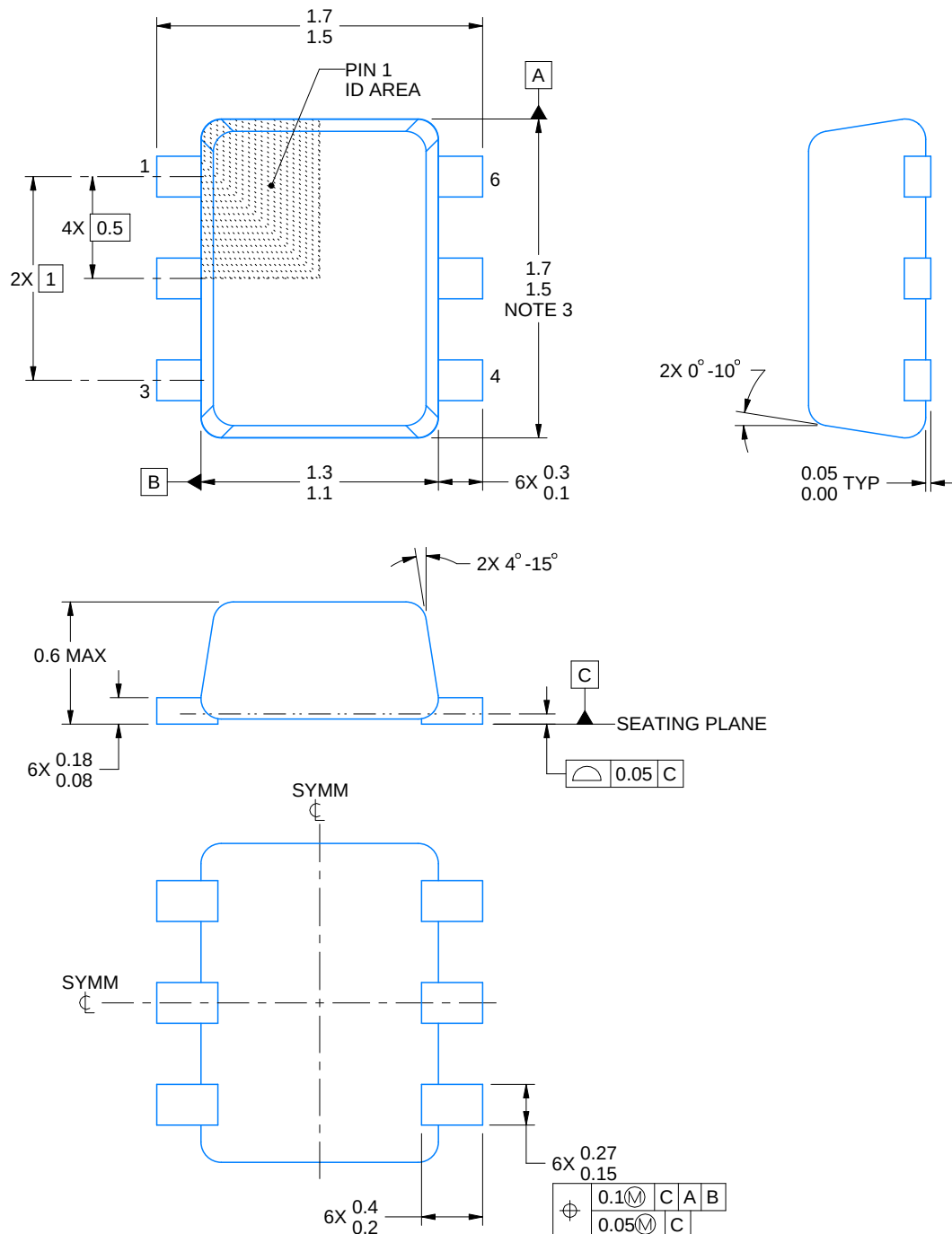
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS62A04ABDRLR	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3
TPS62A04BDRLR	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS62A04ABDRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
TPS62A04BDRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0



4223266/F 11/2024

NOTES:

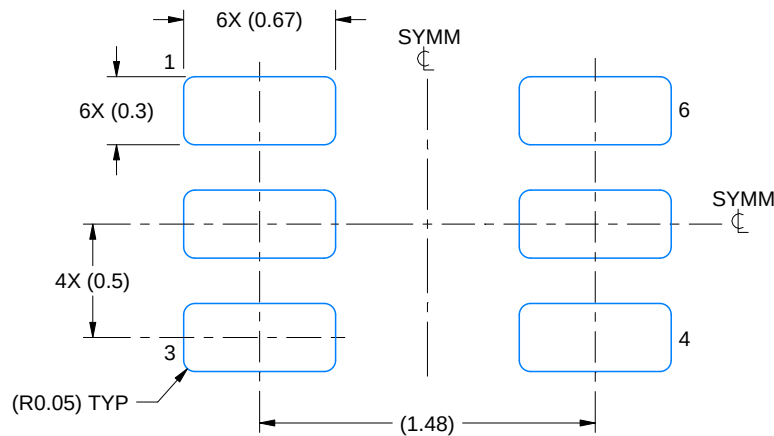
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- Reference JEDEC registration MO-293 Variation UAAD

EXAMPLE BOARD LAYOUT

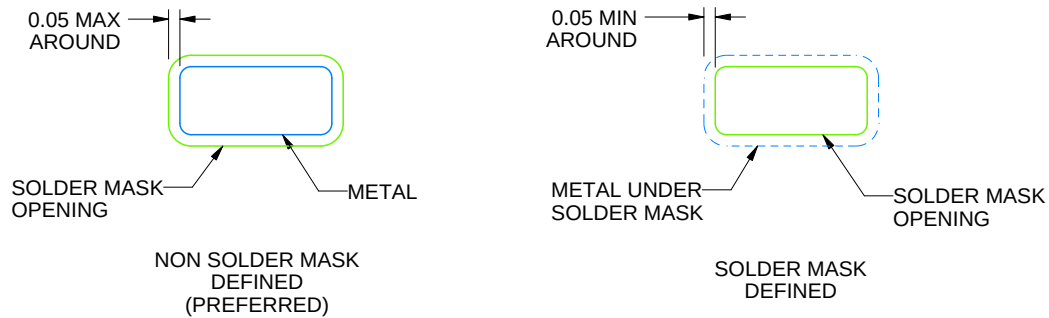
DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:30X



SOLDERMASK DETAILS

4223266/F 11/2024

NOTES: (continued)

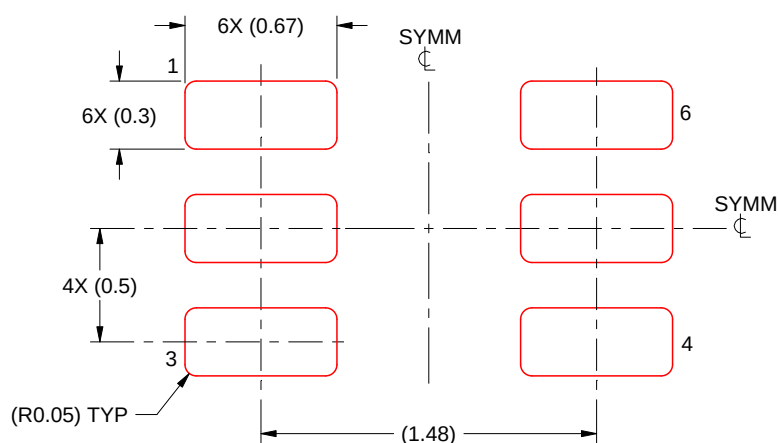
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

EXAMPLE STENCIL DESIGN

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4223266/F 11/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとしします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated