

TPS62A02x-Q1、SOT-563 パッケージの 2A 高効率車載同期整流降圧コンバータ

1 特長

- 入力電圧範囲: 2.5V~5.5V
- 車載アプリケーション向けに AEC-Q100 認証済み
 - デバイス温度グレード 1: -40°C~+125°C T_A
- 調整可能な出力電圧範囲: 0.6V~V_{IN}
- 42mΩ および 27.5mΩ 低 R_{DS(ON)} スイッチ
- 28μA 未満の静止電流
- タイミング精度: 1.5% (-40°C~125°C)
- 100% モード動作
- 2.2MHz のスイッチング周波数
- パワー セーブ モードまたは FPWM 部品が利用可能
- パワー グッド出力ピン
- 短絡保護 (HICCU[®])
- ソフト スタートアップを内蔵
- アクティブ出力放電
- サーマル シャットダウン保護機能
- TPS62A01-Q1 とピン互換
- 4.7μF の C_{IN}、22μF の C_{OUT} および 1μH インダクタ

2 アプリケーション

- フロントカメラ
- サラウンド ビュー システムの ECU
- 車載対応、クラスタ ディスプレイ

3 説明

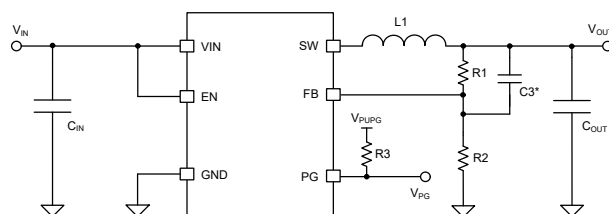
TPS62A02-Q1 および TPS62A02A-Q1 は同期整流降圧型 DC/DC コンバータで、高効率と小型の設計サイズ向けに最適化されています。このデバイスには、最大 2A の出力電流を供給できるスイッチが内蔵されています。中負荷から高負荷では、デバイスはパルス幅変調 (PWM) モードで、2.2MHz のスイッチング周波数で動作します。軽負荷時には、TPS62A02-Q1 は自動的にパワー セーブ モード (PSM) へ移行し、負荷電流範囲の全体にわたって高い効率を維持します。シャットダウン時には、消費電流も最小限に抑えられます。このデバイスの TPS62A02A-Q1 バリエーションは、負荷電流範囲全体にわたって強制 PWM で動作し、一定のスイッチング周波数を維持します。

TPS62A02x-Q1 デバイスは、外付けの分圧抵抗によって出力電圧を変更できます。内部のソフトスタート回路によって起動時の突入電流を制限し、パワー グッド信号は出力電圧が目標値に達したことを示します。過電流保護機能とサーマルシャットダウン保護機能により、アプリケーションとデバイスを保護します。これらのデバイスは、SOT-563 パッケージで供給されます。

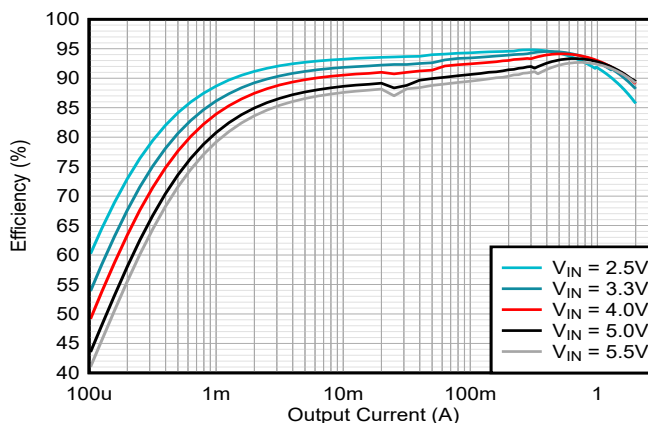
製品情報

部品番号 (3)	動作モード	パッケージ (1)	パッケージ サイズ (2)
TPS62A02-Q1	PSM, PWM	DRL (SOT-563, 6)	1.60mm × 1.60mm
TPS62A02A-Q1	FPWM		

- (1) 詳細については、「[セクション 12](#)」セクションを参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- (3) [デバイス比較表](#)を参照してください。



代表的なアプリケーション



5V_{IN} での出力電流と効率の関係



目次

1 特長.....	1	8.4 デバイスの機能モード.....	8
2 アプリケーション.....	1	9 アプリケーションと実装.....	10
3 説明.....	1	9.1 アプリケーション情報.....	10
4 デバイス比較表.....	3	9.2 代表的なアプリケーション.....	10
5 ピン構成および機能.....	3	9.3 電源に関する推奨事項.....	15
6 仕様.....	4	9.4 レイアウト.....	15
6.1 絶対最大定格.....	4	10 デバイスおよびドキュメントのサポート.....	16
6.2 ESD 定格.....	4	10.1 デバイス サポート.....	16
6.3 推奨動作条件.....	4	10.2 ドキュメントのサポート.....	16
6.4 熱に関する情報.....	4	10.3 ドキュメントの更新通知を受け取る方法.....	16
6.5 電気的特性.....	5	10.4 サポート・リソース.....	16
7 代表的特性.....	6	10.5 商標.....	16
8 詳細説明.....	7	10.6 静電気放電に関する注意事項.....	16
8.1 概要.....	7	10.7 用語集.....	16
8.2 機能ブロック図.....	7	11 改訂履歴.....	16
8.3 機能説明.....	8	12 メカニカル、パッケージ、および注文情報.....	16

4 デバイス比較表

部品番号	出力電流	パッケージ	動作モード
TPS62A02-Q1	2A	SOT-563	PSM、PWM
TPS62A02A-Q1	2A	SOT-563	FPWM

5 ピン構成および機能

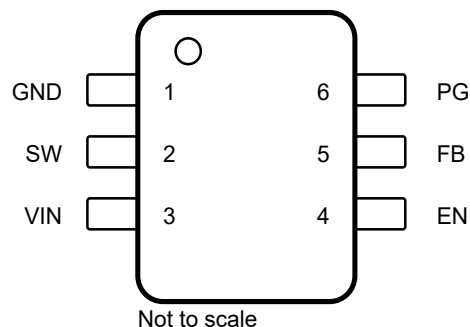


図 5-1. 6 ピン DRL SOT-563 パッケージ (上面図)

表 5-1. ピンの機能

ピン		種類 ⁽¹⁾	説明
名称	番号		
GND	1	G	グラウンドピン
SW	2	O	内部 FET スイッチおよびインダクタ端子に接続されたスイッチピン。出力フィルタのインダクタをこのピンに接続します。
VIN	3	I	電源電圧ピン
EN	4	I	デバイスイネーブルロジック入力。ロジック High にすると、デバイスはイネーブルになります。ロジック Low にすると、デバイスがディスエーブルになり、シャットダウンします。ピンをフローティングのままにしないでください。
FB	5	I	内部制御ループの帰還ピン。このピンは、外部の帰還デバイスに接続します。
PG	6	O	パワーグッドオープンドレイン出力ピン。プルアップ抵抗は 5.5V を超える電圧には接続できません。このピンを使わない場合、オープンのままにするか、GND に接続します。

(1) I = 入力、O = 出力、G = グラウンド

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲(特に注記のない限り)⁽¹⁾

		最小値	最大値	単位
ピン電圧 ⁽²⁾	VIN, EN, PG	-0.3	6	V
	SW, DC	-0.3	VIN + 0.3	V
	SW, 過渡 < 10ns	-3.0	10	V
	FB	-0.3	3	V
動作時接合部温度	TJ	-40	150	°C
保存温度	Tstg	-55	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値は、回路のグランド端子 GND を基準としたものです。

6.2 ESD 定格

		値	単位
VESD	静電放電	人体モデル (HBM)、AEC - Q100-002 準拠 ⁽¹⁾	±2000
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	±500

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

動作時接合部温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
VIN	入力電源電圧範囲		2.5		5.5	V
VOU	出力電圧範囲		0.6		VIN	V
IOUT	出力電流範囲	TPS62A02-Q1			2	A
L	実効インダクタンス		0.3	1.0	1.2	μH
COU	出力容量	VOU < 1.2V		44		μF
COU	出力容量	1.2V ≤ VOU < 1.8V		22		μF
COU	出力容量	VOU ≥ 1.8V		22		μF
IPG	パワー グッド入力電流能力		0		1	mA
TJ	動作時接合部温度		-40		150	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS62A02x-Q1	単位
		DRL (SOT-563)	
		6 ピン	
RθJA	接合部から周囲への熱抵抗	157.3	°C/W
RθJC(top)	接合部からケース (上面) への熱抵抗	92.2	°C/W
RθJB	接合部から基板への熱抵抗	45.6	°C/W
ψJT	接合部から上面への特性パラメータ	4.0	°C/W
ψJB	接合部から基板への特性パラメータ	45.0	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

6.5 電気的特性

$T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ 、 $V_{IN} = 2.5\text{V} \sim 5.5\text{V}$ 。代表値は、 $T_J = 25^{\circ}\text{C}$ および $V_{IN} = 5\text{V}$ です (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
$I_{Q(VIN)}$	VIN 静止電流	非スイッチング、 $V_{EN} = \text{High}$ 、 $V_{FB} = 610\text{mV}$		28		μA
$I_{SD(VIN)}$	VIN のシャットダウン時消費電流	$V_{EN} = \text{Low}$		0.15	10	μA
UVLO						
$V_{UVLO(R)}$	VIN UVLO 立ち上がりスレッショルド	V_{IN} 立ち上がり	2.3	2.4	2.5	V
$V_{UVLO(F)}$	VIN UVLO 立ち下がりスレッショルド	V_{IN} 立ち下がり	2.2	2.3	2.4	V
イネーブル						
$V_{EN(R)}$	EN の High レベル入力電圧	EN 立ち上がり、スイッチングはイネーブル			0.8	V
$V_{EN(F)}$	EN の Low レベル入力電圧	EN 立ち下がり、スイッチングはディスエーブル	0.4			V
$V_{EN(LKG)}$	EN の入力リーク電流	$V_{EN} = 5\text{V}$			250	nA
基準電圧						
V_{FB}	FB 電圧	PWM モード	591	600	609	mV
	負荷に依存する出力電圧降下 (ロードレギュレーション)	PWM モード		0.15		%/A
$I_{FB(LKG)}$	FB の入力リーク電流	$V_{FB} = 0.6\text{V}$			100	nA
スイッチング周波数						
$f_{SW(FCCM)}$	スイッチング周波数、FPWM 動作	$V_{IN} = 5\text{V}$ 、 $V_{OUT} = 1.8\text{V}$		2200		kHz
スタートアップ						
	内部固定ソフトスタート時間	EN = High から $V_{FB} = 0.56\text{V}$ 、 $V_{OUT} = 0.6\text{V}$ まで	0.3		1.2	ms
電力段						
$R_{DS(ON)(HS)}$	ハイサイド MOSFET オン抵抗	$V_{IN} = 5\text{V}$		42		m Ω
$R_{DS(ON)(LS)}$	ローサイド MOSFET オン抵抗	$V_{IN} = 5\text{V}$		28		m Ω
過電流保護						
$I_{HS(OC)}$	ハイサイド ピーク電流制限	TPS62A02-Q1、 $V_{IN} = 3.3\text{V}$	2.7	3.3		A
$I_{LS(OC)}$	ローサイドのバレー電流制限	TPS62A02-Q1、 $V_{IN} = 3.3\text{V}$		3.2		A
$I_{LPEAK(min)}$	PSM のピーク インダクタ電流			0.5		A
パワー グッド						
V_{PGTH}	パワー グッド スレッショルド	PG High から Low (立ち下がりエッジ)、FB 立ち下がり		93.5		%
V_{PGTH}	パワー グッド スレッショルド	PG Low から High (立ち上がりエッジ)、FB 立ち上がり		96		%
	PG 遅延立ち下がり			35		μs
	PG 遅延立ち上がり			11		μs
$I_{PG(LKG)}$	オープンドレイン出力が High の PG ピンのリーク電流	$V_{PG} = 5\text{V}$			100	nA
	PG ピン出力 Low レベル電圧	$I_{PG} = 1\text{mA}$			300	mV
出力放電						
	SW ピンの出力放電電流	$V_{IN} = 3\text{V}$ 、 $V_{OUT} = 2.0\text{V}$		120		mA
サーマル シャットダウン						
$T_{J(SD)}$	サーマル シャットダウンのスレッショルド	温度上昇		165		$^{\circ}\text{C}$
$T_{J(HYS)}$	サーマル シャットダウン ヒステリシス			20		$^{\circ}\text{C}$

7 代表的特性

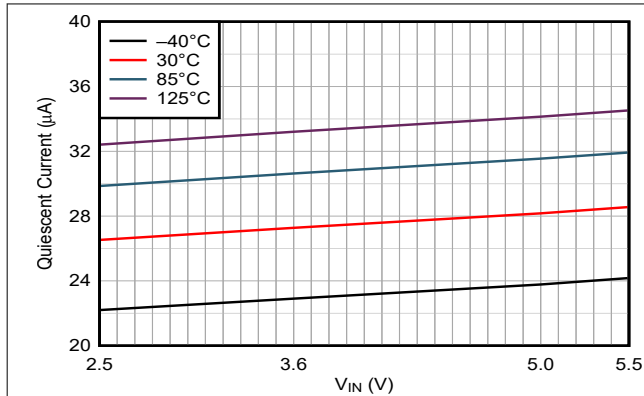


図 7-1. 静止電流と入力電圧との関係

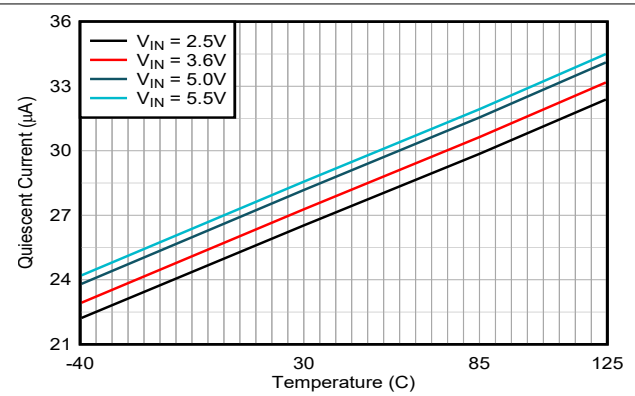


図 7-2. 静止電流と接合部温度との関係

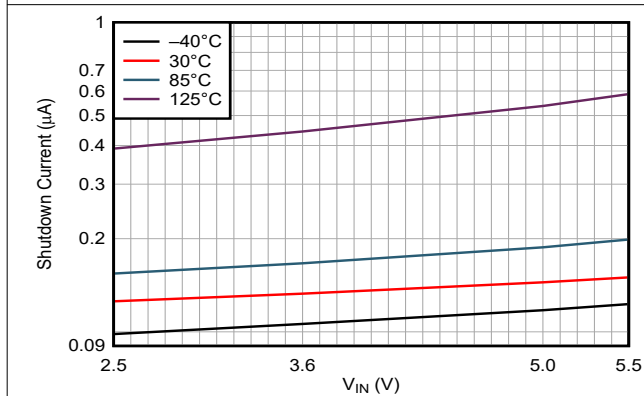


図 7-3. シャットダウン電流と入力電圧との関係

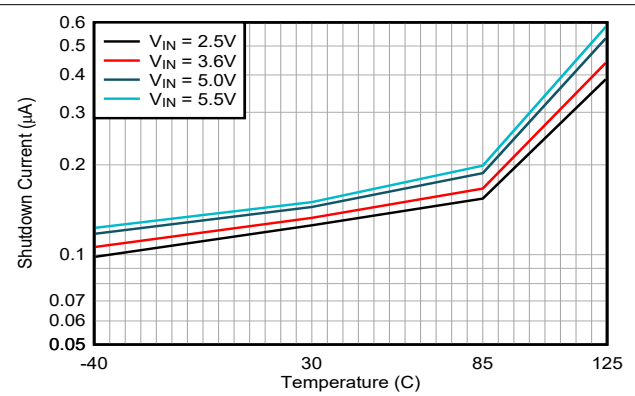


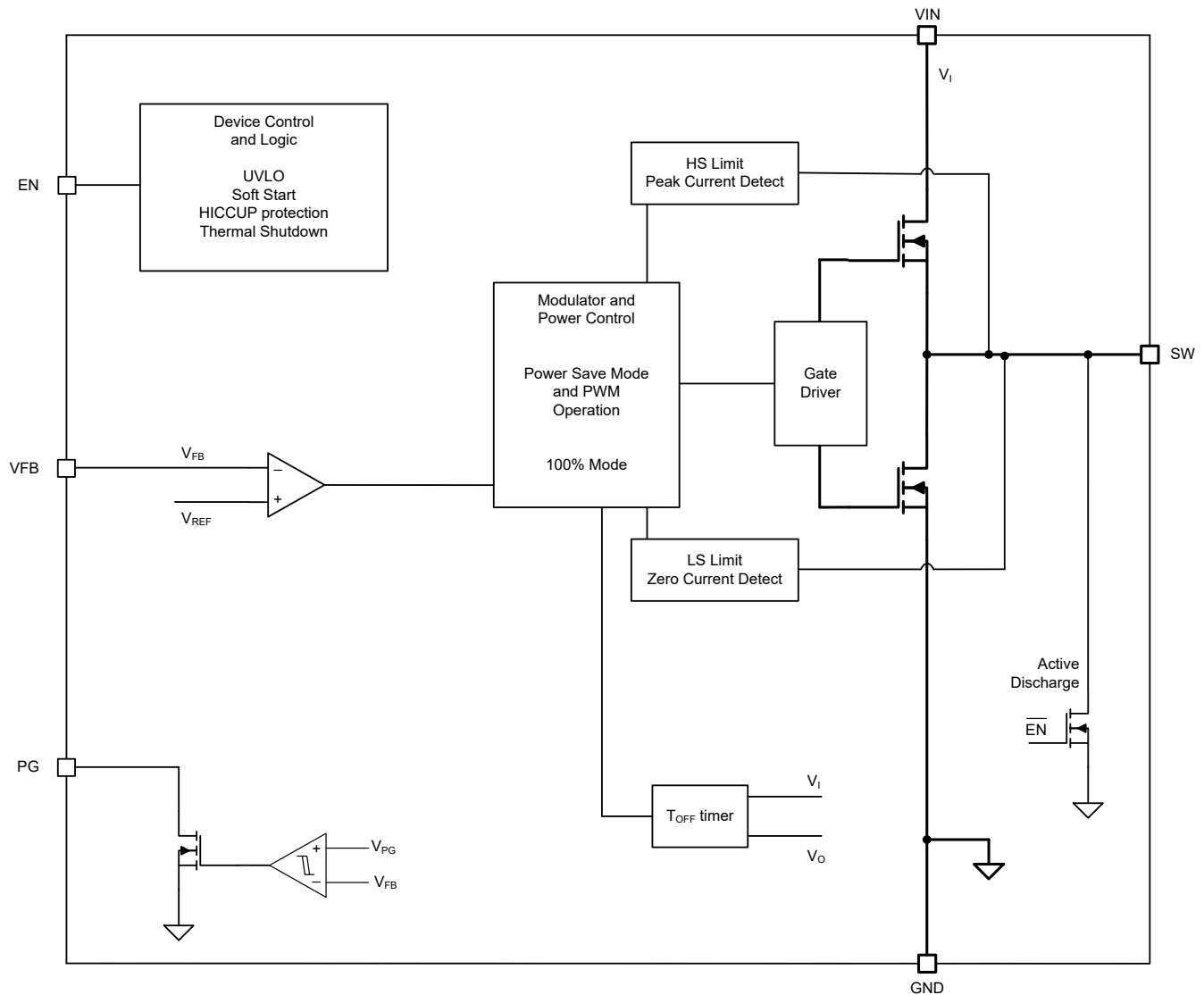
図 7-4. シャットダウン電流と接合部温度との関係

8 詳細説明

8.1 概要

TPS62A02-Q1 および TPS62A02A-Q1 は、高効率の同期整流降圧型コンバータファミリです。このデバイスは、ピーク電流制御方式に基づく適応型オフ時間機能を使用して動作します。TPS62A02A-Q1 の標準動作周波数は 2.2MHz で、パルス幅変調 (PWM) を使用して出力電圧レギュレーションを行います。 V_{IN}/V_{OUT} の比率に基づいて、単純な回路によりローサイド MOSFET に必要なオフ時間が設定されるため、入力電圧、出力電圧、負荷電流の変動に関係なく、スイッチング周波数は比較的一定になります。TPS62A02-Q1 は、軽負荷時にスイッチング周波数を下げて消費電力を削減します。

8.2 機能ブロック図



8.3 機能説明

8.3.1 パワー セーブ モード

インダクタ電流が不連続になると、デバイスは自動的にパワー セーブ モードに移行し、軽負荷時の効率を向上させます。パワー セーブ モードでは、コンバータはスイッチング周波数を低減し、消費電流を最小化します。パワーセーブ モードでは、出力電圧が公称出力電圧をわずかに上回ります。この影響は、出力コンデンサを増やすか、フィードフォワード コンデンサを追加することで最小限に抑えられます。

8.3.2 100% デューティ サイクル対応の低ドロップアウト動作

このデバイスは、100% のデューティ サイクル モードに移行することで、入力と出力の間の電圧差を低く抑えます。このモードでは、ハイサイド MOSFET スイッチが継続的にオンになり、ローサイド MOSFET スイッチはオフになります。出力レギュレーションを維持するための入力電圧の最小値は、負荷電流と出力電圧に応じて、次のように計算されます。

$$V_{IN(MIN)} = V_{OUT} + I_{OUT} \times (R_{DS(ON)} + R_L) \quad (1)$$

ここで、

- $R_{DS(ON)}$ = ハイサイド FET オン抵抗
- R_L = インダクタ オーム抵抗 (DCR)

8.3.3 ソフト スタート

デバイスをイネーブルにした後、内部ソフトスタート回路により出力電圧が徐々に上昇し、スタートアップ時間中に公称出力電圧に達します。これにより、過剰な突入電流を防止し、スムーズな電圧立ち上がり勾配を作り出します。また、内部ソフトスタート回路は、内部インピーダンスが高い一次電池や再充電可能バッテリーの過剰な電圧降下も防止します。

TPS62A02x-Q1 は、プリバイアス出力コンデンサで起動できます。コンバータは、印加されたバイアス電圧で起動し、出力電圧を公称値に上昇させます。

8.3.4 スイッチ電流制限と短絡保護回路 (HICCUP)

スイッチ電流制限により、デバイスを大きなインダクタ電流から保護して、バッテリーや入力レールから過剰な電流が流れるのを防ぎます。内部伝搬遅延が原因で、その間に AC ピーク電流が静的電流制限値を上回ることがあります。インダクタの短絡や飽和、過負荷、または出力回路の短絡状態が原因で、過剰な電流が発生する可能性があります。インダクタ電流がスレッシュホルド I_{LIM} に達すると、ハイサイド MOSFET がオフになり、ローサイド MOSFET がオンになって、適応型オフ時間でインダクタ電流を減少させます。

このスイッチ電流制限が 32 回トリガされると、デバイスは出力を保護するためにスイッチングを停止します。その後、100 μ s の標準の遅延時間が経過すると、本デバイスは自動的に新しいスタートアップを開始します。この動作は、HICCUP 短絡保護と呼ばれています。デバイスは、高負荷状態が解消されるまでこのモードを繰り返します。HICCUP 保護は、スタートアップ中もイネーブルされます。

8.3.5 低電圧誤動作防止

低入力電圧時のデバイスの誤動作を防止するため、電圧が V_{UVLO} より低い場合にデバイスをシャットダウンする、低電圧誤動作防止 (UVLO) が実装されています。

8.3.6 サーマル シャットダウン

接合部温度が $T_{J(SD)}$ を超えると、デバイスはサーマル シャットダウン状態に移行し、スイッチングを停止します。デバイス温度がスレッシュホルドの $T_{J(HYS)}$ を下回ると、デバイスは自動的に通常動作に戻ります。

8.4 デバイスの機能モード

8.4.1 イネーブルおよびディセーブル

EN 入力をロジック High に設定すると、デバイスがイネーブルになります。したがって、ロジック Low に設定すると、デバイスはディセーブルになります。デバイスがイネーブルの場合、内部電力段はスイッチングを開始し、出力電圧を設定点電圧にレギュレートします。EN 入力は終端し、フローティングのままにしないでください。

8.4.2 パワー グッド

TPS62A02x-Q1 には、出力電圧が目標値に達し、本デバイスの準備が整ったかどうかを示すため、パワー グッド (PG) 機能が内蔵されています。PG 信号は、スタートアップ時の複数のレールのシーケンシングに使用できます。PG ピンは、推奨入力電圧レベルに合致する任意の電圧に接続されたプルアップ抵抗を必要とするオープンドレイン出力です。EN、UVLO (低電圧誤動作防止)、サーマル シャットダウンにより本デバイスがターンオフされると、PG は Low になります。PG ピンが Low に維持されるには、VIN が印加され続けている必要があります。パワー グッドを使用しない場合、GND に接続するか、オープンのままにしておくことができます。PG インジケータにはグリッチ除去機能があり、グリッチや過渡応答を示す信号のループを回避できます。

表 8-1. パワー グッド インジケータの機能表

ロジック信号				PG のステータス
VI	EN ピン	サーマル シャットダウン	VO	
VI > UVLO	High	なし	VO ≥ 目標値	高インピーダンス
			VO < 目標値	Low
	Low	あり	x	Low
		x	x	Low
1.8V ≤ VI ≤ UVLO	x	x	x	Low
VI < 1.8V	x	x	x	未定義

9 アプリケーションと実装

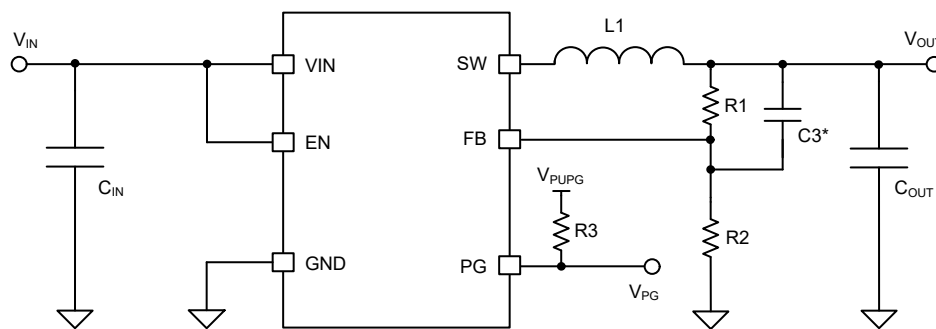
注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

以下のセクションでは、代表的なアプリケーションに基づいて、いくつかの入力および出力電圧の選択肢について、電源設計を完成させるための外部部品の設計について説明します。

9.2 代表的なアプリケーション



A. C3 はオプションです

図 9-1. TPS62A02-Q1 の代表的なアプリケーション回路

9.2.1 設計要件

この設計例では、表 9-1 に記載されているパラメータを入力パラメータとして使用します。

表 9-1. 設計パラメータ

設計パラメータ	数値の例
入力電圧	2.5V ~ 5.5V
出力電圧	1.8V
最大出力電流	2A

この例で使用する部品のリストを表 9-2 に示します。

表 9-2. 部品のリスト

リファレンス	説明	メーカー ⁽¹⁾
C1	4.7μF、セラミック コンデンサ、10V、X7R、サイズ 0805、GRM21BR71A475KA73L	Murata (村田製作所)
C2	22μF、セラミック コンデンサ、10V、X7R、サイズ 0805、GRM21BZ71A226KE15L	Murata (村田製作所)
L1	1μH、パワー インダクタ、XGL3520-102MEC	Coilcraft
R1、R2、R3	R1 = 200kΩ、R2 = 100kΩ、R3 = 499kΩ、チップ抵抗、1%、サイズ 0603	標準
C3	オプションで 120pF まで、この部品表を使用して、3.3V VOUT の場合 10pF、1.8V の場合 15pF、1.2V の場合 22pF をチェック。変更を実装するときは、ボード測定値で位相マージンが 45 度を超えることを確認します。	標準

(1) 「サードパーティ製品に関する免責事項」をご覧ください。

9.2.2 詳細な設計手順

9.2.2.1 出力電圧の設定

TPS62A02-Q1 の出力電圧は可変です。出力電圧は、 V_{OUT} から GND への抵抗デバイダを使って、 $0.6V \sim V_{IN}$ に設定できます。FB ピンの電圧は $600mV$ にレギュレートされています。出力電圧の値は、出力抵抗デバイダによって設定されます。これらの抵抗の値は、[式 2](#) によって、または [表 9-3](#) の抵抗値を使用して計算できます。TI では、 $2\mu A$ 以上の電流を許容できる抵抗値を選択することを推奨します。これは、 R_2 の値が $400k\Omega$ を超えないことを意味します。抵抗値を小さくすると、精度と堅牢性にプラスの影響を与えます。

$$R_1 = R_2 \times \left(\frac{V_{OUT}}{V_{FB}} - 1 \right) \quad (2)$$

表 9-3. 出力電圧の設定

公称出力電圧 V_{OUT}	R_1	R_2	出力電圧の正確な値
0.75V	10k Ω	40.2k Ω	0.7493V
0.8V	16.9k Ω	51k Ω	0.7988V
1.0V	20k Ω	30k Ω	1.0V
1.1V	39.2k Ω	47k Ω	1.101V
1.2V	68k Ω	68k Ω	1.2V
1.5V	76.8k Ω	51k Ω	1.5V
1.8V	80.6k Ω	40.2k Ω	1.803V
2.5V	47.5k Ω	15k Ω	2.5V
3.3V	88.7k Ω	19.6k Ω	3.315V

9.2.2.2 フィードフォワード コンデンサ CFF

フィードフォワード コンデンサにより、PSM での出力リップルが減少し、負荷過渡応答が向上します。 C_{FF} の最適値は、帰還分割器のインピーダンス、必要な過渡電圧、許容されるリングングによって異なります。 V_{OUT} のリングングが許容されない場合、帰還分圧器の下側抵抗 (R_2) に $100k\Omega$ を選択したと仮定すると、最適な C_{FF} は $3.3V$ V_{OUT} の場合は $10pF$ 、 $1.8V$ の場合は $15pF$ 、 $1.2V$ の場合 $22pF$ になります。 C_{FF} の選択と最適化の詳細については、アプリケーションレポート『[フィードフォワードコンデンサによる TPS621 ファミリーと TPS821 ファミリーの安定性と帯域幅の向上](#)』アプリケーションノートを参照してください

9.2.2.3 インダクタの選択

TPS62A02-Q1 は、スイッチング周波数が標準 $2.2MHz$ で、 $300nH \sim 1.2\mu H$ の間の実効インダクタンスを持つインダクタ用に設計されています。インダクタの選択は、以下のトレードオフに従います。

- インダクタンスが大きい
 - 1A 未満の出力電流で高い効率を達成できます
 - 電流リップルにプラスの影響を与えます
 - 出力電圧リップルが低減します
 - 過渡応答性能が低下します
- インダクタンスが小さい
 - 特定の最大電流能力において、インダクタ フォーム ファクタにプラスの影響を与えます
 - したがって、コスト効率が優れています
 - インダクタ電流リップルが大きくなります
 - 効率が低下します
 - 低出力電流または無出力電流時の強制 PWM モードで、負のインダクタ電流が大きくなります

詳しくは、[セクション 6.3](#) を参照してください。

インダクタの選択は、入力電圧範囲、出力電圧、特定の出力キャパシタンスによる目標出力電圧リップル、それに対応するインダクタ電流リップルなど、いくつかの条件の影響を受けます。インダクタの選択は、PWM から PFM への遷移点や

効率にも影響を及ぼします。インダクタは、正しい飽和電流と平均電流の定格を満たす必要があります。コンバータの効率に影響を及ぼす DCR は、できる限り低くする必要があります。インダクタ フォーム ファクタが小さくなると、DCR の上昇と電流能力の低下、またはインダクタンスの低下が発生します。降圧コンバータで使用するインダクタには、大きく分けて 2 種類あります。

- フェライト インダクタ
- 鉄粉コア インダクタ

鉄粉コア パワー インダクタは、磁気材料の飽和が緩やかであるため、非常に安全に使用できます。つまり、インダクタ電流に起因するインダクタンスの減少は比較的小さく、均一であることを意味します。鉄粉コア インダクタをデータシートの飽和電流付近で動作させた場合でも、過電流によって TPS62A02-Q1 が損傷するリスクは低いです。TPS62A02-Q1 の過電流保護を維持するために、電流立ち上がりが十分遅いためです。鉄粉コア インダクタとは対照的に、フェライト インダクタの飽和曲線は急激になる場合があります。この急激な飽和曲線により、飽和に達した後のインダクタ電流の増加がはるかに速くなります。電流の立ち上がりが急激すぎて、TPS62A02-Q1 内部の過電流制限回路が追従できなくなる潜在的なリスクがあります。したがって、アプリケーション設計者は、インダクタの許容誤差や、短絡やアプリケーションの起動などの特殊なケースをカバーするのに十分な大きさのフェライト インダクタを使用して、飽和電流の余裕を計画しておくことが推奨されます。

式 3 を使って、最大インダクタ電流を計算できます。

$$I_{L(max)} = I_{OUT(max)} + \frac{\Delta I_{L(max)}}{2} \quad (3)$$

$$\Delta I_{L(max)} = \frac{V_{OUT} \times \left(1 - \frac{V_{OUT}}{V_{IN}}\right)}{L_{min}} \times \frac{1}{f_{SW}} \quad (4)$$

ここで、

- $I_{L(max)}$ はインダクタ電流の最大値です。
- $\Delta I_{L(max)}$ は、ピーク ツー ピーク インダクタリップル電流です。
- L_{min} は動作ポイントにおける最小インダクタンスです。

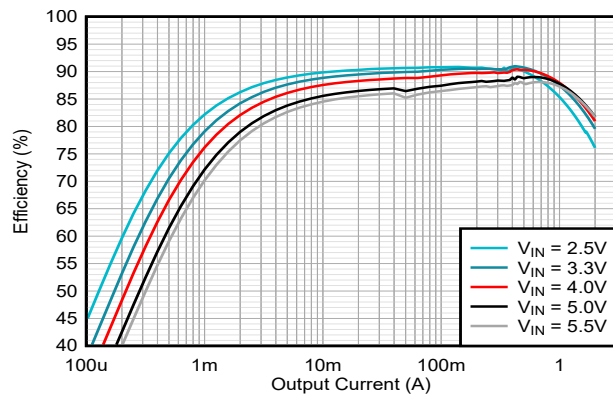
9.2.2.4 入力コンデンサ

ほとんどのアプリケーションでは、公称 4.7 μ F で十分であり、推奨されます。入力コンデンサは、入力電圧の過渡イベントを和らげ、また、コンバータが電源の影響を受けないようにします。TI は、最高のフィルタリングを実現するために、低 ESR のマルチレイヤ セラミック コンデンサ (MLCC) を推奨しています。コンデンサは、 V_{IN} と GND の間で、それぞれのピンにできるだけ近づけて配置する必要があります。

9.2.2.5 出力コンデンサ

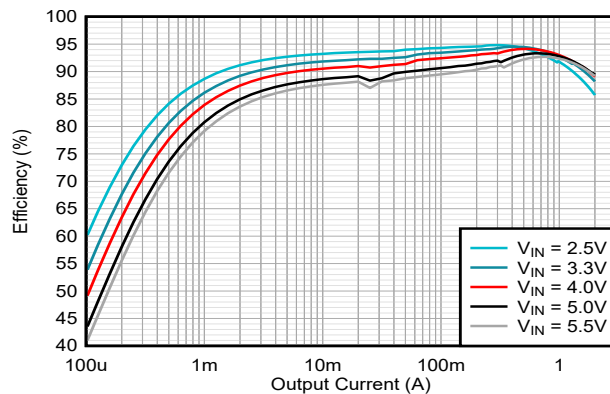
TPS62A02-Q1 は、等価直列抵抗 (ESR) の超小型セラミック コンデンサを出力コンデンサとして使用できるアーキテクチャを採用しています。出力電圧リップルを低減するため、これらのコンデンサを使うことを推奨します。高い周波数まで低抵抗を維持し、温度による静電容量の変動を小さくするために、TI では X7R または X8R 誘電体の使用を推奨しています。大きな値を使うと、電圧リップルが小さくなり、パワーセーブ モードでの DC 出力精度が向上するなどの利点があります。デフォルトでは、最大 47 μ F を出力に追加できます。ボード線図で検証すれば、47 μ F を上回る値を実現できます。TPS62A02-Q1 のピーク電流モード アーキテクチャは、大きな出力キャパシタンスに対して非常に耐性があります。

9.2.3 アプリケーション曲線



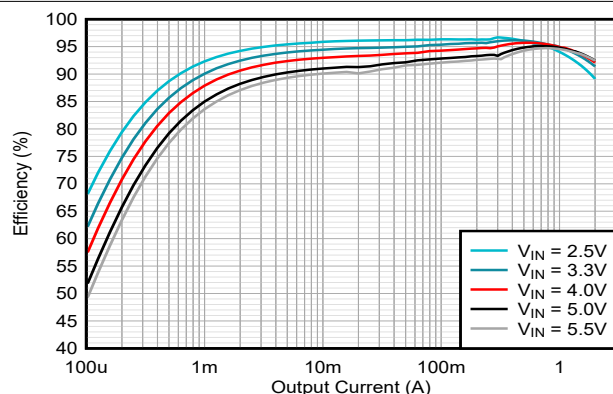
TPS62A02-Q1 (PSM/PWM) SOT-563 (DRL)

図 9-2. 0.6V の出力効率



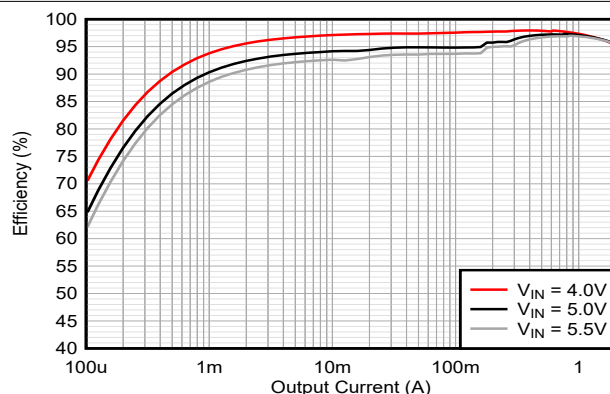
TPS62A02-Q1 (PSM/PWM) SOT-563 (DRL)

図 9-3. 1.2V の出力効率



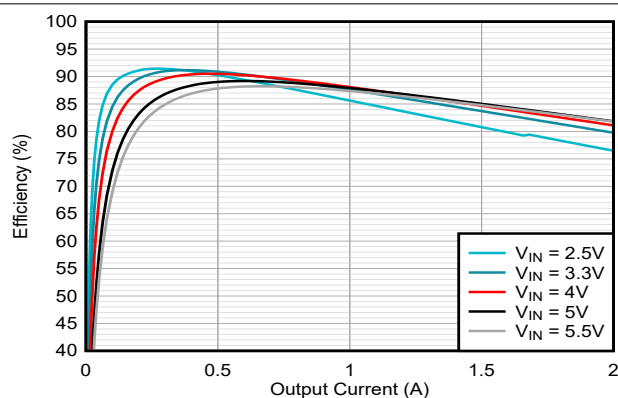
TPS62A02-Q1 (PSM/PWM) SOT-563 (DRL)

図 9-4. 1.8V の出力効率



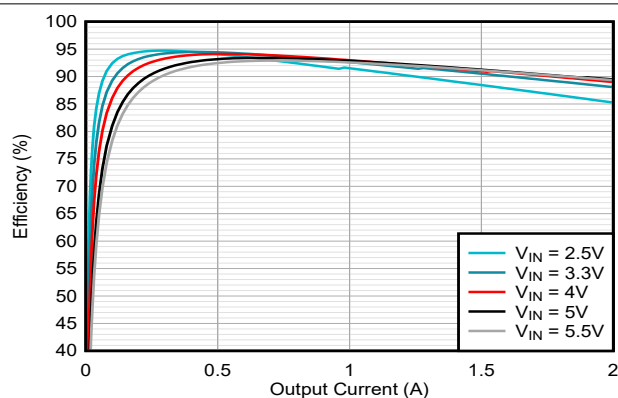
TPS62A02-Q1 (PSM/PWM) SOT-563 (DRL)

図 9-5. 3.3V の出力効率



TPS62A02A-Q1 (FPWM) SOT-563 (DRL)

図 9-6. 0.6V の出力効率



TPS62A02A-Q1 (FPWM) SOT-563 (DRL)

図 9-7. 1.2V の出力効率

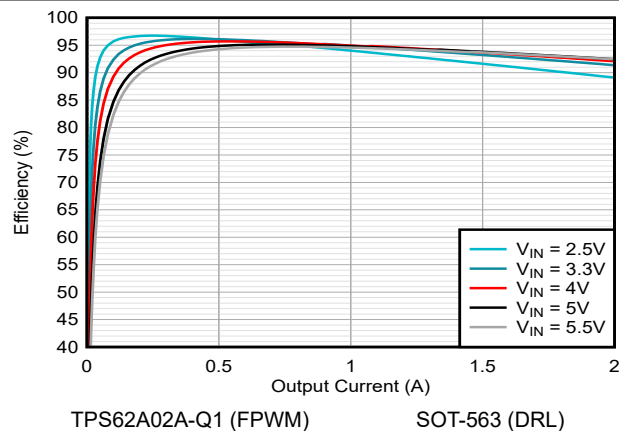


図 9-8. 1.8V の出力効率

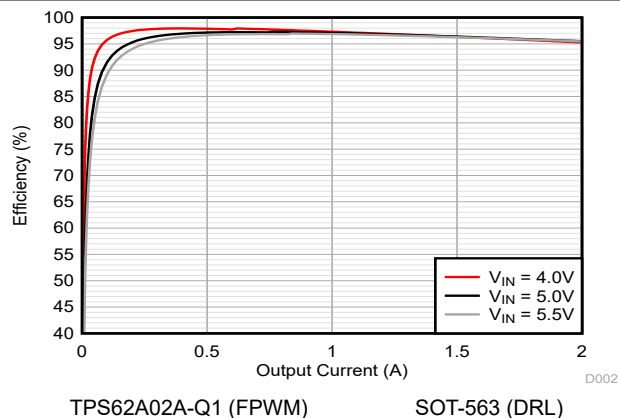


図 9-9. 3.3V の出力効率

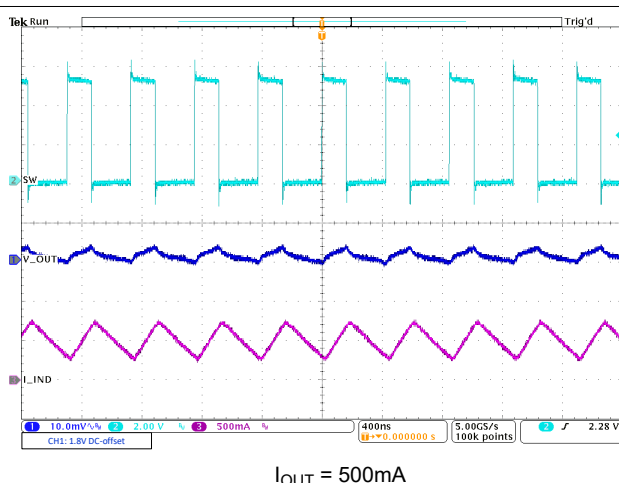


図 9-10. PWM 動作

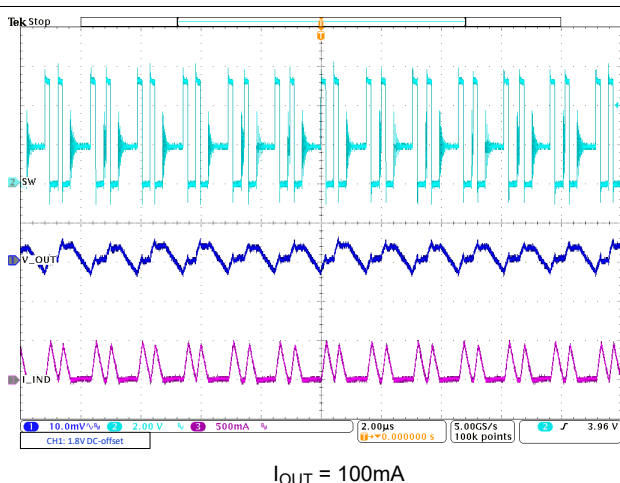


図 9-11. パワーセーブモード動作

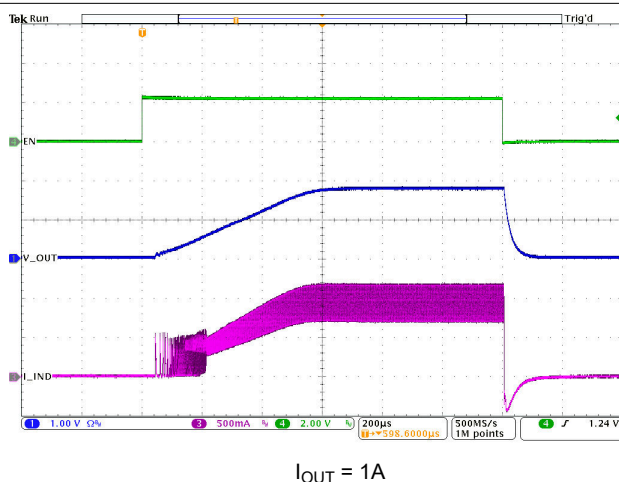


図 9-12. 負荷ありの起動

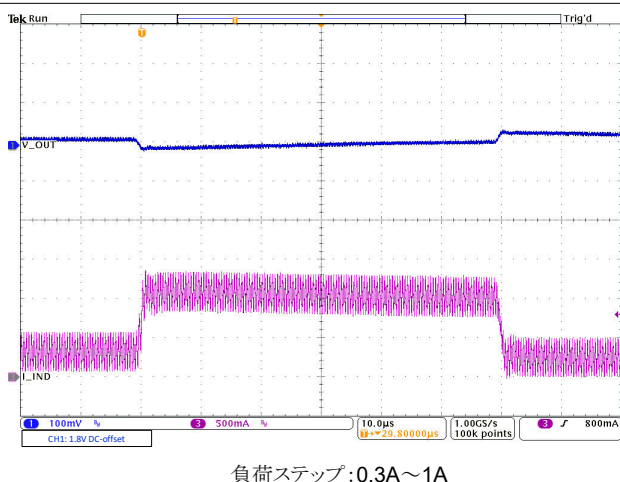


図 9-13. 負荷過渡

9.3 電源に関する推奨事項

このデバイスは、2.5V から 5.5V の入力電源電圧範囲で動作するように設計されています。アプリケーションに対して入力電源の定格電流が十分であることを確認してください。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

プリント基板 (PCB) レイアウトは、TPS62A02x-Q1 デバイスの高性能を維持するための重要なステップです。

- 入力コンデンサ、出力コンデンサ、インダクタは、IC にできる限り近づけて配置します。これにより、電源トレースが短くなります。これらの電源トレースを直接かつ広く配線することで、トレース抵抗と寄生インダクタンスを低く抑えることができます。
- グランドの電位シフトを避けるため、入力コンデンサおよび出力コンデンサのローサイドは GND ピンに正しく接続します。
- FB に接続されているセンストレースは信号トレースです。ノイズが誘発されないように特に注意する必要があります。これらの配線は SW ノードから離して配置します。
- 共通のグランドを使用します。遮蔽するために GND レイヤを使用できます。

推奨される PCB レイアウトについては、図 9-14 を参照してください。

9.4.2 レイアウト例

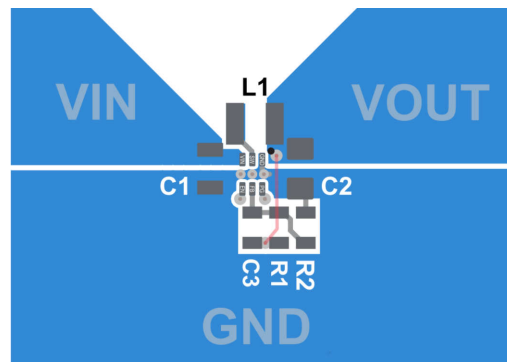


図 9-14. TPS62A02x-Q1 PCB レイアウトに関する推奨事項

10 デバイスおよびドキュメントのサポート

10.1 デバイス サポート

10.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 ドキュメントのサポート

10.2.1 関連資料

テキサス インスツルメンツ、『フィードフォワード コンデンサによる [TPS621 ファミリ](#)と [TPS821 ファミリ](#)の安定性と帯域幅の向上』アプリケーション ノート

10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.4 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

日付	改訂	注
April 2025	*	初版リリース

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS62A02AQDRLRQ1	Active	Production	SOT-5X3 (DRL) 6	4000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1UZ
TPS62A02QDRLRQ1	Active	Production	SOT-5X3 (DRL) 6	4000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1V1

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS62A02-Q1, TPS62A02A-Q1 :

- Catalog : [TPS62A02](#), [TPS62A02A](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

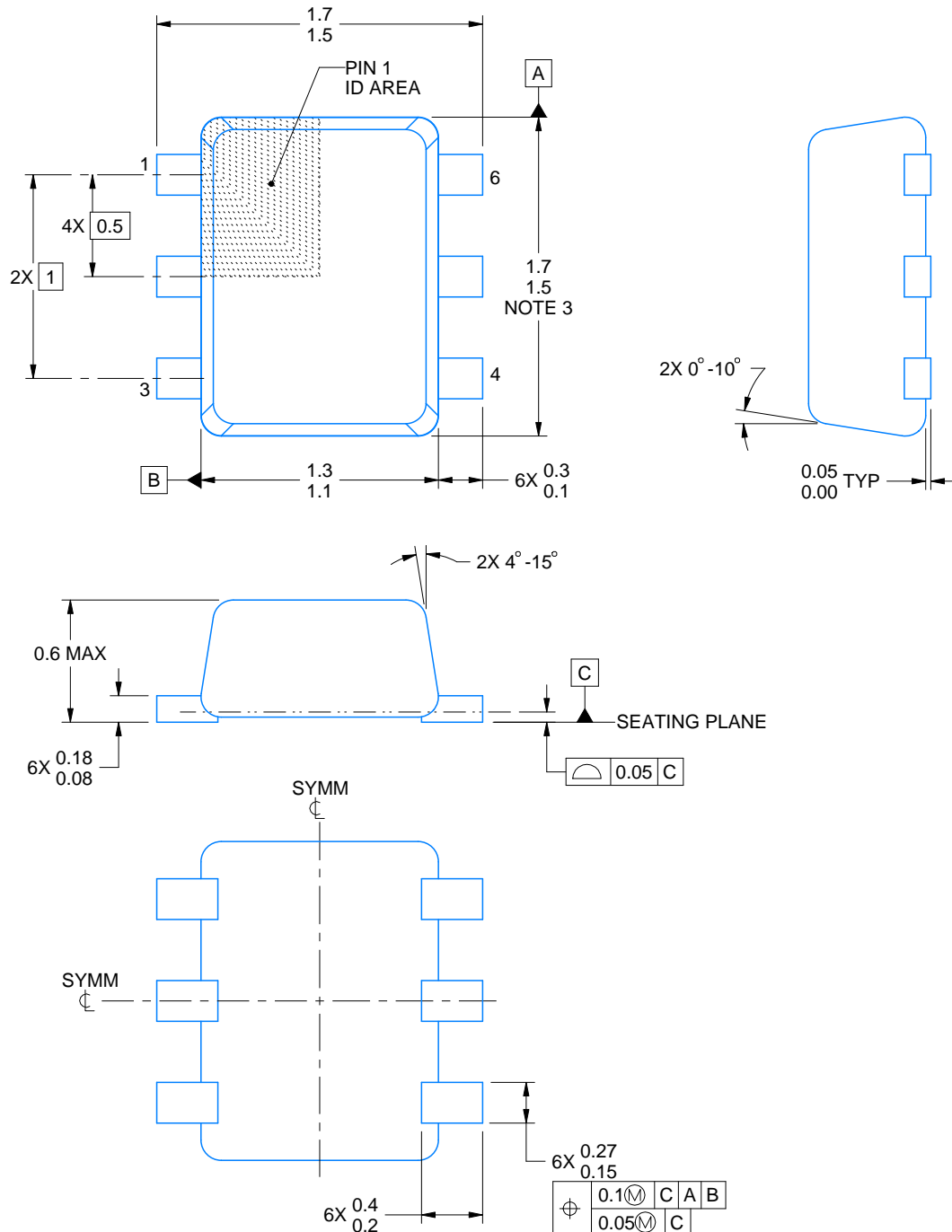
DRL0006A



PACKAGE OUTLINE

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



4223266/F 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-293 Variation UAAD

EXAMPLE BOARD LAYOUT

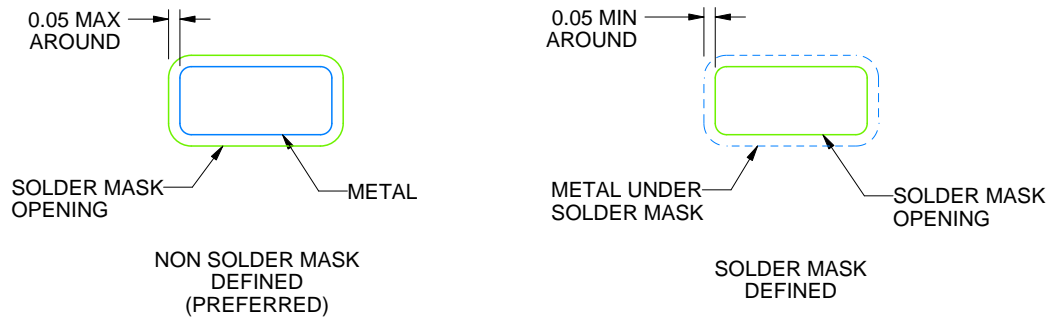
DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:30X



SOLDERMASK DETAILS

4223266/F 11/2024

NOTES: (continued)

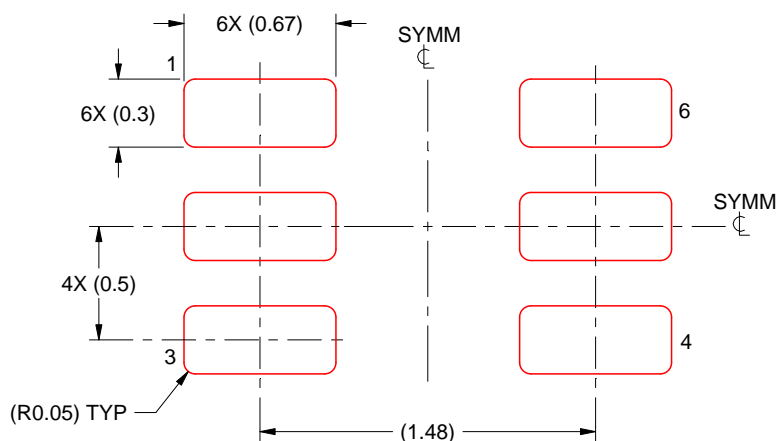
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

EXAMPLE STENCIL DESIGN

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4223266/F 11/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月