TPS6287Bxx 2.7V ～ 6V 入力、10A、15A、20A、25A、および 30A 高速過渡同期整流式降圧コンバータ、I²C インターフェイスおよびリモート センス搭載

1 特長

- 入力電圧範囲:2.7V ～ 6V
- ピン互換性のあるデバイス ファミリ:10A、15A、20A、25A、30A
- 3 つの選択可能な出力電圧範囲:0.4V～1.675V
  - 0.4V～0.71875V (1.25mV 刻み)
  - 0.4V～1.0375V (2.5mV 刻み)
  - 0.4V～1.675V (5mV 刻み)
- 出力電圧精度:±0.8%
- 内部電力 MOSFET:2.6mΩ、1.5mΩ
- 可変ソフト スタート
- 外部補償
- VSET1 ピンと VSET2 ピンを介してスタートアップ出力電圧を選択可能
  - 0.4V～0.775V (25mV 刻み)
  - 0.8V～1.55V (50mV 刻み)
- FSEL ピンを介して 1.5MHz、2.25MHz、2.5MHz、3MHz のスイッチング周波数を選択可能、TPS6287BxxJE2 のみ (表 4-2 を参照)
- 強制 PWM またはパワー セーブ モード動作
- 外部抵抗または I²C によるスタートアップ出力電圧の選択
- I²C 互換インターフェイス:最高 3.4MHz
- オプションのスタック動作により、出力電流能力を向上
- 差動リモート センス
- サーマル事前警告およびサーマル シャットダウン
- 出力放電
- オプションのスペクトラム拡散クロック供給機能を内蔵
- ウィンドウ コンパレータによるパワー グッド出力

2 アプリケーション

- FPGA、ASIC、デジタル コア電源
- 光ネットワーク
- ストレージ

3 説明

TPS6287B10 、 TPS6287B15 、 TPS6287B20 、 TPS6287B25、および TPS6287B30 は、I²C インターフェイスおよび差動リモート センスを搭載したピン互換、10A、15A、20A、25A、30A 同期整流式降圧 DC/DC コンバータのファミリです。すべてのデバイスは、高い効率と使いやすさを特長としています。低抵抗の電源スイッチにより、高い周囲温度でも最大 30A の出力電流を供給できます。これらのデバイスをスタック モードで動作させることで、大きな出力電流を供給することや、消費電力を複数のデバイスに分散することが可能です。

TPS6287Bxx ファミリは、高速過渡応答をサポートする固定周波数 DCS 制御方式を実装します。デバイスは、最大効率を達成するパワー セーブ モード、または最高の過渡性能と最小の出力電圧リップルを実現する強制 PWM モードで動作できます。

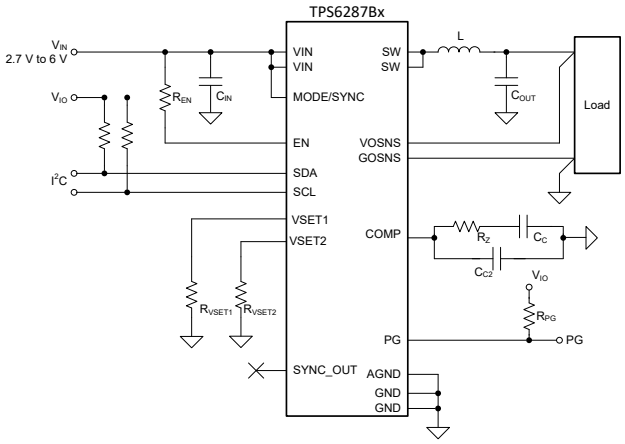
オプションのリモート センシング機能により、ポイント オブ ロードでの電圧レギュレーションが最大化され、デバイスは出力電圧範囲全体にわたって ±0.8% の DC 電圧精度を達成します。

I²C 互換インターフェイスを使うと、各種の制御、監視、警告機能 (電圧の監視、温度に関連する警告など) を実現できます。出力電圧は、負荷の消費電力を性能ニーズに合わせて迅速に調整できます。デフォルトの起動電圧は、を介して抵抗により選択できます。VSET1 ピンおよび VSET2 ピン。

製品情報

部品番号(3)	出力電流	パッケージ(1)	パッケージ サイズ(2)
TPS6287B10	10A	RZV (WQFN-FCRLF、24)	3.05mm × 4.05mm
TPS6287B15	15A		
TPS6287B20	20A		
TPS6287B25	25A		
TPS6287B30	30A		

(1) 詳細については、セクション 13 を参照してください。
(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。
(3) 「デバイスのオプション」表を参照してください。



概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 デバイスのオプション ... 3
5 ピン構成および機能 ... 4
6 仕様 ... 6
6.1 絶対最大定格 ... 6
6.2 ESD 定格 ... 6
6.3 推奨動作条件 ... 6
6.4 熱に関する情報 ... 7
6.5 電気的特性 ... 7
6.6 I^2C インターフェイス タイミングの要件 ... 11
6.7 代表的特性 ... 13
7 パラメータ測定情報 ... 14
8 詳細説明 ... 15
8.1 概要 ... 15
8.2 機能ブロック図 ... 15
8.3 機能説明 ... 16
8.4 デバイスの機能モード ... 34
8.5 プログラミング ... 35
9 デバイスのレジスタ ... 39
10 アプリケーションと実装 ... 45
10.1 アプリケーション情報 ... 45
10.2 代表的なアプリケーション ... 45
10.3 代表的なアプリケーション - TPS6287BxV デバイス ... 54
10.4 2 つの TPS6287B25 をスタック構成で使用する代表的なアプリケーション ... 55
10.5 3 つの TPS6287B25 をスタック構成で使用する代表的なアプリケーション ... 60
10.6 電源に関する推奨事項 ... 61
10.7 レイアウト ... 61
11 デバイスおよびドキュメントのサポート ... 63
11.1 ドキュメントのサポート ... 63
11.2 ドキュメントの更新通知を受け取る方法 ... 63
11.3 サポート・リソース ... 63
11.4 商標 ... 63
11.5 静電気放電に関する注意事項 ... 63
11.6 用語集 ... 63
12 改訂履歴 ... 63
13 メカニカル、パッケージ、および注文情報 ... 64

Copyright © 2025 Texas Instruments Incorporated

4 デバイスのオプション

表 4-1. I²C インターフェイスを持つデバイス

部品番号	出力電流	HICCUP	スタートアップ時の出力電圧	デフォルト スイッチング周波数	ドループ補償	拡散スペクトラム クロック処理	ソフト スタート時間	ピン 19、20
TPS6287B10LA0WRZVR	10A	オフ	0.4V ~ 0.775V、選択可能	1.5MHz	デフォルト設定 = オフ	デフォルト設定 = オフ	デフォルト設定 = 1ms	SDA/SCL
TPS6287B15LA0WRZVR	15A							
TPS6287B20LA0WRZVR	20A							
TPS6287B25LA0WRZVR	25A							
TPS6287B30LA0WRZVR	30A							
TPS6287B10HA0WRZVR	10A	オフ	0.8V ~ 1.55V、選択可能	1.5MHz	デフォルト設定 = オフ	デフォルト設定 = オフ	デフォルト設定 = 1ms	SDA/SCL
TPS6287B15HA0WRZVR	15A							
TPS6287B20HA0WRZVR	20A							
TPS6287B25HA0WRZVR	25A							

表 4-2. I²C インターフェイス搭載の Jacinto プラットフォームに電力を供給するデバイス

部品番号	出力電流	HICCUP	スタートアップ電圧、I2C アドレスの VSEL 設定	SSC	デフォルトのドループ	TRANS.非同期モード	ソフト スタート時間	ピン 3、ピン 19、20
TPS6287B15JE2WRZVR	15A	オフ	VSET ピンを 6.2kΩ の抵抗で GND に接続した場合:0.8V、0x44 VSET を GND に短絡:0.8V、0x45 VSET を VIN に短絡:0.875V、0x46 VSET、47kΩ を VIN に:0.8V、0x47	オフ	オン	オン	1ms	FSET/SDA/SCL
TPS6287B20JE2WRZVR	20A							
TPS6287B25JE2WRZVR	25A							

表 4-3. I²C インターフェイスを持たないデバイス

部品番号	出力電流	HICCUP	スタートアップ時の出力電圧	デフォルト スイッチング周波数	ドループ補償	拡散スペクトラム クロック処理	ソフト スタート時間	ピン 19、20
TPS6287B10VA0WRZVR	10A	オフ	0.4V ~ 1.675V、選択可能	1.5MHz	デフォルト設定 = オフ	デフォルト設定 = オフ	デフォルト設定 = 1ms	VSET4/VSET3
TPS6287B10VA1WRZVR	10A	オン						
TPS6287B15VA0WRZVR	15A	オフ						
TPS6287B20VA0WRZVR	20A							
TPS6287B25VA0WRZVR	25A							

特に記述のない限り、I²C のないデバイス バリアントは、I²C のデバイス バリアントと同じデフォルト設定で動作します。

5 ピン構成および機能

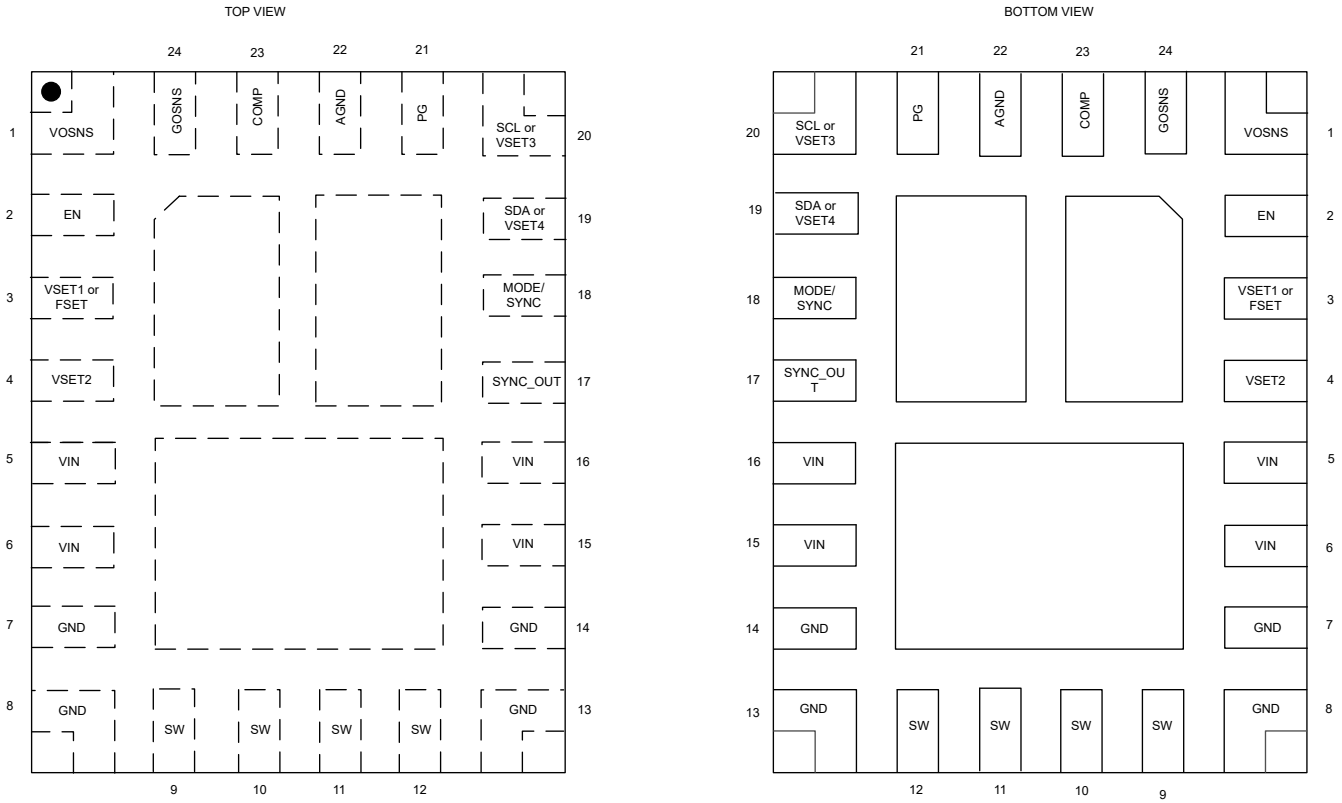


図 5-1. RZV パッケージ 24 ピン WQFN-FCRLF

表 5-1. ピンの機能

ピン		タイプ[(1)]	説明
番号	名称		
1	VOSNS	I	出力電圧検出 (差動出力電圧センシング)。
2	EN	I	このピンはデバイスのイネーブルピンです。このピンには、15kΩ 以上の直列抵抗を介して接続します。このピンがロジック Low レベルのときはデバイスが無効化され、ロジック High レベルのときはデバイスが有効になります。このピンを未接続のままにしないでください。 スタック動作を行う場合は、すべてのデバイスの EN ピンを相互に接続し、それらを電源電圧またはプロセッサの GPIO に抵抗を介して接続します。詳細については、セクション 8.3.18 を参照してください。
3	VSET1	I	スタートアップ時の出力電圧設定ピン。抵抗、または GND もしくは V_{IN} への短絡によって、選択される出力電圧が決まります。表 8-5 を参照
3	FSET	I	TPS6287BxxJE2WRZVR にのみ適用されます。周波数選択ピン。外部同期が行われていない場合、抵抗または GND または VIN への短絡によってスイッチング周波数が決まります。周波数オプションについては、セクション 8.3.6 を参照してください。
4	VSET2	I	スタートアップ時の出力電圧設定ピン。抵抗、または GND もしくは V_{IN} への短絡によって、選択される出力電圧が決まります。表 8-5 を参照
5、6、15、16	VIN	P	電源入力。入力コンデンサを VIN と GND の間に、できるだけ近づけて接続します。
7、8 13、14	GND	GND	グランド ピン
9、10、11、12	SW	O	このピンはコンバータのスイッチ ピンであり、内部パワー MOSFET に接続されています。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン		タイプ(1)	説明
番号	名称		
17	SYNCOUT	O	スタック モードでの同期用の内部クロック出力ピン。このピンはシングルデバイス動作用にフローティングのままにします。スタック動作では、このピンをデイジーチェーン内の次のデバイスの MODE/SYNC ピンに接続します。このピンを TPS6287Bxx 以外のデバイスの接続に使用しないでください。 スタートアップ時、このピンは、デバイスがスタック動作時にセカンダリ コンバータとして動作する必要があるかどうかを識別するのに使われます。このピンと GND との間に 47kΩ 抵抗を接続して、スタック動作でセカンダリ コンバータを定義します。詳細については、セクション 8.3.18 を参照してください。
18	MODE/SYNC	I	このピンが Low になると、デバイスはパワーセーブ モードで動作します。ピンが High にプルされる場合、デバイスは強制 PWM モードで動作します。このピンを未接続のままにしないでください。モードピンを使用して、デバイスを外部クロックに同期することもできます。
19	VSET4	I	スタートアップ時の出力電圧設定ピン。ピンのロジック Low レベルまたはロジック High レベルにより、表 8-7 に従ってスタートアップ出力電圧が定義されます。
19	SDA	I/O	I²C シリアル データ ピン。このピンをフローティングのままにしないでください。プルアップをロジック High レベルに接続します。 スタック動作での 2 次側デバイスの場合は GND に接続します。
20	VSET3	I	スタートアップ時の出力電圧設定ピン。ピンのロジック Low レベルまたはロジック High レベルにより、表 8-7 に従ってスタートアップ出力電圧が定義されます。
20	SCL	I/O	I²C シリアル クロック ピン。このピンをフローティングのままにしないでください。プルアップ抵抗をロジック High レベルに接続します。 スタック動作での 2 次側デバイスの場合は GND に接続します。
21	PG	I/O	オープン ドレインのパワー グッド出力。「パワー グッド」でないときは低インピーダンス、「パワー グッド」のときは高インピーダンスになります。このピンはオープンのままにするか、1 つのデバイス動作で使用しない場合は GND に接続できます。 スタック動作では、すべてのデバイスの PG ピンを相互に接続します。スタック動作のプライマリ コンバータの PG ピンのみがオープン ドレイン出力です。スタックモードでセカンダリ コンバータとして定義されたデバイスの場合、ピンは入力ピンです。詳細については、セクション 8.3.18 を参照してください。
22	AGND	GND	アナログ グランド。GND に接続。
23	COMP	—	デバイス補償入力。このピンと AGND との間に抵抗とコンデンサによって、制御ループの補償が定義されます。 スタック動作では、スタックされたすべてのデバイスの COMP ピンを互いに接続し、共通の COMP ノードと AGND との間に抵抗とコンデンサを接続します。
24	GOSNS	—	出力グランド検出 (差動出力電圧センシング)
露出したサーマル パッド		—	適切な熱抵抗と機械的安定性を実現するため、サーマル パッドは GND に半田付けする必要があります。

(1) I = 入力、O = 出力、P = 電源、GND = グランド

6 仕様

6.1 絶対最大定格

動作温度範囲内 (特に記述のない限り) [1]

		最小値	最大値	単位
電圧 [2]	VIN[4]	-0.3	6.5	V
	SW (DC)	-0.3	V_{IN} + 0.3	V
	COMP	-0.3	V_{IN}	V
	SW (AC、10ns 未満) [3]	-3	10	V
	VOSNS	-0.3	1.8	V
電圧 [2]	SCL、SDA、VSET3、VSET4	-0.3	5.5	V
電圧 [2]	SYNC_OUT	-0.3	2	V
電圧 [2]	PG	-0.3	6.5	V
電圧 [2]	VSET1、VSET2、FSET、EN、MODE/SYNC[4]	-0.3	6.5	V
電圧 [2]	GOSNS	-0.3	0.3	V
T_{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、回路のグランド端子 GND を基準としたものです。
(3) スイッチング動作時。
(4) このピンの電圧は、絶対最大定格 6.5V を短時間にわたって超えることができますが、8V 未満に維持する必要があります。VIN を 8V に 100ms さらすことは、室温でのデバイスの経年劣化約 8 時間に相当します。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン [1]	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン[2]	±750	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{IN}	入力電圧範囲	2.7		6	V
V_{OUT}	出力電圧範囲	0.4		1.675V または (V_{IN} – 1.5V)[1]	V
電圧	ピン SDA および SCL の公称プルアップ電圧	1.2		5	V
L	f_{SW} = 1.5MHz の場合の実効インダクタンス	100	150	200	nH
C_{IN}	電力入力ピンあたりの実効入力容量	10	22		µF
C_{OUT}	実効出力キャパシタンス	47		[2]	µF
C_{PAR}	VSET1、VSET2、FSET ピンの寄生容量			100	pF
C_{PAR}	SYNC_OUT ピンの寄生容量			20	pF
R_{EN}	EN ピンに対するプルアップ抵抗	15			kΩ

Copyright © 2025 Texas Instruments Incorporated

6.3 推奨動作条件 (続き)

動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
R_{VSET1}、R_{VSET2}、R_{FSET}	VSET が GND または VIN に直接接続されていない場合の VSET1、VSET2、FSET ピンから GND への抵抗値		6.2		kΩ
R_{VSET1}、R_{VSET2}、R_{FSET}	VSET が GND または VIN に直接接続されていない場合の VSET1、VSET2、FSET ピンから VIN への抵抗値		47		kΩ
R_{VSET1}、R_{VSET2}、R_{FSET}	VSET1、VSET2、FSET ピンの抵抗の許容誤差			±2%	
I_{SINK_PG}	PG ピンのシンク電流	0		1	mA
T_J	動作時接合部温度	-40		125	°C

(1) V_{OUT} の値が小さい値でも。
(2) 推奨される最大出力キャパシタンスは、アプリケーションの特定の動作条件によって異なります。通常は、最大数ミリファラッドの出力キャパシタンス値が可能です。

6.4 熱に関する情報

熱評価基準[1]		TPS6287Bx RZV (JEDEC) 24 ピン	TPS6287Bx RZV (EVM) 24 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	34.7	28	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	14.9	-	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	6.5	-	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	1.5	-	°C/W
Y_{JB}	接合部から基板への特性パラメータ	6.5	-	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	4.8	-	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

6.5 電気的特性

動作時接合部温度範囲全体 ～ + 150°C)(T_J = –40°C ～ + 125°C)、V_{IN} = 2.7V~6V。V_{IN} = 5V かつ T_J = 25°C で の標準値 (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
I_Q	静止時電流	EN = High、I_{OUT} = 0 mA、デバイスはスイッチングなし、MODE = Low		2.1	4.6	mA
I_{SD}	シャットダウン電流	EN = Low、$V_{(SW)}$ = 0V、T_J = 125℃での最大値		18	450	µA
$V_{IT+(UVLO)}$	正方向の UVLO スレッショルド電圧 (VIN)		2.5	2.6	2.7	V
$V_{IT-(UVLO)}$	負方向の UVLO スレッショルド電圧 (VIN)		2.4	2.5	2.6	V
$V_{hys(UVLO)}$	UVLO ヒステリシス電圧 (VIN)		80			mV
$V_{IT+(OVLO)}$	正方向の OVLO スレッショルド電圧 (VIN)		6.1	6.3	6.5	V
$V_{IT-(OVLO)}$	負方向の OVLO スレッショルド電圧 (VIN)		6.0	6.2	6.4	V

6.5 電気的特性 (続き)

動作時接合部温度範囲全体 ～ + 150°C)(T_J = –40°C ～ + 125°C)、V_{IN} = 2.7V~6V。V_{IN} = 5V かつ T_J = 25°C で の標準値 (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{hys(OVLO)}$	OVLO ヒステリシス電圧 (VIN)		80			mV
$V_{IT-(POR)}$	負方向のパワーオン リセット スレッショルド電圧 (VIN)		1.4			V
T_{SD}	サーマル シャットダウン スレッショルド温度	T_J 立ち上がり		170		°C
	サーマル シャットダウン ヒステリシス			20		°C
T_W	過熱警告のスレッショルド温度	T_J 立ち上がり		150		°C
	過熱警告ヒステリシス			20		°C
制御とインターフェイス						
V_{IT+}	正方向の入力スレッショルド電圧 (EN)		0.97	1.0	1.03	V
V_{IT-}	負方向の入力スレッショルド電圧 (EN)		0.87	0.9	0.93	V
V_{hys}	ヒステリシス電圧 (EN)		95			mV
$R_{(EN)}$	GND への入力抵抗 (EN)	スタック動作でのスタートアップ時にのみアクティブになります。	1.4	1.8	3	kΩ
I_{IH}	High レベル入力電流 (EN)	V_{IH} = V_{IN}、内部プルダウン抵抗は無効			3	µA
I_{IL}	Low レベル入力電流 (EN)	V_{IL} = 0V、内部プルダウン抵抗は無効	-200			nA
V_{IH}	High レベル入力電圧 (MODE/SYNC、VSET1、VSET2、FSET、SYNC_OUT、PG)		0.8			V
V_{IH}	High レベル入力電圧 (VSET3、VSET4)		0.95			V
V_{IH}	High レベル入力電圧 (SDA、SCL)		0.95			V
V_{IL}	Low レベル入力電圧 (MODE/SYNC、VSET1、VSET2、FSET、SYNC_OUT、PG)				0.4	V
V_{IL}	Low レベル入力電圧 (VSET3、VSET4)				0.5	V
V_{IL}	Low レベル入力電圧 (SDA、SCL)				0.5	V
R_{IN}	ピン MODE/SYNC、EN、PG で GND との間の入力抵抗		2	3	4	MΩ
V_{OL}	Low レベル出力電圧 (SDA)	I_{OL} = 9mA			0.4	V
V_{OL}	Low レベル出力電圧 (SDA)	I_{OL} = 5mA			0.2	V
I_{LKG}	SDA、SCL への入力リーク電流	V_{OH} = 3.3V			200	nA
I_{IL}	Low レベル入力電圧 (MODE/SYNC)	V_{IL} = 0V	-100		100	nA
I_{IH}	High レベル入力電圧 (MODE/SYNC)	V_{IH} = V_{IN}			3	µA
I_{IL}	Low レベル入力電圧 (SYNC_OUT)	V_{IL} = 0V	-230			nA
I_{IH}	High レベル入力電圧 (SYNC_OUT)	V_{IH} = 2 V			110	nA
V_{OL}	Low レベル出力電圧 (SYNC_OUT)	I_{OL} = 1mA			0.3	V
V_{OH}	High レベル出力電圧 (SYNC_OUT)	I_{OH} = 0.1mA	1.3		2.1	V
$t_{d(EN)1}$	EN を V_{IN} に接続したときのイネーブル遅延時間	EN が High になった時点からデバイスがスイッチングを開始する時点までを測定、SR_{VIN} = 1V/µs		200	600	µs
$t_{d(EN)2}$	V_{IN} がすでに印加されているときのイネーブル遅延時間	EN が High になった時点からデバイスがスイッチングを開始する時点までを測定		40	100	µs

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

動作時接合部温度範囲全体 ～ + 150°C)(T_J = –40°C ～ + 125°C)、V_{IN} = 2.7V~6V。V_{IN} = 5V かつ T_J = 25°C で の標準値 (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$td_{(Ramp)}$	CONTROL2[1:0] = 00 の出力電圧ランプ時間	デバイスがスイッチングを開始してから、PG 信号が立ち上がるまでの時間を測定	0.35	0.5	0.65	ms
	CONTROL2[1:0] = 01 の出力電圧ランプ時間		0.54	0.77	1.0	ms
	CONTROL2[1:0] = 10 の出力電圧ランプ時間、デフォルト		0.7	1	1.3	ms
	CONTROL2[1:0] = 11 の出力電圧ランプ時間		1.4	2	2.6	ms
$f_{(SYNC)}$	同期クロック周波数範囲 (MODE/SYNC)	$f_{(SW)nom}$ = 1.5MHz、$D_{(MODE/SYNC)}$ = 45%...55%	1.2		1.8	MHz
$D_{(MODE/SYNC)}$	同期クロック周波数のデューティ サイクル (MODE/SYNC)		45		55	%
	SYNC_OUT での位相シフト (内部 CLK または外部 CLK を基準とする)	CONTROL2:SYNCH_OUT_PHASE = 0b0		120		°
	SYNC_OUT での位相シフト (内部 CLK または外部 CLK を基準とする)	CONTROL2:SYNCH_OUT_PHASE = 0b1		180		°
	外部周波数にロックする時間			50		µs
	VSET1、VSET2、FSET が GND に直接接続されていない場合の、GND への抵抗値			6.2		kΩ
	VSET1、VSET2、FSET が VIN に直接接続されていない場合の、VIN への抵抗値			47		kΩ
$V_{T+(UVP)}$	正方向のパワーグッド スレッショルド電圧 (出力低電圧)		94	96	98	%
$V_{T-(UVP)}$	負方向 のパワーグッド スレッショルド電圧 (出力低電圧)		92	94	96	%
$V_{T+(OVP)}$	正方向のパワーグッド スレッショルド電圧 (出力過電圧)		104	106	108	%
$V_{T-(OVP)}$	負方向の パワーグッド スレッショルド電圧 (出力過電圧)		102	104	106	%
V_{OL}	Low レベル出力電圧 (PG)	I_{OL} = 1mA		0.012	0.3	V
I_{OH}	High レベル出力電流 (PG)	V_{OH} = 5V			3	µA
I_{IH}	High レベル入力電流 (PG)	スタック動作でセカンダリ デバイスとして構成されたデバイス			3	µA
I_{IL}	Low レベル入力電流 (PG)	スタック動作でセカンダリ デバイスとして構成されたデバイス	-1			µA
$t_{d(PG)}$	グリッチ除去時間 (PG)	PG ピンの High から Low、または Low から High への遷移	34	40	46	µs
出力						
ΔV_{OUT}	出力電圧精度	V_{IN} = V_{OUT} = 1.6V、ドロップ補償は無効	-0.8		0.8	%
ΔV_{OUT}	出力電圧の電流がない状態から定格電流への変化	ドロップ補償は有効		±12		mV
	ドロップ補償電圧の精度、TPS6287B10、TPS6287B15	デバイスは強制 PWM モード	-3.75		3.75	mV
	ドループ補償電圧の精度、TPS6287B20	デバイスは強制 PWM モード	-3.5		3.5	mV
	ドロップ補償電圧の精度、TPS6287B25、TPS6287B30	デバイスは強制 PWM モード	-3		3	mV
	ライン レギュレーション	I_{OUT} = 15A、V_{IN} ≥ V_{OUT} + 1.6V		0.02		%/V

6.5 電気的特性 (続き)

動作時接合部温度範囲全体 ～ + 150°C)(T_J = –40°C ～ + 125°C)、V_{IN} = 2.7V~6V。V_{IN} = 5V かつ T_J = 25°C で の標準値 (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{IB}	入力バイアス電流 (GOSNS)	EN = High; $V_{(GOSNS)}$ = –100mV to 100mV	-60		3	μA
I_{IB}	入力バイアス電流 (VOSNS)	$V_{(VOSNS)}$ = 1.675V、V_{IN} = 6V、ドロップ補償が無効	-5.5		5.5	μA
I_{IB}	入力バイアス電流 (VOSNS)	$V_{(VOSNS)}$ = 1.675V, V_{IN} = 6V、ドロップ補償が有効	-13.2		13.2	μA
V_{ICR}	同相入力範囲 (GOSNS)		-100		100	mV
R_{DIS}	出力放電抵抗	V_{OUT} ≤ 1V		2.7	9.2	Ω
f_{SW}	スイッチング周波数 (SW)	f_{SW} = 1.5MHz、PWM 動作	1.35	1.5	1.65	MHz
f_{SW}	スイッチング周波数 (SW)	f_{SW} = 2.25MHz、PWM 動作、TPS6287BxxJE2 にのみ適用	2.025	2.25	2.475	MHz
f_{SW}	スイッチング周波数 (SW)	f_{SW} = 2.5MHz、PWM 動作、TPS6287BxxJE2 にのみ適用	2.25	2.5	2.75	MHz
f_{SW}	スイッチング周波数 (SW)	f_{SW} = 3MHz、PWM 動作、TPS6287BxxJE2 にのみ適用	2.7	3	3.3	MHz
f_{SSC}	変調周波数			fsw/2048		kHz
Δf_{SW}	スペクトラム拡散動作時のスイッチング周波数の変動		f_{SW}–10%		f_{SW}+10%	
gm	COMP ピン上の OTA の相互コンダクタンス			1.5		mS
τ	エミュレート電流時定数		11.87	12.5	13.2	μs
$R_{DS(ON)}$	ハイサイド FET の静的オン抵抗	V_{IN} = 3.3V		3.4	6.4	mΩ
$R_{DS(ON)}$	ローサイド FET の静的オン抵抗	V_{IN} = 3.3V		1.9	3.6	mΩ
$I_{(SW)(off)}$	HS-FET と LS-FET がオフのときの SW ピン電流	V_{IN} = 6V、$V_{(SW)}$ = 0V、T_J = 25℃	-1.5		0.1	μA
	HS-FET と LS-FET がオフのときの SW ピン電流	V_{IN} = 6V、$V_{(SW)}$ = 6V、T_J = 25℃	60		130	μA
	HS-FET と LS-FET がオフのときの SW ピン電流	$V_{(SW)}$ = 0.4V、SW ピンへの電流		11	3000	μA
ILIM	ハイサイド FET 順方向スイッチ電流制限、DC	TPS6287B10、TPS6287B15	19	22.5	26	A
ILIM	ハイサイド FET 順方向スイッチ電流制限、DC	TPS6287B20	24	28.5	32	A
ILIM	ハイサイド FET 順方向スイッチ電流制限、DC	TPS6287B25	29	34	39	A
ILIM	ハイサイド FET 順方向スイッチ電流制限、DC	TPS6287B30	34	39	44	A
ILIM	ローサイド FET 順方向スイッチ電流制限、DC	TPS6287B10、TPS6287B15	15	20	24	A
ILIM	ローサイド FET 順方向スイッチ電流制限、DC	TPS6287B20	20	24.5	29	A
ILIM	ローサイド FET 順方向スイッチ電流制限、DC	TPS6287B25	24.5	29	33	A
ILIM	ローサイド FET 順方向スイッチ電流制限、DC	TPS6287B30	29.5	33.5	38	A
ILIM	ローサイド FET 負電流制限、DC			-10		A
$t_{on, min}$	HS FET の最小オン時間	V_{IN} = 3.3V		45	53	ns

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

動作時接合部温度範囲全体 ～ + 150°C)(T_J = –40°C ～ + 125°C)、V_{IN} = 2.7V~6V。V_{IN} = 5V かつ T_J = 25°C で の標準値 (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{on, min}$	HS FET の最小オン時間	V_{IN} = 5V		35	44	ns
$t_{off, min}$	HS FET の最小オフ時間	V_{IN} = 5V		70	100	ns
	電力段の最大デューティ サイクル	TPS6287B25 のみの DC 動作、T_J = 125°C		40		%
	電力段の最大デューティ サイクル	TPS6287B30 のみの DC 動作、T_J = 125°C		25		%

6.6 I²C インターフェイス タイミングの要件

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SCL}	SCL クロック周波数	スタンダード モード			100	kHz
		ファスト モード			400	kHz
		ファスト モード プラス			1	MHz
		高速モード (書き込み動作)、CB – 最大 100pF			3.4	MHz
		高速モード (読み取り動作)、CB – 最大 100pF			3.4	MHz
		高速モード (書き込み動作)、CB – 最大 400pF			1.7	MHz
		高速モード (読み取り動作)、CB – 最大 400pF			1.7	MHz
t_{HD}、t_{STA}	(繰り返し) START 条件のホールド時間	スタンダード モード	4			µs
		ファスト モード	0.6			µs
		ファスト モード プラス	0.26			µs
		高速度モード	0.16			µs
t_{LOW}	SCL クロック Low 期間	スタンダード モード	4.7			µs
		ファスト モード	1.3			µs
		ファスト モード プラス	0.5			µs
		高速モード、CB – 最大 100pF	0.16			µs
		高速モード、CB – 最大 400pF	0.32			µs
t_{HIGH}	SCL クロックの High の時間	スタンダード モード	4			µs
		ファスト モード	0.6			µs
		ファスト モード プラス	0.26			µs
		高速モード、CB – 最大 100pF	0.06			µs
		高速モード、CB – 最大 400pF	0.12			µs
t_{SU}、t_{STA}	反復開始条件のセットアップ時間	スタンダード モード	4.7			µs
		ファスト モード	0.6			µs
		ファスト モード プラス	0.26			µs
		高速度モード	0.16			µs
t_{SU}、t_{DAT}	データ セットアップ時間	スタンダード モード	250			ns
		ファスト モード	100			ns
		ファスト モード プラス	50			ns
		高速モード、CB – 最大 100pF	10			ns

Copyright © 2025 Texas Instruments Incorporated

6.6 I²C インターフェイス タイミングの要件 (続き)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{HD}、t_{DAT}	データ ホールド時間	スタンダード モード	0		3.45	µs
		ファスト モード	0		0.9	µs
		ファスト モード プラス	0			µs
		高速モード、CB – 最大 100pF	0		70	ns
		高速モード、CB – 最大 400pF	0		150	ns
t_{RCL}	SDA 信号と SCL 信号の両方の立ち上がり時間	スタンダード モード			1000	ns
		ファスト モード	20		300	ns
		ファスト モード プラス			120	ns
		高速モード、CB – 最大 100pF	10		40	ns
		高速モード、CB – 最大 400pF	20		80	ns
t_{FCL}	SDA 信号と SCL 信号の両方の立ち下がり時間(1)	スタンダード モード			300	ns
		ファスト モード	20 × V_{DD}/5.5V		300	ns
		ファスト モード プラス	20 × V_{DD}/5.5V		120	ns
		高速モード、CB – 最大 100pF	10		40	ns
		高速モード、CB – 最大 400pF	20		80	ns
t_{SU}、t_{STO}	STOP 条件のセットアップ時間	スタンダード モード	4			µs
		ファスト モード	0.6			µs
		ファスト モード プラス	0.26			µs
		高速モード	0.16			µs
CB	SDA および SCL の容量性負荷	スタンダード モード			400	pF
		ファスト モード			400	pF
		ファスト モード プラス			550	pF
		高速モード			400	pF
t_{BUF}	停止条件と開始条件の間のバス フリー時間	スタンダード モード	4.7			µs
		ファスト モード	1.3			µs
		ファスト モード プラス	0.5			µs

(1) V_{DD} は SDA と SCL のプルアップ電圧。

Copyright © 2025 Texas Instruments Incorporated

6.7 代表的特性

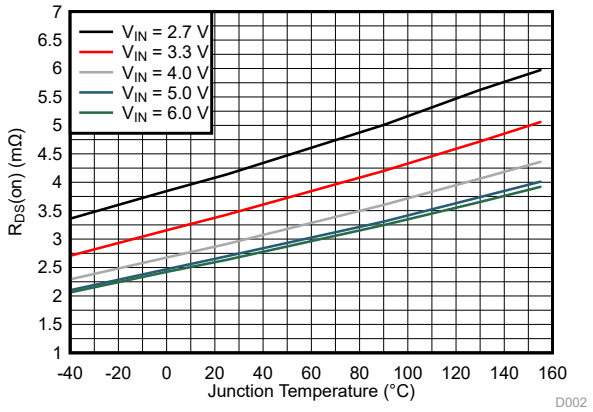


図 6-1. ハイサイド スイッチの $R_{DS(ON)}$

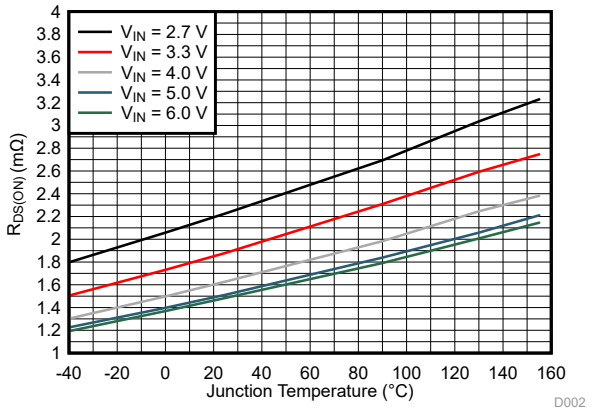


図 6-2. ローサイド スイッチの $R_{DS(ON)}$

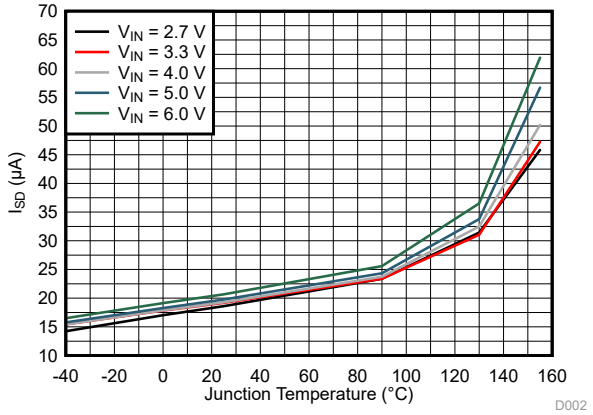


図 6-3. シャットダウン電流と温度との関係

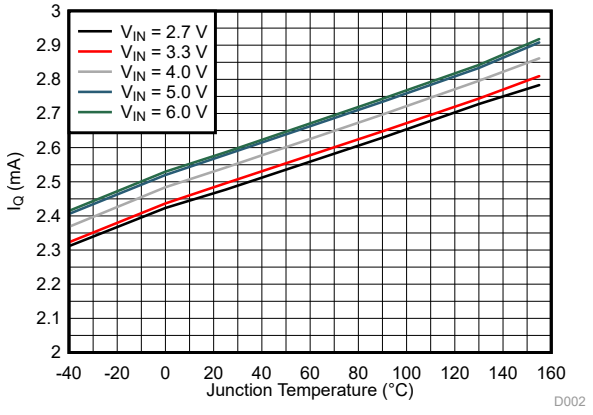


図 6-4. 静止電流と温度との関係

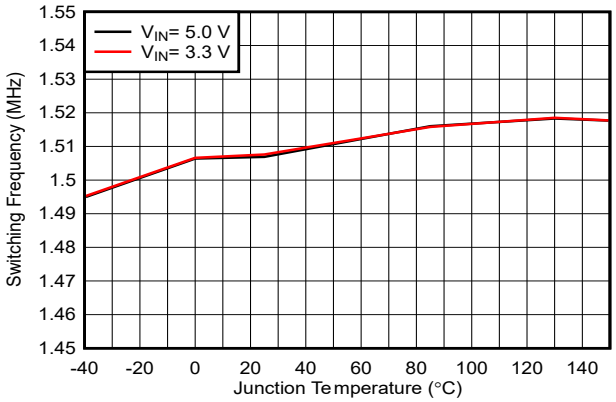


図 6-5. スイッチング周波数と温度との関係

7 パラメータ測定情報

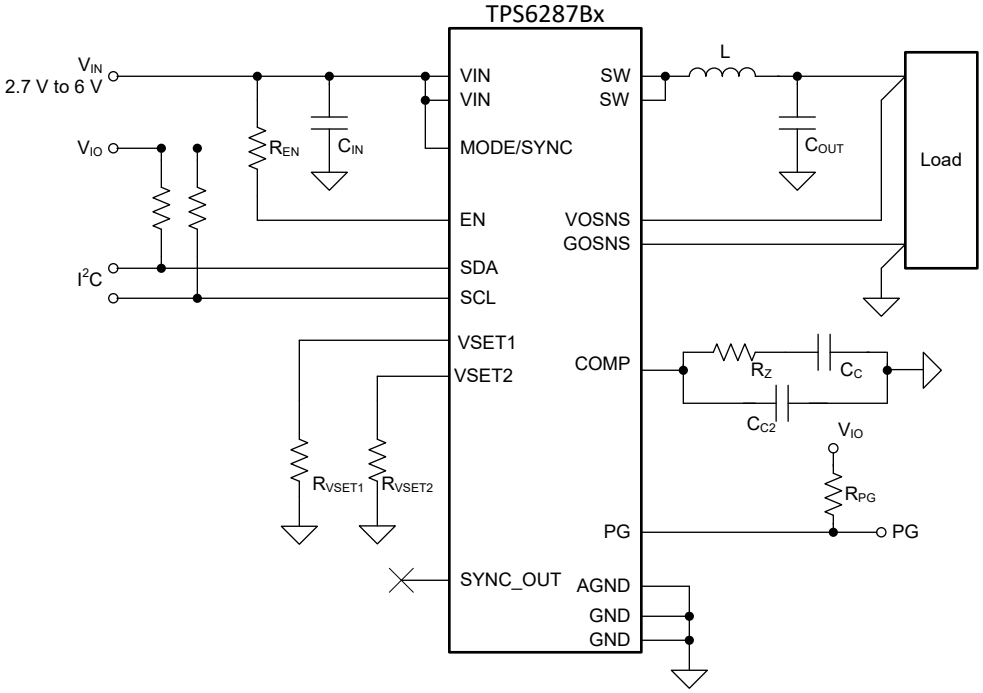


図 7-1. TPS6287Bxx の測定設定

表 7-1. 部品のリスト

リファレンス	説明	メーカー
IC	TPS6287B25BA0WRYUR	テキサス・インスツルメンツ
L	744302010-105nH	Wuerth Elektronik
C_{IN}	2 × 22µF / 10V; GCM31CR71A226KE02L	Murata (村田製作所)
C_{OUT}	4 × 22µF / 10V; GCM31CR71A226KE02L	Murata (村田製作所)
C_C	1.8nF	任意
R_Z	2.1kΩ	任意
C_{C2}	10pF	任意
R_{EN}	22kΩ	任意
R_{VSET1}	出力電圧の設定ポイントを参照	任意
R_{VSET2}	出力電圧の設定ポイントを参照	任意
R_{PG}	100kΩ	任意

Copyright © 2025 Texas Instruments Incorporated

8 詳細説明

8.1 概要

TPS6287Bxx デバイスは同期整流降圧型 (バック) DC/DC コンバータです。これらのデバイスは、高速な過渡応答と固定周波数動作を組み合わせた強化型 DCS-Control 方式を採用しており、低出力電圧リップル、高い DC 精度、差動リモート センシングとあわせて、最新の高性能プロセッサのコア電源に適した設計となっています。

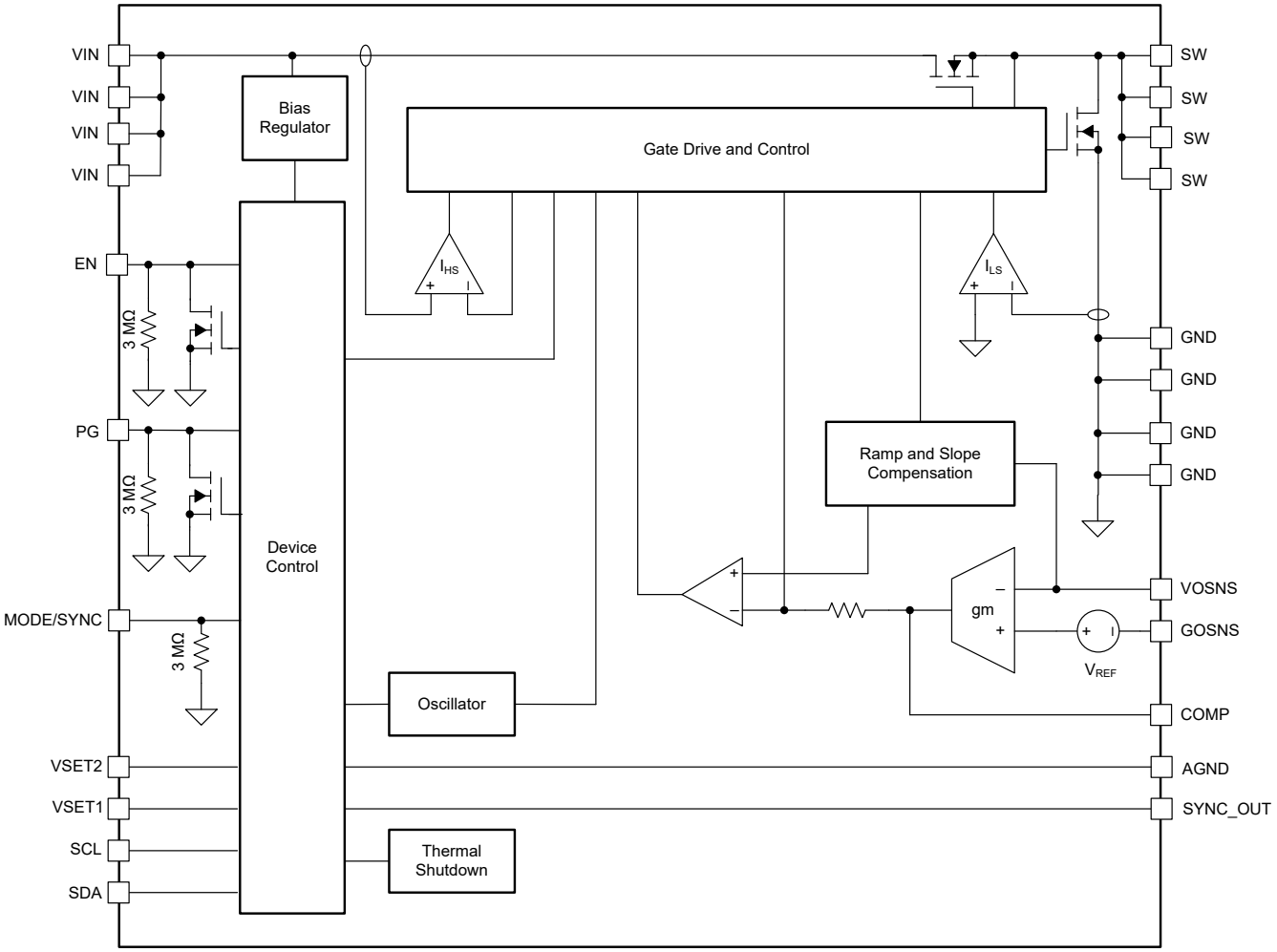
このファミリの 3 つのデバイスは、電流定格を除いて同じです。

- TPS6287B10 は 10A 定格のデバイスです。
- TPS6287B15 は 15A 定格のデバイスです。
- TPS6287B20 は 20A 定格のデバイスです。
- TPS6287B25 は 25A 定格のデバイスです。
- TPS6287B30 は 30A 定格のデバイスです。

出力電流能力をさらに高めるには、スタック内に複数のデバイスを組み合わせてください。たとえば、2 つの TPS6287B25 デバイスをスタックすると、50A の電流容量になります。

TPS6287Bxx デバイスには I²C 互換のインターフェイスが内蔵されており、動作の制御と監視が可能です。I ²C 互換インターフェースを使用しない場合は、SCL ピンおよび SDA ピンを GND に接続してください。

8.2 機能ブロック図



8.3 機能説明

8.3.1 固定周波数の DCS-Control トポロジ

図 8-1 に、TPS6287Bxx デバイスで使用されている固定周波数 DCS-Control トポロジの簡略ブロック図を示します。このトポロジは、内部でエミュレートされた電流ループと外部の電圧調整ループで構成されています。

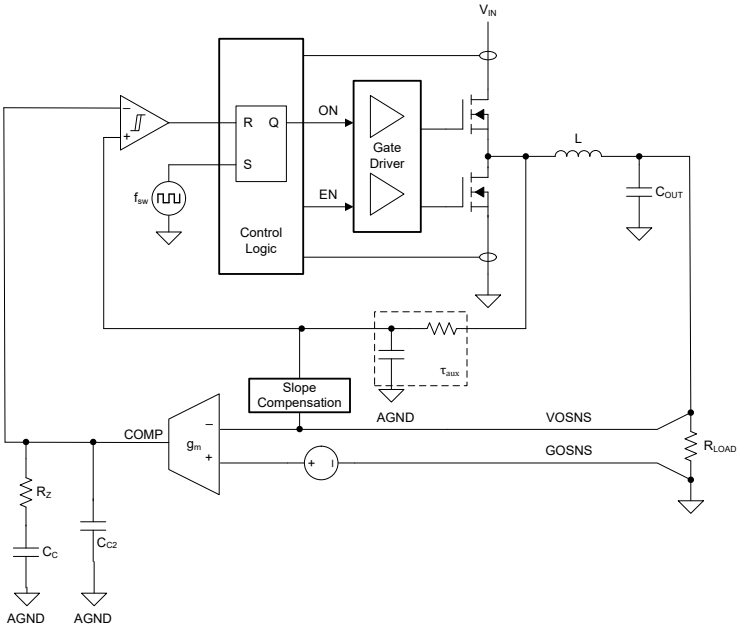


図 8-1. 固定周波数の DCS-Control トポロジ (簡略図)

8.3.2 強制 PWM モードとパワーセーブ モード

デバイスは、出力をレギュレートするための 3 つの方法でインダクタ電流を制御できます。

- 連続インダクタ電流を使用するパルス幅変調 (PWM-CCM)
- 不連続インダクタ電流によるパルス幅変調 (PWM-DCM)
- 不連続インダクタ電流およびパルススキップによるパルス周波数変調 (PFM - CCM)

PWM-CCM 動作中、デバイスは一定の周波数でスイッチングを行い、インダクタ電流は連続的です (図 8-2 を参照)。PWM 動作は、最小の出力電圧リップルと最高の過渡性能を達成します。

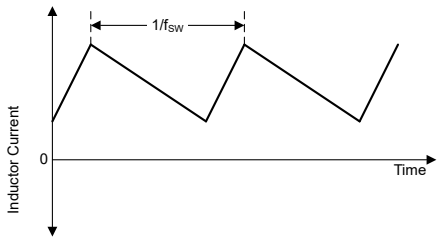


図 8-2. 連続導通モード (CCM) 電流波形

PWM-DCM 動作中、デバイスは一定の周波数でスイッチングを行い、インダクタ電流は不連続です (図 8-3 を参照)。このモードでは、デバイスはピーク インダクタ電流を制御し、選択したスイッチング周波数を維持しながら、出力のレギュレーションを維持することができます。

Copyright © 2025 Texas Instruments Incorporated

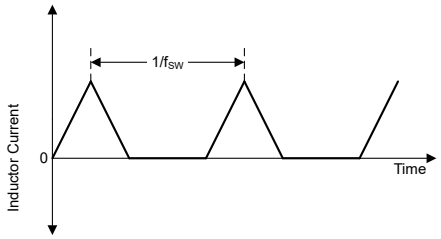


図 8-3. 不連続導通モード (DCM) 電流波形

PFM - DCM 動作中、デバイスはピーク インダクタ電流を一定に維持し (コンバータの最小オン時間に対応するレベル)、パルスをスキップして出力をレギュレートします (図 8-4 を参照)。PFM - DCM 動作中に発生するスイッチング パルスは、内部クロックに同期されます。

.

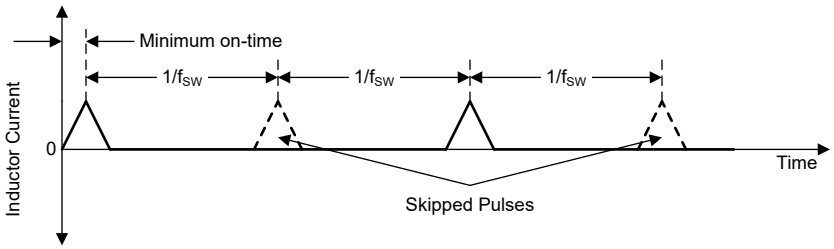


図 8-4. 不連続導通モード (PFM/DCM) 電流波形

デバイスが PFM-DCM になる出力電流スレッショルドを計算するには、式 1 を使用します。

$$I_{OUT(PFM)} = \frac{(V_{IN} - V_{OUT})}{2L} t_{ON}{}^{2} \left(\frac{V_{IN}}{V_{OUT}}\right) f_{sw} \tag{1}$$

次の図は、スレッショルド V_{IN} と V_{OUT} が、スイッチング周波数 1.5MHz の場合に、どのように変化するかを示しています。

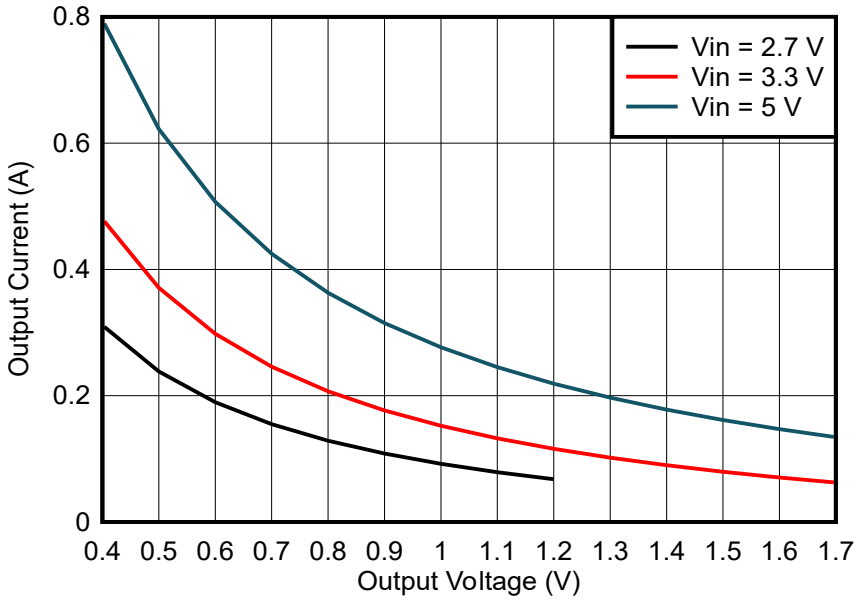


図 8-5. f_{SW} = 1.5MHz および L = 105nH の出力電流 PFM - DCM エントリ スレッショルド

強制 PWM モード (FPWM) とパワーセーブ モード (PSM) のどちらかを使用するようにデバイスを構成します。

- 強制 PWM モードでは、デバイスは常に PWM-CCM を使用します。
- パワーセーブモードでは、このデバイスは中負荷および高負荷で PWM-CCM、低負荷で PWM-DCM、非常に低負荷で PFM -DCM を使用します。各種動作モード間の遷移はシームレスに行われます。

表 8-1 に、本デバイスの動作モードを制御する MODE/SYNC ピンの機能表と CONTROL1 レジスタの FPWMEN ビットを示します。

表 8-1. FPWM モードとパワーセーブ モードの選択

MODE/SYNC ピン	FPWMEN ビット	動作モード	注記
低	0	PSM	スタック構成では使用しないでください
	1	FPWM	
高	X	FPWM	
同期クロック	X	FPWM	

8.3.3 非同期過渡モード (オプション)

TPS6287Bxx には過渡非同期モードがあり、負荷解放時の出力電圧のオーバーシュートを最小限に抑えるのに役立ちます。ハイサイド FET がオフになると、インダクタ電流の減衰は主に出力電圧によって決まり、ローサイド FET にはほとんど電圧降下が生じません。出力電圧が非常に低い場合、電流の減衰が遅いため、負荷変動時には通常、アンダーシュートよりもオーバーシュートの方が大きくなります。非同期モードでは、ローサイド FET が 6 つのスイッチング サイクルの間オフになり、その間インダクタ電流はボディ ダイオードを通じて減衰します。この場合、インダクタの両端に電圧が追加されるため、電流の減衰が速くなり、出力電圧のオーバーシュートは小さくなります。

8.3.4 高精度イネーブル

イネーブル (EN) ピンは双方向で、2 つの機能を持ちます。

- このピンは、入力として、デバイスの DC/DC コンバータを有効/無効にします。
- 出力として、このピンはスタック構成内の他のデバイスに対して SYSTEM_READY 信号を提供します。

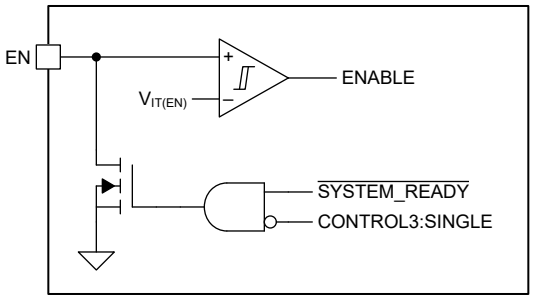


図 8-6. 機能ブロック図を有効にする

EN ピンに接続された内部オープン ドレイントランジスタがあるため、低インピーダンスのソースからこのピンを直接駆動しないでください。代わりに、抵抗を使用して、EN ピンに流れる電流を制限します (セクション 10.1 を参照)。

VIN ピンに電源が初めて供給されると、デバイスは非揮発メモリからデフォルトのレジスタ設定を読み込み、VSET1、VSET2 および SYNC_OUT ピンの状態を読み取るまで、EN ピンを Low に保持します。また、サーマル シャットダウンや過電圧ロックアウトなどの故障が発生した場合も、デバイスは EN を Low にプルします。スタック構成では、すべてのデバイスが共通のイネーブル信号を共有します。これは、スタック内の すべてのデバイスが初期化を完了するまで、スタック内の DC/DC コンバータのスイッチングを開始できないことを意味します。同様に、スタック内の 1 つ以上のデバイスに故障が発生すると、スタック内の すべてのコンバータが無効化されます (セクション 8.3.18 を参照)。

スタンドアロン (非スタック) アプリケーションでは、CONTROL3 レジスタで SINGLE = 1 に設定することで、EN ピンのアクティブプルダウン機能を無効にすることができます。SINGLE = 1 の場合、故障状態は EN ピンに影響を与えません。

Copyright © 2025 Texas Instruments Incorporated

(デバイスの初期化中は、EN ピンは*常にプル*ダウンされることに注意してください。)スタックアプリケーションでは、SINGLE = 0 であることを確認してください。

内部 $\overline{\text{SYSTEM_ready}}$ 信号が Low のとき (つまり、初期化が完了し、フォルト条件がないとき)、内部オープンドレイントランジスタは高インピーダンスであり、EN ピンは標準入力と同様に機能します。EN ピンが High レベルになると、デバイスの DC/DC コンバータがイネーブルになり、Low レベルになると、デバイスの DC/DC コンバータがディセーブルされます。(I^2C インターフェイスは、デバイスが初期化を完了するとすぐに有効になり、内部 ENABLE または $\overline{\text{SYSTEM_READY}}$ 信号の状態には影響されません。)

EN ピンが Low レベルになると、デバイスは強制的にシャットダウンします。シャットダウン中、電力段の MOSFET がオフになり、内部制御回路が無効化され、デバイスの消費電流は 20μA (標準値) のみです。

EN ピンの立ち上がりしきい値電圧は 1.0V、立ち下がりしきい値電圧は 0.9V です。スレッショルド電圧の許容誤差は ±30mV であるため、EN ピンを使用して正確なオン/オフ制御を実現できます。

8.3.5 スタートアップ

VIN ピンの電圧が正方向の UVLO スレッショルドを超えると、デバイスは次のように初期化されます。

- デバイスは、EN ピンを Low にプルします。
- デバイスは、内部リファレンス電圧を無効にします。
- デバイスは VSET1、VSET2、VSET3、VSET4、FSET、および SYNC_OUT ピンの状態を読み取ります。
- デバイスは、デフォルト値をデバイスのレジスタにロードします。

初期化が完了すると、デバイスは I^2C 通信を有効にし、EN ピンを解放します。これで、EN ピンを制御する外部回路によってデバイスの動作が決定されます。

- EN ピンが Low の場合、デバイスは無効化されます。この状態でもレジスタへの読み書きは可能ですが、DC/DC コンバータは動作しません。
- EN ピンが High の場合、デバイスは有効になります。この状態ではレジスタへの読み書きが可能であり、EN ピンが High になってから短い遅延の後に、DC/DC コンバータが出力の立ち上げを開始します。

図 8-7 に、EN ピンが抵抗を経由して V_{IN} にプルアップされたときのスタートアップ シーケンスを示します。

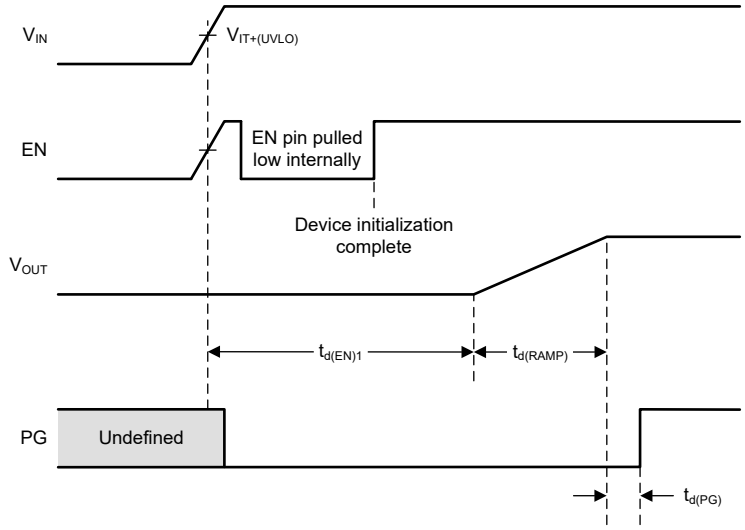


図 8-7. EN が V_{IN} にプルアップされたときのスタートアップタイミング

図 8-8 に、外部信号が EN ピンに接続されている場合のスタートアップ シーケンスを示します。

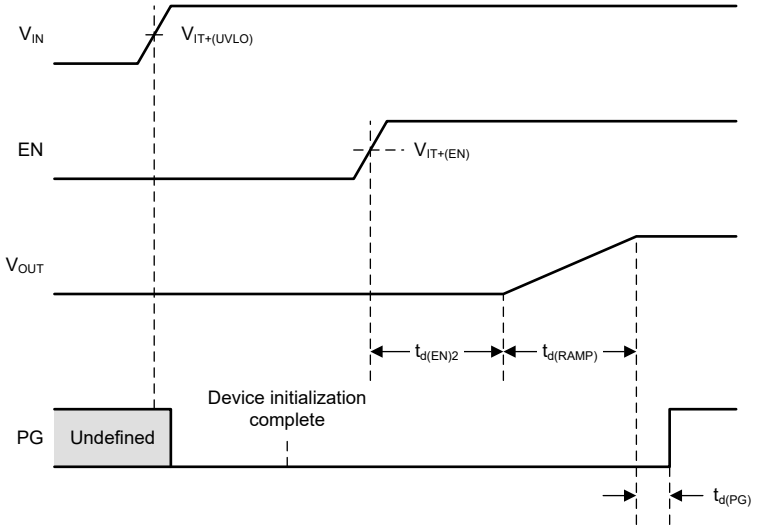


図 8-8. 外部信号が EN ピンに接続されている場合のスタートアップ タイミング

CONTROL2 レジスタの SSTIME[1:0] ビットを使用して、ソフトスタート ランプの持続時間を選択します。

- $t_{d(RAMP)}$ = 500µs
- $t_{d(RAMP)}$ = 770µs (TPS6287BxxLA0 のデフォルト)
- $t_{d(RAMP)}$ = 1ms (TPS6287BxxHA0、TPS6287BxxJE2 および TPS6287BxxVA0 のデフォルト)
- $t_{d(RAMP)}$ = 2ms

デバイスがすでにソフトスタート シーケンスを開始している状態で、ユーザーが新しい出力電圧設定値 (VSET[7:0])、出力電圧範囲 (VRANGE[1:0])、またはソフトスタート時間 (SSTIME[1:0]) を設定しても、デバイスはソフトスタート シーケンスが完了するまでその新しい値を無視します。たとえば、ソフトスタート中にユーザーが VSET[7:0] の値を変更した場合、デバイスはまず、ソフトスタート シーケンス開始時点の VSET[7:0] の値に向かって出力を立ち上げ、その後、ソフトスタートが完了すると、新しい値に向かって電圧を上昇または下降させます。

デバイスはプリバイアス出力の起動ができます。この場合、内部電圧ランプの一部のみが外部から検出されます (図 8-9 を参照)。

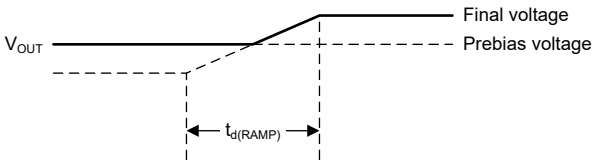


図 8-9. プリバイアス出力の起動

スタートアップ ランプ中は、他の構成設定や動作条件に関係なく、デバイスは*常に* DCM / PFM で動作することに注意してください。

8.3.6 スイッチング周波数の選択、TPS6287BxxJE2 にのみ適用

デバイスの初期化時に、デバイスの抵抗/デジタルコンバータによって FSET ピンの状態が決定され、表 8-2 に従って DC/DC コンバータのスイッチング周波数が設定されます。

表 8-2. スイッチング周波数の選択肢

FSET の抵抗(1%)	スイッチング周波数
GND に 6.2kΩ	1.5MHz
GND への短絡	2.25MHz
V_{IN} への短絡	2.5MHz

Copyright © 2025 Texas Instruments Incorporated

表 8-2. スイッチング周波数の選択肢 (続き)

FSET の抵抗(1%)	スイッチング周波数
V_{IN} に 47kΩ	3MHz

次の図は FSET ピンの状態を検出するために使用される R2D コンバータの簡略化ブロック図を示しています (同一の回路が VSET ピンの状態検出にも使用されます - *出力電圧設定ポイント*を参照)。

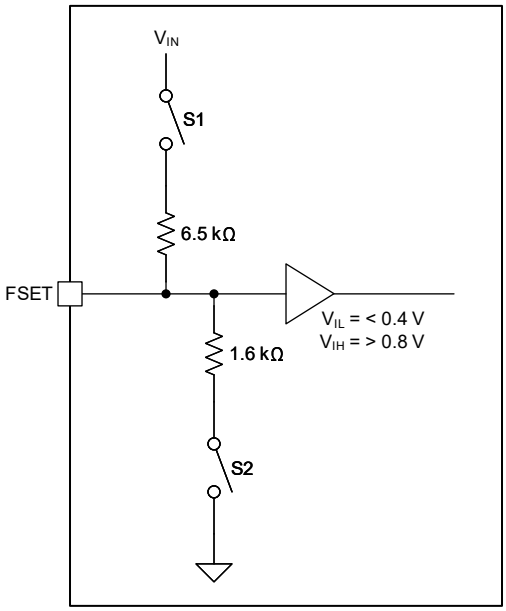


図 8-10. FSET R2D コンバータの機能ブロック図

FSET ピンの状態の検出は次のように動作します。

最上位ビット (MSB) を検出するため、回路は S1 と S2 を開き、入力バッファが FSET ピンに HIGH または LOW レベルが接続されているかどうかを検出します。

最下位ビット (LSB) を検出する場合:

- MSB が 0 の場合、回路は S1 を閉じます。入力バッファが HIGH レベルを検出すると、LSB = 1 になります。回路が LOW レベルを検出すると、LSB = 0 になります。
- MSB が 1 の場合、回路は S2 を閉じます。入力バッファが LOW レベルを検出した場合、LSB = 0 になります。回路が HIGH レベルを検出した場合、LSB = 1 になります。

電流センシング コンパレータの伝搬遅延により、デバイスの最小オン時間が制限されます。実際には、これは、小さなデューティ サイクルでデバイスがサポートできる最大スイッチング周波数が低下することを意味します。3.3V および 5V 電源を使用するデバイスの実際的な動作範囲を図 6-5 に示します。

8.3.7 出力電圧設定

8.3.7.1 出力電圧範囲

このデバイスは、3 つの電圧範囲に対応しています。CONTROL1 レジスタの VRANGE[1:0] ビットは、アクティブにする範囲を制御します (表 8-3 を参照)。TPS6287BxxHA0、TPS6287BxxJE2、TPS6287BxxVA0 の場合、デバイス初期化後のデフォルトの出力電圧範囲は、5mV ステップで 0.4V ～ 1.675V です。TPS6287BxxLA0 の場合、デバイス初期化後のデフォルトの出力電圧範囲は 0.4V ～ 1.0375V で、2.5mV ステップです。

表 8-3. 電圧レンジ

VRANGE[1:0]	電圧レンジ
0b00	0.4V～0.71875V (1.25mV 刻み)
0b01	0.4V～1.0375V (2.5mV 刻み)
0b10	0.4V～1.675V (5mV 刻み)
0b11	0.4V～1.675V (5mV 刻み)

VRANGE[1:0] ビットの変更の後には、VSET[7:0] ビットの値が変化しない場合でも、VSET レジスタに書き込む必要があります。このシーケンスは、デバイスが新しい電圧範囲の使用を開始するために必要です。

8.3.7.2 出力電圧の設定ポイント

選択した範囲と一緒に、VSET レジスタの VSET[7:0] ビットは、デバイスの出力電圧設定点を制御します (表 8-4 を参照)。

表 8-4. 起動時の電圧設定

VRANGE[1:0]	出力電圧の設定ポイント
0b00	0.4V + VSET[7:0] × 1.25mV
0b01	0.4V + VSET[7:0] × 2.5mV
0b10	0.4V + VSET[7:0] × 5mV
0b11	0.4V + VSET[7:0] × 5mV

初期化時に、デバイスは VSET1 ピンおよび VSET2 ピンの状態を読み取り、に従ってデフォルト出力電圧を選択します。の VSET1 ピンと VSET2 ピンは、デバイスの I^2C ターゲット アドレスも選択されることに注意してください (以下を参照)。デバイス バージョンおよび出力電圧設定ポイントの詳細なリストについては、*デバイスのオプション*表を参照してください。

表 8-5. TPS6287BxxL のデフォルト出力電圧設定ポイント

VSET1 ピン	VSET2 ピン	I^2C デバイス アドレス	出力電圧の設定ポイント
GND への短絡	GND への短絡	0x45	400mV
GND への短絡	6.2kΩ から GND へ	0x44	425mV
GND への短絡	47kΩ を V_{IN} へ	0x47	450mV
GND への短絡	V_{IN} への短絡	0x46	475mV
6.2kΩ から GND へ	GND への短絡	0x45	500mV
6.2kΩ から GND へ	6.2kΩ から GND へ	0x44	525mV
6.2kΩ から GND へ	47kΩ を V_{IN} へ	0x47	550mV
6.2kΩ から GND へ	V_{IN} への短絡	0x46	575mV
47kΩ を V_{IN} へ	GND への短絡	0x45	600mV
47kΩ を V_{IN} へ	6.2kΩ から GND へ	0x44	625mV
47kΩ を V_{IN} へ	47kΩ を V_{IN} へ	0x47	650mV
47kΩ を V_{IN} へ	V_{IN} への短絡	0x46	675mV
V_{IN} への短絡	GND への短絡	0x45	700mV
V_{IN} への短絡	6.2kΩ から GND へ	0x44	725mV
V_{IN} への短絡	47kΩ を V_{IN} へ	0x47	750mV
V_{IN} への短絡	V_{IN} への短絡	0x46	775mV

表 8-6. TPS6287BxxH のデフォルト出力電圧設定ポイント

VSET1 ピン	VSET2 ピン	I^2C デバイス アドレス	出力電圧の設定ポイント
GND への短絡	GND への短絡	0x45	800mV

Copyright © 2025 Texas Instruments Incorporated

表 8-6. TPS6287BxxH のデフォルト出力電圧設定ポイント (続き)

VSET1 ピン	VSET2 ピン	I²C デバイス アドレス	出力電圧の設定ポイント
GND への短絡	6.2kΩ から GND へ	0x44	850mV
GND への短絡	47kΩ を V_{IN} へ	0x47	900mV
GND への短絡	V_{IN} への短絡	0x46	950mV
6.2kΩ から GND へ	GND への短絡	0x45	1000mV
6.2kΩ から GND へ	6.2kΩ から GND へ	0x44	1050mV
6.2kΩ から GND へ	47kΩ を V_{IN} へ	0x47	1100mV
6.2kΩ から GND へ	V_{IN} への短絡	0x46	1150mV
47kΩ を V_{IN} へ	GND への短絡	0x45	1200mV
47kΩ を V_{IN} へ	6.2kΩ から GND へ	0x44	1250mV
47kΩ を V_{IN} へ	47kΩ を V_{IN} へ	0x47	1300mV
47kΩ を V_{IN} へ	V_{IN} への短絡	0x46	1350mV
V_{IN} への短絡	GND への短絡	0x45	1400mV
V_{IN} への短絡	6.2kΩ から GND へ	0x44	1450mV
V_{IN} への短絡	47kΩ を V_{IN} へ	0x47	1500mV
V_{IN} への短絡	V_{IN} への短絡	0x46	1550mV

表 8-7. TPS6287BxxV のデフォルト電圧設定ポイント

		VSET4 = LOW		VSET4 = HIGH	
VSET1 ピン	VSET2 ピン	VSET3 = LOW	VSET3 = HIGH	VSET3 = LOW	VSET3 = HIGH
GND への短絡	GND への短絡	400mV	425mV	900mV	925mV
GND への短絡	6.2kΩ から GND へ	450mV	475mV	950mV	975mV
GND への短絡	47kΩ を V_{IN} へ	500mV	525mV	1000mV	1025mV
GND への短絡	V_{IN} への短絡	550mV	575mV	1050mV	1075mV
6.2kΩ から GND へ	GND への短絡	600mV	625mV	1100mV	1125mV
6.2kΩ から GND へ	6.2kΩ から GND へ	650mV	675mV	1150mV	1175mV
6.2kΩ から GND へ	47kΩ を V_{IN} へ	700mV	725mV	1200mV	1225mV
6.2kΩ から GND へ	V_{IN} への短絡	750mV	775mV	1250mV	1275mV
47kΩ を V_{IN} へ	GND への短絡	800mV	825mV	1300mV	1325mV
47kΩ を V_{IN} へ	6.2kΩ から GND へ	850mV	875mV	1350mV	1375mV
47kΩ を V_{IN} へ	47kΩ を V_{IN} へ	900mV	925mV	1400mV	1425mV
47kΩ を V_{IN} へ	V_{IN} への短絡	950mV	975mV	1450mV	1475mV
V_{IN} への短絡	GND への短絡	1000mV	1025mV	1500mV	1525mV
V_{IN} への短絡	6.2kΩ から GND へ	1050mV	1075mV	1550mV	1575mV
V_{IN} への短絡	47kΩ を V_{IN} へ	1100mV	1125mV	1600mV	1625mV
V_{IN} への短絡	V_{IN} への短絡	1150mV	1175mV	1650mV	1675mV

表 8-8. TPS6287BxxJE2 のデフォルト出力電圧設定ポイント

VSEL ピン [1]	VSET[7:0]	I2C デバイス アドレス	出力電圧の設定ポイント
6.2kΩ から GND へ	0x50	0x44	800mV
GND への短絡	0x50	0x45	800mV
V_{IN} への短絡	0x5F	0x46	875mV

[1] 信頼性の高い電圧設定を得るため、VSEL ピンに接続された浮遊電流パスが存在しないこと、および VSET1 ピンと VSET2 ピンと GND の間の寄生容量が 30pF 未満であることを確認します。

表 8-8. TPS6287BxxJE2 のデフォルト出力電圧設定ポイント (続き)

VSEL ピン [1]	VSET[7:0]	I2C デバイス アドレス	出力電圧の設定ポイント
47kΩ を V_{IN} へ	0x50	0x47	800mV

デバイスがすでにソフトスタート シーケンスを開始している状態で、新たな出力電圧設定値 (VSET[7:0])、出力電圧範囲 (VRANGE[1:0])、またはソフトスタート時間 (SSTIME[1:0]) をプログラムしても、それらの新しい設定はソフトスタート シーケンスが完了するまで無視されます。たとえば、ソフト スタート中に VSET[7:0] の値を変更した場合、デバイスはまず、ソフトスタート シーケンス開始時点での VSET[7:0] の値に向かって出力電圧を立ち上げ、その後ソフトスタートが完了してから、新しい値に向かって電圧を上げるか下げるかします。

ユーザーが EN 信号が Low の間に VSET[7:0]、VRAMP[1:0]、または SSTIME[1:0] を変更した場合、デバイスは次回ユーザーが有効化したときに新しい値を使用します。

起動時には、まず出力電圧が VSET1 ピンおよび VSET2 ピンで設定された目標値まで立ち上がり、その後、I^2C インターフェイスを介してデバイスにプログラムされた新しい値に向かって、電圧が上昇または下降します。

8.3.7.3 デフォルト以外の出力電圧の設定ポイント

デフォルトの電圧範囲や電圧設定値の組み合わせがアプリケーションに最適でない場合は、ユーザーはデバイスを有効にする前に、I^2C によってこれらの設定を変更することができます。その後、EN ピンを High にすると、デバイスは希望する起動電圧で立ち上がります。

デバイスのランプ中に I^2C を使用してデバイス設定を変更した場合は、ランプが完了するまでの変更は無視されることに注意してください。

8.3.7.4 ダイナミック電圧スケーリング

DC/DC コンバータが動作中に出力電圧の設定値を変更した場合、デバイスは新しい電圧設定に向けて制御された方法で電圧を上昇または下降させます。

CONTROL1 レジスタの VRAMP[1:0] ビットは、DVS 中にデバイスがある電圧から別の電圧に上昇するときのスルーレートを設定します (表 8-9 を参照)。

表 8-9. 動的電圧 スケーリング スルーレート

VRAMP[1:0]	DVS スルーレート
0b00	10mV/µs
0b01	5mV/µs
0b10 (デフォルト)	1.25mV/µs
0b11	0.5mV/µs

出力をより高い電圧に上げるには、追加の出力電流が必要になることに注意してください。そのため、DVS 中、コンバータは次の式で求められる合計出力電流を生成する必要があります。

$$I_{OUT} = I_{OUT\,(DC)} + C_{OUT}\frac{dV_{OUT}}{dt} \tag{2}$$

ここで

- I_{OUT} は、より高い電圧に上昇している間にコンバータが生成する必要がある合計電流です
- $I_{OUT(DC)}$ は DC 負荷電流
- C_{OUT} は合計出力キャパシタンス

[1] 信頼性の高い電圧設定を得るため、VSEL ピンに接続された浮遊電流パスが存在しないこと、および VSET1 ピンと VSET2 ピンと GND の間の寄生容量が 30pF 未満であることを確認します。

Copyright © 2025 Texas Instruments Incorporated

- dV_{OUT}/dt は出力電圧のスルーレートです (0.5mV/µs ～ 10mV/µs の範囲でプログラマブル)

正常に動作させるには、DVS 中の合計出力電流がデバイスの電流制限を超えないことを確認してください。

8.3.7.5 ドループ補償

ドループ補償により、出力電流に基づいて公称出力電圧がスケーリングされます。この動作は、出力電流がない場合は出力電圧がより高い値に設定され、最大出力電流で公称値よりも小さい値に設定されるようにします。そのため、ドループ補償は負荷過渡時により大きなマージンを提供し、大きな負荷変動や負荷解除時にも出力電圧を一定の許容範囲内に保つのに役立ち、また出力容量を小さく抑えることも可能にします。電圧スケーリングは、相対値ではなく絶対値です。電圧スケーリングと出力電流の関係は、TPS6287Bxx の出力電流バージョンは、それぞれ 10A、15A、20A、25A、30A の定格出力電流に基づいて依存します。その動作を図 8-11 のグラフに示します。ドループ補償がデフォルトで無効または有効になっている場合の特定のバージョンについては、「*「デバイス オプション」*表を参照してください。ドループ補償は、ビット CONTROL3:DROOPEN で有効化できます。ドループ補償を有効化するには、デバイスが無効化されている間に行う必要があります。有効にしないと、過渡出力電圧の偏差が発生する可能性があります。

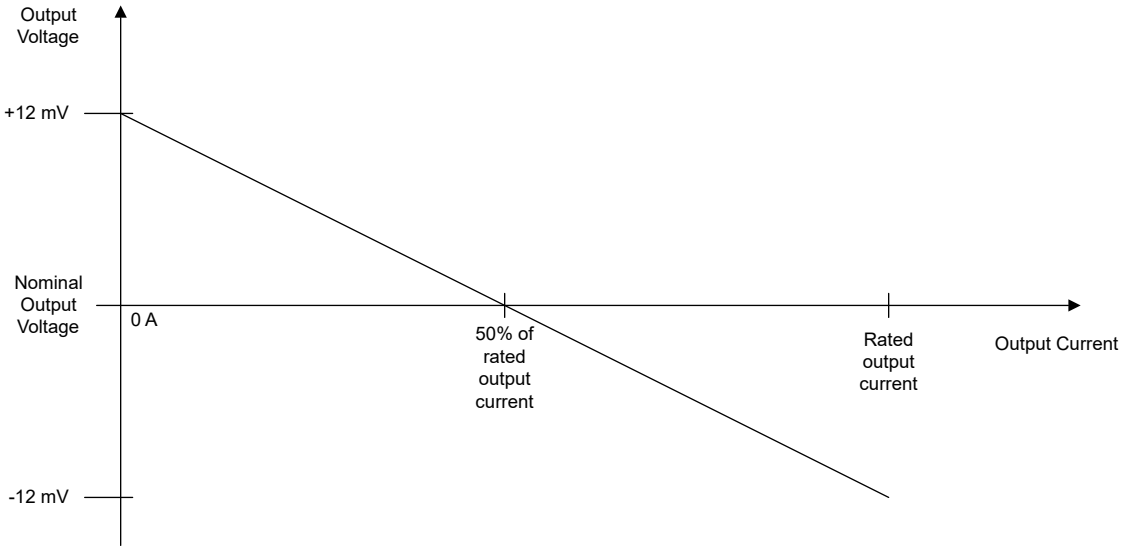


図 8-11. 出力電流による電圧スケーリング

8.3.8 補償 (COMP)

COMP ピンは、外部補償ネットワークを接続するための端子です。通常のアプリケーションでは、AGND に直列接続された抵抗とコンデンサで十分であり、幅広い動作条件に対応したループ応答の最適化が可能です。

複数のデバイスをスタック構成で使用する場合、すべてのデバイスが共通の補償ネットワークを共有し、COMP ピンによって各デバイス間で電流が均等に分担されるようにします (セクション 8.3.18 を参照)。

8.3.9 モード選択 / クロック同期 (MODE/SYNC)

MODE/SYNC ピンに High レベルが印加されると、強制 PWM 動作が選択されます。MODE/SYNC ピンが Low レベルになると、パワーセーブ動作が選択され、デバイスは負荷条件に応じて PWM と PFM の間を自動的に遷移します。

MODE/SYNC ピンに有効なクロック信号を印加すると、デバイスはスイッチング サイクルを外部クロックに同期させ、強制 PWM 動作を自動的に選択します。

MODE/SYNC ピンは CONTROL1 レジスタの FPWMEN ビットと論理 OR されます (表 8-1 を参照)。

複数のデバイスをスタック構成で使用する場合、セカンダリデバイスの MODE/SYNC ピンはクロック信号の入力として機能します (セクション 8.3.18 を参照)。

8.3.10 スペクトラム拡散クロック処理 (SSC)

このデバイスはスペクトラム拡散クロック機能を備え、電磁干渉 (EMI) を低減できます。SSC 機能がアクティブのとき、デバイスは公称値の ±10% までスイッチング周波数を変調します。周波数変調は三角波特性を持っています (図 8-12 を参照)。

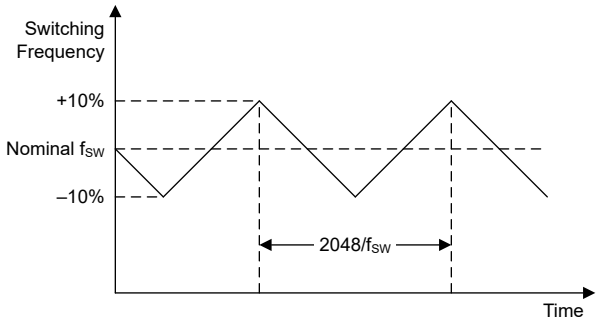


図 8-12. スペクトラム拡散クロック処理の動作

SSC 機能を使用するには、次のことを確認します。

- CONTROL1 レジスタの SSCEN = 1
- 強制 PWM 動作を選択 (CONTROL1 レジスタで MODE ピンを High または FPWMEN = 1)
- クロックが外部クロックに同期していない。

SSC 機能を無効化するには、CONTROL1 レジスタで SCCEN = 0 であることを確認します。

スタック構成の複数のデバイスで SSC 機能を使用するには、1 次コンバータが内部発振器から動作し、すべての 2 次コンバータが 1 次クロックに同期するようにします (セクション 10.4 を参照)。

8.3.11 出力放電

このデバイスには出力放電機能が備わっており、デバイスが無効化された際に出力電圧が一定の速度で低下するようにし、デバイスがオフの間も出力電圧を 0V 付近に保ちます。CONTROL1 レジスタで DISCHEN = 1 のとき、出力放電機能は有効にされます。出力放電機能はデフォルトで有効になっています。

有効になっている場合、デバイスは以下の条件下で出力を放電します:

- EN ピンには low レベルが印加されている
- CONTROL1 レジスタの SWEN = 0
- サーマル シャットダウンイベントが発生する
- UVLO イベントが発生する
- OVLO イベントが発生する

出力放電機能は、電源投入後に一度でもデバイスを有効化しない限り使用できません。電源オフ時、デバイスは供給電圧が約 1.8V を上回っている限り、出力の放電を継続します。

8.3.12 低電圧誤動作防止 (UVLO)

TPS6287Bxx には低電圧誤動作防止機能があり、電源電圧が低すぎて正常な動作ができない場合、デバイスはディスエーブルされます。UVLO 機能の負方向スレッショルドは 2.5V (標準値) です。電源電圧がこの値を下回ると、デバイスはスイッチングを停止します。CONTROL1 レジスタで DISCHEN = 1 の場合、出力放電をオンにします。

8.3.13 過電圧誤動作防止 (OVLO)

TPS6287Bxx には過電圧ロックアウト機能があり、電源電圧が高すぎて正常な動作ができない場合、DC/DC コンバータが無効になります。OVLO 機能の正方向スレッショルドは 6.3V (標準値) です。電源電圧がこの値を超えると、デバイスはスイッチングを停止し、CONTROL1 レジスタで DISCHEN = 1 に設定されている場合は、出力放電機能が有効になります。

Copyright © 2025 Texas Instruments Incorporated

デバイスは自動的にスイッチングを再開します。電源電圧が 6.2V (標準値) を下回ると、デバイスは新しいソフトスタートシーケンスを開始します。

8.3.14 過電流保護

8.3.14.1 サイクル単位の電流制限

ピーク インダクタ電流がハイサイド電流制限のしきい値を超えると、デバイスはハイサイド スイッチをオフにし、ローサイドスイッチをオンにしてインダクタ電流を減少させます。デバイスは、インダクタ電流がローサイド電流制限のしきい値を下回った場合にのみ、再びハイサイド スイッチをオンにします。

なお、電流制限コンパレータの伝播遅延により、実際の電流制限スレッショルドは、電気的特性に記載された DC 値より大きくなる場合があります。実際には、次の式で電流制限を求められます。

$$I_L = I_{LIMH} + \left(\frac{V_{IN} - V_{OUT}}{L}\right) t_{pd} \tag{3}$$

ここで

- I_L は、ピーク インダクタ電流です
- I_{LIMH} は DC で測定されるハイサイド電流制限スレッショルドです
- V_{IN} は入力電圧
- V_{OUT} は出力電圧です。
- L は、ピーク電流レベルでの実効インダクタンスです
- t_{pd} は、電流制限コンパレータの伝播遅延です (通常は 50ns)

8.3.14.2 ヒカップ モード

ヒカップ動作を有効にするには、CONTROL1 レジスタで HICCUPEN = 1 であることを確認します。HICCUP 機能は、デフォルトで無効になっています。

ヒカップ動作が有効になり、ハイサイドスイッチ電流が連続 32 スイッチングサイクルでハイサイド電流制限スレッショルドを超えると、デバイスは次の動作を行います。

- 128µs のスイッチングを停止する。その後、デバイスは自動的にスイッチングを再開する (新しいソフトスタート シーケンスを開始)。
- STATUS レジスタの HICCUP ビットをセットする。
- PG ピンを low にします過負荷状態が解消され、デバイスが正常に起動して出力電圧をレギュレートできるまで、PG ピンは Low のまま維持されます。パワーグッド機能にはグリッチ除去回路があり、パワーグッド信号の立ち上がりエッジを 40µs (標準値) 遅延させることに注意してください。

ヒカップ動作は、出力過負荷状態が存在する限り、電流制限内の 32 サイクルで繰り返されます。その後、128µs の一時停止と、ソフトスタートが試みられます。

過負荷状態が解消されたときに STATUS レジスタを読み取ると、デバイスは HICCUP ビットをクリアします。

8.3.14.3 電流制限モード

電流制限モードを有効にするには、CONTROL1 レジスタで HICCUPEN = 0 であることを確認します。

電流制限動作が有効になっているとき、過負荷状態が存在する間、デバイスはハイサイドスイッチの電流をサイクルごとに制限します。デバイスが連続 4 回以上のスイッチング サイクルにわたってハイサイド スイッチ電流を制限する場合、デバイスは STATUS レジスタで ILIM = 1 に設定します。

過負荷状態が解消された後にユーザーが STATUS レジスタを読み取ると、デバイスは ILIM ビットをクリアします。

8.3.15 パワー グッド (PG)

パワーグッド (PG) ピンは双方向で、次の 2 つの機能を備えています。

- スタンドアロン構成の場合、またスタック構成の主要デバイスでは、PG ピンはコンバータまたはスタックのステータスを示すオープン ドレイン出力です。
- スタック構成におけるセカンダリ デバイスでは、PG ピンは入力として機能し、ソフトスタート シーケンスが完了し、スタック内のすべてのコンバータが DCM スイッチングから CCM スイッチングに切り替え可能な状態であることを示します。

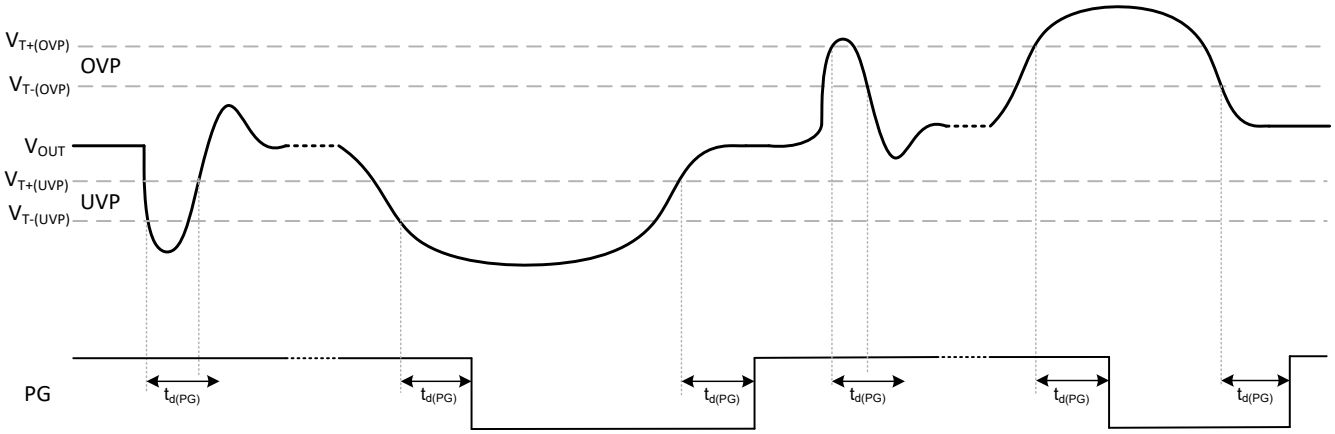


図 8-13. PG のタイミング

8.3.15.1 スタンドアロン、プライマリ デバイスの動作

PG ピンの主な目的は、出力電圧がレギュレート状態であるかどうかを示すことですが、PG ピンはデバイスがサーマル シャットダウン状態でも無効化状態でも示されます。表 8-10 にスタンドアロンまたはプライマリ デバイスにおける PG ピンの動作をまとめます。

表 8-10. パワーグッド機能表

V_{IN}	EN	V_{OUT}	ソフトスタート	PGBLNKDVS AND DVS_active	T_J	PG
V_{IN} < 2V	X	X	X	X	X	未定義
$V_{IT-(UVLO)} \geq V_{IN} \geq$ 2V	X	X	X	X	X	低
$V_{IT-(UVLO)} < V_{IN} < V_{IT+(OVLO)}$	L	X	X	X	X	低
	H	X	アクティブ	X	X	低
		$V_{OUT} > V_{T+(OVP)}$ または $V_{OUT} < V_{T-(UVP)}$	非アクティブ	0	X	低
				1	$T_J < T_{SD}$	ハイ インピーダンス
		$V_{T-(OVP)} > V_{OUT} > V_{T+(UVP)}$		X	$T_J < T_{SD}$	ハイ インピーダンス
		X	X	X	$T_J > T_{SD}$	低
$V_{IN} > V_{IT+(OVLO)}$	X	X	X	X	X	低

図 8-14 に、スタンドアロンまたはプライマリ デバイスのパワーグッド機能の機能ブロック図を示します。ウィンドウ コンパレータは出力電圧を監視し、出力電圧が公称出力電圧の 95% 未満 (標準値) または 公称電圧の 105% を上回る場合、コンパレータの出力が High になります。ウィンドウ コンパレータの出力はグリッチ除去されます：標準のグリッチ除去時間は 40µs。その後、オープン ドレインの PG ピンの駆動に使用されます。

Copyright © 2025 Texas Instruments Incorporated

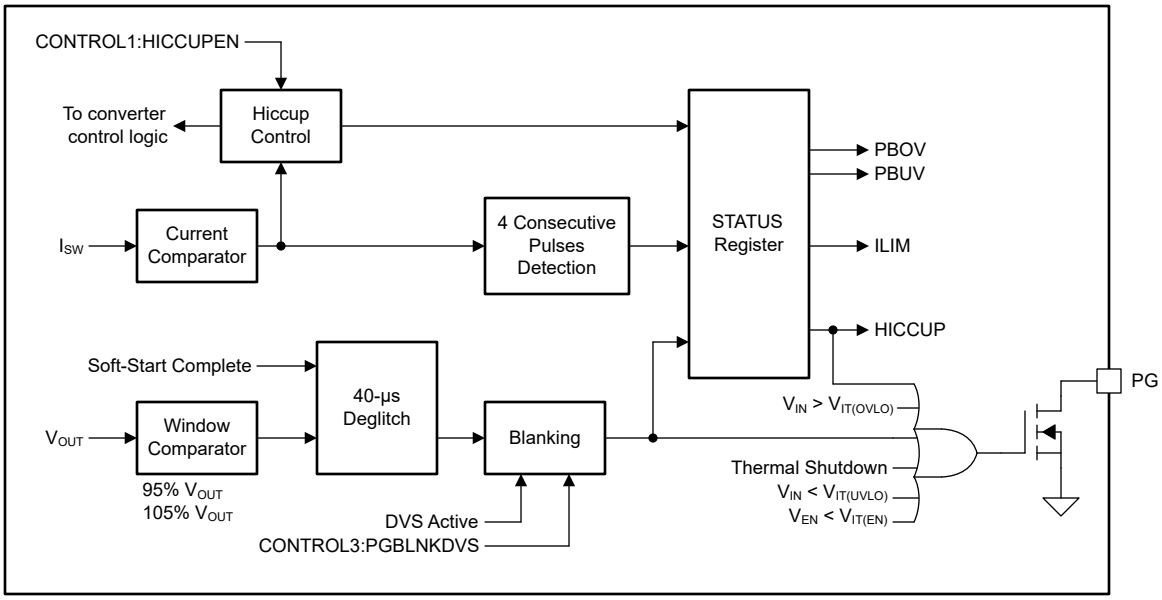


図 8-14. パワーグッド機能のブロック図 (スタンドアロン、プライマリ デバイス)

DVS 動作中に、DC/DC コンバータがある出力電圧設定から別の出力電圧設定に遷移すると、出力電圧が一時的にウィンドウ コンパレータの制限を超え、PG ピンを Low にする場合があります。デバイスには、この動作を無効化する機能があります。CONTROL3 レジスタで PGBLNKDVS = 1 の場合、DVS がアクティブの間、パワーグッド ウィンドウ コンパレータの出力を無視します。

PG ピンは、以下の場合ウィンドウ コンパレータの出力に関係なく常に Low であることに注意してください。

- デバイスがサーマル シャットダウン中
- デバイスが無効化されている
- デバイスは低電圧ロックアウト状態
- デバイスは過電圧ロックアウト状態
- デバイスがソフトスタート状態にある
- デバイスがヒカップ モード中

8.3.15.2 2 次デバイスの動作

図 8-15 は、2 次側デバイスにおけるパワーグッド機能の機能ブロック図を示しています。初期化中、デバイスは FF2 をプリセットし、これによって PG ピンがプルダウンされ、スタック内のデバイスが DCM で動作するように強制されます。デバイスが内部の起動シーケンスを完了すると、FF2 がリセットされ、Q1 がオフになります。スタック構成では、すべてのデバイスが同じ PG 信号を共有するため、スタック内の すべてのデバイスが起動を完了するまで PG ピンは Low のままになります。その場合 FF1 が設定されコンバータが CCM で動作します FF1 と FF2 はプリセットされており、コンバータが無効になるたびに (EN ピン、EN ビット、熱シャットダウン、または UVLO による) DCM が許可されるようになっています。

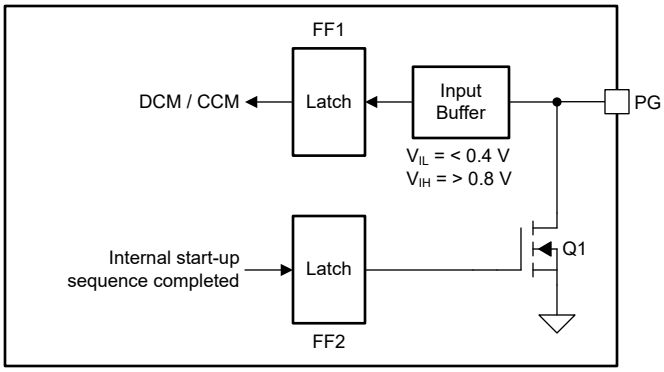


図 8-15. パワーグッド機能のブロック図 (2 次側デバイス)

8.3.16 リモート センス

このデバイスには VOSNS と GOSNS の 2 つのピンがあり、出力電圧をリモートで検出できます。リモートセンシングにより、コンバータはポイント・オブ・ロードで出力電圧を直接検出し、出力電圧レギュレーションの精度を向上できます。

スタック構成では、プライマリ デバイスの VOSNS および GOSNS を必ず負荷接続点に直接接続する必要があります。セカンダリ デバイスの場合は、VOSNS ピンと GOSNS ピンをローカル出力コンデンサに接続するか、または両方のピンを AGND に接続します (セクション 8.3.18 を参照)。

8.3.17 熱警告およびシャットダウン

このデバイスは、2 レベルの過熱検出機能を備えています。

接合部温度が過熱警告スレッショルド 150℃ (標準値) を上回ると、デバイスは STATUS レジスタの TWARN ビットを設定します。接合部温度が 130℃ (標準値) の TWARN スレッショルドを下回った後に STATUS レジスタを読み取ると、デバイスは TWARN ビットをクリアします。

接合部温度が 170℃ (標準値) のサーマル シャットダウンのスレッショルドを上回ると、デバイスは次の動作を行います。

- スイッチングを停止する
- EN ピンをプルダウンする (CONTROL3 レジスタで SINGLE = 0 の場合)
- 出力放電を有効にする (CONTROL1 レジスタで DISCHEN = 1 の場合)
- STATUS レジスタの TSHUT ビットをセットする
- PG ピンを low にします

接合部温度が 150℃ (標準値) のサーマル シャットダウンのスレッショルドを下回ると、デバイスは次の動作を行います。

- 新しいソフトスタート シーケンスから開始して、再度スイッチングを開始する
- EN ピンをハイ インピーダンス状態に設定する
- PG ピンをハイ インピーダンス状態に設定する

接合部温度が 150℃ (標準値) の TSHUT スレッショルドを下回った後に STATUS レジスタを読み取ると、デバイスは TSHUT ビットをクリアします。

すべてのデバイスが共通のイネーブル信号を共有するスタック構成では、1 つのデバイスのサーマル シャットダウン条件により、スタック全体が無効化されます。熱いデバイスが冷却されると、スタック全体が自動的に再びスイッチングを開始します。

8.3.18 スタック動作

複数の または TPS6287Bxx デバイスを「スタック」と呼ばれる構成で並列接続することで、出力電流能力を高めたり、デバイスの接合部温度を下げたりすることができます。スタックは、1 つの *プライマリ*デバイスと 1 つ以上の *セカンダリ*デバイスで構成されます。初期化中に、各デバイスは SYNCOUT ピンを監視し、自身が 1 次側デバイスとして動作すべきか、それとも 2 次側デバイスとして動作すべきかを判断します。

Copyright © 2025 Texas Instruments Incorporated

- SYNCOUT ピンとグランドの間に 47kΩ の抵抗が接続されている場合、そのデバイスは 2 次側デバイスとして動作します
- SYNCOUT ピンがハイ インピーダンス状態の場合、そのデバイスは 1 次側デバイスとして動作します

図 8-16 に、2 つの TPS6287Bxx デバイスをスタックした推奨相互接続を示します。

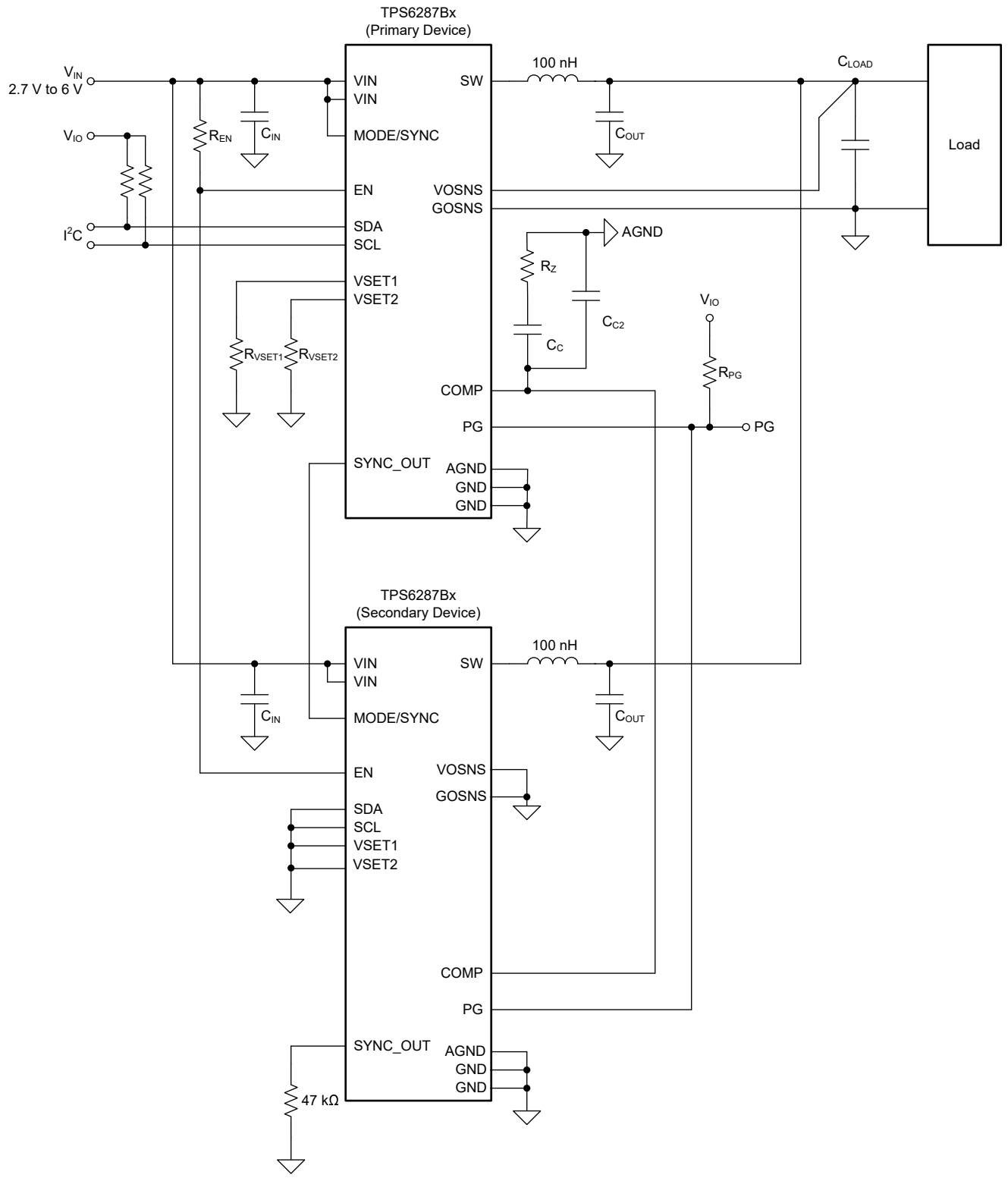


図 8-16. 2 個の TPS6287Bxx デバイスをスタックした構成

注意すべき重要なポイントは次のとおりです。

Copyright © 2025 Texas Instruments Incorporated

- スタック内のすべてのデバイスは共通のイネーブル信号を共有しています。この信号は、15kΩ 以上の抵抗でプルアップする必要があります。
- スタック内のすべてのデバイスは、共通のパワー グッド信号を共有します。
- スタック内のすべてのデバイスは共通の補償信号を共有します。
- すべてのセカンダリ デバイスは、SYNC_OUT ピンとグランドの間に 47kΩ 抵抗を接続する必要があります。
- 各デバイスのリモート センス ピン (VOSNS および GOSNS) は接続する必要があります（これらのピンをフローティングのままにしないでください）。
- プライマリ デバイスの VOSNS および GOSNS は、負荷のコンデンサに接続する必要があります
- セカンダリ デバイスの VOSNS と GOSNS は、デバイスの出力コンデンサに接続するか、または両方のピンを AGND に接続することもできます。
- 1 次側デバイスは、強制 PWM 動作に設定する必要があります (2 次側デバイスは自動的に強制 PWM 動作に設定されます)。
- スタック構成は、外部クロックとの同期またはスペクトラム拡散クロック処理をサポートできます。
- デフォルトの出力電圧の設定には、1 次側デバイスの VSET1 ピンと VSET2 ピンのみが使用されます。2 次側デバイスのの VSET1 ピンおよび VSET2 ピンは使用しないため、グランドに接続する必要があります。
- セカンダリ デバイスの SDA および SCL ピンは使わず、グランドに接続する必要があります。
- スタック構成ではデイジーチェーン接続されたクロック信号を使用し、各デバイスは隣接するデバイスに対して約 120° の位相差を持ってスイッチング動作を行います。クロック信号をデイジーチェーン接続するには、1 次側デバイスの SYNCOUT ピンを最初の 2 次側デバイスの MODE/SYNC ピンに接続します。最初の 2 次側デバイスの SYNCOUT ピンを、2 番目の 2 次側デバイスの MODE/SYNC ピンに接続します。スタック内のすべてのデバイスに対してこの接続方式を続行し、デバイスをデイジーチェーン接続します。
- CONTROL2：SYNC_OUT_PHASE = 1 によって、1 次側デバイスから最初の 2 次側デバイスへ 180° の位相シフトが設定されます。利用可能な OTP スピンの全リストについては、デバイスのオプション表を参照してください。
- ヒカップ過電流保護は、スタック構成で使用しないでください。

スタック構成では、共通イネーブル信号は SYSTEM_READY 信号としても機能します (セクション 8.3.4 を参照)。デバイスの起動時またはフォルトの発生時に、スタック内の各デバイスが EN ピンを Low にすることができます。そのため、すべてのデバイスがスタートアップ シーケンスを完了し、フォルトがない場合のみ、スタックが有効になります。いずれか 1 つのデバイスに故障が発生した場合、その故障状態が存在している限り、スタック全体が無効化します。

起動中、イネーブル信号 (SYSTEM_READY) が LOW になっている間、1 次側デバイスは COMP ピンを LOW にします。イネーブル信号が High になると、1 次側デバイスが COMP ピンを能動的に制御し、スタック内のすべてのデバイスがその COMP 電圧に従います。起動時に、スタック内の各デバイスが、ピンが初期化される間、PG ピンを Low にします。初期化が完了すると、スタック内の 2 次側の各デバイスは PG ピンを高インピーダンス状態にし、PG 信号の状態は 1 次側デバイスのみが制御します。PG ピンは、スタックが立ち上がりシーケンスを完了し、出力電圧が規定範囲内に達したときに High になります。スタック内の 2 次側デバイスは、パワーグッド信号の立ち上がりエッジを検出すると、DCM 動作から CCM 動作に切り替わります。スタックが正常に起動すると、プライマリ デバイスは通常の方法でパワーグッド信号を制御します。スタック構成では、個々のデバイスにのみ影響する故障と、すべてのデバイスに影響するその他の故障があります。たとえば、1 つのデバイスが電流制限に入った場合、そのデバイスのみが影響を受けます。しかし、1 つのデバイスにサーマル シャットダウンまたは低電圧誤動作防止イベントが発生すると、共有のイネーブル (SYSTEM_READY) 信号により、すべてのデバイスが無効化されます。

スタック動作中の機能

デバイス機能の一部はスタック動作中は使用できないか、プライマリ コンバータでのみ使用できます。表 8-11 に、スタック動作時に使用できる機能をまとめます。

表 8-11. スタック動作中の機能

機能	プライマリ デバイス	セカンダリ デバイス	注記
UVLO	あり	あり	共通のイネーブル信号
OVLO	あり	あり	共通のイネーブル信号
OCP -電流制限	あり	あり	個人向け

表 8-11. スタック動作中の機能 (続き)

機能	プライマリ デバイス	セカンダリ デバイス	注記
OCP -ヒカップ OCP	なし	なし	スタック操作中は使用しないでください
サーマル シャットダウン	あり	あり	共通のイネーブル信号
パワーグッド (ウィンドウ コンパレータ)	あり	なし	プライマリ デバイスのみ
I^2C インターフェイス	あり	なし	プライマリ デバイスのみ
DVS	I^2C 経由	なし	プライマリ デバイスのみで制御される電圧ループ
SSC	I^2C 経由	なし	プライマリ デバイスからセカンダリ デバイスへのデイジーチェーン接続
SYNC	あり	あり	1 次側デバイスに適用される同期クロック
高精度イネーブル	なし	なし	バイナリイネーブルのみ
出力放電	あり	あり	セカンダリ デバイスでは常に有効になっています

スタック動作中の故障処理

スタック構成では、個々のデバイスにのみ影響する故障と、すべてのデバイスに影響するその他の故障があります。たとえば、1 つのデバイスが電流制限に入った場合、そのデバイスのみが影響を受けます。しかし、1 つのデバイスにサーマル シャットダウンまたは低電圧誤動作防止イベントが発生すると、共有のイネーブル (SYSTEM_READY) 信号により、すべてのデバイスが無効化されます。表 8-12 に、TPS6287Bxx デバイスのスタック動作中のフォルト処理を示します。

表 8-12. スタック動作中の故障処理

故障状態	デバイスの応答	システムの応答
UVLO	イネーブル信号が Low にプルされる	新しいソフトスタート
OVLO		
サーマル シャットダウン		
電流制限	イネーブル信号は High に維持される	エラー アンプがクランプされる
MODE/SYNC に印加された外部 CLK が失敗する	SYNC_OUT と電力段が内部発振器に切り換わる	システムは動作を継続しますが、2 次側デバイスへのクロック信号が失われた場合、スイッチング周波数は同期されません。

8.4 デバイスの機能モード

8.4.1 パワーオン リセット

電源電圧が POR スレッショルド未満のときに、デバイスは POR モードで動作します。

POR モードでは、どの機能も利用できず、デバイスのレジスタの内容は無効です。

デバイスは、電源電圧が POR スレッショルドを上回ると、POR モードを終了して UVLO モードに移行します。

8.4.2 低電圧誤動作防止

電源電圧が POR スレッショルドと UVLO スレッショルドの間にあるとき、デバイスは UVLO モードで動作します。

デバイスが POR モードから UVLO モードに移行した場合、利用できる機能はありません。デバイスがスタンバイモードから UVLO モードに移行する場合は、出力放電機能が利用可能です。デバイスのレジスタの内容は UVLO モードで有効です。

電源電圧が POR スレッショルドを下回ると、デバイスは UVLO モードを終了し、POR モードに移行します。電源電圧が UVLO スレッショルドを上回ると、デバイスは UVLO モードを終了し、スタンバイモードに移行します。

Copyright © 2025 Texas Instruments Incorporated

8.4.3 スタンバイ

デバイスは、電源電圧が UVLO スレッショルドを超え、初期化が完了するとスタンバイ モードで動作します [2] 次の条件のいずれかが当てはまります。

- EN ピンには low レベルが印加されている。
- CONTROL1 レジスタの SWEN = 0。
- デバイスの接合部温度がサーマル シャットダウンのスレッショルドよりも高くなっている。
- 電源電圧が OVLO スレッショルドを超えている。

スタンバイモードでは、以下の機能が使用できます。

- I^2C インターフェイス
- 出力放電
- パワー グッド

電源電圧が UVLO スレッショルドを下回ると、デバイスはスタンバイモードから UVLO モードに移行します。次のすべての条件が満たされると、デバイスはスタンバイモードを終了し、オンモードに移行します。

- EN ピンには high レベルが印加されている。
- CONTROL1 レジスタの SWEN = 1。
- デバイスの接合部温度がサーマル シャットダウンのスレッショルドより低くなっている。
- 電源電圧が OVLO スレッショルドを下回っている。

8.4.4 オン

電源電圧が UVLO スレッショルドより高く、次のすべての条件が成立する場合、デバイスはオンモードで動作します。

- EN ピンには high レベルが印加されている
- CONTROL1 レジスタの SWEN = 1
- デバイスの接合部温度がサーマル シャットダウンのスレッショルドより低くなっている
- 電源電圧が OVLO スレッショルドを下回っている

すべての機能はオンモードで使用できます。

電源電圧が UVLO スレッショルドを下回ると、デバイスはオン モードを維持し、UVLO モードに移行します。以下のいずれかの条件に該当する場合、本デバイスはオン モードを終了し、スタンバイ モードに移行します。

- EN ピンには low レベルが印加されている
- CONTROL1 レジスタの SWEN = 0
- デバイスの接合部温度がサーマル シャットダウンのスレッショルドよりも高くなっている
- 電源電圧が OVLO スレッショルドを超えている

8.5 プログラミング

8.5.1 シリアル インターフェイスの説明

I2C™C は、Philips Semiconductor (現在の NXP Semiconductors) によって開発された 2 線式シリアル インターフェースです (2014 年 4 月 4 日付の I^2 C-Bus 仕様とユーザーマニュアル改訂 6 を参照)。バスは、プルアップ構造を持つデータ ライン（SDA）とクロック・ライン（SCL）で構成されます。バスが *アイドル* のときは、SDA ラインと SCL ラインの両方が High にプルされます。I^2C 互換のデバイスはすべて、オープン ドレインの I/O ピンである SDA および SCL を介して I^2C バスに接続します。コントローラ (通常はマイクロコントローラまたはデジタル信号プロセッサ) がバスを制御します。コントローラは SCL 信号とデバイス アドレスを生成します。コントローラは、データ転送の開始と停止を示す特定の条件も生成します。ターゲット はコントローラ デバイスの制御に従ってバス上、データを受信または送信します。

[2] デバイスは、電源電圧がパワーオン リセット (POR) 後に UVLO スレッショルド電圧を超えて上昇すると、約 400µs (標準値) かけて初期化を行います。ただし、電源電圧が UVLO スレッショルドを下回っても POR スレッショルドを下回らなかった場合は、電源電圧が再び上昇しても再初期化は行われません。初期化中に、デバイスは VSET1、VSET2、SYNC_OUT ピンの状態を読み取ります。

The TPS6287Bxx デバイスはターゲットとして動作し、以下の転送モードで I²C-Bus 仕様で定義されているように動作します。スタンダード モード (100kbps)、ファースト モード(400kbps)、およびファースト モード プラス (1Mbps)このインターフェイスにより、電源設計の柔軟性が向上し、ほとんどの機能を瞬時のアプリケーション要件に応じて新しい値にプログラムできます。入力電圧が 1.4V を上回っている限り、レジスタの内容はそのまま維持されます。

高速モードのプロトコルは F/S モードとは異なり、HS モードと呼ばれます。

TI では、I²C エンジンが確実にリセットされるように、I²C コントローラは、SDA および SCL プルアップ電圧の初期パワーアップ後に I²C バス上で STOP 条件を開始することをお勧めしています。

8.5.2 Standard-Mode、Fast-Mode、Fast-Mode Plus のプロトコル

コントローラは、スタート条件を生成することで、データ転送を開始します。スタート条件は、図 8-17 に示すように、SCL が High のときに SDA ラインで High から Low への遷移が発生するときです。すべての I²C 互換デバイスは、スタート条件を認識する必要があります。

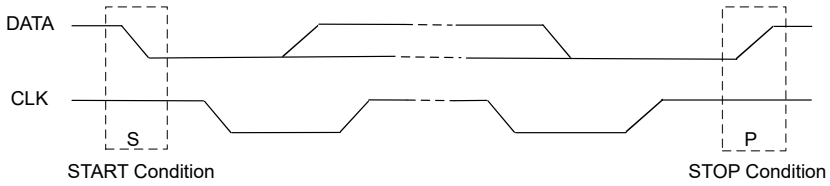


図 8-17. 開始条件と停止条件

その後、コントローラは SCL パルスを生成し、7 ビットのアドレスと読み取り/書き込み方向ビット R/W を SDA ラインに送信します。すべての送信中、コントローラはデータが有効であることを確認します。有効なデータ条件では、クロック パルスの High 期間中、SDA ラインのデータが安定している必要があります (図 8-18 を参照)。すべてのデバイスは、1 次側デバイスによって送信されたアドレスを認識して、そのアドレスを内部の固定アドレスと比較します。一致するアドレスを持つターゲット デバイスだけが、9 回目の SCL サイクルの High 期間全体の間 SDA ラインを Low にすることで、アクノリッジを生成します (図 8-19 を参照)。この確認を検出すると、コントローラはターゲットとの通信リンクが確立されたことを認識します。

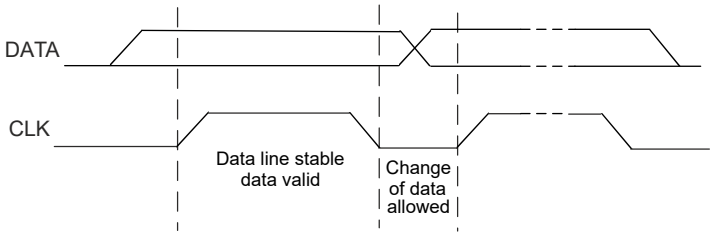


図 8-18. シリアル インターフェイスでのビット転送

コントローラは、データをターゲットへ送信するか (書き込みコマンド、R/$\overline{W}$ ビット 0)、ターゲットからデータを受信するため (読み取りコマンド、R/$\overline{W}$ ビット 1)、さらに SCL サイクルを生成します。どちらの場合も、送信側から送信されたデータに対して受信側がアクノリッジを返す必要があります。したがって、アクノリッジ信号は、どちらが受信側かに応じて、コントローラが生成する場合とターゲットが生成する場合があります。8 ビットのデータと 1 ビットのアクノリッジから構成される 9 ビットの有効なデータ シーケンスを、必要なだけ続けることができます。

データ転送を伝達するために、コントローラは、SCL ラインが high のときに SDA ラインを low から high にして、ストップ条件を生成します (図 8-17 を参照)。これによってバスが解放され、アドレス指定されたターゲットとの通信リンクが停止します。すべての I² C 互換デバイスが、ストップ条件を認識する必要があります。停止条件を受信すると、すべてのデバイスはバスが解放されたことを認識し、対応するアドレスに続く開始条件を待機します。

このセクションに示されていないレジスタ アドレスからデータを読み取ろうとした場合には、00h が読み出されます。

Copyright © 2025 Texas Instruments Incorporated

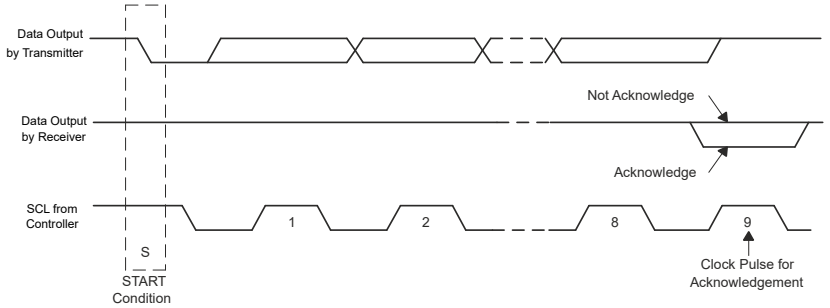


図 8-19. I²C バスのアクノリッジ

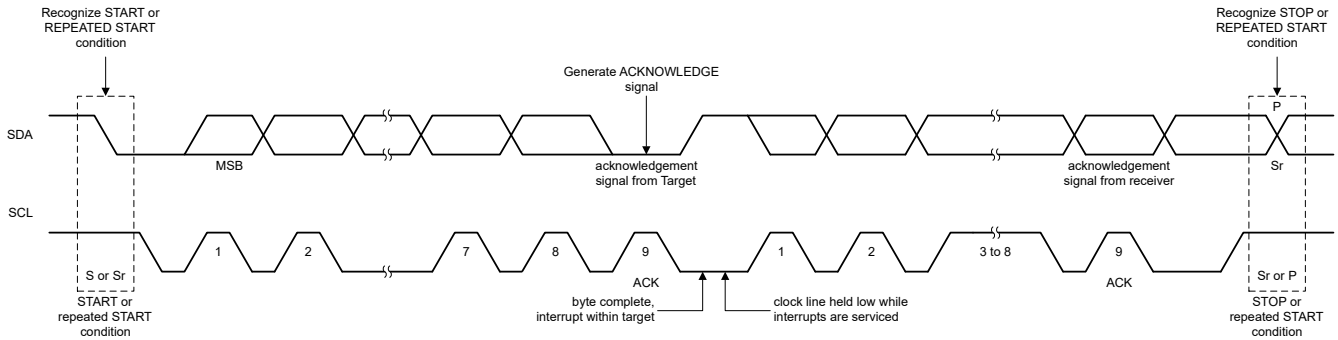


図 8-20. バス プロトコル

8.5.3 HS-Mode のプロトコル

コントローラはスタート条件を生成してから、HS コントローラ コードの 00001XXX を含む、有効なシリアル バイトを続けます。この送信は、F/S モードのときに、400Kbps 以下の周波数で行われます。どのデバイスも、HS コントローラ コードをアクノリッジすることを許可されていませんが、すべてのデバイスがコードを認識し、3.4Mbps での動作をサポートするよう内部設定を切り替える必要があります。

次に、コントローラは *再スタート条件* を生成します (再スタート条件のタイミングはスタート条件と同じです)。この再スタート条件の後、プロトコルは F/S モードと同じですが、許容転送速度は最高 3.4Mbps になります。終了条件を使用すると HS モードは終了し、ターゲット デバイスのすべての内部設定は F/S モードをサポートするよう切り換わります。バスを HS モードで保護するには、終了条件を使用する代わりに、再スタート条件を使用します。

このセクションに示されていないレジスタ アドレスからデータを読み取ろうとした場合には、00h が読み出されます。

8.5.4 I²C 更新シーケンス

これには、スタート条件、有効な I²C アドレス、レジスタ アドレス バイト、単一の更新用のデータ バイトが必要です。各バイトを受信すると、デバイスは 1 つのクロック パルスの High 期間中に SDA ラインを Low にすることで、アクノリッジを行います。有効な I²C アドレスによって、デバイスが選択されます。デバイスは、LSB バイトに続くアクノリッジ信号の立ち下がりエッジで更新を実行します。

図 8-21. ：スタンダード、ファスト、ファスト プラスの各モードでの「書き込み」データ転送形式

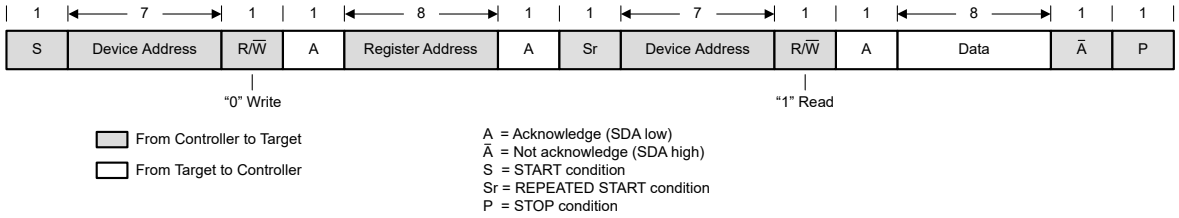


図 8-22. スタンダード、ファスト、ファスト プラスの各モードでの「読み取り」データ転送形式

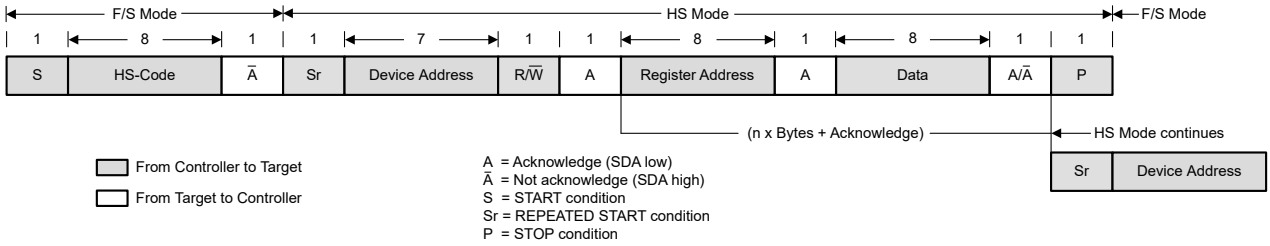


図 8-23. HS モードのデータ転送形式

8.5.5 I²C レジスタ リセット

I²C レジスタは、次の方法でリセットできます。

- 入力電圧を 1.4V (標準値) 未満にする。
- または CONTROL レジスタのリセット ビットをセットする。リセットが 1 に設定されると、すべてのレジスタがデフォルト値にリセットされ、直ちに新しいスタートアップが開始されます。t_{Delay} の経過後、I²C レジスタは再度プログラムできるようになります。

8.5.6 ダイナミック電圧スケーリング (DVS)

システムの消費電力を最適化するため、TPS6287Bxx の出力電圧は、負荷の実際の電力要件に基づいて動作中に適応させることができます。

起動時には、外部の VSET1 ピンと VSET2 ピン、または VSET レジスタの設定によって選択されるデフォルトの出力電圧を使用します。新しい目標出力電圧を VSET レジスタに書き込むことで、I²C インターフェイスを介して出力電圧を動的に調整できます。その後、出力電圧は CONTROL1 レジスタで定義された電圧ランプ速度に従って、目的の値まで上昇または下降します。

さまざまな出力電圧範囲間での切り替え

TPS6287Bxx デバイスは、CONTROL2 レジスタで定義された 3 種類の出力電圧範囲を提供します。TPS6287Bxx の出力電圧範囲を変更するには、まず、現在使用中の電圧範囲内で最も近い出力電圧値に設定し、その後、CONTROL2 レジスタの VRANGE ビットを次の VRANGE 設定に変更します。その後、VSET レジスタの目標出力電圧を設定します。

出力電圧範囲を変更した場合は、たとえ出力電圧が変化しない場合でも、必ず VSET レジスタへの書き込みを行う必要があることに注意し mVSET レジスタのコードは、新しい範囲で正しい値に更新する必要があります。

Copyright © 2025 Texas Instruments Incorporated

9 デバイスのレジスタ

表 9-1 に、デバイスのレジスタ用のメモリ マップト レジスタを示します。表 9-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 9-1. デバイスのレジスタ

オフセット	略称	レジスタ名	セクション
0h	VSET	出力電圧の設定ポイント	セクション 9.1
1h	CONTROL1	コントロール 1	セクション 9.2
2h	CONTROL2	コントロール 2	セクション 9.3
3h	CONTROL3	コントロール 3	セクション 9.4
4h	STATUS	STATUS	セクション 9.5

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 9-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 9-2. デバイスのアクセス タイプ コード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

9.1 VSET レジスタ (オフセット = 0h) [リセット = XXh]

図 9-1 に、VSET を示し、表 9-3 に、その説明を示します。

概略表に戻ります。

このレジスタは出力電圧の設定ポイントを制御します

図 9-1. VSET レジスタ

7	6	5	4	3	2	1	0
VSET							
R/W-xxxxxxxxb							

表 9-3. VSET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	VSET	R/W	xxxxxxxxb	出力電圧の設定ポイント (CONTROL2 レジスタの範囲設定ビットも参照)。 範囲 1:出力電圧の設定ポイント = 0.4V + VSET[7:0] × 1.25mV 範囲 2:出力電圧の設定ポイント = 0.4V + VSET[7:0] × 2.5mV 範囲 3:出力電圧の設定ポイント = 0.4V + VSET[7:0] × 5mV 電源投入時の VSET ピンの状態によって、リセット値が決まります。

Copyright © 2025 Texas Instruments Incorporated

9.2 CONTROL1 レジスタ (オフセット = 1h) [リセット = 2Xh]

図 9-2 に、CONTROL1 を示し、表 9-4 に、その説明を示します。

概略表に戻ります。

このレジスタでは、様々なデバイス設定を制御できます。

図 9-2. CONTROL1 レジスタ

7	6	5	4	3	2	1	0
リセット	SSCEN	SWEN	FPWMEN	DISCHEN	HICCUPEN	VRAMP	
R/W-0b	R/W-0b	R/W-1b	R/W-0b	R/W-1b	R/W-xb	R/W-00b	

表 9-4. CONTROL1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	リセット	R/W	0b	デバイスのリセット。 0b = 影響なし 1b = デバイスはシャットダウンされ、ピンの状態が読み取られ、すべてのレジスタがデフォルト値にリセットされます。その後、デバイスはソフトスタートサイクルによって再起動されます。 このビットを読み取ると、常に 0 が返されます。
6	SSCEN	R/W	0b	スペクトラム拡散クロック処理イネーブル。SSC がデフォルトで有効かどうかは、デバイス オプションの表を参照してください。 0b = SSC 動作が無効 1b = SSC 動作が有効
5	SWEN	R/W	1b	ソフトウェアイネーブル。 0b = スイッチングが無効 (レジスタ値は保持) 1b = スイッチングが有効 (イネーブル遅延なし)
4	FPWMEN	R/W	0b	強制 PWM イネーブル。 0b = 静止電力節約モードが有効 1b = 強制 PWM 動作が有効 このビットは MODE/SYNC ピンと論理 OR されます。MODE/SYNC ピンに High レベルまたは同期クロックが印加されると、デバイスはこのビットの状態に関係なく、強制 PWM で動作します。
3	DISCHEN	R/W	1b	出力放電イネーブル。 0b = 出力放電が無効。 1b = 出力放電が有効。
2	HICCUPEN	R/W	xb	ヒカップ動作イネーブル。 0b = ヒカップ動作が無効 1b = ヒカップ動作が有効。スタック動作中はヒカップ動作を有効にしないでください。リセット値は、デバイスのバージョンによって異なります。
1-0	VRAMP	R/W	00b	1 つの出力電圧設定から別の出力電圧設定に変更するときの出力電圧のランプ速度。 00b = 10mV/µs 01b = 5mV/µs 10b = 1.25mV/µs 11b = 0.5mV/µs

9.3 CONTROL2 レジスタ (オフセット = 2h) [リセット = 0Xh]

図 9-3 に、CONTROL2 を示し、表 9-5 に、その説明を示します。

概略表に戻ります。

このレジスタでは、様々なデバイス設定を制御できます。

図 9-3. CONTROL2 レジスタ

7	6	5	4	3	2	1	0
予約済み			SYNC_OUT_PHASE	VRANGE		SSTIME	
R-0b			R/W-0b	R/W-xxb		R/W-10b	

表 9-5. CONTROL2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R	0b	将来使用のため予約済み。将来のデバイスバリアントとの互換性を確保するため、これらのビットを 0 にプログラムします。
4	SYNC_OUT_PHASE	R/W	0b	SYNC_OUT の位相シフト (内部クロックを基準とする場合、または MODE/SYNC で外部クロックを印加した場合)。 0b = SYNC_OUT は 120° 位相シフト 1b = SYNC_OUT は 180° 位相シフト。180° の位相関係は、プライマリ側からセカンダリ側の最初のコンバータでのみ有効です。
3-2	VRANGE	R/W	xxb	出力電圧範囲。 00b = 0.4V ～0.71875V (1.25mV ステップ) 01b = 0.4V ～ 1.0375V (2.5mV ステップ) 10b = 0.4V to 1.675V (5mV ステップ) 11b = 0.4V~1.675V (5mV ステップ) 、リセット値はデバイスのバージョンに依存します
1-0	SSTIME	R/W	10b	ソフトスタートランプ時間。 00b = 0.5ms 01b = 0.77ms 10b = 1ms 11b = 2ms

Copyright © 2025 Texas Instruments Incorporated

9.4 CONTROL3 レジスタ (オフセット = 3h) [リセット = 0Xh]

図 9-4 に、CONTROL3 を示し、表 9-6 に、その説明を示します。

概略表に戻ります。

このレジスタでは、様々なデバイス設定を制御できます。

図 9-4. CONTROL3 レジスタ

7	6	5	4	3	2	1	0
予約済み					DROOPEN	SINGLE	PGBLNKDVS
R-0b					R/W-xb	R/W-0b	R/W-0b

表 9-6. CONTROL3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R	0b	将来使用のため予約済み。将来のデバイスバリアントとの互換性を確保するため、これらのビットを 0 にプログラムします。
2	DROOPEN	R/W	xb	ドループ補償イネーブル。ドロップ補償がデフォルトで有効かどうかは、デバイスのオプション表を参照してください。 0b =ドループ補償が無効 1b =ドロップ補償を有効にします リセット値は、デバイスのバージョンによって異なります
1	SINGLE	R/W	0b	単一動作。このビットは、内部 EN プルダウンと SYNCOUT の機能を制御します。 0b = EN ピンプルダウンで SYNCOUT が有効 1b = EN ピンプルダウンで SYNCOUT が無効。スタック動作中は設定しないでください
0	PGBLNKDVS	R/W	0b	DVS 中のパワーグッドブランキング。 0b = PG ピンはウィンドウ コンパレータの出力を反映します 1b = PG ピンは DVS 中ハイ インピーダンスになります

9.5 STATUS レジスタ (オフセット = 4h) [リセット = 00h]

図 9-5 に、STATUS を示し、表 9-7 に、その説明を示します。

概略表に戻ります。

このレジスタは、デバイス ステータス フラグを返します

図 9-5. STATUS レジスタ

7	6	5	4	3	2	1	0
予約済み		HICCUP	ILIM	TWARN	TSHUT	PBUV	PBOV
R-0b		R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 9-7. STATUS レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0b	将来使用のため予約済み。将来のデバイス バリエーションとの互換性を確保するため、これらのビットは無視してください。
5	HICCUP	R	0b	ヒカップ。このビットは、STATUS レジスタを最後に読み取ったとき以降にヒカップ イベントが発生したかどうかを報告します。 0b = ヒカップ イベントは発生していない 1b = ヒカップ イベントが発生した
4	ILIM	R	0b	電流制限。このビットは、STATUS レジスタを最後に読み取った後に電流制限イベントが発生したかどうかを報告します。 0b = 電流制限イベントは発生していない 1b = 電流制限イベントが発生
3	TWARN	R	0b	過熱警告。このビットは、STATUS レジスタを最後に読み取った後に過熱警告イベントが発生したかどうかを報告します。 0b = 過熱警告イベントは発生していない 1b = 過熱警告イベントが発生した
2	TSHUT	R	0b	サーマル シャットダウン。このビットは、STATUS レジスタを最後に読み取った後にサーマル シャットダウン イベントが発生したかどうかを報告します。 0b = サーマル シャットダウン イベントは発生していない 1b = サーマル シャットダウン イベントが発生した
1	PBUV	R	0b	パワーバッド低電圧。このビットは、STATUS レジスタを最後に読み取った後に、パワーバッドイベント (出力電圧が低すぎる) が発生したかどうかを示します。 0b = パワーバッド低電圧イベントは発生していない 1b = パワーバッド低電圧イベントが発生した
0	PBOV	R	0b	パワーバッド過電圧。このビットは、STATUS レジスタを最後に読み取った後に、パワーバッドイベント (出力電圧が高すぎる) が発生したかどうかを示します。 0b = パワーバッド過電圧イベントは発生していない 1b = パワーバッド過電圧イベントが発生した

Copyright © 2025 Texas Instruments Incorporated

10 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

10.1 アプリケーション情報

以下のセクションでは、代表的なアプリケーション向けの電源設計を完成させるための外付け部品の選択について説明します。

10.2 代表的なアプリケーション

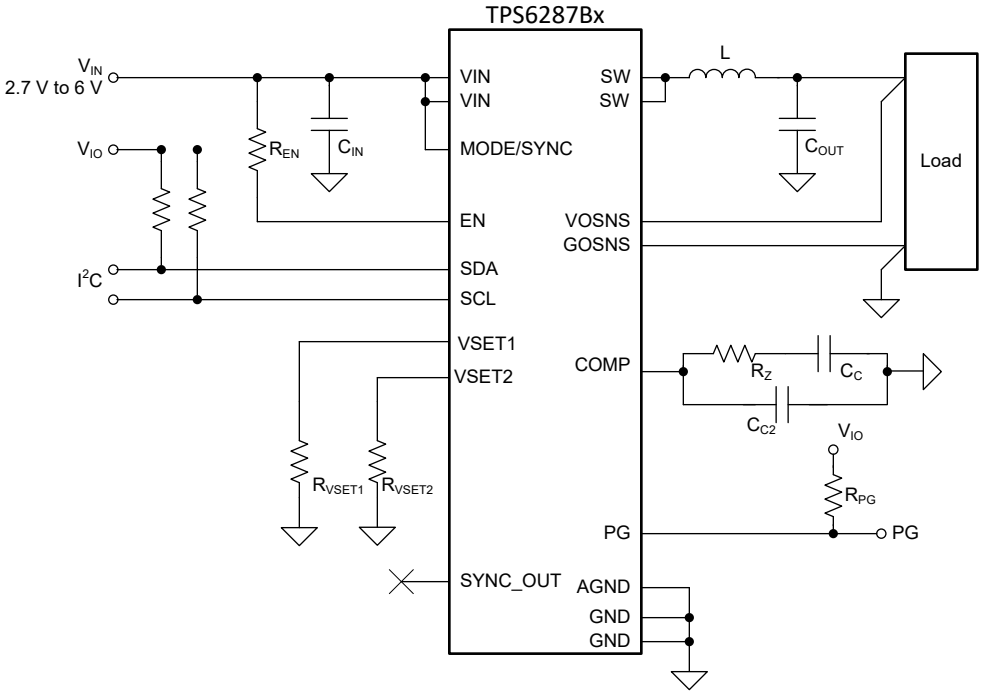


図 10-1. 代表的なアプリケーション回路図

10.2.1 設計要件

このアプリケーション例の操作パラメータを 表 10-1 に示します。

表 10-1. 設計パラメータ

記号	パラメータ	値
V_{IN}	入力電圧	3.3V
V_{OUT}	出力電圧	0.75V
TOL_{VOUT}	アプリケーションで許容される出力電圧の許容誤差	±3.3%
TOL_{DC}	TPS6287Bxx の出力電圧許容誤差 (DC 精度)	±0.8%
ΔI_{OUT}	出力電流負荷ステップ	±7.5A
t_r	負荷ステップ立ち上がり時間	1µs
t_f	負荷ステップの立ち下がり時間	1µs

表 10-1. 設計パラメータ (続き)

記号	パラメータ	値
f_{SW}	スイッチング周波数	1.5MHz
L	インダクタンス	105nH
g_m	エラー アンプの相互コンダクタンス	1.5mS
τ	エミュレート電流時定数	12.5µs
k_{BW}	スイッチング周波数とコンバータ帯域幅の比率 (≥4 とする必要あり)	4
k_{COUT}	最小出力容量と最大出力容量の比率 (通常 2)	2
R_{PG}	パワーグッド出力のプルアップ抵抗	10kΩ
R_{EN}	イネーブル時のプルアップ抵抗	22kΩ
R_{SCL}、R_{SDA}	SDA と SCL のプルアップ抵抗	680 Ω

予備計算

許容される出力電圧の全体的な許容誤差が ±3.3%、最大 DC 誤差が ±0.8% の場合、負荷変動時における許容出力電圧の変動幅は、以下のように求められます:

$$\Delta V_{OUT} = \pm V_{OUT} \times (TOL_{VOUT} - TOL_{DC}) \tag{4}$$

$$\Delta V_{OUT} = \pm 0.75 \times (0.033 - 0.008) = \pm 18.75\ mV \tag{5}$$

10.2.2 詳細な設計手順

以下のサブセクションでは、特定のアプリケーションの規定過渡要件を満たすために必要な外部部品の計算方法について説明します。計算には部品のワーストケースの変動が含まれ、RMS 手法を使用して相関しないパラメータの変動を結合します。

10.2.2.1 インダクタの選択

TPS6287Bxx デバイスは、、100nH~200nH の範囲のインダクタ用に最適化されています。コンバータの過渡応答がインダクタ内の電流のスルーレートによって制限されている場合、より小さなインダクタを使用することで性能を向上させることができます。しかし、インダクタの値を小さくすると出力リップル電流が増加し、それに伴って出力電圧リップルも大きくなります。その結果、過渡時のオーバーシュートやアンダーシュートがさらに増加します。特定のアプリケーションにおける最適な構成は、複数のパラメータ間のトレードオフによって決まります。標準的なアプリケーションでは、開始値 105nH を推奨します。

インダクタのリップル電流は、以下で計算できます。

$$I_{L(PP)} = \frac{V_{OUT}}{V_{IN}}\left(\frac{V_{IN} - V_{OUT}}{L \times f_{sw}}\right) \tag{6}$$

$$I_{L(PP)} = \frac{0.75}{3.3}\left(\frac{3.3 - 0.75}{105 \times 10^{-9} \times 1.5 \times 10^{6}}\right) A = 3.68\ A \tag{7}$$

以下の表は、このアプリケーションでの使用を想定して設計された複数のインダクタを示しています。このリストはすべてを網羅しているわけではありませんが、他のメーカーのインダクタも優れた選択になる可能性があります。

Copyright © 2025 Texas Instruments Incorporated

表 10-2. 代表的なインダクタ

部品番号	インダクタンス [µH]	電流 [A]	DC 抵抗	寸法 [LxWxH] mm	製造元
XEL4030-101ME	0.10µH、±20%	22	1.5mΩ	4 × 4 × 3.2	Coilcraft
744302010	0.105µH	30	0.235mΩ	7 × 7 × 4.8	Wurth
XGL5030-161ME	0.16µH	25	1.3mΩ	5.3 × 5.5 × 3	Coilcraft
CLT32-R11	0.110µH	20	1mΩ	2.5 × 3.2 × 2.5	TDK

10.2.2.2 入力コンデンサの選択

すべての降圧コンバータと同様、TPS6287Bxx デバイスの入力電流は不連続です。入力コンデンサは、デバイスに対して低インピーダンスのエネルギー供給源として機能します。そのため、コンデンサの容量、種類、および配置は正しい動作のために極めて重要です。TI は、最高の性能を得るために低 ESR の積層セラミック コンデンサを推奨しています。実際には、入力容量の合計は通常、複数種類のコンデンサの組み合わせで構成されます。大容量のコンデンサは低周波でのデカップリングを、小容量のコンデンサは高周波でのデカップリングを担います。

TPS6287Bxx デバイスは、パッケージの反対側に 2 組の VIN ピンを持つ「*バタフライ*」レイアウトを備えています。これにより、入力コンデンサを PCB 上に対称に配置することができ、発生する電磁界が互いに打ち消し合うため、EMI を低減できます。

コンバータのデューティ サイクルは次の式で求められます。

$$D = \frac{V_{OUT}}{\eta \times V_{IN}} \tag{8}$$

ここで

- V_{IN} は入力電圧
- V_{OUT} は出力電圧です。
- η は効率です。

$$D = \frac{0.75}{0.9 \times 3.3} = 0.253 \tag{9}$$

システムレベルの入力電圧リップル要件を満たすために必要な入力容量の値は、以下で求められます。

$$C_{IN} = \frac{D \times (1 - D) \times I_{OUT}}{V_{IN(PP)} \times f_{sw}} \tag{10}$$

ここで

- D はデューティ・サイクル
- f_{sw} はスイッチング周波数
- $V_{IN(PP)}$は入力電圧リップルです
- I_{OUT} は出力電流

$$C_{IN} = \frac{0.253 \times (1 - 0.253) \times 11.3}{0.1 \times 1.5 \times 10^6} F = 14.2\ \mu F \tag{11}$$

式 10 で計算した C_{IN} の値は、すべてのディレーティング、許容誤差、経年劣化の影響を考慮した後の「*実効*」容量です。当社は、C_{IN} には X7R 誘電体 (またはそれに類するもの) を使用した積層セラミック コンデンサを推奨しています。これらのコンデンサは、ループ面積を最小限に抑えるために、VIN ピンおよび GND ピンの近くにできるだけ寄せて配置する必要があります。

表 10-3 に、このアプリケーションに最適なコンデンサの数を示します。このリストはすべてを網羅しているわけではありませんが、他のメーカーのコンデンサも優れた選択になる可能性があります。

表 10-3. 推奨入力コンデンサ一覧

容量	寸法 mm (インチ)	電圧定格	メーカー型番
470nF ±10%	1005 (0402)	10V	Murata、GCM155C71A474KE36D
470nF ±10%	1005 (0402)	10V	TDK、CGA2B3X7S1A474K050BB
10µF ±10%	2012 (0805)	10V	Murata、GCM21BR71A106KE22L
10µF ±10%	2012 (0805)	10V	TDK、CGA4J3X7S1A106K125AB
22µF ±10%	3216 (1206)	10V	Murata、GCM31CR71A226KE02L
22µF ±20%	3216 (1206)	10V	TDK、CGA5L1X7S1A226M160AC

10.2.2.3 補償抵抗の選択

式 12 を使用して、補償抵抗 R_Z の推奨値を計算します。

$$R_Z = \frac{1}{g_m}\left(\frac{\pi \times \Delta I_{OUT} \times L}{4 \times \tau \times \Delta V_{OUT}}\right)(1 + TOL_{IND}) \tag{12}$$

$$R_Z = \frac{1}{1.5 \times 10^{-3}}\left(\frac{\pi \times 7.5 \times 105 \times 10^{-9}}{4 \times 12.5 \times 10^{-6} \times 18.75 \times 10^{-3}}\right)(1 + 0.2\ )\Omega = 2.114\ \text{k}\Omega \tag{13}$$

E24 シリーズから最も近い標準値は 2.1kΩ です。

10.2.2.4 出力コンデンサの選択

実際には、出力容量の合計は通常、異なる種類のコンデンサの組み合わせで構成されます。大容量のコンデンサは低周波で負荷電流を供給し、小容量のコンデンサは高周波で負荷電流を供給します。出力コンデンサの値、種類、および配置は、正しい動作のために非常に重要です。TI は、最高の性能を得るために、X7R 誘電体 (または同等品) を用いた低 ESR の積層セラミック コンデンサを推奨しています。

TPS6287Bxx デバイスは、パッケージの両側に GND ピンを配置したバタフライ レイアウトを採用しています。この機能により、PCB 上に出力コンデンサを対称に配置し、発生する磁界が互いに打ち消し合うようにすることで、EMI を低減できます。

コンバータの過渡応答は、次の 2 つの条件のいずれかで定義されます。

- ループ帯域幅は、スイッチング周波数の少なくとも 4 分の 1 以下である必要があります。
- インダクタを流れる電流および出力容量のスルーレート。

一般的な低出力電圧のアプリケーションでは、これは出力電圧の値とインダクタによって制限されます。

上記の基準が、特定のアプリケーションに適用されるのは、使用される動作条件と部品の値によって異なります。そのため、両方のケースで出力容量を計算し、より大きい方の値を選ぶことを推奨します。

コンバータがレギュレーションを維持している場合、必要となる最小出力容量は次の式で求められます。

$$C_{OUT(min)(reg)} = \left(\frac{\tau \times g_m \times R_Z}{2 \times \pi \times L \times \frac{f_{SW}}{4}}\right)\left(1 + \sqrt{{TOL_{IND}}^2 + {TOL_{fSW}}^2}\right) \tag{14}$$

$$C_{OUT(min)(reg)} = \left(\frac{12.5 \times 10^{-6} \times 1.5 \times 10^{-3} \times 2.1 \times 10^{3}}{2 \times \pi \times 105 \times 10^{-9} \times \frac{1.5 \times 10^{6}}{4}}\right)\left(1 + \sqrt{{20\%}^2 + {10\%}^2}\right)F = 195\ \mu F \tag{15}$$

コンバータ ループが飽和する場合、最小出力キャパシタンスは次の式で求められます。

Copyright © 2025 Texas Instruments Incorporated

$$C_{OUT(min)(sat)} = \frac{1}{\Delta V_{OUT}}\left(\frac{L \times \left(\Delta I_{OUT} + \frac{I_{L(PP)}}{2}\right)^2}{2 \times V_{OUT}} - \frac{\Delta I_{OUT} \times t_t}{2}\right)(1 + TOL_{IND}) \quad (16)$$

$$C_{OUT(min)(sat)} = \frac{1}{18.75 \times 10^{-3}}\left(\frac{105 \times 10^{-9} \times \left(7.5 + \frac{3.68}{2}\right)^2}{2 \times 0.75} - \frac{7.5 \times 1 \times 10^{-6}}{2}\right)(1 + 20\%)\ F = 150\ \mu F \quad (17)$$

この場合は、出力キャパシタンスの 2 つの値のうち大きい方として、$C_{OUT(min)}$ = 195µF を選択します。

ワーストケースの部品の値を計算するには、上記の計算値を必要な*最小*出力容量として使用します。セラミック コンデンサの場合、許容誤差、DC バイアス、温度、経年変化の影響を考慮するときの*公称*容量は通常、最小容量の 2 倍です。この場合、公称容量は 390µF です。

表 10-4. 推奨出力コンデンサ一覧

容量	寸法	電圧定格	メーカー型番
	mm (インチ)		
22µF ±20%	2012 (0805)	6.3V	TDK、CGA4J1X7T0J226M125AC
22µF ±10%	2012 (0805)	6.3V	Murata、GCM31CR71A226KE02
47µF ±20%	3216 (1206)	4V	TDK、CGA5L1X7T0G476M160AC
47µF ±20%	3225 (1210)	6.3V	Murata、GCM32ER70J476ME19
100µF ±20%	3225 (1210)	4V	TDK、CGA6P1X7T0G107M250AC
100µF ±20%	3216 (1210)	6.3V	Murata、GRT32EC70J107ME13

10.2.2.5 補償コンデンサ C_C の選択

最初に、式 18 を使用してループの帯域幅を計算します。

$$BW = \frac{\tau \times g_m \times R_Z}{2 \times \pi \times L \times C_{OUT,min} \times k_{COUT}} \quad (18)$$

$$BW = \frac{12.5 \times 10^{-6} \times 1.5 \times 10^{-3} \times 2.1 \times 10^{3}}{2 \times \pi \times 105 \times 10^{-9} \times 195 \times 10^{-6} \times 2} = 153.1kHz \quad (19)$$

式 20 を使用して C_C の推奨値を計算します。

$$C_C = \frac{k_{BW}}{2 \times \pi \times BW \times R_Z} \quad (20)$$

$$C_C = \frac{4}{2 \times \pi \times 153 \times 10^{3} \times 2.1 \times 10^{3}} = 1.981\ nF \quad (21)$$

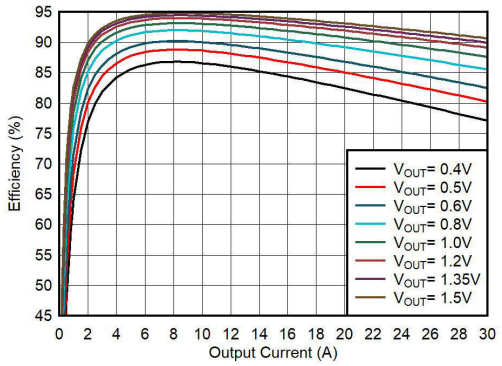
E12 シリーズの最も近い標準値は 1.8nF です。

10.2.2.6 補償コンデンサ C_{C2} の選択

補償コンデンサ C_{C2} はオプションのコンデンサで、TI では COMP ピンから離して高周波ノイズをバイパスすることを推奨します。このコンデンサの値は重要ではありません。代表的なアプリケーションでは 10pF または 22pF のコンデンサが最適です。

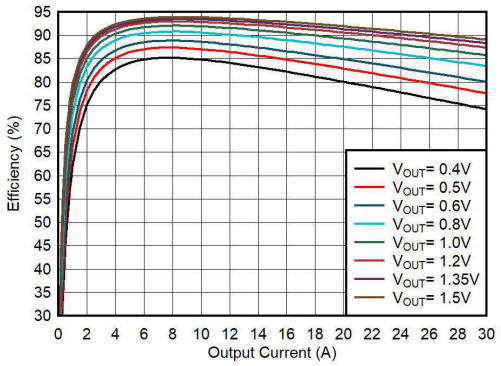
10.2.3 アプリケーション曲線

特に記載がない限り、このセクションでは TPS6287B25EVM-024 の BOM を使用し、スイッチング周波数 f_{SW}= 1.5MHz とします。



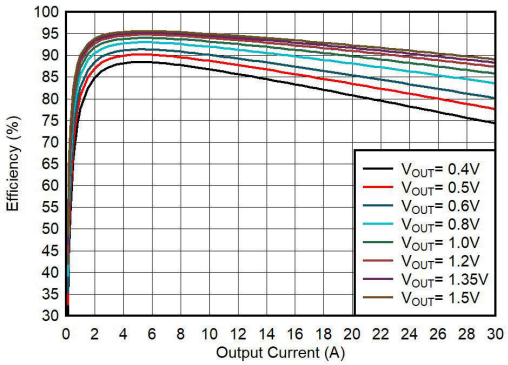
V_{IN} = 5.0V　FPWM　T_A = 25℃

図 10-2. 効率と出力電流との関係



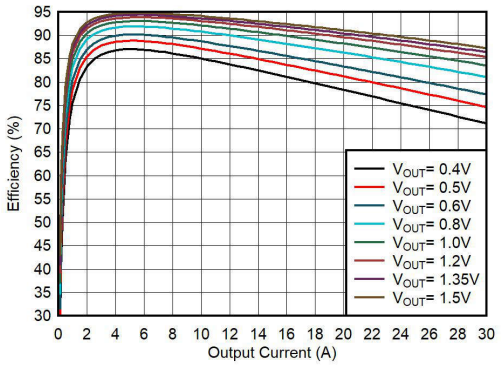
V_{IN} = 5.0V　FPWM　T_A = 85℃

図 10-3. 効率と出力電流との関係



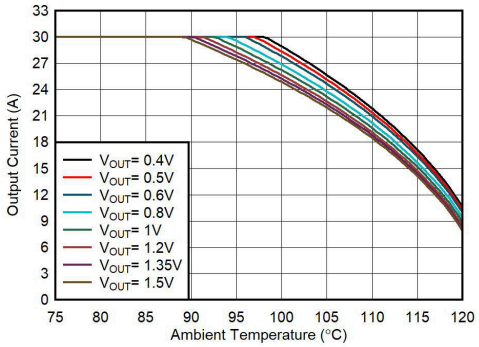
V_{IN} = 3.3V　FPWM　T_A = 25℃

図 10-4. 効率と出力電流との関係



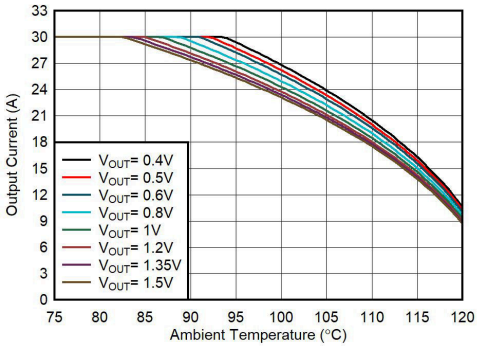
V_{IN} = 3.3V　FPWM　T_A = 85℃

図 10-5. 効率と出力電流との関係



V_{IN} = 5.0V　自然対流　T_{JMAX} = 125°C

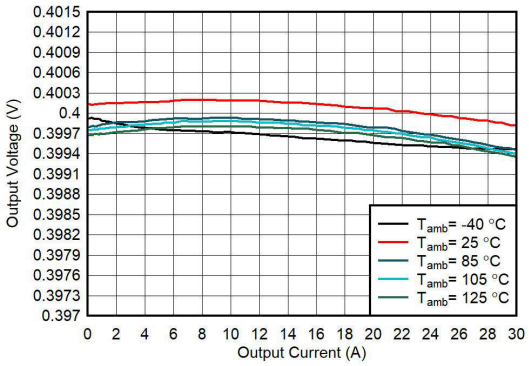
図 10-6. 安全動作領域



V_{IN} = 3.3V　自然対流　T_{JMAX} = 125°C

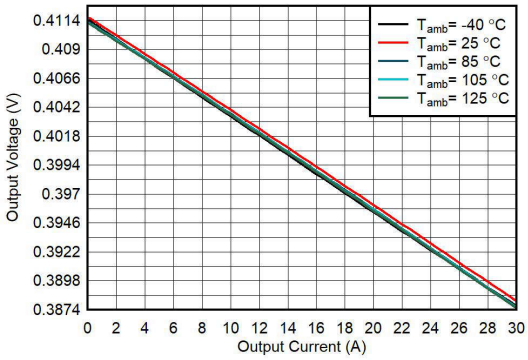
図 10-7. 安全動作領域

Copyright © 2025 Texas Instruments Incorporated



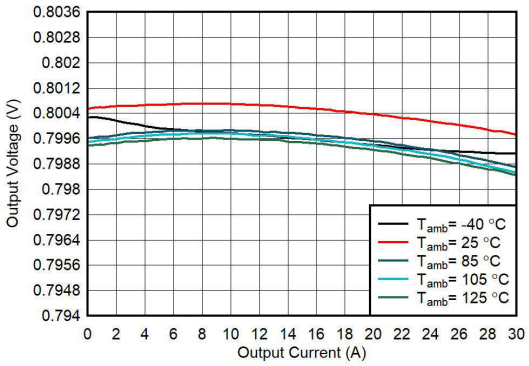
V_{IN} = 5.0V　FPWM、TPS6287B25　V_{OUT} = 0.4V
ドループは無効

図 10-8. 出力電圧と出力電流との関係



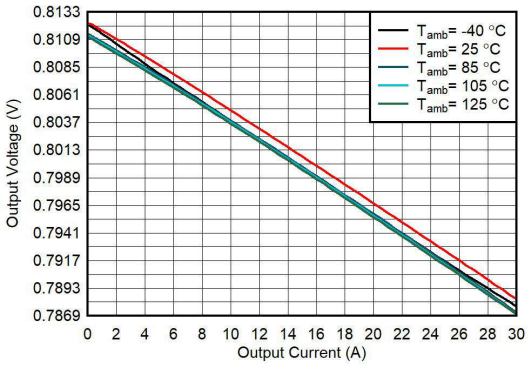
V_{IN} = 5.0V　FPWM、TPS6287B25　V_{OUT} = 0.4V
ドループを有効化

図 10-9. 出力電圧と出力電流との関係



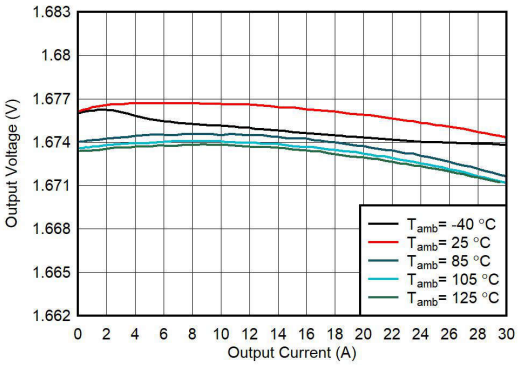
V_{IN} = 5.0V　FPWM、TPS6287B25　V_{OUT} = 0.8V
ドループは無効

図 10-10. 出力電圧と出力電流との関係



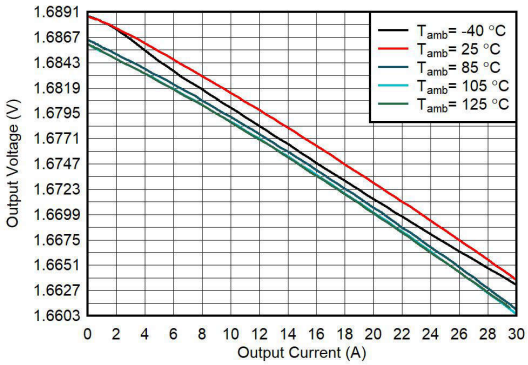
V_{IN} = 5.0V　FPWM、TPS6287B25　V_{OUT} = 0.8V
ドループを有効化

図 10-11. 出力電圧と出力電流との関係



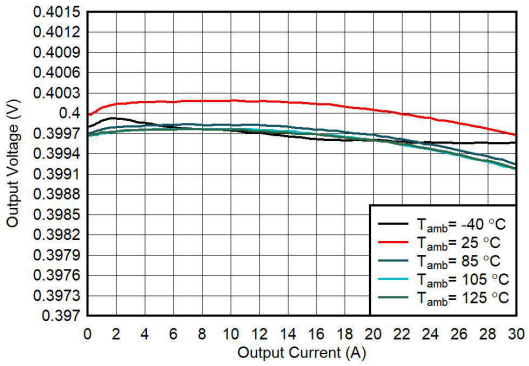
V_{IN} = 5.0V　FPWM、TPS6287B25 ドループは無効　V_{OUT} = 1.675V

図 10-12. 出力電圧と出力電流との関係



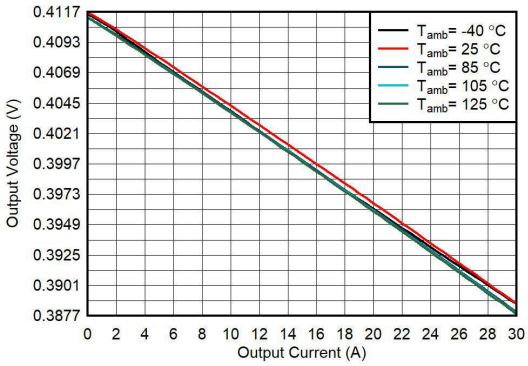
V_{IN} = 5.0V　FPWM、TPS6287B25 ドループを有効化　V_{OUT} = 1.675V

図 10-13. 出力電圧と出力電流との関係



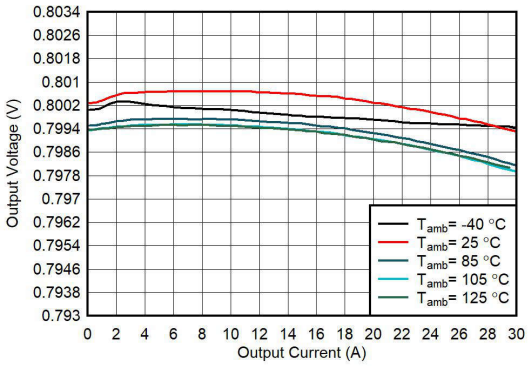
V_{IN} = 3.3V FPWM、TPS6287B25 ドループは無効 V_{OUT} = 0.4V

図 10-14. 出力電圧と出力電流との関係



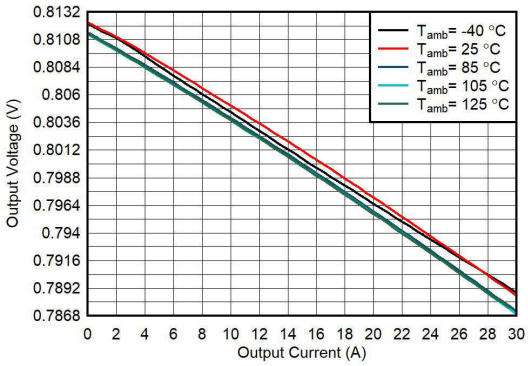
V_{IN} = 3.3V FPWM、TPS6287B25 ドループを有効化 V_{OUT} = 0.4V

図 10-15. 出力電圧と出力電流との関係



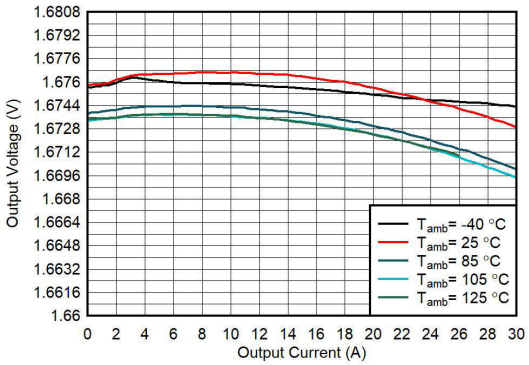
V_{IN} = 3.3V FPWM、TPS6287B25 ドループは無効 V_{OUT} = 0.8V

図 10-16. 出力電圧と出力電流との関係



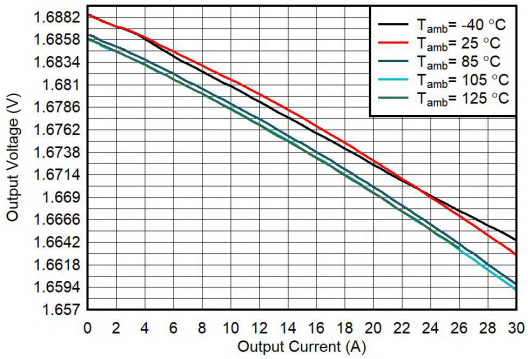
V_{IN} = 3.3V FPWM、TPS6287B25 ドループを有効化 V_{OUT} = 0.8V

図 10-17. 出力電圧と出力電流との関係



V_{IN} = 3.3V FPWM、TPS6287B25 ドループは無効 V_{OUT} = 1.675V

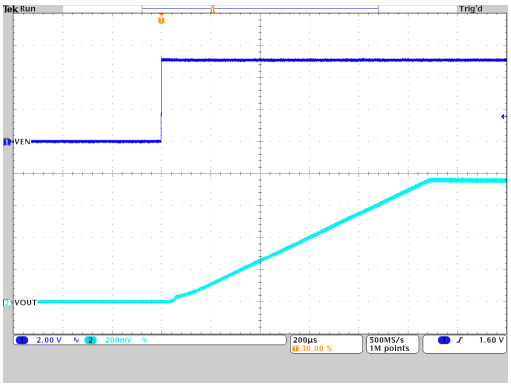
図 10-18. 出力電圧と出力電流との関係



V_{IN} = 3.3V FPWM、TPS6287B25 ドループを有効化 V_{OUT} = 1.675V

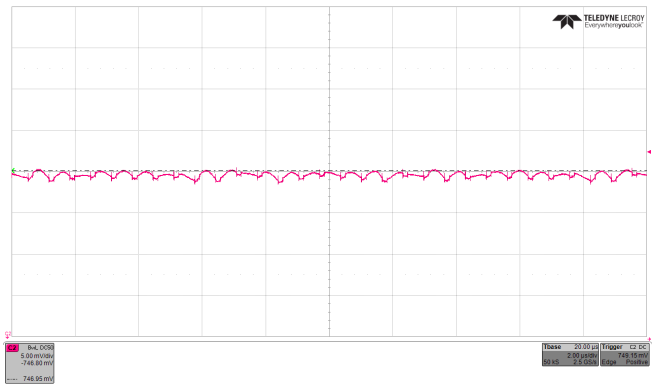
図 10-19. 出力電圧と出力電流との関係

Copyright © 2025 Texas Instruments Incorporated



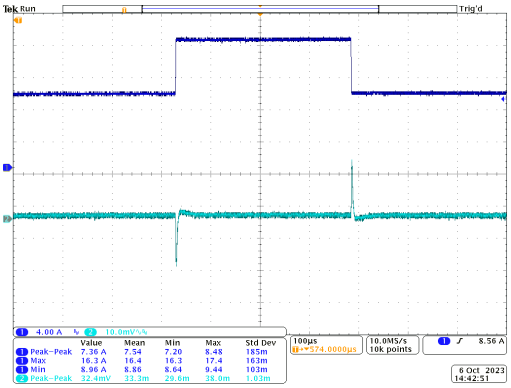
V_{OUT} = 0.75V　PWM　T_A = 25℃
V_{IN} = 5V　R_{LOAD} = 66mΩ

図 10-20. 起動タイミング



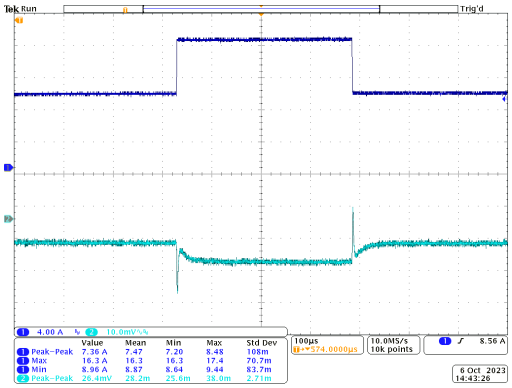
V_{OUT} = 0.75V　PWM　T_A = 25℃
V_{IN} = 3.3V　Iout = 11.3A

図 10-21. 出力電圧リップル



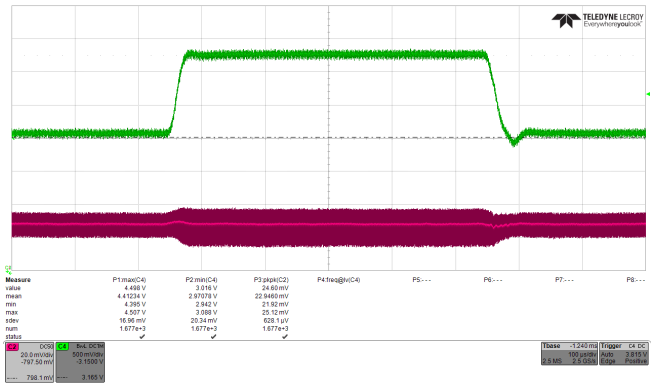
V_{OUT} = 0.75V　PWM、TPS6287B25 ドループを無効化　T_A = 25℃
V_{IN} = 3.3V　Iout = 8.75A ～ 16.25A ～ 8.75A

図 10-22. 負荷過渡応答



V_{OUT} = 0.75V　PWM、TPS6287B25 ドループを有効化　T_A = 25℃
V_{IN} = 3.3V　Iout = 8.75A ～ 16.25A ～ 8.75A

図 10-23. 負荷過渡応答



V_{OUT} = 0.75V　FPWM　T_A = 25℃
V_{IN} = 3.0V → 4.5V → 3.0V　I_{OUT} = 16.25A

図 10-24. ライン過渡応答

10.3 代表的なアプリケーション - TPS6287BxV デバイス

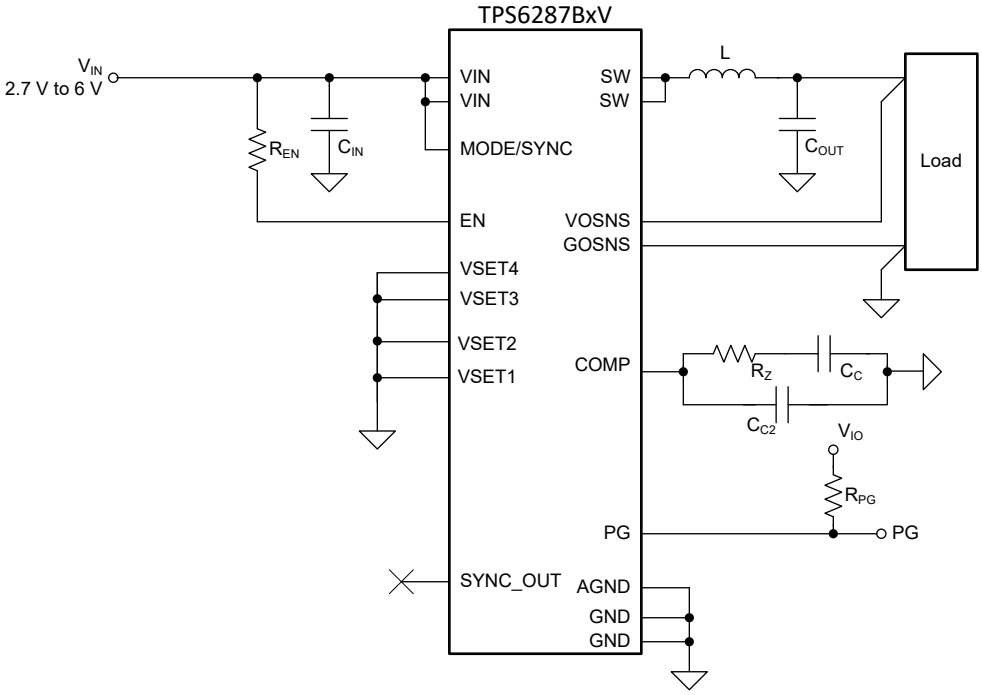


図 10-25. TPS6287BxV の代表的なアプリケーション回路図

10.3.1 TPS6287BxV の設計要件

この設計例については、動作パラメータは表 8-7 を、V_{OUT} の組み合わせについては表 10-5 を参照してください。

表 10-5. 設計パラメータ

記号	パラメータ	値
V_{IN}	入力電圧	2.7V ～ 6V
V_{OUT}	出力電圧	0.4V
I_{OUT}	最大出力電流	25A
L	インダクタンス	105nH

Copyright © 2025 Texas Instruments Incorporated

10.4 2 つの TPS6287B25 をスタック構成で使用する代表的なアプリケーション

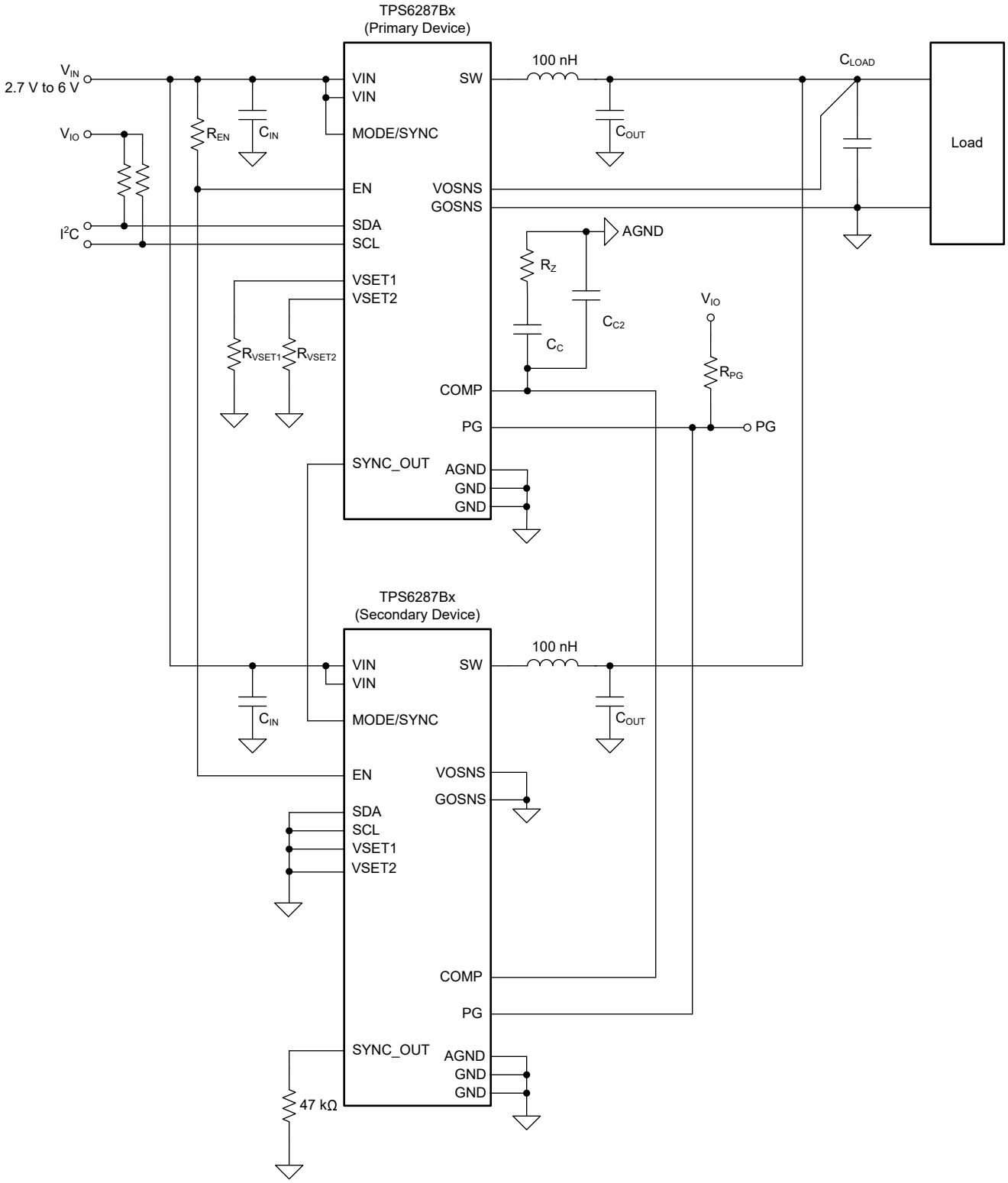


図 10-26. 2 つのデバイスをスタックして最大 50A を供給

10.4.1 2 つのスタック デバイスの設計要件

このアプリケーション例の操作パラメータを 表 10-6 に示します。

表 10-6. 設計パラメータ

記号	パラメータ	値
V_{IN}	入力電圧	3.3V
V_{OUT}	出力電圧	0.75V
TOL_{VOUT}	アプリケーションで許容される出力電圧の許容誤差	±4%
TOL_{DC}	TPS6287B25 の出力電圧許容誤差 (DC 精度)	±0.8%
ΔI_{OUT}	出力電流負荷ステップ	±24A
t_r	負荷ステップ立ち上がり時間	1µs
t_f	負荷ステップの立ち下がり時間	1µs
f_{SW}	スイッチング周波数	1.5MHz
L	インダクタンス	105 nH
g_m	エラー アンプの相互コンダクタンス	1.5mS
τ	エミュレート電流時定数	12.5µs
k_{BW}	スイッチング周波数とコンバータ帯域幅の比率 (≥4 とする必要あり)	4
N_Φ	位相数 (スタックされたデバイスの数)	2
k_{COUT}	最小出力容量と最大出力容量の比率 (通常 2)	2
R_{PG}	パワーグッド出力のプルアップ抵抗	10kΩ
R_{EN}	イネーブル時のプルアップ抵抗	22kΩ
R_{SCL}、R_{SDA}	SDA と SCL のプルアップ抵抗	680 Ω

予備計算

許容される出力電圧の全体的な許容誤差が ±4%、最大 DC 誤差が ±0.8% の場合、負荷変動時における許容出力電圧の変動幅は、以下のように求められます:

$$\Delta V_{OUT} = \pm V_{OUT} \times (TOL_{VOUT} - TOL_{DC}) \tag{22}$$

$$\Delta V_{OUT} = \pm 0.75 \times (0.04 - 0.008) = \pm 24\ mV \tag{23}$$

10.4.2 詳細な設計手順

10.4.2.1 補償抵抗の選択

2 台のコンバータをスタック構成で使用する場合の計算は、単体デバイスの場合とほぼ同様ですが、式に「位相数」N_Φ のパラメータが追加されます。式 24 を使用して、補償抵抗 R_Z の推奨値を計算します。

$$R_Z = \frac{1}{g_m}\left(\frac{\pi \times \Delta I_{OUT} \times L}{4 \times \tau \times N_\phi \times \Delta V_{OUT}}\right)(1 + TOL_{IND}) \tag{24}$$

$$R_Z = \frac{1}{1.5 \times 10^{-3}}\left(\frac{\pi \times 24 \times 105 \times 10^{-9}}{4 \times 12.5 \times 10^{-6} \times 2 \times 24 \times 10^{-3}}\right)(1 + 0.2)\Omega = 3.382\ k\Omega \tag{25}$$

切り上げると、E24 シリーズから最も近い標準値は 3.3kΩ です。

Copyright © 2025 Texas Instruments Incorporated

10.4.2.2 出力コンデンサの選択

コンバータがレギュレーションを維持している場合、必要となる最小出力容量は次の式で求められます。

$$C_{OUT(min)(reg)} = \left(\frac{\tau \times g_m \times R_Z}{2 \times \pi \times \frac{L}{N_\phi} \times \frac{f_{SW}}{4}}\right)\left(1 + \sqrt{TOL_{IND}{}^2 + TOL_{fSW}{}^2}\right) \tag{26}$$

$$C_{OUT(min)(reg)} = \left(\frac{12.5 \times 10^{-6} \times 1.5 \times 10^{-3} \times 3.3 \times 10^3}{2 \times \pi \times \frac{105 \times 10^{-9}}{2} \times \frac{1.5 \times 10^6}{4}}\right)\left(1 + \sqrt{20\%^2 + 10\%^2}\right)F = 612.7\ \mu F \tag{27}$$

コンバータ ループが飽和する場合、最小出力キャパシタンスは次の式で求められます。

$$C_{OUT(min)(sat)} = \frac{1}{\Delta V_{OUT}}\left(\frac{\frac{L}{N_\phi} \times \left(\Delta I_{OUT} + \frac{I_{L(PP)}}{2}\right)^2}{2 \times V_{OUT}} - \frac{\Delta I_{OUT} \times t_t}{2}\right)(1 + TOL_{IND}) \tag{28}$$

$$C_{OUT(min)(sat)} = \frac{1}{24 \times 10^{-3}}\left(\frac{105 \times 10^{-9} \times \left(24 + \frac{1.84}{2}\right)^2}{2 \times 0.75} - \frac{24 \times 1 \times 10^{-6}}{2}\right)(1 + 20\%)\ F = 623\ \mu F \tag{29}$$

この場合は、出力キャパシタンスの 2 つの値のうち大きい方として、$C_{OUT(min)}$ = 623µF を選択します。

ワーストケースの部品の値を計算するには、上記の計算値を必要な*最小*出力容量として使用します。セラミック コンデンサの場合、許容誤差、DC バイアス、温度、経年変化の影響を考慮するときの*公称*容量は通常、最小容量の 2 倍です。この場合、公称容量は 1246µF です。

10.4.2.3 補償コンデンサ C_C の選択

$$BW = \frac{\tau \times g_m \times R_Z}{2 \times \pi \times \frac{L}{N_\phi} \times C_{OUT,min} \times k_{COUT}} \tag{30}$$

$$BW = \frac{12.5 \times 10^{-6} \times 1.5 \times 10^{-3} \times 3.3 \times 10^3}{2 \times \pi \times \frac{105 \times 10^{-9}}{2} \times 623 \times 10^{-6} \times 2} = 150.5\ kHz \tag{31}$$

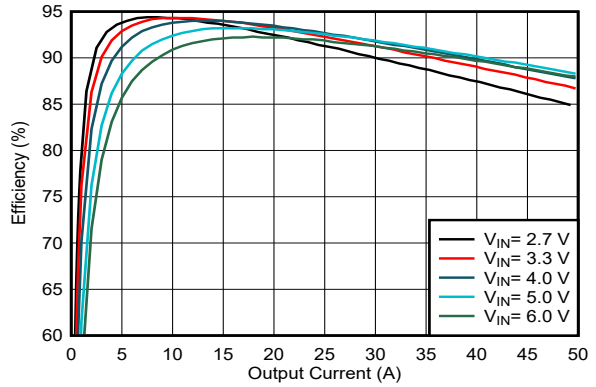
次に、C_C を計算します。

$$C_C = \frac{k_{BW}}{2 \times \pi \times BW \times R_Z} \tag{32}$$

$$C_C = \frac{4}{2 \times \pi \times 150.5 \times 10^3 \times 3.3 \times 10^3} = 1.282\ nF \tag{33}$$

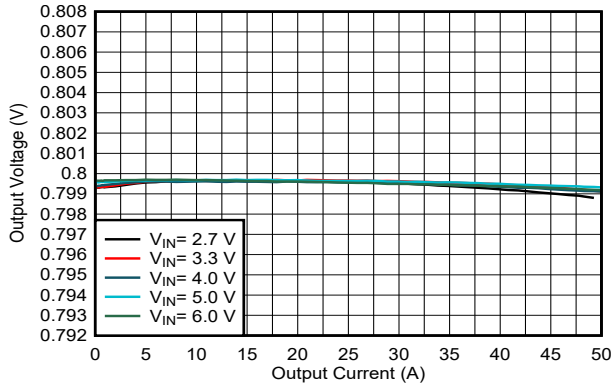
E12 シリーズの最も近い標準値は 1.5nF です。

10.4.3 2 つのスタック デバイスのアプリケーション曲線



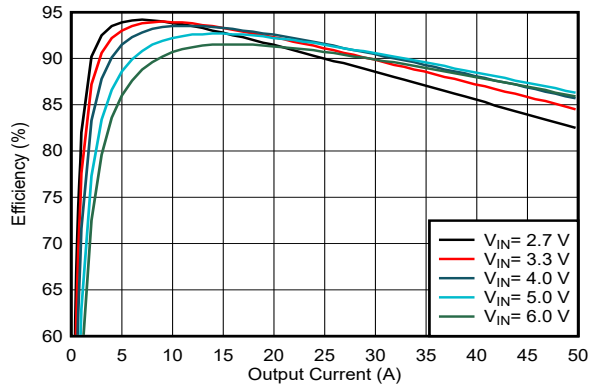
V_{OUT} = 0.8V　PWM　T_A = 25℃

図 10-27. 効率と出力電流との関係



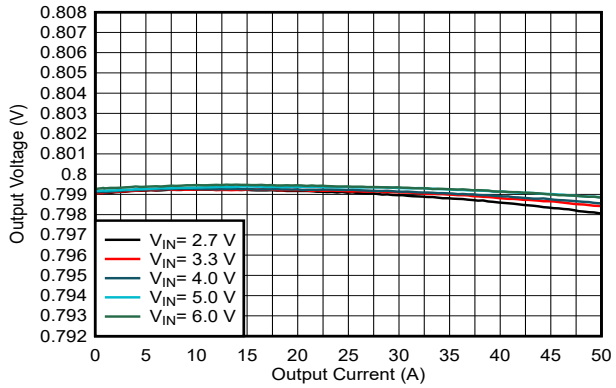
V_{OUT} = 0.8V　PWM　T_A = 25℃

図 10-28. 出力電圧と出力電流との関係



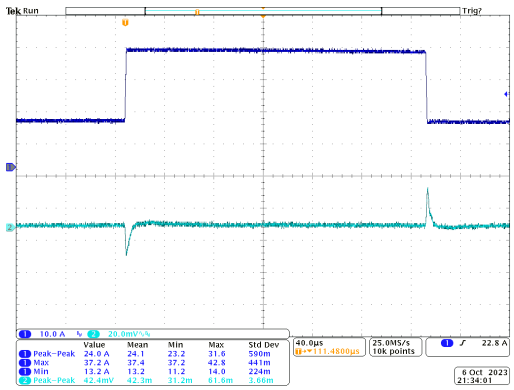
V_{OUT} = 0.8V　PWM　T_A = 85℃

図 10-29. 効率と出力電流との関係



V_{OUT} = 0.8V　PWM　T_A = 85℃

図 10-30. 出力電圧と出力電流との関係

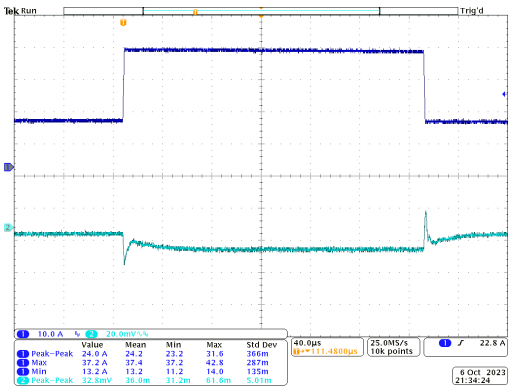


V_{OUT} = 0.75V　PWM、TPS6287B25　T_A = 25℃

ドループは無効

V_{IN} = 5V　Iout = 13.0A ～ 37.0A ～ 13.0A

図 10-31. 負荷過渡応答



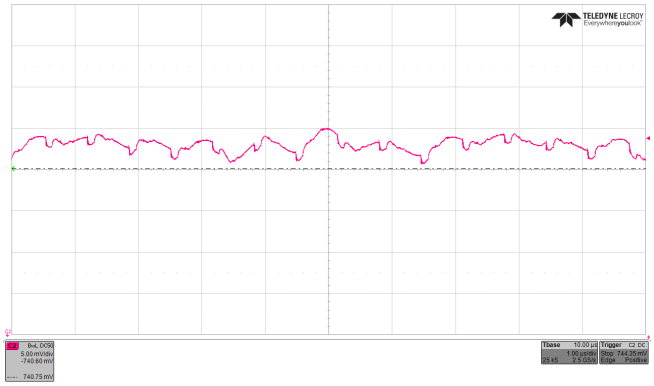
V_{OUT} = 0.75V　PWM。TPS62876 ド　T_A = 25℃

ループが有効

V_{IN} = 5V　Iout = 13.0A ～ 37.0A ～ 13.0A

図 10-32. 負荷過渡応答

Copyright © 2025 Texas Instruments Incorporated



V_{OUT} = 0.75V　　PWM　　T_A = 25℃

V_{IN} = 5V　　R_{LOAD} = 20mΩ

図 10-33. 出力電圧リップル

10.5 3 つの TPS6287B25 をスタック構成で使用する代表的なアプリケーション

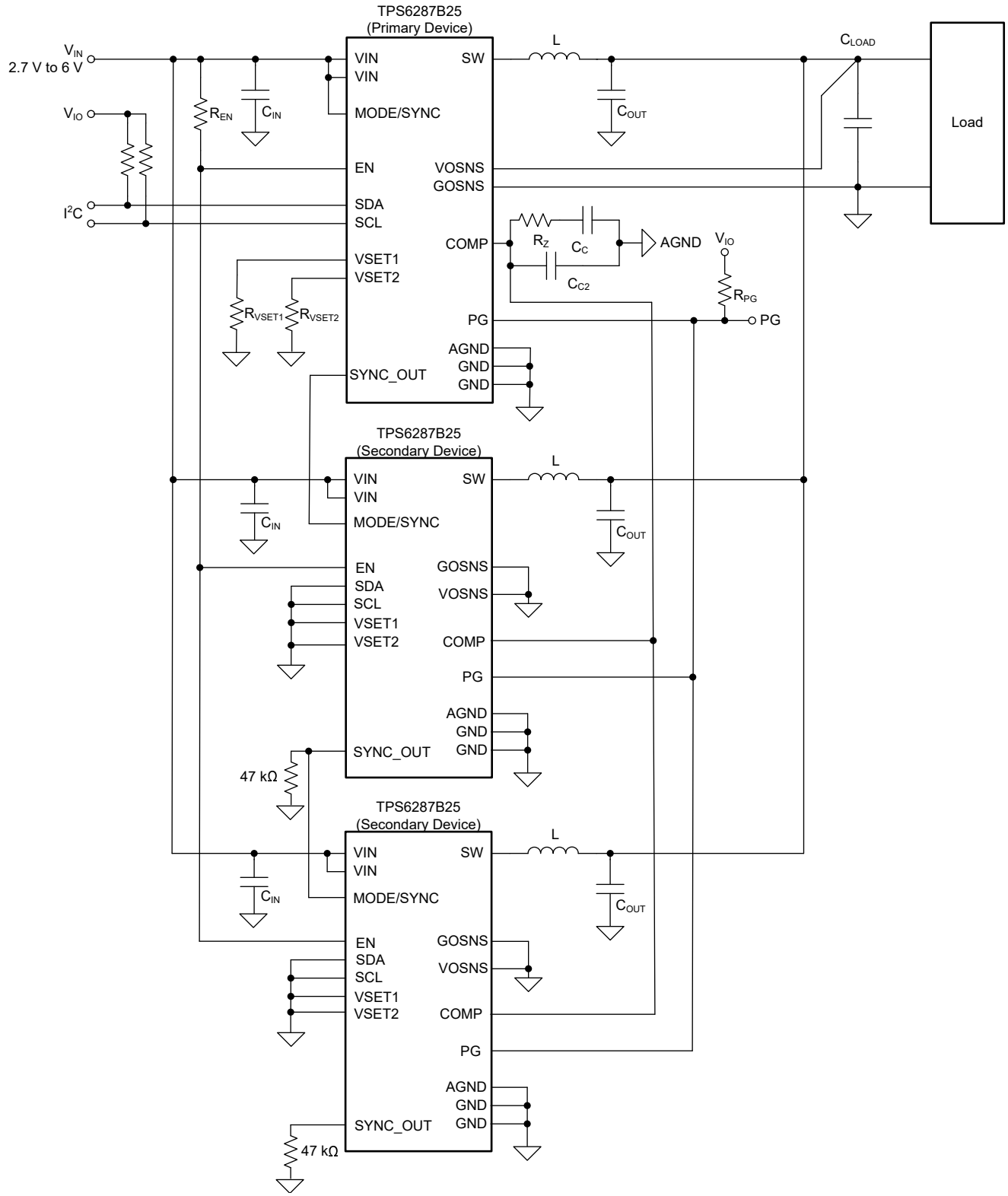


図 10-35. 3 つのデバイスのスタック

Copyright © 2025 Texas Instruments Incorporated

10.5.1 アプリケーション曲線

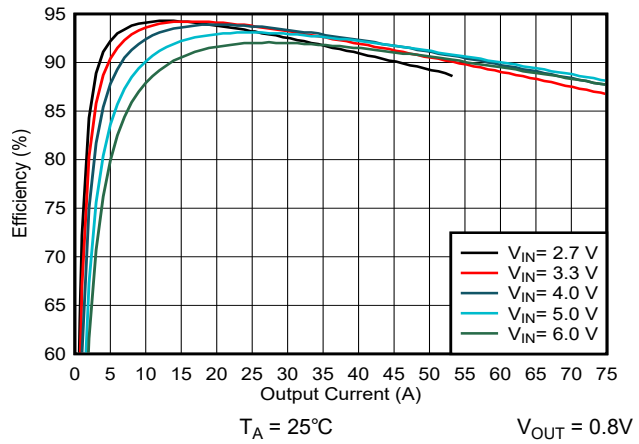


図 10-36. 効率と出力電流との関係

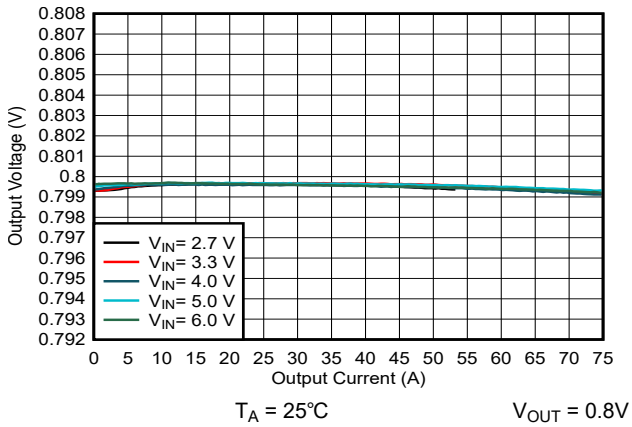


図 10-37. 出力電圧と出力電流との関係

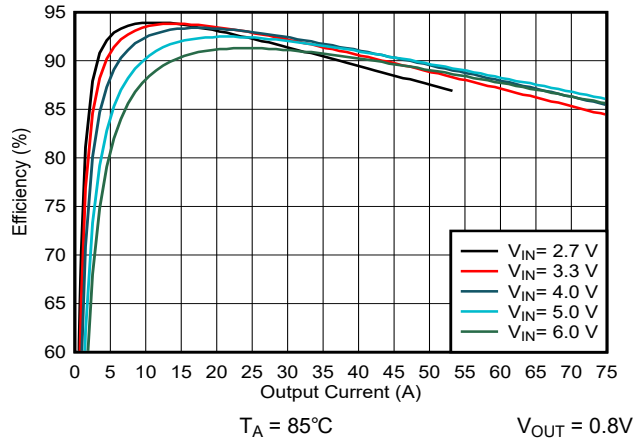


図 10-38. 効率と出力電流との関係

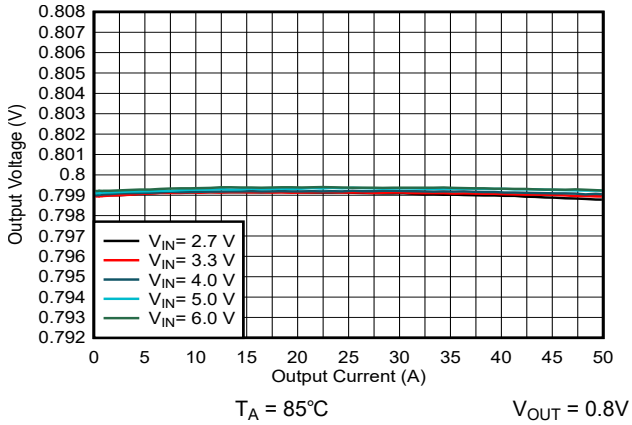


図 10-39. 出力電圧と出力電流との関係

10.6 電源に関する推奨事項

TPS6287Bxx デバイス ファミリには、入力電源に関する特別な要件はありません。入力電源の出力電流は、TPS6287Bxx の供給電圧、出力電圧、および出力電流に応じて定格されている必要があります。

10.7 レイアウト

TPS6287Bxx デバイスの性能を達成するには、PDN と PCB の適切な設計が必要です。そのため、TI はユーザーに対し、設計に対して電源インテグリティ解析を実施することを推奨しています。市販されている電源インテグリティ解析用のソフトウェア ツールはいくつかあり、ユーザーはこれらのツールを用いて、PCB レイアウトや受動部品が性能に与える影響をモデル化できます。

電源インテグリティ ツールの使用に加えて、TI は以下の基本原則を推奨しています。

- 入力コンデンサは VIN ピンと GND ピンの近くに配置します。入力コンデンサはサイズが小さいものから順に、最も小さいコンデンサを VIN および GND ピンの近くに配置するようにします。バタフライ構成の効果を最大限に引き出すために、パッケージ内の両方の VIN-GND ピン対に対して同一のレイアウトを使用します。
- インダクタはデバイスに近づけて配置し、SW ノードを小さい値に維持します。

- デバイスの露出したサーマルパッドと GND ピンを接続します。デバイスの露出サーマル パッドは、複数のサーマル ビアを用いて、1 層または複数のグランド プレーンに接続します (TI の EVM では、直径 150µm のサーマル ビアを 9 個使用しています)。
- 複数の電源プレーンとグランド プレーンを使用します。
- 1 次側デバイスの VOSNS および GOSNS のリモートセンスラインは、差動ペアとして配線し、PDN のインピーダンスが最も低いポイントに接続します。希望する接続ポイントが PDN の最小インピーダンス点でない場合は、そのポイントが PDN 全体における最小インピーダンス点となるように、PDN を最適化します。VOSNS と GOSNS は、いずれのスイッチ ノードの近くにも配線しないようにします。
- COMP と AGND との間に補償部品を接続します。補償部品は、電源グランドに直接接続しないでください。
- 可能であれば、出力コンデンサを TPS6287Bxx デバイスと負荷ポイントの間に均等に分散配置し、1 か所に集中して配置しないようにします。
- 各コンデンサ パッドは、複数のビアを使用して電源プレーンおよびグランド プレーンに接続します (TI の EVM では、通常 1 つのパッドにつき 4 個のビアを使用しています)。
- 異なる電源プレーンやグランド プレーン間の低インピーダンス接続を確保するために、十分な数のスティッチング ビアを使用します。

10.7.1 レイアウトのガイドライン

このデバイスの評価基板の最上層を図 10-40 に示します。この図は、前述の PCB レイアウト原理の実際の実装を示しています。ユーザーは、使用されているすべての PCB 層の図面一式を、評価基板のユーザー ガイド *TPS6287B25 降圧コンバータ評価基板ユーザー ガイド* で確認できます。

10.7.2 レイアウト例

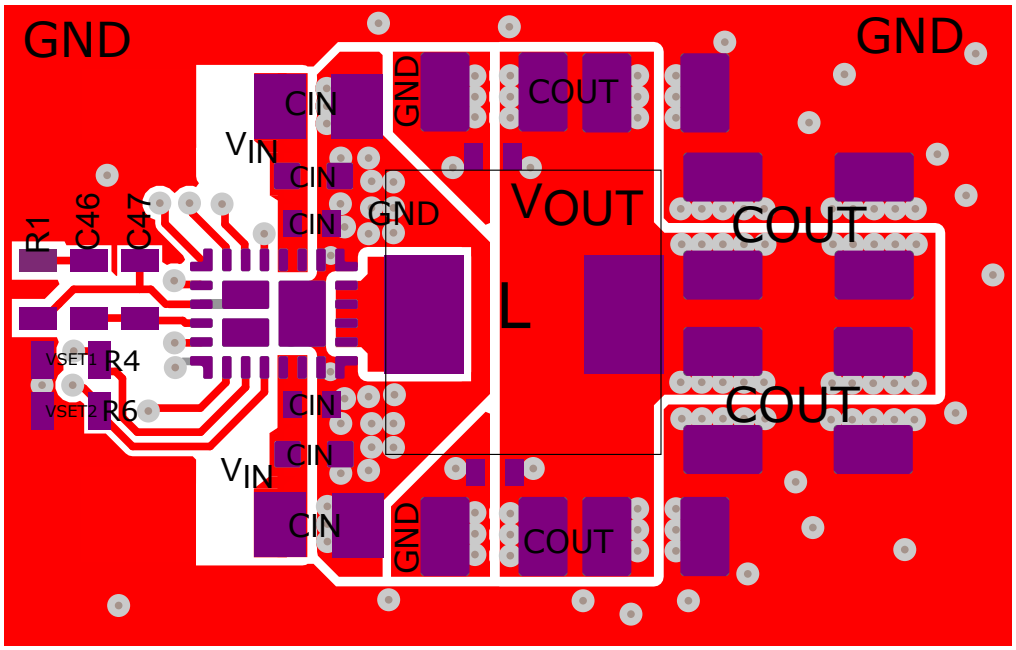


図 10-40. TPS6287B25 評価基板の最上層

Copyright © 2025 Texas Instruments Incorporated

11 デバイスおよびドキュメントのサポート

11.1 ドキュメントのサポート

11.1.1 関連資料

関連資料については、以下を参照してください。

テキサス インスツルメンツ、*『TPS6287B25 降圧コンバータの評価基板』*EVM *ユーザー ガイド*

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

11.4 商標

I2C™ is a trademark of NXP Semiconductors.
テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

11.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

12 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (April 2025) to Revision E (October 2025) — **Page**

- 説明に VSET3、VSET4、FSET ピンを追加 19
- デバイス名を更新 47

Changes from Revision C (October 2024) to Revision D (April 2025) — **Page**

- 「*デバイスのオプション*」表に TPS6287B10VA1WRZVR を追加 3
- *補償 (COMP)* の「GND」を「AGND」に変更 25
- 「*アプリケーション曲線*」で、効率、安全動作領域、出力電圧精度の図を最大 30A に更新 50

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS6287B10HA0WRZVR	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B10HA0
TPS6287B10HA0WRZVR.A	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B10HA0
TPS6287B10LA0WRZVR	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B10LA0
TPS6287B10LA0WRZVR.A	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B10LA0
TPS6287B10VA0WRZVR	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B10VA0
TPS6287B10VA0WRZVR.A	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B10VA0
TPS6287B10VA1WRZVR	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B10VA1
TPS6287B10VA1WRZVR.A	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B10VA1
TPS6287B15HA0WRZVR	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B15HA0
TPS6287B15HA0WRZVR.A	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B15HA0
TPS6287B15JE2WRZVR	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B15JE2
TPS6287B15JE2WRZVR.A	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B15JE2
TPS6287B15LA0WRZVR	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B15LA0
TPS6287B15LA0WRZVR.A	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B15LA0
TPS6287B15VA0WRZVR	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B15VA0
TPS6287B15VA0WRZVR.A	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B15VA0

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS6287B20HA0WRZVR	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B20HA0
TPS6287B20HA0WRZVR.A	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B20HA0
TPS6287B20JE2WRZVR	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B20JE2
TPS6287B20JE2WRZVR.A	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B20JE2
TPS6287B20LA0WRZVR	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B20LA0
TPS6287B20LA0WRZVR.A	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B20LA0
TPS6287B20VA0WRZVR	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B20VA0
TPS6287B20VA0WRZVR.A	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B20VA0
TPS6287B25HA0WRZVR	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B25HA0
TPS6287B25HA0WRZVR.A	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B25HA0
TPS6287B25JE2WRZVR	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B25JE2
TPS6287B25JE2WRZVR.A	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B25JE2
TPS6287B25LA0WRZVR	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B25LA0
TPS6287B25LA0WRZVR.A	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B25LA0
TPS6287B25VA0WRZVR	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B25VA0
TPS6287B25VA0WRZVR.A	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B25VA0
TPS6287B30LA0WRZVR	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B30LA0

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS6287B30LA0WRZVR.A	Active	Production	WQFN-FCRLF (RZV) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	7B30LA0

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

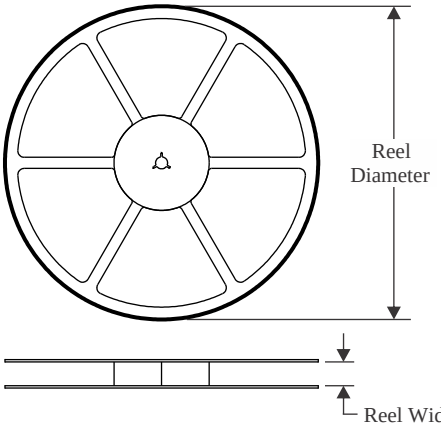
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

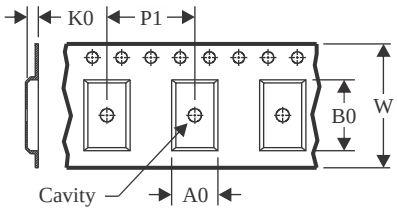
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

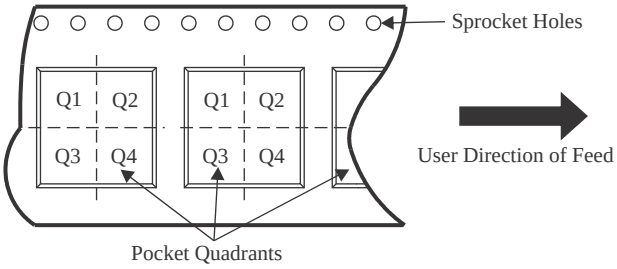


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

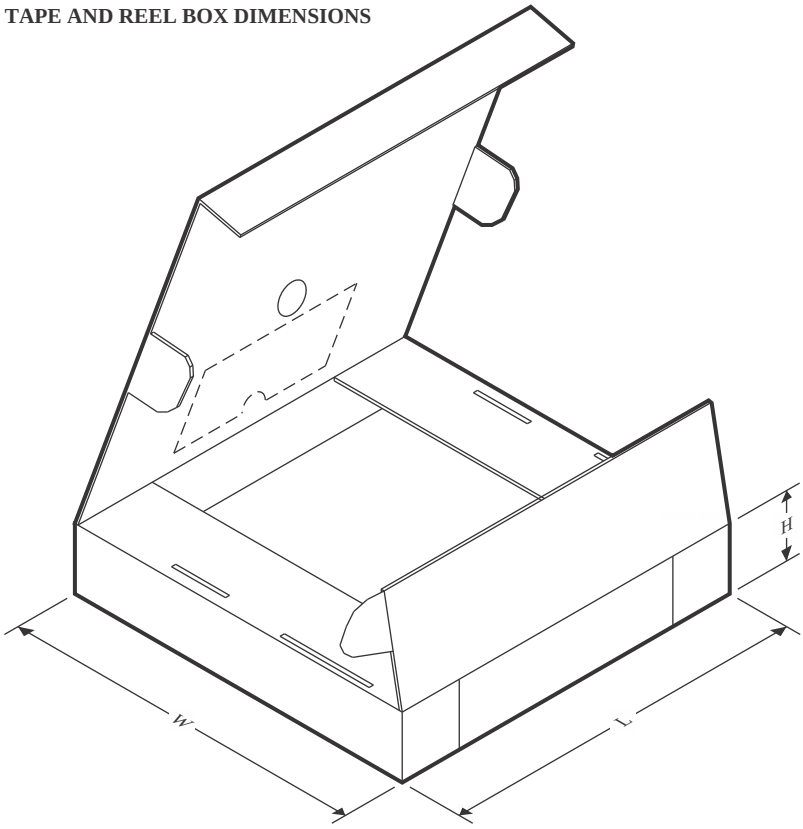


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS6287B10HA0WRZVR	WQFN-FCRLF	RZV	24	3000	330.0	12.4	3.3	4.4	0.8	8.0	12.0	Q1
TPS6287B10LA0WRZVR	WQFN-FCRLF	RZV	24	3000	330.0	12.4	3.3	4.4	0.8	8.0	12.0	Q1
TPS6287B10VA0WRZVR	WQFN-FCRLF	RZV	24	3000	330.0	12.4	3.3	4.4	0.8	8.0	12.0	Q1
TPS6287B10VA1WRZVR	WQFN-FCRLF	RZV	24	3000	330.0	12.4	3.3	4.4	0.8	8.0	12.0	Q1
TPS6287B15HA0WRZVR	WQFN-FCRLF	RZV	24	3000	330.0	12.4	3.3	4.4	0.8	8.0	12.0	Q1
TPS6287B15JE2WRZVR	WQFN-FCRLF	RZV	24	3000	330.0	12.4	3.3	4.4	0.8	8.0	12.0	Q1
TPS6287B15LA0WRZVR	WQFN-FCRLF	RZV	24	3000	330.0	12.4	3.3	4.4	0.8	8.0	12.0	Q1
TPS6287B15VA0WRZVR	WQFN-FCRLF	RZV	24	3000	330.0	12.4	3.3	4.4	0.8	8.0	12.0	Q1
TPS6287B20HA0WRZVR	WQFN-FCRLF	RZV	24	3000	330.0	12.4	3.3	4.4	0.8	8.0	12.0	Q1

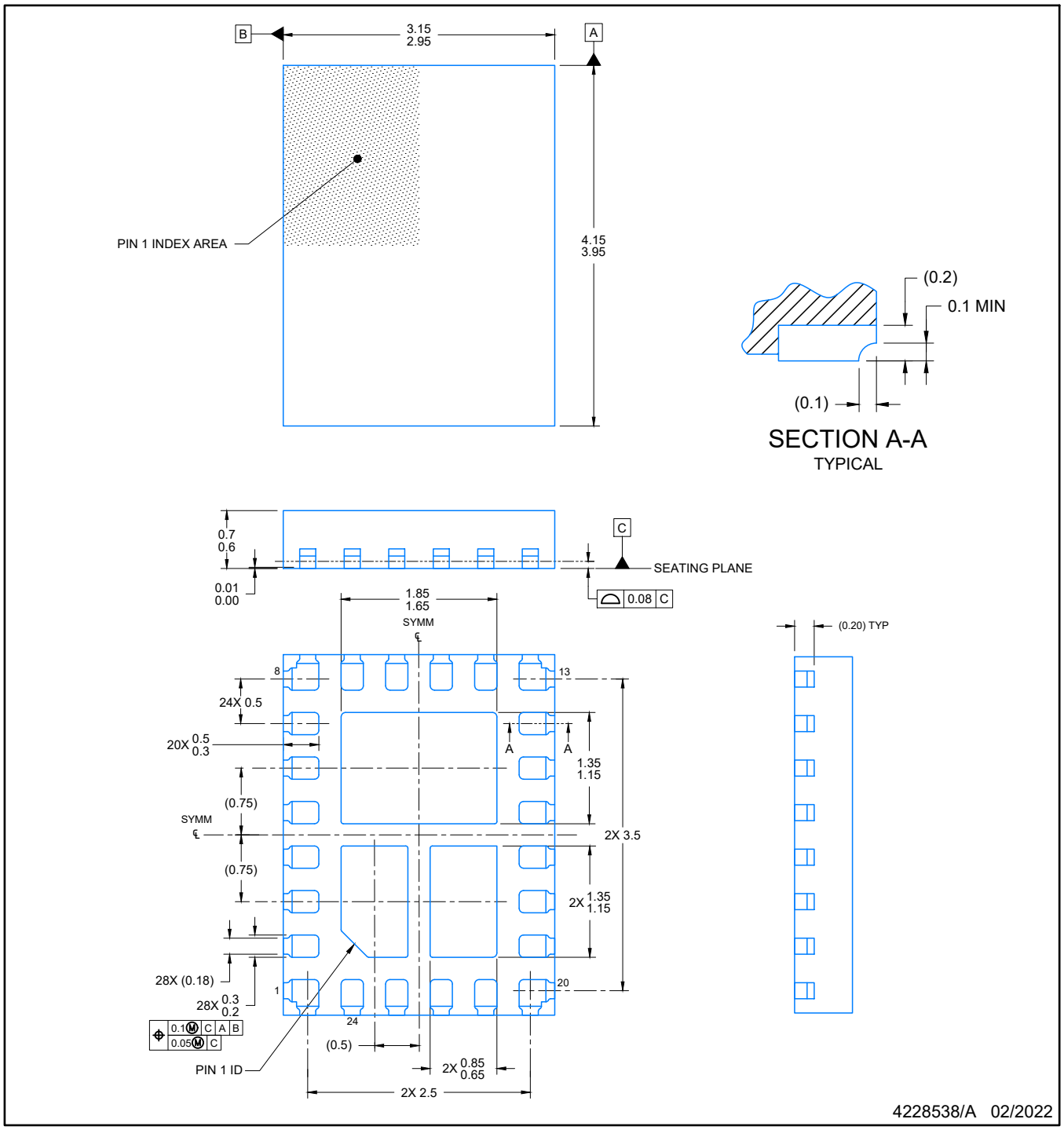
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS6287B20JE2WRZVR	WQFN-FCRLF	RZV	24	3000	330.0	12.4	3.3	4.4	0.8	8.0	12.0	Q1
TPS6287B20LA0WRZVR	WQFN-FCRLF	RZV	24	3000	330.0	12.4	3.3	4.4	0.8	8.0	12.0	Q1
TPS6287B20VA0WRZVR	WQFN-FCRLF	RZV	24	3000	330.0	12.4	3.3	4.4	0.8	8.0	12.0	Q1
TPS6287B25HA0WRZVR	WQFN-FCRLF	RZV	24	3000	330.0	12.4	3.3	4.4	0.8	8.0	12.0	Q1
TPS6287B25JE2WRZVR	WQFN-FCRLF	RZV	24	3000	330.0	12.4	3.3	4.4	0.8	8.0	12.0	Q1
TPS6287B25LA0WRZVR	WQFN-FCRLF	RZV	24	3000	330.0	12.4	3.3	4.4	0.8	8.0	12.0	Q1
TPS6287B25VA0WRZVR	WQFN-FCRLF	RZV	24	3000	330.0	12.4	3.3	4.4	0.8	8.0	12.0	Q1
TPS6287B30LA0WRZVR	WQFN-FCRLF	RZV	24	3000	330.0	12.4	3.3	4.4	0.8	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



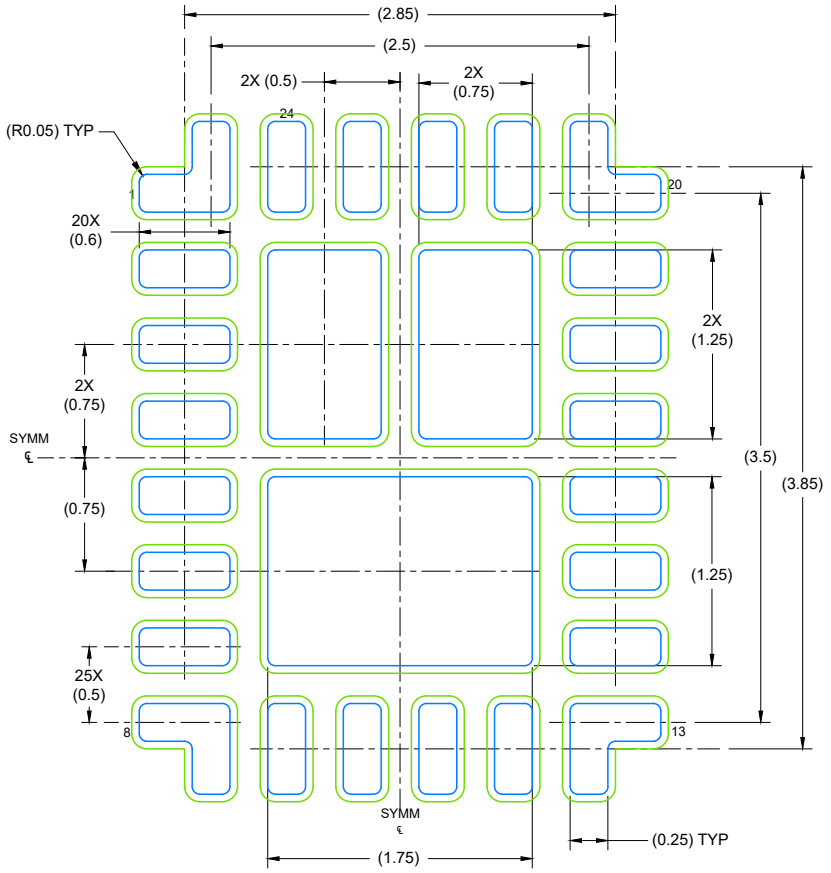
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS6287B10HA0WRZVR	WQFN-FCRLF	RZV	24	3000	338.0	355.0	50.0
TPS6287B10LA0WRZVR	WQFN-FCRLF	RZV	24	3000	338.0	355.0	50.0
TPS6287B10VA0WRZVR	WQFN-FCRLF	RZV	24	3000	338.0	355.0	50.0
TPS6287B10VA1WRZVR	WQFN-FCRLF	RZV	24	3000	338.0	355.0	50.0
TPS6287B15HA0WRZVR	WQFN-FCRLF	RZV	24	3000	338.0	355.0	50.0
TPS6287B15JE2WRZVR	WQFN-FCRLF	RZV	24	3000	338.0	355.0	50.0
TPS6287B15LA0WRZVR	WQFN-FCRLF	RZV	24	3000	338.0	355.0	50.0
TPS6287B15VA0WRZVR	WQFN-FCRLF	RZV	24	3000	338.0	355.0	50.0
TPS6287B20HA0WRZVR	WQFN-FCRLF	RZV	24	3000	338.0	355.0	50.0
TPS6287B20JE2WRZVR	WQFN-FCRLF	RZV	24	3000	338.0	355.0	50.0
TPS6287B20LA0WRZVR	WQFN-FCRLF	RZV	24	3000	338.0	355.0	50.0
TPS6287B20VA0WRZVR	WQFN-FCRLF	RZV	24	3000	338.0	355.0	50.0
TPS6287B25HA0WRZVR	WQFN-FCRLF	RZV	24	3000	338.0	355.0	50.0
TPS6287B25JE2WRZVR	WQFN-FCRLF	RZV	24	3000	338.0	355.0	50.0
TPS6287B25LA0WRZVR	WQFN-FCRLF	RZV	24	3000	338.0	355.0	50.0
TPS6287B25VA0WRZVR	WQFN-FCRLF	RZV	24	3000	338.0	355.0	50.0
TPS6287B30LA0WRZVR	WQFN-FCRLF	RZV	24	3000	338.0	355.0	50.0

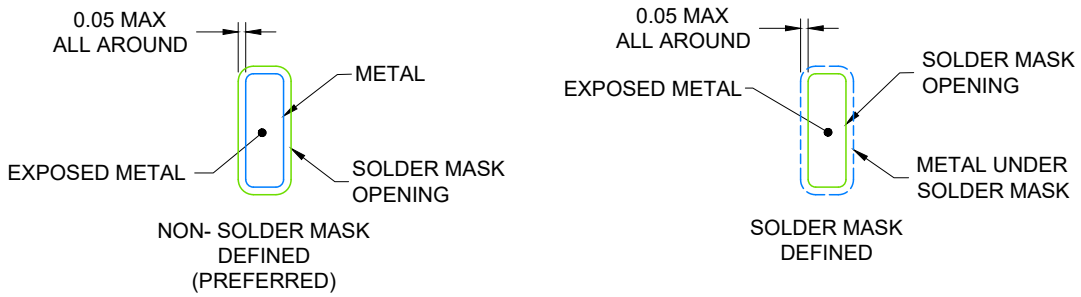


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

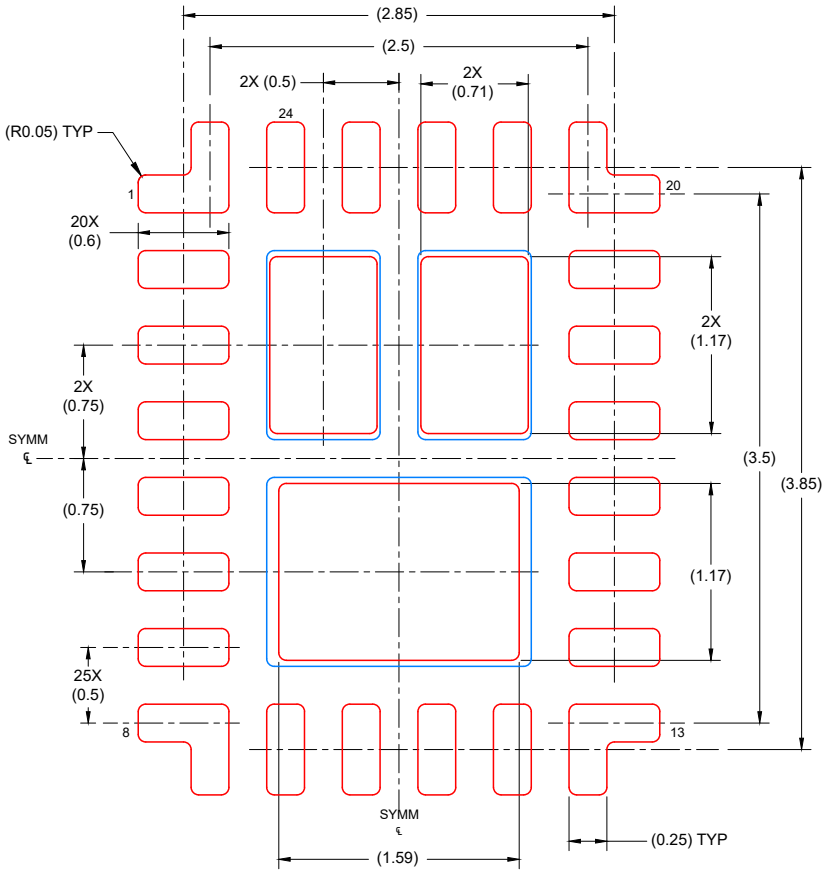


SOLDER MASK DETAILS

4228538/A 02/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

SCALE: 15X

4228538/A 02/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月