

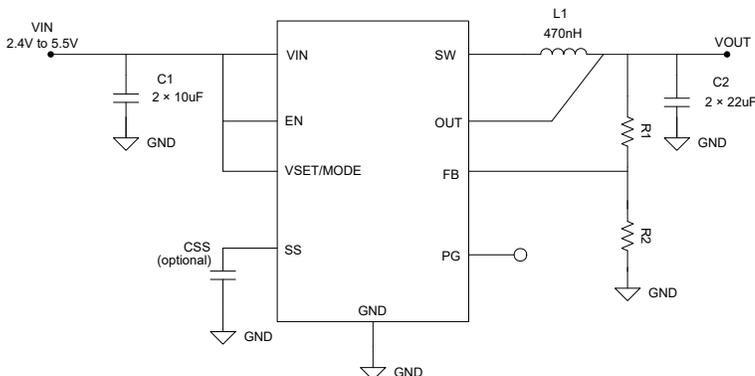
TPS6286A06D、2mm x 3mm QFN パッケージ封止、2.4V ~ 5.5V 入力、6A、同期整流降圧コンバータ

1 特長

- 入力電圧範囲: 2.4V ~ 5.5V
- 8mΩ/8mΩ のパワー MOSFET を内蔵
- 動作時の静止電流 5.1μA
- 他の業界標準デバイスを使用したマルチソース
- 1.2MHz のスイッチング周波数
- 100% デューティ サイクル モード
- 出力電圧精度: 0.7%
- 強制 PWM またはパワー セーブ モード
- DCS-Control トポロジ (コンスタント オンタイム)
- 出力電圧:
 - 0.6V ~ V_{in} の範囲で可変 (外部 FB デバイダ付き)
 - 0.4V ~ 1.6V に固定 (外付け抵抗を使用)
- 出力電圧放電
- Hiccup 短絡保護機能
- 内部プルアップ付きパワーグッドインジケータ
- サーマル シャットダウン
- 可変ソフト スタート
- -40°C ~ 125°C の動作温度範囲
- I²C インターフェイスなし (TPS6286A08、TPS6286A10) および I²C インターフェイスあり (TPS6286B08 と TPS6286B10) の 8A と 10A のバージョンで利用できます。

2 アプリケーション

- WLAN / Wi-Fi アクセス ポイント
- IP ネットワーク カメラ
- マシンビジョン カメラ
- FPGA、CPU、ASIC、DSP のコア電源



代表的なアプリケーション回路図 - TPS6286A06D

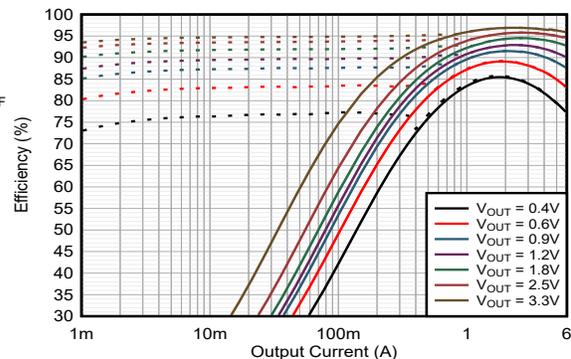
3 説明

TPS6286A06D デバイスは、高効率で柔軟性が高く高電力密度の設計を実現する高周波数同期整流降圧コンバータです。中負荷から重負荷では、コンバータはパルス幅変調 (PWM) モードで動作し、軽負荷電流時には自動的にパワー セーブ モードに移行するため、負荷電流のあらゆる範囲にわたって高い効率が維持されます。このデバイスは、強制的に PWM モードで動作させ、出力電圧リップルを最小化することもできます。DCS-Control アーキテクチャと相まって、優れた負荷過渡性能と厳密な出力電圧精度を実現します。このデバイスは、VIN への内部プルアップ抵抗を備えたパワーグッド信号 (外部プルアップ抵抗オプション用には TPS6286A06 を使用) と、可変ソフトスタート機能を備えています。このデバイスは 100% モードで動作可能です。障害保護の目的で、本デバイスは HICCUP (ヒカップ、間欠型) 短絡保護機能やサーマル シャットダウン機能を搭載しています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
TPS6286A06D	VBM (VQFN-HR, 13)	2mm x 3mm

- (1) 詳細については、[セクション 11](#) を参照してください。
- (2) パッケージサイズ (長さ x 幅) は公称値であり、該当する場合はピンを含みます。



効率と出力電流との関係 ($V_{IN} = 5V$)



目次

1 特長	1	8 アプリケーションと実装	15
2 アプリケーション	1	8.1 アプリケーション情報.....	15
3 説明	1	8.2 代表的なアプリケーション.....	15
4 ピン構成および機能	3	8.3 電源に関する推奨事項.....	22
5 仕様	5	8.4 レイアウト.....	22
5.1 絶対最大定格.....	5	9 デバイスおよびドキュメントのサポート	24
5.2 ESD 定格.....	5	9.1 デバイス サポート.....	24
5.3 推奨動作条件.....	5	9.2 ドキュメントのサポート.....	24
5.4 熱に関する情報.....	5	9.3 ドキュメントの更新通知を受け取る方法.....	24
5.5 電気的特性.....	6	9.4 サポート・リソース.....	24
6 代表的特性	8	9.5 商標.....	25
7 詳細説明	9	9.6 静電気放電に関する注意事項.....	25
7.1 概要.....	9	9.7 用語集.....	25
7.2 機能ブロック図.....	9	10 改訂履歴	25
7.3 機能説明.....	9	11 メカニカル、パッケージ、および注文情報	25
7.4 デバイスの機能モード.....	11		

4 ピン構成および機能

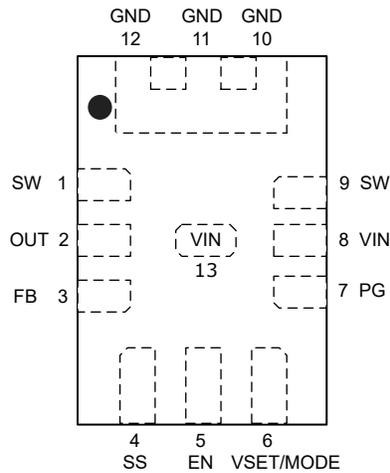


図 4-1. FB バージョン用 13 ピン VBM VQFN-HR パッケージ (上面図)

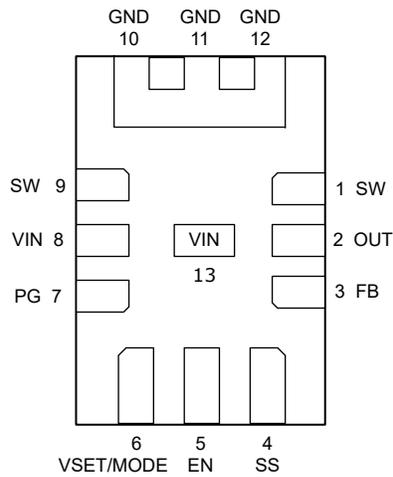


図 4-2. FB バージョン用 13 ピン VBM VQFN-HR パッケージ (底面図)

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
EN	5	I	デバイス イネーブル ピン。デバイスをイネーブルするには、このピンを High にする必要があります。このピンを Low にプル、またはフローティングにすると、デバイスはディスエーブルになります。
FB	3	I	電圧フィードバック入力。出力電圧抵抗デバイダをこのピンに接続します。固定出力電圧を使用する場合は、OUT に直接接続します。
GND	10、11、12	GND	電源グランド ピン
OUT	2	I	出力電圧検出ピン。このピンは、出力コンデンサに直接接続する必要があります。
PG	7	O	パワー グッド オープンドレイン出力ピン。この出力ピンは、 500kΩ (標準) 抵抗により内部的に VIN にプルアップされています。このピンを使わない場合、フローティングのままにします。本デバイスがシャットダウン中、このピンは GND にプルダウンされます。
SS	4	I	ソフト スタートピン。外部コンデンサにより、ソフト スタート時間を調整できます。このピンを使用しない場合は、フローティングのままにして、デフォルトの SS 時間を設定します。
SW	1、9	P	電力段のスイッチ ピン
VIN	8.13	P	電源入力電圧ピン
VSET/MODE	6	I	GND との間に抵抗を接続すると、固定出力電圧の 1 つが選択されます。このピンを High または Low に接続またはフローティングにすると、可変出力電圧が選択されます。デバイスの起動後、このピンは MODE 入力として動作します。 High レベルを印加すると強制 PWM モード動作が選択され、 Low レベルまたはフローティングにするとパワー セーブ モード動作が選択されます。

(1) I = 入力、O = 出力、P = 電源、GND = グランド

5 仕様

5.1 絶対最大定格

動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
ピン電圧 ⁽²⁾	VIN, EN, OUT, FB, PG, VSET/MODE, SS	-0.3	6	V
	SW (DC)	-0.3	V _{IN} + 0.3	
	SW (AC, 10ns 未満) ⁽³⁾	-2.5	10	
PG のシンク電流	I _{SINK_PG}		1	mA
接合部温度	T _J	-40	150	°C
保存温度	T _{stg}	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値は、回路のグラウンドを基準としたものです。
- (3) スイッチング動作時。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン ⁽²⁾	±500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

動作時接合部温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _{IN}	電源電圧範囲	2.4		5.5	V
V _{OUT}	出力電圧範囲	0.4		V _{IN}	V
V _{IN_SR}	V _{IN} ⁽¹⁾ の立ち下がり遷移時間			10	mV/μs
I _{OUT}	出力電流			6	A
T _J	接合部温度	-40		125	°C

- (1) V_{IN} が V_{UVLO} 未満になる場合、立ち下がりがスルーレート V_{IN} を制限する必要があります。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS6286A06D		単位
		VBM (JEDEC 51-7)	VBM (EVM)	
		13 ピン	13 ピン	
R _{θJA}	接合部から周囲への熱抵抗	71.2	43.2	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	45.3	該当なし ⁽²⁾	°C/W
R _{θJB}	接合部から基板への熱抵抗	16.6	該当なし ⁽²⁾	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	1.7	6.9	°C/W

5.4 熱に関する情報 (続き)

熱評価基準 ⁽¹⁾	熱評価基準 ⁽¹⁾	TPS6286A06D		単位
		VBM (JEDEC 51-7)	VBM (EVM)	
		13 ピン	13 ピン	
Ψ_{JB}	接合部から基板への特性パラメータ	16.6	10.5	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
 (2) EVM には適用されません。

5.5 電気的特性

$T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 、 $V_{IN} = 2.4\text{V} \sim 5.5\text{V}$ 。代表値は、 $T_J = 25^{\circ}\text{C}$ および $V_{IN} = 5\text{V}$ です (特に記述のない限り)。

パラメータ	テスト条件	最小値	標準値	最大値	単位	
電源						
I_{Q_VIN}	静止時電流	EN = High、無負荷、デバイスがスイッチングしない、 $T_J = 25^{\circ}\text{C}$			5.1 9	μA
I_{Q_OUT}	OUT ピンへの動作時静止電流	EN = High、無負荷、デバイスがスイッチングしない、 $V_{OUT} = 1.8\text{V}$ 、 $T_J = 25^{\circ}\text{C}$			18	μA
I_{SD}	シャットダウン電流	EN = Low、 $T_J = 25^{\circ}\text{C}$ 、EN は未トリガ			0.24 0.75	μA
I_{SD}	シャットダウン電流	$V_{IN} = 5\text{V}$ 、 $T_J = 25^{\circ}\text{C}$ 、EN = Low、EN は 1 回トリガ済み			6.5	μA
V_{UVLO}	低電圧誤動作防止スレッショルド	V_{IN} 立ち上がり			2.2 2.3 2.4	V
		V_{IN} 立ち下がり			2.1 2.2 2.3	V
T_{JSD}	サーマル シャットダウンのスレッショルド	T_J 立ち上がり			150	$^{\circ}\text{C}$
	サーマル シャットダウン ヒステリシス	T_J 立ち下がり			20	$^{\circ}\text{C}$
ロジック インターフェイス						
V_{IH}	EN および VSET/MODE の High レベル入力スレッショルド電圧				0.9	V
V_{IL}	EN および VSET/MODE の Low レベル入力スレッショルド電圧				0.4	V
$R_{Pull_down_VSET_MODE}$	VSET/MODE ピンのプルダウン抵抗	$T_J = 25^{\circ}\text{C}$ 、 $V_{IN} = 5\text{V}$ 、 $V_{VSET/MODE} = 5\text{V}$ 、R2D 読み取り完了後。			3.3	M Ω
$I_{EN, LKG}$	EN ピンへの入力リーク電流	$T_J = 25^{\circ}\text{C}$ 、 $V_{IN} = 5.0\text{V}$ 、 $V_{EN} = 0.4\text{V}$			0.01 0.1	μA
$R_{Pull_down_EN}$	EN ピンのプルダウン抵抗	$T_J = 25^{\circ}\text{C}$ 、 $V_{IN} = 5\text{V}$ 、 $V_{EN} = 5\text{V}$			2.25	M Ω
スタートアップ、パワー グッド						
t_{Delay}	イネーブル遅延時間	EN が High になってからデバイスがスイッチングを開始するまでの時間 VSET/MODE と GND の間に 249k Ω 抵抗が接続されています			420 840 1200	μs
t_{Ramp}	出力電圧ランブタイム	デバイスがスイッチングを開始してからパワー グッドまでの時間 (外部コンデンサ接続なし)			1 1.5 1.85	ms
$R_{Pull_up_PG}$	V_{IN} に対する PG 内部プルアップ抵抗	$T_J = 25^{\circ}\text{C}$			500	k Ω
V_{PG}	パワー グッドの下限スレッショルド	V_{OUT} は公称 V_{OUT} を基準とします。			85 91 96	%
	パワー グッドの上限スレッショルド	V_{OUT} は公称 V_{OUT} を基準とします。			103 111 120	%
$V_{PG, OL}$	Low レベル出力電圧	$I_{sink} = 1\text{mA}$			0.36	V
I_{SS}	SS ピン ソース電流				20	μA
$t_{PG, DLY}$	パワー グッドのグリッチ除去遅延	立ち上がりエッジと立ち下がりエッジ			34	μs
出力						

5.5 電気的特性 (続き)

$T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ 、 $V_{IN} = 2.4\text{V} \sim 5.5\text{V}$ 。代表値は、 $T_J = 25^{\circ}\text{C}$ および $V_{IN} = 5\text{V}$ です (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OUT}	出力電圧精度	固定電圧動作、FPWM、無負荷、 $T_J = 25^{\circ}\text{C}$	-0.7		0.7	%
V_{OUT}	出力電圧精度	固定電圧動作、FPWM、無負荷	-1		1	%
V_{FB}	帰還電圧	可変電圧動作	594	600	606	mV
$I_{FB, LKG}$	FB ピンへの入力リーク電流	可変電圧動作、 $V_{FB} = 0.6\text{V}$ 、 $T_J = 25^{\circ}\text{C}$		0.01	0.1	μA
R_{DIS}	OUT ピンの出力放電抵抗			4.3		Ω
	ロードレギュレーション	$V_{OUT} = 0.9\text{V}$ 、FPWM		0.04		%/A
パワー スイッチ						
$R_{DS(on)}$	ハイサイド FET オン抵抗			8		m Ω
	ローサイド FET オン抵抗			8		m Ω
I_{LIM}	ハイサイド FET 順方向電流制限値		7.3	8	9	A
I_{LIM}	ローサイド FET 順方向電流制限値			6.5		A
I_{LIM}	ローサイド FET 負電流制限値			-3		A
f_{SW}	PWM スイッチング周波数	$I_{OUT} = 1\text{A}$ 、 $V_{OUT} = 0.9\text{V}$		1.2		MHz

6 代表的特性

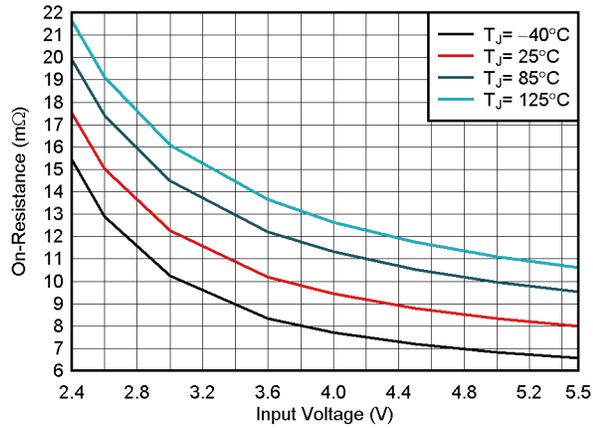


図 6-1. ハイサイド FET オン抵抗、 $R_{DS(ON)}$

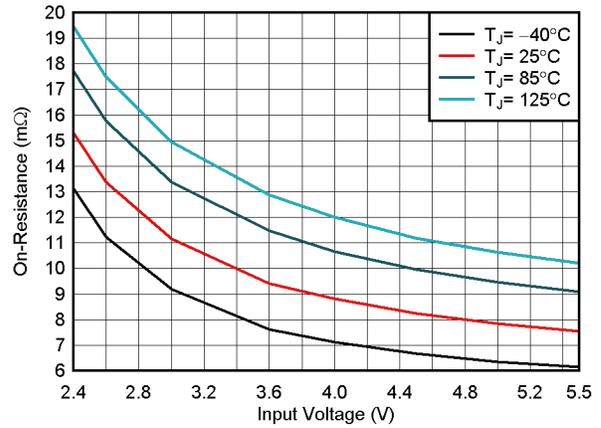


図 6-2. ローサイド FET オン抵抗、 $R_{DS(ON)}$

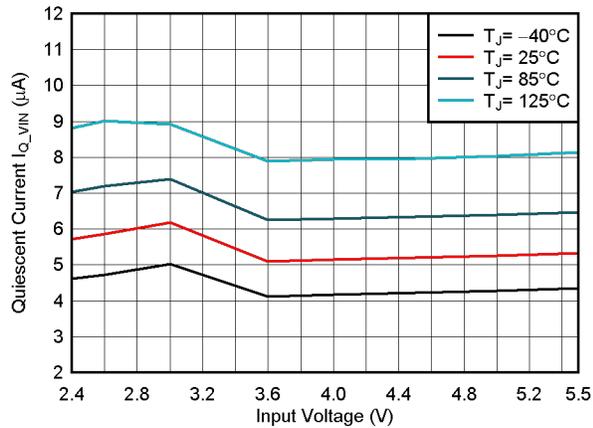


図 6-3. V_{IN} I_{Q_VIN} への静止電流

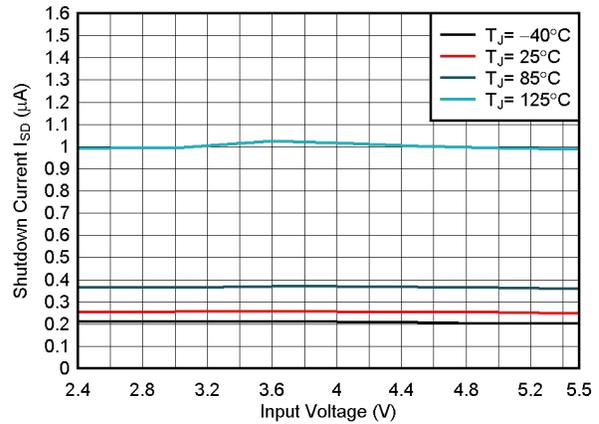


図 6-4. シャットダウン時の電流 I_{SD}

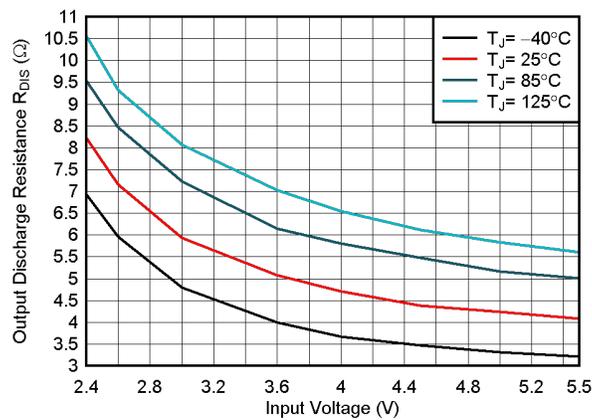


図 6-5. 出力放電抵抗 R_{DIS}

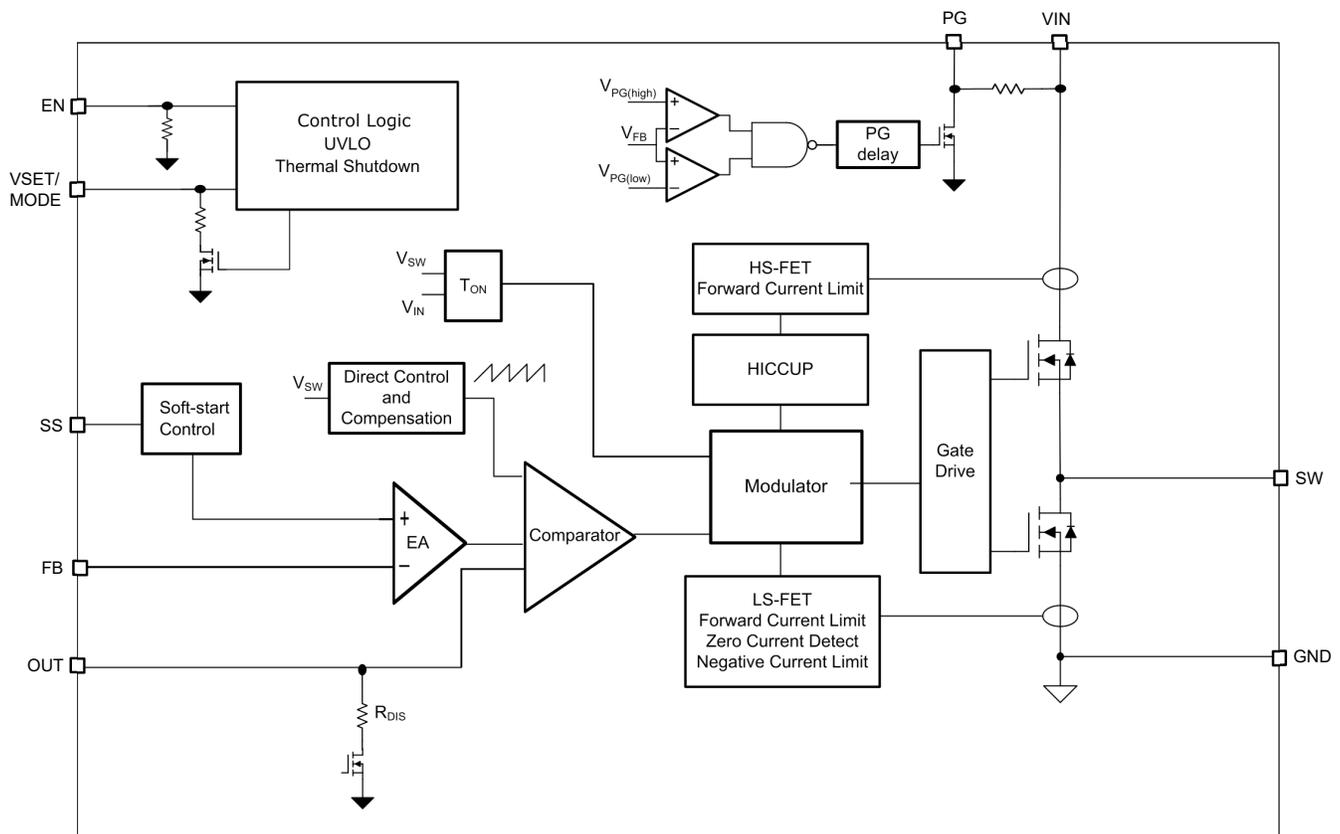
7 詳細説明

7.1 概要

TPS6286A06D 同期整流降圧コンバータは、DCS-Control (パワーセーブモードにシームレスな遷移を含む直接制御) トポロジを使用しています。このトポロジは、ヒステリシス制御方式と電流モード制御方式の利点を兼ね備えた先進の制御トポロジです。

DCS-Control トポロジは、中負荷～重負荷条件では PWM (パルス幅変調) モードで動作し、軽負荷電流ではパワーセーブモードで動作します。PWM モードでは、コンバータは 1.2MHz の公称スイッチング周波数で動作し、入力電圧範囲全体にわたって周波数変動が制御されます。DCS-Control は、1 つのビルディングブロック内で PWM と PFM (パルス周波数変調) の両方をサポートしているため、PWM モードからパワーセーブモードへの遷移はシームレスであり、出力電圧に影響を与えません。TPS6286A06D デバイスは、優れた DC 電圧と負荷過渡レギュレーションに加え、非常に小さい出力電圧リップルも備えています。

7.2 機能ブロック図



7.3 機能説明

7.3.1 パワーセーブモード (PFM)

負荷電流が減少すると、MODE ピンが Low レベルに接続またはフローティングのままになる場合、デバイスはパワーセーブモードまたはパルス周波数変調 (PFM) 動作に移行します。PFM は、インダクタ電流が不連続になったとき、つまり、スイッチングサイクル中にインダクタ電流が 0A になったときに発生します。パワーセーブモードは、次の式に示すように、固定オン時間アーキテクチャに基づいています。

$$t_{ON} = \frac{V_{OUT}}{V_{IN}} \times 833\text{ns} \quad (1)$$

パワーセーブ モードでは、出力電圧が公称出力電圧をわずかに上回ります。この影響は、出力コンデンサまたはインダクタの値を大きくすることで最小限に抑えられます。

V_{IN} が V_{OUT} より 15% 大きい値 (標準値) まで減少すると、負荷電流にかかわらず、TP6286A06D はパワーセーブ モードに移行します。本デバイスは、PWM モードで出力レギュレーションを維持します。

7.3.2 強制 PWM モード

デバイスに電源が投入されて V_{OUT} が上昇した後は、 $V_{SET}/MODE$ ピンはデジタル入力として機能します。 $V_{SET}/MODE$ ピンが High レベルのとき、デバイスは強制 PWM (FPWM) モードに移行し、負荷範囲の全体にわたって一定のスイッチング周波数で動作します。負荷が非常に軽い場合でも同様です。この動作により、出力電圧リップルが低減し、ノイズの影響を受けやすいアプリケーションではスイッチング周波数のフィルタリングが容易になりますが、軽負荷時の効率は低下します。

7.3.3 低ドロップアウト動作 (100% デューティ サイクル)

このデバイスは、入力電圧が目標出力電圧に近付くと、100% デューティ サイクル モードに移行することで、低ドロップアウト動作を実現します。このモードでは、ハイサイド MOSFET スイッチが継続的にオンになります。このモード、バッテリー駆動のアプリケーションにおいて、バッテリー電圧の範囲全体を最大限に活用して最長の動作時間を実現するために特に有効です。最小出力電圧を維持するための入力電圧の最小値は、次の式で求められます。

$$V_{IN,MIN} = V_{OUT} + (R_{DS(ON)} + R_L)I_{OUT,MAX} \quad (2)$$

ここで、

- $V_{IN,MIN}$ は、出力電圧を維持するための最小入力電圧です。
- $I_{OUT,MAX}$ は最大出力電流です。
- $R_{DS(on)}$ はハイサイド FET オン抵抗です。
- R_L はインダクタ オーム抵抗 (DCR) です。

7.3.4 ソフトスタート

デバイスをイネーブルにした後、デバイスがスイッチングを開始する前に、イネーブル遅延 (t_{delay}) が発生します。イネーブル遅延の後、SS ピンを未接続のままにすると、内部のソフト スタートアップ回路により、TPS6286A06D では 1.5ms (t_{RAMP})、の間、出力電圧の上昇が制御されます。SS ピンを切り離れたままにすると、最も高速な起動ランプが実現します。ソフト スタートは、過剰な突入電流を防止し、出力電圧のスムーズな上昇を実現すると同時に、内部インピーダンスが高い一次電池や再充電可能バッテリーの過剰な電圧降下を防止します。SS から GND へ接続された外部ソフト スタートコンデンサは、ソフト スタート中に内部の 20 μ A 電流源によって、0.9V のリファレンス電圧に達するまで充電されます。したがって、特定のランプ時間 (t_{RAMP}) を設定するのに必要な容量は次のようになります。

$$C_{SS} = \frac{20\mu A \times t_{ramp}[ms]}{0.9V} \quad (3)$$

シャットダウン (EN = GND)、低電圧誤動作防止、サーマル シャットダウンのいずれかに本デバイスが設定されると、内部の抵抗が SS ピンを GND にプルダウンします。これらの状態から復帰すると、新しいスタートアップ シーケンスが実行されます。

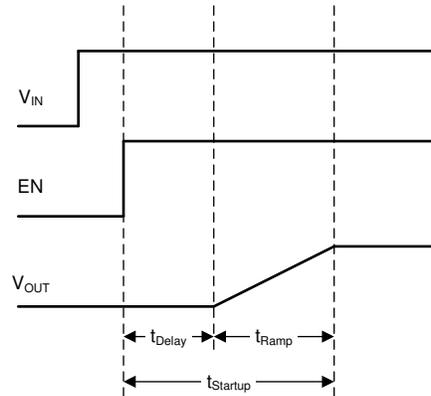


図 7-1. スタートアップ シーケンス

デバイスは、プリバイアス出力コンデンサで起動できます。デバイスは、印加されたバイアス電圧で起動し、出力電圧を公称値に上昇させます。

7.3.5 スイッチ電流制限と HICCUP 短絡保護回路

スイッチ電流制限により、デバイスを大きなインダクタ電流から保護して、バッテリーや入力電圧レールから過剰な電流が流れるのを防ぎます。インダクタの短絡や飽和、または重い負荷、または出力回路の短絡状態が原因で、過剰な電流が発生する可能性があります。インダクタ電流がサイクルごとにスレッショルド I_{LIM} に達すると、ハイサイド MOSFET がオフになり、ローサイド MOSFET がオンになり、インダクタ電流はローサイド MOSFET の電流制限まで低下します。

ハイサイド MOSFET 電流制限が 32 回トリガされると、デバイスはスイッチングを停止します。その後、128 μ s の標準の遅延時間が経過すると、本デバイスはソフト スタートにより自動的に再起動します。HICCUP 短絡保護機能により、高負荷状態が解消されるまでこのモードが繰り返されます。

7.3.6 低電圧誤動作防止

低入力電圧時のデバイスの誤動作を防止するため、入力電圧が V_{UVLO} より低い場合、低電圧誤動作防止 (UVLO) が実行されます。デバイスはスイッチングを停止し、出力電圧放電がアクティブになります。入力電圧が回復すると、デバイスは自動的にソフト スタートを使用して動作に戻ります。

7.3.7 熱警告およびシャットダウン

接合部温度が T_{JSD} を超えると、デバイスはサーマル シャットダウンに移行し、スイッチングを停止して、出力電圧放電をアクティブにします。デバイス温度がヒステリシスによってスレッショルドを下回ると、デバイスは内部ソフト スタートアップにより自動的に通常動作に戻ります。

7.4 デバイスの機能モード

7.4.1 イネーブル/ディセーブル (EN)

EN ピンをロジック HIGH に設定すると、デバイスがイネーブルになります。シャットダウンモード (EN = low またはフローティング) では、内部パワー スイッチと制御回路全体がオフになります。シャットダウン モードでは、内部スイッチが OUT ピンを経由して出力をスムーズに放電します。

7.4.2 出力放電

出力放電機能の目的は、本デバイスが無効化されたときに出力電圧の設定されたダウンランプを確保し、出力電圧を約 0V に維持することです。出力放電は、EN ピンが Low になったとき、入力電圧が UVLO スレッショルドを下回ったとき、またはサーマル・シャットダウン中に、アクティブになります。この放電は、入力電圧が最低 1.6V (標準値) までアクティブです。

7.4.3 パワーグッド (PG)

このデバイスにはオープンドレインのパワーグッド (PG) 出力ピンがあり、1mA までシンクできるよう規定されています。PG には、34 μ s のグリッチ除去遅延があります。

PG 信号を他のコンバータの EN ピンに接続することで、PG 信号を複数のレールのシーケンシングに使用できます。PG ピンを使用しない場合は、未接続のままにしてください。

表 7-1. PG 機能表

	デバイス条件	PG ピン
イネーブル	$0.9 \times V_{OUT_NOM} \leq V_{OUT} \leq 1.1 \times V_{OUT_NOM}$	VIN
	$V_{OUT} < 0.9 \times V_{OUT_NOM}$ または $V_{OUT} > 1.1 \times V_{OUT_NOM}$	Low
シャットダウン	EN = Low	Low
サーマル シャットダウン	$T_J > T_{JSD}$	Low
UVLO	$1.8V < V_{IN} < V_{UVLO}$	Low
電源の取り外し	$V_{IN} < 1.8V$	未定義

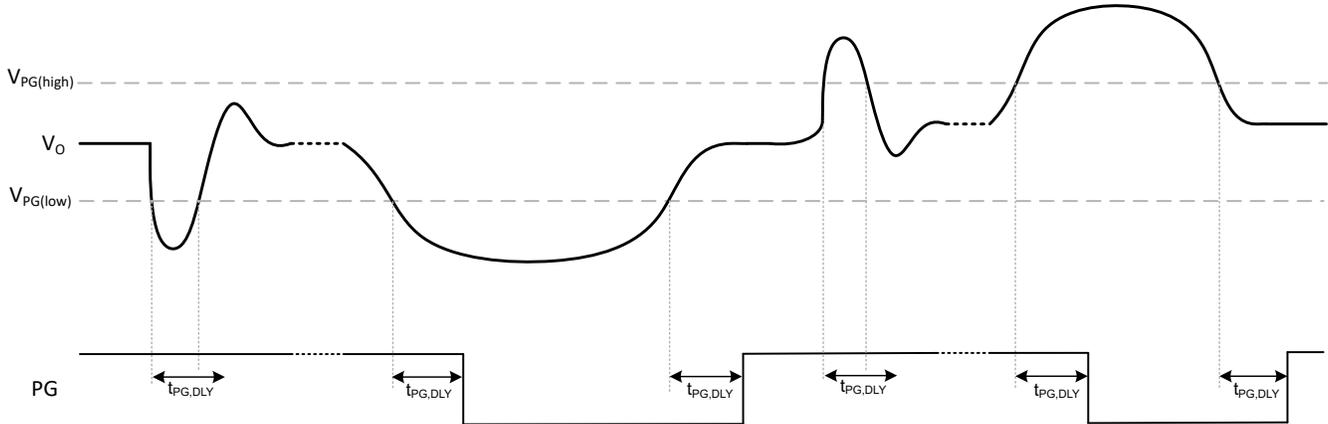


図 7-2. パワーグッドの過渡応答と遅延動作

EN ピンが 1 回トリガされると、パワーグッドプルダウンがイネーブルになり、 V_{IN} に接続された内部プルアップ抵抗 (標準値 500k Ω) と連動して、シャットダウン電流が増加します。

7.4.4 電圧設定とモード選択 (VSET/MODE)

TPS6286A06D デバイスは、個別のアプリケーションのニーズに応じて、可変出力電圧としてまたは固定出力電圧として構成できます。この機能により、1 つの型番で複数の固定出力電圧オプションと可変出力電圧オプションが提供されるため、量産時の物流が簡素化されます。

グラウンドへの外部抵抗が VSET/MODE ピンに接続されている場合、イネーブル遅延 (t_{Delay}) 時間間隔中に、内部 R2D (抵抗/デジタル変換) コンバータを経由して、この外部抵抗の値でデバイス構成が設定されます。VSET/MODE ピンを、未接続、グラウンドに接続、または V_{IN} に接続した場合、出力電圧は FB ピンの抵抗分圧器を介して調整できます。表 7-2 に、オプションを示します。R2D の読み取りにより、エラー アンプ (EA) への正の入力が、VFB 電圧 (標準 0.6V) または選択した出力電圧のいずれかに構成されます。

表 7-2. 電圧選択テーブル

抵抗 (E96 シリーズ、精度 $\pm 1\%$)、VSET/MODE ピン、200ppm/ $^{\circ}C$ 以上	固定または可変出力電圧
249k Ω 、ロジック High またはフローティング	可変 (FB ピンの抵抗デバイダを介して)
205k Ω	1.60V
162k Ω	1.50V
133k Ω	1.35V
105k Ω	1.20V
86.6k Ω	予約済み
68.1k Ω	1.00V
56.2k Ω	0.90V
44.2k Ω	0.85V
36.5k Ω	0.80V

表 7-2. 電圧選択テーブル (続き)

抵抗 (E96 シリーズ、精度 ±1%)、VSET/MODE ピン、200ppm/°C 以上	固定または可変出力電圧
28.7kΩ	0.70V
23.7kΩ	0.60V
18.7kΩ	0.50V
15.4kΩ	0.45V
12.1kΩ	0.40V
10kΩ またはロジック Low	可変 (FB ピンの抵抗デバイダを介して)

R2D コンバータには、外部抵抗を通して電流を印加する内部電流源と、結果として得られる電圧レベルを読み戻す内部 ADC があります。レベルに応じて、出力電圧が設定されます。この R2D 変換の完了後、電流源はオフになり、電流が外部抵抗を流れなくなります。R2D 変換中は、追加のリーク電流パスが 20nA 未満であり、このピンと GND との間の容量が 30pF 未満であることを確認してください。そうでなければ、誤った値が設定されます。詳細については、『[超低消費電力電源における抵抗デジタルコンバータの利点](#)』というホワイトペーパーを参照してください。

本デバイスを固定出力電圧コンバータとして設定する場合、FB ピンを出力に直接接続する必要があります。図 7-3 を参照してください。

スタートアップ期間 ($t_{Startup}$) 後に、別の動作モードを選択できます。VSET/MODE が High にプルされる場合、デバイスは強制 PWM モードで動作します。VSET/MODE が Low にプルされるかフローティングのままになっている場合、デバイスはパワーセーブモードで動作します。

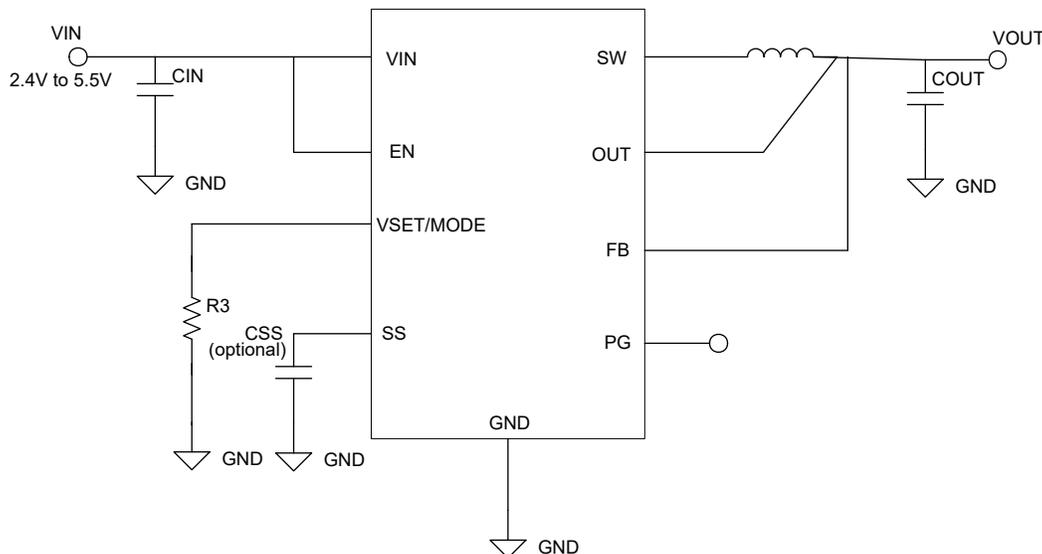


図 7-3. TPS6286A06D の代表的なアプリケーション - 固定出力電圧

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

以下のセクションでは、代表的なアプリケーションに基づいて、いくつかの入力および出力電圧の選択肢について、電源設計を完成させるための外部部品の設計について説明します。

8.2 代表的なアプリケーション

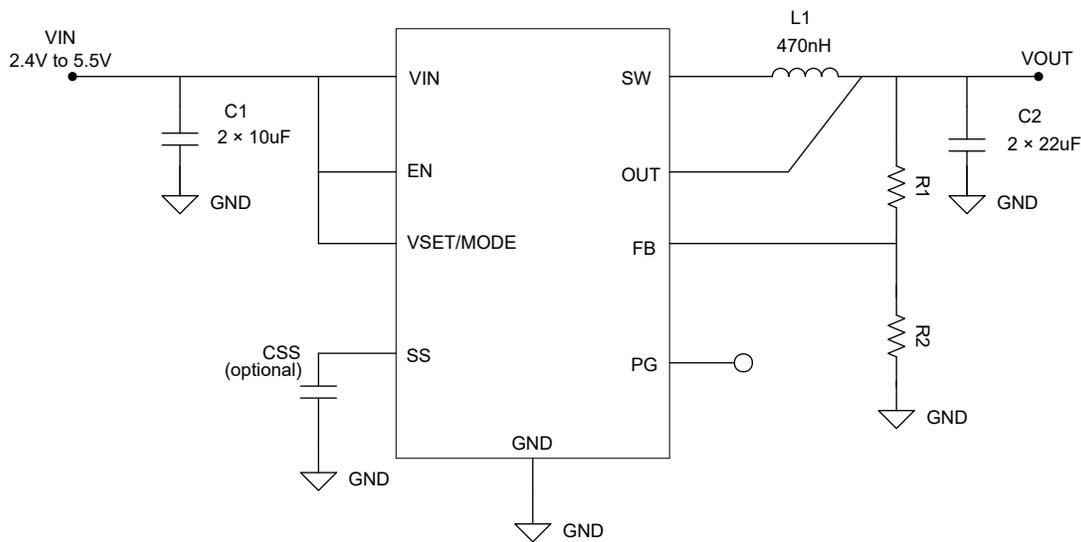


図 8-1. 代表的なアプリケーション回路 - TPS6286A06D

8.2.1 設計要件

この設計例では、表 8-1 に記載されているパラメータを入力パラメータとして使用します。

表 8-1. 設計パラメータ

設計パラメータ	数値の例
入力電圧	2.4V ~ 5.5V
出力電圧	1.2V
最大出力電流	6A

この例で使用する部品のリストを表 8-2 に示します。

表 8-2. 部品のリスト

リファレンス	説明	メーカー (1)
C1	コンデンサ、セラミック、10µF、10V、+/- 10%、X7R、0805、GCM21BR71A106KE22L	MURATA (村田製作所)
C2	コンデンサ、セラミック、22µF、10V、+/- 20%、X7R、0805、GRM21BZ71A226ME15L	MURATA (村田製作所)
L1	470nH シールド付きモールド インダクタ 15.7A 3.7m Ω、XGL5020-471MEC	Coilcraft
CSS	オープン	任意
R1	100kΩ、チップ抵抗、1/16 W、1%、サイズ 0402	標準
R2	100kΩ、チップ抵抗、1/16 W、1%、サイズ 0402	標準

(1) 「サードパーティー製品に関する免責事項」をご覧ください。

8.2.2 詳細な設計手順

8.2.2.1 WEBENCH® ツールによるカスタム設計

[ここをクリック](#)すると、WEBENCH® Power Designer により、TPS6286A06D デバイスを使用するカスタム設計を作成できます。

- 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
- 最適化のダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
- 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

8.2.2.2 出力電圧の設定

VSET/MODE ピンを High または Low に設定すると、[式 4](#) に従って、外部抵抗デバイダが可変出力電圧を設定します。

$$R_1 = R_2 \times \left(\frac{V_{OUT}}{V_{FB}} - 1 \right) = R_2 \times \left(\frac{V_{OUT}}{0.6V} - 1 \right) \quad (4)$$

フィードバック (FB) ネットがノイズの影響を受けにくくするには、R2 を 100kΩ 以下に設定して、電圧デバイダに少なくとも 6µA の電流が流れるようにします。『[DC/DC コンバータの抵抗性帰還分圧器の設計上の考慮事項](#)』テクニカル ブリーフで説明されているように、FB 抵抗の値を小さくすると、ノイズ耐性が向上しますが、軽負荷効率は低下します。

固定出力電圧を選択した場合、FB ピンを出力に直接接続します。V_{OUT} は VSET/MODE ピンの抵抗を介して設定されるため、R1 と R2 は不要です。[表 7-2](#) に示すリストから推奨される抵抗値を選択します。

8.2.2.3 出力フィルタの設計

インダクタと出力コンデンサを組み合わせることで、ローパス フィルタを実現します。このプロセスを簡単にするために、ほとんどのアプリケーションで可能なインダクタと出力コンデンサの値の組み合わせを [表 8-3](#) にまとめています。チェックされたセルは、シミュレーションとラボ テストによって安定性が証明された組み合わせを示しています。個々のアプリケーションごとに、さらに組み合わせを確認する必要があります。

表 8-3. TPS6286A06D の出力コンデンサとインダクタの組み合わせマトリクス

公称 L [μH] ⁽²⁾	公称 C _{OUT} [μF] ⁽³⁾		
	2 × 22 または 47	3 × 22	150
0.47	+ ⁽¹⁾	+ ⁽⁴⁾	+

- (1) この LC の組み合わせは標準値であり、ほとんどのアプリケーションに推奨されます。
 (2) インダクタの許容誤差と電流のディレーティングが想定されます。実効インダクタンスは、20% ~ -30% 変化する可能性があります。
 (3) 容量の許容誤差とバイアス電圧のディレーティングが想定されます。実効容量は 30μF から 200μF まで変化する可能性があります。
 (4) この LC の組み合わせは、V_{OUT} > 1.6V に対して推奨します

8.2.2.4 インダクタの選択

インダクタの選択の主なパラメータは、インダクタの値、次にインダクタの飽和電流です。静的負荷条件での最大インダクタ電流を計算するには、次の式を使用します。

$$I_{L,MAX} = I_{OUT,MAX} + \frac{\Delta I_L}{2} \quad (5)$$

$$\Delta I_L = V_{OUT} \left(\frac{1 - \frac{V_{OUT}}{V_{IN}}}{L \times f_{SW}} \right) \quad (6)$$

ここで、

- I_{OUT,MAX} は最大出力電流
- ΔI_L はインダクタの電流リップル
- f_{SW} はスイッチング周波数
- L はインダクタ値です。

TI では、インダクタの飽和電流が、I_{L,MAX} より約 20% ~ 30% 大きくなるよう選択することを推奨します。また、適切なインダクタを選択するときには、DC の抵抗とサイズも考慮する必要があります。表 8-4 に推奨インダクタの一覧を示します。

表 8-4. 推奨インダクター一覧

インダクタンス [μH] ⁽¹⁾	電流定格 [A]	寸法 [L × W × H (mm)]	DC 抵抗 [mΩ]	部品番号
0.47	15.7	5.48 × 5.28 × 2	3.7	Coilcraft, XGL5020-471ME
0.47	17.1	4.3 × 4.3 × 3	3.9	Wuerth Elektronik, 744393240047
0.47	13.4	4 × 4 × 2	4.2	Coilcraft, XGL4020-471ME
0.47	12.7	4.1 × 4.1 × 2	7	Wuerth Elektronik, 744383560047HT

- (1) 「サードパーティー製品に関する免責事項」をご覧ください。

8.2.2.5 コンデンサの選択

入力コンデンサは、コンバータの低インピーダンス エネルギー源であり、安定した動作に役立ちます。最良のフィルタ処理を行うため、TI では、低 ESR の積層セラミック コンデンサを推奨します。また、このコンデンサは、VIN と GND との間に、これらのピンにできるだけ近づけて配置する必要があります。ほとんどのアプリケーションでは、10μF の実効¹ 容量で十分ですが、値を大きくすると入力電流リップルが減少します。

本デバイスは、等価直列抵抗 (ESR) の小さいセラミック コンデンサを出力コンデンサとして使用できるアーキテクチャを採用しています。出力電圧リップルを低減するため、これらのコンデンサを使うことを推奨します。高い周波数まで低抵抗を維持し、温度による静電容量の変動を小さくするために、TI では X7R または X5R 誘電体を使うことを推奨します。最大 6A の出力電流で動作する場合に推奨される出力コンデンサの値は、実効容量 30μF です。値が 200μF を超えると、コンバータのループ安定性が低下する可能性があります。

¹ 実効容量とは、公差、温度、および DC バイアス効果を考慮した後の容量です。

8.2.3 アプリケーション曲線

$V_{IN} = 5.0V$ 、 $V_{OUT} = 1.2V$ 、 $T_A = 25^\circ C$ 、BOM = 表 8-2、特に記述の無い限り。実線は FPWM モードを示し、破線は PFM を示します。

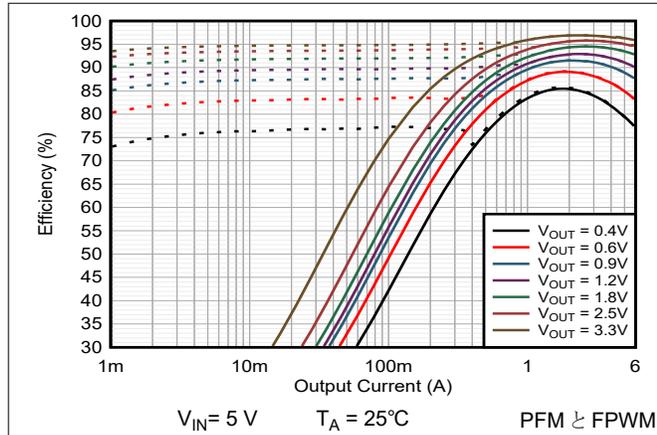


図 8-2. 効率と出力電流との関係

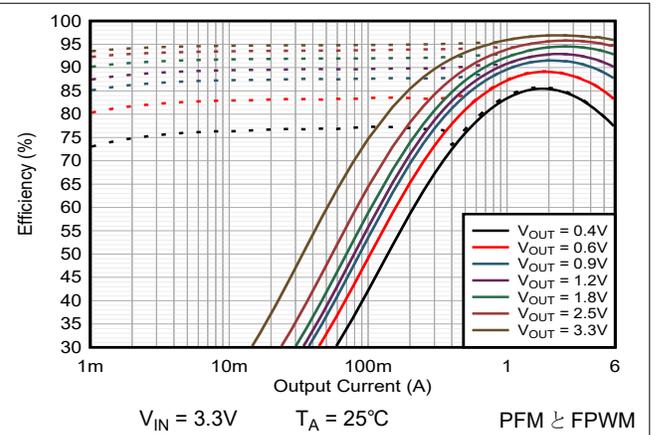


図 8-3. 効率と出力電流との関係

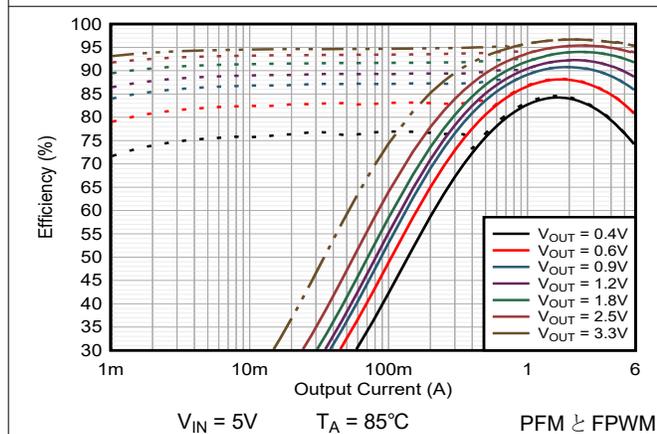


図 8-4. 効率と出力電流との関係

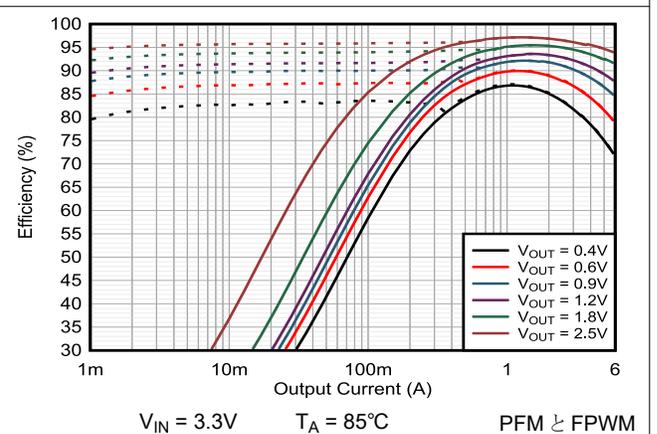


図 8-5. 効率と出力電流との関係

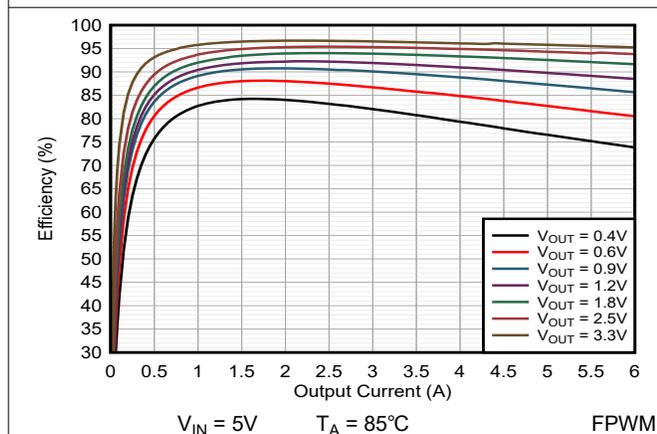


図 8-6. 効率と出力電流との関係

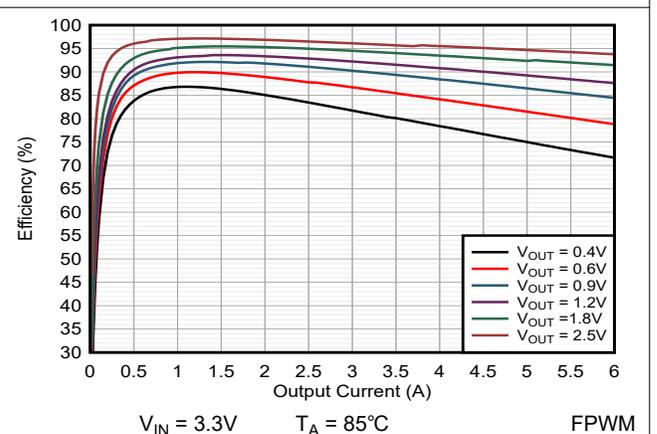


図 8-7. 効率と出力電流との関係

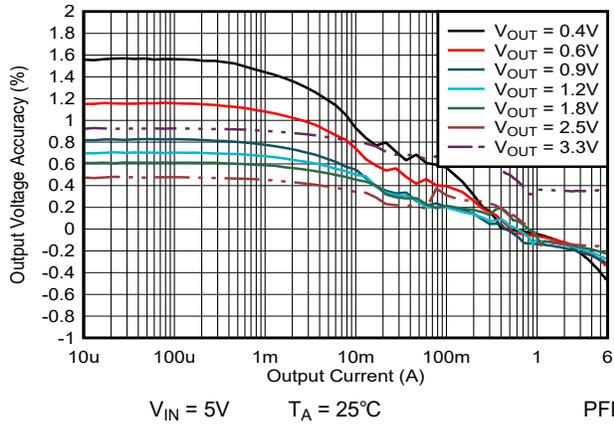


図 8-8. ロードレギュレーション

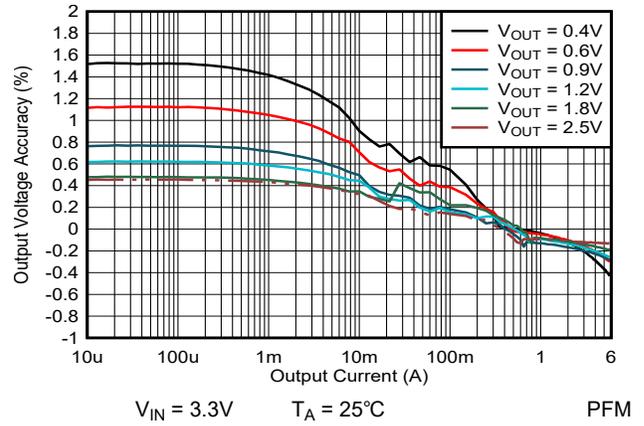


図 8-9. ロードレギュレーション

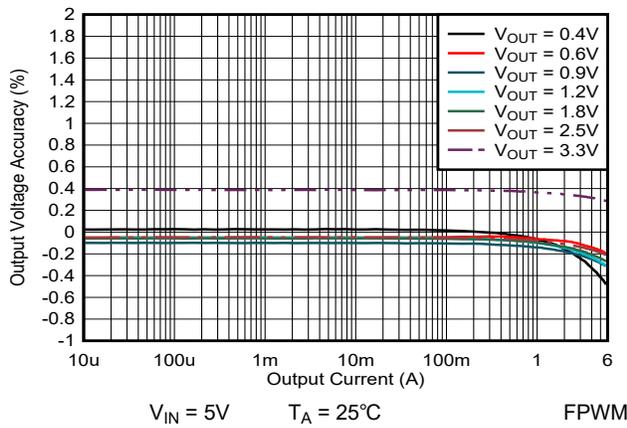


図 8-10. ロードレギュレーション

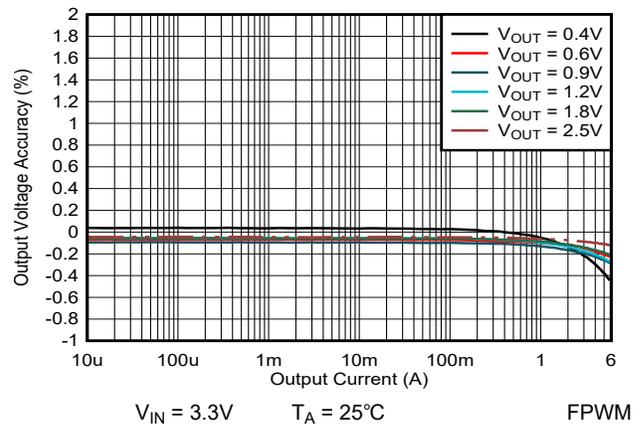


図 8-11. ロードレギュレーション

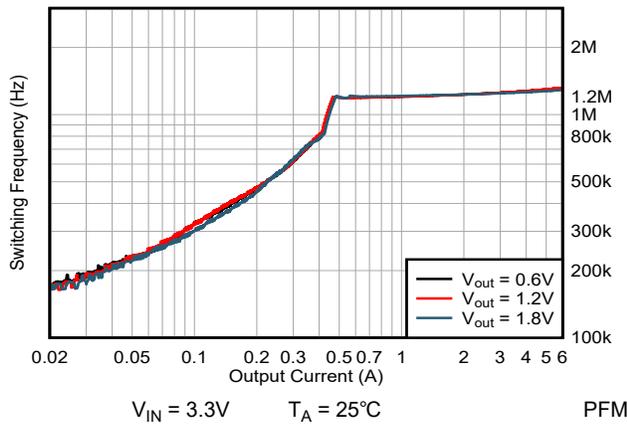


図 8-12. スイッチング周波数

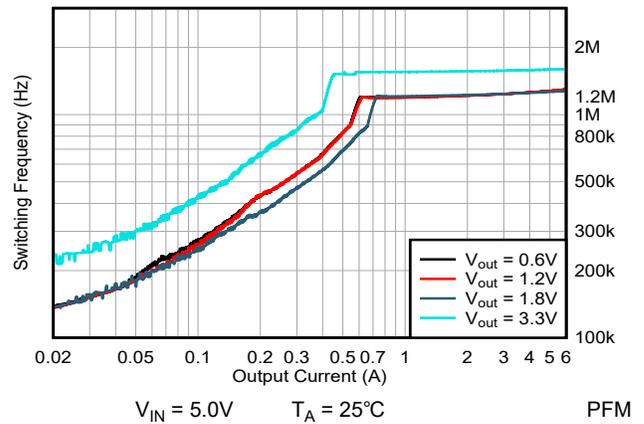
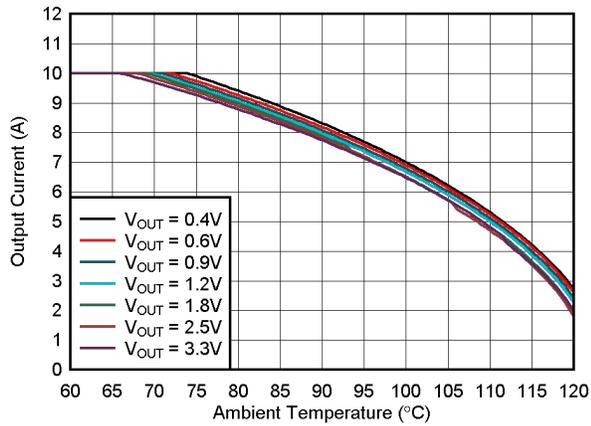
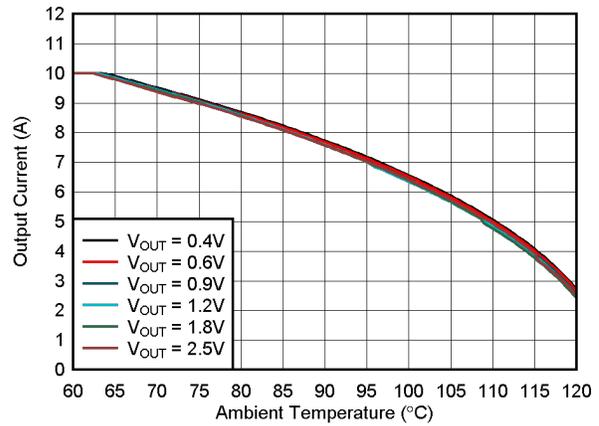


図 8-13. スイッチング周波数



$V_{IN} = 5.0V$ $R_{\theta JA} = 43.2^{\circ}C/W$ $T_{JMAX} = 125^{\circ}C$

図 8-14. 安全動作領域



$V_{IN} = 3.3V$ $R_{\theta JA} = 43.2^{\circ}C/W$ $T_{JMAX} = 125^{\circ}C$

図 8-15. 安全動作領域



$V_{IN} = 2.4V \sim 5.5V$ $V_{OUT} = 1.2V$ 負荷 = 10mA
 $\sim 2.4V (1V/\mu s)$

図 8-16. ラインレギュレーション



$V_{IN} = 2.4V \sim 5.5V$ $V_{OUT} = 1.2V$ 負荷 = 6A
 $\sim 2.4V (1V/\mu s)$

図 8-17. ラインレギュレーション



$V_{IN} = 5.0V$ $BOM = 2 \times 22\mu F$
 $V_{OUT} = 1.2V$ PFM、無負荷

図 8-18. PFM 動作



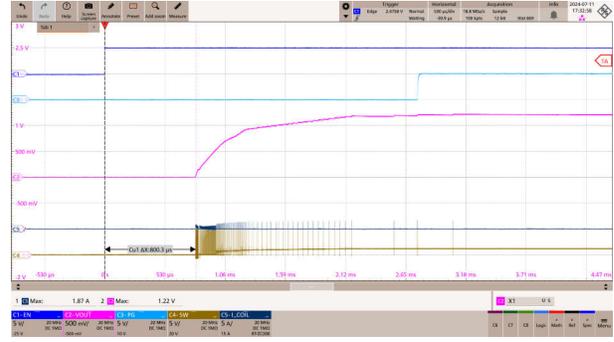
$V_{IN} = 5.0V$ $BOM = 2 \times 22\mu F$
 $V_{OUT} = 1.2V$ FPWM、無負荷

図 8-19. FPWM 動作



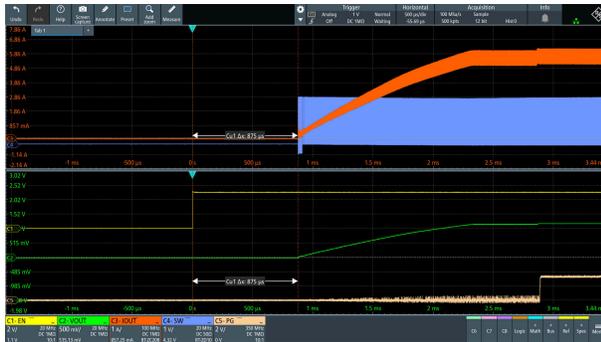
$V_{IN} = 5.0V$ BOM = $2 \times 22\mu F$
 $V_{OUT} = 1.2V$ FPWM, $I_{OUT} = 6A$

図 8-20. FPWM 動作



TPS6286A06D $V_{OUT} = 1.2V$ 無負荷

図 8-21. 無負荷時の起動



TPS6286A06D $V_{OUT} = 1.2V$ 負荷 = 6A

図 8-22. 全負荷時の起動



$V_{IN} = 5.0V$ BOM = $2 \times 22\mu F$
 $V_{OUT} = 1.2V$ $I_{OUT} = 10\text{ mA} \sim 6\text{ A}$

図 8-23. PFM 動作時の負荷過渡応答 - TPS6286A06D



$V_{IN} = 5.0V$ BOM = $2 \times 22\mu F$
 $V_{OUT} = 1.2V$ $I_{OUT} = 10\text{ mA} \sim 6\text{ A}$

図 8-24. FPWM 動作時の負荷過渡応答 - TPS6286A06D



$V_{IN} = 5.0V$ BOM = $2 \times 22\mu F$
 $V_{OUT} = 1.2V$ $I_{OUT} = 3\text{ A} \sim 6\text{ A}$

図 8-25. FPWM 動作時の負荷過渡応答 - TPS6286A06D



図 8-26. HICCUP 短絡保護機能

8.3 電源に関する推奨事項

このデバイスは、2.4V から 5.5V の入力電源電圧範囲で動作するように設計されています。アプリケーションに対して入力電源の定格電流が十分であることを確認してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

特に高いスイッチング周波数の場合、スイッチ モード電源を動作させるために、適切なレイアウトが非常に重要です。TPS6286A06D デバイスの PCB レイアウトでは、最高の性能を得るために細心の注意が必要です。レイアウトが不適切な場合、ラインと負荷のレギュレーションの不良、不安定、EMI 放射の増加、ノイズの増加などの問題につながる可能性があります。一般的なベスト プラクティスの詳細な説明については、『[降压コンバータの優れた PCB レイアウトを行うための 5 つのステップ](#)』Analog Design Journal を参照してください。TPS6286A06D の具体的な推奨事項を以下に示します。

- 入力コンデンサは、デバイスの VIN ピンと GND ピンにできる限り近づけて配置してください。この配置は、最も重要な部品配置です。入力コンデンサを VIN ピンと GND ピンに直接配線します。
- 出力インダクタを SW ピンの近くに配置します。スイッチ ノードの銅の面積を最小化します。
- 出力コンデンサのグラウンドを GND ピンの近くに配置し、直接配線します。インダクタから出力コンデンサへの接続長を最小限に抑えます。OUT ピンを出力コンデンサに直接接続します。
- FB 抵抗 R1 と R2 を FB ピンの近くに配置し、R3 を VSET/MODE ピンの近くに配置して、ノイズのピックアップを最小限に抑えます。
- システムの入力電圧からの接続と負荷への接続は、電圧降下を最小限に抑えるために、可能な限り幅広くします。
- GND と入力および出力コンデンサのグラウンド接続との間にソリッド グラウンド プレーンを配置します。

8.4.2 レイアウト例

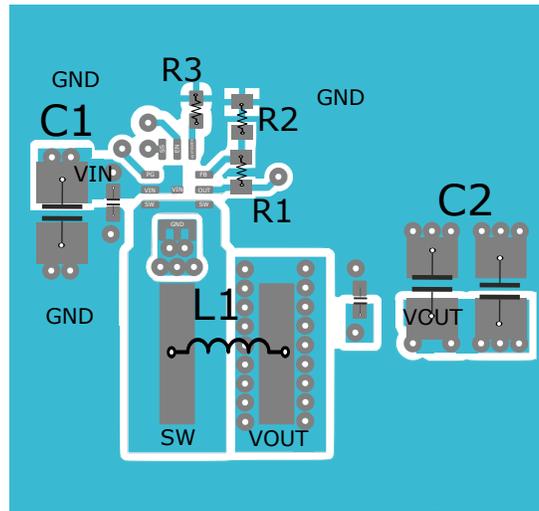


図 8-27. レイアウト例 - TPS6286A06D

8.4.2.1 熱に関する注意事項

部品の配置および配線についてのレイアウトの推奨事項に従った後、PCB 設計では放熱性能に注目する必要があります。熱設計は重要であり、動作中にデバイス内で発生する熱を除去するように考慮する必要があります。正しく動作させるには、デバイスの接合部温度を最大定格温度の 125°C 未満に維持する必要があります。

設計の電力消費性能を向上させるため、特に GND ピンと VIN ピンには広いパターンとプレーンを使用し、内部プレーンにビアを使用します。アプリケーションで許可されている場合は、システム内のエアフローを使用して、冷却をさらに改善します。

「[熱に関する情報](#)」の表には、JEDEC 規格 51-7 に基づくデバイスとパッケージの熱パラメータが記載されています。各パラメータの詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーションノートを参照してください。「[熱に関する情報](#)」表には、JEDEC 規格に加えて、EVM の熱パラメータも記載されています。EVM は、デバイスに接続するパターンが太い実際の PCB 設計をよりの確に反映しています。

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.1.2 開発サポート

9.1.2.1 WEBENCH® ツールによるカスタム設計

[ここをクリック](#)すると、WEBENCH® Power Designer により、TPS6286A06D デバイスを使用するカスタム設計を作成できます。

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電氣的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『[JEDEC PCB 設計を使用するリニアおよびロジック パッケージの熱特性](#)』アプリケーションノート
- テキサス インスツルメンツ、『[降圧コンバータの優れた PCB レイアウトを実現する 5 つのステップ](#)』Analog Design Journal
- テキサス インスツルメンツ、『[DC/DC コンバータにおける抵抗性帰還デバイダの設計上の考慮事項](#)』テクニカル ブリーフ
- テキサス インスツルメンツ、『[超低消費電力電源における抵抗/デジタル コンバータの利点](#)』ホワイト ペーパー

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

日付	改訂	注
May 2025	*	初版リリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的のみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS6286A06DVBMR	Active	Production	VQFN-HR (VBM) 13	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1W3

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

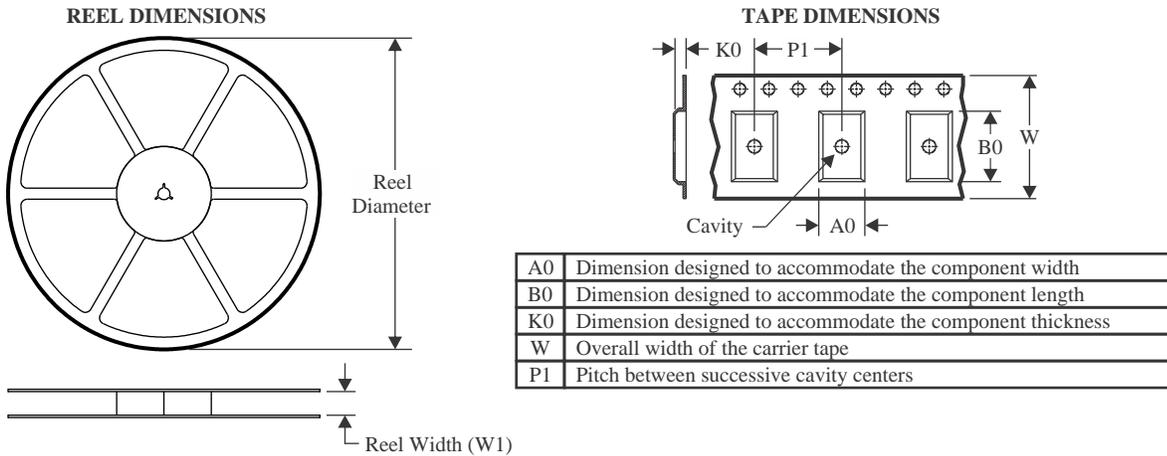
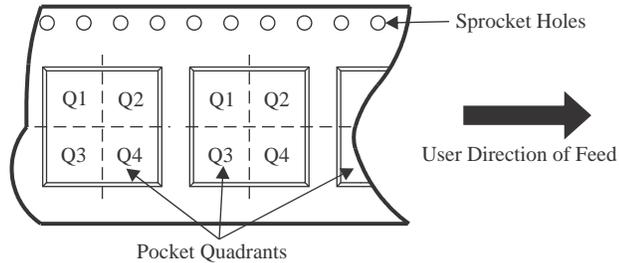
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

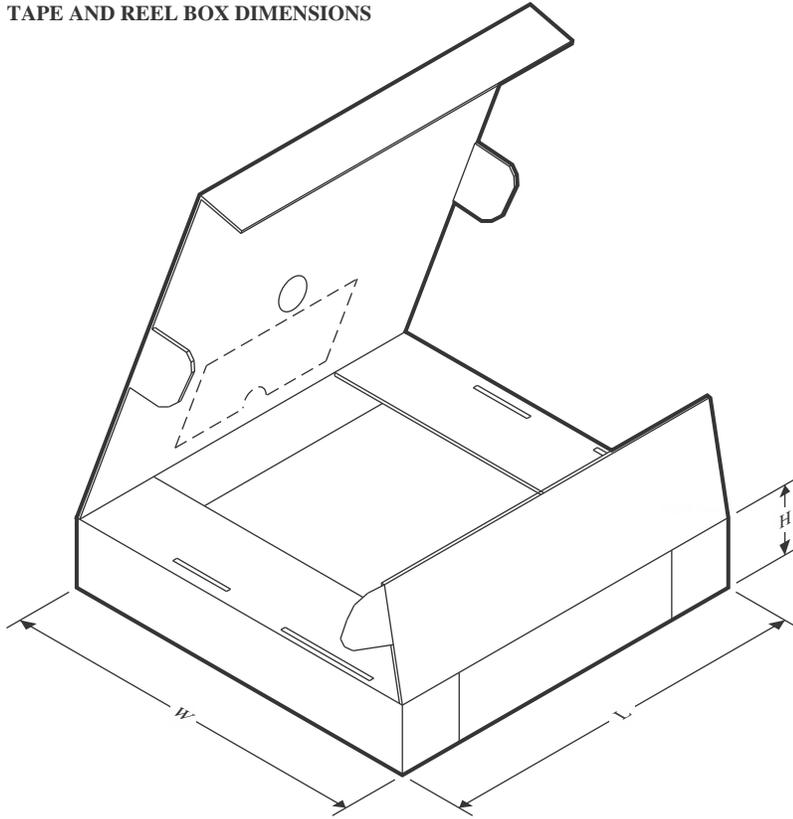
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS6286A06DVBMR	VQFN-HR	VBM	13	3000	180.0	8.4	2.25	3.25	1.05	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

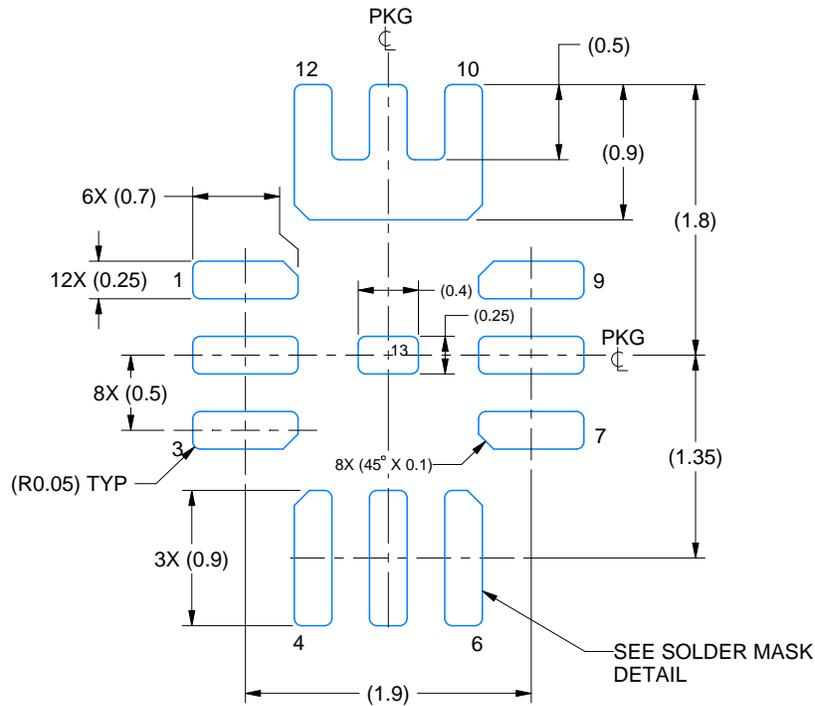
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS6286A06DVBMR	VQFN-HR	VBM	13	3000	210.0	185.0	35.0

EXAMPLE BOARD LAYOUT

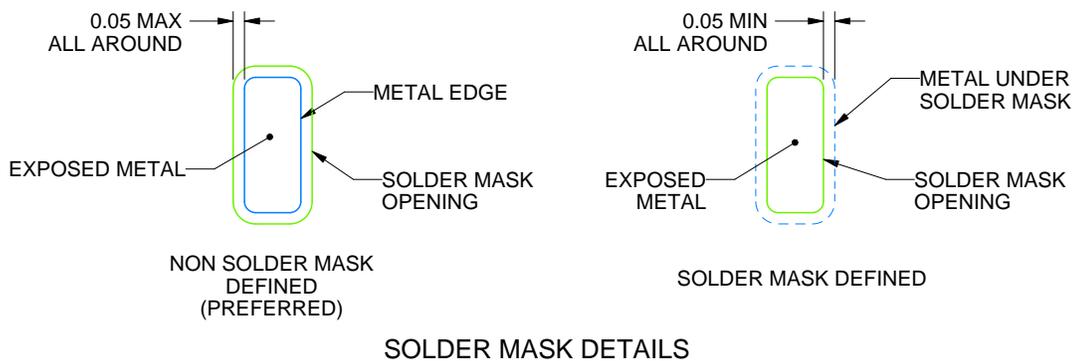
VBM0013A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4230093/D 08/2024

NOTES: (continued)

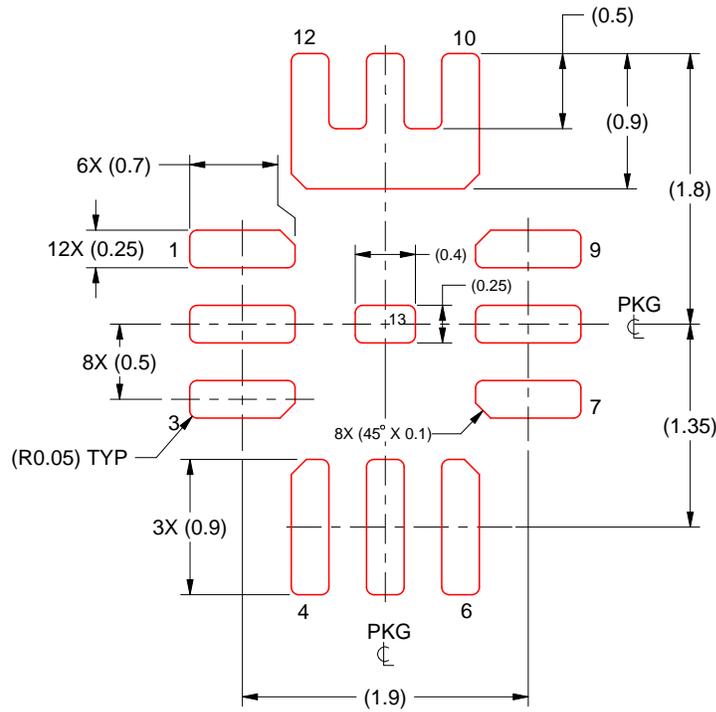
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

VBM0013A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 MM THICK STENCIL
SCALE: 20X

4230093/D 08/2024

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、ます。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated