

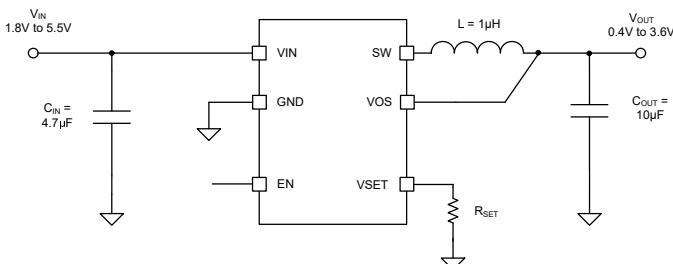
TPS62843 1.8V～5.5V、600mA I_Q、小型の降圧型コンバータ

1 特長

- 入力電圧範囲: 1.8V～5.5V
- 出力電圧範囲: 0.4V～3.6V
- 静止電流: 275nA (代表値)
- 出力電流: 600mA
- 出力電圧精度: 1%
- シャットダウン電流: 4nA (代表値)
- 出力放電
- VSET ピンでは 1 つの抵抗により出力電圧を選択可能
 - TPS628436: 0.4V～0.8V
 - TPS628437: 0.8V～1.8V
 - TPS628438: 1.8V～3.6V
- 小型のパッケージ部品向けに設計
 - 1μH インダクタ
 - 4μF C_{OUT} の実効容量まで最小化
- 高い PSRR (最大 83dB)
- パワー セーブ モードでは小さい出力電圧リップル
- RF フレンドリで高速過渡の DCS-Control
- リップルなし 100% モードへの自動遷移
- 0603 インダクタと 0402 コンデンサ サイズに対応
- 小型 6 ピン、サイズ 0.84mm² の 0.35mm ピッチ WCSP パッケージ
- WCSP パッケージ封止の TPS6280x ファミリとピン互換 (1A)
- 1.60mm × 1.60mm の SOT563 パッケージで供給

2 アプリケーション

- ウェアラブル電子機器
- ヘッドセット、ヘッドホン、小型イヤホン
- 携帯電話 / スマートフォン
- 医療用センサ・パッチ
- 補聴器



代表的なアプリケーション

3 概要

TPS62843 は、静止電流が 275nA (代表値) と非常に小さい、高効率の降圧コンバータ ファミリです。ディセーブル時のシャットダウン電流は 4nA (代表値) です。

このデバイスは、RF フレンドリな低い出力電圧リップルを備えた DCS-Control を使用して、無線機に電力を供給します。

このデバイスは標準スイッチング周波数 1.5MHz で動作し、負荷電流が 100μA 以下のときまで軽負荷時の高効率が維持されます。

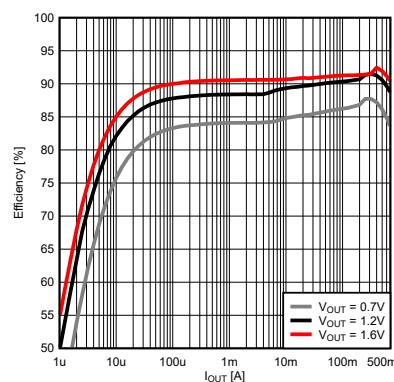
VSET ピンに抵抗を接続することで、3 × 18 の事前定義された出力電圧を選択できるため、本ファミリは最小限のパッケージ部品の組み合わせだけで、さまざまなアプリケーションに使用できます。

製品情報

部品番号 ⁽²⁾	V _{OUT} 範囲	パッケージ ⁽¹⁾	本体サイズ (公称)
TPS628436	0.4V～0.8V	YKA (DSBGA, 6)	0.80mm × 1.05mm × 0.40mm
TPS628437	0.8V～1.8V		
TPS628438	1.8V～3.6V		
TPS628436	0.4V～0.8V	DRL (SOT563, 6)	1.6mm × 1.6mm × 0.6mm
TPS628437	0.8V～1.8V		
TPS628438	1.8V～3.6V		

(1) 詳細については、[セクション 11](#) を参照してください。

(2) 「[製品比較](#)」表を参照してください。



3.6V_{IN} での出力電流と効率の関係



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: [SLVFSU8](#)

目次

1 特長.....	1	7.4 デバイスの機能モード.....	12
2 アプリケーション.....	1	8 アプリケーションと実装.....	13
3 概要.....	1	8.1 アプリケーション情報.....	13
4 デバイス比較表.....	3	8.2 代表的なアプリケーション.....	13
5 ピン構成および機能.....	4	8.3 電源に関する推奨事項.....	18
6 仕様.....	5	8.4 レイアウト.....	18
6.1 絶対最大定格.....	5	9 デバイスおよびドキュメントのサポート.....	20
6.2 ESD 定格.....	5	9.1 デバイス サポート.....	20
6.3 推奨動作条件.....	5	9.2 ドキュメントの更新通知を受け取る方法.....	20
6.4 熱に関する情報.....	6	9.3 サポート・リソース.....	20
6.5 電気的特性.....	6	9.4 商標.....	20
6.6 代表的特性.....	8	9.5 静電気放電に関する注意事項.....	20
7 詳細説明.....	9	9.6 用語集.....	20
7.1 概要.....	9	10 改訂履歴.....	21
7.2 機能ブロック図.....	9	11 メカニカル、パッケージ、および注文情報.....	22
7.3 機能説明.....	10		

4 デバイス比較表

デバイス	固定 V_{OUT} $V_{SET} = GND$	出力電圧を選択可能	f_{SW} [MHz]	ソフトスタート t_{SS}	インダクタ
TPS628436	1.0V	0.4V ~ 0.8V (25mV 刻み)	1.5	400μs	1μH
TPS628437	1.8V	0.8V ~ 1.6V (50mV 刻み)	1.5	800μs	1μH
TPS628438	3.6V	1.8V ~ 3.4V (100mV 刻み)	1.5	800μs	1μH

5 ピン構成および機能

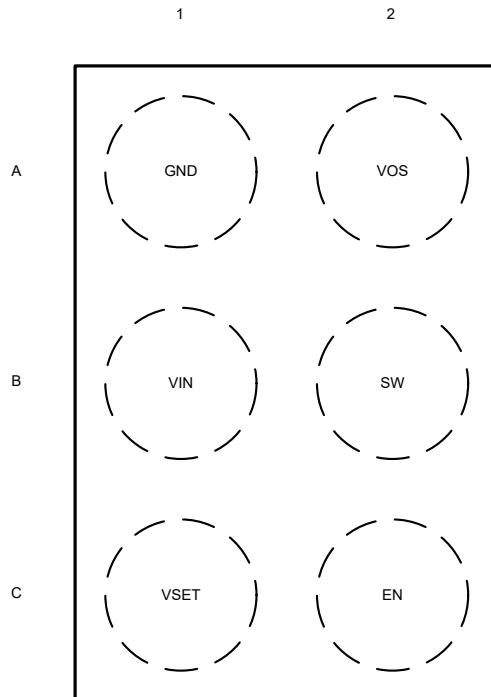


図 5-1.6 ピン DSBGA YKA パッケージ (上面図)

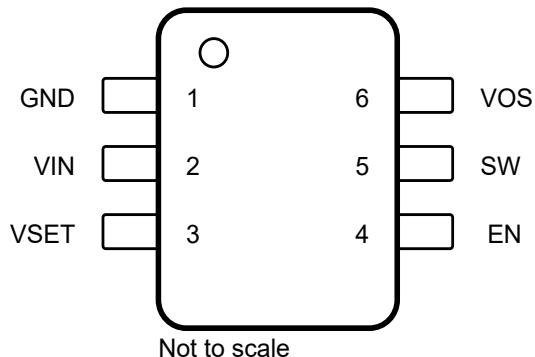


図 5-2.6 ピン DRL SOT563 パッケージ (上面図)

表 5-1. ピンの機能

ピン番号			タイプ	説明
名称	SOT563	DSBGA		
GND	1	A1	PWR	GND 電源ピン。このピンは、入力および出力コンデンサの GND 端子の近くに接続します。
VIN	2	B1	PWR	V_{IN} は電源ピンです。ノイズおよび電圧スパイクをできるだけ抑制するため、入力コンデンサはこのピンの近くに接続します。セラミックコンデンサが必要です。
VSET	3	C1	I	GND との間に抵抗を接続すると、あらかじめ定義された出力電圧が選択されます。
VOS	6	A2	I	内部帰還分圧回路およびレギュレーション ループの出力電圧検出ピン。また、コンバータがディセーブルになったとき、このピンは、内部 MOSFET によって V_{OUT} を放電します。このピンは、短いパルスで出力コンデンサに直接接続します。
SW	5	B2	O	このスイッチピンは、内部の MOSFET スイッチに接続されています。インダクタをこの端子に接続します。
EN	4	C2	I	HIGH レベルにするとデバイスがイネーブルになり、LOW レベルにするとデバイスがオフになります。このピンには内部ブルダウン抵抗がありますが、デバイスが起動すると、この抵抗はディセーブルされます。

6 仕様

6.1 絶対最大定格

動作時接合部温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
ピン電圧	VIN	-0.3	6	V
ピン電圧	SW、DC	-0.3	$V_{IN}+0.3V$	V
ピン電圧	スイッチング中の SW、過渡応答は 10ns 未満	-2.5	9	V
ピン電圧	VSET	-0.3	6	V
ピン電圧	EN	-0.3	6	V
ピン電圧	VOS	-0.3	5	V
T_J	動作時接合部温度	-40	150	°C
T_{stg}	保存温度	-55	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、推奨動作条件に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	± 2000	V
		デバイス帶電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	± 500	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

		最小値	公称値	最大値	単位
V_{IN}	電源電圧 V_{IN}	1.8		5.5	V
I_{OUT}	出力電流			0.6	A
L	実効インダクタンス	0.7	1.0	1.2	μH
C_{OUT}	実効出力キャパシタンス	4		25	μF
C_{IN}	実効入力容量	0.5	4.7		μF
C_{VSET}	$VSET$ ピンでの外部寄生容量			30	pF
R_{SET}	VSET ピンの外付け抵抗の抵抗範囲 (E96 の 1% 抵抗値)	10		249	$k\Omega$
	VSET ピンの外付け抵抗の許容誤差、E96 系列			1%	
	E96 系列抵抗の温度係数 (TCR)	-200		+200	$ppm/^\circ C$
T_J	動作ジャンクション温度範囲	-40		125	°C

6.4 热に関する情報

热評価基準 ⁽¹⁾		YKA (DSBGA) 6 ピン	DRL (SOT563) 6 ピン	単位
R _{θJA}	接合部から周囲への热抵抗	147.7	138.3	°C/W
R _{θJC(top)}	接合部からケース(上面)への热抵抗	1.7	57.3	°C/W
R _{θJB}	接合部から基板への热抵抗	47.5	24.7	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.5	1.4	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	47.6	24.4	°C/W
R _{θJC(bot)}	接合部からケース(底面)への热抵抗	-	-	°C/W

(1) 従来および最新の热評価基準の詳細については、『半導体およびIC パッケージの热評価基準』アプリケーションレポートを参照してください。

6.5 電気的特性

T_J = -40°C ~ +125°C、V_{IN} = 1.8V ~ 5.5V。代表値は、T_J = 25°C および V_{IN} = 3.6V、V_{OUT} = 0.7V です(特に記述のない限り)

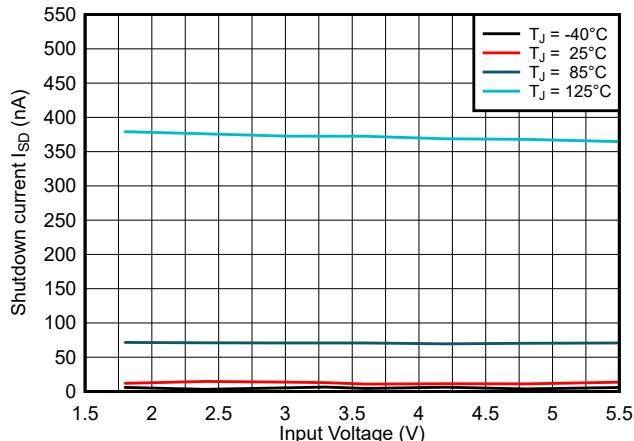
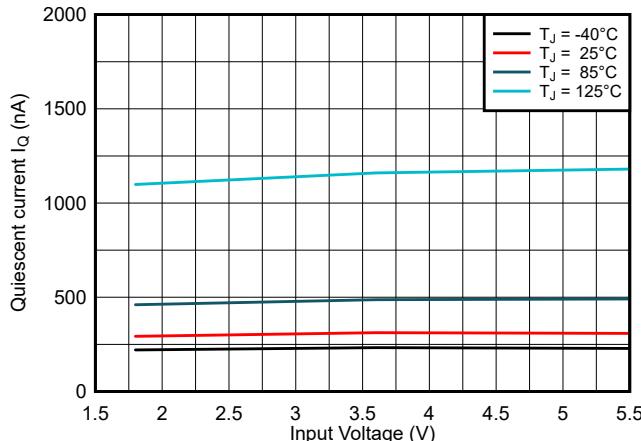
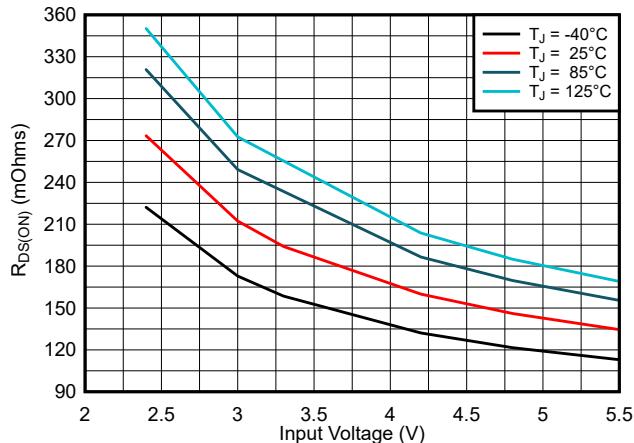
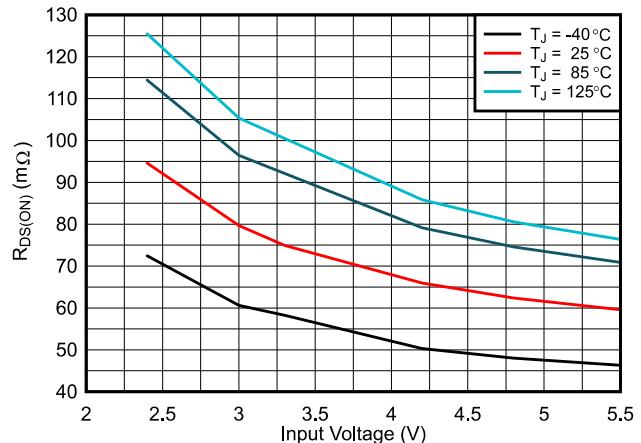
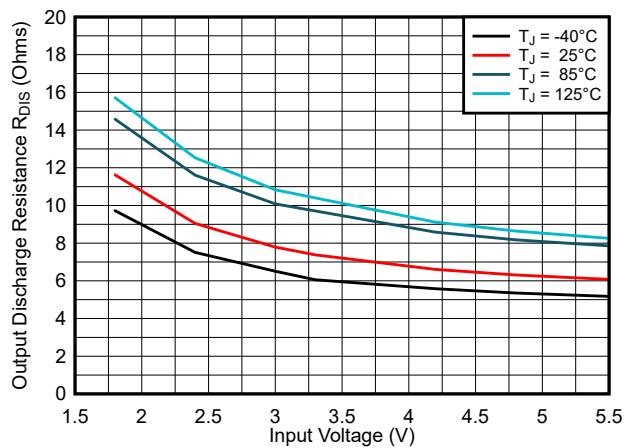
パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
I _Q	動作時の静止電流(パワーセーブ モード)	非スイッチング、V _{EN} = V _{IN} 、I _{OUT} = 0μA、T _J = -40°C ~ 85°C	275	1500	nA	
		スイッチング、V _{EN} = V _{IN} 、I _{OUT} = 0μA、V _{OUT} = 0.7V	350		nA	
I _{SD}	シャットダウン電流	V _{EN} = 0V、VSET = GND、T _J = -40°C ~ 85°C	4	850	nA	
UVLO						
V _{UVLO(R)}	低電圧ロックアウト立ち上がりスレッショルド	V _{IN} 立ち上がり、I _{OUT} = 0μA	1.75	1.8	V	
V _{UVLO(F)}	低電圧ロックアウト立ち下がりスレッショルド	V _{IN} 立ち下がり、I _{OUT} = 0μA	1.65	1.7	V	
V _{UVLO(H)}	低電圧誤動作防止ヒステリシス		100		mV	
VSET ピン						
V _{SET(LKG)}	VSET の入力リーコンデンサ	T _J = -40°C ~ 85°C	10	800	nA	
V _{SET(H)}	VSET 高レベル検出	スタートアップ時の VSET の電圧	1.0		V	
R _{SET}	RSET の精度	T _J = -20°C ~ 125°C	-4	4	%	
R _{SET}	RSET の精度	T _J = -40°C ~ 125°C	-3.5	3.5	%	
イネーブル						
V _{EN(R)}	EN 電圧立ち上がりスレッショルド	EN 立ち上がり、スイッチングはイネーブル	0.8		V	
V _{EN(F)}	EN 電圧立ち下がりスレッショルド	EN 立ち下がり、スイッチングはディスエーブル	0.4		V	
V _{EN(LKG)}	EN の入力リーコンデンサ	V _{EN} > 0.8V、T _J = -40°C ~ 85°C	1	25	nA	
R _{EN;PD}	EN 内部プルダウン抵抗	EN ピンを GND に接続	425	500	kΩ	
VOUT 電圧						
V _{OUT}	DC 出力電圧精度	PWM動作、T _J = -20°C ~ 125°C	-1	+1	%	
V _{OUT}	DC 出力電圧精度	PWM動作、T _J = -40°C ~ 125°C	-1.5	+1.5	%	
V _{OUT}	TPS628436		0.4	0.8	V	
	TPS628437		0.8	1.8	V	
	TPS628438		1.8	3.6	V	
I _{VOS(LKG)}	VOS の入力リーコンデンサ	TPS628436、V _{EN} = V _{IN} 、V _{VOS} = 0.7V、T _J = -40°C ~ 85°C		100	nA	
		TPS628437、V _{EN} = V _{IN} 、V _{VOS} = 1.2V、T _J = -40°C ~ 85°C		100	250	nA
		TPS628438、V _{EN} = V _{IN} 、V _{VOS} = 3.3V、T _J = -40°C ~ 85°C		275	450	nA
f _{sw}		I _{OUT} = 400mA		1.5		MHz
スタートアップ						

6.5 電気的特性 (続き)

$T_J = -40^\circ\text{C} \sim +125^\circ\text{C}$, $V_{IN} = 1.8\text{V} \sim 5.5\text{V}$ 。代表値は、 $T_J = 25^\circ\text{C}$ および $V_{IN} = 3.6\text{V}$, $V_{OUT} = 0.7\text{V}$ です(特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
tss	TPS628436 のソフトスタート時間	$V_{OUT} = 0\%$ から V_{OUT} 公称値の $V_{OUT} = 95\%$ まで	0.45	0.6		ms
	TPS628438 のソフトスタート時間		1.0	1.4		
	TPS628437 のソフトスタート時間		0.7	1.0		
tStartup_delay	EN High からスイッチング開始までの遅延	R2D = GND	330	560		μs
電力段						
$R_{DSON(HS)}$	ハイサイド MOSFET オン抵抗	$V_{IN} = 3.6\text{V}$, $I_{OUT} = 300\text{mA}$	170	260		mΩ
$R_{DSON(LS)}$	ローサイド MOSFET オン抵抗	$V_{IN} = 3.6\text{V}$, $I_{OUT} = 300\text{mA}$	70	115		mΩ
ILKG_SW	SW ピンへのリーク電流	$V_{SW} = 0.7\text{V}$, $T_J = -40^\circ\text{C} \sim 85^\circ\text{C}$	0	35		nA
ILKG_SW	SW ピンへのリーク電流	$V_{SW} = 1.2\text{V}$, $T_J = -40^\circ\text{C} \sim 85^\circ\text{C}$	0	45		nA
ILKG_SW	SW ピンへのリーク電流	$V_{VIN} > V_{SW}$, $V_{SW} = 3.3\text{V}$, $T_J = -40^\circ\text{C} \sim 85^\circ\text{C}$	0	45		nA
過電流保護						
$I_{HS(OC)}$	ハイサイド ピーク電流制限	$V_{IN} \geq 2.2\text{V}$	0.9	1.1	1.3	A
$I_{LS(OC)}$	ローサイドのバレー電流制限	$V_{IN} \geq 2.2\text{V}$	0.79	1.0	1.11	A
出力放電						
R_{DSCH_VOS}	VOS ピンの出力放電抵抗	$V_{EN} = \text{GND}$, $I(VOS) = -10\text{mA}$	7	22		Ω
サーマル シャットダウン						
$T_{J(SD)}$	サーマル シャットダウンのスレッショルド	温度上昇	160			°C
$T_{J(HYS)}$	サーマル シャットダウン ヒステリシス		20			°C

6.6 代表的特性

図 6-1. シャットダウン時の電流 I_{SD} 図 6-2. 静止電流、 I_Q 図 6-3. ハイサイドスイッチのドレインソース抵抗、 $R_{DS(ON)}$ 図 6-4. ローサイドスイッチのドレインソース抵抗、 $R_{DS(ON)}$ 図 6-5. VOS 放電スイッチのドレインソース抵抗、 R_{DS}

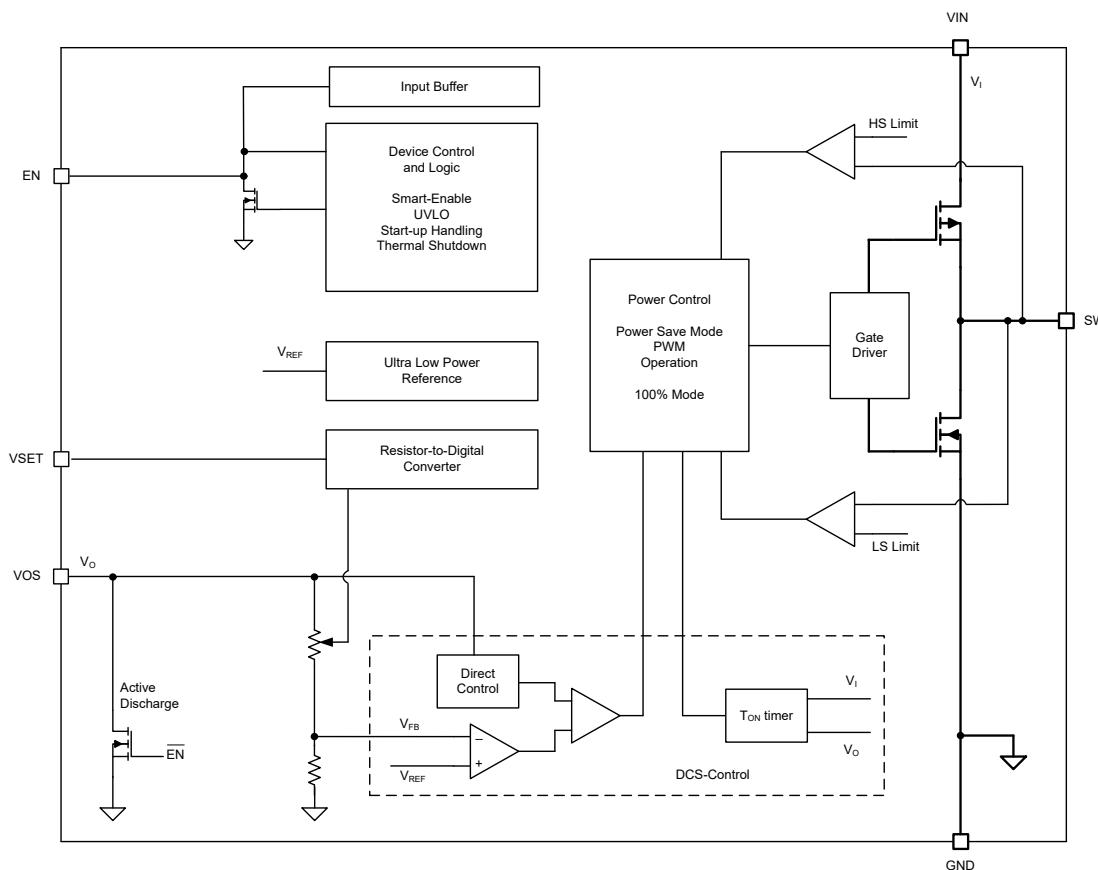
7 詳細説明

7.1 概要

TPS62843 は、高周波動作と同期整流方式の降圧コンバータで、静止電流は通常 275nA と極めて低く、チップサイズは 0.84mm^2 です。このデバイスは、推奨動作範囲全体にわたって、わずか $1\mu\text{H}$ のインダクタと $10\mu\text{F}$ の出力コンデンサで動作し、業界最小クラスのチップサイズおよびソリューション サイズを実現します。

パワー セーブ モードでの動作時には、TI の DCS-Control トポロジを使用して、数マイクロアンペアの負荷電流まで高効率動作領域を拡張できます。TI の DCS Control トポロジ（パワー セーブ モードへのシームレスな遷移を伴う直接制御）は、ヒステリシスおよび電圧モードの制御の利点を融合する先進的なレギュレーショントポロジです。DCS-Control の特性は、非常に優れた AC 負荷レギュレーションと過渡応答、低い出力リップル電圧、PFM モードと PWM モード動作の間のシームレスな遷移です。DCS-Control には AC ループが含まれており、出力電圧（VOS ピン）を検出して、その情報を高速コンパレータ段に直接供給します。このコンパレータがスイッチング周波数を設定します。この周波数は、定常動作条件では一定であり、動的な負荷の変化に対して即座に応答します。高精度の DC 負荷レギュレーションを実現するため、電圧帰還ループを使用しています。内部的に補償されたレギュレーション回路は、小型外付け部品と低 ESR コンデンサを使って高速で安定した動作を実現します。

7.2 機能ブロック図



7.3 機能説明

7.3.1 スマートイネーブルとシャットダウン(EN)

EN ピンがフローティングになるのを防ぐため、内部に $500\text{k}\Omega$ のプルダウン抵抗が接続されており、ピンを GND に引き下げます。このアクションにより、EN ピンを安全に Low レベルに駆動できない場合に、本デバイスが制御されていない状態で起動することを防止できます。EN を Low にすると、本デバイスはシャットダウン モードに入ります。EN を High レベルに設定すると、本デバイスはターンオンします。内部制御ロジックと基準電圧が起動すると、プルダウン制御回路は EN ピンのプルダウン抵抗を切り離します。EN を Low レベルに設定すると、本デバイスはシャットダウン モードに移行し、プルダウン抵抗が再度有効化されます。EN ピンの High レベルは、VIN の電圧レベルを超えないようにする必要があります。

7.3.2 ソフトスタート

EN ピンが High になってデバイスが有効化されると、内部回路の初期化と電源投入が行われます。この動作は、レギュレータのスタートアップ遅延時間 $t_{\text{Startup_delay}}$ 中に発生します。 $t_{\text{Startup_delay}}$ が経過すると、内部ソフトスタート回路は、ソフトスタート時間 t_{ss} 以内に出力電圧を上昇させます。図 7-1 を参照してください。

スタートアップ遅延時間である $t_{\text{Startup_delay}}$ は、選択した VSET 値によって異なります。スタートアップ遅延時間は、VSET = 0 の場合が最も短く、VSET = 16 の場合が最も長くなります。

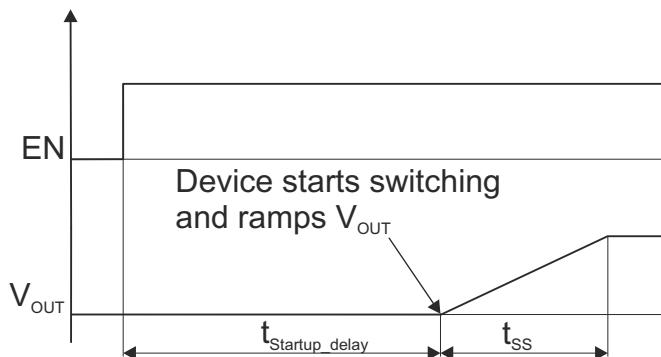


図 7-1. デバイスの起動

7.3.3 VSET ピン：出力電圧の選択

出力電圧は、VSET ピンと GND の間に 1 個の外付け抵抗を接続して設定します。デバイスがイネーブルになり、制御ロジックおよび内部リファレンスに電源が投入されると、R2D (抵抗からデジタルへ) 変換が開始され、レギュレータのスタートアップ遅延時間 $t_{\text{Startup_delay}}$ 内に外付け抵抗 R_{SET} が検出されます。内部電流源は外付け抵抗を通して電流を印加し、結果として得られる電圧レベルを内部 ADC が読み戻します。そのレベルに応じて、内部の帰還分圧回路が選択され、正しい出力電圧が設定されます。この R2D 変換の完了後、電流源はオフになります、電流が外部抵抗を流れなくなります。この回路は、抵抗値、High レベル、Low レベル、およびピンオープン状態を検出できます。

正確な読み取りを行うために、R2D 変換中は GND に対して 30pF を超える容量や、追加の電流経路が存在しないことを確認します。そうでなければ、GND への追加電流によって抵抗値がより低く解釈され、誤った出力電圧が設定されます。表 7-1 に、適切な出力電圧を設定するための R_{SET} の正しい抵抗値を示します。R2D コンバータは、E96 表に規定されている抵抗値で動作するように設計されており、1% の抵抗値精度が必要です。外付け抵抗 R_{SET} は、レギュレータフィードバック ループの一部ではないので、出力電圧の精度に影響を与ません。低電圧誤動作防止イベント発生時には、VSET ピンに R_{SET} 抵抗以外の漏れ電流経路がないようにしてください。そうでなければ、誤った出力電圧が設定されます。

表 7-1. 出力電圧設定

VSET	出力電圧設定 [V]			R_{SET} [Ω]
	TPS628436	TPS628437	TPS628438	
1	0.400	0.80	1.8	10.0k
2	0.425	0.85	1.9	12.1k
3	0.450	0.90	2.0	15.4k
4	0.475	0.95	2.1	18.7k
5	0.500	1.00	2.2	23.7k
6	0.525	1.05	2.3	28.7k
7	0.550	1.10	2.4	36.5k
8	0.575	1.15	2.5	44.2k
9	0.600	1.20	2.6	56.2k
10	0.625	1.25	2.7	68.1k
11	0.650	1.30	2.8	86.6k
12	0.675	1.35	2.9	105.0k
13	0.700	1.40	3.0	133.0k
14	0.725	1.45	3.1	162.0k
15	0.750	1.50	3.2	205.0k
16	0.775	1.55	3.3	249.0k 以上
17	0.8	1.6	3.4	VIN
0	1.0	1.8	3.6	GND

7.3.4 低電圧誤動作防止 (UVLO)

低入力電圧時のデバイスの誤動作を防止するため、低電圧誤動作防止 (UVLO) コンパレータが電源電圧を監視します。UVLO コンパレータは、 V_{IN} が低下して入力電圧が 1.7V (最大値) になったとき、デバイスをシャットダウンします。デバイスは、 V_{IN} 上昇時には、入力電圧が 1.8V (最大値) になると起動します。デバイスが低電圧誤動作防止状態から復帰して再び動作を開始すると、有効化されたときと同様に動作します。内部制御ロジックが起動し、VSET ピンの外付け抵抗が読み出されます。

7.3.5 スイッチ電流制限、短絡保護

TPS62843 は、過負荷や短絡の状態からデバイスを保護するために、ハイサイドおよびローサイド MOSFET に電流制限を備えています。スイッチでの電流がサイクルごとに監視されます。電流がハイサイド MOSFET の電流制限値 $I_{HS(OC)}$ を上回ると、ハイサイド MOSFET がオフになり、ローサイド MOSFET がオンになって、インダクタ電流を減少させます。ローサイドスイッチを流れるインダクタ電流がローサイド MOSFET の電流制限値 $I_{LS(OC)}$ を下回ると、ローサイド MOSFET がオフになり、ハイサイド MOSFET が再度オンになります。

7.3.6 サーマル シャットダウン

本デバイスの接合部温度 T_J は内蔵の温度センサによって監視されています。 T_J がサーマル シャットダウン温度 $T_{J(SD)}$ (標準値 160°C) を上回ると、デバイスはサーマル シャットダウンに移行します。ハイサイドおよびローサイドのパワー FET がオフになります。 T_J が標準値 20°C のヒステリシス量よりも低下すると、コンバータは動作を再開し、最初に設定した V_{OUT} へのソフトスタートを開始します (R_{SET} の R2D 変換はありません)。パワーセーブ モードでは、サーマル シャットダウンは有効ではありません。

7.3.7 出力電圧放電

出力放電機能の目的は、本デバイスが無効化されたときに出力電圧の設定されたダウンランプを確保し、出力電圧を約 0V に維持することです。

内部放電抵抗は VOS ピンに接続されています。放電機能は、デバイスがディセーブルになるとすぐにイネーブルになります。放電機能をアクティブに維持するために必要な最小電源電圧は、 $V_{IN} > V_{TH_UVLO(R)}$ です。

7.4 デバイスの機能モード

7.4.1 パワーセーブ モード動作

DCS-Control トポロジは、パワー セーブモードの動作をサポートしています。軽負荷時には、本デバイスは PFM (パルス周波数変調) モードで動作します。このモードでは、単一のスイッチングパルスを生成してインダクタ電流を上昇させ、出力コンデンサを再充電します。その後、スリープ期間を設けて、ほとんどの内部回路がシャットダウンされ、動作時の静止電流を最小限に抑えます。この期間中、負荷電流は出力コンデンサによってサポートされます。スリープ期間の長さは、負荷電流とインダクタのピーク電流に依存します。スリープ期間中は、消費電流が標準値 275nA まで減少します。この低い静止電流消費は、超低消費電力の基準電圧、内蔵の高インピーダンス帰還分圧回路、および最適化されたパワー セーブモード動作によって実現されています。

PFM モードでは、スイッチング周波数は負荷電流に比例して変化します。中負荷および高負荷の状況では、デバイスは自動的に PWM (パルス幅変調) モードに移行し、公称スイッチ周波数 f_{SW} (標準値 1.5 MHz) の連続導通モードで動作します。PWM モードのスイッチング周波数は制御されており、 V_{IN} および V_{OUT} に依存します。PWM モードと PFM モードの境界は、インダクタ電流が不連続になるときです。

負荷電流が減少すると、コンバータはシームレスに PFM モードに移行して、非常に軽い負荷まで高効率を維持します。DCS-Control は両方の動作モードを 1 つのビルディング ブロック内でサポートしているので、PWM から PFM への遷移はシームレスであり、出力電圧リップルが最小限に抑えられます。

7.4.2 100% モード動作

PWM モードで動作する降圧コンバータのデューティ サイクルは、 $D = V_{OUT}/V_{IN}$ で与えられます。入力電圧が出力電圧に近づいてくると、デューティ サイクルは増加します。100% デューティ サイクル モードでは、ハイサイド スイッチが連続的にオン状態のままになります。出力電圧が内部設定点を下回っている限り、ハイサイド スイッチはターンオンされたままになります。これにより、入力電圧と出力電圧のわずかな差の変換が可能になります。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

以下のセクションでは、代表的なアプリケーションに基づいて、いくつかの入力および出力電圧の選択肢について、電源設計を完成させるための外部部品の設計について説明します。

8.2 代表的なアプリケーション

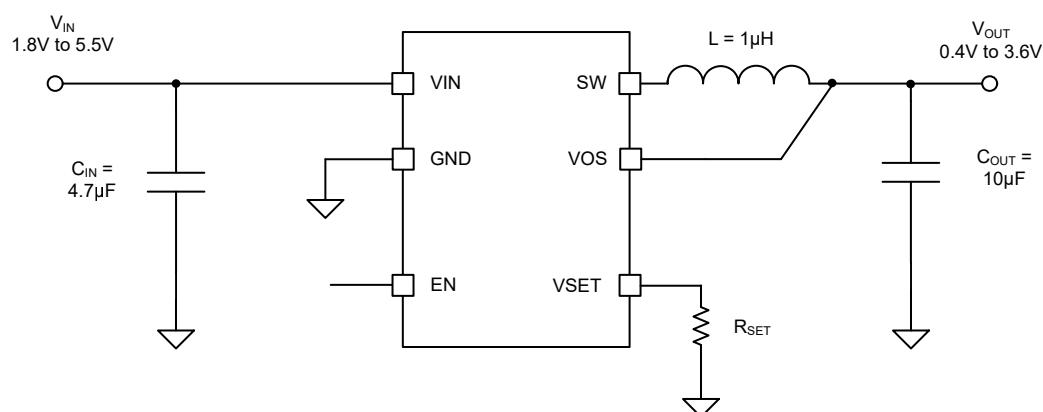


図 8-1. TPS62843 の代表的なアプリケーション回路

8.2.1 設計要件

表 8-1 アプリケーション回路およびアプリケーション特性曲線のための部品リストを示します。

表 8-1. アプリケーション特性曲線のための部品

リファレンス	説明	値	サイズ コードインチ[メートル法 L×W×T]	メーカー
TPS628436、 TPS628437、 TPS628438	275nA-I _Q 降圧コンバータ		[1.05mm × 0.8mm × 0.4mm]	TI
C _{IN}	セラミック コンデンサ GRM155R60J475ME47D	4.7µF	0402 [1.0mm × 0.5mm × 0.5mm]	Murata (村田製作所)
L	インダクタ DFE201610-1R0M	1µH	0806 [2.0mm × 1.6mm × 1.0mm]	Murata (村田製作所)
C _{OUT}	セラミック コンデンサ GRM155R60J106ME15D	10µF	0402 [1.0mm × 0.5mm × 0.5mm]	Murata (村田製作所)
R _{SET}	電圧設定表を参照してください		0402 [1.0mm × 0.5mm × 0.5mm]	

8.2.2 詳細な設計手順

代表的なアプリケーション回路に従った、受動部品の選択に従います。

8.2.3 アプリケーション曲線

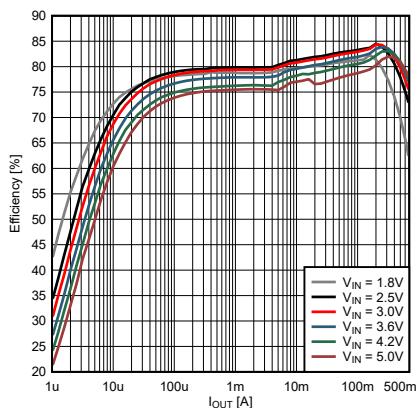


図 8-2. $V_{OUT} = 0.4V$ での効率

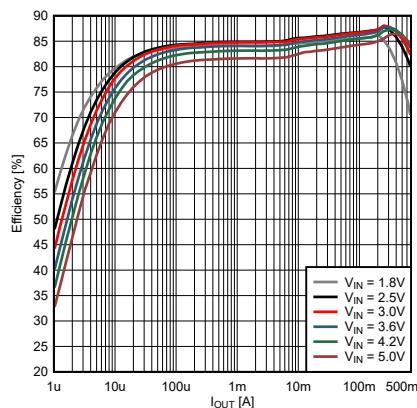


図 8-3. $V_{OUT} = 0.7V$ での効率

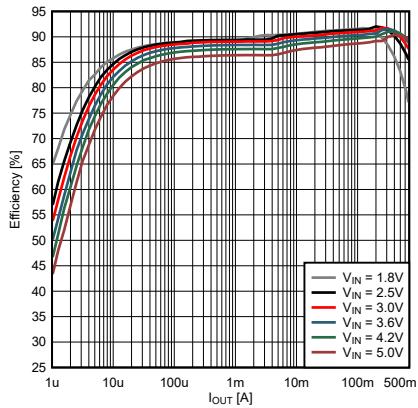


図 8-4. $V_{OUT} = 1.2V$ での効率

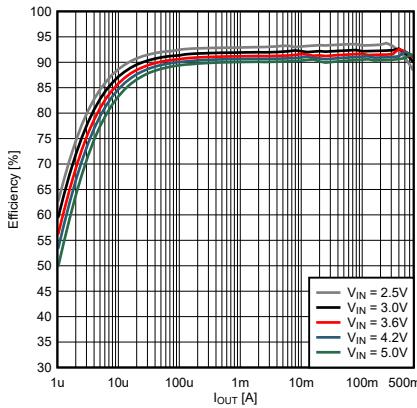


図 8-5. $V_{OUT} = 1.8V$ での効率

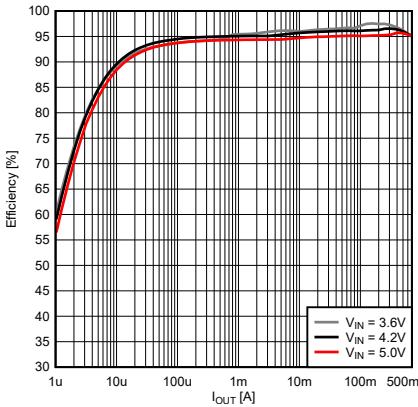


図 8-6. $V_{OUT} = 3.3V$ での効率

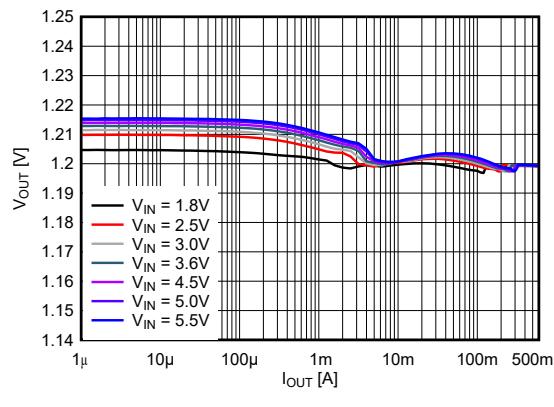


図 8-7. 出力電圧と出力電流との関係 ($V_{OUT} = 1.2V$)

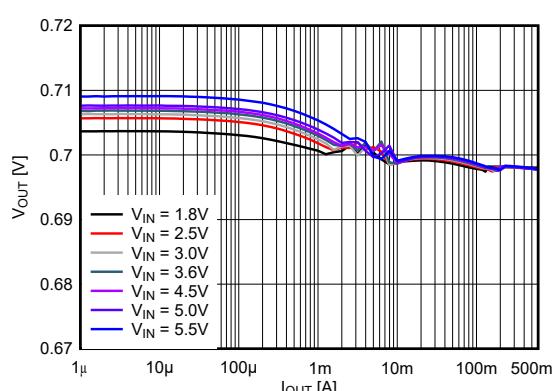


図 8-8. 出力電圧と出力電流との関係 ($V_{OUT} = 0.7V$)

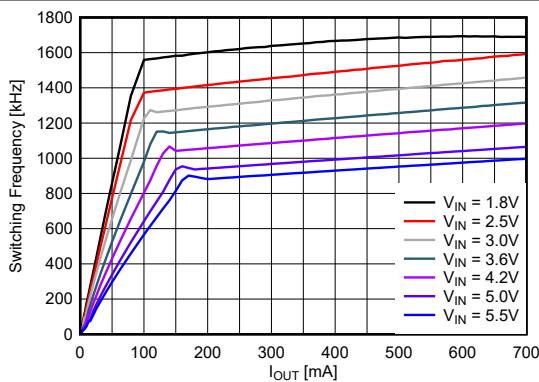


図 8-9. スイッチング周波数と出力電流との関係 ($V_{OUT} = 0.4V$)

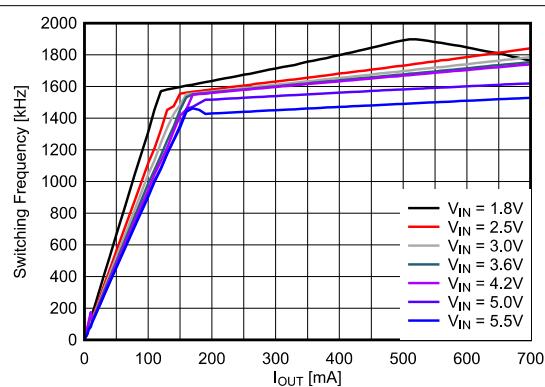


図 8-10. スイッチング周波数と出力電流との関係 ($V_{OUT} = 0.7V$)

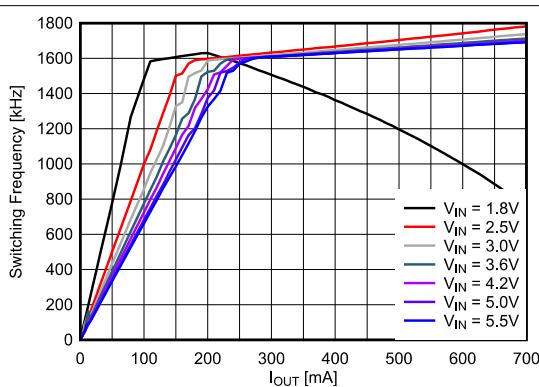


図 8-11. スイッチング周波数と出力電流との関係 ($V_{OUT} = 1.2V$)

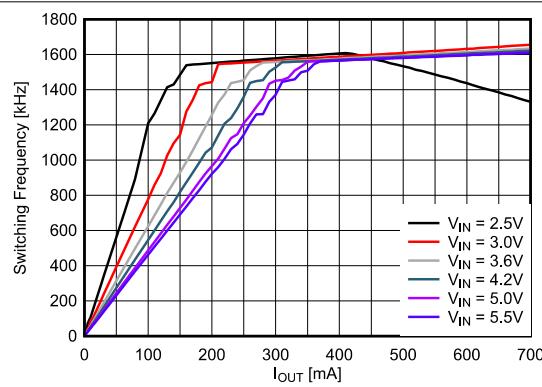


図 8-12. スイッチング周波数と出力電流との関係 ($V_{OUT} = 1.8V$)

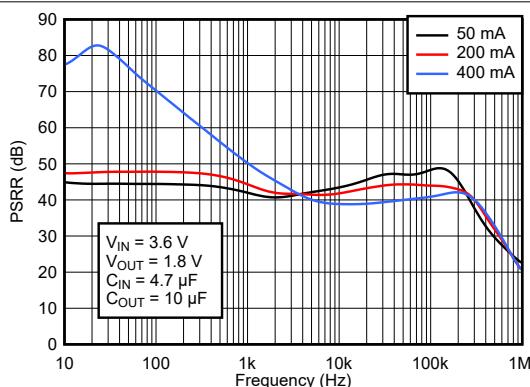
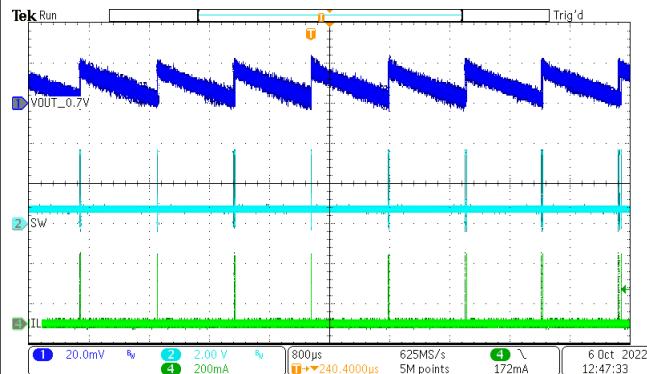
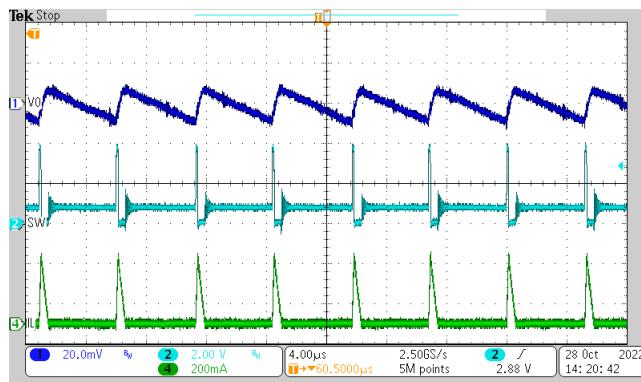
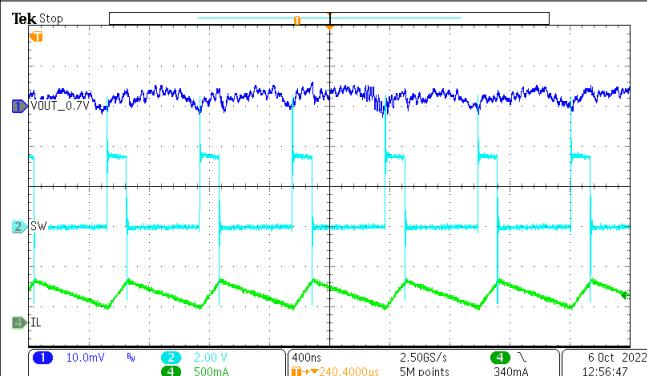
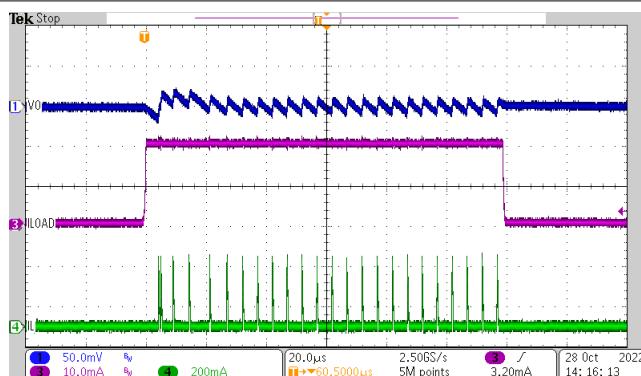
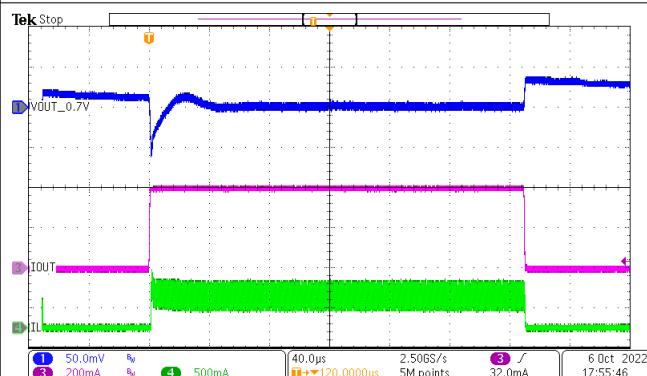
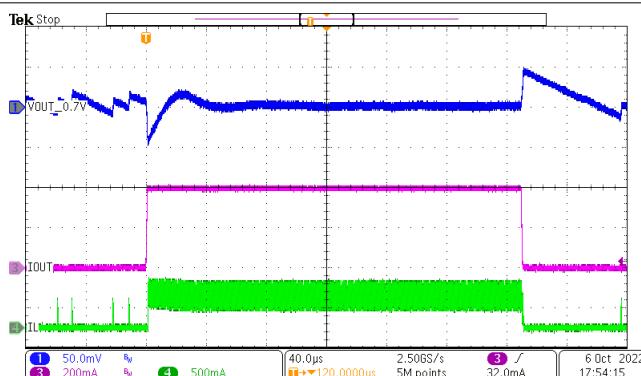


図 8-13. 電源電圧変動除去比 (PSRR) ($V_{OUT} = 1.8V$)

図 8-14. 代表的な動作 : $V_{OUT} = 0.7V$ 、 $I_{OUT} = 100\mu A$ 図 8-15. 代表的な動作 : $V_{OUT} = 0.7V$ 、 $I_{OUT} = 20mA$ 図 8-16. 代表的な動作 : $V_{OUT} = 0.7V$ 、 $I_{OUT} = 400mA$ 図 8-17. 負荷過渡応答 : $V_{OUT} = 0.7V$ 、 $I_{OUT} = 100\mu A \sim 20mA$ 図 8-18. 負荷過渡応答 : $V_{OUT} = 0.7V$ 、 $I_{OUT} = 100\mu A \sim 400mA$ 図 8-19. 負荷過渡応答 : $V_{OUT} = 0.7V$ 、 $I_{OUT} = 5mA \sim 400mA$

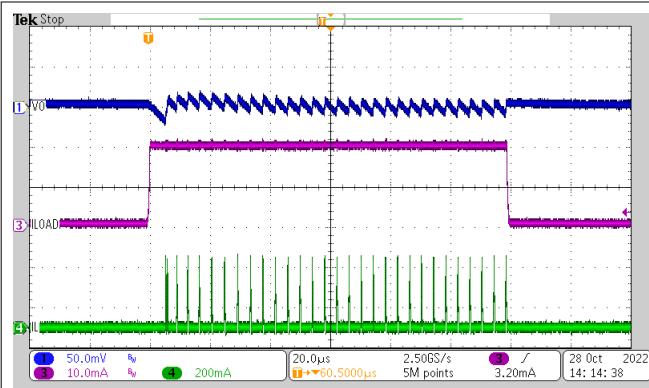


図 8-20. 負荷過渡応答 : $V_{OUT} = 1.2V$ 、 $I_{OUT} = 100\mu A \sim 20mA$

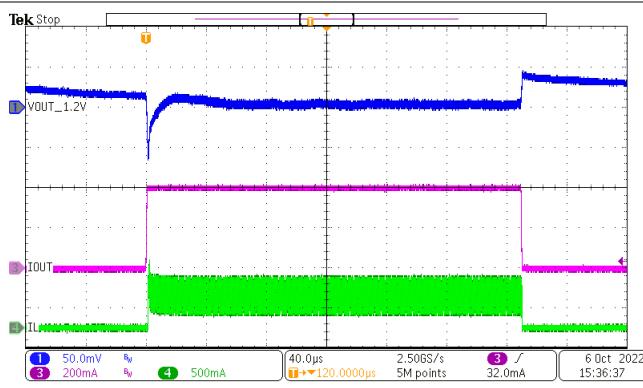


図 8-21. 負荷過渡応答 : $V_{OUT} = 1.2V$ 、 $I_{OUT} = 100\mu A \sim 400mA$

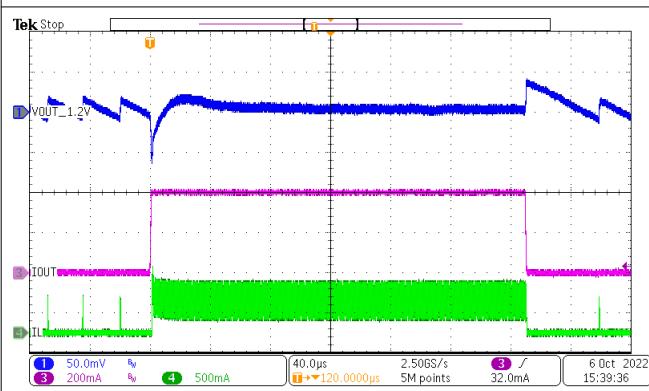


図 8-22. 負荷過渡応答 : $V_{OUT} = 1.2V$ 、 $I_{OUT} = 5mA \sim 400mA$

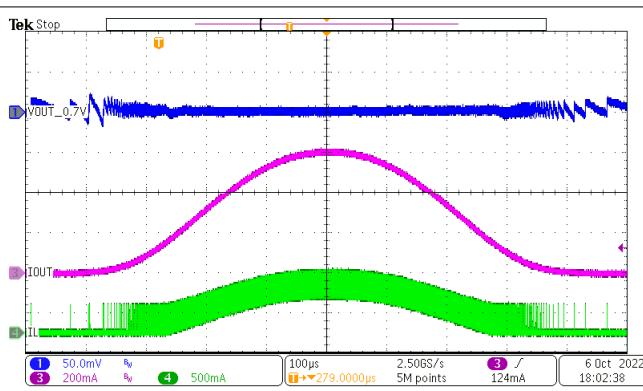


図 8-23. AC 負荷スイープ : $V_{OUT} = 0.7V$ 、 $I_{OUT} = 1mA \sim 600mA$

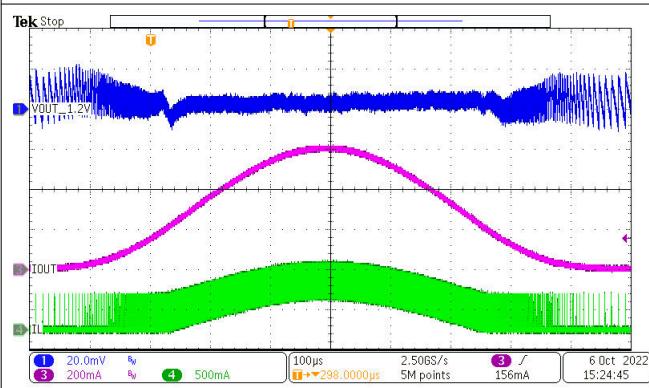


図 8-24. AC 負荷スイープ : $V_{OUT} = 1.2V$ 、 $I_{OUT} = 1mA \sim 600mA$

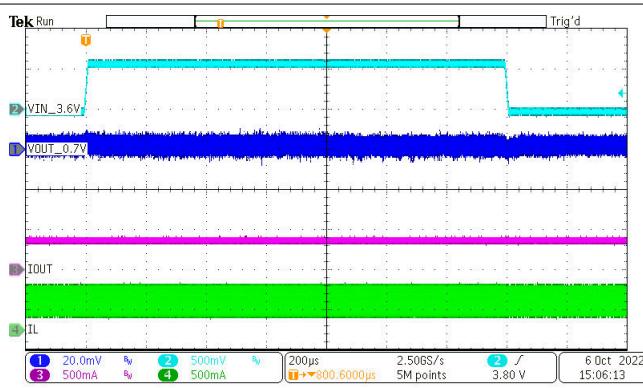


図 8-25. ライン過渡応答 : $V_{OUT} = 0.7V$ 、 $I_{OUT} = 400mA$ 、 $V_{IN} = 3.6V \sim 4.2V$

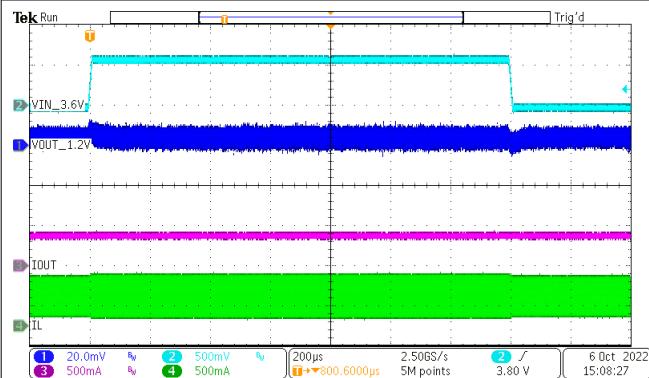


図 8-26. ライン過渡応答： $V_{OUT} = 1.2V$ 、 $I_{OUT} = 400mA$ 、 $V_{IN} = 3.6V \sim 4.2V$

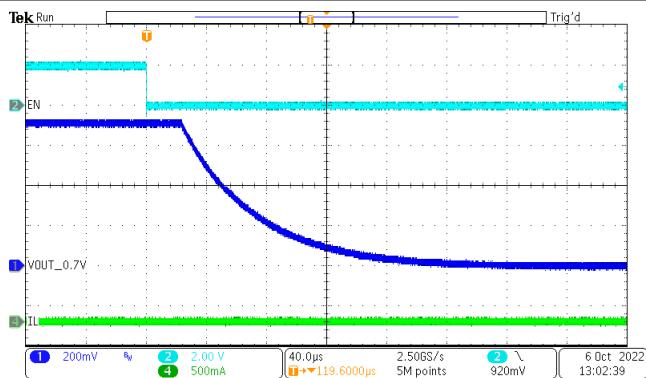


図 8-27. シャットダウン、 $V_{OUT} = 0.7V$ での出力放電

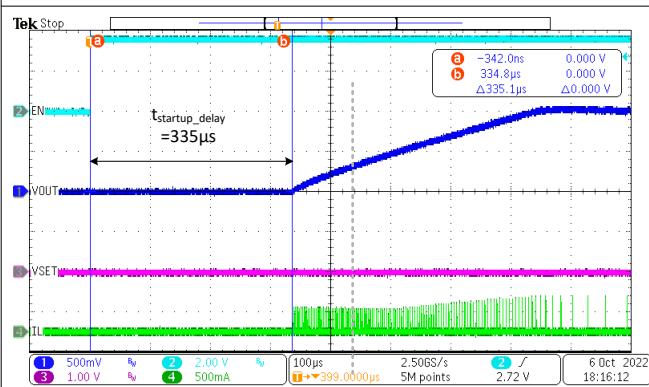


図 8-28. スタートアップ遅延時間、 $V_{SET} = GND$

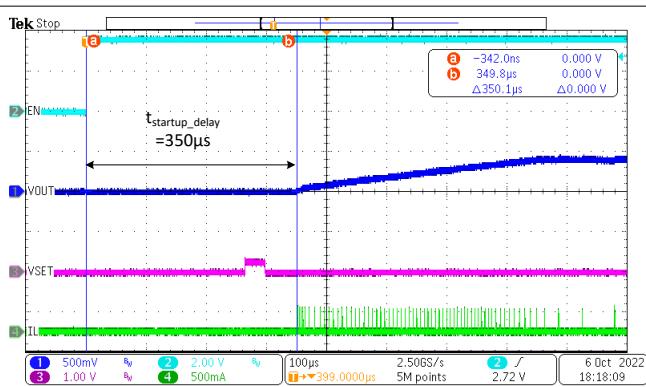


図 8-29. スタートアップ遅延時間、 $V_{SET} = 10k\Omega$

8.3 電源に関する推奨事項

電源は、TPS62843 の電源電圧、出力電圧、出力電流に応じた定格電流を供給できる必要があります。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

TPS62843 のピン配置は、CIN、COUT、L などの重要な受動部品と IC を、PCB の表面層のみで配線できるよう最適化されています。さらに、このピン配置により、0201 (0603 メートル系) サイズのコンデンサや 0402 (1005 メートル系) サイズのインダクタなどの超小型部品の接続が可能です。固定出力電圧であれば、 $5mm^2$ 未満のソリューションサイズを実現できます。すべてのスイッチング電源に関して、レイアウトは設計の重要なステップです。規定の性能を得るために、基板レイアウトに十分注意する必要があります。低インダクタンスかつ低インピーダンスのグランド経路を確保することが非常に重要です。主要な電流経路には広く短い配線を使用してください。入力コンデンサは、IC の **VIN** ピンおよび **GND** ピンの近くにできるだけ寄せて配置します。この配置は、最も重要な部品配置です。**VOS** ラインは、敏感で高インピーダンスのラインであり、出力コンデンサに接続し、ノイズの多い部品やパターン (SW ラインなど) および他のノイズ源から遠ざけるように配線する必要があります。

8.4.2 レイアウト例

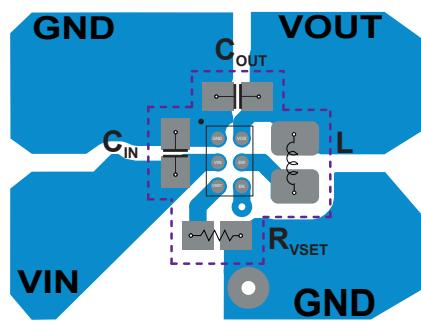


図 8-30. レイアウト例 (YKA パッケージ)

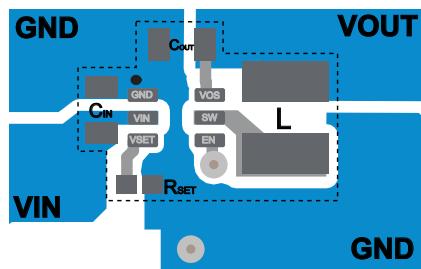


図 8-31. レイアウト例 (DRL パッケージ)

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (September 2023) to Revision C (June 2024)	Page
• 最小実効出力容量が $4\mu F$ であることを明確化.....	1
• SOT563 パッケージからレビューの注を削除.....	1
• SOT563 パッケージのピン番号を追加するため、SOT563 パッケージの列を追加.....	4
• 機能ブロック図の EN ピンに入力バッファ ブロックを追加.....	9
• ピンの正しい使用方法を明確にするため、説明文に『EN ピンの High レベルは VIN 電圧レベルを超えてはなりません』という記述を追加.....	10
• I_{LIMF} という用語を削除し、ハイサイド FET で $I_{HS(OC)}$ に置き換え、ローサイド FET で $I_{LS(OC)}$ に置き換え.....	11
• 誤って掲載されていた負荷過渡応答プロット ($V_{OUT} 1.2V$, I_{OUT} ステップ = $100\mu A \sim 400mA$ における出力電圧と出力電流の関係) を削除し、正しいプロットに差し替え.....	14

Changes from Revision A (May 2023) to Revision B (September 2023)	Page
• ドキュメントに SOT563 パッケージを追加.....	1

Changes from Revision * (January 2022) to Revision A (May 2023)	Page
• ドキュメントのステータスを「事前情報」から「量産データ」に変更.....	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

パッケージタイプ DSBGA の注文可能な型番については、[表 11-1](#) で該当するパッケージ図の概要を示しています。

表 11-1. DSBGA パッケージの情報

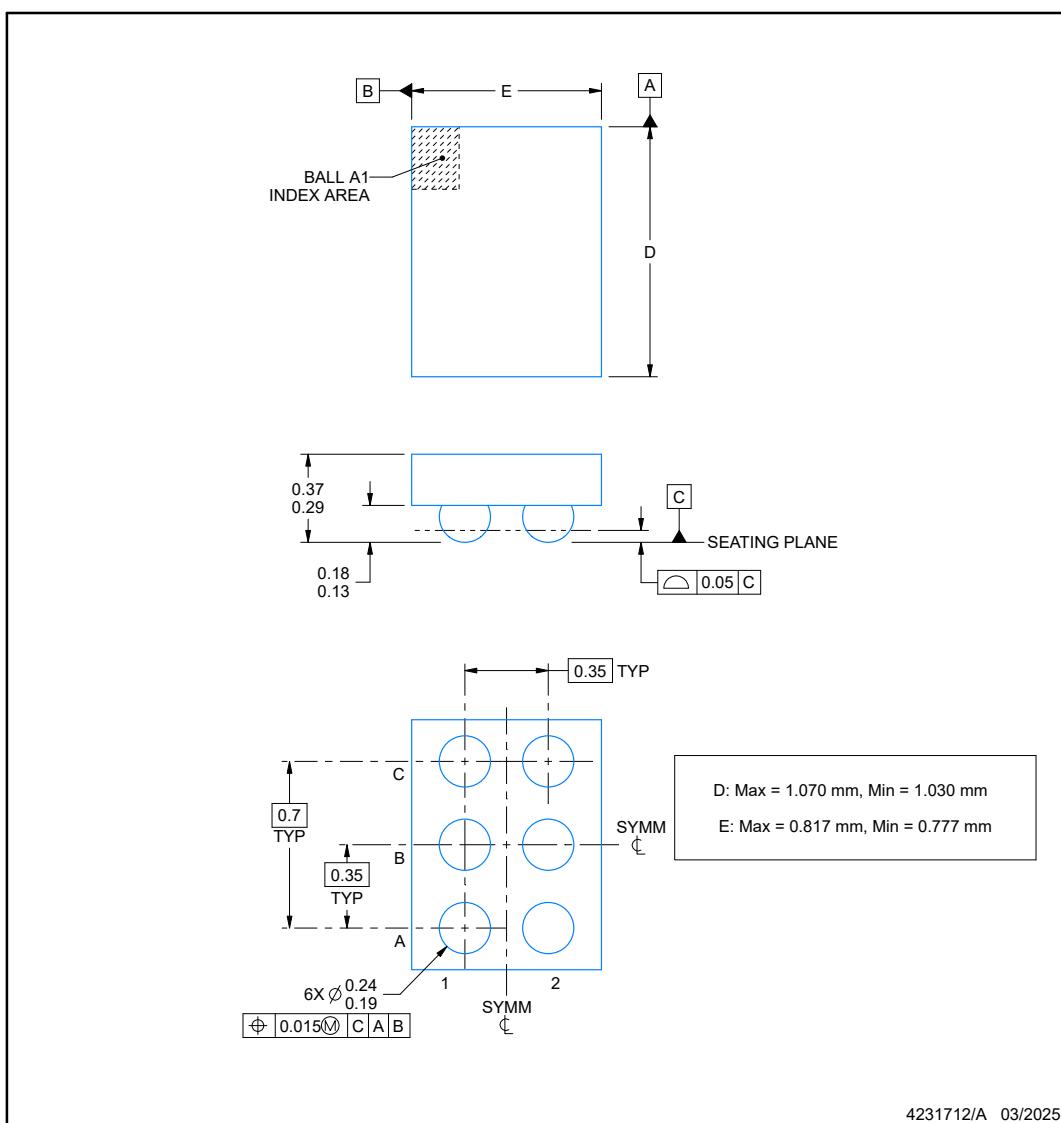
発注可能なデバイス	パッケージタイプ	パッケージ図	パッケージの最大の高さ
TPS628436YKAR	DSBGA	YKA0006	0.4mm
TPS628437YKAR	DSBGA	YKA0006	0.4mm
TPS628438YKAR	DSBGA	YKA0006-C02	0.37mm

YKA0006-C02

PACKAGE OUTLINE

DSBGA - 0.37 mm max height

DIE SIZE BALL GRID ARRAY



4231712/A 03/2025

NOTES:

NanoFree is a trademark of Texas Instruments.

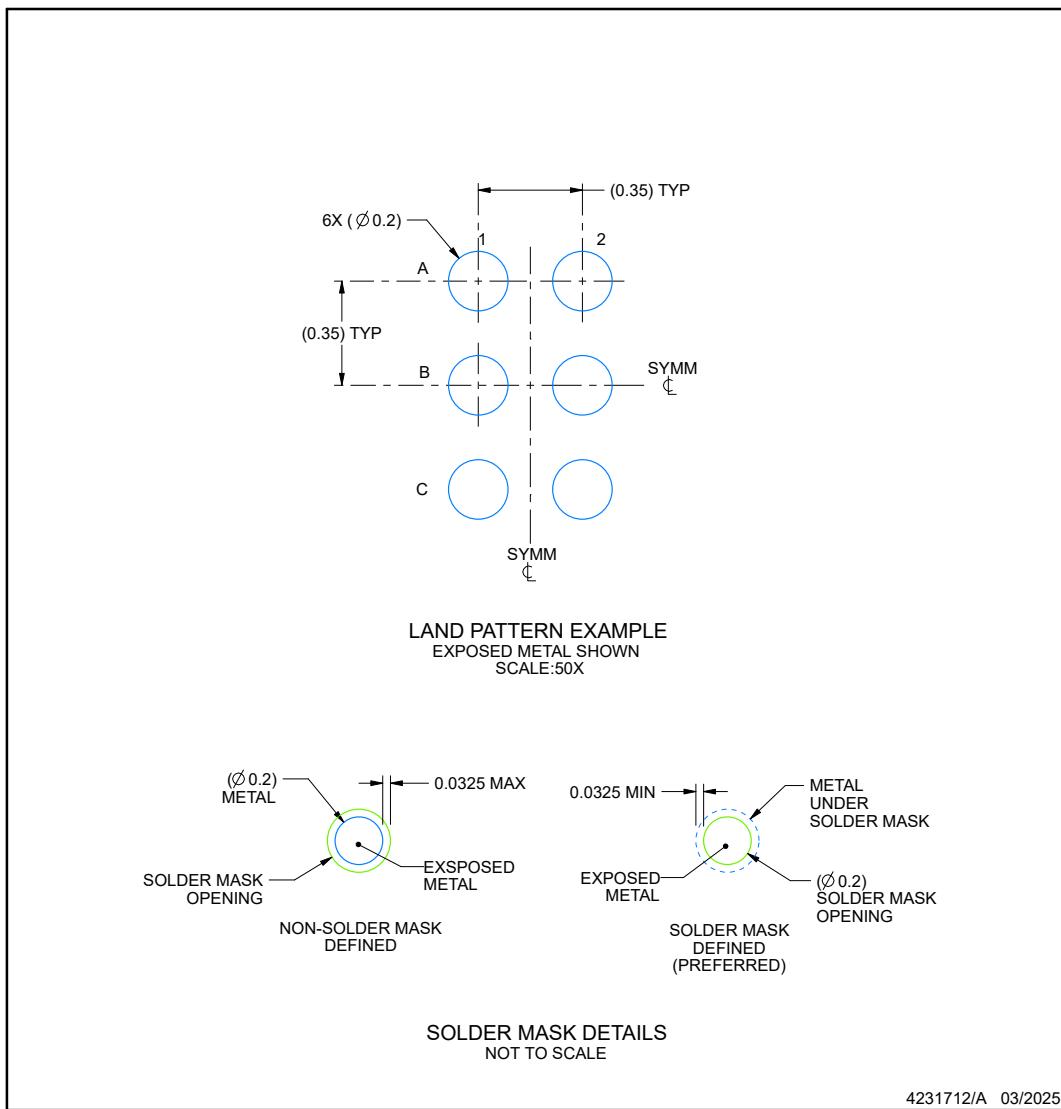
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. NanoFree™ package configuration.

EXAMPLE BOARD LAYOUT

YKA0006-C02

DSBGA - 0.37 mm max height

DIE SIZE BALL GRID ARRAY



NOTES: (continued)

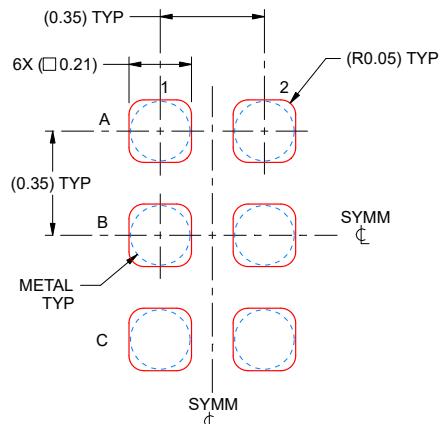
4. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
For more information, see Texas Instruments literature number SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

YKA0006-C02

DSBGA - 0.37 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.075 mm - 0.1 mm THICK STENCIL
SCALE:50X

4231712/A 03/2025

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS628436DRLR	Active	Production	SOT-5X3 (DRL) 6	4000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	436
TPS628436DRLR.A	Active	Production	SOT-5X3 (DRL) 6	4000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	436
TPS628436YKAR	Active	Production	DSBGA (YKA) 6	12000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	J
TPS628436YKAR.A	Active	Production	DSBGA (YKA) 6	12000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	J
TPS628437DRLR	Active	Production	SOT-5X3 (DRL) 6	4000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	437
TPS628437DRLR.A	Active	Production	SOT-5X3 (DRL) 6	4000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	437
TPS628437YKAR	Active	Production	DSBGA (YKA) 6	12000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	K
TPS628437YKAR.A	Active	Production	DSBGA (YKA) 6	12000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	K
TPS628438DRLR	Active	Production	SOT-5X3 (DRL) 6	4000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	438
TPS628438DRLR.A	Active	Production	SOT-5X3 (DRL) 6	4000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	438
TPS628438YKAR	Active	Production	DSBGA (YKA) 6	12000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	L
TPS628438YKAR.A	Active	Production	DSBGA (YKA) 6	12000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	L

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

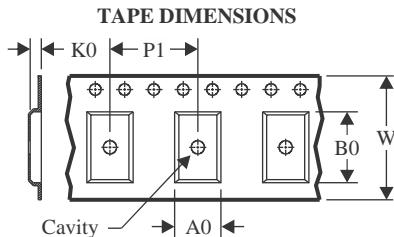
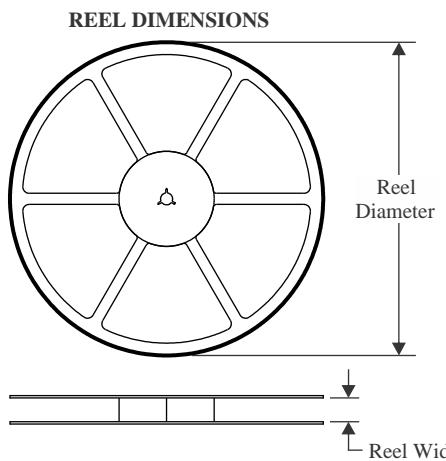
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

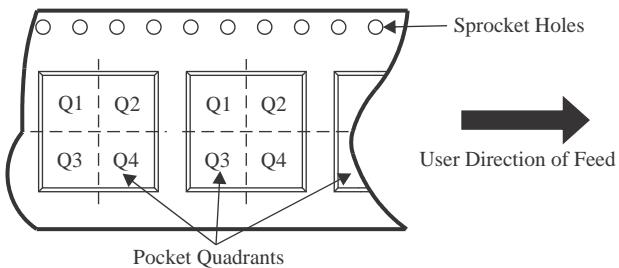
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



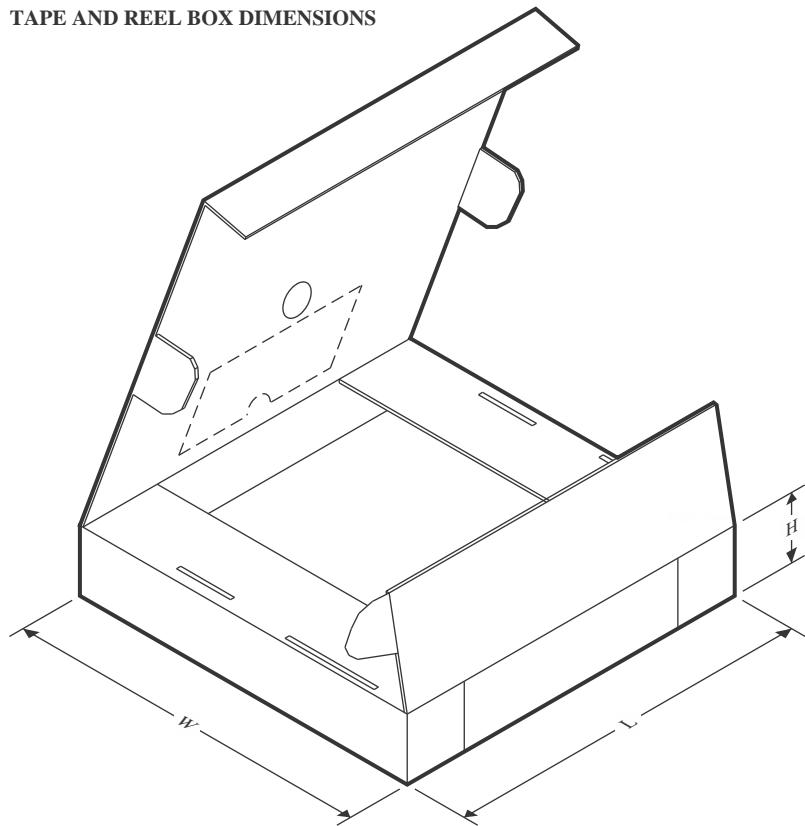
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS628436DRLR	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3
TPS628436YKAR	DSBGA	YKA	6	12000	180.0	8.4	0.9	1.16	0.47	2.0	8.0	Q1
TPS628437DRLR	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3
TPS628437YKAR	DSBGA	YKA	6	12000	180.0	8.4	0.9	1.16	0.47	2.0	8.0	Q1
TPS628438DRLR	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3
TPS628438YKAR	DSBGA	YKA	6	12000	180.0	8.4	0.9	1.16	0.47	2.0	8.0	Q1

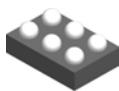
TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS628436DRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
TPS628436YKAR	DSBGA	YKA	6	12000	182.0	182.0	20.0
TPS628437DRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
TPS628437YKAR	DSBGA	YKA	6	12000	182.0	182.0	20.0
TPS628438DRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
TPS628438YKAR	DSBGA	YKA	6	12000	182.0	182.0	20.0

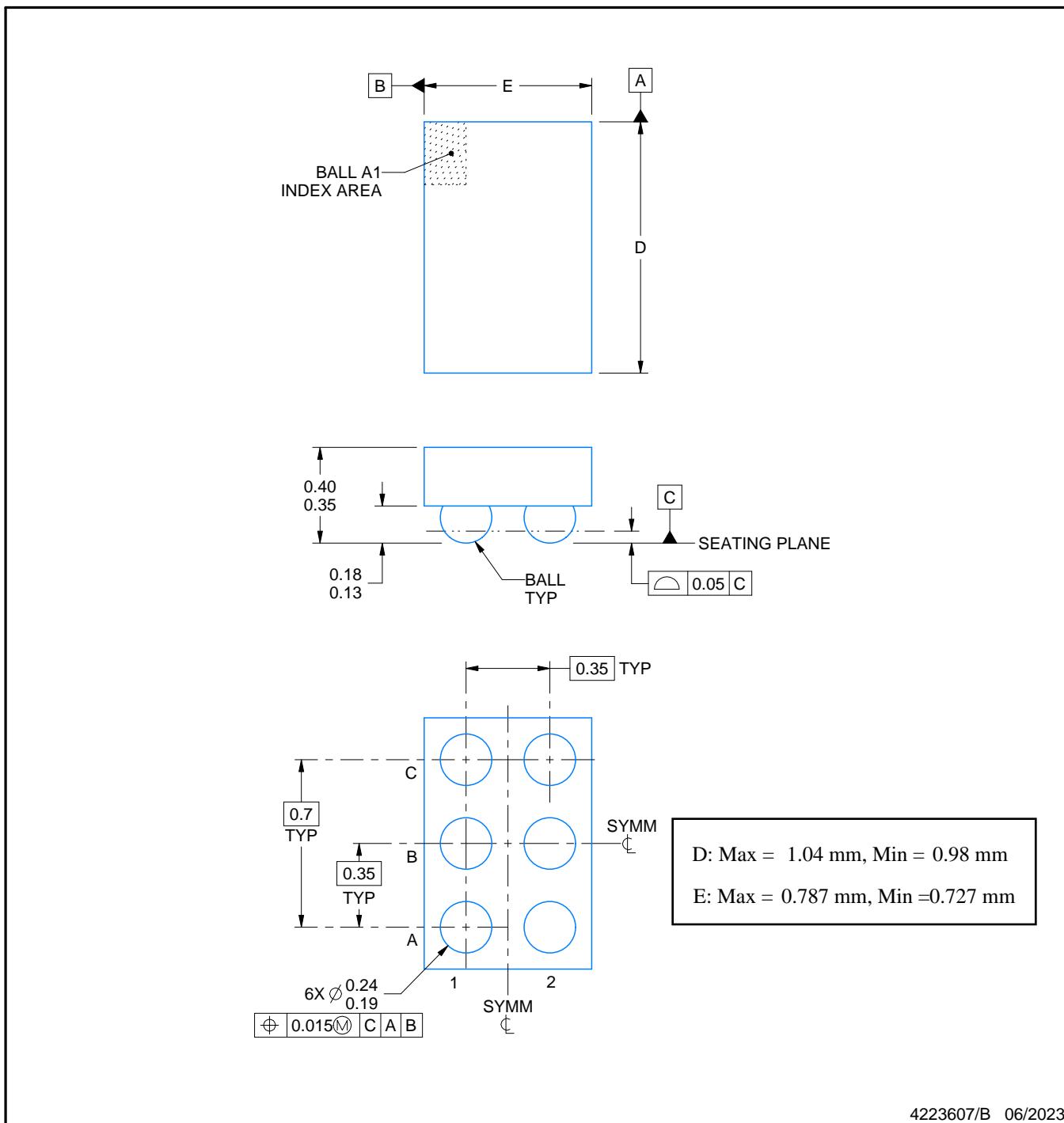
PACKAGE OUTLINE

YKA0006



DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



NOTES:

NanoFree is a trademark of Texas Instruments.

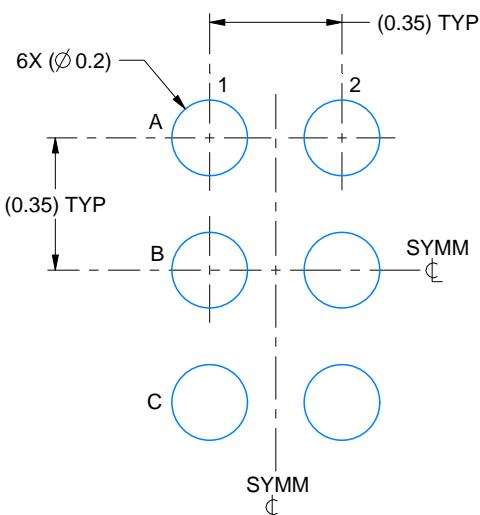
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. NanoFree™ package configuration.

EXAMPLE BOARD LAYOUT

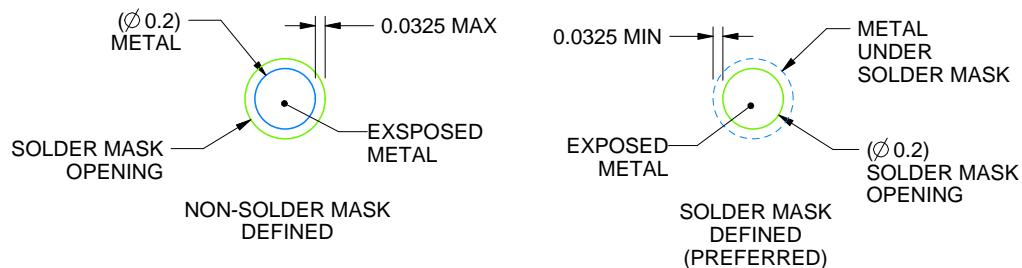
YKA0006

DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:50X



SOLDER MASK DETAILS
NOT TO SCALE

4223607/B 06/2023

NOTES: (continued)

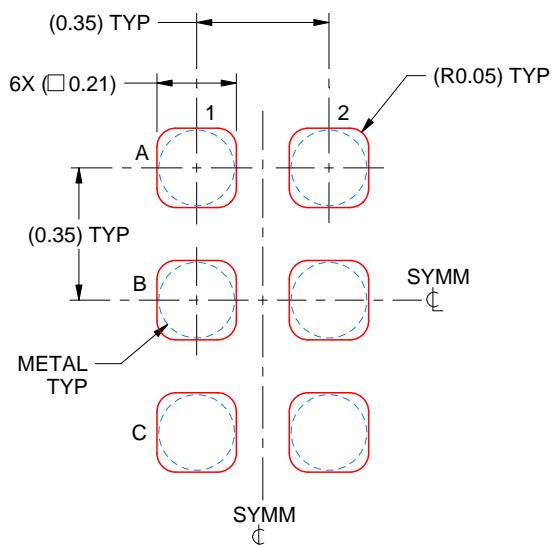
4. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
For more information, see Texas Instruments literature number SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

YKA0006

DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.075 mm - 0.1 mm THICK STENCIL
SCALE:50X

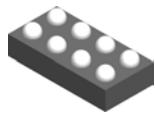
4223607/B 06/2023

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

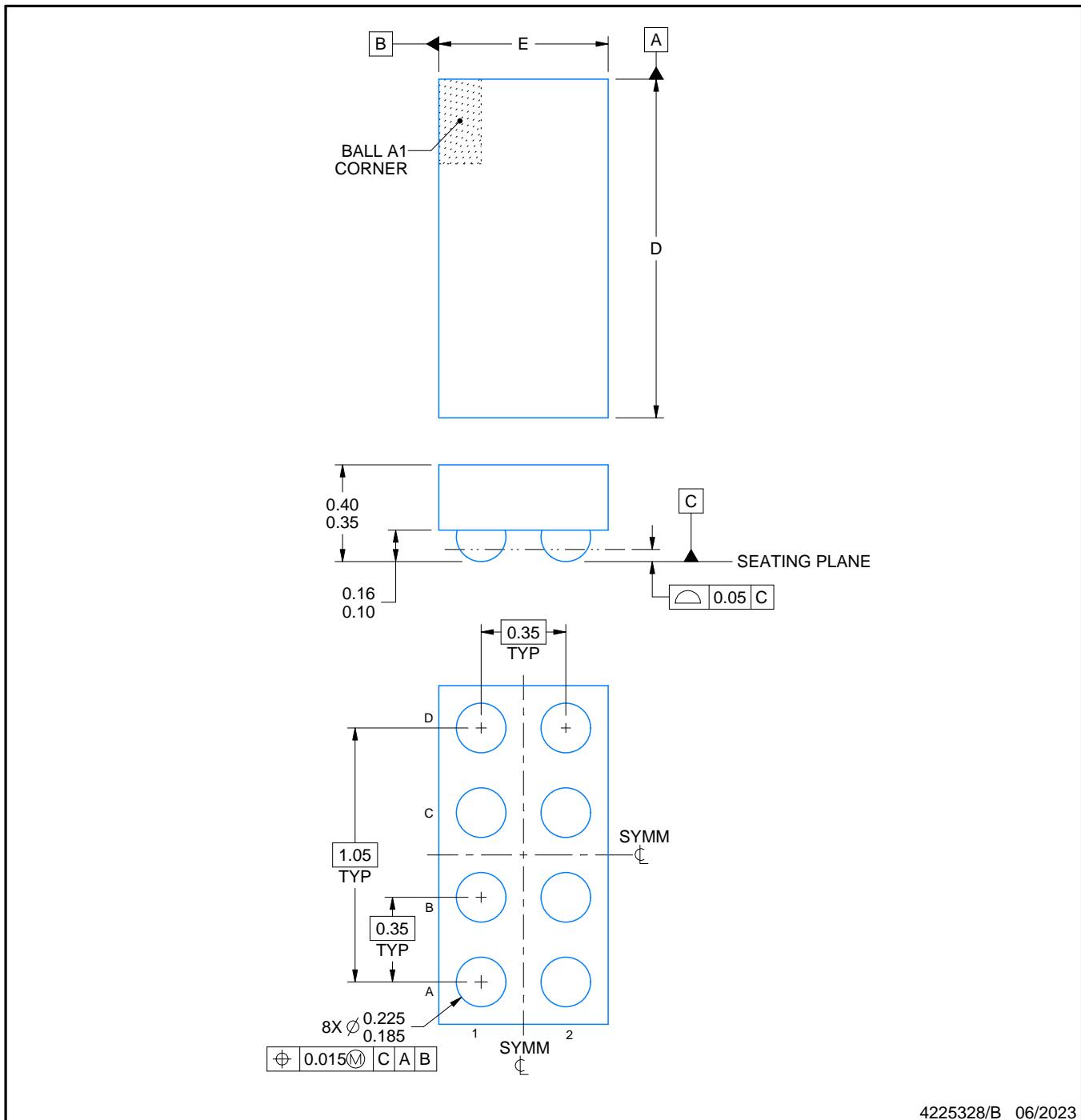
PACKAGE OUTLINE

YCH0008



DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



4225328/B 06/2023

NOTES:

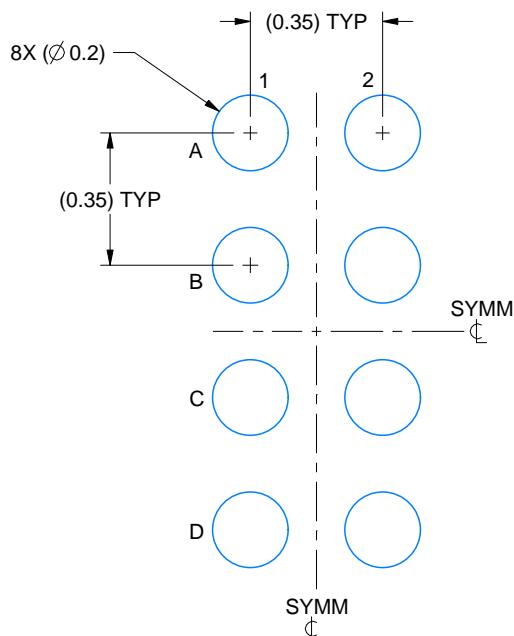
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

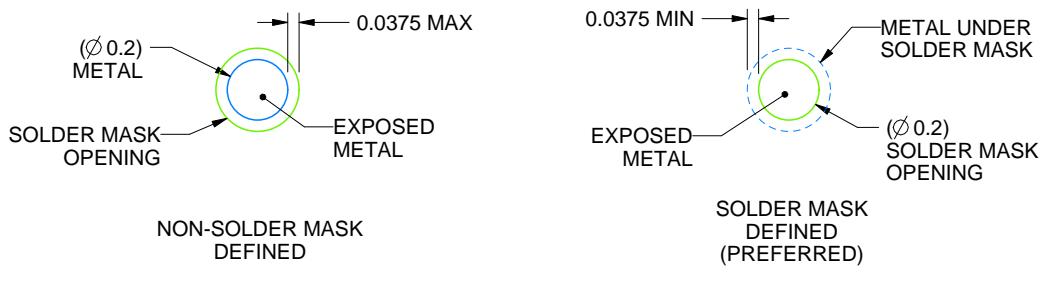
YCH0008

DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 50X



SOLDER MASK DETAILS
NOT TO SCALE

4225328/B 06/2023

NOTES: (continued)

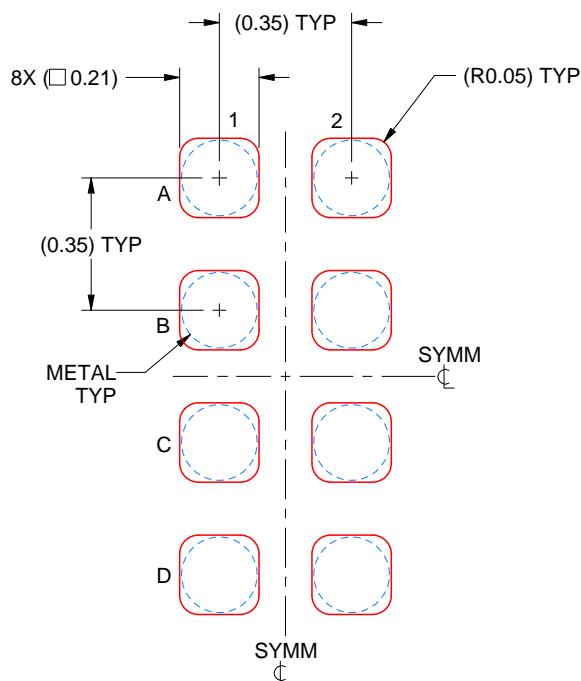
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

YCH0008

DSBGA - 0.4 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.075 mm THICK STENCIL
SCALE: 50X

4225328/B 06/2023

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

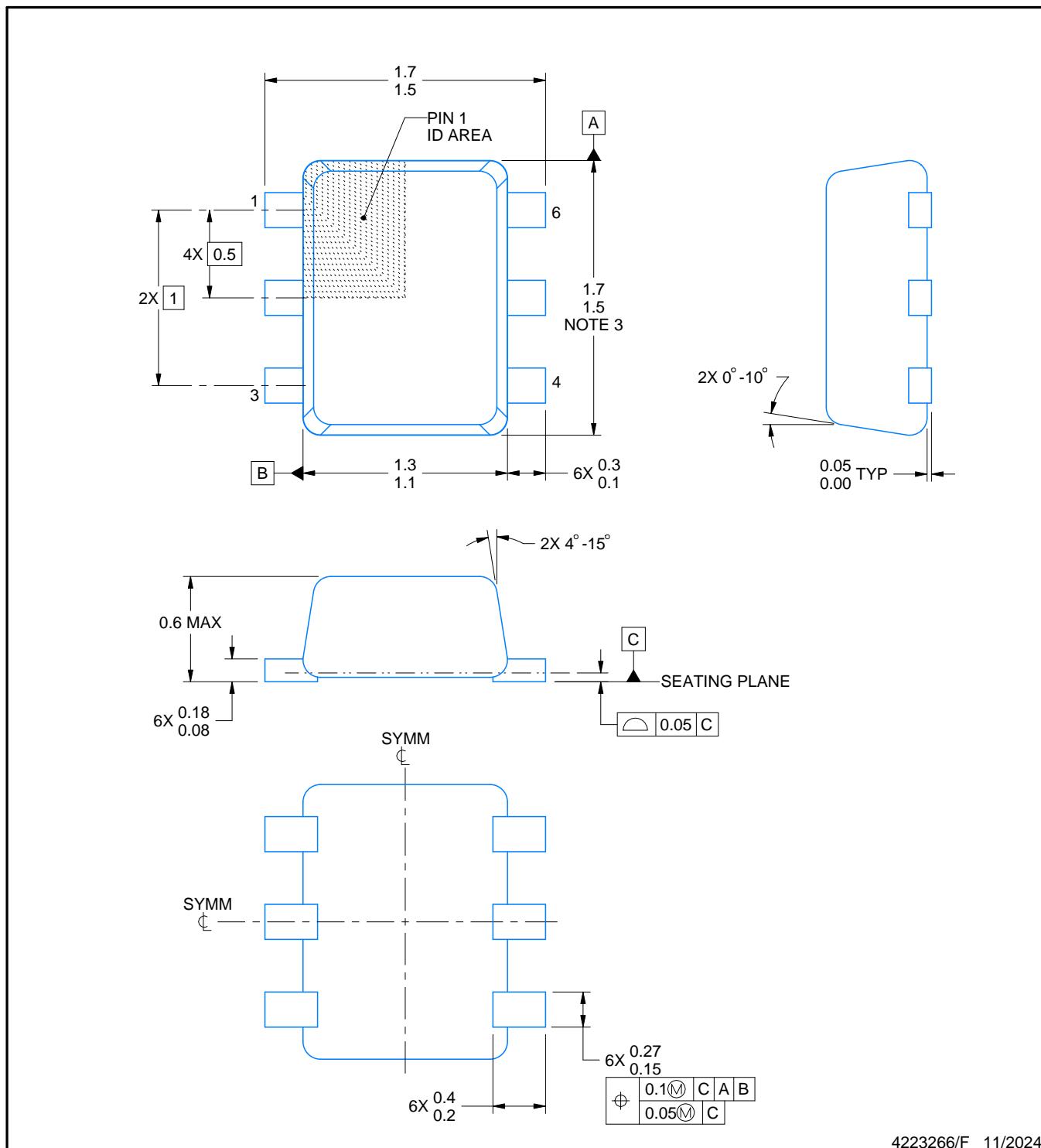
PACKAGE OUTLINE

DRL0006A



SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



4223266/F 11/2024

NOTES:

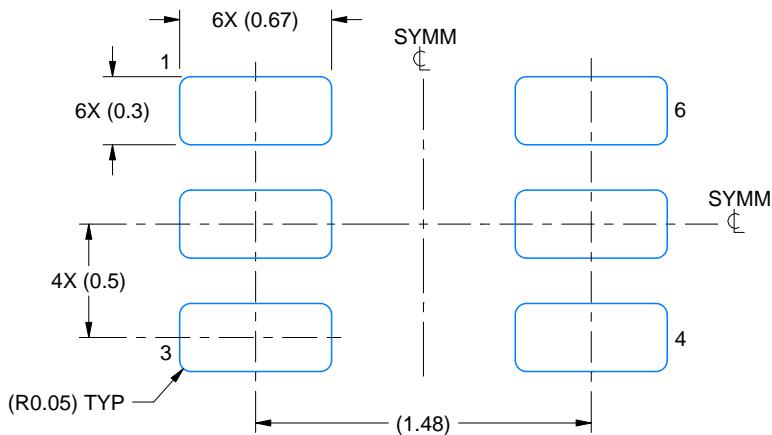
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
 4. Reference JEDEC registration MO-293 Variation UAAD

EXAMPLE BOARD LAYOUT

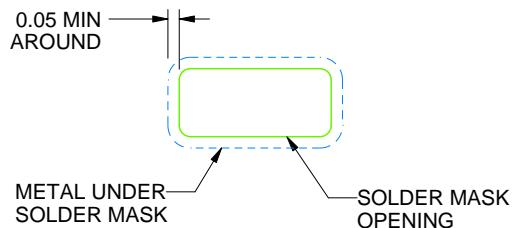
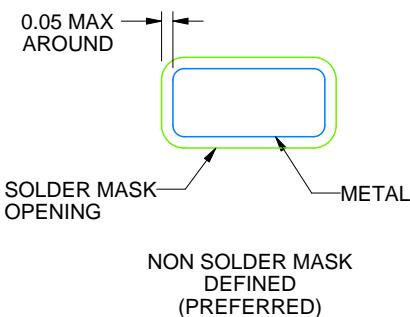
DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:30X



SOLDERMASK DETAILS

4223266/F 11/2024

NOTES: (continued)

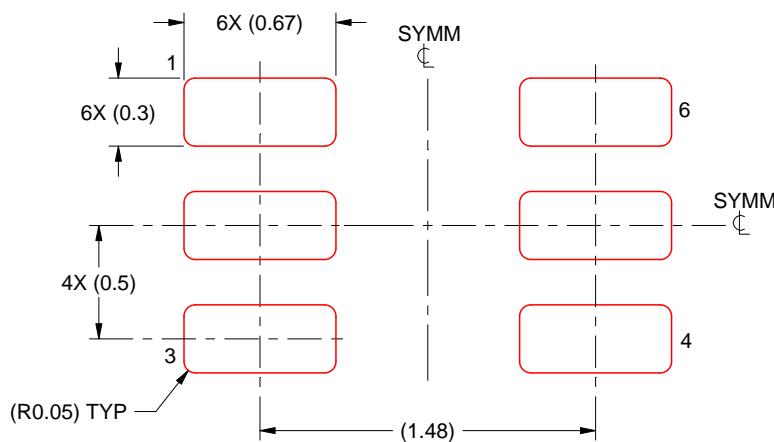
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

EXAMPLE STENCIL DESIGN

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4223266/F 11/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025年10月