

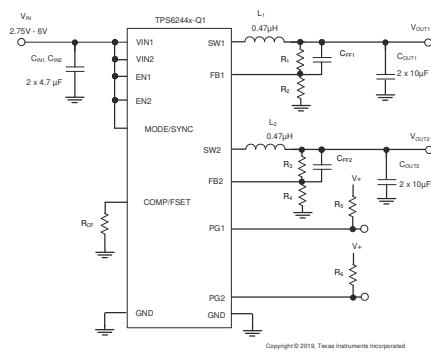
# TPS6244x-Q1 2.75V~6V 周波数調整可能デュアル降圧型コンバータ、QFN パッケージ

## 1 特長

- 車載アプリケーション用に AEC-Q100 認定済み
  - デバイス温度グレード 1:  
 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ ,  $T_A$
- 機能安全対応**
  - 機能安全システムの設計に役立つ資料を利用可能
- 入力電圧範囲: 2.75V~6V
- デュアルチャネル出力、0.6V~5.5V の出力電圧
- 出力電圧精度  $\pm 1\%$  (PWM動作)
- 強制 PWM または PWM/PFM動作
- 1.8MHz~4MHz の調整可能なスイッチング周波数
- 2つの高精度イネーブル入力により以下を実現:
  - ユーザ一定義の低電圧誤動作防止機能
  - 正確なシーケンシング
- ウインドウ・コンパレータによる 2つのパワー・グッド出力
- 180°位相シフト動作
- 100% デューティ・サイクル・モード
- アクティブ出力放電
- スペクトラム拡散クロック供給も可能
- (オプション) ヒカップ過電流保護
- $T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$
- ウェッタブル・フランク付きの 2.3mm × 2.7mm QFN パッケージ

## 2 アプリケーション

- ADAS カメラおよび ADAS センサ・フュージョン
- サラウンド・ビュー ECU
- ハイブリッドおよび再構成可能クラスタ
- インフォテインメント・ヘッド・ユニットおよびデジタル・コックピット
- テレマティクス制御ユニット



回路図

## 3 概要

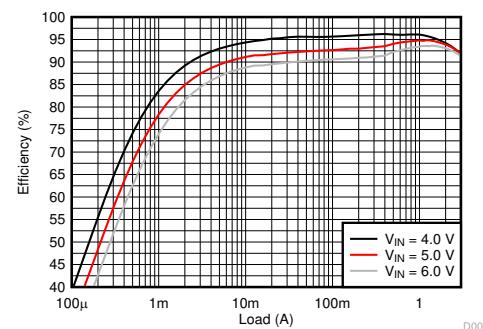
TPS6244x-Q1 は、ピン互換のデュアル 1A、デュアル 2A または 3A / 1A の高効率で使いやすい同期整流降圧 DC/DC コンバータのファミリーです。これらのデバイスは、ピーク電流モードの制御トポロジに基づいています。これらのデバイスは、インフォテインメント、先進運転支援システムなどの車載アプリケーション用に設計されています。抵抗の低いスイッチにより、高い周囲温度でも、最大 3A の連続出力電流、最大 4A の合計出力電流を供給できます。スイッチング周波数は 1.8MHz~4MHz の範囲で外部から変更でき、2MHz~4MHz の外部クロックと同期させることもできます。PWM および PFM モードでは、TPS6244x-Q1 は負荷が軽いときに自動的にパワー・セーブ・モードへ移行するため、負荷範囲全体にわたって高い効率が維持されます。TPS6244x-Q1 は PWM モードで 1% の出力電圧精度を実現しているので、出力電圧精度の高い電源の設計に役立ちます。

TPS6244x-Q1 は可変電圧バージョンとして供給され、VQFN パッケージに搭載されています。

### 製品情報

部品番号	パッケージ <sup>(1)</sup>	本体サイズ(公称)
TPS62441-Q1		
TPS62442-Q1	VQFN-HR	2.30mm × 2.70mm

(1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。



効率と出力電流との関係、 $V_{OUT} = 3.3\text{V}$ 、PWM/PFM、 $f_{SW} = 2.25\text{MHz}$



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあります。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

## 目次

1 特長	1	9.3 機能説明	10
2 アプリケーション	1	9.4 デバイスの機能モード	12
3 概要	1	10 アプリケーションと実装	15
4 改訂履歴	2	10.1 アプリケーション情報	15
5 デバイス比較表	3	10.2 代表的なアプリケーション	17
6 ピン構成および機能	3	11 電源に関する推奨事項	28
7 仕様	4	12 レイアウト	28
7.1 絶対最大定格	4	12.1 レイアウトのガイドライン	28
7.2 ESD 定格	4	12.2 レイアウト例	30
7.3 推奨動作条件	4	13 デバイスおよびドキュメントのサポート	31
7.4 熱に関する情報	5	13.1 デバイス サポート	31
7.5 電気的特性	5	13.2 ドキュメントのサポート	31
7.6 タイミング要件	7	13.3 ドキュメントの更新通知を受け取る方法	31
7.7 代表的特性	7	13.4 サポート・リソース	31
8 パラメータ測定情報	8	13.5 商標	31
8.1 回路図	8	13.6 静電気放電に関する注意事項	31
9 詳細説明	9	13.7 用語集	31
9.1 概要	9	14 メカニカル、パッケージ、および注文情報	31
9.2 機能ブロック図	9		

## 4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (June 2022) to Revision B (July 2022)	Page
• プレビューの注を削除	3

Changes from Revision * (November 2021) to Revision A (June 2022)	Page
• ドキュメントのステータスを「事前情報」から「量産データ」に変更	1

## 5 デバイス比較表

デバイス番号	特長	フォールドバック電流制限	出力電圧
TPS62441QWRQRQ1	2 × 1-A 出力電流 $V_{OUT}$ 放電	OFF	可変
TPS62442QWRQRQ1	2 × 2-A または 3-A および 1-A 出力電流 $V_{OUT}$ 放電	OFF	可変

## 6 ピン構成および機能

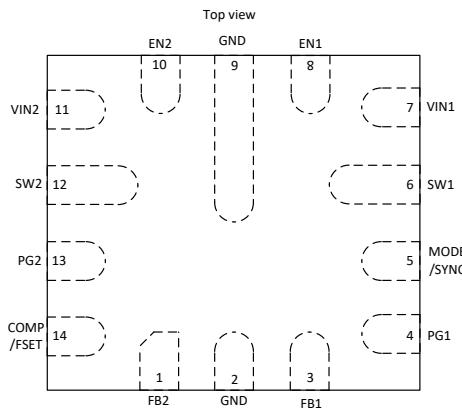


図 6-1. 14 ピン VQFN-HR RQR パッケージ

表 6-1. ピンの機能

ピン	種類 <sup>(1)</sup>	説明
名称	番号	
EN1	8	I このピンはコンバータ 1 のイネーブルピンです。ロジック Low に接続すると、本デバイスは無効化されます。High にプルすると、本デバイスは有効化されます。このピンを未接続のままにしないでください。
EN2	10	I このピンはコンバータ 2 のイネーブルピンです。ロジック Low に接続すると、本デバイスは無効化されます。High にプルすると、本デバイスは有効化されます。このピンを未接続のままにしないでください。
FB1	3	I コンバータ 1 の電圧帰還入力。抵抗分圧器の出力をこのピンに接続します。
FB2	1	I コンバータ 2 の電圧帰還入力。抵抗分圧器の出力をこのピンに接続します。
PG1	4	O コンバレータ 1 のオープンドレイン パワーグッド出力
PG2	13	O コンバレータ 2 のオープンドレイン パワーグッド出力
SW1	6	このピンはコンバータ 1 のスイッチピンであり、内部パワー MOSFET に接続されています。
SW2	12	このピンはコンバータ 2 のスイッチピンであり、内部パワー MOSFET に接続されています。
MODE/SYNC	5	I このピンが low になると、デバイスは PFM および PWM モードで動作します。ピンが high にプルされる場合、デバイスは強制 PWM モードで動作します。このピンを未接続のままにしないでください。モードピンを使用して、デバイスを外部周波数に同期することもできます。外部同期のためにこのピンに適用されるデジタル信号の詳細な仕様については、電気的特性をご覧ください。
COMP/FSET	14	I デバイス補償および周波数設定入力。このピンから GND への抵抗は、外部同期されていない場合は制御ループの補償とスイッキング周波数を定義します。このピンをフローティングのままにしないでください。
VIN1	7	— 電源入力。必ず入力コンデンサを、VIN1 ピンと GND ピンとの間に、本デバイスにできるだけ近づけて接続します。VIN1 を VIN2 に接続します。
VIN2	11	— 電源入力。必ず入力コンデンサを、VIN2 ピンと GND ピンとの間に、本デバイスにできるだけ近づけて接続します。VIN2 を VIN1 に接続します。
GND	2, 9	— グラウンド ピン。GND ピンは内部で接続されています。

(1) I = 入力、O = 出力

## 7 仕様

### 7.1 絶対最大定格

動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		最小値	最大値	単位
ピン電圧 <sup>(2)</sup>	VIN1、VIN2	-0.3	6.5	V
	SW1、SW2 (DC)	-0.3	$V_{IN} + 0.3$	
	SW1、SW2 (AC、10ns 未満) <sup>(3)</sup>	-3	10	
	FB1、FB2	-0.3	4	
	PG1、PG2、COMP/FSET	-0.3	$V_{IN} + 0.3$	
	EN1、EN2、MODE/SYNC	- .3	6.5	
T <sub>stg</sub>	保存温度	-65	150	°C

- (1) 絶対最大定格外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値は、回路のグランドピン GND を基準としたものです。
- (3) スイッチング動作時

### 7.2 ESD 定格

			値	単位
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM)、AEC Q100-002 <sup>(1)</sup> HBM ESD 分類レベル 2 準拠	±2000	V
		デバイス帶電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C6 準拠	±750	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

### 7.3 推奨動作条件

動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V <sub>IN1</sub> 、V <sub>IN2</sub>	入力電圧範囲	2.75	6	6	V
V <sub>OUT1</sub> 、 V <sub>OUT2</sub>	出力電圧範囲	0.6	5.5	5.5	V
L <sub>1</sub> 、L <sub>2</sub>	実効インダクタンス	0.32	0.47	0.9	μH
C <sub>OUT1</sub> 、 C <sub>OUT2</sub>	実効出力キャパシタンス <sup>(1)</sup>	8	10	200	μF
C <sub>IN1</sub> 、C <sub>IN2</sub>	各ピンの実効入力容量 <sup>(1)</sup>		10		μF
R <sub>CF</sub>		4.5	100	100	kΩ
I <sub>SINK_PG</sub>	PG ピンのシンク電流	0	2	2	mA
T <sub>J</sub>	接合部温度	-40	150	150	°C

- (1) 表のすべてのコンデンサに記載されている値は実効容量で、DC バイアス効果も含まれています。セラミックコンデンサの DC バイアス効果により、電圧を印加したときの実効容量は公称値より小さくなります。実効静電容量と印加される DC 電圧との関係については、メーカーの DC バイアス曲線を確認してください。制限が適用される場合があります。出力キャパシタンスと補償設定および出力電圧の関係については、COMP/FSET の機能説明を参照してください。

## 7.4 熱に関する情報

熱評価基準 <sup>(1)</sup>		(JEDEC)	(EVM)	単位
		14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	68.7	53.9	°C/W
$R_{\theta JC(top)}$	接合部からケース(上面)への熱抵抗	50.8	該当なし	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	15.1	該当なし	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ	3.5	1.9	°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ	14.9	20.1	°C/W
$R_{\theta JC(bot)}$	接合部からケース(底面)への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体およびIC パッケージの熱評価基準』アプリケーション レポートを参照してください。

## 7.5 電気的特性

動作接合部温度範囲 ( $T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ ) および  $V_{IN} = 2.75\text{V} \sim 6\text{V}$ 、 $V_{IN} = 5\text{V}$ 、 $T_J = 25^{\circ}\text{C}$  での標準値(特に記載がない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
<b>電源</b>					
$I_Q$	静止時電流  EN1 または EN2 = $V_{IN}$ 、無負荷、デバイスはスイッチングしていない、 $T_J = 25^{\circ}\text{C}$ 、MODE = GND、1 つのコンバータがイネーブル		27		μA
$I_Q$	静止時電流  EN1 または EN2 = $V_{IN}$ 、無負荷、デバイスはスイッチングしていない、MODE = GND、1 つのコンバータがイネーブル		22	66	μA
$I_Q$	静止時電流  EN1 = EN2 = $V_{IN}$ 、無負荷、デバイスはスイッチングしていない、 $T_J = 25^{\circ}\text{C}$ 、MODE = GND、両方のコンバータがイネーブル		38		μA
$I_Q$	静止時電流  EN1 = EN2 = $V_{IN}$ 、無負荷、デバイスはスイッチングしていない、MODE = GND、両方のコンバータがイネーブル		33	80	μA
$I_{SD}$	シャットダウン電流  EN1 = EN2 = low、 $T_J = 25^{\circ}\text{C}$ の場合		2		μA
$I_{SD}$	シャットダウン電流  EN1 = EN2 = GND、 $T_J = 25^{\circ}\text{C}$ での公称値、 $T_J = 150^{\circ}\text{C}$ での最大値		1.5	26	μA
$V_{UVLO}$	低電圧誤動作防止のスレッショルド  $V_{IN}$ 立ち上がり	2.5	2.6	2.75	V
	$V_{IN}$ 立ち下がり	2.3	2.5	2.6	V
$T_{JSD}$	サーマル シャットダウンのスレッショルド  $T_J$ 立ち上がり		170		°C
	サーマル シャットダウンヒステリシス  $T_J$ 立ち下がり		15		°C
<b>制御とインターフェイス</b>					
$V_{EN,IH}$	EN1、EN2 の立ち上がりエッジにおける入力スレッショルド電圧		1.06	1.1	1.15
$V_{EN,IL}$	EN1、EN2 の入力スレッショルド電圧、立ち下がりエッジ		0.96	1.0	1.05
$I_{EN,LKG}$	EN1、EN2 への入力リーク電流	$V_{IH} = V_{IN}$ または $V_{IL} = GND$		450	nA
$V_{IH}$	MODE/SYNC の High レベル入力 – スレッショルド電圧		1.1		V
$V_{IL}$	MODE/SYNC の Low レベル入力スレッショルド電圧			0.3	V
$I_{LKG}$	MODE/SYNC への入力リーク電流			700	nA
$t_{Delay}$	イネーブル遅延時間  ENx が high になってからデバイスのスイッチングが始まるまでの時間。 $V_{IN}$ はすでに印加されている。	110	200	300	μs

## 7.5 電気的特性 (続き)

動作接合部温度範囲 ( $T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ ) および  $V_{IN} = 2.75\text{V} \sim 6\text{V}$ ,  $V_{IN} = 5\text{V}$ ,  $T_J = 25^{\circ}\text{C}$  での標準値 (特に記載がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{Delay}$	1 つのコンバータがすでに有効化されている場合のイネーブル遅延時間	ENx が high になってからデバイスのスイッチングが始まるまでの時間。 $V_{IN}$ はすでに印加されている。	100		$\mu\text{s}$	
$t_{Ramp}$	出力電圧ランプタイム	デバイスがスイッチングを開始してからパワーグッドまでの時間、デバイスが電流制限外にある	0.7	1.1	1.5	ms
$f_{SYNC}$	同期用の MODE/SYNC ピンの周波数範囲			2	4	MHz
	COMP/FSET から GND への抵抗 (ロジック low)	$f = 2.25\text{MHz}$ の内部周波数設定	0	2.5		$\text{k}\Omega$
	ロジック high の COMP/FSET の電圧	$f = 2.25\text{MHz}$ の内部周波数設定	$V_{IN}$		V	
$V_{TH\_PG}$	UVP パワーグッド スレッショルド電圧、DC レベル	立ち上がり (% $V_{FB}$ )	94%	96.5%	99%	
$V_{TH\_PG}$	UVL パワーグッド スレッショルド電圧、DC レベル	立ち下がり (% $V_{FB}$ )	92%	94.5%	97%	
$V_{TH\_PG}$	OVP パワーグッド スレッショルド電圧、DC レベル	立ち上がり (% $V_{FB}$ )	104%	107%	110%	
	OVL パワーグッド スレッショルド電圧、DC レベル	立ち下がり (% $V_{FB}$ )	102%	104.5%	107%	
$V_{PG,OL}$	PG での Low レベル出力電圧	$I_{SINK\_PG} = 2\text{mA}$	0.07		0.3	V
$I_{PG,LKG}$	PG への入力リーク電流	$V_{PG} = 5\text{V}$	100		nA	
$t_{PG}$	PG グリッチ除去時間	パワーグッド出力の high レベルから low レベルへの遷移	40		$\mu\text{s}$	
出力						
$V_{FB1}$ 、 $V_{FB2}$	帰還電圧			0.6	V	
$I_{FB1,LKG}$ 、 $I_{FB2,LKG}$	FB への入力リーク電流	$V_{FB} = 0.6\text{V}$	1	80	nA	
$V_{FB1}$ 、 $V_{FB2}$	帰還電圧精度	PWM、 $V_{IN} \geq V_{OUT} + 1\text{V}$	-1%		1%	
$V_{FB1}$ 、 $V_{FB2}$	帰還電圧精度	PFM、 $V_{IN} \geq V_{OUT} + 1\text{V}$ , $V_{OUT} \geq 1.5\text{V}$ , $C_{o,eff} \geq 22\mu\text{F}$ , $L = 0.47\mu\text{H}$	-1%	2.5%		
$V_{FB1}$ 、 $V_{FB2}$	帰還電圧精度	PFM、 $V_{IN} \geq V_{OUT} + 1\text{V}$ , $1\text{V} \leq V_{OUT} < 1.5\text{V}$ , $C_{o,eff} \geq 47\mu\text{F}$ , $L = 0.47\mu\text{H}$	-1%	2.5%		
	ロードレギュレーション	PWM	0.05		%/A	
	ラインレギュレーション	PWM, $I_{OUT} = 1\text{A}$ , $V_{IN} \geq V_{OUT} + 1\text{V}$	0.02		%/V	
$R_{DIS}$	出力放電抵抗			50	150	$\Omega$
$f_{SW}$	PWM スイッチング周波数範囲	スイッチング周波数の設定については、FSET ピンの機能を参照してください。	1.8	2.25	4	MHz
$f_{SW}$	PWM スイッチング周波数	COMP/FSET を GND または $V_{IN}$ に接続した場合	2.025	2.25	2.475	MHz
$f_{SW}$	PWM スイッチング周波数許容値	COMP/FSET と GND の間に抵抗を使用	-16%		17%	
$t_{on,min}$	ハイサイド FET の最小オン時間	$V_{IN} \geq 3.3\text{V}$	50		75	ns
$t_{on,min}$	ローサイド FET の最小オン時間			30		ns
$R_{DS(ON)}$	ハイサイド FET オン抵抗	$V_{IN} \geq 5\text{V}$	55		100	$\text{m}\Omega$
	ローサイド FET オン抵抗	$V_{IN} \geq 5\text{V}$	25		50	$\text{m}\Omega$
	ハイサイド MOSFET リーク電流	$V_{IN} = 6\text{V}$ , $V_{(SW)} = 0\text{V}$	1		86	$\mu\text{A}$

## 7.5 電気的特性 (続き)

動作接合部温度範囲 ( $T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ ) および  $V_{IN} = 2.75\text{V} \sim 6\text{V}$ 。 $V_{IN} = 5\text{V}$ 、 $T_J = 25^{\circ}\text{C}$  での標準値 (特に記載がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
	ローサイド MOSFET リーク電流	$V_{(SW)} = 6\text{V}$		1	205	$\mu\text{A}$
$I_{LIMH}$	ハイサイド FET スイッチ電流制限値	TPS62442 の場合の DC 値、 $V_{IN} = 3\text{V} \sim 6\text{V}$	3.8	4.7	5.5	A
$I_{LIMH}$	ハイサイド FET スイッチ電流制限値	TPS62441 の場合の DC 値、 $V_{IN} = 3\text{V} \sim 6\text{V}$	2.1	2.6	3.1	A
$I_{LIMNEG}$	ローサイド FET 負電流制限値	DC 値		-1.8		A

## 7.6 タイミング要件

		最小値	公称値	最大値	単位
$f_{(SYNC)}$	同期クロック周波数範囲 (MODE/SYNC)	$f_{sw} + 10\%$	$f_{sw} + 40\%$		MHz
$D_{(SYNC)}$	同期クロック デューティ サイクル範囲 (MODE/SYNC)	45%	55%		

## 7.7 代表的特性

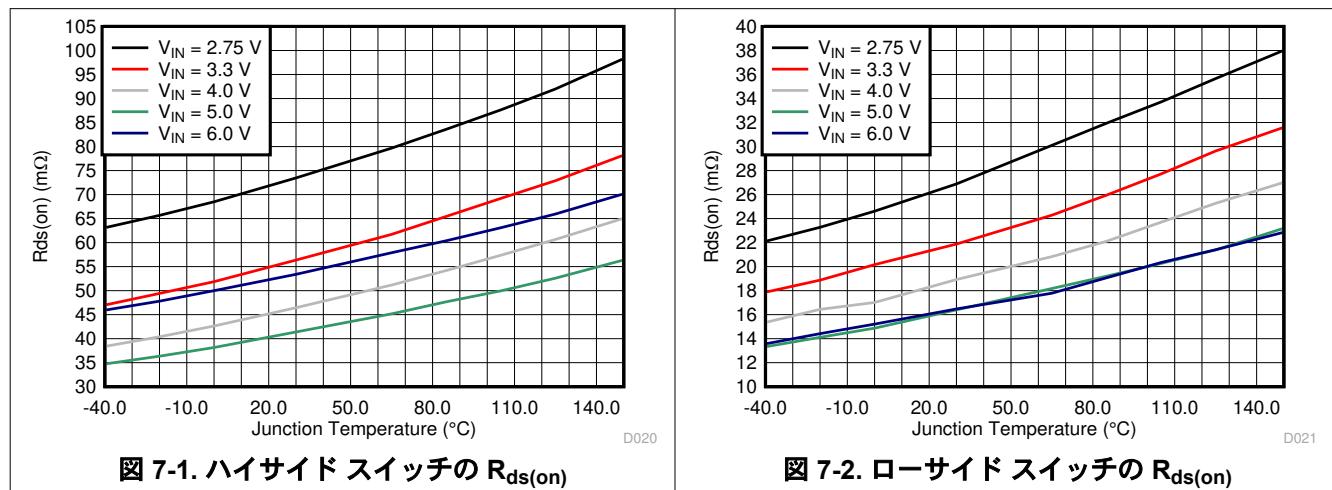


図 7-1. ハイサイド スイッチの  $R_{ds(on)}$

図 7-2. ローサイド スイッチの  $R_{ds(on)}$

## 8 パラメータ測定情報

### 8.1 回路図

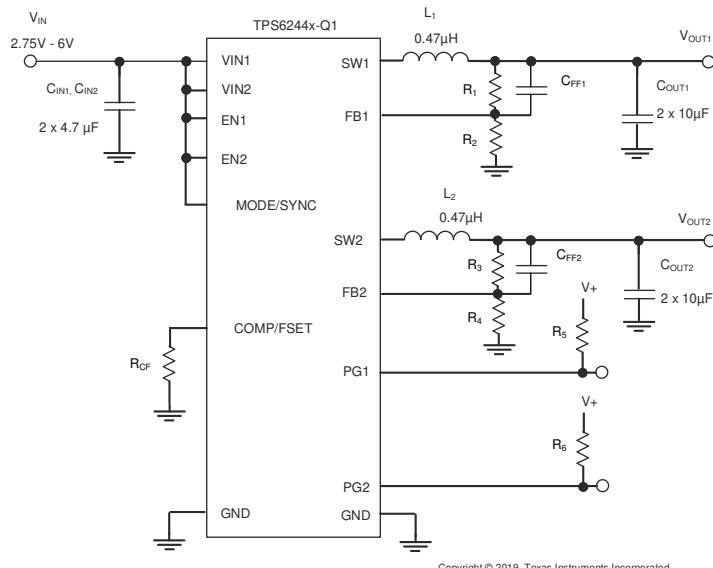


図 8-1. 測定の設定

表 8-1. 部品のリスト

リファレンス	説明	メーカー <sup>(1)</sup>
IC	TPS62442QWRQRQ1	テキサス・インスツルメンツ
L1、L2	2 × 0.47μH インダクタ DFE252012PD-R47M-P2	Murata (村田製作所)
C <sub>IN1</sub> 、C <sub>IN2</sub>	2 × 4.7μF / 6.3V	Murata (村田製作所)
C <sub>OUT1</sub> 、C <sub>OUT2</sub>	2 × 10μF / 6.3V	Murata (村田製作所)
R <sub>CF</sub>	8.06kΩ	任意
C <sub>FF1</sub> 、C <sub>FF2</sub>	10pF	任意
R <sub>1</sub>	V <sub>OUT</sub> に依存	任意
R <sub>2</sub>	V <sub>OUT</sub> に依存	任意
R <sub>3</sub>	V <sub>OUT</sub> に依存	任意
R <sub>4</sub>	V <sub>OUT</sub> に依存	任意
R <sub>5</sub> 、R <sub>6</sub>	100kΩ	任意

(1) 「サード パーティー製品に関する免責事項」をご覧ください。

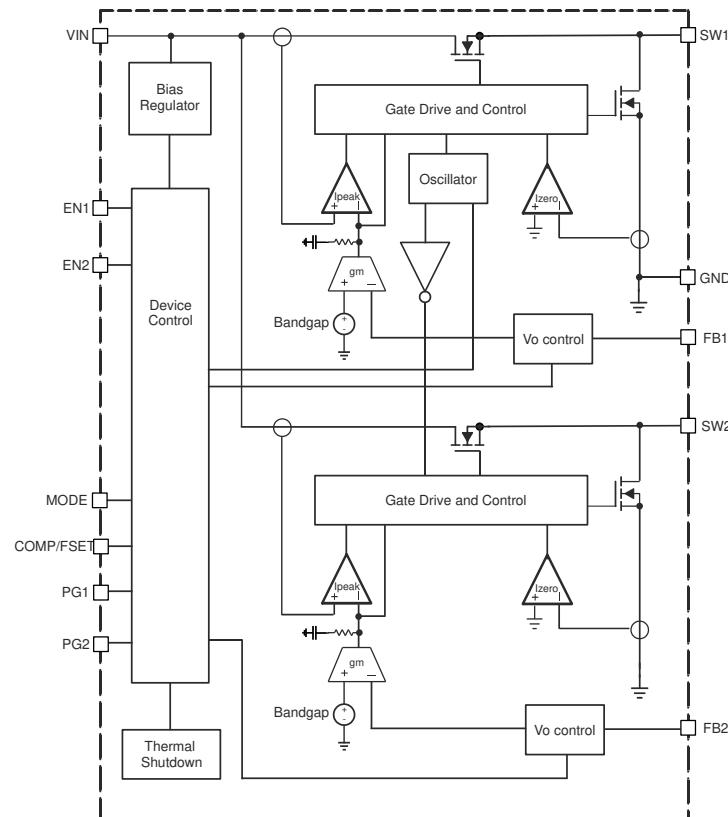
## 9 詳細説明

### 9.1 概要

TPS6244x-Q1 同期整流モード パワー コンバータは、ピーク電流モード制御トポロジに基づいています。制御ループは内部的に補償されます。TPS6244x-Q1 で使用できる広範囲の出力容量に対して制御ループの帯域幅を最適化するために、内部補償には 2 つの設定があります。セクション 9.3.2 を参照してください。2 つの補償設定のうち 1 つは、COMP/FSET から GND への抵抗、またはこのピンの論理状態によって選択されます。調整ネットワークは、小型の外付け部品と低 ESR セラミック出力コンデンサを使用して、高速で安定した動作を実現します。デバイスは出力電圧分割器にフィードフォワード コンデンサがなくても動作できますが、通常 10pF のフィードフォワード コンデンサを使用すると過渡応答が改善されます。

これらのデバイスは、MODE ピンをロジック high レベルに接続することで、強制固定周波数 PWM 動作をサポートします。周波数は、COMP/FSET が GND または VIN に接続されている場合は内部で固定された 2.25MHz として定義されるか、COMP/FSET から GND への抵抗によって定義される 1.8MHz ~ 4MHz の範囲として定義されます。あるいは、デバイスは、追加の受動部品を必要とせずに、MODE ピンに適用される 2MHz ~ 4MHz の範囲の外部クロック信号に同期できます。外部同期は、COMP/FSET から GND に抵抗がある場合にのみ使用できます。COMP/FSET が GND または VIN に直接接続されていると、TPS6244x-Q1 は外部で同期させることはできません。TPS6244x-Q1 により、動作中に内部クロックから外部クロックへ切り替えることが可能です。MODE ピンが論理ローレベルに設定されている場合、デバイスは低出力電流で省電力モード (PFM) で動作し、高出力電流で自動的に固定周波数 PWM モードに移行します。PFM モードでは、スイッチング周波数が負荷に基づいて直線的に減少し、非常に低い出力電流まで高い効率を維持します。コンバータが PFM 動作から PWM 動作に切り替わると、1 クロック サイクルの最大遅延が発生する可能性があります。この場合、180 度の位相シフトを実現するために、コンバータが他のコンバータと同期する必要があるからです。

### 9.2 機能ブロック図



## 9.3 機能説明

### 9.3.1 高精度イネーブル (EN)

EN1 と EN2 に印加される電圧は、立ち上がり電圧における 1.1-V 固定スレッショルドと比較されるため、ユーザーはゆっくり変化する電圧でピンを駆動でき、また、外部 RC ネットワークを使ってパワーアップ遅延を実現できます。

高精度のイネーブル入力を使うと、EN1 および EN2 の入力に抵抗デバイダを追加することで、低電圧誤動作防止機能を設定できます。

イネーブル入力の立ち下がりエッジに対するしきい値は、立ち上がりエッジのしきい値よりも通常 100mV 低く設定されています。イネーブル入力が立ち上がりスレッショルドを上回ると、TPS6244x-Q1 は動作を開始します。正しく動作させるには、インーブル (EN) ピンを終端し、フローティング状態のままにしないようにします。イネーブル ピンを low にすると、デバイスはシャットダウン状態になり、その際のシャットダウン電流は通常 1.5μA 程度です。このモードでは、内部のハイサイドおよびローサイド MOSFET がターンオフし、内部制御回路全体がオフになります。

イネーブル遅延時間は、EN1 または EN2 が High になってからコンバータがスイッチングを開始するまでの時間に定義します。最初にコンバータがイネーブルになり、内部バンドギャップが起動し、バイアス電流と構成ビットが読み取られるため、この操作がすでに完了しているときには、そのスタートアップ遅延時間はコンバータがイネーブルになるまでよりも長くなります。

### 9.3.2 COMP/FSET

このピンで、3 つの異なるパラメータを設定できます：

- 制御ループの内部補償設定 (2 つの設定が利用可能)
- PWM モードにおけるスイッチング周波数 (1.8MHz~4MHz)
- スペクトラム拡散クロック (SSC) の有効化と無効化

COMP/FSET から GND への抵抗により、補償とスイッチング周波数が変更されます。補償を変更することで、ユーザーはデバイスをさまざまな出力容量値に適合させることができます。ピンの寄生容量を最小限に抑えるには、抵抗器をピンの近くに配置します。補償設定はコンバータの起動時にサンプリングされるため、動作中の抵抗器の変化はスイッチング周波数にのみ影響し、補償には影響しません。

外部コンポーネントを節約するために、ピンを VIN または GND に直接接続して、事前定義された設定を設定することもできます。ピンをフローティングのままにしないでください。

最小オン時間と最小オフ時間の仕様を満たすには、入力電圧と出力電圧に基づいてスイッチング周波数を選択する必要があります。

例:  $V_{IN} = 5V$ ,  $V_{OUT} = 1V \rightarrow$  デューティサイクル =  $1V/5V = 0.2$

- $\rightarrow t_{on,min} = 1/fs \times 0.2$
- $\rightarrow f_{sw,max} = 1/t_{on,min} \times 0.2 = 1/0.075\mu s \times 0.2 = 2.67MHz$

補償範囲は、使用する最小容量に基づいて選択する必要があります。静電容量は、表 9-1 で指定されている最小値から、両方の補償範囲で最大 200μF の実効静電容量まで増やせます。動作中に出力の静電容量が変化する場合は、たとえば負荷スイッチを使用して回路の一部を接続または切断する場合、出力の最小静電容量に合わせて補償を選択する必要があります。出力容量が大きい場合、最適な負荷過渡応答を得るには、その大きな容量に基づいて補償を行う必要があります。大きな出力容量を補償するが、出力に少ない容量を配置すると、不安定になる可能性があります。

異なる補償設定のスイッチング周波数は、次の式によって決まります。

補償 (comp) 設定 1 の場合、スペクトラム拡散クロック (SSC) が無効になります。

$$R_{CF} (k\Omega) = \frac{18 \text{ MHz} \times k\Omega}{fs (\text{MHz})} - 0.18 \text{ k} \quad (1)$$

補償 (comp) 設定 1 の場合、スペクトラム拡散クロック (SSC) が有効になります。

$$R_{CF} (\text{k}\Omega) = \frac{60 \text{ MHz} \times \text{k}\Omega}{f_s (\text{MHz})} - 0.6 \text{ k} \quad (2)$$

補償 (comp) 設定 2 の場合、スペクトラム拡散クロック (SSC) が無効になります。

$$R_{CF} (\text{k}\Omega) = \frac{180 \text{ MHz} \times \text{k}\Omega}{f_s (\text{MHz})} - 1.8 \text{ k} \quad (3)$$

**表 9-1. スイッチング周波数、補償、およびスペクトラム拡散クロック**

$R_{CF}$	補償	スイッチング周波数	$V_{OUT} < 1\text{V}$ のときの最小出力容量	$V_{OUT} < 3.3\text{V}$ のときの最小出力容量	$V_{OUT} \geq 3.3\text{V}$ のときの最小出力容量
10k $\Omega$ , 4.5k $\Omega$	最小出力容量 (comp 設定 1) SSC 無効の場合	1.8MHz (10k $\Omega$ ) 式 1 に従って 4MHz (4.5k $\Omega$ )	11 $\mu\text{F}$	7 $\mu\text{F}$	5 $\mu\text{F}$
33k $\Omega$ , 18k $\Omega$	最小出力容量 (comp 設定 1) SSC 有効の場合	1.8MHz (33k $\Omega$ ) 式 2 に従って 4MHz (18k $\Omega$ )	11 $\mu\text{F}$	7 $\mu\text{F}$	5 $\mu\text{F}$
100k $\Omega$ , 45k $\Omega$	最良の過渡応答 (大きな出力容量) を得るには (comp 設定 2) SSC 無効の場合	式 3 に従う 1.8MHz (100k $\Omega$ ) 4MHz (45k $\Omega$ )	30 $\mu\text{F}$	18 $\mu\text{F}$	15 $\mu\text{F}$
GND に接続	最小出力容量 (comp 設定 1) SSC 無効の場合	2.25MHz は内部固定	11 $\mu\text{F}$	7 $\mu\text{F}$	5 $\mu\text{F}$
$V_{IN}$ に接続	最良の過渡応答 (大きな出力容量) を得るには (comp 設定 2) SSC 有効の場合	2.25MHz は内部固定	30 $\mu\text{F}$	18 $\mu\text{F}$	15 $\mu\text{F}$

出力電圧に応じた必要な出力容量の詳細については、セクション 10.1.2.2.2 を参照してください。

$R_{CF}$  の抵抗値が大きすぎると、「 $V_{IN}$  に接続」としてデコードされます。最小範囲未満の値は「GND に接続」としてデコードされます。表 9-1 の最小出力容量は、デバイスの出力に近いコンデンサ用です。容量が分布している場合は、より小さな補償設定が必要になる可能性があります。

### 9.3.3 MODE/SYNC

MODE/SYNC が low に設定されている場合、デバイスは出力電流に応じて PWM モードまたは PFM モードで動作します。MODE/SYNC ピンを使って high に設定すると、ユーザーは PWM モードを強制的に設定できます。また、このピンを使用すると、ユーザーは外部同期の目的で 2MHz ~ 4MHz の周波数範囲にある外部クロックを印加することもできます。COMP/FSET と同様、外部周波数を設定するときは、最小オン時間および最小オフ時間の仕様を確認する必要があります。MODE/SYNC ピンに印加される外部同期周波数は、 $R_{CF}$  によって設定された公称内部スイッチング周波数 (式 1 から 式 3 で計算) よりも 10% ~ 40% 高くする必要があります。これにより、外部クロックが故障した場合でも、コンバータは補償設定がまだ有効な範囲内で内部スイッチング周波数を使って通常の動作を継続できます。COMP/FSET 端子と GND 間に抵抗がなく、このピンが High または Low にプルされている場合、外部同期はできません。デバイスが外部同期されている場合、両方のコンバータは強制的にそのクロック周波数で動作し、180° の位相関係を維持します。外部クロックで動作している間、内部で生成されるスペクトラム拡散クロックはオフになります。

### 9.3.4 スペクトラム拡散クロック処理(SSC)

このデバイスは、オプションとしてスペクトラム拡散クロックを提供します。SSC がイネーブルのとき、内部クロックを使用して PWM モードでは、スイッチング周波数が三角波で変調されます。周波数変動は通常、公称スイッチング周波数と、 $R_{CF}$  によって設定された公称スイッチング周波数を上回る最大 20% の間で発生します。MODE/SYNC ピンにクロック信号を適用してデバイスを外部同期すると、TPS6244x-Q1 は外部クロックに従い、内部のスペクトラム拡散ブロックはオフになります。ソフトスタート中および PFM モードの間は SSC も無効になります。

### 9.3.5 低電圧誤動作防止(UVLO)

入力電圧が低下した場合、低電圧誤動作防止機能が両方のパワー FET をオフにすることで、本デバイスの誤動作を防止します。本デバイスは、立ち上がり UVLO スレッショルドを上回る電圧では完全に動作し、電源電圧低下スレッショルドを入力電圧が下回ると、オフになります。

### 9.3.6 パワーグッド出力(PG)

パワーグッドは、ウインドウコンバータによって駆動されるオープンドレイン出力です。デバイスが次の状態のとき、PG は Low に保持されます。

- デイセーブル
- 低電圧ロックアウト
- サーマルシャットダウン
- ソフトスタート

したがって、出力電圧が制御されている場合、電気的特性で定義されたウインドウ内では、出力はハイインピーダンスになります。

**表 9-2. PG のステータス**

EN	デバイスステータス	PG 状態
X	$V_{IN} < 2V$	未定義
低	$V_{IN} \geq 2V$	低
high	$2V \leq V_{IN} \leq UVLO$ またはサーマルシャットダウン中、または $V_{OUT}$ が規定範囲外、またはデバイスがソフトスタート中	低
high	制御された $V_{OUT}$	ハイインピーダンス

### 9.3.7 サーマルシャットダウン

本デバイスの接合部温度  $T_J$  は内蔵の温度センサによって監視されています。 $T_J$  が  $170^{\circ}\text{C}$  (標準) を超えると、デバイスはサーマルシャットダウン状態になります。両方のコンバータのハイサイドとローサイドの両方のパワー FET がターンオフし、PG が Low に遷移します。 $T_J$  がヒステリシスである標準がヒステリシスである標準  $20^{\circ}\text{C}$  以下に低下すると、コンバータはソフトスタートを発端に、通常動作に復帰します。両方のコンバータが PFM 一時停止中の場合、サーマルシャットダウンはアクティブではありません。PFM 動作の休止後、デバイスが接合部温度の上昇を検出するまでに最大 9μs かかります。PFM バーストがこの遅延時間より短い場合、デバイスは接合部温度の過熱を検出できません。1つのコンバータが PWM 状態である限り、サーマルシャットダウンは常にアクティブです。

## 9.4 デバイスの機能モード

### 9.4.1 パルス幅変調(PWM)動作

TPS6244x-Q1 には 2 つの動作モードがあります。強制 PWM モード (このセクションで説明) と PWM および PFM (セクション 9.4.2 で説明)。

MODE/SYNC ピンが high に設定されているとき、TPS6244x-Q1 は連続導通モード (CCM) のパルス幅変調で動作します。スイッチング周波数は、COMP ピンと GND の間の抵抗、または MODE/SYNC ピンに印加される外部クロック信号によって定義されます。MODE/SYNC に外部クロックが印加されている場合、TPS6244x-Q1 はピンに印加された周波数に追従します。ただし、最小オン時間を考慮して、周波数はデバイスが動作できる範囲内である必要があります。

#### 9.4.2 パワーセーブ モード動作(PWM および PFM)

MODE/SYNC ピンが low の場合、省電力モードが許可されます。ピーク インダクタ電流が約 0.8A の PFM しきい値を超えてる限り、デバイスは PWM モードで動作します。ピークインダクタ電流が PFM スレッショルドを下回ると、デバイスはスイッチングパルスをスキップし始めます。パワーセーブ モードでは、スイッチング周波数は負荷電流に応じて低下し、高い効率を維持します。

#### 9.4.3 100% デューティ サイクルでの動作

PWM モードで動作する降圧コンバータのデューティ サイクルは、 $D = V_{OUT} / V_{IN}$  で与えられます。入力電圧が出力電圧に近づき、オフ時間が短くなると、デューティ サイクルは増加します。30ns (標準値) の最小オフ時間に達すると、TPS6244x-Q1 は、100% モードに近付きながら、スイッチングサイクルをスキップします。100% モードでは、ハイサイドスイッチが連続的にオン状態のままになります。出力電圧がターゲット値を下回っている限り、ハイサイド スイッチはターンオンされたままになります。100% モードでは、ローサイド スイッチがオフになります。100% モードでの最大ドロップアウト電圧は、ハイサイド スイッチのオン抵抗とインダクタの直列抵抗および負荷電流の積です。

#### 9.4.4 電流制限と短絡保護

TPS6244x-Q1 は、過負荷および短絡イベントに対して保護されています。電流制限中、コンバータは固定周波数ではスイッチングしません。コンバータが電流制限状態を終了すると、コンバータは固定周波数動作を再開します。インダクタ電流が電流制限値 ( $I_{LIMH}$ ) を上回ると、インダクタ電流を減少させるため、ハイサイド スイッチがオフになり、ローサイド スイッチがオンになります。ローサイド スイッチの電流がローサイドの電流制限値を下回った場合にのみ、ハイサイド スイッチが再度オンになります。その結果、ハイサイド電流制限値とローサイド電流制限値の間にバーストまたは単一のパルスが発生する可能性があります。内部伝搬遅延が原因で、実際の電流が静的電流制限値を上回ることがあります。動的な電流制限値は、次のように与えられます。

$$I_{peak(typ)} = I_{LIMH} + \frac{V_L}{L} \cdot t_{PD} \quad (4)$$

ここで、

- $I_{LIMH}$  は、電気的特性に規定されている静的電流制限値です。
- $L$  は、ピーク電流時の実効インダクタンス。
- $V_L$  は、インダクタの両端の電圧 ( $V_{IN} - V_{OUT}$ )。
- $t_{PD}$  は、50ns (標準値) の内部伝搬遅延。

特に、入力電圧が高く、かつ使用しているインダクタンスが非常に小さい場合、電流が静的制限値を上回ることがあります。ハイサイド スイッチの動的ピーク電流は、次のように計算できます。

$$I_{peak(typ)} = I_{LIMH} + \frac{V_{IN} - V_{OUT}}{L} \cdot 50ns \quad (5)$$

#### 9.4.5 フォールドバック電流制限と短絡保護

フォールドバック電流制限および短絡保護は、フォールドバック電流制限が有効になっているデバイスに対して有効です。

TPS6244x-Q1 は、1024 を超える後続のスイッチング サイクルにわたって電流制限を検出すると、電流制限を公称値から通常 1.3A (TPS62441-Q1) および 1.45A (TPS62442-Q1) に減らします。電流制限表示が解消すると、フォールドバック電流制限が維持されます。デバイスの動作が電流制限内で継続する場合、デバイスは 3072 スイッチング サイクル後に、1024 スイッチング サイクルにわたって完全な電流制限を試行できます。

#### 9.4.6 出力放電

放電機能の目的は、本デバイスが (イネーブル入力によって) 無効化されつつある際に出力電圧の設定されたダウンランプを確保することだけでなく、本デバイスがターンオフした際に出力電圧を約 0V に維持することです。出力放電機能は、

電源電圧が印加されてから、TPS6244x-Q1 が少なくとも 1 回 (イネーブル入力によって) 有効化された後にのみ機能します。本デバイスが無効化された場合、サーマル シャットダウンが作動した場合、低電圧誤動作防止が作動した場合のいずれかに、放電機能は即座に有効化されます。放電機能がアクティブに維持されるために必要な最小電源電圧は通常 2V です。電流制限またはフォールドバック電流制限イベント中は、出力放電がアクティブになりません。

#### 9.4.7 ソフトスタート

内部のソフトスタート回路によって起動時の出力電圧の勾配を制御することで、過剰な突入電流を防止し、出力電圧の立ち上がり時間を確実に制御します。また、インピーダンスが高い電源またはバッテリによる望ましくない電圧低下も防止できます。EN1 と EN2 が High に設定されると、デバイスは  $t_{Delay}$  後にスイッチングを開始します。出力電圧は、 $t_{Ramp.}$  で定義されるスロープで上昇します。

## 10 アプリケーションと実装

---

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 10.1 アプリケーション情報

#### 10.1.1 出力電圧の設定

TPS6244x-Q1 の出力電圧は可変です。デバイスは、VOUT から GND への抵抗分圧回路を使って、0.6V から 5.5V まで任意に設定できます。FB ピンの電圧は 600mV にレギュレートされています。式 6 から、抵抗分圧器の選択によって出力電圧の値が設定されます。6μA 以上の電流を許容できる抵抗値を選択することを推奨します。これは、R<sub>2</sub> の値が 100kΩ を超えないことを意味します。設計の精度と信頼性を高めるため、より小さい抵抗値を推奨します。

$$R_1 = R_2 \cdot \left( \frac{V_{OUT}}{V_{FB}} - 1 \right) \quad (6)$$

#### 10.1.2 外付け部品の選択

##### 10.1.2.1 インダクタの選択

TPS6244x-Q1 ファミリは、スイッチング周波数が標準 2.25MHz の公称 0.47μH インダクタ用に設計されています。インダクタ電流リップルを低減するためにより大きな値も使えますが、効率と過渡応答に悪影響を及ぼす可能性があります。0.47μH より小さい値は、低出力電流または無出力電流時の強制 PWM モードでのより大きな負のインダクタ電流の原因となる大きなインダクタ電流リップルを引き起します。公称スイッチング周波数が高い、または低い場合は、それに応じてインダクタンスを変更する必要があります。

インダクタの選択は、以下のようないくつかの効果に影響されます。

- インダクタのリップル電流
- 出力リップル電圧
- PWM から PFM への遷移点
- 効率

また、選択されたインダクタは、適切な飽和電流と DC 抵抗 (DCR) の定格を満たしている必要があります。式 7 を使って、最大インダクタ電流を計算できます。

$$I_{L(max)} = I_{OUT(max)} + \frac{\Delta I_{L(max)}}{2} \quad (7)$$

$$\Delta I_{L(max)} = \frac{V_{OUT} \cdot \left( 1 - \frac{V_{OUT}}{V_{IN}} \right)}{L_{min}} \cdot \frac{1}{f_{sw}} \quad (8)$$

ここで、

- I<sub>L(max)</sub> はインダクタ電流の最大値です。
- ΔI<sub>L(max)</sub> は、ピークツーピーク インダクタリップル電流です。
- L<sub>min</sub> は動作ポイントにおける最小インダクタンスです。

表 10-1. 代表的なインダクタ

タイプ	インダクタンス [ $\mu\text{H}$ ]	電流 [A] <sup>(1)</sup>	デバイス用	公称スイッチング周波数	寸法 [L × W × H (mm)]	メーカー <sup>(2)</sup>
XEL3520-801ME	0.80 $\mu\text{H}$ , ±20%	2.0	TPS62441-Q1	2.25MHz	3.5 × 3.2 × 2.0	Coilcraft
XEL3520-561ME	0.56 $\mu\text{H}$ , ±20%	2.4	TPS62441-Q1	2.25MHz	3.5 × 3.2 × 2.0	Coilcraft
XEL3515-561ME	0.56 $\mu\text{H}$ , ±20%	4.5	TPS62442-Q1	2.25MHz	3.5 × 3.2 × 1.5	Coilcraft
XFL3012-681ME	0.68 $\mu\text{H}$ , ±20%	2.1	TPS62441-Q1	2.25MHz	3.0 × 3.0 × 1.2	Coilcraft
XPL2010-681ML	0.68 $\mu\text{H}$ , ±20%	1.5	TPS62441-Q1	2.25MHz	2 × 1.9 × 1	Coilcraft
DFE252012PD-R68M	0.68 $\mu\text{H}$ , ±20%	データシートを参照	TPS62442-Q1	2.25MHz	2.5 × 2 × 1.2	Murata (村田製作所)
DFE252012PD-R47M	0.47 $\mu\text{H}$ , ±20%	データシートを参照	TPS62442-Q1	2.25MHz	2.5 × 2 × 1.2	Murata (村田製作所)
DFE201612PD-R68M	0.68 $\mu\text{H}$ , ±20%	データシートを参照	TPS62441-Q1	2.25MHz	2 × 1.6 × 1.2	Murata (村田製作所)
DFE201612PD-R47M	0.47 $\mu\text{H}$ , ±20%	データシートを参照	TPS62442-Q1	2.25MHz	2 × 1.6 × 1.2	Murata (村田製作所)

(1)  $I_{\text{RMS}}$  (20°C上昇時)と $I_{\text{SAT}}$  (20%低下時)の小さい方。(2) 「[サードパーティ製品に関する免責事項](#)」をご覧ください。

実際の動作条件を使用して最大インダクタ電流を計算すると、必要なインダクタ飽和電流の最小値が求まります。TI は、約 20% のマージンを追加することを推奨します。リップル電流が小さくするために、インダクタの値を大きくすることは有効ですが、過渡応答時間が長くなり、サイズも大きくなります。

### 10.1.2.2 コンデンサの選択

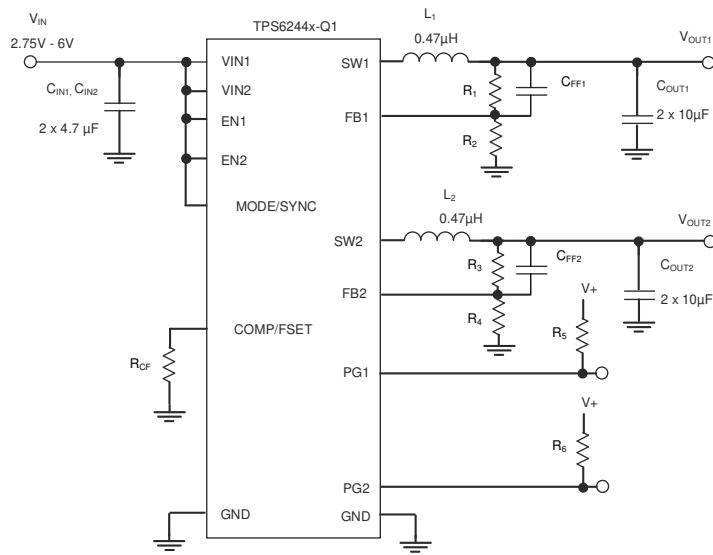
#### 10.1.2.2.1 入力コンデンサ

ほとんどのアプリケーションでは、公称 10 $\mu\text{F}$  で十分であり、推奨されます。入力コンデンサは、入力電圧の過渡イベントを和らげ、また、コンバータが電源の影響を受けないようにします。最良のフィルタ処理を行うため、低 ESR の積層セラミックコンデンサ (MLCC) を推奨します。また、このコンデンサは、VIN と GND との間に、これらのピンにできるだけ近づけて配置する必要があります。

#### 10.1.2.2.2 出力コンデンサ

TPS6244x-Q1 は、等価直列抵抗 (ESR) の小さいセラミックコンデンサを出力コンデンサとして使用できるアキテクチャを採用しています。出力電圧リップルを低減するため、これらのコンデンサを使うことを推奨します。高い周波数まで低抵抗を維持し、温度による静電容量の変動を小さくするには、X7R または X5R 誘電体を使用します。大きな値を使うと、電圧リップルが小さくなりパワーセーブ モードでの DC 出力精度が向上するなどの利点があります。COMP/FSET 端子と GND の間に抵抗を接続してデバイスの補償設定を変更することで、出力に使用される最小容量に応じて、3 段階で補償を行うことができます。最大容量は 200 $\mu\text{F}$  で、どの補償設定でもかまいません。

## 10.2 代表的なアプリケーション



Copyright © 2019, Texas Instruments Incorporated

図 10-1. 代表的なアプリケーション回路図

### 10.2.1 設計要件

設計ガイドラインには、推奨動作条件内でデバイスを動作させるための部品の選択が記載されています。

### 10.2.2 詳細な設計手順

$$R_1 = R_2 \cdot \left( \frac{V_{OUT}}{V_{FB}} - 1 \right) \quad (9)$$

$V_{FB} = 0.6V$ :

表 10-2. 出力電圧の設定

公称出力電圧 $V_{OUT}$	$R_1, R_3$	$R_2, R_4$	$C_{FF1}, C_{FF2}$	出力電圧の正確な値
0.8V	16.9kΩ	51kΩ	10pF	0.7988V
1.0V	20kΩ	30kΩ	10pF	1.0V
1.1V	39.2kΩ	47kΩ	10pF	1.101V
1.2V	68kΩ	68kΩ	10pF	1.2V
1.5V	76.8kΩ	51kΩ	10pF	1.5V
1.8V	80.6kΩ	40.2kΩ	10pF	1.803V
2.5V	47.5kΩ	15kΩ	10pF	2.5V
3.3V	88.7kΩ	19.6kΩ	10pF	3.315V

### 10.2.3 アプリケーション曲線

特に記述のない限り、すべてのプロットは PWM モードに設定されているときの公称スイッチング周波数 2.25MHz で測定されています。BOM は、表 8-1 に従っています。

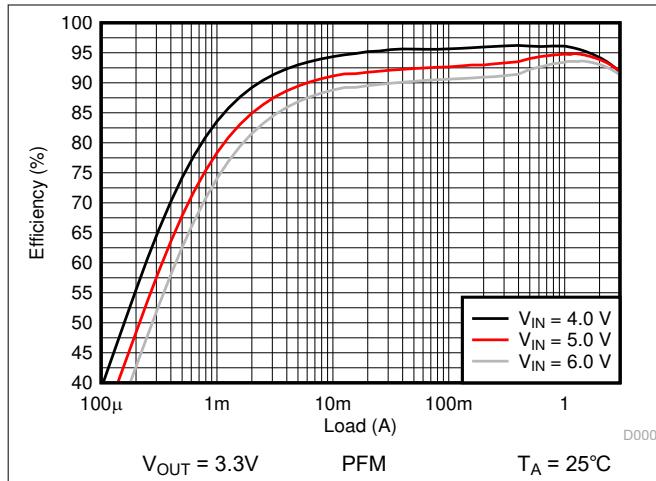


図 10-2. 効率と出力電流との関係

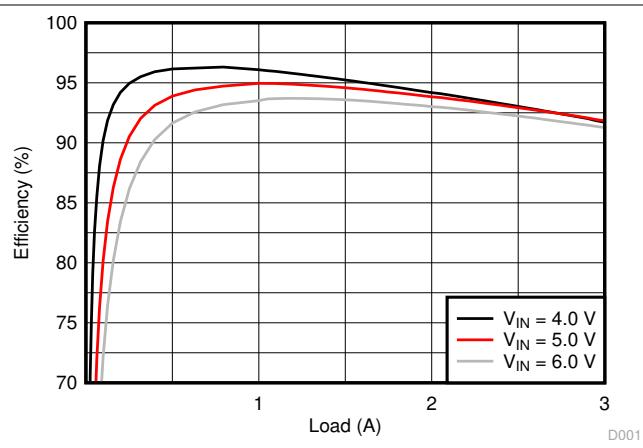


図 10-3. 効率と出力電流との関係

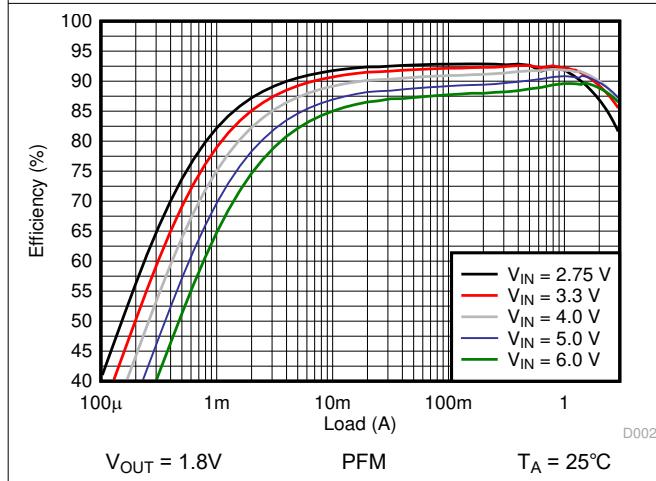


図 10-4. 効率と出力電流との関係

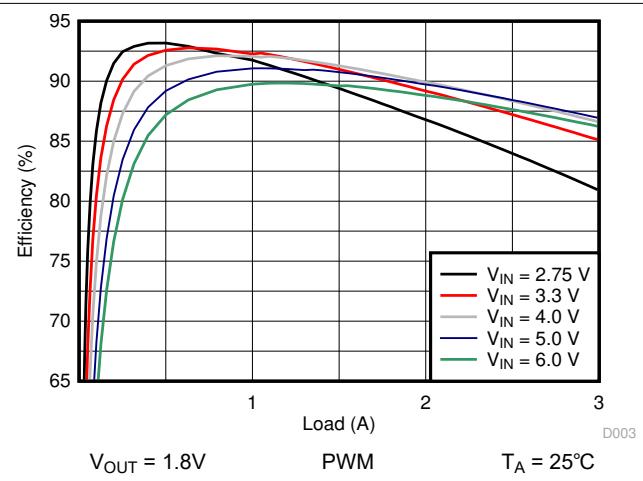


図 10-5. 効率と出力電流との関係

### 10.2.3 アプリケーション曲線(続き)

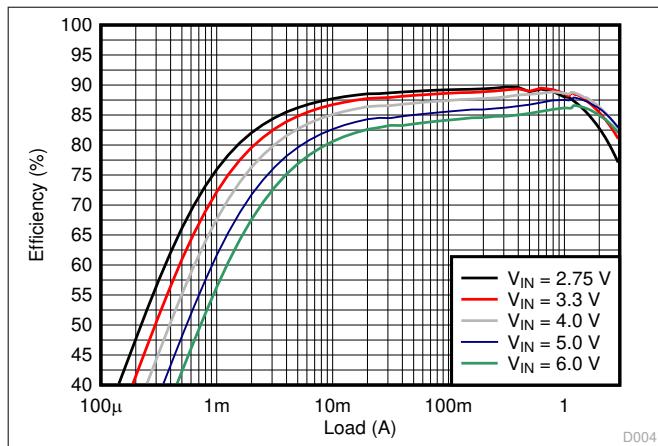


図 10-6. 効率と出力電流との関係

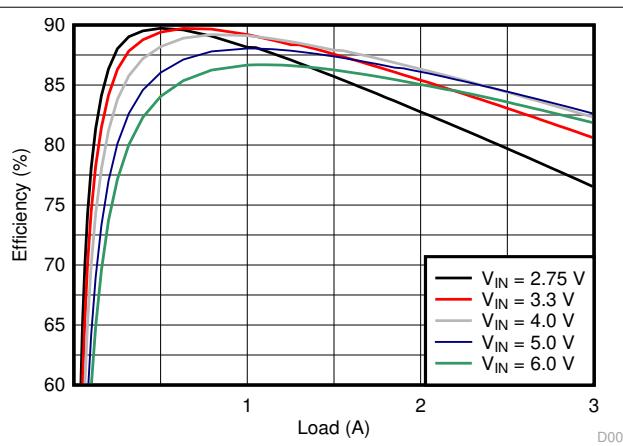


図 10-7. 効率と出力電流との関係

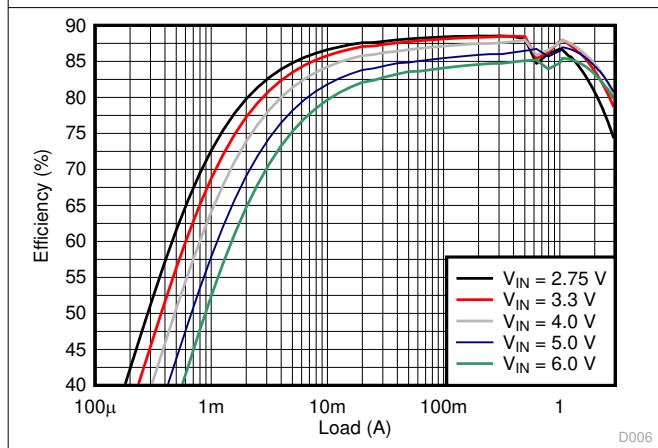


図 10-8. 効率と出力電流との関係

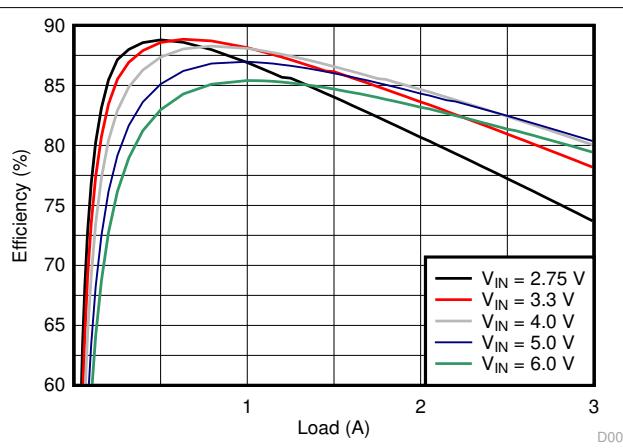


図 10-9. 効率と出力電流との関係

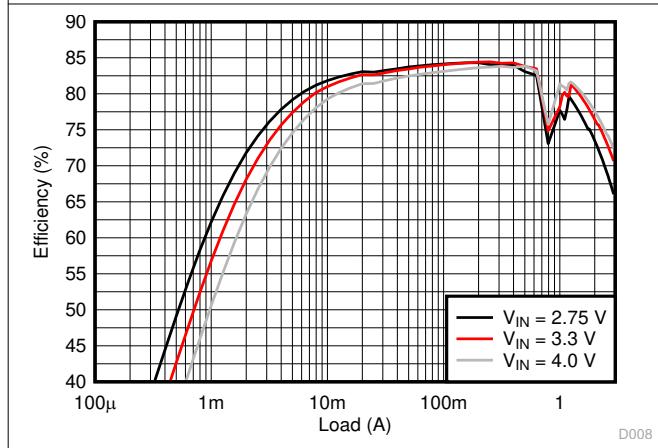


図 10-10. 効率と出力電流との関係

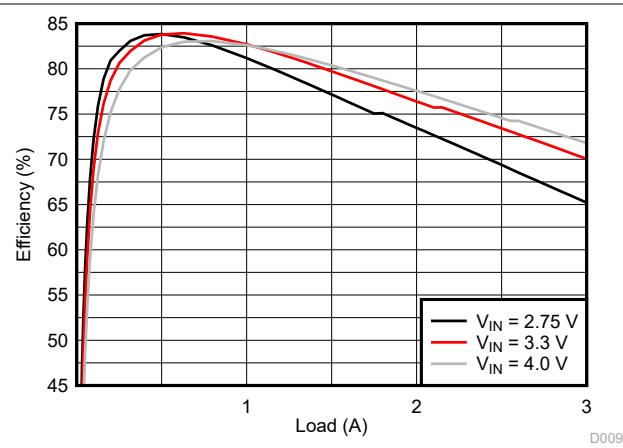


図 10-11. 効率と出力電流との関係

### 10.2.3 アプリケーション曲線(続き)

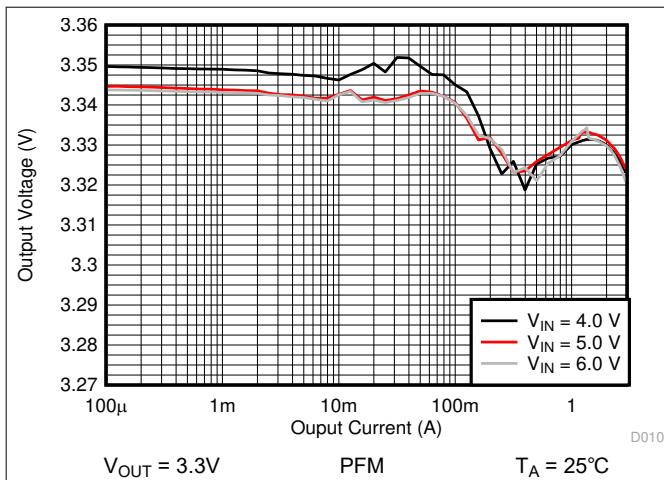


図 10-12. 出力電圧と出力電流との関係

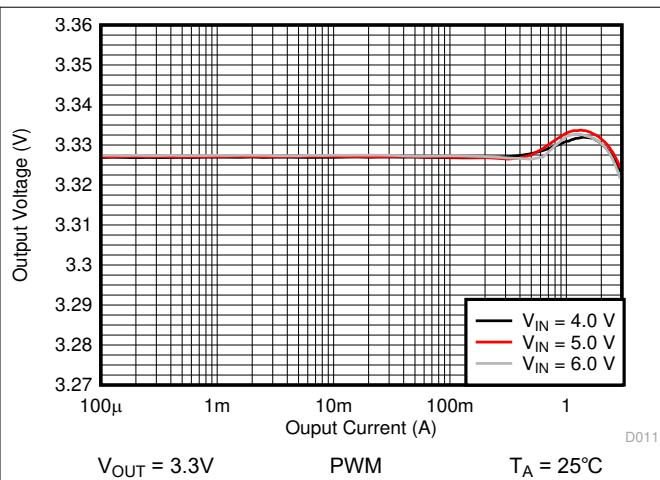


図 10-13. 出力電圧と出力電流との関係

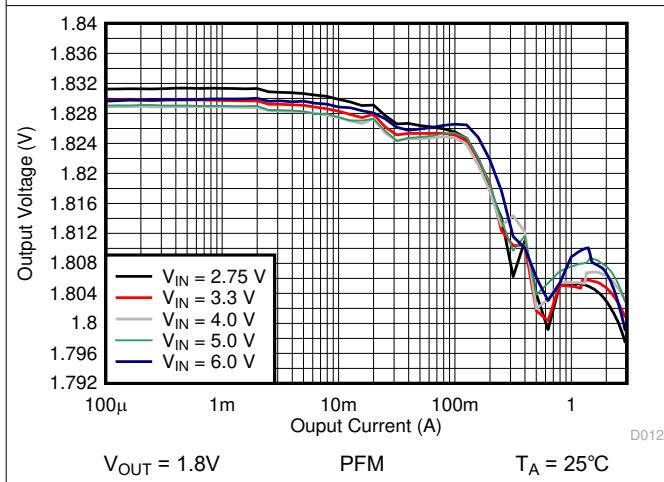


図 10-14. 出力電圧と出力電流との関係

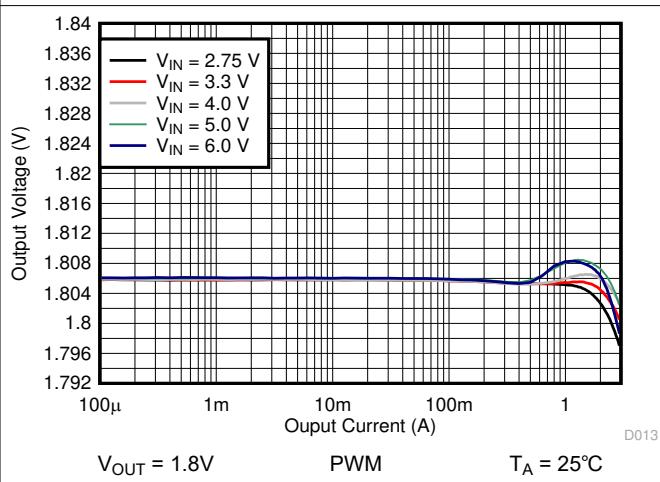


図 10-15. 出力電圧と出力電流との関係

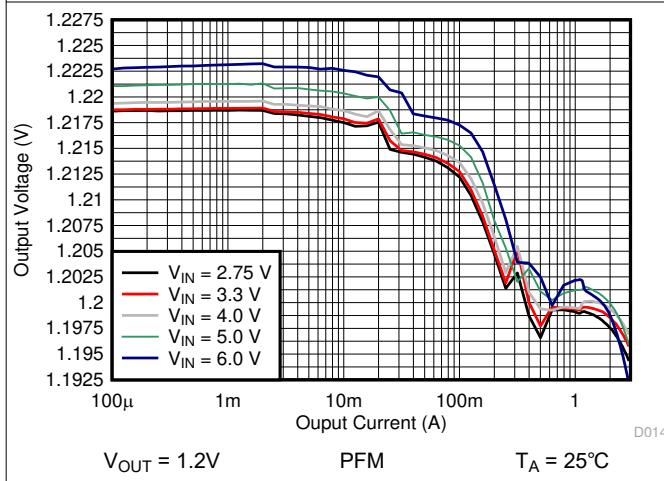


図 10-16. 出力電圧と出力電流との関係

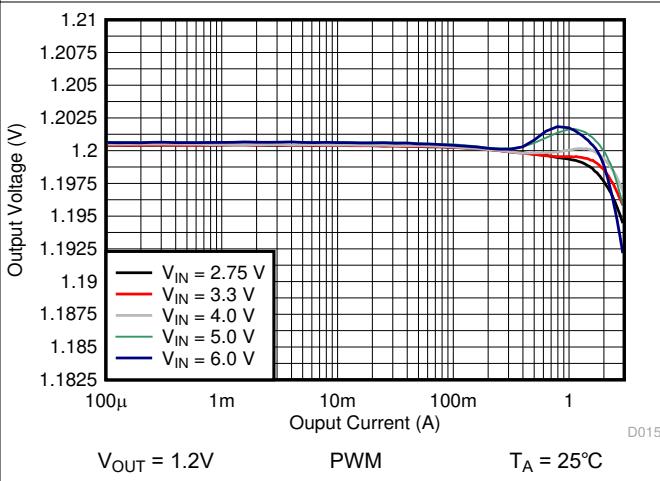


図 10-17. 出力電圧と出力電流との関係

### 10.2.3 アプリケーション曲線(続き)

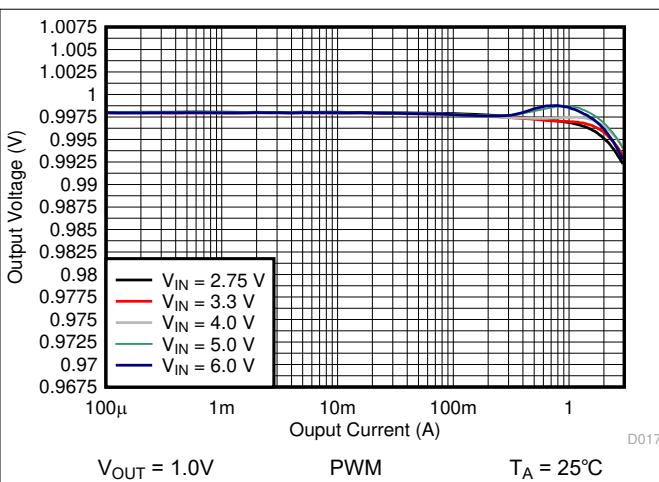
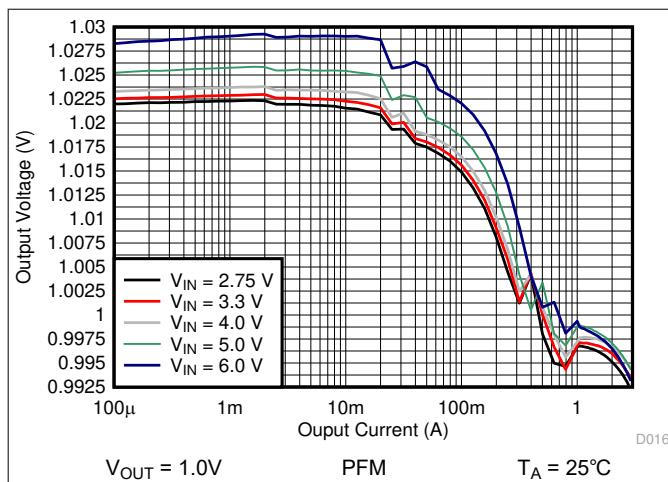


図 10-18. 出力電圧と出力電流との関係

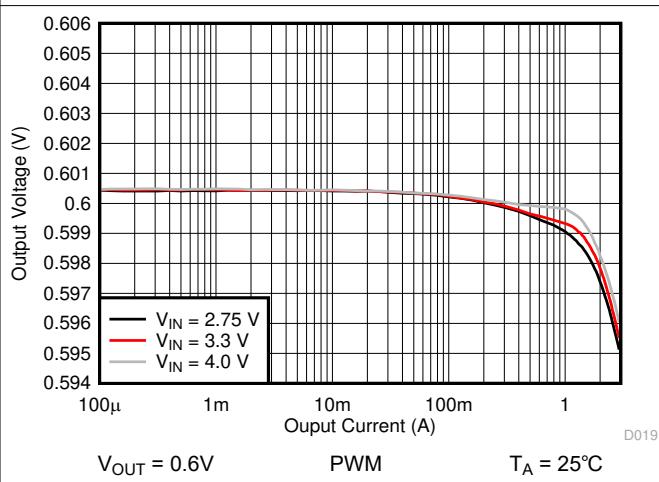
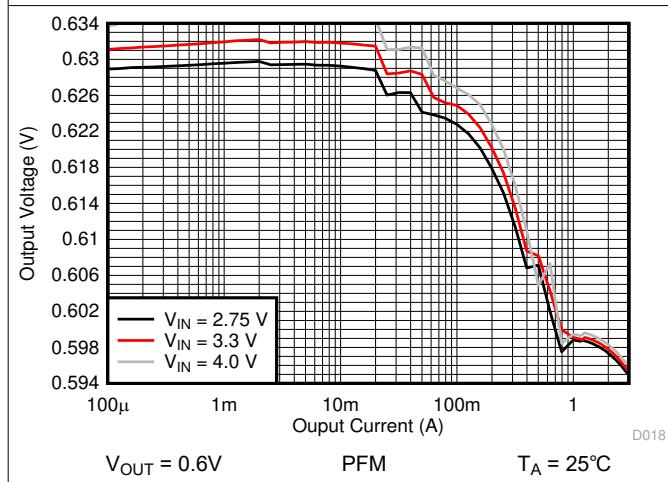


図 10-20. 出力電圧と出力電流との関係

図 10-19. 出力電圧と出力電流との関係

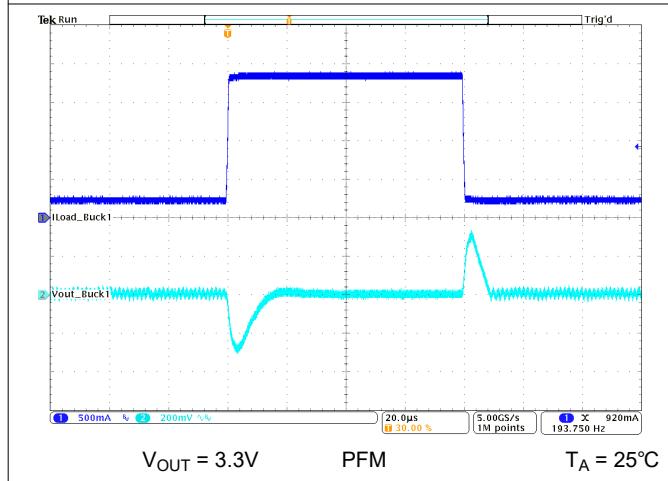


図 10-22. 負荷過渡応答

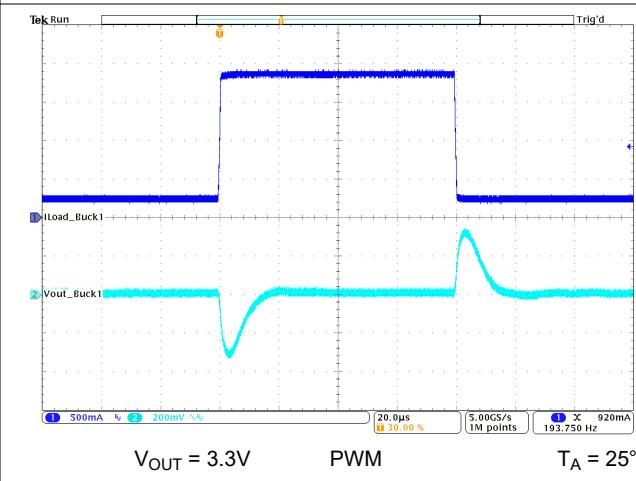
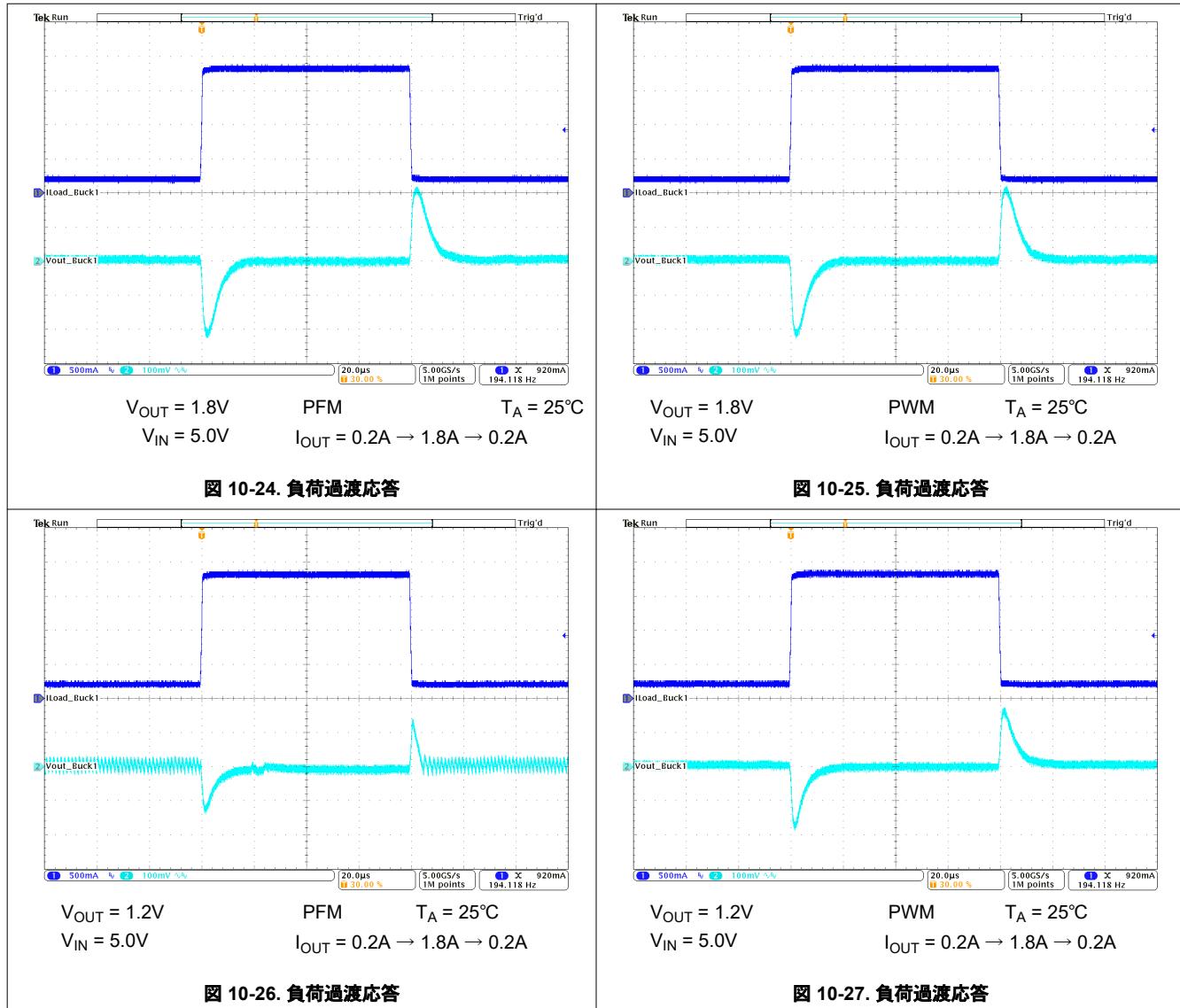
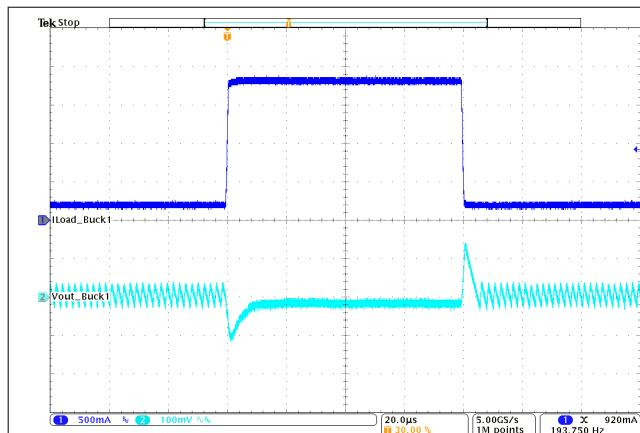


図 10-23. 負荷過渡応答

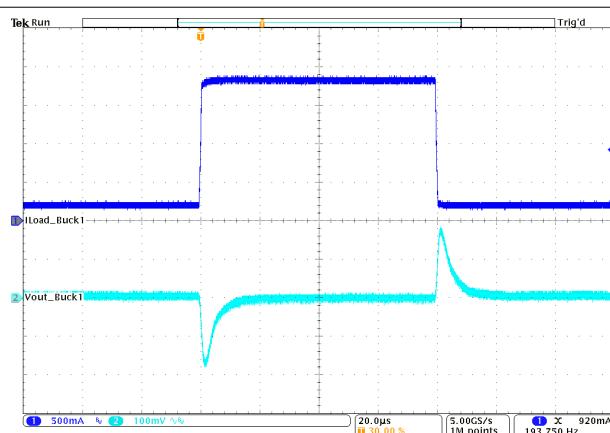
### 10.2.3 アプリケーション曲線(続き)



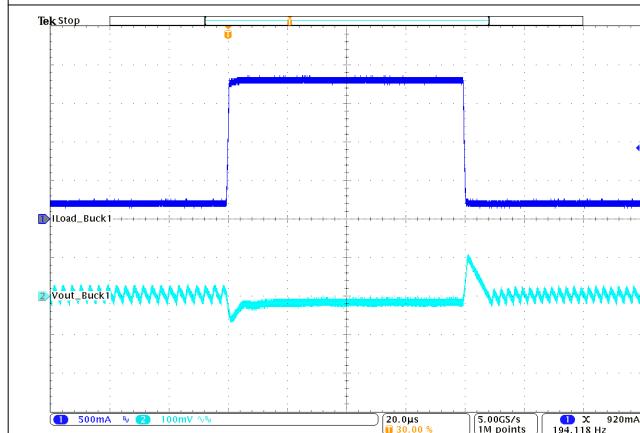
### 10.2.3 アプリケーション曲線(続き)



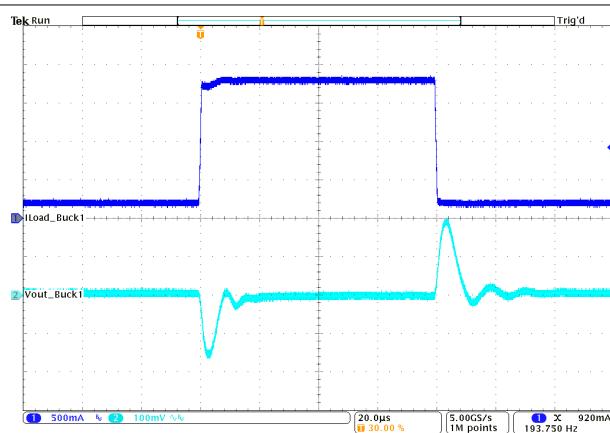
$V_{OUT} = 1.0V$       PFM       $T_A = 25^\circ C$   
 $V_{IN} = 5.0V$        $I_{OUT} = 0.2A \rightarrow 1.8A \rightarrow 0.2A$



$V_{OUT} = 1.0V$       PWM       $T_A = 25^\circ C$   
 $V_{IN} = 5.0V$        $I_{OUT} = 0.2A \rightarrow 1.8A \rightarrow 0.2A$



$V_{OUT} = 0.6V$       PFM       $T_A = 25^\circ C$   
 $V_{IN} = 3.3V$        $I_{OUT} = 0.2A \rightarrow 1.8A \rightarrow 0.2A$



$V_{OUT} = 0.6V$       PWM       $T_A = 25^\circ C$   
 $V_{IN} = 3.3V$        $I_{OUT} = 0.2A \rightarrow 1.8A \rightarrow 0.2A$

### 10.2.3 アプリケーション曲線(続き)

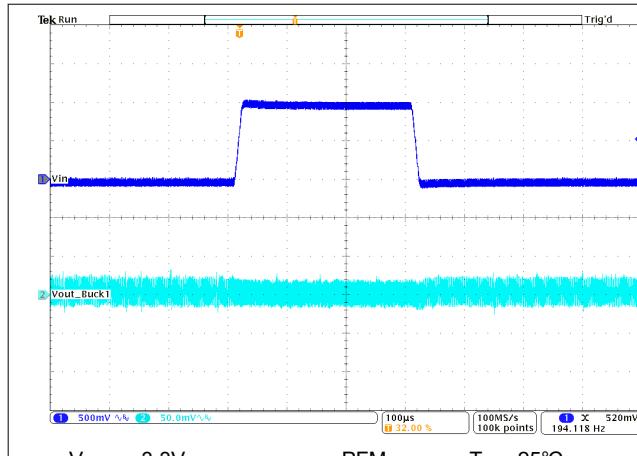


図 10-32. ライン過渡応答

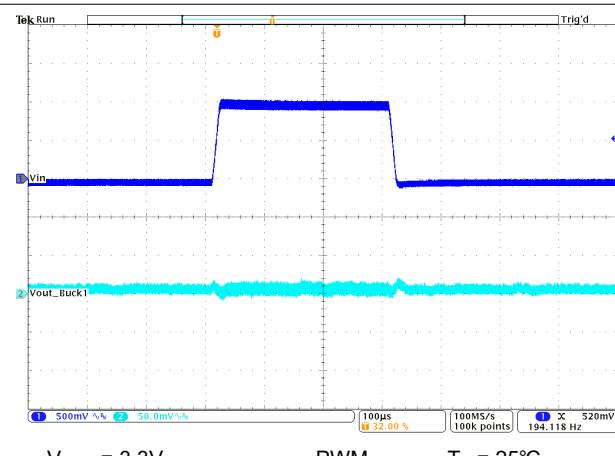


図 10-33. ライン過渡応答

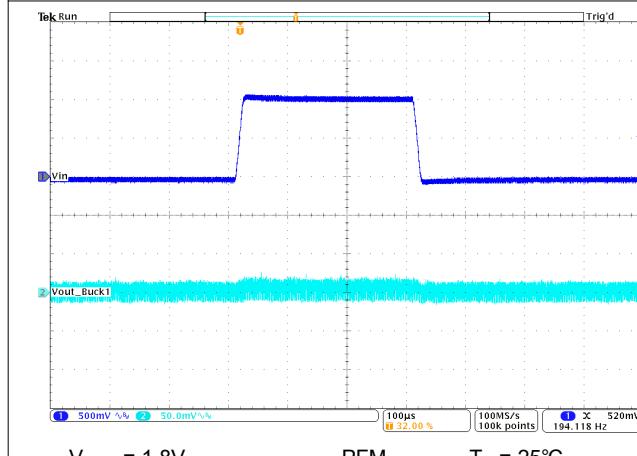


図 10-34. ライン過渡応答

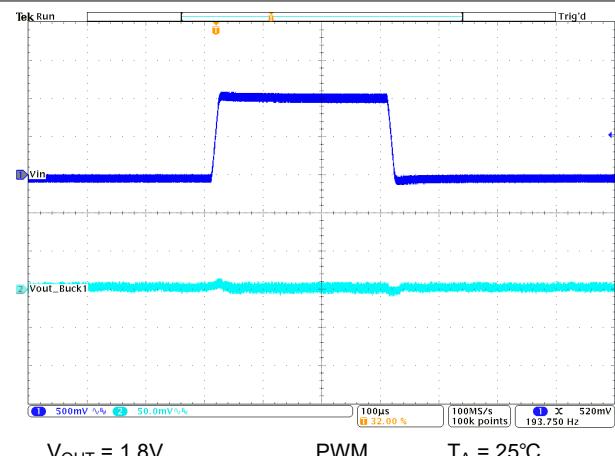


図 10-35. ライン過渡応答

### 10.2.3 アプリケーション曲線(続き)

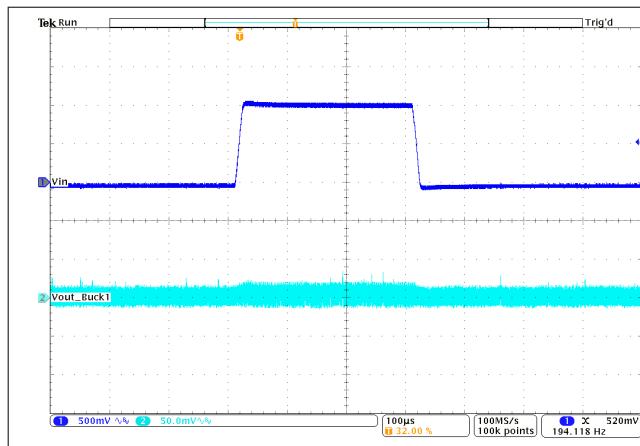


図 10-36. ライン過渡応答

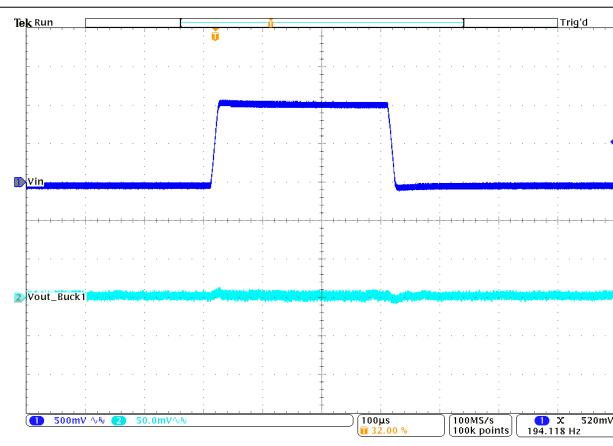


図 10-37. ライン過渡応答

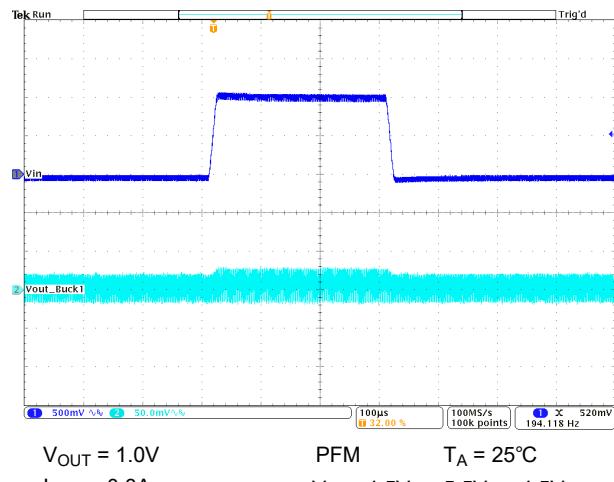


図 10-38. ライン過渡応答

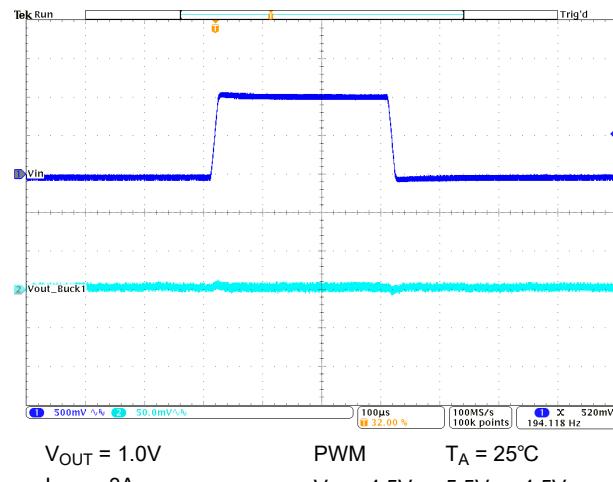


図 10-39. ライン過渡応答

### 10.2.3 アプリケーション曲線(続き)

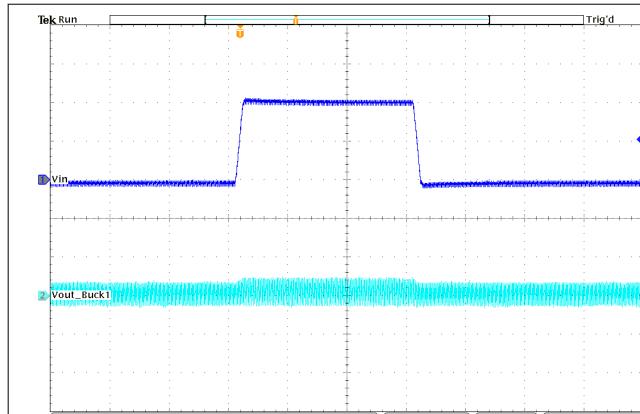


図 10-40. ライン過渡応答

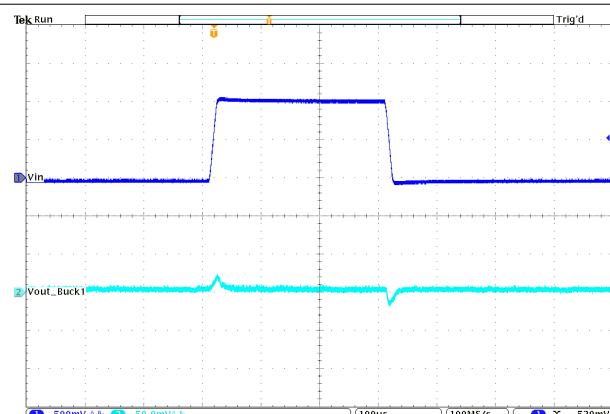


図 10-41. ライン過渡応答

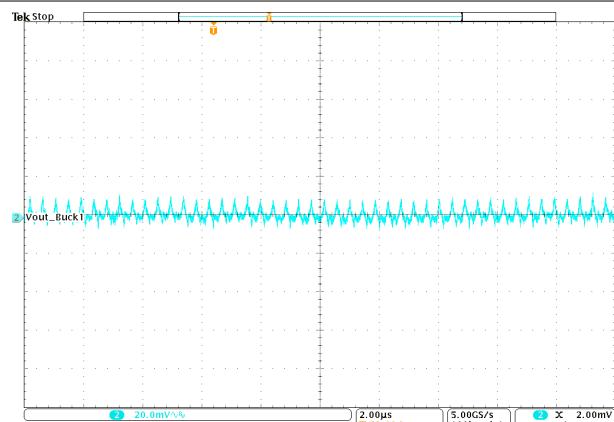


図 10-42. 出力電圧リップル

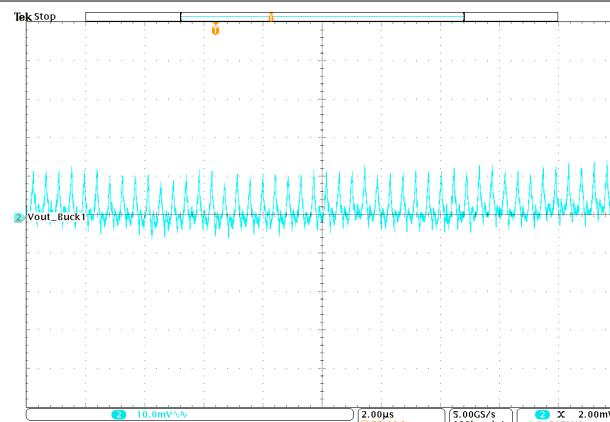
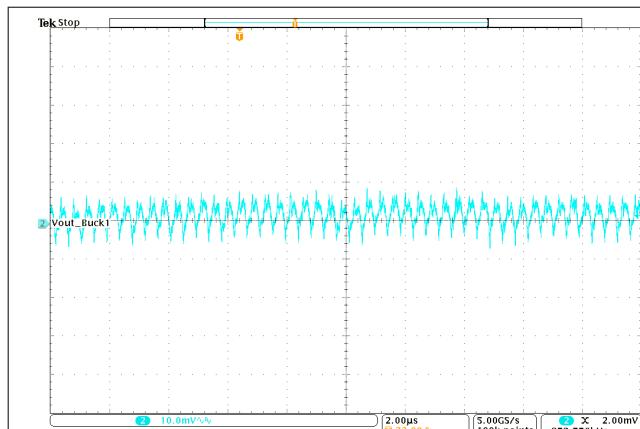


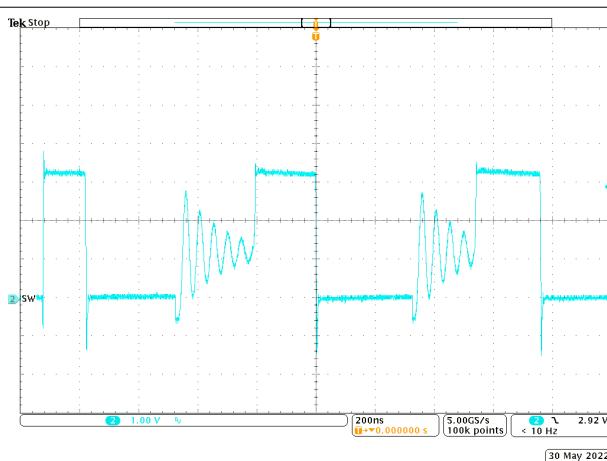
図 10-43. 出力電圧リップル

### 10.2.3 アプリケーション曲線(続き)



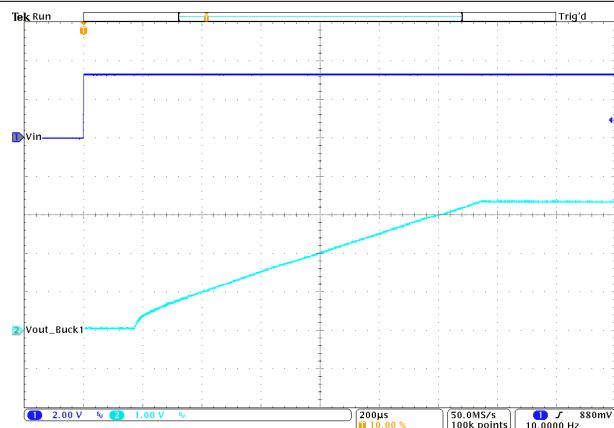
$V_{OUT} = 1.8V$       PWM       $T_A = 25^\circ C$   
 $I_{OUT} = 3A$        $V_{IN} = 5.0V$       BW = 20MHz

図 10-44. 出力電圧リップル



$V_{OUT} = 1.2V$        $T_A = 25^\circ C$   
 $I_{OUT} = 0.4A$        $V_{IN} = 3.3V$

図 10-45. PFM モードでのスイッチング波形



$V_{OUT} = 3.3V$       PWM       $T_A = 25^\circ C$   
 $I_{OUT} = 3A$        $V_{IN} = 5.0V$

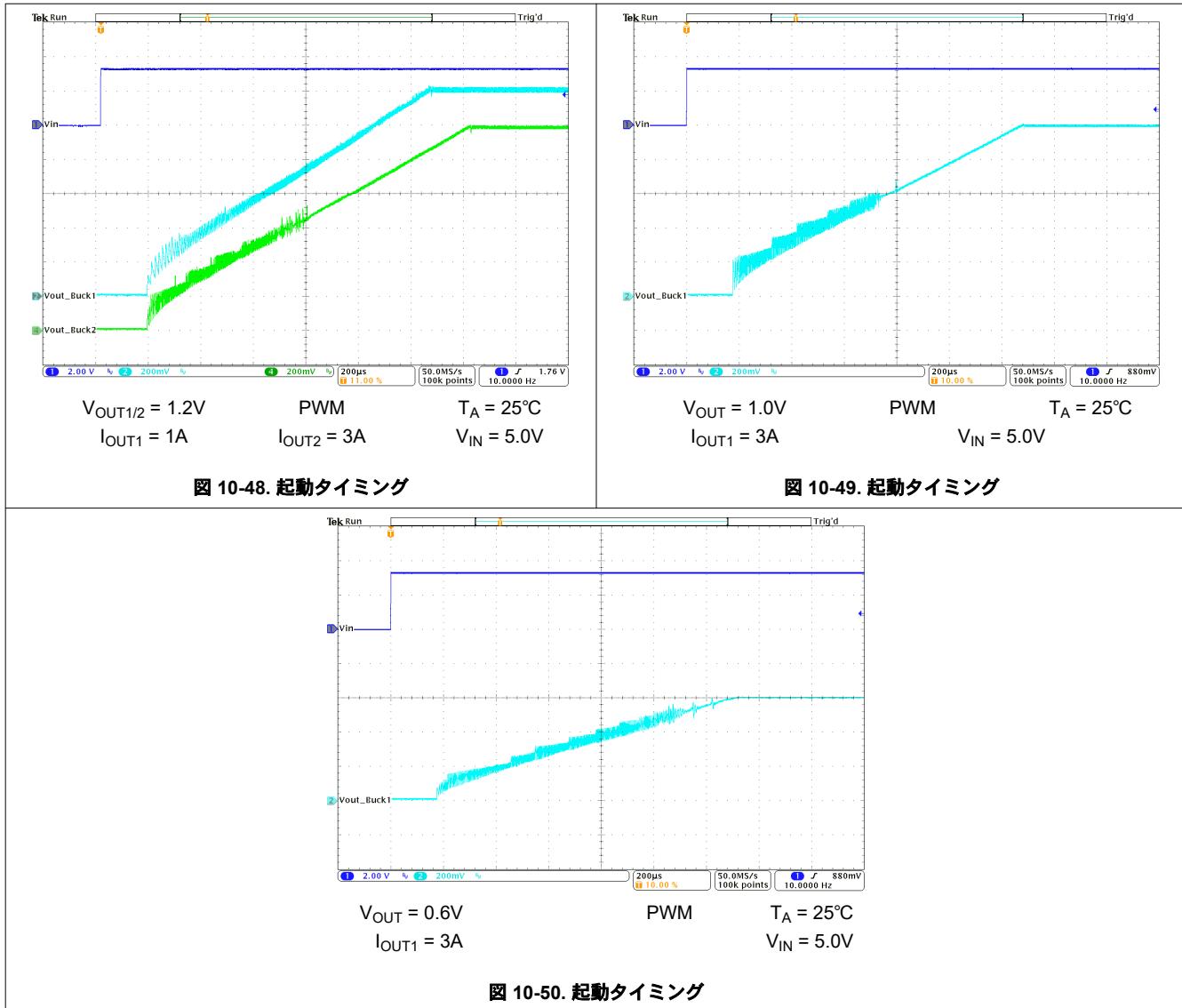
図 10-46. 起動タイミング



$V_{OUT1/2} = 1.8V$       PWM       $T_A = 25^\circ C$   
 $I_{OUT1} = 2A$        $I_{OUT2} = 2A$        $V_{IN} = 5.0V$

図 10-47. 起動タイミング

### 10.2.3 アプリケーション曲線(続き)



## 11 電源に関する推奨事項

TPS6244x-Q1 デバイス ファミリには、入力電源に対する特別な要件はありません。入力電源の出力電流は、TPS6244x-Q1 の電源電圧、出力電圧、出力電流に応じた定格である必要があります。

## 12 レイアウト

### 12.1 レイアウトのガイドライン

さらに高いスイッチング周波数でスイッチ モード電源を動作させるには、適切なレイアウトが非常に重要です。したがって、確実に動作させ、仕様に規定された性能を達成するため、TPS6244x-Q1 の PCB レイアウトでは細心の注意が必要です。レイアウトが不適切な場合、以下のような問題が発生する可能性があります。

- 不十分な調整 (ラインと負荷の両方)
- 安定性と精度の低下
- EMI 放射の増加
- ノイズ感度

一般的な外部グランド接続を行うように設計された TPS6244x-Q1 の推奨レイアウトについては、[図 12-1](#) を参照してください。入力コンデンサは、VIN ピンと GND ピンとの間に、できるだけ近づけて配置する必要があります。

$di/dt$  の大きいループの経路は、インダクタンスと抵抗が小さくなるようにします。そのため、スイッチング負荷電流が流れる経路は、できるだけ短く、かつ幅広くする必要があります。 $dv/dt$  の大きい配線経路は、(他のすべてのノードに対する) 容量が小さくなるようにします。そのため、入力および出力容量を IC ピンにできる限り近づけて配置し、長距離にわたる並列配線や狭いトレースを避ける必要があります。交流電流を流すループに囲まれた領域から放射されるエネルギーは、その領域の面積に比例するため、その面積をできるだけ小さくする必要があります。

敏感なノード (FB など) は、短い配線で接続し、 $dv/dt$  の大きい信号 (SW など) に近づけないようにする必要があります。敏感なノードは、出力電圧に関する情報を伝達するため、(出力コンデンサの) 実際の出力電圧のできるだけ近くに接続する必要があります。FB 抵抗  $R_1$  と  $R_2$ 、および  $R_3$  と  $R_4$  は IC に近づけて配置し、それらのピンとシステム グランド プレーンに直接接続する必要があります。

このパッケージでは、電力を放散する目的でピンを使用します。VIN、GND、および SW ピンのサーマルビアは、PCB を通して熱を拡散させるのに有効です。

推奨レイアウトは EVM に実装されており、[TPS62442EVM-122 ユーザーズ ガイド](#)に記載されています。

## 12.2 レイアウト例

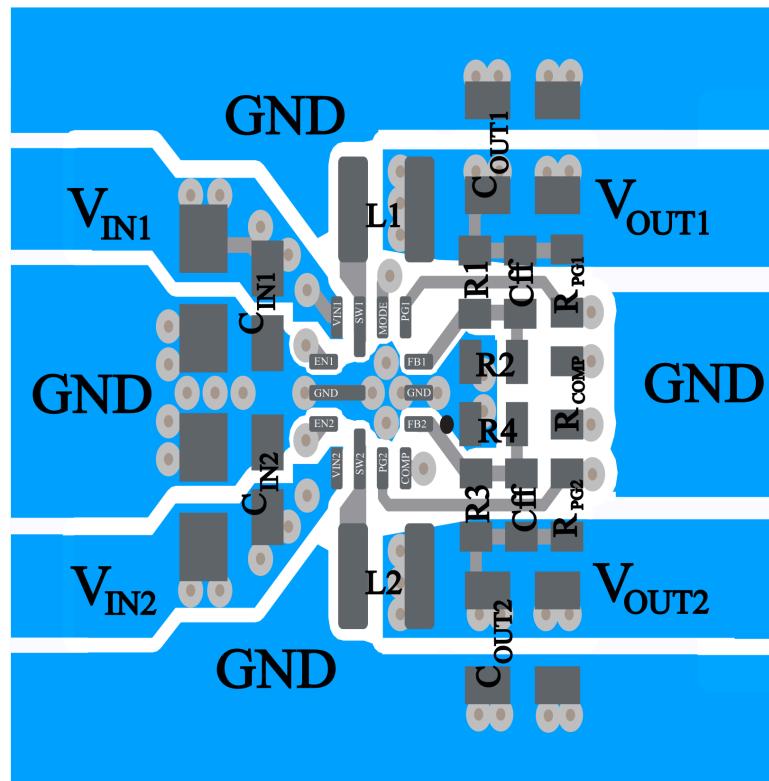


図 12-1. レイアウト例

## 13 デバイスおよびドキュメントのサポート

### 13.1 デバイス サポート

#### 13.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

### 13.2 ドキュメントのサポート

#### 13.2.1 関連資料

関連資料については、以下を参照してください。

テキサス インスツルメンツ、『[TPS62442EVM-122 ユーザー ガイド](#)』

### 13.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[ti.com](http://ti.com) のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

### 13.4 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

### 13.5 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 13.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 13.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 14 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのプラウザ版を使用している場合は、画面左側の説明をご覧ください。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS62441QWRQRQ1	Active	Production	VQFN-HR (RQR)   14	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	441QW
TPS62441QWRQRQ1.A	Active	Production	VQFN-HR (RQR)   14	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	441QW
<b>TPS62442QWRQRQ1</b>	Active	Production	VQFN-HR (RQR)   14	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	442QW
TPS62442QWRQRQ1.A	Active	Production	VQFN-HR (RQR)   14	3000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	442QW

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

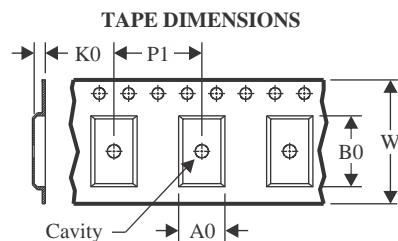
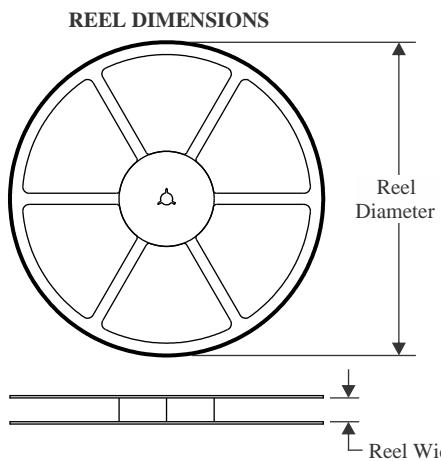
**OTHER QUALIFIED VERSIONS OF TPS62441-Q1, TPS62442-Q1 :**

- Catalog : [TPS62441](#), [TPS62442](#)

NOTE: Qualified Version Definitions:

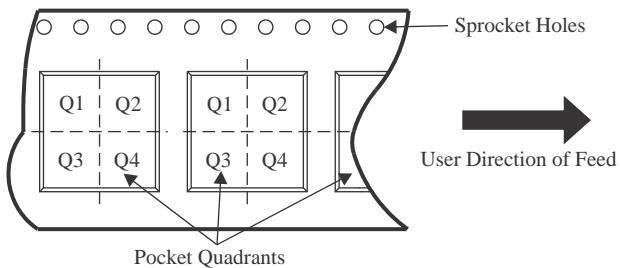
- Catalog - TI's standard catalog product

## TAPE AND REEL INFORMATION



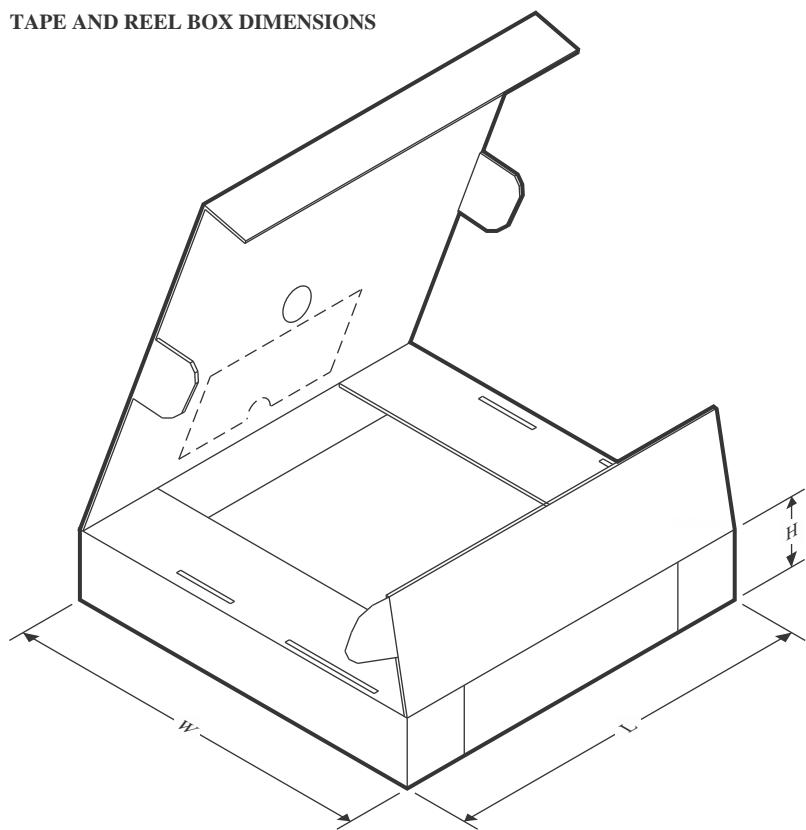
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS62441QWRQRQQ1	VQFN-HR	RQR	14	3000	180.0	8.4	2.6	3.0	1.2	4.0	8.0	Q1
TPS62442QWRQRQQ1	VQFN-HR	RQR	14	3000	180.0	8.4	2.6	3.0	1.2	4.0	8.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS62441QWRQRRQ1	VQFN-HR	RQR	14	3000	210.0	185.0	35.0
TPS62442QWRQRRQ1	VQFN-HR	RQR	14	3000	210.0	185.0	35.0

## GENERIC PACKAGE VIEW

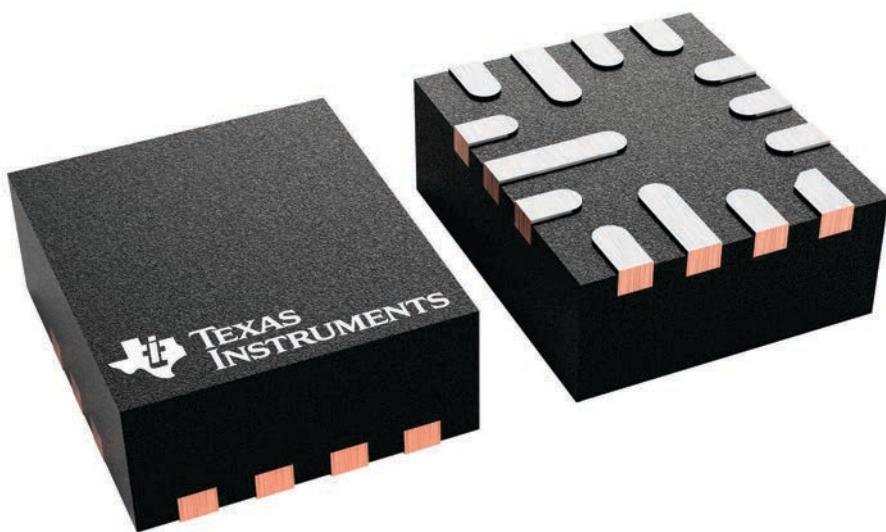
RQR 14

VQFN-HR - 1 mm max height

2.3 x 2.7, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



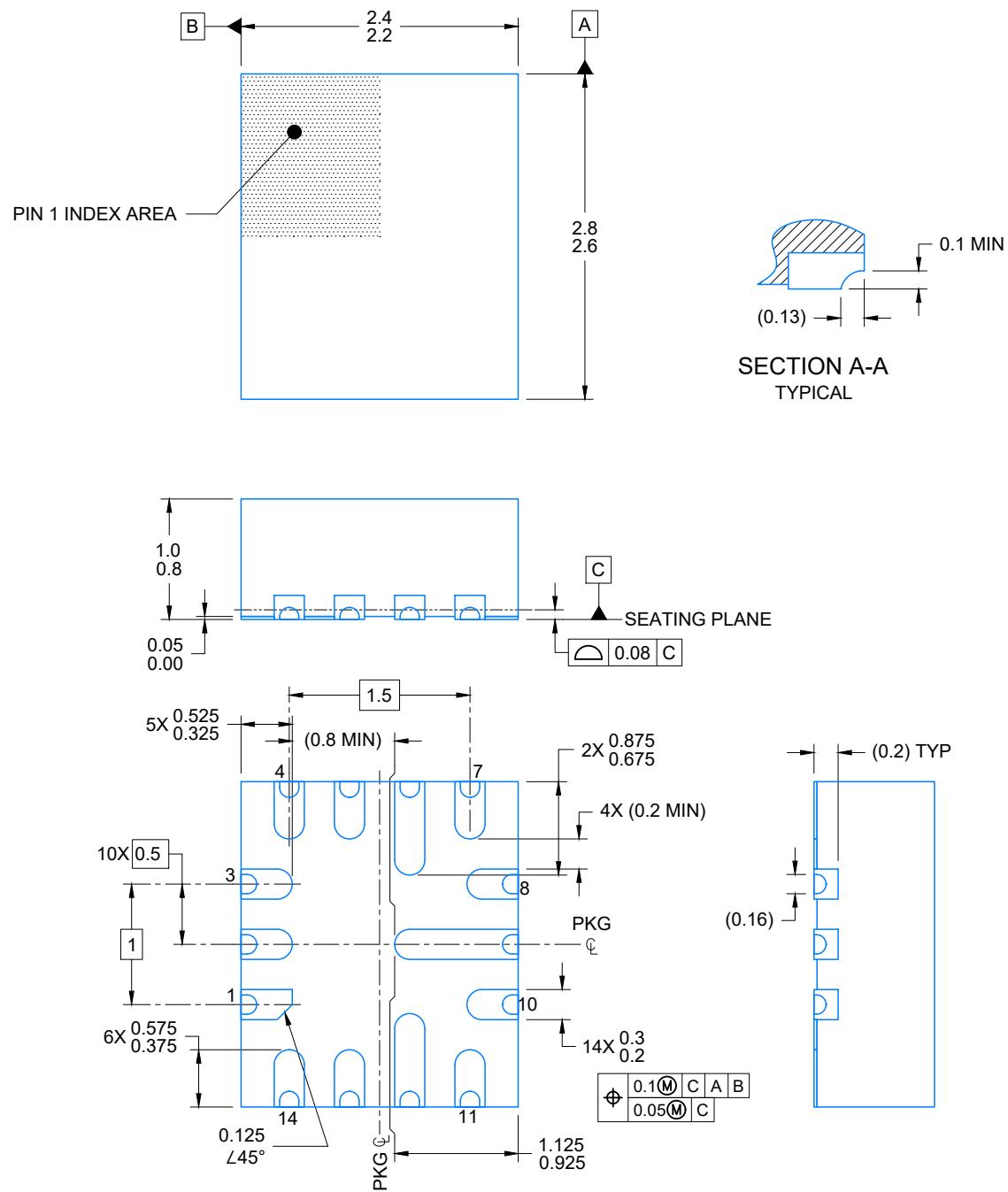
4229224/A

# PACKAGE OUTLINE

## VQFN-HR - 1 mm max height

RQR0014A

PLASTIC QUAD FLATPACK- NO LEAD



4225624/B 02/2020

NOTES:

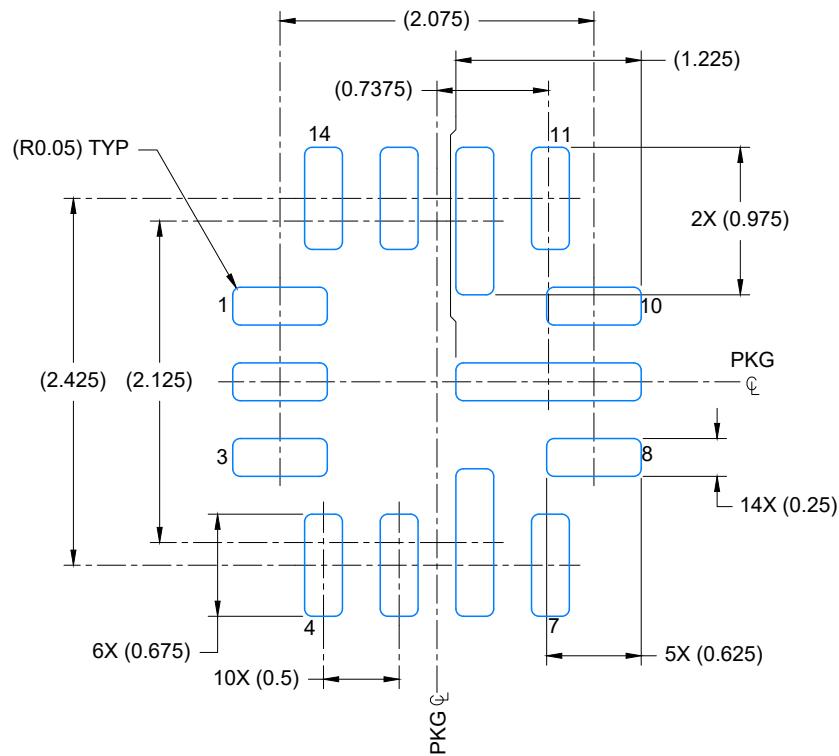
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

# EXAMPLE BOARD LAYOUT

VQFN-HR - 1 mm max height

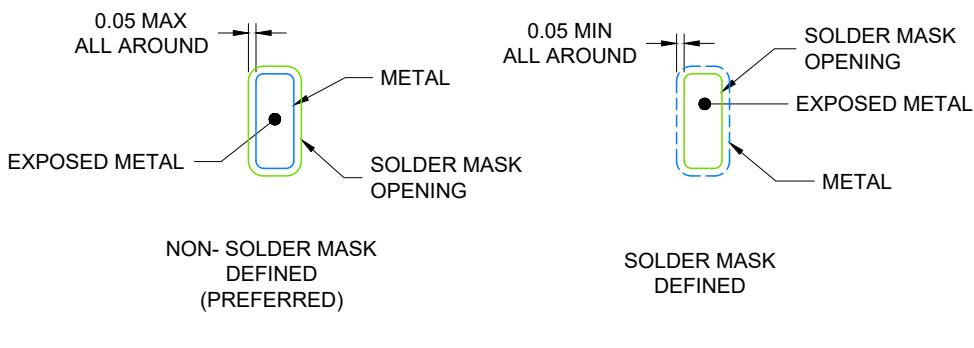
RQR0014A

PLASTIC QUAD FLATPACK- NO LEAD



LAND PATTERN EXAMPLE

SCALE: 20X



4225624/B 02/2020

NOTES: (continued)

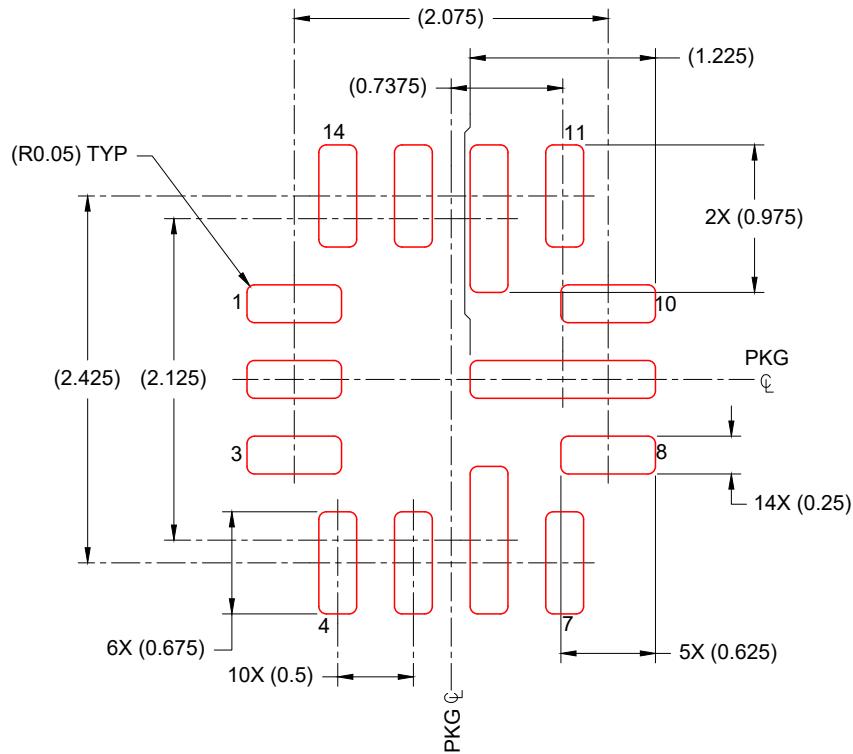
3. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).
4. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

VQFN-HR - 1 mm max height

RQR0014A

PLASTIC QUAD FLATPACK- NO LEAD



SOLDER PASTE EXAMPLE  
BASED ON 0.1 mm THICK STENCIL  
SCALE: 18X

4225624/B 02/2020

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月