参考資料

TPS536C9T デュアル・channel (N + M ≤ 12 相) D-CAP+™、降圧、マルチフェーズ・コントローラ、TLVR 対応、PMBus および VR14 SVID インターフェイス付き

1 特長

- 入力電圧範囲：4.5V～17V
- 出力電圧範囲：0.25V～5.5V
- N+M の位相構成に対応するデュアル出力 (N+M ≤ 12、M ≤ 6)
- トランスインダクタ電圧レギュレータ (TLVR) トポロジ対応で L_C 開放 / 短絡保護を内蔵
- テキサス・インスツルメンツのスマート電力段と完全に互換性あり
- 電圧源と電流源の IMON 電力段をサポートし、1kΩ の抵抗を内蔵
- 従来型 (レガシー・モード) とリンプ・モードの電力段フォルト識別をサポート
- 12 インチ以上のパターン長を持つデュアル・サイドの電源供給をサポート
- PSYS サポートに準拠した Intel® VR14 SVID
- VR13.HC/VR13.0 SVID と下位互換性あり
- NVM フォルト・ステータスの自動ログ
- D-CAP+ 制御の強化により、優れた過渡性能と優れた動的電流共有を実現
- プログラム可能なスレッショルドによる動的な位相シェディングで軽負荷時および重負荷時の効率を最適化
- 不揮発性メモリ (NVM) により設定可能なため外付け部品点数が少ない
- 個別の位相単位 IMON 較正、マルチスロープ・ゲイン較正によりシステム精度を向上
- プログラム可能なタイムアウトによるダイオード・ブレーキにより、過渡オーバーシュートを低減
- 位相単位のバレー電流制限 (OCL) をプログラム可能
- 電圧、電流、電力、温度、フォルト状態の遠隔測定に対応する PMBus™ v1.3.1 システム・インターフェイス
- PMBus からプログラム可能なループ補償
- 6.00 mm × 6.00 mm の 48 ピン QFN パッケージ

2 アプリケーション

- データ・センターおよびエンタープライズ・コンピューティング・ラック・サーバー
- ハードウェア・アクセラレータ
- ネットワーク・インターフェイス・カード (NIC)
- ASIC および高性能クライアント

3 概要

TPS536C9T は、トランスインダクタ電圧レギュレータ (TLVR) トポロジ対応の VR14 SVID に準拠した降圧コントローラで、2 つのチャネル、不揮発性メモリ (NVM)、PMBus™ インターフェイスを内蔵しており、テキサス・インスツルメンツのスマート電力段と完全に互換性があります。D-CAP+ アーキテクチャなどの高度な制御機能により、高速過渡応答、低出力容量、良好な動的電流共有を実現します。出力電圧のスルー・レートと適応型電圧配置の可変制御にも対応しています。さらに、PMBus 通信インターフェイスをサポートしているため、電圧、電流、電力、温度、フォルト状態の遠隔測定レポートをホスト・システムに送信できます。プログラム可能なパラメータは、いずれも PMBus インターフェイスを介して設定し、新しいデフォルト値として NVM に保存できるため、外付け部品点数を最小限に抑えることができます。

パッケージ情報

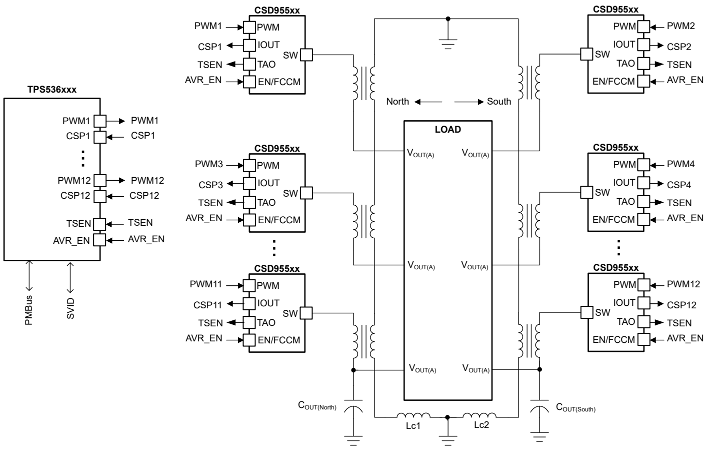
部品番号	パッケージ(1)	パッケージ・サイズ(2)
TPS536C9T	RSL (QFN、48)	6.00 mm × 6.00 mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ・サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。

製品情報

部品番号 (1)	位相数
TPS536C9T	12 位相

(1) 製品比較表を参照してください。



アプリケーション概略図 (インターリーブ TLVR)

このリソースの元の言語は英語です。 翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。 実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

Table of Contents

1 特長.......... 1
2 アプリケーション.......... 1
3 概要.......... 1
4 Revision History.......... 2
5 Device and Documentation Support.......... 3
5.1 Documentation Support.......... 3
5.2 ドキュメントの更新通知を受け取る方法.......... 3
5.3 サポート・リソース.......... 3
5.4 Trademarks.......... 3
5.5 静電気放電に関する注意事項.......... 3
5.6 用語集.......... 3
6 Mechanical, Packaging, and Orderable Information.......... 3
6.1 Package Option Addendum.......... 4
6.2 Packaging Information.......... 4
6.3 Tape and Reel Information.......... 6
7 Mechanical, Packaging, and Orderable Information.......... 12

4 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

DATE	REVISION	NOTES
September 2023	*	Initial Release

Copyright © 2023 Texas Instruments Incorporated

5 Device and Documentation Support

TI offers an extensive line of development tools. Tools and software to evaluate the performance of the device, generate code, and develop solutions are listed below.

5.1 Documentation Support

5.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

5.3 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

5.4 Trademarks

TI E2E™ is a trademark of Texas Instruments.
Intel® is a registered trademark of Intel Corporation.
すべての商標は、それぞれの所有者に帰属します。

5.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

5.6 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

6 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

6.1 Package Option Addendum

6.2 Packaging Information

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead/Ball Finish (4)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (5) (6)
TPS536C9TRSLR	ACTIVE	VQFN	RSL	48	3000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-3-260C-168 HR	–40 to 125	TPS 536C9T

1. The marketing status values are defined as follows:
   ACTIVE: Product device recommended for new designs.
   LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
   NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
   PRE_PROD Unannounced device, not in production, not available for mass market, nor on the web, samples not available.
   PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
   OBSOLETE: TI has discontinued the production of the device.

2. Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS), Pb-Free (RoHS Exempt), or Green (RoHS & no Sb/Br) - please check http://www.ti.com/productcontent for the latest availability information and additional product content details.
   TBD: The Pb-Free/Green conversion plan has not been defined.
   Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 6 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.
   Pb-Free (RoHS Exempt): This component has a RoHS exemption for either 1) lead-based flip-chip solder bumps used between the die and package, or 2) lead-based die adhesive used between the die and leadframe. The component is otherwise considered Pb-Free (RoHS compatible) as defined above.
   Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

3. MSL, Peak Temp. -- The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

4. Lead/Ball Finish - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead/Ball Finish values may wrap to two lines if the finish value exceeds the maximum column width.

5. There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device

6. Multiple Device markings will be inside parentheses. Only on Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

Copyright © 2023 Texas Instruments Incorporated

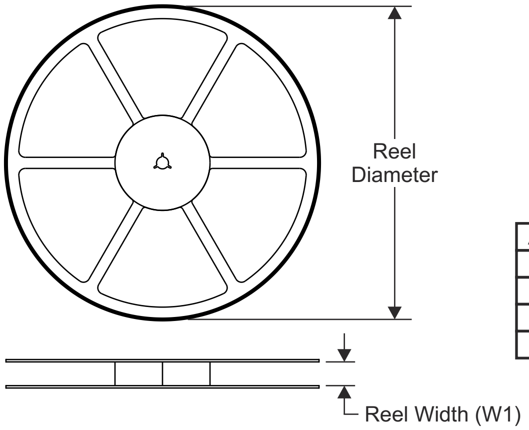
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

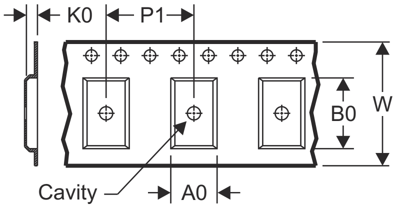
Copyright © 2023 Texas Instruments Incorporated

6.3 Tape and Reel Information

REEL DIMENSIONS

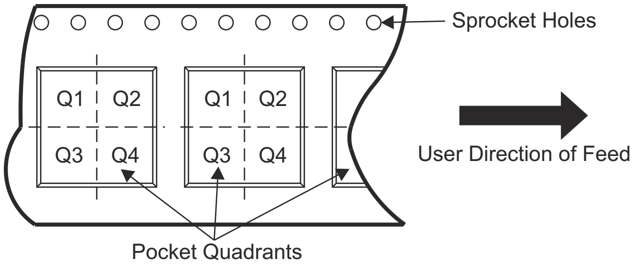


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

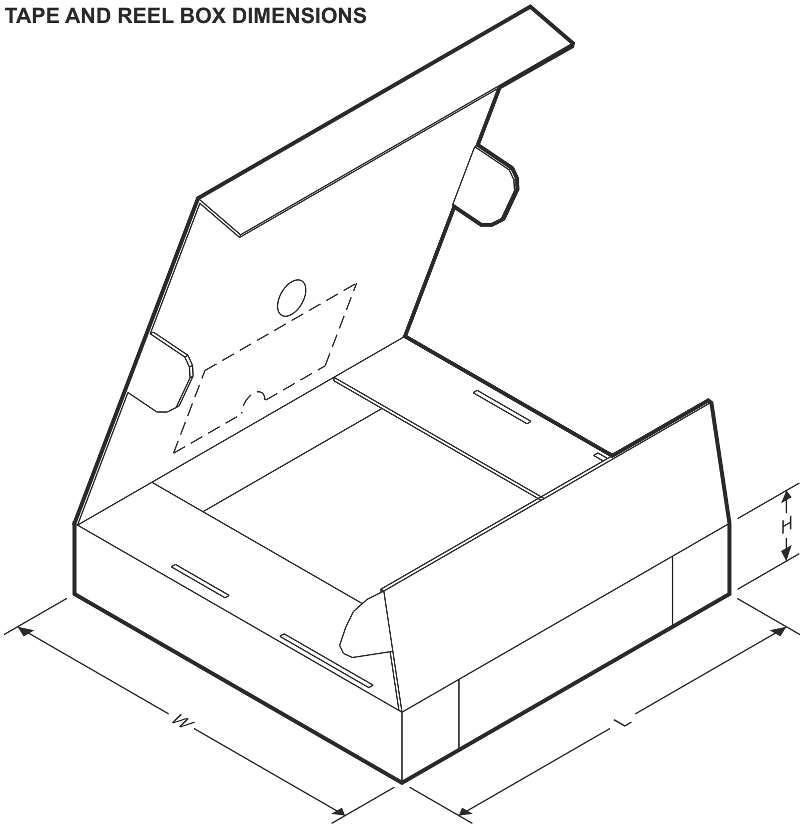
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS536C9TRSLR	VQFN	RSL	48	3000	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

Copyright © 2023 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS536C9TRSLR	VQFN	RSL	48	3000	367.0	367.0	38.0

Copyright © 2023 Texas Instruments Incorporated

Top Side Markings

Top-Side Markings
TPS536C9T

```
--------------------
| O                |
|                  |
|                  |
|    TPS           |
|    536C9T        |
|    TI YMS        |
|    LLLL G4       |
|                  |
|                  |
--------------------
```

TI = The letters "TI" for Texas Instruments

Y = Year (Last digit of the year assembled, 0=2020, 1=2021, ...)

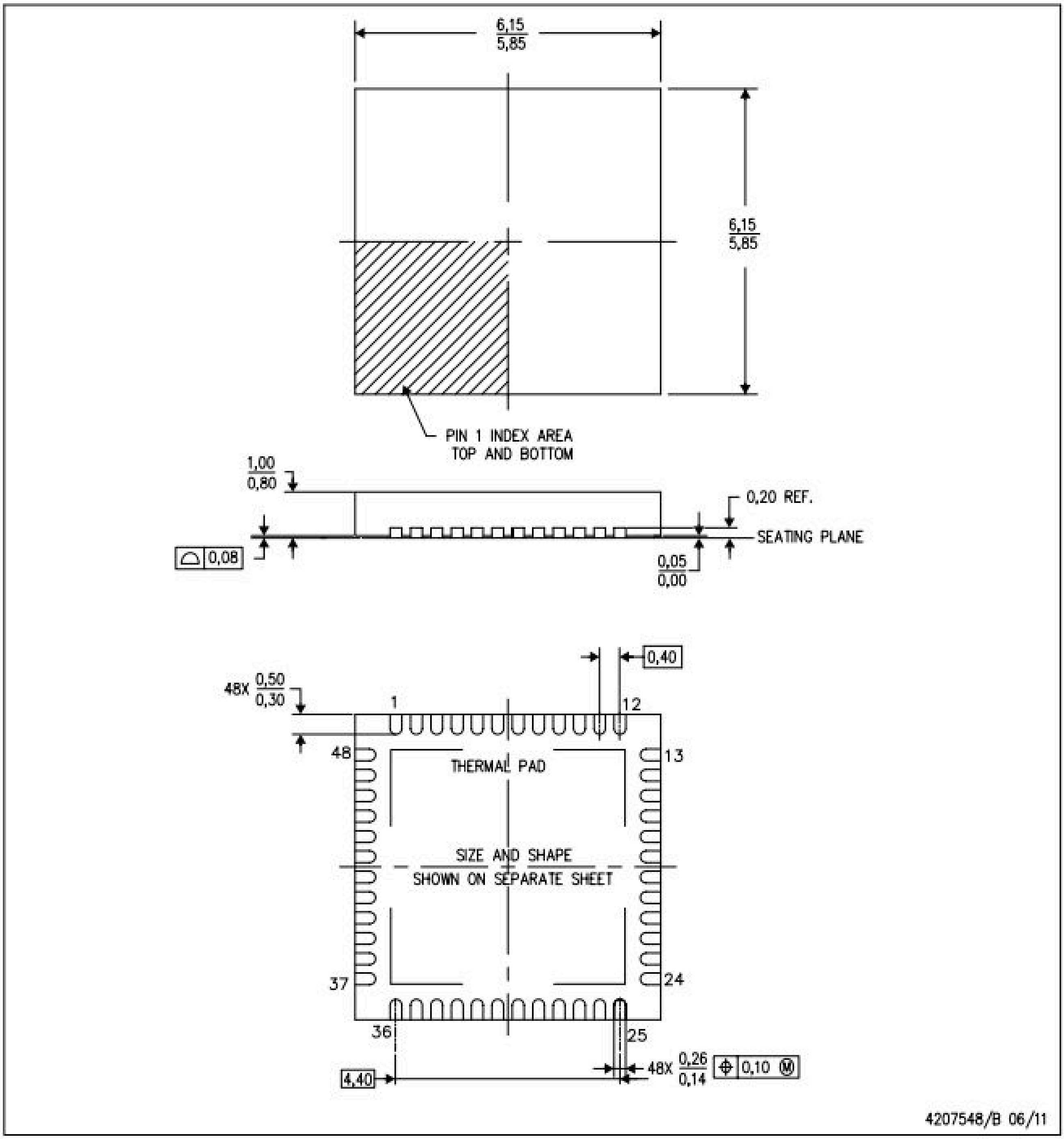
M = Month (1=Jan, 2=Feb, … A=Oct, B=Nov, C=Dec)

S = Assembly Site Code

LLLL = Assembly Lot Trace Code

Copyright © 2023 Texas Instruments Incorporated

RSL (S-PVQFN-N48) PLASTIC QUAD FLATPACK NO-LEAD



NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. Quad Flatpack, No–leads (QFN) package configuration.
D. The package thermal pad must be soldered to the board for thermal and mechanical performance.
E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.

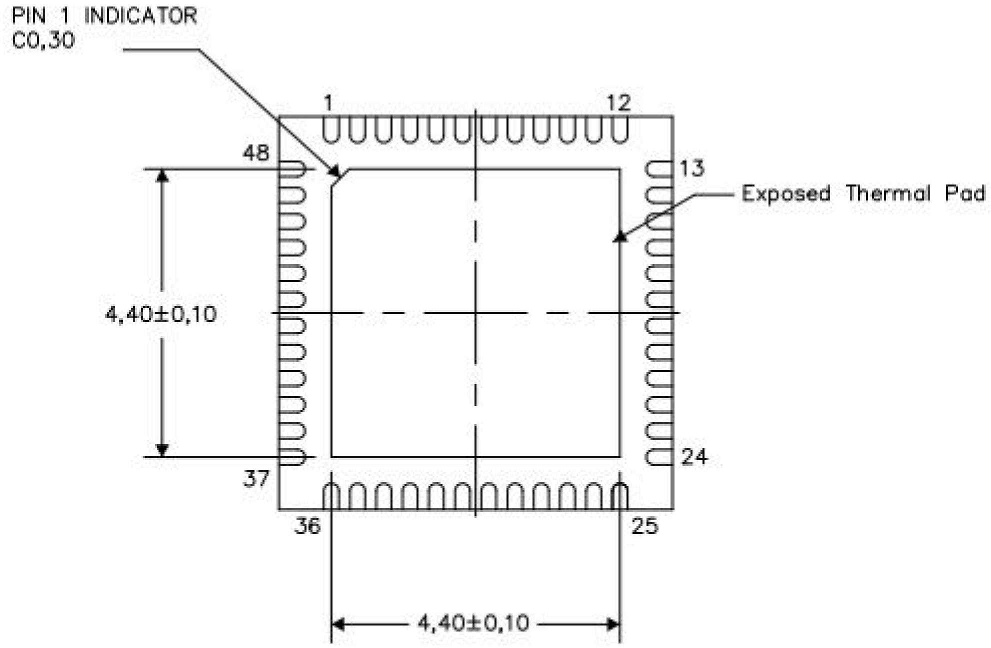
RSL (S-PVQFN-N48) PLASTIC QUAD FLATPACK NO-LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

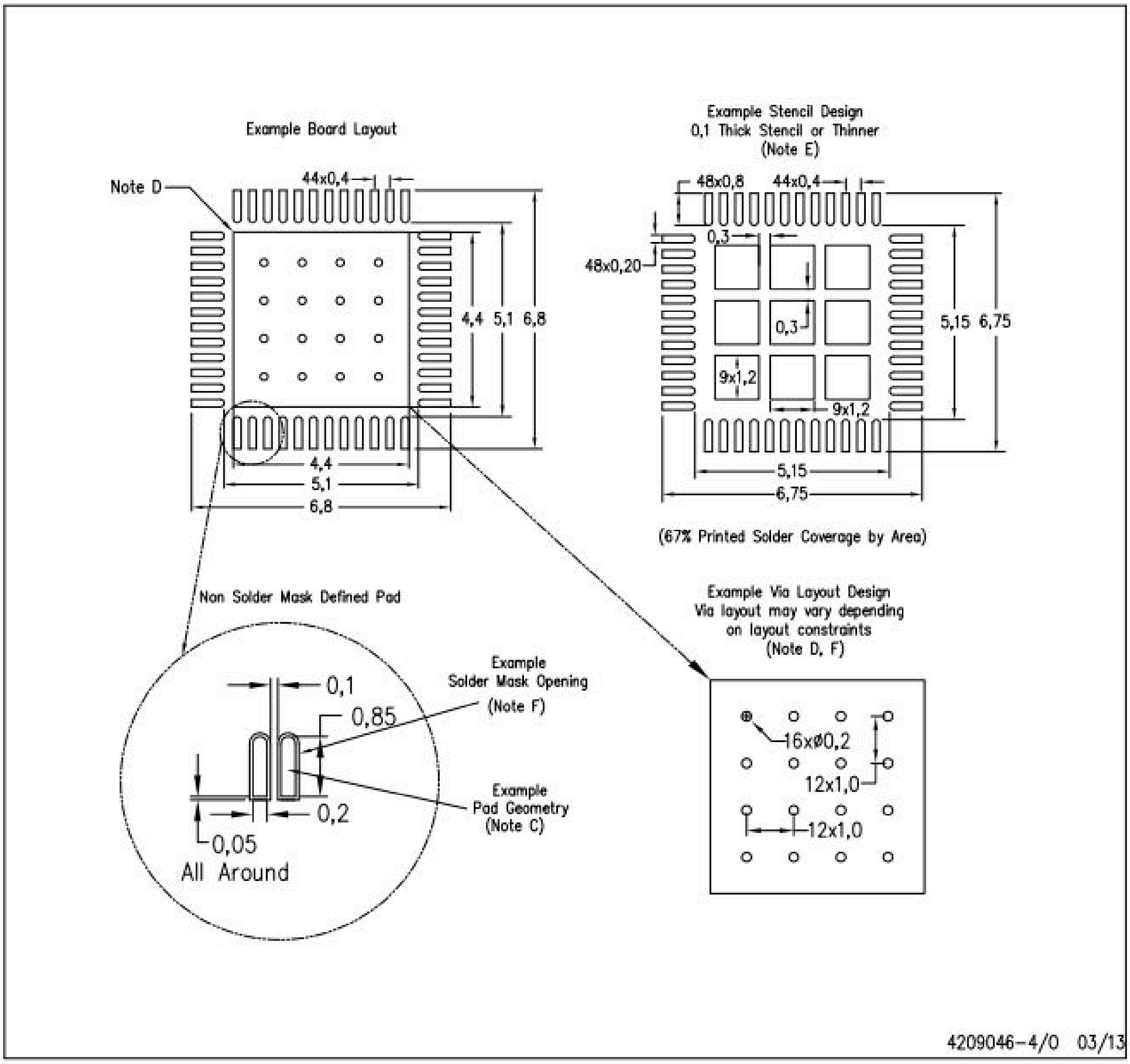
Exposed Thermal Pad Dimensions

4207841-2/P 03/13

NOTE: All linear dimensions are in millimeters

Copyright © 2023 Texas Instruments Incorporated

RSL (S-PVQFN-N48) PLASTIC QUAD FLATPACK NO-LEAD



NOTES:

A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC-7351 is recommended for alternate designs.
D. This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <http://www.ti.com>.
E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
F. Customers should contact their board fabrication site for recommended solder mask tolerances and via tenting recommendations for vias placed in the thermal pad.

7 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS536C9TRSLR	Active	Production	VQFN (RSL) | 48	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 536C9T
TPS536C9TRSLR.A	Active	Production	VQFN (RSL) | 48	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 536C9T

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

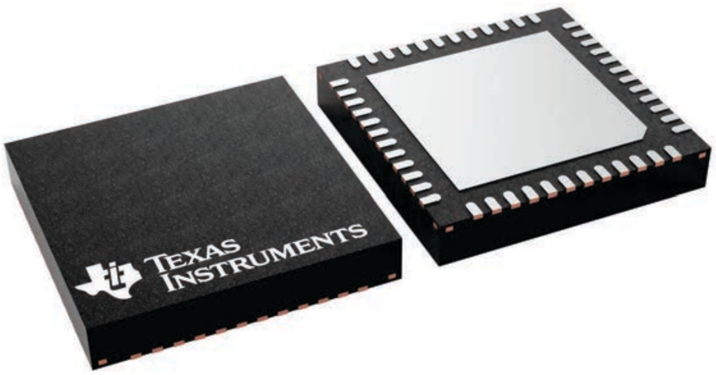
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

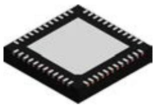
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

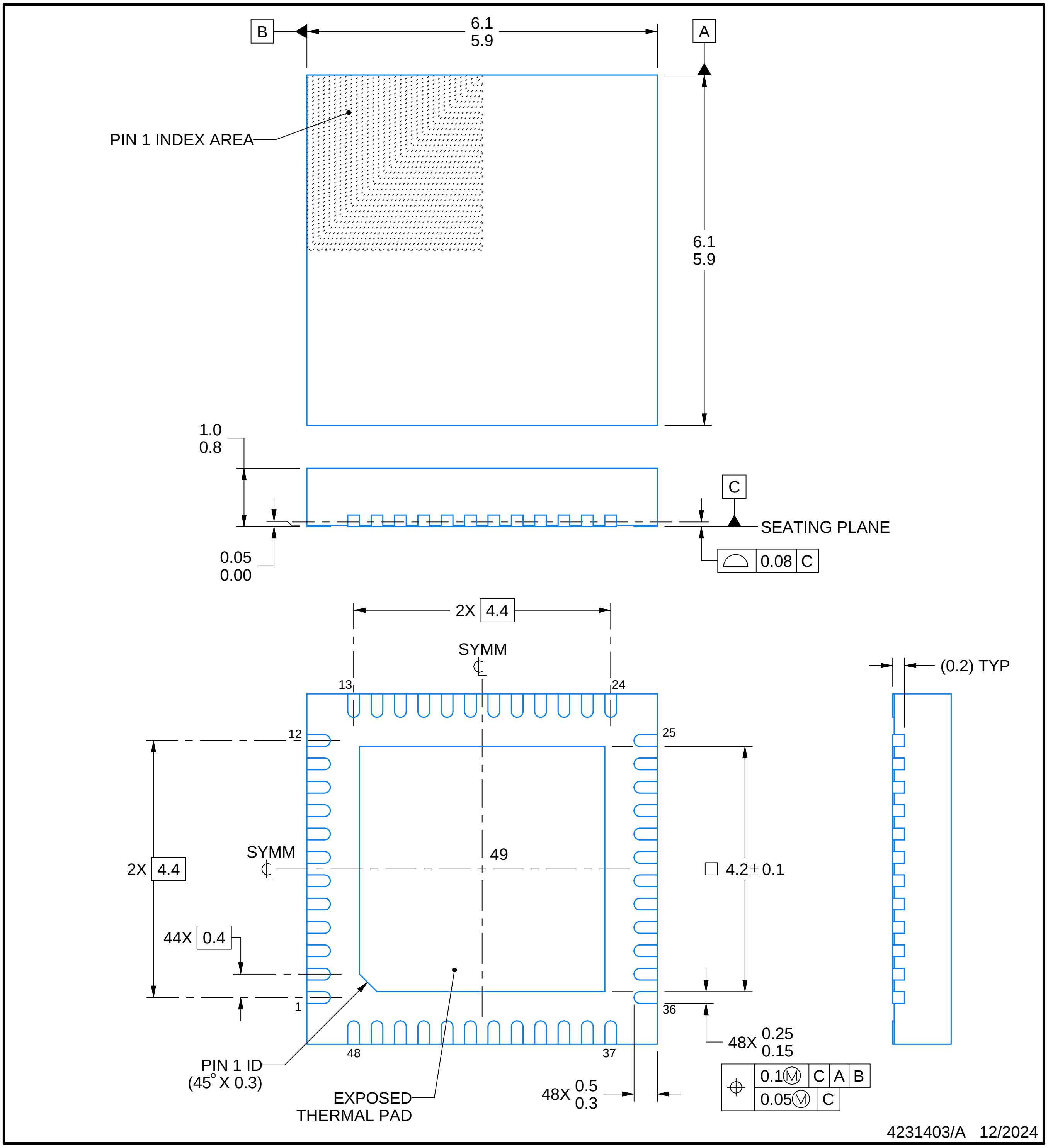




PACKAGE OUTLINE

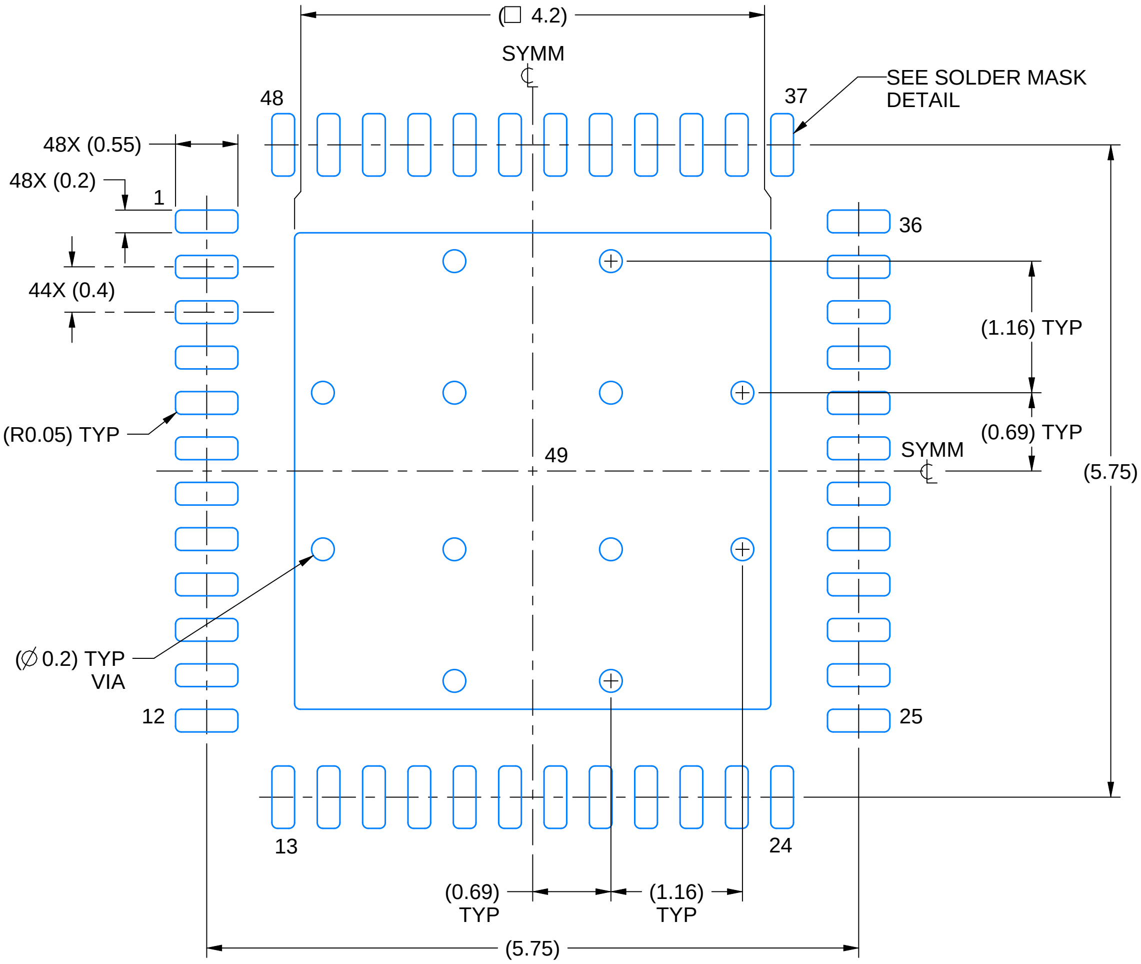
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

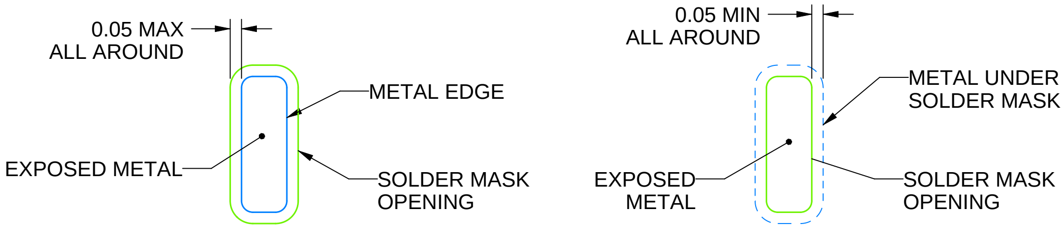


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



NON SOLDER MASK DEFINED (PREFERRED)

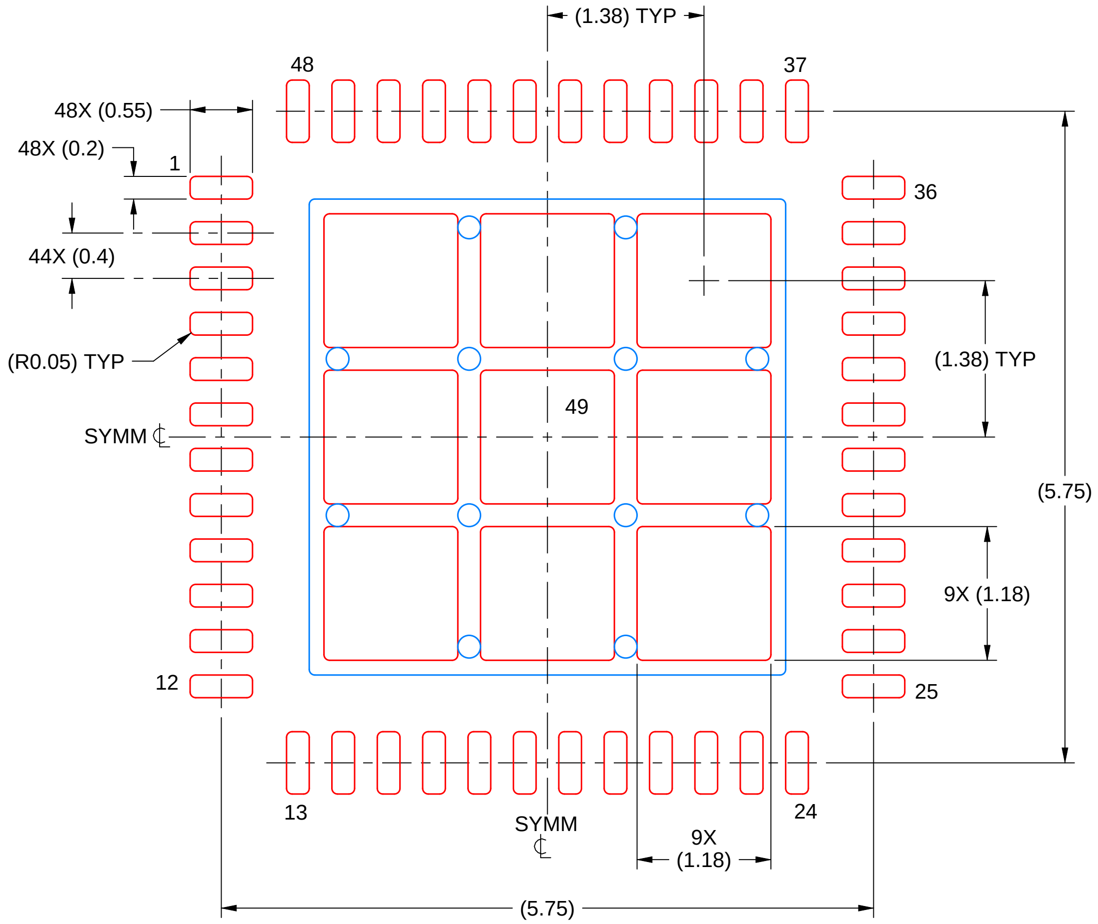
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4231403/A 12/2024

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 MM THICK STENCIL
SCALE: 15X

EXPOSED PAD 49
71% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4231403/A 12/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス･インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス･インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス･インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス･インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス･インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス･インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス･インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス･インスツルメンツは一切の責任を拒否します。

テキサス･インスツルメンツの製品は、 テキサス･インスツルメンツの販売条件、または ti.com やかかる テキサス･インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス･インスツルメンツがこれらのリソースを提供することは、適用される テキサス･インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス･インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated