

TPS389C03-Q1 マルチチャネル過電圧および低電圧 I²C プログラマブル電圧 スーパーバイザおよびモニタ、Q&A ウォッチドッグ付き

1 特長

- 以下の結果で AEC-Q100 認定済み:
 - デバイス温度グレード 1: -40°C ~ +125°C
 - デバイス HBM ESD 分類レベル 2
 - デバイス CDM ESD 分類レベル C7B
- 機能安全対応
 - ISO 26262 システムの設計に役立つ資料
 - ASIL D までの決定論的対応能力
 - ASIL D までのハードウェア機能
- SoC ソフトウェアの動作を監視する Q&A ウォッチドッグ
 - I²C (1ms~864ms) によるプログラム可能な OPEN/CLOSE ウォッチドッグ タイミング
 - SoC 起動初期化によるスタートアップ遅延 (2ms ~ 3.46s)
 - WDO アサート前のプログラム可能な最大違反カウント (最大 7)
 - ウォッチドッグ ディスエーブル ピン (WDE)
- 最新の SoC を監視
 - 3 チャネル、3 個のリモート センス付き (TPS389C03-Q1)
 - 入力電圧範囲: 2.6V ~ 5.5V
 - 低電圧誤動作防止 (UVLO): 2.6V
 - 高いスレッシュホールド精度:
 - ±5mV (-40°C ~ +125°C)
 - 電圧読み出し用の ADC を内蔵
 - 固定ウィンドウのスレッシュホールドレベル
 - 0.2V ~ 1.475V、5mV ステップ
 - その他の範囲は 20mV ステップ
- 小さなパッケージ サイズと最小限の部品コスト
 - 3mm × 3mm QFN パッケージ
 - 調整可能な電圧スレッシュホールド レベル (I²C 利用)
 - 調整可能なグリッチ耐性とヒステリシス レベル (I²C 利用)
- 安全アプリケーション向けに設計
 - エラー信号モニタ (ESM)
 - I²C によりプログラム可能な ESM 遅延 (1ms ~ 864ms)
 - 巡回冗長性検査 (CRC)
 - パケット エラー チェック (PEC)
 - アクティブ Low、オープンドレインの NIRQ、NRST、WDO 出力

2 アプリケーション

- 先進運転支援システム (ADAS)
- センサ フュージョン
 - レベル 3 ~ レベル 5 自律プラットフォーム

3 説明

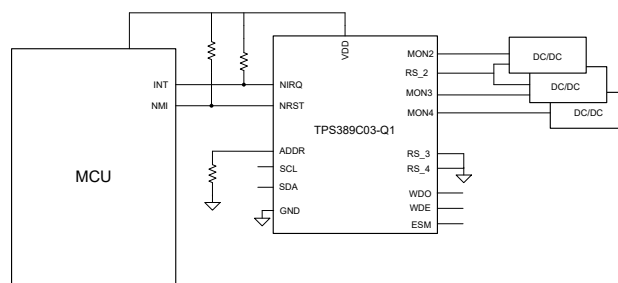
TPS389C03-Q1 デバイスは、一体型マルチチャネルのウィンドウ モニタリセット IC で、3 つのリモート センス ピンを搭載し、16 ピンの 3mm × 3mm QFN パッケージで供給されます。

この高精度のマルチチャネル電圧スーパーバイザは、低電圧電源レールで動作する、電源誤差の余地が小さいシステムに理想的です。内部的なグリッチ耐性およびノイズフィルタにより、信号エラーによる誤ったリセットも回避されます。この TPS389C03-Q1 デバイスは、外付け抵抗なしで過電圧および低電圧リセットのスレッシュホールドを設定できるため、総合的な精度、コスト、サイズをさらに最適化でき、安全性システムの信頼性も向上します。I²C 機能により、スレッシュホールド、リセット遅延、グリッチ フィルタ、ピン機能を柔軟に選択できます。このデバイスには、CRC エラー チェック機能と、電圧読み出しを行うための内蔵 ADC が搭載されており、冗長なエラー チェックが可能です。このデバイスには、Q&A ウォッチドッグとエラー信号モニタが組み込まれており、独立したウォッチドッグ イネーブルとウォッチドッグ出力があります。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
TPS389C03-Q1	RTE (WQFN, 16)	3mm × 3mm

- 供給されているすべてのパッケージについては、[セクション 12](#) を参照してください。
- パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



TPS389C03-Q1 の回路例



目次

1 特長	1	8 レジスタ マップ	48
2 アプリケーション	1	8.1 レジスタの概要.....	48
3 説明	1	9 アプリケーションと実装	120
4 デバイスの比較	3	9.1 アプリケーション情報.....	120
5 ピン構成および機能	5	9.2 代表的なアプリケーション.....	121
6 仕様	6	9.3 電源に関する推奨事項.....	134
6.1 絶対最大定格.....	6	9.4 レイアウト.....	134
6.2 ESD 定格.....	6	10 デバイスおよびドキュメントのサポート	136
6.3 推奨動作条件.....	6	10.1 デバイスの命名規則.....	136
6.4 熱に関する情報.....	7	10.2 ドキュメントのサポート.....	139
6.5 電気的特性.....	7	10.3 ドキュメントの更新通知を受け取る方法.....	139
6.6 タイミング要件.....	9	10.4 サポート・リソース.....	139
7 詳細説明	13	10.5 商標.....	139
7.1 概要.....	13	10.6 静電気放電に関する注意事項.....	139
7.2 機能ブロック図.....	13	10.7 用語集.....	139
7.3 機能説明.....	14	11 改訂履歴	139
7.4 デバイスの機能モード.....	46	12 メカニカル、パッケージ、および注文情報	140

4 デバイスの比較

図 4-1 はデバイス命名方法を示します。現在リリースされているバリエーションの構成の詳細については、表 4-2 および表 4-1 を参照してください。表 10-2 はレジスタ構成とデータ値の格納について、詳しく説明します。

表 4-3 に、利用可能なデバイス機能と対応する部品番号の概要が示されています。詳細とその他のオプションの提供状況については、TI の販売代理店にお問い合わせください。または、オンラインで TI の [E2E フォーラム](#) にアクセスしてください。最小注文数量が適用されます。

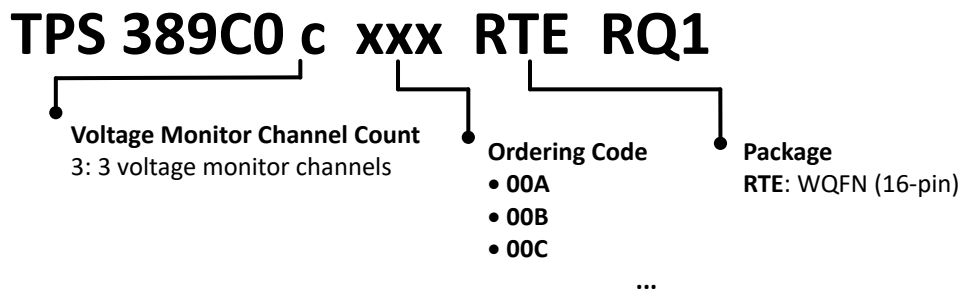


図 4-1. TPS389C03-Q1 デバイスの命名規則

表 4-1. TPS389C0x-Q1 デバイスのスレッシュホールド表

注文コード	チャンネル数の監視	スレッシュホールド	VMON2 (V)	VMON3 (V)	VMON4 (V)
TPS389C0300CRTERQ1	3	UV_HF / OV_HF	4.56/5.44	3.02/3.6	0.2/1.475
		UV_LF/OV_LF	4.56/5.44	3.02/3.6	0.2/1.475
TPS389C03A26RTERQ1	3	UV_HF / OV_HF	3.0/3.6	1.7/1.9	1.1/1.31
		UV_LF/OV_LF	3.16/3.44	1.72/1.88	1.145/1.25

表 4-2. TPS389C0x-Q1 デバイスの構成表

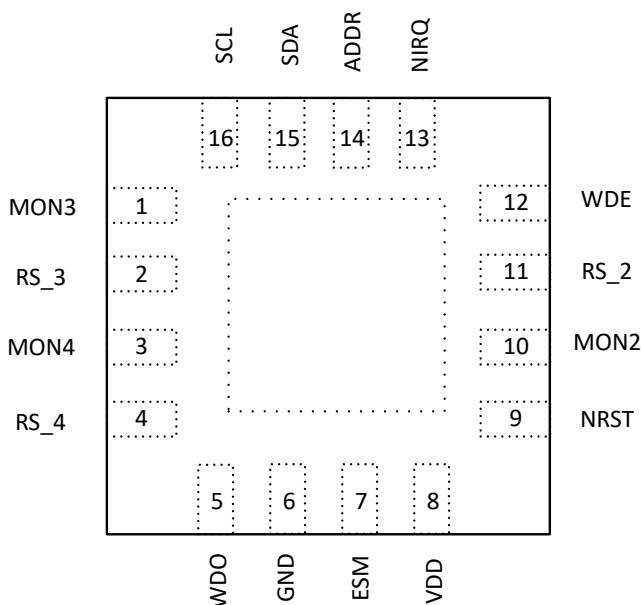
注文コード	機能	スケーリング	OV / UV デバウンズ	LF カットオフ	BIST	PEC	WD オープン (ms)	WD クローズ (ms)	最大 WD 違反数	I2C プルアップ電圧 (V)
TPS389C0300CRTERQ1	LF/HF を監視	4/4/1	102.4 us	1kHz	POR 時	ディセーブル	30	30	2	3.3V
TPS389C03A26RTERQ1	LF/HF を監視	4/4/1	102.4 us	1kHz	POR 時	イネーブル	100	100	7	3.3V

表 4-3. マルチチャネル スーパーバイザの概要表

仕様	TPS38900x-Q1	TPS389R0x-Q1 ⁽¹⁾	TPS38800x-Q1 ⁽¹⁾	TPS388R0x-Q1 ⁽¹⁾	TPS389C0x-Q1	TPS388C0x-Q1 ⁽¹⁾
ハードウェア ASIL 定格	D	D	B	B	D	B
チャネル数の監視	4~8	4~7	4~8	4~7	3~6	3~6
監視範囲	0.2 ~ 5.5V	0.2 ~ 5.5V	0.2 ~ 5.5V	0.2 ~ 5.5V	0.2 ~ 5.5V	0.2 ~ 5.5V
コンパレータ監視 (HF フォルト)	✓	✓	✓	✓	✓	✓
ADC 監視 (LF フォルト)	✓	✓	x	x	✓	x
ウォッチドッグ	x	x	x	x	Q&A	ウィンドウ
電圧テレメトリ	✓	✓	x	x	✓	x
グリッチ フィルタリングの監視	✓	✓	✓	✓	✓	✓
シーケンス ログ	✓	x	✓	x	✓	✓
NIRQ ピン	✓	✓	✓	✓	✓	✓
NRST ピン	x	✓	x	✓	✓	✓
SYNC ピン	✓	x	x	x	x	x
WDO ピン	x	x	x	x	✓	✓
WDI ピン	x	x	x	x	x	✓
ESM ピン	x	x	x	x	✓	x

(1) プレビューし、他のオプションの詳細と提供状況については、TI の販売担当者に問い合わせるか、TI の [E2E フォーラム](#)でお問い合わせください。

5 ピン構成および機能



**図 5-1. RTE パッケージ
16 ピン WQFN
TPS389C03-Q1 (上面図)**

表 5-1. ピンの機能

番号	ピン	I/O	説明
	TPS389C03-Q1 名称		
1	MON3	I	電圧モニタ チャンネル 3
2	RS_3	I	チャンネル 3 のリモート センス
3	MON4	I	電圧モニタ チャンネル 4
4	RS_4	I	チャンネル 4 のリモート センス
5	WDO	O	ウォッチドッグ エラー用のオープンドレイン ピン
6	GND	-	電源グラウンド
7	ESM	I	エラー信号モニタ
8	VDD	-	電源レール
9	NRST	O	オープンドレイン リセットピン
10	MON2	I	電圧モニタ チャンネル 2
11	RS_2	I	チャンネル 2 のリモート センス
12	WDE	I	ウォッチドッグをイネーブル
13	NIRQ	O	アクティブ Low オープンドレイン割り込み出力
14	ADDR	I	I ² C アドレス選択ピン
15	SDA	I/O	I ² C データピン
16	SCL	I	I ² C クロックピン
17	GND	-	露出した電源グラウンド パッド

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電圧	VDD	-0.3	6	V
電圧	NIRQ、NRST、WDO、ESM、WDE	-0.3	6	V
電圧	SCL、SDA	-0.3	VDD+0.3	V
電圧	ADDR	-0.3	2	V
電圧	MONx	-0.3	6	V
電流	NIRQ、NRST、WDO		±10	mA
温度 ⁽²⁾	連続総許容損失	「熱に関する情報」を参照		
	動作時の接合部温度、 T_J	-40	150	°C
	自由気流での動作温度 (T_A)	-40	125	°C
	保管温度、 T_{stg}	-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみに関するものであり、絶対最大定格において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) このデバイスの消費電力は低いため、 $T_J = T_A$ と想定されます。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	±500	
		すべてのピン 角のピン	±750	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています

6.3 推奨動作条件

		最小値	公称値	最大値	単位
VDD	電源ピンの電圧	2.6		5.5	V
NIRQ、NRST、WDO、ESM、WDE	ピン電圧	0		5.5	V
I_{NIRQ} 、NRST、WDO	ピン電流	0		±5	mA
ADDR	アドレス ピン電圧	0		1.8	V
MONx	モニタ ピン	0		5.5	V
SCL、SDA	ピン電圧	0		VDD	V
R_{UP} ⁽¹⁾	プルアップ抵抗 (オープンドレイン構成)	1		100	kΩ
T_J	接合部温度 (自由気流の温度)	-40		125	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS389C03-Q1	単位
		RTE (WQFN)	
		ピン	
R _{θJA}	接合部から周囲への熱抵抗	53.4	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	51.4	°C/W
R _{θJB}	接合部から基板への熱抵抗	17.2	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.3	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	20.7	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	3.9	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

6.5 電気的特性

2.6V ≤ VDD ≤ 5.5V、NIRQ 電圧 = 10kΩ ~ VDD、NIRQ 負荷 = 10pF、および自由気流での動作温度範囲 -40°C ~ 125°C (特に記述のない限り)。代表値は J = 25°C、代表条件は VDD = 3.3V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
共通パラメータ						
VDD	入力電源電圧		2.6		5.5	V
VDD _{UVLO}	立ち上がりスレッシュホールド		2.67		2.81	V
	立ち下がりスレッシュホールド		2.48		2.6	V
V _{POR}	パワー オンリセット電圧 ⁽²⁾				1.65	V
I _{DD_Active}	VDD ピンへの電源電流	VDD ≤ 5.5V		1550	2000	μA
V _{MONX}	MON 電圧範囲		0.2		5.5	V
I _{MONX}	入力電流 MONx ピン	V _{MON} = 5V			20	μA
V _{MON_LF}	1x モード (スケーリングなし)		0.2		1.475	V
	4x モード		0.8		5.5	V
V _{MON_HF}	1x モード (スケーリングなし)		0.2		1.475	V
	4x モード		0.8		5.5	V
Threshold Granularity_L _F	1x モード (スケーリングなし)			5		mV
	4x モード			20		mV
Threshold Granularity_H _F	1x モード (スケーリングなし)			5		mV
Threshold Granularity_H _F	4x モード			20		mV
Accuracy_H _F	V _{MON}	0.2V ≤ V _{MONX} ≤ 1.0V	-6		6	mV
		1.0V < V _{MONX} ≤ 1.475V	-7.5		7.5	mV
		1.475V < V _{MONX} ≤ 2.95V	-0.6		0.6	%
		V _{MONX} > 2.95V	-0.7		0.7	%
V _{HYS_HF}	UV、OV ピンのヒステリシス (ヒステリシスはトライポイント (UV)、(OV) に対して) ⁽¹⁾	0.2V ≤ V _{MONX} ≤ 1.475V		5	11	mV
		1.475V < V _{MONX} ≤ 2.95V		9	16	mV
		V _{MONX} > 2.95V		17	28	mV
MON_OFF	OFF 電圧スレッシュホールド	監視対象の V _{MON} 立ち下がりエッジ	140		215	mV
NIRQ	Low にアサートした場合のオン抵抗	オープンドレイン		12	17	Ω

6.5 電気的特性 (続き)

2.6V ≤ VDD ≤ 5.5V、NIRQ 電圧 = 10kΩ ~ V_{DD}、NIRQ 負荷 = 10pF、および自由気流での動作温度範囲 – 40°C ~ 125°C (特に記述のない限り)。代表値は $T_J = 25^\circ\text{C}$ 、代表条件は VDD = 3.3V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{OL}	Low レベル出力電圧-NIRQ	NIRQ、5.5V / 5mA			100	mV
I _{lkg(OD)}	オープンドレイン出力リーク電流-NIRQ	NIRQ ピンがハイ インピーダンス、V _{NIRQ} = 5.5、アサート状態なし			90	nA
NRST	Low にアサートした場合のオン抵抗	オープンドレイン		10	15	Ω
V _{OL}	Low レベル出力電圧-NRST	NRST、5.5V/5mA			100	mV
I _{lkg(OD)}	オープンドレイン出力リーク電流-NRST	NRST ピンはハイ インピーダンス、V _{NRST} = 5.5、アサートなし			600	nA
WDO	Low にアサートした場合のオン抵抗	オープンドレイン		12	17	Ω
V _{OL}	Low レベル出力電圧-WDO	WDO、5.5V/5mA			100	mV
I _{lkg(OD)}	オープンドレイン出力リーク電流-WDO	WDO ピンはハイ インピーダンス、V _{NRST} = 5.5、アサートなし			500	nA
ESM_L	ロジック Low 入力				0.24 x VDD	V
ESM_H	ロジック High 入力	VDD > 4.5	0.55 x VDD			V
		VDD < 4.5	0.6 x VDD			V
I _{lkg(ESM)}	リーク電流	ESM = 5.5V			75	μA
WDE_L	ロジック Low 入力				0.36	V
WDE_H	ロジック High 入力		1.26			V
I _{lkg(WDE)}	リーク電流	WDE = 5.5V			5	μA
I _{ADDR}	ADDR ピン電流			20		μA
I2C ADDR	(16 進形式)	R=5.36k		0x30		
		R=16.2k		0x31		
		R=26.7k		0x32		
		R=37.4k		0x33		
		R=47.5k		0x34		
		R=59.0k		0x35		
		R=69.8k		0x36		
		R=80.6k		0x37		
TSD	サーマル シャットダウン			155		°C
TSD Hys	サーマル シャットダウン ヒステリシス			25		°C
RS	リモート センス範囲		-100		100	mV
ADC の仕様						
V _{in} (入力電圧)	入力レンジ		0.2		5.5	V
分解能	1x モード	0.2V ≤ V _{MON} ≤ 1.475V		5		mV
	4x モード	V _{MON} > 1.475V		20		mV
f _s	サンプル レート			125		ksps
Accuracy_LF	V _{MON} 、1x モード	0.2V ≤ V _{MON} ≤ 1.475V	-12		+12	mV
	V _{MON} 、4x モード	V _{MON} > 1.475V	-40		+40	mV
I2C の電気的仕様						

6.5 電気的特性 (続き)

2.6V ≤ VDD ≤ 5.5V、NIRQ 電圧 = 10kΩ ~ V_{DD}、NIRQ 負荷 = 10pF、および自由気流での動作温度範囲 – 40°C ~ 125°C (特に記述のない限り)。代表値は $T_J = 25^\circ\text{C}$ 、代表条件は VDD = 3.3V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{HYS_LF}	ヒステリシス LF フォルト、1x モード	0.2V ≤ VMON ≤ 1.475V		10	15	mV
	ヒステリシス LF フォルト、4x モード	VMON > 1.475V		40	55	mV
C _B	SDA および SCL の容量性負荷				400	pF
SDA, SCL	Low スレッシュホルド	DEV_CONFIG.SOC_IF=0			0.84	V
SDA, SCL	High スレッシュホルド	DEV_CONFIG.SOC_IF=0	2.31			V

- (1) ヒステリシスは、トリップポイント (V_{IT-}(UV)、V_{IT+}(OV)) と関連しています。
- (2) V_{POR} は、制御された出力状態の最小 V_{DDX} 電圧レベルです。

6.6 タイミング要件

特に断りのない限り、VDD が 2.6V ~ 5.5V、NIRQ 電圧が 10kΩ で VDD にプルアップされ、NIRQ の負荷が 10pF、かつ動作周囲温度範囲が – 40°C ~ 125°C の条件下で適用されます。代表値は $T_J = 25^\circ\text{C}$ 、代表条件は VDD = 3.3V。

			最小値	公称値	最大値	単位
共通パラメータ						
t _{BIST}	BIST 付きで POR を準備完了、TEST_CFG.AT_POR=1	OTP 負荷を含む			12	ms
t _{NBIST}	BIST なしで POR を準備完了、TEST_CFG.AT_POR=0	OTP 負荷を含む			2	ms
BIST	BIST 時間、TEST_CFG.AT_POR=1 または TEST_CFG.AT_SHDN=1				10	ms
t _{I2C_ACT}	BIST 完了から I2C がアクティブ				0	μs
t _{NRST}	フォルト検出から NRST のアサートまでのレイテンシ				25	μs
t _{WDO}	フォルト検出から WDO のアサートまでのレイテンシ				25	μs
t _{NIRQ}	フォルト検出から NIRQ アサートまでのレイテンシ (OV / UV フォルトを除く)				25	μs
t _{PD_NIRQ_1X}	HF フォルト伝搬検出遅延 (デフォルトのグリッチ除去フィルタ) には、デジタル遅延が含まれます	VIT_OV / UV +/- 100mV			650	ns
t _{PD_NIRQ_4X}	HF フォルト伝搬検出遅延 (デフォルトのグリッチ除去フィルタ) には、デジタル遅延が含まれます	VIT_OV / UV +/- 400mV			750	ns
t _D	RESET 時間遅延	I2C レジスタ時間遅延 = 000		200		μs
		I2C レジスタ時間遅延 = 001		1		ms
		I2C レジスタ時間遅延 = 010		10		ms
		I2C レジスタ時間遅延 = 011		16		ms
		I2C レジスタ時間遅延 = 100		20		ms
		I2C レジスタ時間遅延 = 101		70		ms
		I2C レジスタ時間遅延 = 110		100		ms
		I2C レジスタ時間遅延 = 111		200		ms

6.6 タイミング要件 (続き)

特に断りのない限り、VDD が 2.6V ～ 5.5V、NIRQ 電圧が 10kΩ で VDD にプルアップされ、NIRQ の負荷が 10pF、かつ動作周囲温度範囲が -40°C ～ 125°C の条件下で適用されます。代表値は $T_J = 25^\circ\text{C}$ 、代表条件は $V_{DD} = 3.3\text{V}$ 。

			最小値	公称値	最大値	単位
t_{D_WD}	WDO 遅延	I2C レジスタ時間遅延 = 000		1		ms
		I2C レジスタ時間遅延 = 001		2		ms
		I2C レジスタ時間遅延 = 010		5		ms
		I2C レジスタ時間遅延 = 011		10		ms
		I2C レジスタ時間遅延 = 100		20		ms
		I2C レジスタ時間遅延 = 101		50		ms
		I2C レジスタ時間遅延 = 110		100		ms
		I2C レジスタ時間遅延 = 111		200		ms
$t_{\text{debounce_ESM}}$	デバウンス時間	I2C レジスタ時間遅延 = 00		10		μs
		I2C レジスタ時間遅延 = 01		25		
		I2C レジスタ時間遅延 = 10		50		
		I2C レジスタ時間遅延 = 11		100		
t_{GI_R}	I2C を介した UV および OV デバウンス範囲	FLT_HF(N)	0.1		102.4	μs

6.6 タイミング要件 (続き)

特に断りのない限り、VDD が 2.6V ~ 5.5V、NIRQ 電圧が 10kΩ で VDD にプルアップされ、NIRQ の負荷が 10pF、かつ動作周囲温度範囲が -40°C ~ 125°C の条件下で適用されます。代表値は $T_J = 25^\circ\text{C}$ 、代表条件は $V_{DD} = 3.3\text{V}$ 。

			最小値	公称値	最大値	単位
I2C のタイミング特性						
f _{SCL}	シリアル クロック周波数	スタンダード モード			100	kHz
f _{SCL}	シリアル クロック周波数	ファスト モード			400	kHz
f _{SCL}	シリアル クロック周波数	ファスト モード+			1	MHz
t _{LOW}	SCL Low 時間	スタンダード モード	4.7			μs
t _{LOW}	SCL Low 時間	ファスト モード	1.3			μs
t _{LOW}	SCL Low 時間	ファスト モード+	0.5			μs
t _{HIGH}	SCL High 時間	スタンダード モード	4			μs
t _{HIGH}	SCL High 時間	ファスト モード+	0.26			μs
t _{SU,DAT}	データ セットアップ時間	スタンダード モード	250			ns
t _{SU,DAT}	データ セットアップ時間	ファスト モード	100			ns
t _{SU,DAT}	データ セットアップ時間	ファスト モード+	50			ns
t _{HD,DAT}	データ ホールド時間	スタンダード モード	10			ns
t _{HD,DAT}	データ ホールド時間	ファスト モード	10			ns
t _{HD,DAT}	データ ホールド時間	ファスト モード+	10			ns
t _{SU,STA}	開始または反復開始条件のセットアップ時間	スタンダード モード	4.7			μs
t _{SU,STA}	開始または反復開始条件のセットアップ時間	ファスト モード	0.6			μs
t _{SU,STA}	開始または反復開始条件のセットアップ時間	ファスト モード+	0.26			μs
t _{HD,STA}	開始または反復開始条件のホールド時間	スタンダード モード	4			μs
t _{HD,STA}	開始または反復開始条件のホールド時間	ファスト モード	0.6			μs
t _{HD,STA}	開始または反復開始条件のホールド時間	ファスト モード+	0.26			μs
t _{BUF}	STOP 条件と START 条件の間のバス フリー時間	スタンダード モード	4.7			μs
t _{BUF}	STOP 条件と START 条件の間のバス フリー時間	ファスト モード	1.3			μs
t _{BUF}	STOP 条件と START 条件の間のバス フリー時間	ファスト モード+	0.5			μs
t _{SU,STO}	停止条件のセットアップ時間	スタンダード モード	4			μs
t _{SU,STO}	停止条件のセットアップ時間	ファスト モード	0.6			μs
t _{SU,STO}	停止条件のセットアップ時間	ファスト モード+	0.26			μs
tr _{DA}	SDA 信号の立ち上がり時間	スタンダード モード			1000	
tr _{DA}	SDA 信号の立ち上がり時間	ファスト モード	20		300	ns
tr _{DA}	SDA 信号の立ち上がり時間	ファスト モード+			120	ns
tf _{DA}	SDA 信号の立ち下がり時間	スタンダード モード			300	ns
tf _{DA}	SDA 信号の立ち下がり時間	ファスト モード	1.4		300	ns
tf _{DA}	SDA 信号の立ち下がり時間	ファスト モード+	6.5		120	ns
tr _{CL}	SCL 信号の立ち上がり時間	スタンダード モード			1000	ns
tr _{CL}	SCL 信号の立ち上がり時間	ファスト モード	20		300	ns
tr _{CL}	SCL 信号の立ち上がり時間	ファスト モード+			120	ns
tf _{CL}	SCL 信号の立ち下がり時間	スタンダード モード			300	ns
tf _{CL}	SCL 信号の立ち下がり時間	ファスト モード	6.5		300	ns
tf _{CL}	SCL 信号の立ち下がり時間	ファスト モード+	6.5		120	ns

6.6 タイミング要件 (続き)

特に断りのない限り、VDD が 2.6V ～ 5.5V、NIRQ 電圧が 10k Ω で VDD にプルアップされ、NIRQ の負荷が 10pF、かつ動作周囲温度範囲が -40°C ～ 125°C の条件下で適用されます。代表値は T_J = 25°C、代表条件は VDD = 3.3V。

			最小値	公称値	最大値	単位
tSP	抑制されている SCL および SDA スパイクのパルス幅	標準モード、ファストモード、ファストモード+			50	ns

7 詳細説明

7.1 概要

TPS389C03-Q1 ファミリのデバイスには最大 3 つのチャネルがあり、ウィンドウ構成で過電圧、低電圧、または両方に構成できます。TPS389C03-Q1 は、高精度のウィンドウ スレッシュホールド電圧 (最大 $\pm 5\text{mV}$) および各種の電圧スレッシュホールドを備えています。これは、工場出荷時の構成を使用するか、起動時に I2C コマンドで構成することができます。

TPS389C03-Q1 には、デバイス内部で過電圧スレッシュホールドおよび低電圧スレッシュホールドを設定するための抵抗が含まれています。これらの内部抵抗によって、部品点数が削減でき、外部抵抗の精度を考慮したマージンを追加する必要がないため、設計を大幅に簡略化できます。

TPS389C03-Q1 は、監視対象の電圧が安全なウィンドウ外であるときに、アクティブ Low の出力信号 (NIRQ または NRST) をアサートするように設計されています。デフォルト構成では、過電圧および低電圧の障害に対する割り込みが有効になっており、シーケンス タイムアウトは 1ms に設定されています。さらに、POR 時に BIST が有効で、過電圧および低電圧のデバウンス時間は 102.4 μs に設定されています。

7.2 機能ブロック図

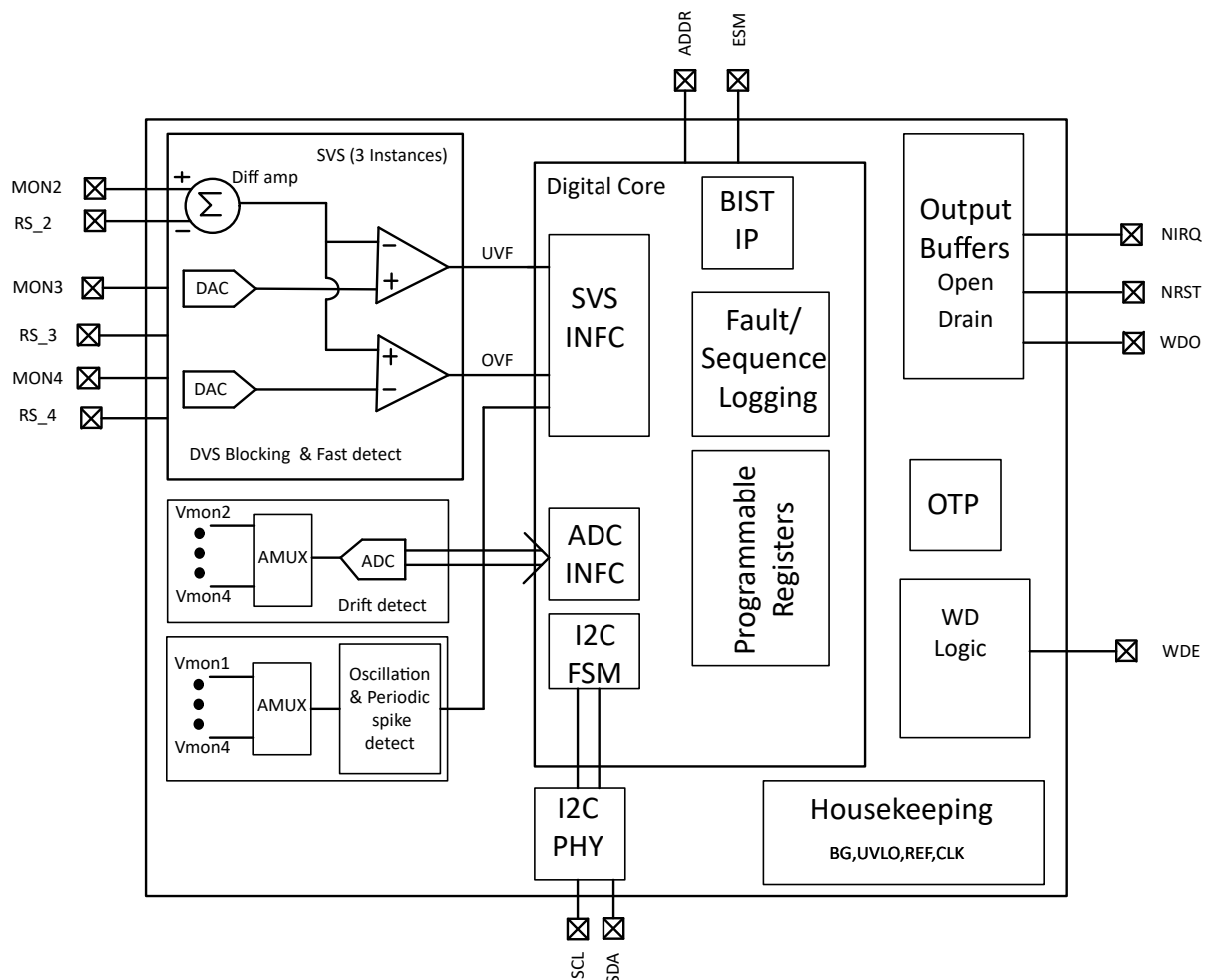


図 7-1. TPS389C03-Q1 ブロック図

7.3 機能説明

7.3.1 I²C

TPS389C03-Q1 デバイスは I²C プロトコル (最大 1MHz) に従っており、MCU またはシステム オン チップ (SoC) などのホスト デバイスとの通信を管理できます。I²C は、クロック (SCL) とデータ (SDA) という 2 つの信号を使用して実装された 2 線式通信プロトコルです。ホスト デバイスは、通信の主なコントローラです。TPS389C03-Q1 デバイスは、I²C プロトコルで定義されている読み取りまたは書き込み動作中に、データライン上で応答します。SCL 信号と SDA 信号はいずれもオープンドレイントポロジであり、他のデバイスとの有線 OR 構成で通信バスを共有するために使用できます。SCL ピンと SDA ピンの両方に、電源電圧に対する外付けプルアップ抵抗が必要です (10kΩ 推奨)。

図 7-2 に、SCL ラインと SDA ライン間の 1 バイトのデータを転送するタイミング関係が示されています。SCL ラインは常に、ホストによって制御されます。1 バイトのデータを転送するには、ホストは SCL で 9 クロックを送信する必要があります。データの場合は 8 クロック、ACK または NACK の場合は 1 クロックです。SDA ラインは、読み取りまたは書き込みの動作に基づいて、ホストまたは TPS389C03-Q1 デバイスによって制御されます。図 7-3 および 図 7-4 に、アクティブな通信中にさまざまなインスタンスで SDA ラインを制御する通信プロトコルのフロー、およびどのデバイスが SDA ラインを制御するかが示されています。

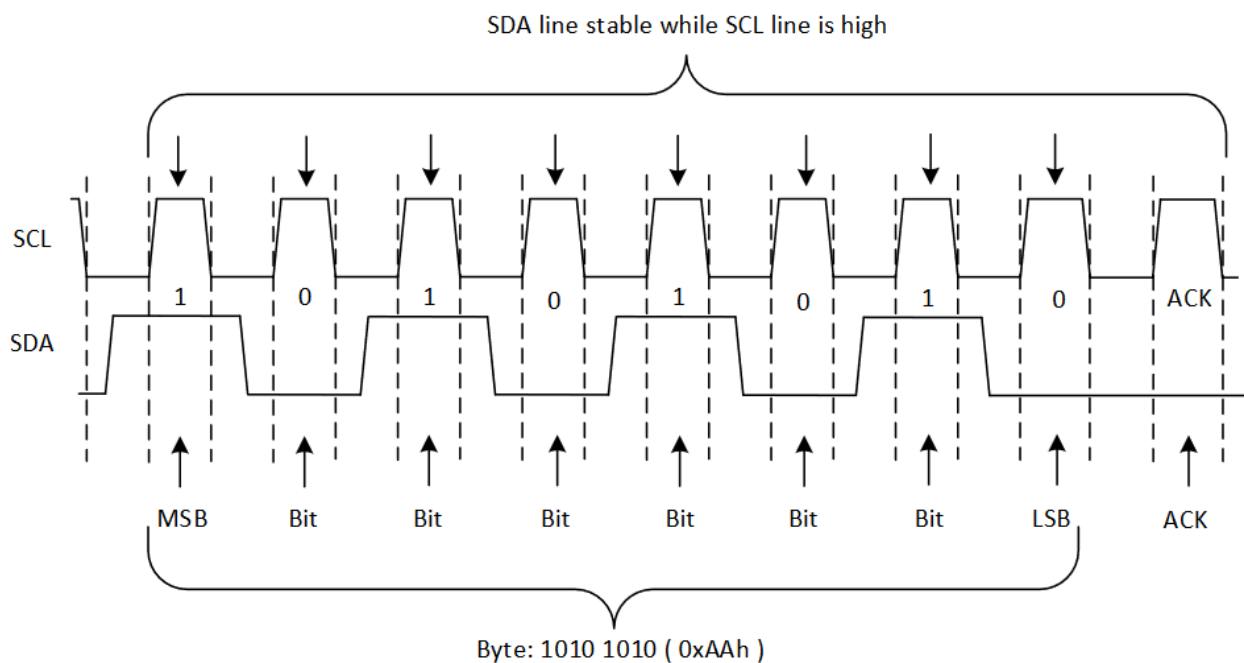


図 7-2. 1 バイトのデータ転送の SCL から SDA へのタイミング

- ☒ Master Controls SDA Line
☐ Slave Controls SDA Line

Write to One Register in a Device

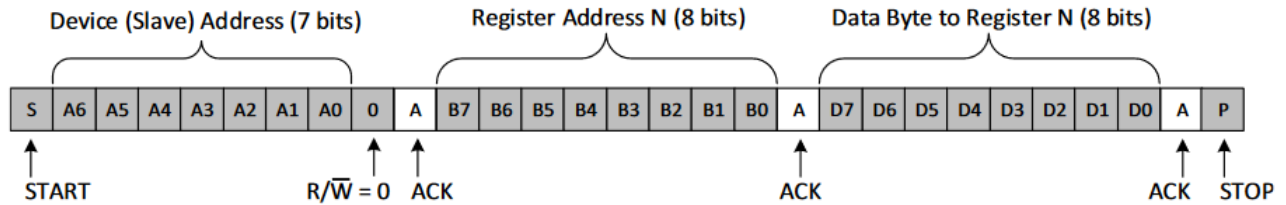


図 7-3. I²C 書き込みプロトコル

- ☒ Master Controls SDA Line
☐ Slave Controls SDA Line

Read From One Register in a Device

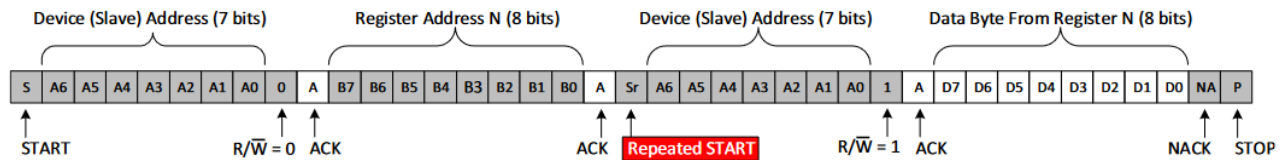
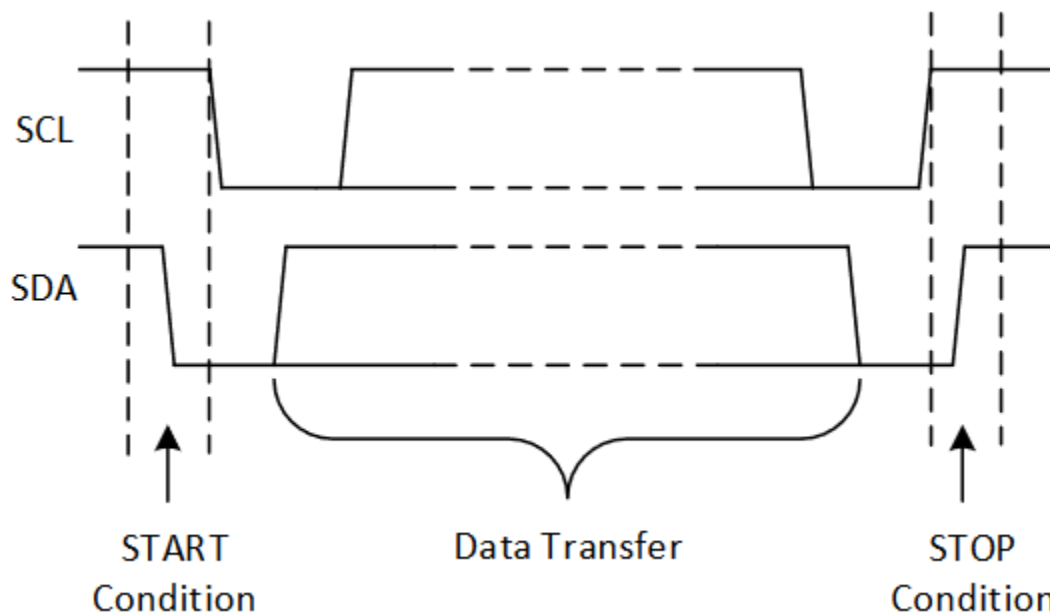


図 7-4. I²C 読み取りプロトコル

I²C プロトコルで通信を開始する前に、ホストは I²C バスが通信で利用可能であることを確認する必要があります。SCL と SDA ラインを監視し、いずれかのラインが Low にプルされると、I²C バスが使用されます。ホストは、バスが通信に利用可能になるまで待機する必要があります。通信にバスが利用可能になると、ホストは START 条件を発行して、読み取りまたは書き込み動作を開始できます。I²C 通信が完了したら、STOP コマンドを発行してバスを解放します。図 7-5 に、START 条件および STOP 条件の実装方法が示されています。

図 7-5. I²C の START 条件と STOP 条件

ホストから必要な数のクロックが供給されない場合、SDA ラインはロジック Low レベルに固着することがあります。この場合は、SDA ラインが High になるまで、ホストは SCL ライン上に複数のクロックを供給できます。このイベントの後、ホストは I²C STOP コマンドを発行できます。この結果として、I²C バスや他のデバイスは I²C バスを使用できます。

表 7-1 に、I²C でプログラムする際に利用できる各種の機能が示されています。

表 7-1. ユーザー プログラマブル I²C 機能

機能	説明
OV / UV- HF のスレッシュホールド	0.2V ~ 1.475V の範囲で 5mV ステップ、0.8V ~ 5.5V の範囲で 20mV ステップで調整可能
OV / UV- LF のスレッシュホールド	0.2V ~ 1.475V の範囲で 5mV ステップ、0.8V ~ 5.5V の範囲で 20mV ステップで調整可能
電圧監視スケーリング	1 または 4
OV / UV- HF のグリッチ耐性	0.1μs ~ 102.4μs
低周波数カットオフ フィルタ	ARM: 250 Hz ~ 4 kHz
シーケンスのタイムアウトを有効化	1ms ~ 4s
I ² C のパケット エラー チェック	有効化または無効化
NIRQ / NRST / WDO のアサートを強制	I ² C レジスタによる制御
個別チャンネル MON	有効または無効
割り込み無効化機能	BIST、PEC、TSD、CRC
ESM スレッシュホールド	1ms から 864ms に変更
ESM デバウンス	10μs ~ 100μs
リセット遅延	200μs ~ 200ms
最大制限超過数	0 ~ 7
ウォッチドッグ スタートアップ遅延通倍器	0 ~ 7
ウォッチドッグ オープン / クローズ ウィンドウ時間	1ms から 864ms に変更
ウォッチドッグ出力遅延	200μs ~ 200ms (ラッチなし WDO のみに適用)
OV/UV/ESM/WDT	NIRQ、NRST、WDO に個別にマッピング可能

7.3.2 マスカブル割り込み (AMSK)

パワーアップの場合は、AMSK_ON レジスタが適用されます。MON 電圧が UVLF スレッシュホールドまたはシーケンス タイムアウトのいずれか早い方に達するまで、AMSK_ON が割り込みをマスクします。パワーダウンの場合は、AMSK_OFF レジスタが適用されます。AMSK_ON は、MON 電圧が OFF しきい値を下回るまで割り込みをマスクし、その後に OVLF 割り込みが有効になります。

表 7-2 に、パワーアップ時およびパワーダウン時の自動マスク動作が示されています。

表 7-2. パワーアップ時とパワーダウン時の自動マスク動作

遷移	自動マスクが適用されます	自動マスクが以下に適用されます	自動マスクは非アクティブです	MON チャネルの割り込みアクティブは自動マスクがありません
パワーアップ	AMSK_ON	IEN_UVLF、IEN_UVHF、 IEN_OVHF	SEQ_TOUT が期限切れになるか、レールが UVLF を超えます	パワーアップ時
パワーダウン	AMSK_OFF		SEQ_TOUT が期限切れになるまで、遷移で自動マスクがアクティブになります	SEQ_TOUT が期限切れるまで

7.3.3 VDD

TPS389C03-Q1 は、2.6V ~ 5.5V の入力電源電圧範囲で動作するように設計されています。このデバイスには入力電源コンデンサは必要ありませんが、入力電源にノイズが多い場合は、VDD ピンと GND ピンの間に 1μF コンデンサを配置する方法がアナログ手法として適切です。

デバイスが完全に機能するには、スタートアップ遅延 ($t_{SD} + t_D$) の $V_{DD(MIN)}$ が少なくとも V_{DDDD} 以上である必要があります。

7.3.4 MON

TPS389C03-Q1 には、高精度リファレンス電圧を備えた 2 つのコンパレータおよびモニタ (MON) チャネルごとに調整された抵抗デバイダが組み合わさっています。この構成によって、すべての抵抗許容誤差が精度と性能仕様において考慮されているため、デバイスの精度が最適化されます。両方のコンパレータには、ノイズ耐性をもたらし、安定した動作を提供するヒステリシスも内蔵されています。

各 MON チャネルは、低周波 (LF) および高周波 (HF) のフォルト検出に対応するように設定できます。HF フォルト検出では、スレッシュホールド電圧を基準とする UV と OV の測定にコンパレータを使用します。グリッチ耐性のデバウンス フィルタは、各 MON チャネルに対応する BANK1 の FLT_HF レジスタを使用して、HF フォルトに構成できます。

LF フォルト検出は、電圧ドリフトの監視に使用可能な ADC を通して電圧を測定します。LF 検出スレッシュホールドは、さまざまな目的に設定できます。たとえば、ドリフト監視の場合、OVLF スレッシュホールドを OVHF スレッシュホールドより低く設定できます。あるいは、冗長性を確保するために、OVLF スレッシュホールドを OVHF スレッシュホールドと重なるように設定することもできます。LF および HF のフォルトは、BANK1 にある UV_HF、OV_HF、UV_LF、OV_LF レジスタを使用して設定されます。各 MON チャネルには、独自の UV_HF、OV_HF、UV_LF、OV_LF レジスタがあります。図 7-6 に示す図は、LF および HF フォルトを構成する方法の例を示しています。

Ultra fast detection with comparators with deglitch filters (0.1us to 102.4us)

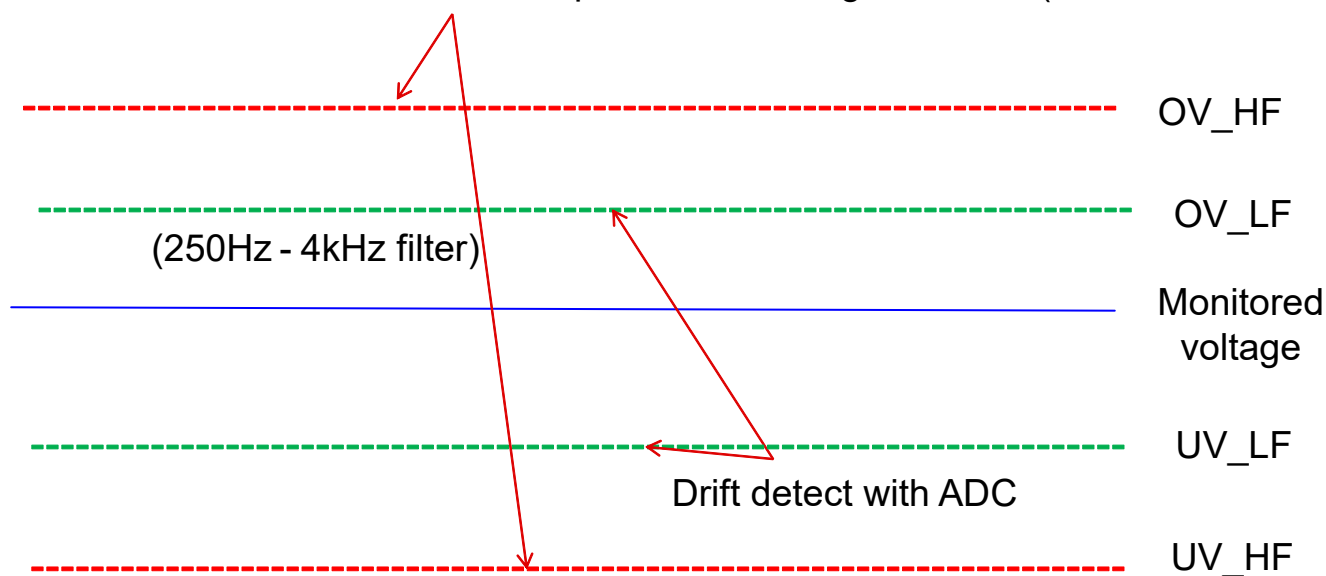


図 7-6. MON チャンネルの状態図

大半の場合必要ではありませんが、ノイズの多いアプリケーションでは、MON 入力に 1nF ~ 10nF のバイパス コンデンサを配置して、監視対象の信号の過渡電圧に対する感度を低減する方法が優れたアナログ設計手法といえます。具体的なデバウンス時間やグリッチ除去時間は、I²C レジスタにより各 MON に対して個別に設定することもできます

VDD 電源電圧を監視する場合、MON ピンを VDD に直接接続できます。MON ピンの電圧がスレッショルドの上限と下限の間にあるときは、出力 NIRQ および NRST はハイ インピーダンスになります。

MON チャンネル設定は、[セクション 8](#) に示すレジスタ マップに示される関連するレジスタを使用して調整できます。レジスタ マップを使用して、[図 7-7](#) のコード例で、MON2 を再構成する方法を示しています。

```

ADDR 30
//          Go to Bank 1
WR F0 01
//          Check UVHF,OVHF thresholds for MON2 and MON3
RD 30 //MON2 UVHF
RD 31 //MON2 OVHF
RD 40 //MON3 UVHF
RD 41 //MON3 OVHF
//          Check UVLF,OVLF thresholds for MON2 and MON3
RD 32 //MON2 UVHF
RD 33 //MON2 OVHF
RD 42 //MON3 UVHF
RD 43 //MON3 OVHF
//          Example change OVHF threshold MON2 to 5.5V
WR 31 EB
//          Example change OVHF threshold MON2 to 5.48V
WR 31 EA
//          Example change OVHF threshold MON2 to 5.44V
WR 31 E8
//          Telemetry read the voltages being monitored
//          Go to Bank 0
WR F0 00
RD 41 // MON2 Voltage
RD 42 // MON3 Voltage
//          Simulate an OV fault on MON2
//          Go to Bank 1
WR F0 01
WR 31 C8 // Change OVHF threshold to 4.8V
//          NIRQ,NRST asserts (depends on mapping)
//          Clearing OVHF fault MON2
//          Go to Bank 0
WR F0 00
RD 16 // 02 READ SINCE OVHF on MON2
WR 16 02 // WRITE 1(bit 2) to clear

```

図 7-7. MON2 設定のソフトウェア例

7.3.5 NRST

NRST ピンにはプログラマブル リセット遅延時間があり、TI_CONTROL レジスタを使用する場合、0.2ms ~ 200ms の範囲で調整できます。NRST はオープンドレイン出力で、1kΩ ~ 100kΩ のプルアップ抵抗を介してプルアップする必要があります。デバイスのパワーアップ時に POR が完了すると、BIST が完了するまで NRST が Low にアサートされます。BIST の後、マッピング可能なフォルト条件によってトリガされるまで、NRST は High のままです (アサートされない)。NRST ピンが予期しない状態にプルされると、NRST_MISMATCH フォルトがアサートされます。たとえば、NRST ピンがハイインピーダンス状態 (ロジック High) で、外部から Low に駆動されると、NRST_MISMATCH フォルトがアサートされます。NRST トグルの間、2μs の後で NRST 不一致がアクティブになります。ロジック High 状態と見なされるには、NRST が 0.6*VDD を超えている必要があります。

NRST は、IEN_VENDOR レジスタを使用するときのウォッチドッグ フォルトおよび ESM フォルトにマップできます。NRST が ESM フォルトにマッピングされている場合、ESM の遅延後に NRST ピンがアサートされ、リセット遅延 (t_D) 後にデアサートされます。NRST がウォッチドッグ フォルトに割り当てられている場合、ウォッチドッグ フォルト中に NRST ピンがアサートされ、リセット遅延 (t_D) 後にデアサートされます。

NRST は、FC_LF[n] レジスタを使用して、OVHF および UVHF フォルトにもマッピングできます。監視対象の電圧がプログラムされた OVHF および UVHF スレッショルドを下回る、または上回ると、NRST がアサートされ、NRST ピンが Low に駆動されます。監視対象の電圧が有効なウィンドウに戻ると、リセット遅延回路が有効になり、指定されたリセット遅延期間 (t_D) にわたって NRST を Low に保持します。NRST がアサートされているときに、NRST が OVHF および UVHF フ

オルトからマッピングされない場合、NRST はデアサートされ、電圧が有効なウィンドウ外にあると仮定して再マッピングされると、NRST が再アサートされることに注意してください。

t_D 期間は、TI_CONTRO L レジスタにある RST_DLY[2:0] の値によって決定されます。リセット遅延が経過すると、NRST ピンはハイ インピーダンス状態に移行し、プルアップ抵抗を使用して NRST を High に保持します。他のデバイスを正しいインターフェイス電圧で接続できるように、プルアップ抵抗を適切な電圧レールに接続する必要があります。適切な電圧レベルを維持するためには、プルアップ抵抗の値を選択する際に配慮が必要になります。プルアップ抵抗の値は、Low 電圧出力 (VOL)、容量性負荷、リーク電流によって決定されます。

7.3.6 NIRQ

NIRQ は、ラッチ動作による割り込みエラー出力です。監視対象の電圧が、プログラムされた OVHF および UVHF スレッシュホールドを下回る、または上回ると、NIRQ がアサートされます。NIRQ は、フォルトの原因となっている動作が解消され、フォルトが発生したことを示すビットに「1 でビットをクリア」が書き込まれるまで Low 状態を維持します。異常検出力レジスタからの NIRQ のマッピングが解除されても、NIRQ 信号はデアサートされません。一般的な TPS389C03-Q1 アプリケーションでは、NIRQ は NIRQ 出力がプロセッサ (デジタル信号プロセッサ [DSP]、特定用途向 IC [ASIC]、またはその他のプロセッサ タイプなど) のリセット入力またはイネーブル入力に接続されます。

TPS389C03-Q1 にはオープンドレインのアクティブ Low 出力があり、これらのラインを必要な電圧ロジックまで High に保持するためにプルアップ抵抗が必要です。プルアップ抵抗を適切な電圧レールに接続し、出力を適切なインターフェイス電圧レベルで他のデバイスに接続できるようにします。適切な電圧レベルを満たすためには、プルアップ抵抗の値を選択する際にある程度の配慮が必要になります。プルアップ抵抗の値は、 V_{OL} 、出力容量性負荷、および出力リーク電流によって決定されます。セクション 6 に、これらの値が指定されています。オープンドレイン出力は、別の TPS389C03-Q1 NIRQ ピンなどの他のオープンドレイン信号を使って有線 OR ロジックとして接続できます。

7.3.7 ADC

TPS389C03-Q1 で使用される ADC は、実効サンプリング レート 1/8MHz (= 125kHz) の 1MHz クロックで動作します。最初は、ADC は 12 ビットの分解能 (1LSB=0.41667mV) で記録され、後で I^2C トランザクションのために 8 ビットのデータに切り捨てられます。(1LSB = 5mV) この ADC はピンポン アーキテクチャを採用しており、各チャネルあたりサンプリングと変換に合計 2 μ s を要し、サンプリング チャネルは合計 2 つです。CH0 が粗い変換を実行しますが、CH1 は細かい変換も行い、その逆も行います。

デジタル化された 8 ビット データは、細かい変換が完了すると更新されます。これは、8 μ s ごとに 1 回発生します。8 ビット MON_LVL データ (特定チャネルの ADC データ) を読み出すために各 I^2C トランザクションが開始され、8 ビット データは I^2C トランザクションが完了するまで、更新から一時停止されます。

電圧スケールリングは抵抗ラダーによって行われますが、差動モード チャネルでは、VMON_RS が負電圧になり、ADC コードに変換できないため、チョッピング回路を用いて (VMON + VMON_RS)/2 の平均電圧を取得します。VMON – VMON_RS は、(VMON + VMON_RS)/2 を VMON から減算し、その結果に 2 を掛けることでデジタル的に計算されます。

MONX チャネルは、1x モード (0.2V~1.475V) または 4x モード (0.8V~5.5V) に構成できます。1x モードで構成された差動モード チャネル (MON1 および MON2) の場合、ADC の範囲は最大 1.7V に制限されます。1.7V を超える ADC チャネルを構成するには、4x モードを使用します。

リアルタイムの電圧測定を使用します。

$$V_M = ((ADC[7:0] * 5mV) + 0.2) * (VRANGE_MULT) \quad (1)$$

1. ADC[7:0]は、対応する 10 進値に変換されます。MON2-MON4 に対応する ADC[7:0] の値は、BANK0 (表 8-1 に示すレジスタ 0x41~0x43) から読み出すことができます。
2. VRANGE_MULT は、表 8-26 の BANK1、レジスタ 0x1F で設定されて選択されたモニタ電圧マルチプライヤに対応します。
3. VRANGE_MULT は、モニタされる値に応じて 10 進数の 1 または 4 の値に設定されます。

7.3.8 パケット エラー チェック (PEC)

TPS389C03-Q1 は、巡回冗長性検査 (CRC) を実装する方法として、パケット エラー チェック (PEC) をサポートしています。PEC とは動的 CRC で、読み取りまたは書き込みトランザクションが有効されている場合にのみ発生します。CRC の初期値が 0x00 に設定されている場合、PEC は次の多項式で表される CRC-8 を使用します。

$$C(x) = x^8 + x^2 + x + 1 \quad (2)$$

多項式は、I2C 通信のビット反転やノイズを捕捉することを目的としており、データと PEC バイトの不一致が生じます。PEC の計算には、アドレス、コマンド、データを含め、送信のすべてのバイトが含まれます。PEC の計算には、ACK ビットと NACK ビット、または START、STOP、反復 START 条件は含まれません。PEC が有効で、TPS389C03-Q1 がデータを送信している場合、TPS389C03-Q1 が PEC バイトを送信します。PEC が有効で、TPS389C03-Q1 が MCU からデータを取得している場合、MCU が PEC バイトを送信します。ウォッチドッグの処理など、通信を高速化する必要がある場合、必要な PEC 機能を効果的に使用して、PEC 情報の消失を処理し、フォルトをトリガすることを防止できます。図 7-8 および 図 7-9 に、アクティブな通信中にさまざまなインスタンスで PEC が必要な場合に SDA ラインを制御する通信プロトコルのフロー、およびどのデバイスが SDA ラインを制御するかが示されています。

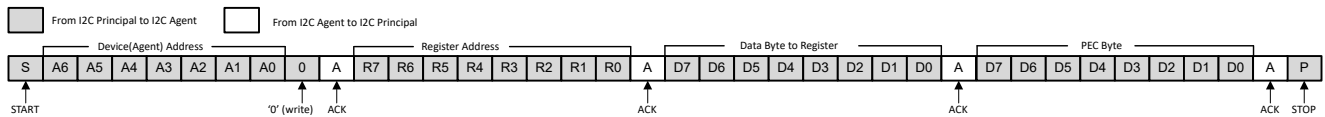


図 7-8. PEC があるシングルバイト書き込み

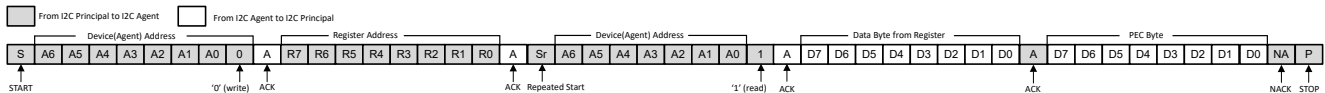


図 7-9. PEC があるシングルバイト読み取り

表 7-3 に、PEC 書き込みコマンドに関連するレジスタ、およびその結果のデバイス動作が示されています。表 7-4 に、PEC 読み取りコマンドに関連するレジスタ、およびその結果のデバイス動作が示されています。

表 7-3. PEC 書き込みの概要

EN_PEC	REQ_PEC	PEC_INT	割り込みステータス
0	x	x	書き込み動作では PEC バイトは必要なく、NIRQ のアサートは不要です。
1	0	x	PEC バイトが欠如している書き込みコマンドは OK と見なされ、書き込みコマンドが実行されて、I2C の ACT が返されます。PEC が正しくない書き込みコマンドはエラーとして扱われ、書き込みコマンドは実行されず、I2C NACK が発生します。NIRQ のアサートなし。
1	1	0	PEC が欠けている場合はエラーとして処理されます。正しい PEC バイトが供給された場合にのみ、書き込みコマンドが実行されます。I2C 通信は、書き込みコマンドが実行されなくても、ACT で応答します。PEC が正しくない書き込みコマンドはエラーとして扱われ、書き込みコマンドは実行されず、I2C NACK が発生します。NIRQ のアサートなし。
1	1	1	PEC が欠けている場合はエラーとして処理されます。正しい PEC バイトが供給された場合にのみ、書き込みコマンドが実行されます。I2C 通信は、書き込みコマンドが実行されなくても、ACT で応答します。PEC が正しくない書き込みコマンドはエラーとして扱われ、書き込みコマンドは実行されず、I2C NACK が発生します。PEC バイトが正しくない、または欠落している書き込みコマンドが試行されると、NIRQ がアサートされます。

表 7-4. PEC 読み取りの概要

EN_PEC	REQ_PEC	PEC_INT	割り込みステータス
0	x	x	I2C 読み取り動作は、レジスタに保存されたデータによって異なり、I2C 読み取りコマンドは対応する PEC バイトのレジスタに応答しません。
1	x	x	I2C 読み取り操作は、レジスタに保存されたデータおよび対応する PEC バイトで応答します。

7.3.9 Q&A ウォッチドッグ

質疑応答ウォッチドッグは、特定の時間間隔で MCU から TPS389C03-Q1 へ特定のデータを送信することを要求します。

TPS389C03-Q1 は、OPEN ウィンドウおよび CLOSE ウィンドウ中に MCU が読み取るための質問を生成します。質問は、BANK0 の WD_STAT_QA レジスタにある ANSW_CNT[1:0] と TOKEN[3:0] のステータス ビットの組み合わせとして読み取られます。質問を読み取った後、MCU は図 7-10 に示す論理式を使用してリファレンスの回答を計算し、BANK1 の WDT_ANSWER レジスタに 8 ビットの回答を書き込みます。リファレンス回答計算のコード例を図 7-13 に示します。一般的なアプリケーションでは、BANK1 内の WDT_QA_CFG レジスタにある FDBK[1:0] の値を、デフォルトの FDBK[1:0] = 00b から変更する必要はありません。ただし、異なる参照回答の計算が必要な場合は、FDBK[1:0] を変更できます。質問の生成と回答の計算については、セクション 7.3.9.1 で詳しく説明します。

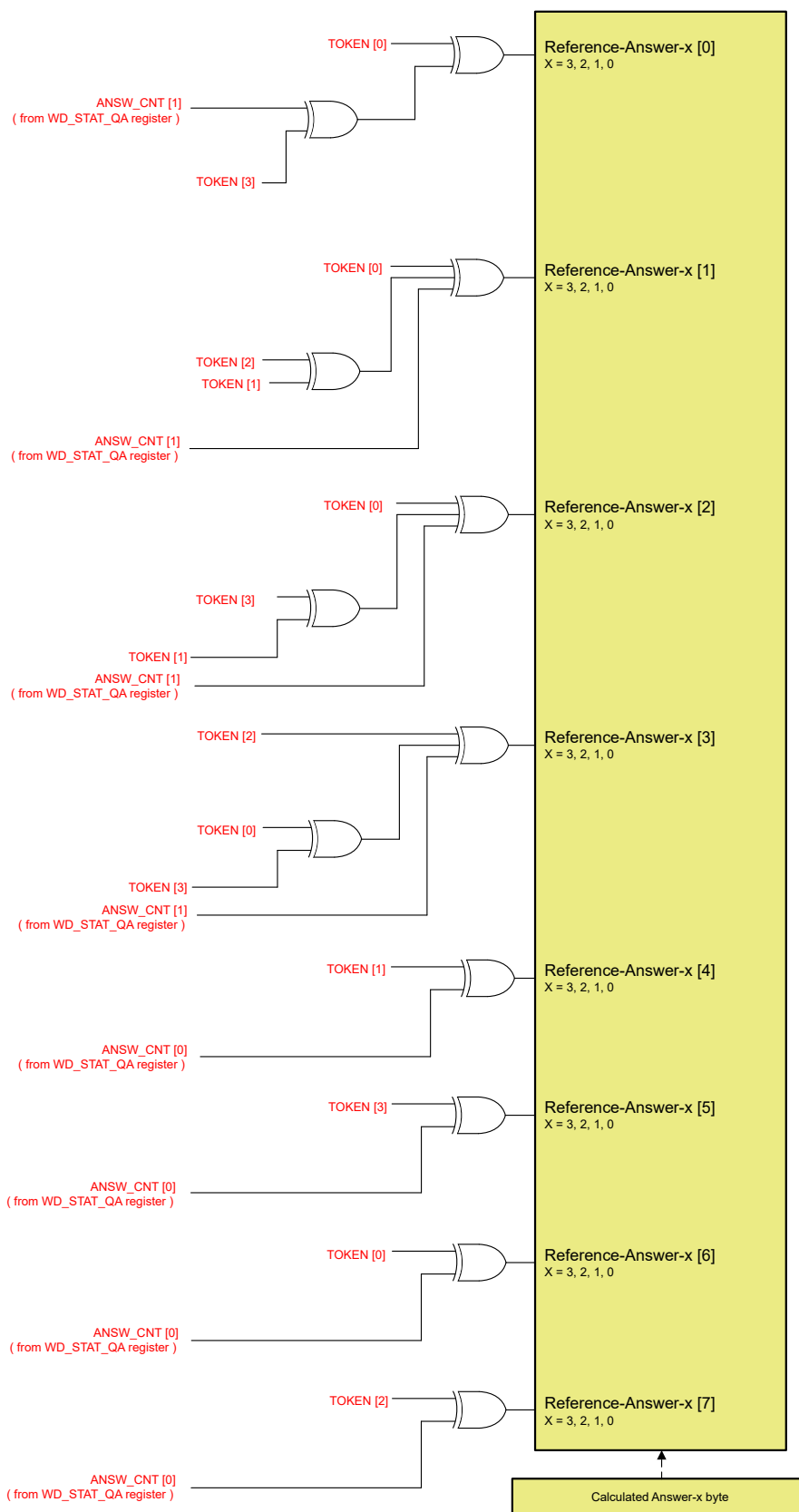


図 7-10. FDBK[1:0] = 00b のウォッチドッグ回答計算

1 回の「イベント」中に、TPS389C03-Q1 は CLOSE ウィンドウ内で 3 回、OPEN ウィンドウ内で 1 回の質問を生成します。MCU は、「グッド イベント」が発生するために、指定された CLOSE ウィンドウ内の 3 つの質問すべてと、指定された OPEN ウィンドウ内の 1 つの質問に正しく応答する必要があります。イベントの開始時、ANSW_CNT[1:0] の値は 11b です。質問に正しく回答すると、ANSW_CNT[1:0] がデクリメントされ、次の質問が生成されます。正常なイベントが発生すると、ANSW_CNT[1:0] は ANSW_CNT[1:0] = 11b にリセットされ、TOKEN[3:0] の値が変化して、次のイベントに向けた新たな質問セットが生成されます。

質問に誤って回答すると、違反カウントがインクリメントされ、ANSW_CNT[1:0] は ANSW_CNT[1:0] = 11b にリセットされ、CLOSE ウィンドウが再スタートされます。最大違反回数 (MAX_VIOLATION_COUNT[2:0]) は、BANK1 にある WDT_CFG レジスタを使用して設定されます。違反カウントが最大値に達すると、TPS389C03-Q1 の WDO はラッチされて Low になり、また故障マッピングに応じて NIRQ および NRST も Low にアサートされます。NIRQ がウォッチドッグの故障通知からマッピング解除されている状態で NIRQ がアサートされている場合、NIRQ はディアサートされ、故障がクリアされていない状態で再びマッピングされると、NIRQ は再度アサートされます。グッドイベントでは、制限超過数がゼロになっていない場合は、超過数がデクリメントされることに注意します。ウォッチドッグがアイドル状態に移行すると、違反カウントはリセットされます。ウォッチドッグがサスペンド状態になると、違反カウントは変更されません。ウォッチドッグの状態遷移図を図 7-22 に示します。

1 回のイベント内における CLOSE ウィンドウの時間は固定値であり、3 つの質問すべてに設定時間より早く回答しても時間は短縮されません。たとえば、CLOSE ウィンドウの時間が 10ms に設定されていて、3 つの質問に 5ms で正しく回答された場合でも、TPS389C03-Q1 は残りの 5ms を待ってから OPEN ウィンドウへ移行します。OPEN ウィンドウの間に、選択された OPEN ウィンドウ時間よりも早く質問に回答された場合、TPS389C03-Q1 は自動的に次のイベントの CLOSE ウィンドウに移行します。CLOSE ウィンドウまたは OPEN ウィンドウ内で質問に誤って回答すると、TPS389C03-Q1 は CLOSE ウィンドウを再スタートします。

7.3.9.1 クエスチョンとトークンの生成

この質問は、MCU に対して、WD_STAT_WA レジスタにある TOKEN[3:0] および ANSW_CNT[1:0] ステータスビットの組み合わせとして提示されます。ANSW_CNT[1:0] のデフォルト値は ANSW_CNT[1:0] = 11b であり、質問に正解するたびに値が減少します。質問に不正解だった場合やグッド イベントが完了した場合、ANSW_CNT[1:0] の値は ANSW_CNT[1:0] = 11b にリセットされます。

ウォッチドッグは、トークン カウンタ (TOKEN_CNT[3:0] ビット図 7-12) と線形帰還シフトレジスタ (LFSR) を使用して、4 ビットの TOKEN[3:0] を生成します。LFSR アーキテクチャは、図 7-12 に示すように、BANK1 の WDT_QA_CFG レジスタの POLY[1:0] を使って構成できます。一般的なアプリケーションでは、POLY[1:0] の値をデフォルトの 00b から変更する必要はありません。ただし、異なる LFSR アーキテクチャが必要な場合は、POLY[1:0] を設定変更することができます。図 7-11 の図は、ウォッチドッグによって質問が生成される方法を示しています。

ウォッチドッグの起動状態中、LFSR は初期値 SEED[3:0] に設定されます。この値は、BANK1 内の WDT_QA_CFG レジスタに格納されています。SEED[3:0] のデフォルト値は 0000b です。

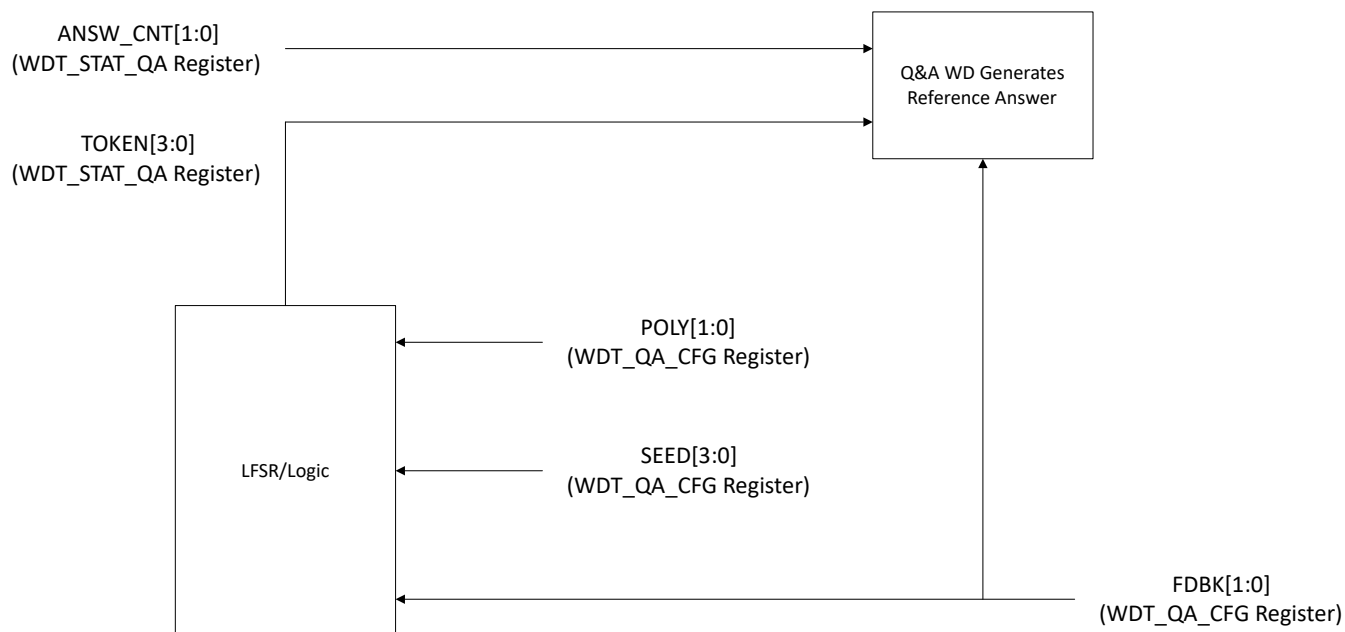
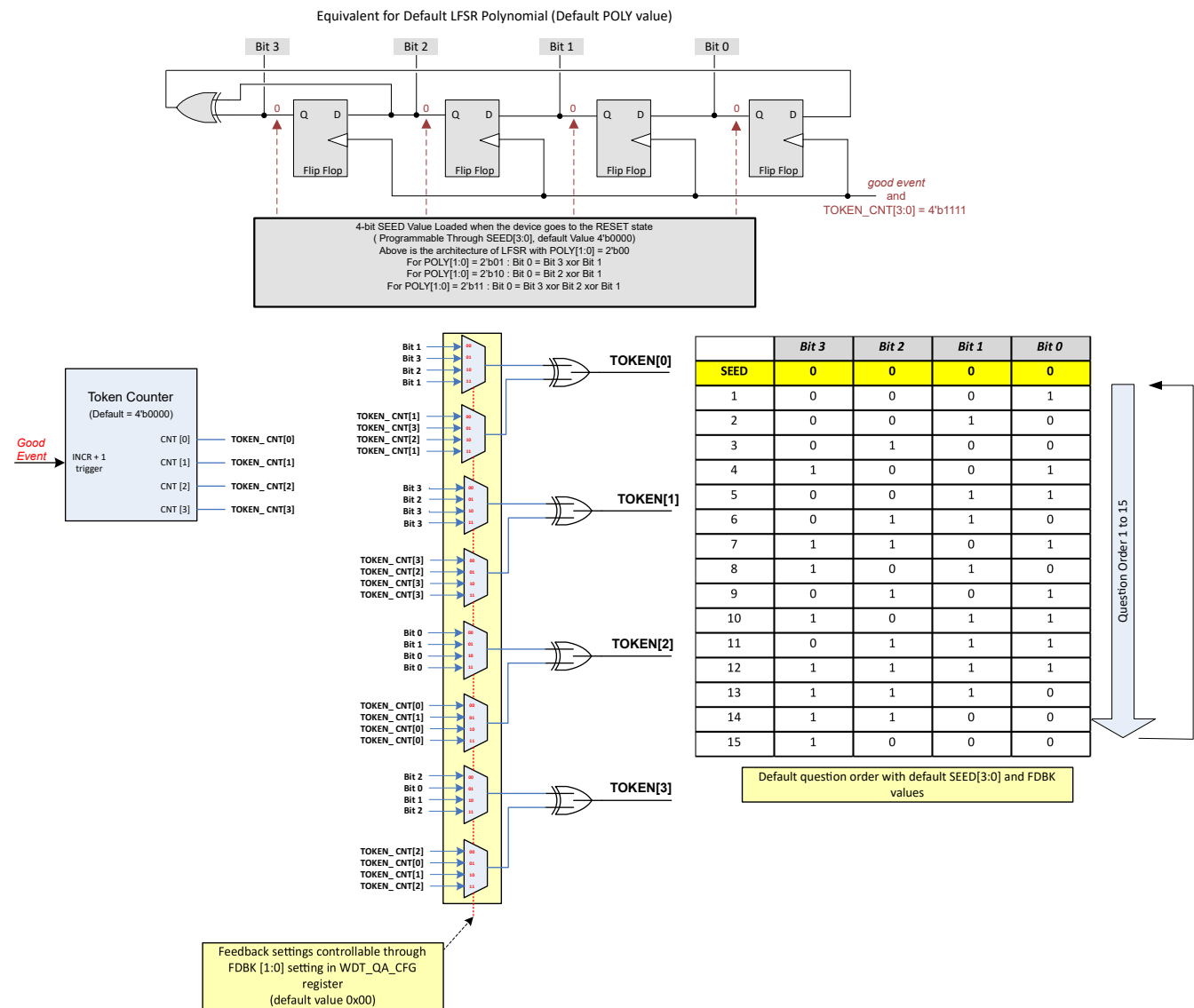


図 7-11. ウォッチドッグ質問生成

正常なイベントの終了時に、トークン カウンタがインクリメントされ、TOKEN[3:0] の値は、図 7-12 に示すマルチプレクサと論理回路の組み合わせによって変化します。



A. 0000b の値は特別なシード値であり、0001b と同等とみなされます。これは、電源投入時にデフォルトで 0000b がロードされる場合も含まれます。

図 7-12. ウォッチドッグ質問とトークン生成

トークン カウンタが最大値の 1111b に達すると、カウンタはリセットされ、LFSR にクロック パルスが供給されます。クロック パルスは LFSR に保存されている値を左にシフトし、TOKEN[3:0] の値が変化します。SEED[3:0] = 0000b の特別なケースでは、トークン カウンタが初めてリセットされたときに、LFSR のビット 0 がインクリメントされます。それ以降のトークン カウンタ リセットでは、LFSR を左シフトする標準的なクロック パルスが提供されます。左シフト中、シード サイクルの値は、図 7-12 に示すように 1~15 を超えます。

TOKEN[3:0] を生成するマルチプレクサ デバイスは、FDBK[1:0] (BANK1 の WDT_QA_CFG レジスタ) によって設定されます。FDBK[1:0] の値はデフォルトの 00b から変更する必要はありません。また、FDBK[1:0] を変更すると、参照応答を計算するために必要な論理式も変更される点に注意が必要です。リファレンス回答論理に関するさまざまな式を以下に示します。

FDBK[1:0] = 00b の場合:

- Reference-Answer[0] = TOKEN[0] XOR (TOKEN[3] XOR ANSW_CNT[1])
- Reference-Answer[1] = TOKEN[0] XOR (TOKEN[1] XOR TOKEN[2]) XOR ANSW_CNT[1]

- Reference-Answer[2] = TOKEN[0] XOR (TOKEN[3] XOR TOKEN[1]) XOR ANSW_CNT[1]
- Reference-Answer[3] = TOKEN[2] XOR (TOKEN[0] XOR TOKEN[3]) XOR ANSW_CNT[1]
- Reference-Answer[4] = TOKEN[1] XOR ANSW_CNT[0]
- Reference-Answer[5] = TOKEN[3] XOR ANSW_CNT[0]
- Reference-Answer[6] = TOKEN[0] XOR ANSW_CNT[0]
- Reference-Answer[7] = TOKEN[2] XOR ANSW_CNT[0]

FDBK[1:0] = 01b の場合:

- Reference-Answer[0] = TOKEN[1] XOR (TOKEN[2] XOR ANSW_CNT[1])
- Reference-Answer[1] = TOKEN[1] XOR (TOKEN[1] XOR TOKEN[1]) XOR ANSW_CNT[1]
- Reference-Answer[2] = TOKEN[3] XOR (TOKEN[2] XOR TOKEN[1]) XOR ANSW_CNT[1]
- Reference-Answer[3] = TOKEN[1] XOR (TOKEN[3] XOR TOKEN[3]) XOR ANSW_CNT[1]
- Reference-Answer[4] = TOKEN[0] XOR ANSW_CNT[0]
- Reference-Answer[5] = TOKEN[2] XOR ANSW_CNT[0]
- Reference-Answer[6] = TOKEN[3] XOR ANSW_CNT[0]
- Reference-Answer[7] = TOKEN[1] XOR ANSW_CNT[0]

FDBK[1:0] = 10b の場合:

- Reference-Answer[0] = TOKEN[2] XOR (TOKEN[1] XOR ANSW_CNT[1])
- Reference-Answer[1] = TOKEN[2] XOR (TOKEN[0] XOR TOKEN[1]) XOR ANSW_CNT[1]
- Reference-Answer[2] = TOKEN[1] XOR (TOKEN[1] XOR TOKEN[1]) XOR ANSW_CNT[1]
- Reference-Answer[3] = TOKEN[0] XOR (TOKEN[2] XOR TOKEN[3]) XOR ANSW_CNT[1]
- Reference-Answer[4] = TOKEN[2] XOR ANSW_CNT[0]
- Reference-Answer[5] = TOKEN[1] XOR ANSW_CNT[0]
- Reference-Answer[6] = TOKEN[2] XOR ANSW_CNT[0]
- Reference-Answer[7] = TOKEN[0] XOR ANSW_CNT[0]

FDBK[1:0] = 11b の場合

- Reference-Answer[0] = TOKEN[3] XOR (TOKEN[0] XOR ANSW_CNT[1])
- Reference-Answer[1] = TOKEN[3] XOR (TOKEN[3] XOR TOKEN[1]) XOR ANSW_CNT[1]
- Reference-Answer[2] = TOKEN[1] XOR (TOKEN[0] XOR TOKEN[1]) XOR ANSW_CNT[1]
- Reference-Answer[3] = TOKEN[3] XOR (TOKEN[1] XOR TOKEN[3]) XOR ANSW_CNT[1]
- Reference-Answer[4] = TOKEN[3] XOR ANSW_CNT[0]
- Reference-Answer[5] = TOKEN[0] XOR ANSW_CNT[0]
- Reference-Answer[6] = TOKEN[1] XOR ANSW_CNT[0]
- Reference-Answer[7] = TOKEN[3] XOR ANSW_CNT[0]

FDBK[1:0] = 00b が含まれている場合の回答計算のサンプルコード [図 7-13](#)。

Expression:

```
Locals.Answer[7] = Locals.WDT_status_Bin[2] ^ Locals.WDT_status_Bin[4];
Locals.Answer[6] = Locals.WDT_status_Bin[0] ^ Locals.WDT_status_Bin[4];
Locals.Answer[5] = Locals.WDT_status_Bin[3] ^ Locals.WDT_status_Bin[4];
Locals.Answer[4] = Locals.WDT_status_Bin[1] ^ Locals.WDT_status_Bin[4];
Locals.Answer[3] = Locals.WDT_status_Bin[2] ^ (Locals.WDT_status_Bin[0] ^ Locals.WDT_status_Bin[3]) ^ Locals.WDT_status_Bin[5];
Locals.Answer[2] = Locals.WDT_status_Bin[0] ^ (Locals.WDT_status_Bin[3] ^ Locals.WDT_status_Bin[1]) ^ Locals.WDT_status_Bin[5];
Locals.Answer[1] = Locals.WDT_status_Bin[0] ^ (Locals.WDT_status_Bin[2] ^ Locals.WDT_status_Bin[1]) ^ Locals.WDT_status_Bin[5];
Locals.Answer[0] = Locals.WDT_status_Bin[0] ^ (Locals.WDT_status_Bin[3] ^ Locals.WDT_status_Bin[5]);

Locals.Final_Answer = 128 * Locals.Answer[7] + 64 * Locals.Answer[6] + 32 * Locals.Answer[5] + 16 * Locals.Answer[4] + 8 * Locals.Answer[3] + 4 * Locals.Answer[2] + 2 * Locals.Answer[1] + Locals.Answer[0];

Locals.Question[4 * Locals.X + 0] = Locals.REG_READ[0];
Locals.Answer_val[4 * Locals.X + 0] = Locals.Final_Answer;
```

図 7-13. FDBK[1:0] = 00b のウォッチドッグ回答計算コード

7.3.9.2 Q&A ウォッチドッグ オープン/クローズ ウィンドウの遅延

TPS389C03-Q1 のオープン/クローズ ウィンドウ遅延精度は $\pm 5\%$ で、ウィンドウ遅延はそれぞれレジスタ 0xAC および 0xAB で調整できます。リセット イベント中でも、オープン ウィンドウおよびクローズ ウィンドウの遅延は、プログラムされた値 (OTP のデフォルト値またはユーザーによる変更) から変更されません。表 7-5 に、遅延時間と関連するレジスタ値を示します。

表 7-5. オープン/クローズ ウィンドウの遅延

Reg 値	時間	注
0-31	1~32ms	1ms ステップ
32-63	34~96ms	2ms ステップ
64-255	100~864ms	4ms ステップ

スタートアップ遅延は、WDT_Startup_DLY_MULTIPLIER[2:0] (レジスタ 0xAA)、クローズ ウィンドウ遅延、およびオープン ウィンドウ遅延を用いて計算されます。クローズ ウィンドウ遅延またはオープン ウィンドウ遅延のいずれかを変更すると、結果として生じるスタートアップ遅延が変更されることに注意してください。式 3 を使用して、合計スタートアップ遅延を計算します。

$$t_{\text{Startup}} = (\text{WDT_Startup_DLY_MULTIPLIER} + 1) * (\text{WDT_OPEN} + \text{WDT_CLOSE}) \quad (3)$$

7.3.9.3 Q&A ウォッチドッグのステータス レジスタ

ステータス レジスタ 0x37 を読み出して、ウォッチドッグの動作状態を判定します。表 7-6 は動作状態と関連する値を提供します。レジスタ 0x37 の ST_WDUV ビットおよび ST_WDEXP ビットは、読み出し時にクリアされます。

表 7-6. Q&A ウォッチドッグの動作状態

動作状態	状態の説明	値
IDLE	WD は、フォルトがクリアされるか、WDE が Low になるかのどちらかを待ちます。違反カウンタがリセットされます。	0x00
オープン	WD オープン ウィンドウ。	0x01
CLOSE	WD クローズ ウィンドウ	0x02
今すぐ開始	WD スタートアップ ウィンドウ。	0x03
中断	WDE が High になり、別の故障によって、WD とは無関係な出力ピンがアサートされるか、I ² C MR ビットが 1 にセットされます。違反数は変更されません。	0x04

7.3.9.4 Q&A ウォッチドッグのタイミング

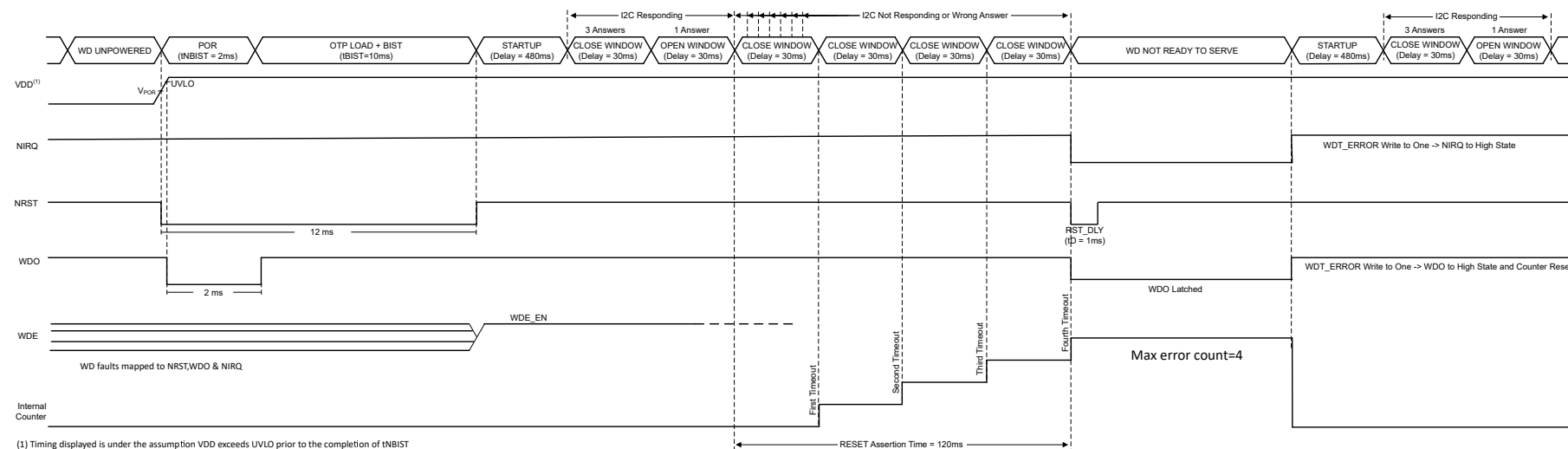


図 7-14. TPS389C03 CLOSE ウィンドウ エラー WDO ラッチ付き

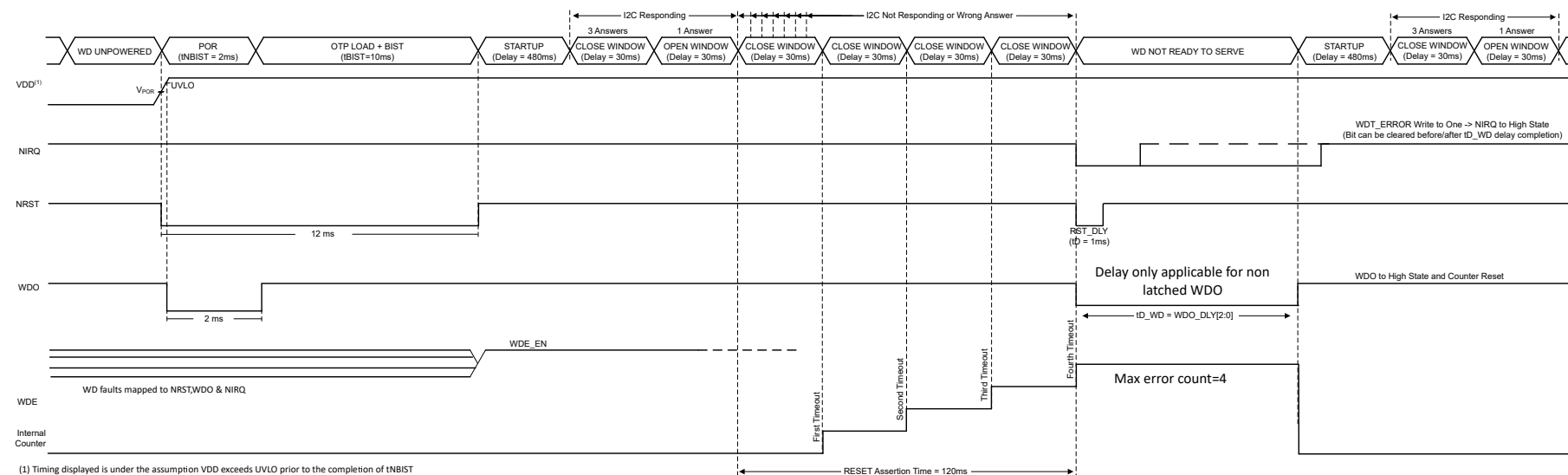


図 7-15. TPS389C03 CLOSE ウィンドウ エラー WDO 遅延

TPS389C03-Q1

JAJSOH5H – NOVEMBER 2022 – REVISED APRIL 2025

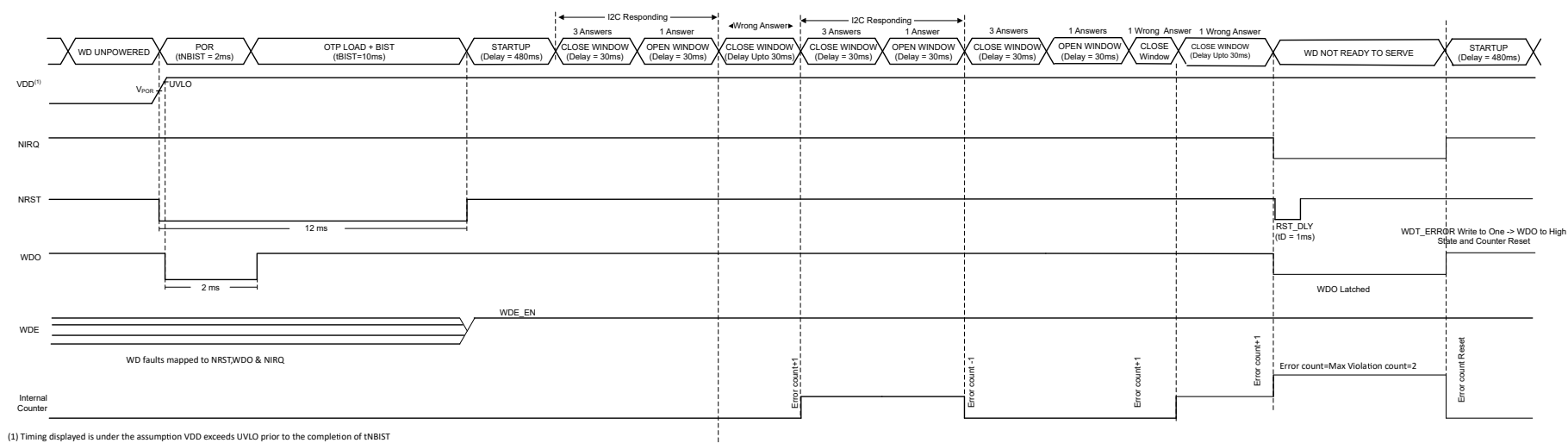


図 7-16. TPS389C03 CLOSE ウィンドウ エラー WDO 遅延、最大違反カウント到達

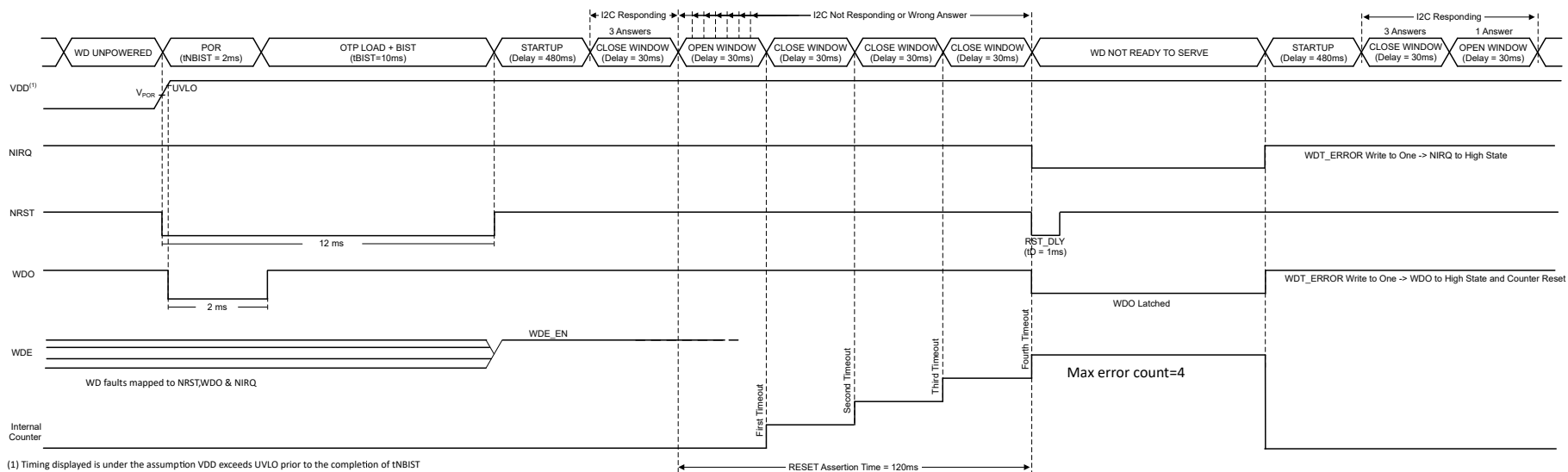


図 7-17. TPS389C03 OPEN ウィンドウ エラー WDO ラッチ付き

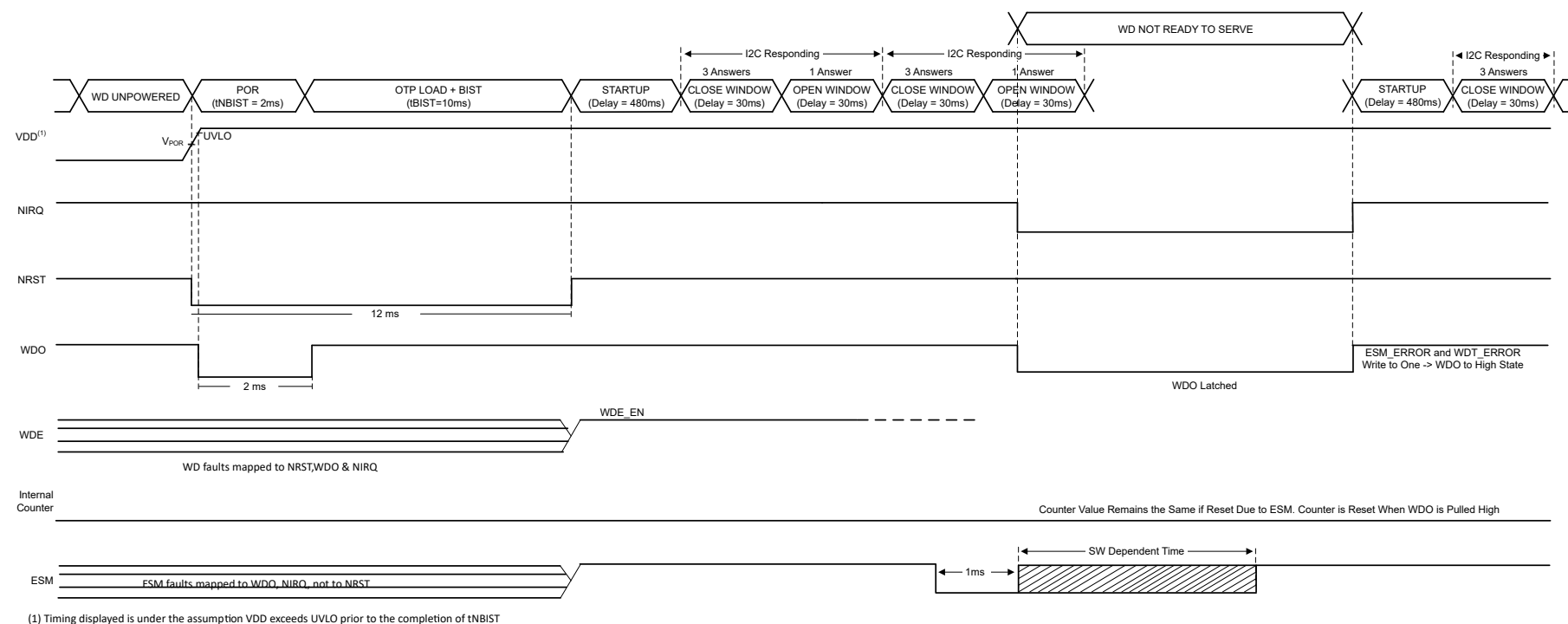


図 7-18. WD フォルトなしの TPS389C03 ESM エラー

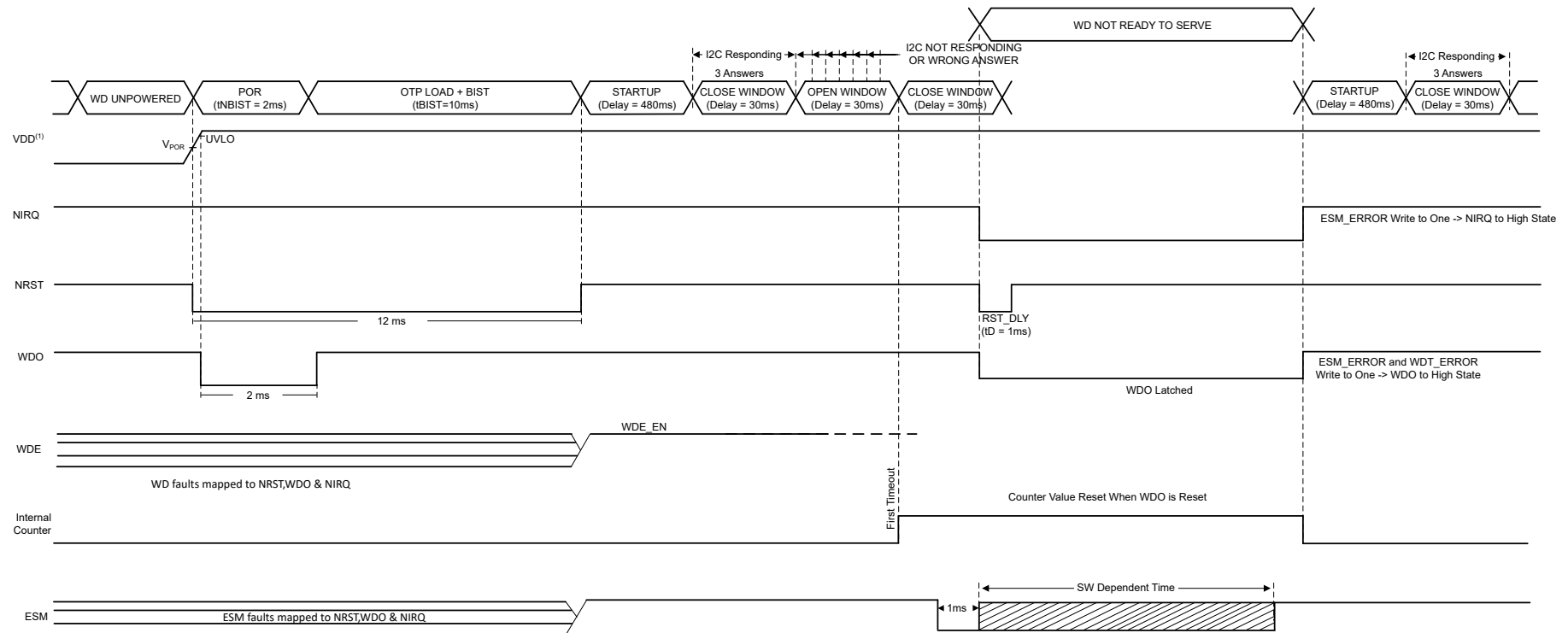


図 7-19. WD タイムアウト後の TPS389C03 ESM エラー

7.3.9.5 Q&A ウォッチドッグ ステート マシンおよびテスト プログラム

図 7-20 および図 7-21 に示すフローチャートは、MCU による Q&A ウォッチドッグの動作を示しています。関連する状態遷移図は図 7-22 に記載されており、表 7-6 を参照して描かれています。この図は、Q&A ウォッチドッグの状態間の遷移を示しています。

図 7-23～図 7-25 には、単一のテスト プログラムでウォッチドッグをテストする方法が示されています。

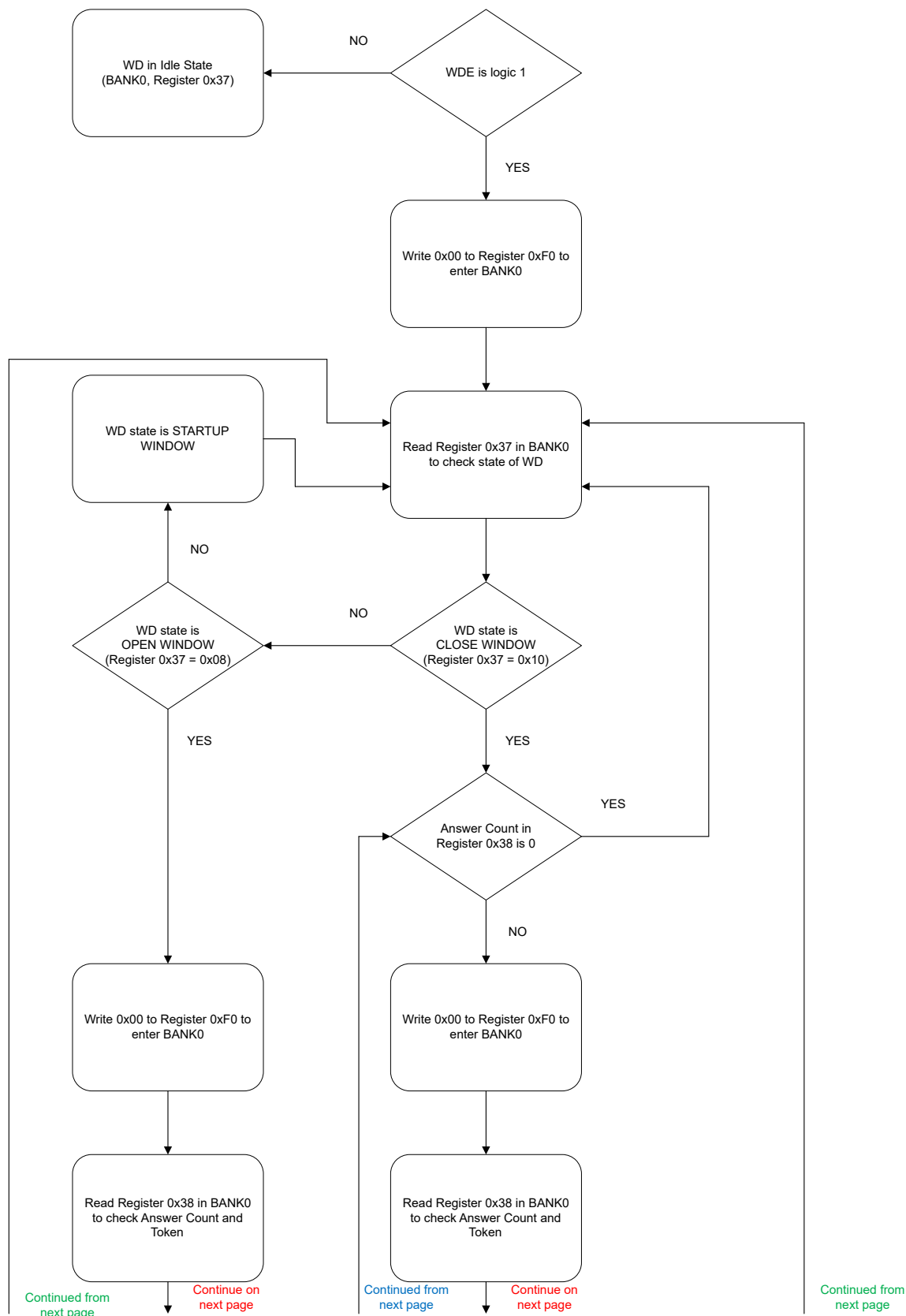


図 7-20. Q&A ウォッチドッグ動作フローチャートのページ 1

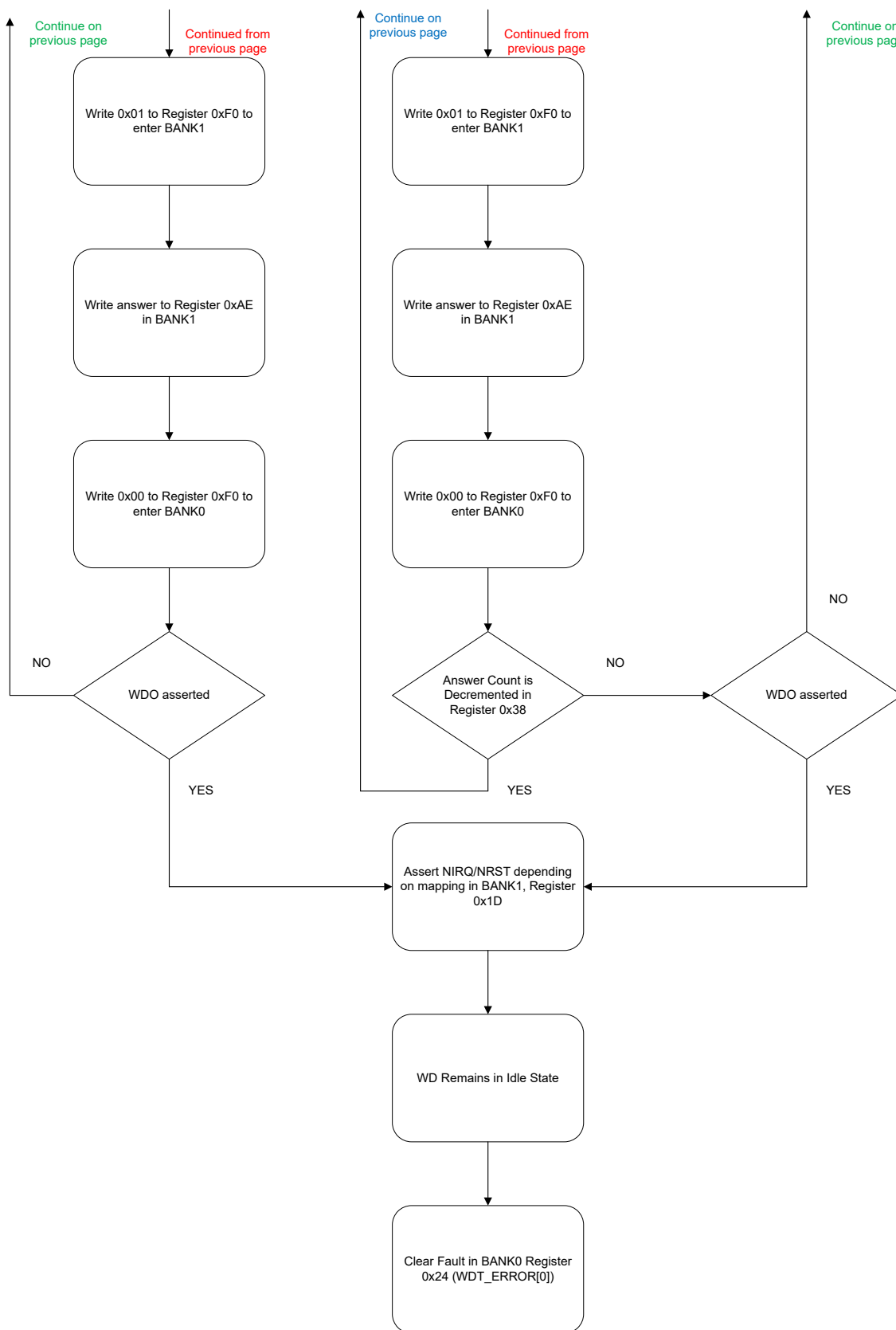


図 7-21. Q&A ウォッチドッグ動作フローチャートのページ 2

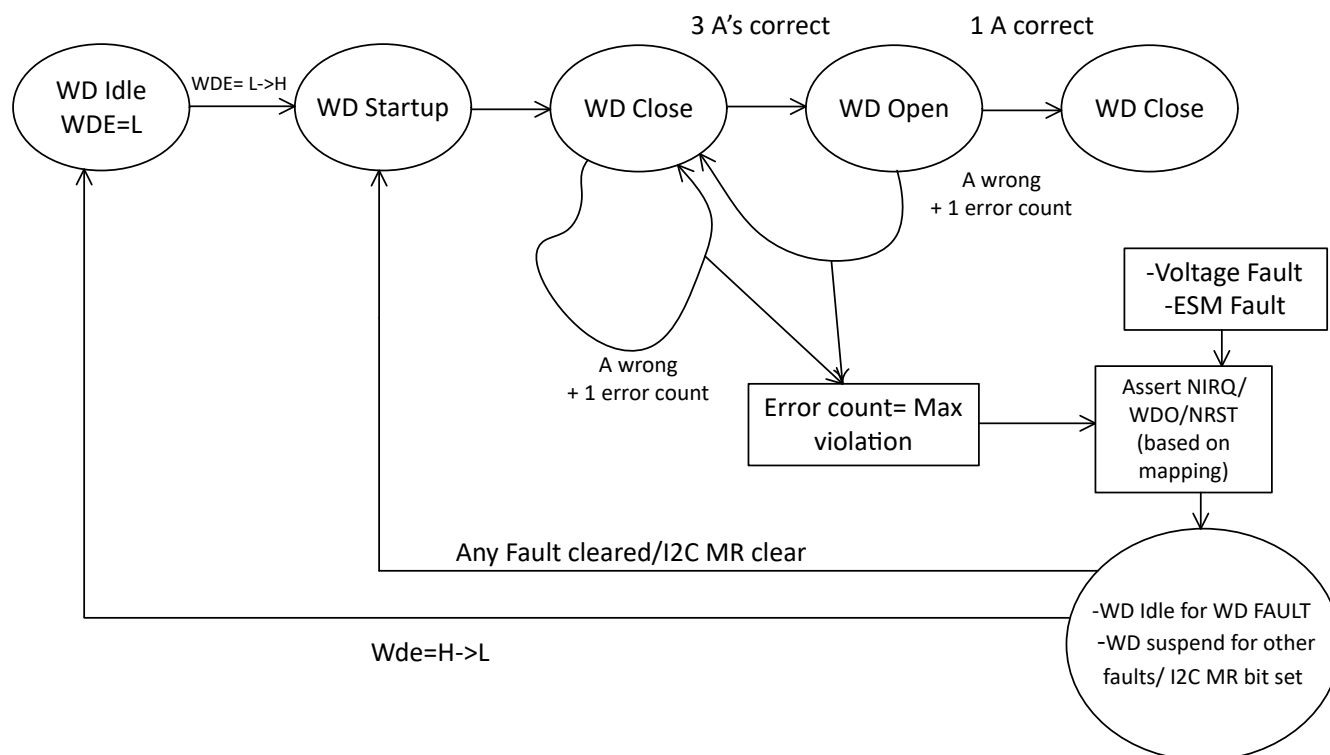


図 7-22. Q&A ウォッチドッグの状態図

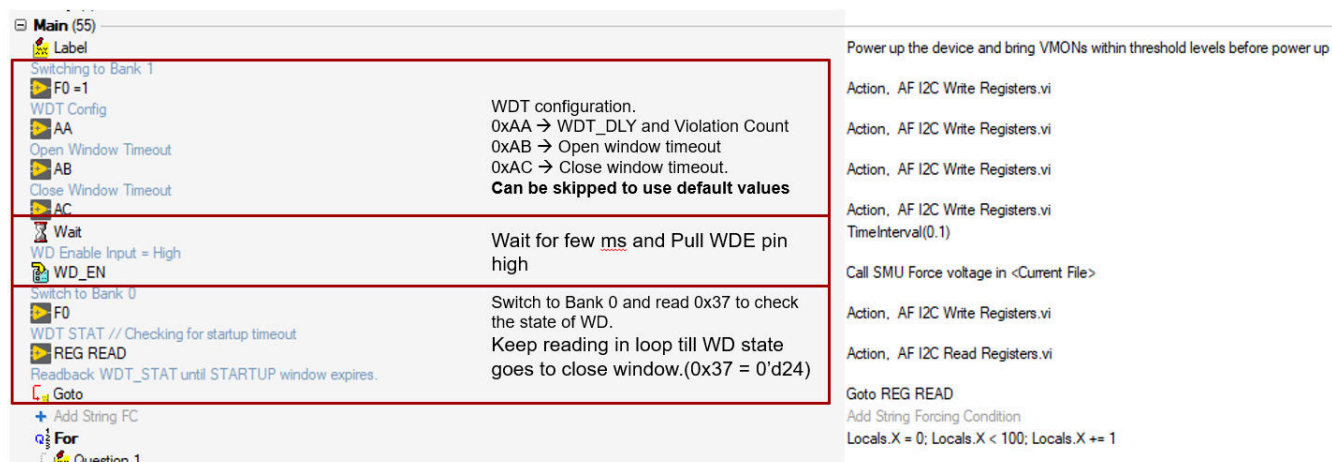


図 7-23. Q&A ウォッチドッグのテスト プログラム ページ 1

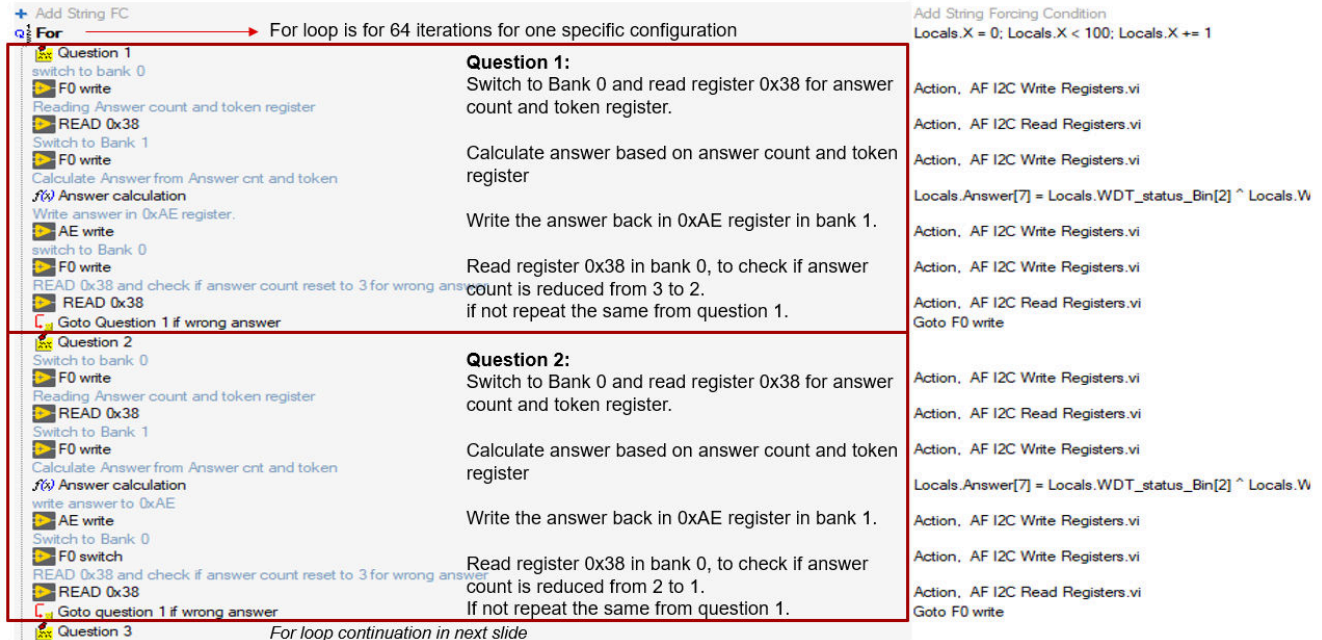


図 7-24. Q&A ウォッチドッグのテスト プログラム ページ 2

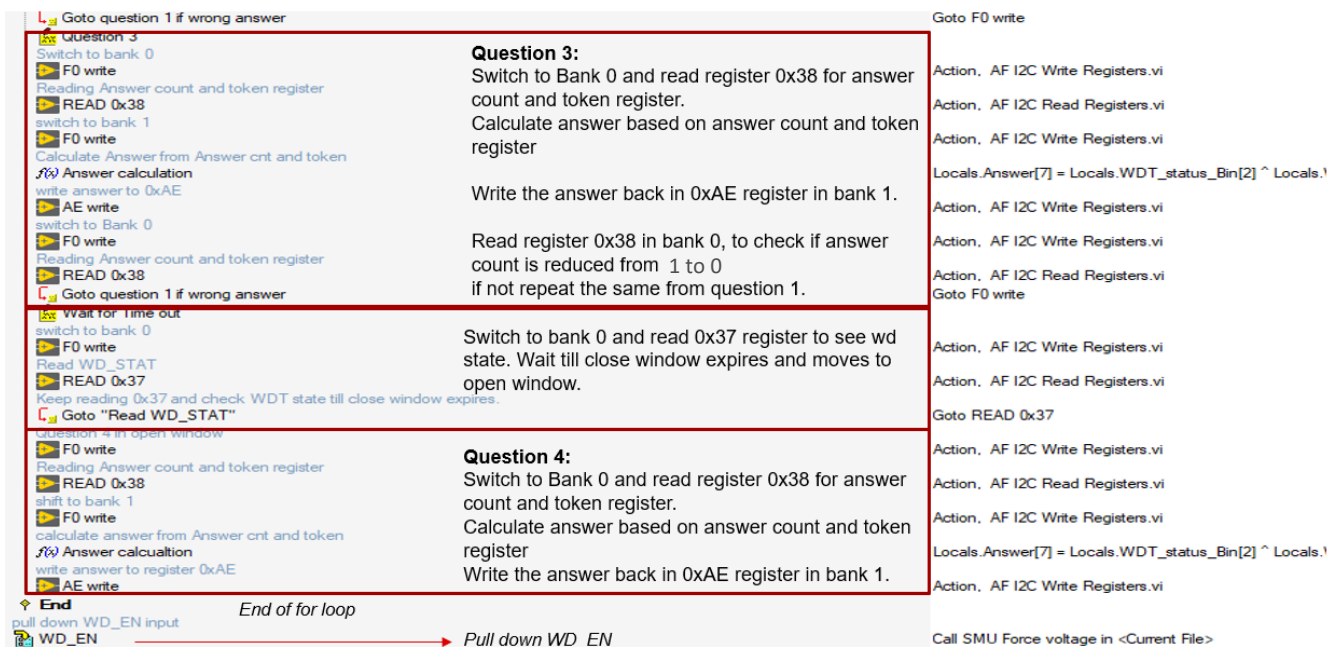


図 7-25. Q&A ウォッチドッグのテスト プログラム ページ 3

7.3.10 エラー信号モニタ (ESM)

エラー信号監視 (ESM) ピンは、SOC やマイコンのエラー出力を監視するために使用されます。ESM ピンを Low にアサートするために必要な内部エラーの種類は、マイコン側で設定することができます。ESM ピンが Low にアサートされると、マイコンの動作やその結果は信頼できなくなります。ESM ピンには、意図しない誤トリップを防止するため、スレッシュホールド遅延 (Bank 1_0x09E_Threshold) をプログラム可能です。ESM ピンには構成可能なデバウンス (Bank 1_0x09F_ESM_DEB) もあります。TPS389C03-Q1 の ESM ピンが Low にアサートされると、INT_VENDOR レジスタのビットによって ESM_ERROR のフラグが設定されます。ESM ピンは、内部の 100kΩ のプルダウン抵抗によってデフ

ォルトで **Low** に保持されているため、外部から信号が供給されていない場合は、デフォルトで **ESM_ERROR** がフラグされます。プルダウン抵抗は、**VDD** を印加したときにのみアクティブになることに注意してください。それ以外の場合、ピンはフローティングのままになります。

表 7-7. ESM スレッシュホールド遅延時間

REG 値	時間	注
0-31	1~32ms	1ms ステップ
32-63	34~96ms	2ms ステップ
64-255	100~864ms	4ms ステップ

表 7-8~表 7-14 に示す構成は、**NRST**、**NIRQ**、**WDO** など、さまざまな障害出力にマップしたときに **TPS389C03-Q1** がどのように応答するかを示します。**NIRQ** にマップされた故障は、常にラッチされた動作です。**NIRQ** が **ESM** からマッピング解除されている間に **NIRQ** がアサート(ラッチ) されていた場合、**NIRQ** でデアサートされます。その後、**ESM_ERROR** ビットがクリアされていない限り、再度マッピングされたときに **NIRQ** は再びアサートされます。**WDO** にマッピングされたフォールトは、**OTP** 設定に基づいてラッチされるか、または遅延付きで **WDO** がアサートされるように構成できます。**ESM** 機能をリセット手段として使用する場合は、**NRST** のトグルを避けるために、**ESM** を **WDO** にマッピングすることが推奨されます。動作時に **WDE** が **Low** になる場合は、**ESM** の故障を **NIRQ** のみにマッピングすることをお勧めします。

ESM が **WDO** にマッピングされている場合、**ESM** の故障によって **WDO** がアサートされても、その事象は **WDT_ERROR** ビットにはフラグされません。ただし、**WDT_ERROR** ビットと **INT_VENDOR** (表 8-11) レジスタの **ESM_ERROR** ビットに 1 を書き込んで、ラッチされた出力をすべてクリアすることを推奨します。また、**WDE** ピンをトグルすることで、**WDO** 出力をデアサートすることもできます。**ESM** が **WDO** からマッピング解除されている間に **WDO** がアサート(ラッチ) されていた場合でも、**WDO** はアサートされたままとなります。この状態を解除するには、**WDT_ERROR** ビットおよび **ESM_ERROR** ビットに 1 を書き込む必要があります。

表 7-8. WDO、NIRQ、NRST にマップされた ESM

	WDE	WDO	NIRQ	NRST
ESM フォルト	High	ESM 遅延後、 WDO がアサートされ、 ESM 故障がセットされます。 I2C 書き込みによってクリアおよびデアサートが行われます。	ESM の遅延時間経過後、 NIRQ がアサートされ、 ESM の故障が設定されます。 I2C 書き込みによってクリアおよびデアサートが行われます。	ESM の遅延時間経過後、 NRST がアサートされ、リセット遅延後にデアサートされます。 WDO がデアサートされるまで ESM ピンの状態はチェックされません。
	Low	ESM の故障が WDO にアサートされていません。	ESM の遅延時間経過後、 NIRQ がアサートされ、 ESM の故障が設定されます。 I2C 書き込みによってクリアおよびデアサートが行われます。	ESM の遅延時間経過後、 NRST がアサートされ、リセット遅延後にデアサートされます。 ESM 遅延後に ESM ピンの状態がチェックされます。 ESM が Low のままの場合、 NRST がトグルします。

表 7-9. NIRQ および NRST にマッピングされた ESM

	WDE	WDO	NIRQ	NRST
ESM フォルト	High	アサートされません。	ESM の遅延時間経過後、NIRQ がアサートされ、ESM の故障が設定されます。I2C 書き込みによってクリアおよびデアサートが行われます。	ESM の遅延時間経過後、NRST がアサートされ、リセット遅延後にデアサートされます。ESM 遅延後に ESM ピンの状態がチェックされます。ESM が Low のままの場合、NRST がトグルします。
	Low	アサートされません。	ESM の遅延時間経過後、NIRQ がアサートされ、ESM の故障が設定されます。I2C 書き込みによってクリアおよびデアサートが行われます。	ESM の遅延時間経過後、NRST がアサートされ、リセット遅延後にデアサートされます。ESM 遅延後に ESM ピンの状態がチェックされます。ESM が Low のままの場合、NRST がトグルします。

表 7-10. WDO および NIRQ にマッピングされた ESM

	WDE	WDO	NIRQ	NRST
ESM フォルト	High	ESM 遅延後、WDO がアサートされ、ESM 故障がセットされます。I2C 書き込みによってクリアおよびデアサートが行われます。	ESM の遅延時間経過後、NIRQ がアサートされ、ESM の故障が設定されます。I2C 書き込みによってクリアおよびデアサートが行われます。	アサートされません。
	Low	アサートされません。	ESM 遅延後、NIRQ がアサートされ、ESM の故障が設定されます。I2C 書き込みによってクリアおよびデアサートが行われます。	アサートされません。

表 7-11. WDO および NRST にマッピングされた ESM

	WDE	WDO	NIRQ	NRST
ESM フォルト	High	ESM 遅延後、WDO がアサートされ、ESM 故障がセットされます。I2C 書き込みによってクリアおよびデアサートが行われます。	アサートされません。	ESM の遅延時間経過後、NRST がアサートされ、リセット遅延後にデアサートされます。WDO がデアサートされるまで ESM ピンの状態はチェックされません。
	Low	アサートされません。	アサートされません。	ESM の遅延時間経過後、NRST がアサートされ、リセット遅延後にデアサートされます。ESM 遅延後に ESM ピンの状態がチェックされます。ESM が Low のままの場合、NRST がトグルします。

表 7-12. NRST にマッピングされた ESM

	WDE	WDO	NIRQ	NRST
ESM フォルト	High	アサートされません。	アサートされません。	ESM の遅延時間経過後、NRST がアサートされ、リセット遅延後にデアサートされます。ESM 遅延後に ESM ピンの状態がチェックされます。ESM が Low のままの場合、NRST がトグルします。
	Low	アサートされません。	アサートされません。	ESM の遅延時間経過後、NRST がアサートされ、リセット遅延後にデアサートされます。ESM 遅延後に ESM ピンの状態がチェックされます。ESM が Low のままの場合、NRST がトグルします。

表 7-13. NIRQ にマッピングされた ESM

	WDE	WDO	NIRQ	NRST
ESM フォルト	High	アサートされません。	ESM の遅延時間経過後、NIRQ がアサートされ、ESM の故障が設定されます。I2C 書き込みによってクリアおよびデアサートが行われます。	アサートされません。
	Low	アサートされません。	ESM の遅延時間経過後、NIRQ がアサートされ、ESM の故障が設定されます。I2C 書き込みによってクリアおよびデアサートが行われます。	アサートされません。

表 7-14. WDO にマッピングされた ESM

	WDE	WDO	NIRQ	NRST
ESM フォルト	High	ESM 遅延後、WDO がアサートされ、ESM 故障がセットされます。I2C 書き込みによってクリアおよびデアサートが行われます。	アサートされません。	アサートされません。
	Low	ESM の故障が WDO にアサートされていません。	アサートされません。	アサートされません。

7.3.10.1 ESM のタイミング

図 7-26 から図 7-29 で始まるタイミング図は、ラッチされた WDO FAULT ピンの動作を示しています。NRST にマップされたフォルトには (Bank 1_0x9F_RST_DLY) に基づく関連するリセット遅延があります。各図において想定されているシステム構成は、マイコンがリセットされると、ESM のフォルトがクリアされるか、ESM ピンが High になる状態でマイコンが再起動する、というものです。

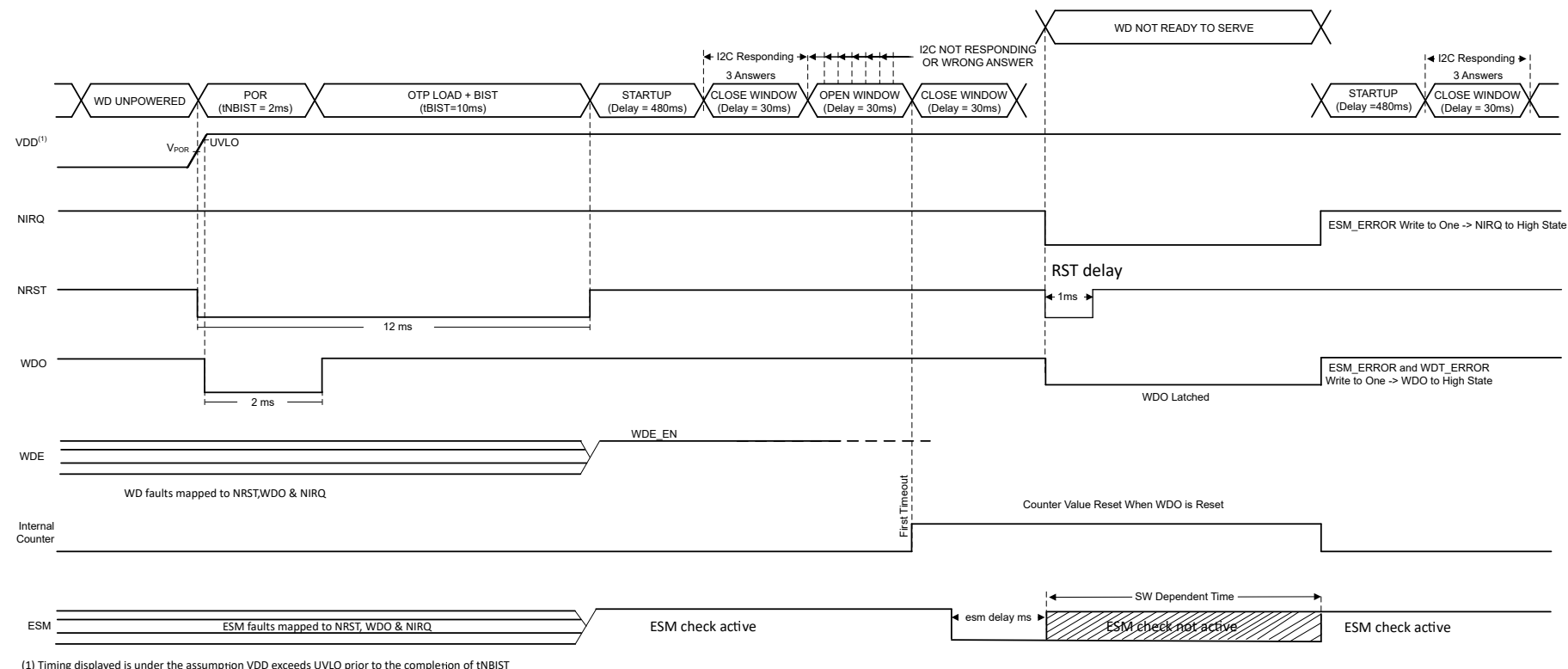
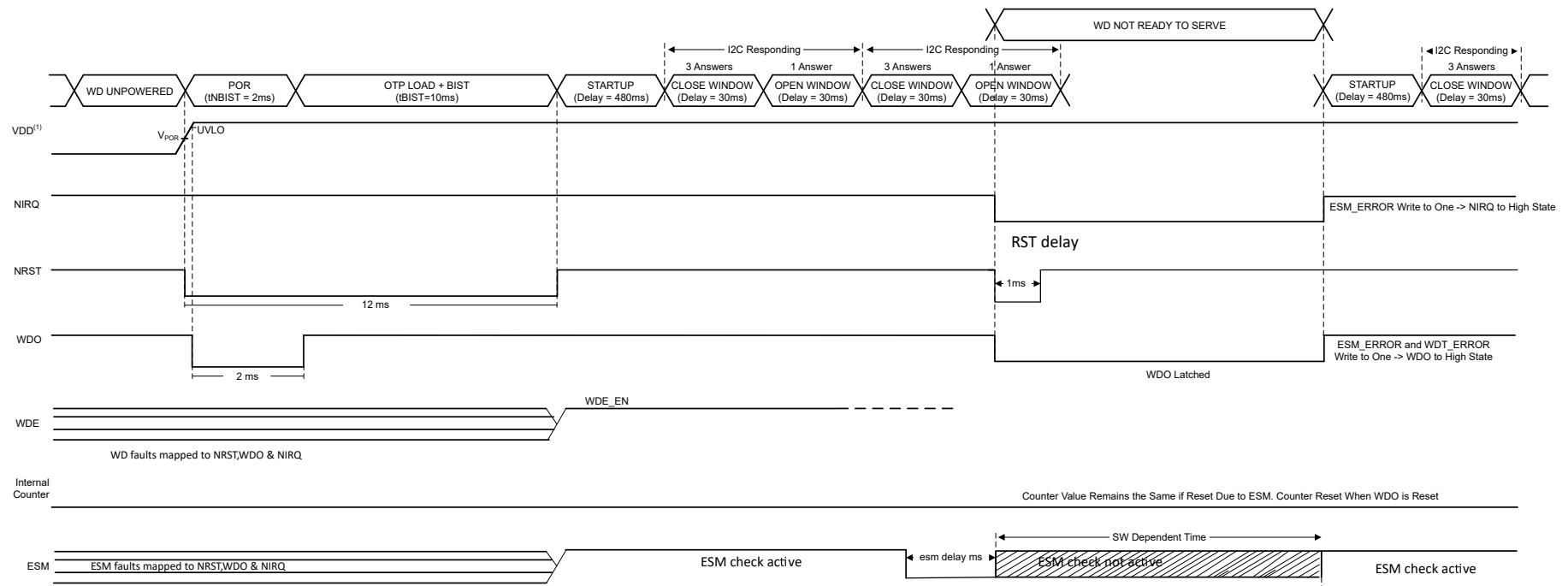


図 7-26. WD エラーに続く ESM フォルト (WD は有効)



(1) Timing displayed is under the assumption VDD exceeds UVLO prior to the completion of tNBIST

図 7-27. ESM 故障 (WD は有効)

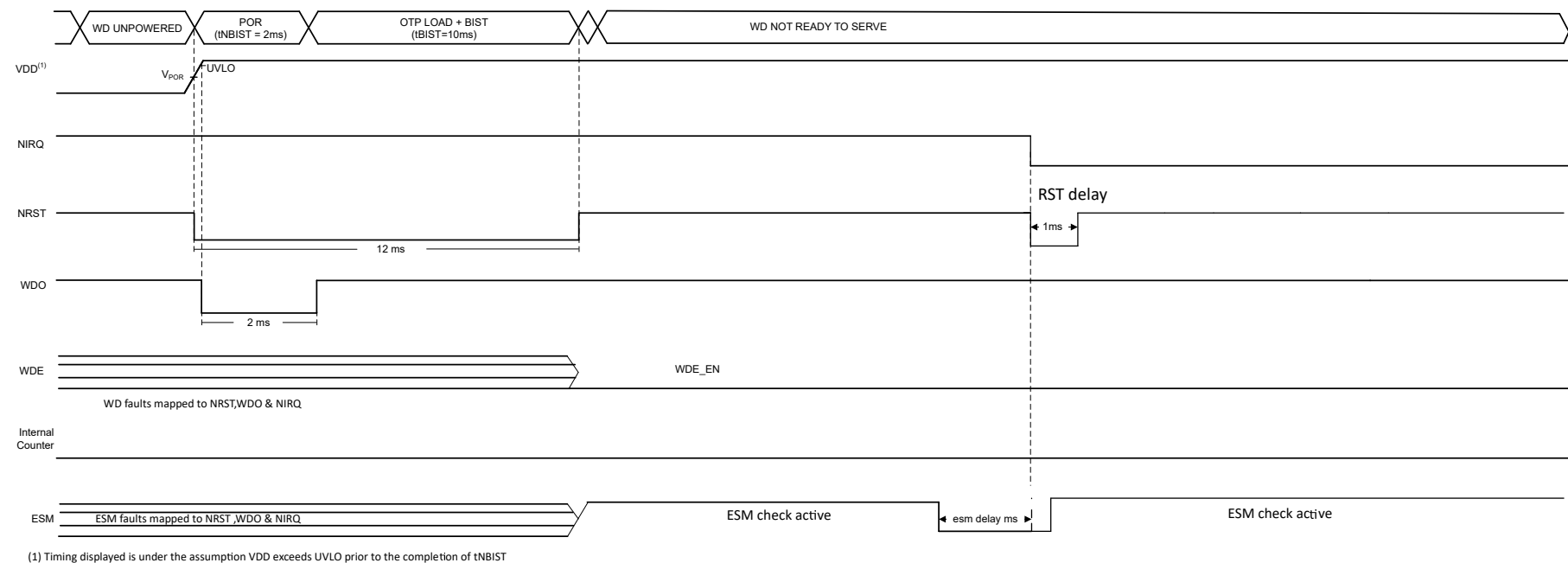


図 7-28. 過渡 ESM フォルト (WD は無効)

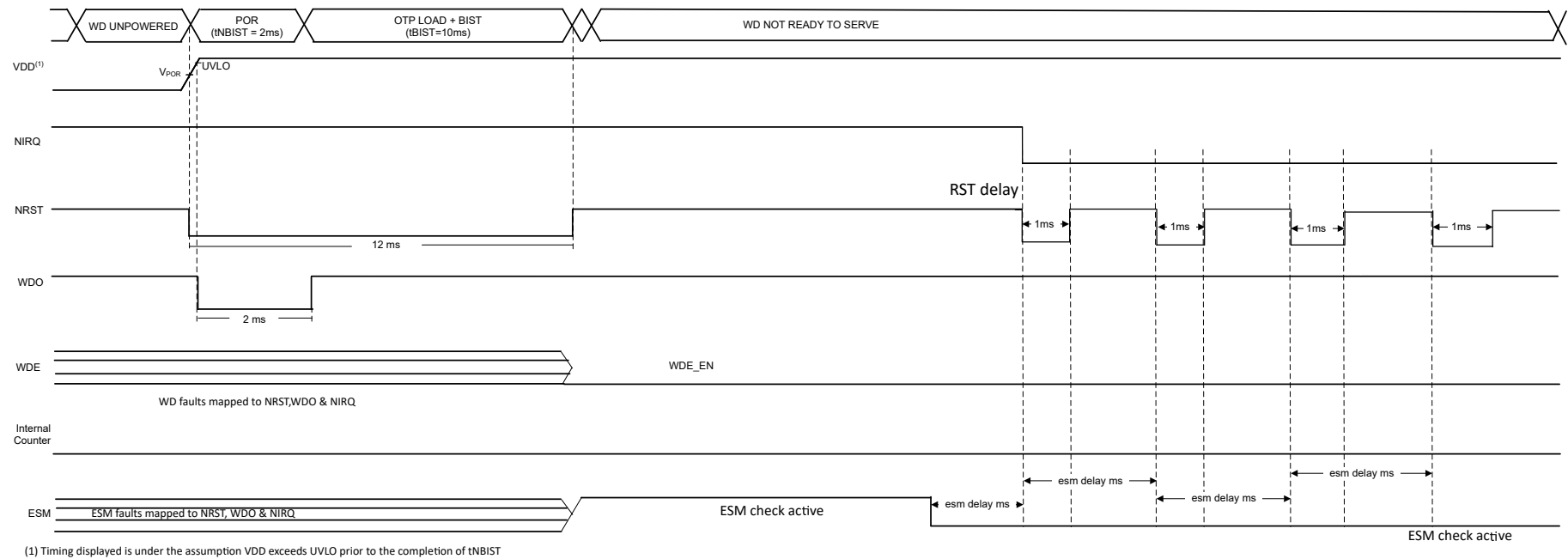


図 7-29. ESM 故障の永続的な原因 (WD は無効)

7.3.11 レジスタ保護

TPS389C03-Q1 は、レジスタ PROT1 (0xF1h) および PROT2 (0xF2h) によって有効化されるレジスタ保護機能を備えています。レジスタ PROT1 および PROT2 の組成を表 7-15 に示します

表 7-15. PROT1 レジスタの説明

登録	ビット	7	6	5	4	3	2	1	0
PROT1 (0xF1)	R/W	RSVD	RSVD	WRKC	RSVD	CFG	IEN	MON	SEQ
PROT2 (0xF2)	R/W	RSVD	RSVD	WRKC	RSVD	CFG	IEN	MON	SEQ

レジスタ グループを書き込み保護するには、ホストが PROT1 および PROT2 の両方のレジスタ内の該当ビットを設定する必要があります。表 7-16 に示すように、レジスタ グループはカテゴリに分割されます。レジスタ グループは、バンク 1 のレジスタにのみ適用できます。ESM およびウォッチドッグに関するレジスタは、表 7-16 に示すように、レジスタ グループによって保護されません。

表 7-16. 書き込み保護レジスタ グループの概要

レジスタ名	PROT グループ	レジスタ名	PROT グループ
VMON_CTL	WRKC	ESM	該当なし
VMON_MISC	CFG	TI_CONTROL	該当なし
TEST_CFG	CFG	AMSK_ON	IEN
IEN_UVHP	IEN	AMSK_OFF	IEN
IEN_UVLP	IEN	SEQ_TOUT_MSB	SEQ
IEN_OVHP	IEN	SEQ_TOUT_LSB	SEQ
IEN_OVLP	IEN	SEQ_UP_THLD	SEQ
IEN_CONTROL	IEN	SEQ_DN_THLD	SEQ
IEN_TEST	IEN	WDT_CFG	該当なし
IEN_VENDOR	IEN	WDT_CLOSE	該当なし
VIN_CH_EN	CFG	WDT_OPEN	該当なし
VRANGE_MULT	CFG	WDT_QA_CFG	該当なし
MON2 の設定	MON[2]	WDT_ANSWER	該当なし
MON3 の設定	MON[3]	BANK_SEL	該当なし
MON4 の設定	MON[4]		

個別の監視保護を必要とする場合は、図表 7-17 に示すように、レジスタ PROT_MON (0xF3) を使用してこれを実現できます。

表 7-17. PROT_MON レジスタの説明

登録	ビット	7	6	5	4	3	2	1	0
PROT_MON (0xF3)	R/W	RSVD	RSVD	RSVD	RSVD	MON[4]	MON[3]	MON[2]	RSVD

レジスタ PROT_MON は、PROT1 および PROT2 レジスタによって MON グループが保護された後に、保護対象となる監視チャネルを選択します。レジスタ PROT_MON のデフォルト値は 0xFF に設定されており、これにより、PROT1 および PROT2 レジスタを通じて MON 保護が設定された場合、すべてのモニタに対して保護が適用されます。特定の監視チャネルに対して保護を適用したくない場合、ユーザーは PROT1 および PROT2 を設定する前に、該当する監視チャネルに対応するビットを 0 に設定する必要があります。

起動時に、レジスタ PROT1 と PROT2 はデフォルト値 0x00 に設定されます。PROT1 または PROT2 でビットが 1 に設定されると、このビットは読み取り専用になり、書き込みコマンドではクリアできません。PROT1 と PROT2 をリセットするに

は、VMON_CTL レジスタのビット 3 で RESET_PROT を利用できます。RESET_PROT は WRKC レジスタ セットに含まれているため、RESET_PROT の機能を使用したい場合は、PROT1 および PROT2 の保護レジスタを設定する際に WRKC 保護を含めないようにする必要があります。PROT1 および PROT2 を設定する際に WRKC 保護が有効になっている場合、保護レジスタはデバイスのパワー サイクルによってのみリセット可能となります。

7.4 デバイスの機能モード

TPS389C03-Q1 には 3 つの主要な機能モードがあり、動作中にデバイスが移行することができます。電源が供給されていないとき、デバイスは監視チャネルおよびウォッチドッグが無効な「オフ状態」にあります。VDD が UVLO を上回ると、BIST と OTP のロード完了後に、デバイスは ACTIVE 状態に入ります。アクティブ状態では、デバイスは完全に監視でき、ウォッチドッグがアクティブになります。BIST の失敗、OTP 読み込み中の二重エラー検出 (DED)、サーマル シャットダウン、またはアドレス ピンの障害が発生した場合、デバイスは FAILSAFE モードに移行します。FAILSAFE が開始されると、NRST と NIRQ が LOW にアサートされます。FAILSAFE 状態を終了するには、TPS389C03-Q1 への電力を再投入する必要があります。BANK0 のレジスタ 0x30 を読み出すと、デバイスの状態に関する情報が提供されます。詳しくは、表 8-12 を参照してください。図 7-30 に示す状態図は、各状態の遷移に従います。

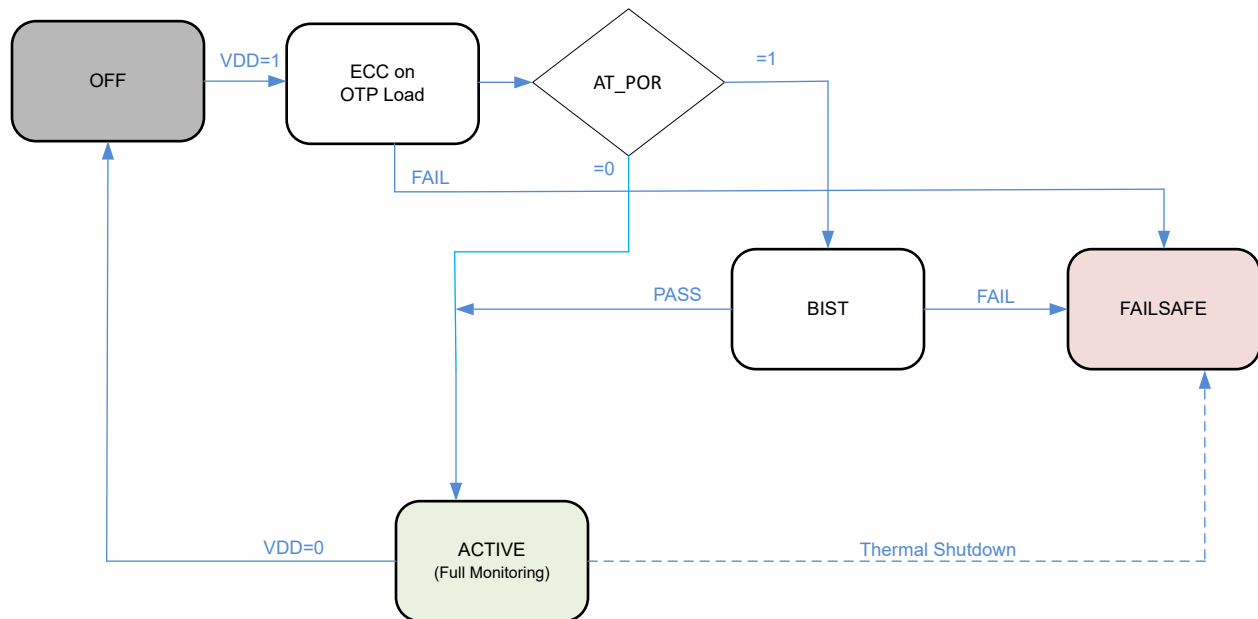


図 7-30. TPS389C03-Q1 状態図

7.4.1 組み込みセルフテストと構成の読み込み

TEST_CFG.AT_POR=1 に設定されている場合、パワー オン リセット(POR) 時にビルトイン セルフ テスト (BIST) が実行されます。

OTP からの構成ロードは、ECC によってアシストされます (SEC-DED をサポート)。これは、データの整合性の問題から保護し、システムの可用性を最大化するためです。

BIST 中、NIRQ はアサート解除され (故障時にアサートされる)、入力ピンは無視され、I²C ブロックは非アクティブで、SDA および SCL はアサート解除されます。BIST には、技術安全要件を満たすためのデバイス テストが含まれています。障害なしで BIST が完了すると、I²C が直ちにアクティブになり、デバイスは OTP から構成データをロードした後、ACTIVE 状態に入ります。BIST に失敗した場合や、ECC がダブルエラー検出 (DED) を報告した場合、NIRQ が Low にアサートされ、NRST も Low にアサートされ、デバイスは FAILSAFE 状態に移行します。表 8-13 にある TEST_INFO レジスタに、テストの範囲と結果に関する情報が記載されています。さらに、ウォッチドッグと ESM はロジック BIST でカバーされており、BIST_L で検証されます。

BIST の成功 / 失敗時の詳細な動作は、INT_TEST および IEN_TEST レジスタによって制御されます。BIST 結果の通知は、以下によって実行されます。

- NIRQ ピン: テスト結果および IEN_TEST の BIST_C と BIST ビットに応じて Low になります
- IEN_TEST 設定に応じて、INT_TEST レジスタの I_BIST_C ビットと BIST ビット
- VMON_STAT.ST_BIST_C レジスタ ビット
- TEST_INFO[3:0] レジスタ ビット

7.4.1.1 BIST 実行に関する注意事項

TPS389C03-Q1 は、POR 時に、TEST_CFG.AT_POR レジスタ ビットの値に基づいて、BIST を実行するかどうかを決定する必要があります。BIST が ECC ロジックをチェックした後にこのレジスタの ECC が実行されると仮定すると、BIST を実行する前にデータの整合性は証明されません。

BIST は、通常動作中に、BANK1 のレジスタ 0x9F にある ENTER_BIST ビットに 1 を書き込むことで手動でトリガできます。TPS389C03-Q1 によってフォルトがアサートされた場合は、BIST を使用することは推奨しません。

7.4.2 TPS389C03-Q1 電源オン

TPS389C03-Q1 が電源オンになると、オプションで BIST が実行されます (TEST_CFG.AT_POR レジスタ ビットに応じて)。BIST が完了すると、直ちに I²C およびフォルト通知 (NIRQ 経由) がアクティブになり、OTP から構成がロードされます (ECC によるアシスト、SEC-DED をサポート)。

構成ロード ECC および BIST 結果の詳細が TEST_INFO レジスタに通知されます。

VDD の立ち上がりエッジが UVLO を超えたことを検出すると、TPS389C03-Q1 はシーケンス タイムアウト タイマを開始します。UV 障害は、シーケンス タイムアウトが終了するまでマスクされます。

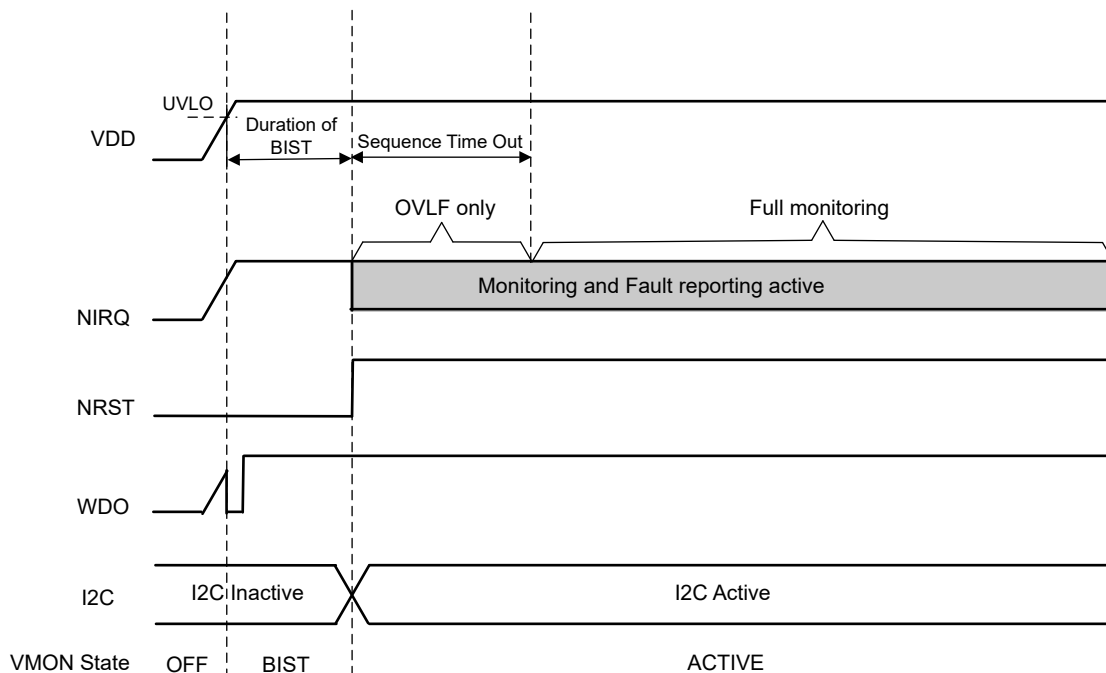


図 7-31. TPS389C03-Q1 電源 ON 信号処理と内部状態

BIST の完了は、割り込みまたはレジスタのポーリングによって検出できます:

- 割り込み: INT_TEST_I_BIST_C フラグがセットされ、IEN_TEST_C = 1 の場合は NIRQ がアサートされます
- ポーリング: VMON_STAT レジスタは、ポーリングにより ST_BIST_C ビットを読み出すことができます

8 レジスタ マップ

8.1 レジスタの概要

レジスタ マップは、以下の構成で、レジスタ バンクを使用して最大 3 個のチャネルをサポートするように設計されています。

- バンク 0 - ステータス レジスタ セットの概要
 - ベンダ情報および使用レジスタ (バンクに非依存)
 - 割り込みレジスタ
 - ステータス レジスタ
 - バンク選択レジスタ (バンクに非依存)
 - 保護レジスタ (バンクに非依存)
 - デバイス構成レジスタ (バンクに非依存)
- バンク 1 - 構成レジスタ セットの概要
 - ベンダ情報および使用レジスタ (バンクに非依存)
 - 制御レジスタ (デバイス グローバル レジスタ)
 - モニタ構成レジスタ (チャネル固有のレジスタ)
 - シーケンス構成レジスタ (デバイス グローバルおよびチャネル固有のレジスタの両方)
 - バンク選択レジスタ (バンクに非依存)
 - 保護レジスタ (バンクに非依存)
 - デバイス構成レジスタ (バンクに非依存)

現在のバンクの選択に関係なく、バンクに非依存のレジスタは同じアドレスでアクセスできます。他のレジスタにアクセスするには、適切なバンクを選択する必要があります。

すべてのレジスタは 8 ビット幅であり、ブート時に、ここで説明されているデフォルト値、または工場出荷時にプログラムされた OTP 値がロードされます。未使用のレジスタ アドレスは、以後の使用のために予約されており、最大 3 チャネルをサポートします。

保護されたレジスタ (PROT1/2 の詳細を参照)、無効なレジスタ、または無効データが含まれている有効なレジスタへの書き込みアクセスは NACK されます。

レジスタ マップに記載されたデフォルト値が「X」となっている場合、その値は TPS389C0300CRTERQ1 の OTP 設定で確認できます。

8.1.1 BANK0 のレジスタ

BANK0 レジスタのメモリマップされたレジスタを、表 8-1 に示します。表 8-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-1. BANK0 のレジスタ

オフセット	略称	レジスタ名	セクション
10h	INT_SRC	グローバル割り込みソース ステータス レジスタ。	セクション 8.1.1.1
11h	INT_MONITOR	電圧監視割り込みステータス レジスタ。	セクション 8.1.1.2
12h	INT_UVHF	高周波数チャネル低電圧割り込みステータス レジスタ。	セクション 8.1.1.3
14h	INT_UVLF	低周波数チャネル低電圧割り込みステータス レジスタ。	セクション 8.1.1.4
16h	INT_OVHF	高周波チャネル過電圧割り込みステータス レジスタ	セクション 8.1.1.5
18h	INT_OVLF	低周波数チャネル過電圧割り込みステータス レジスタ	セクション 8.1.1.6
22h	INT_CONTROL	制御および通信割り込みステータス レジスタ。	セクション 8.1.1.7
23h	INT_TEST	内部テストおよび構成ロード割り込みステータス レジスタ。	セクション 8.1.1.8
24h	INT_VENDOR	ベンダ固有の内部割り込みステータス レジスタ。	セクション 8.1.1.9
30h	VMON_STAT	内部動作およびその他の重要でない状態のステータス フラグ。	セクション 8.1.1.10
31h	TEST_INFO	内部セルフ テストおよび ECC 情報。	セクション 8.1.1.11
32h	OFF_STAT	チャネル OFF のステータス。	セクション 8.1.1.12
37h	WDT_STAT	ウォッチドッグのステータス	セクション 8.1.1.13
38h	WD_STAT_QA	ウォッチドッグ回答数とトークン	セクション 8.1.1.14
41h	MON_LVL[2]	チャネル 2 電圧レベル。	セクション 8.1.1.15
42h	MON_LVL[3]	チャネル 3 電圧レベル。	セクション 8.1.1.16
43h	MON_LVL[4]	チャネル 4 電圧レベル。	セクション 8.1.1.17
F0h	BANK_SEL	バンクの選択。	セクション 8.1.1.18
F1h	PROT1	レジスタの変更をロックまたはロック解除します。PROT2 と一致する必要があります。	セクション 8.1.1.19
F2h	PROT2	レジスタの変更をロックまたはロック解除します。PROT1 と一致する必要があります。	セクション 8.1.1.20
F3h	PROT_MON	PROT1 および PROT2 と並行して MON レジスタをロックします。	セクション 8.1.1.21
F9h	I2CADDR	I2C アドレス	セクション 8.1.1.22
FAh	DEV_CFG	I2C インターフェイス電圧レベルのステータス。	セクション 8.1.1.23

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-2. BANK0 のアクセス タイプ コード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.1.1.1 INT_SRC レジスタ (オフセット = 10h) [リセット = 00h]

表 8-3 に、INT_SRC が示されています。

概略表に戻ります。

グローバル割り込みソース ステータス レジスタ。

表 8-3. INT_SRC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	F_OTHER	R	0h	ベンダー内部定義のフォルト。詳細は、INT_Vendor に報告されています。INT_Vendor のすべてのビットの論理和の値を表します。 0 = ベンダ定義のフォルトは未検出 1 = ベンダ定義のフォルトを検出済み
6-3	予約済み	R	0h	予約済み
2	TEST	R	0h	内部テストまたは構成ロード フォルト。詳細は、INT_TEST に報告されています。INT_TEST のすべてのビットの論理和の値を表します。 0 = テスト / 構成フォルトは未検出 1 = テスト / 構成フォルトを検出済み
1	制御	R	0h	制御ステータスまたは通信フォルト詳細は、INT_CONTROL に報告されています。INT_CONTROL のすべてのビットの論理和の値を表します。 0 = ステータスまたは通信フォルトが検出されていない 1 = ステータスまたは通信フォルトを検出済み
0	モニタ	R	0h	電圧モニタ フォルト。詳細は、INT_MONITOR に報告されています。INT_MONITOR のすべてのビットの論理和の値を表します。 0 = 電圧フォルトは未検出 1 = 電圧フォルトを検出済み

8.1.1.2 INT_MONITOR レジスタ (オフセット = 11h) [リセット = 00h]

表 8-4 に、INT_MONITOR が示されています。

概略表に戻ります。

電圧監視割り込みステータス レジスタ。

表 8-4. INT_MONITOR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0h	予約済み
3	OVLF	R	0h	ADC ベースの測定により、低周波の過電圧障害を検出。詳細は、INT_OVLF に報告されています。INT_OVLF のすべてのビットの論理和の値を表します。 0 = OVLF フォルトは未検出 1 = OVLF フォルトを検出済み
2	OVHF	R	0h	コンパレータ ベースの監視によって報告された過電圧高周波フォルト。詳細は、INT_OVHF に報告されています。INT_OVHF のすべてのビットの論理和の値を表します。 0 = OVHF フォルトは未検出 1 = OVHF フォルトを検出済み
1	UVLF	R	0h	ADC ベースの測定により、低周波の低電圧障害を検出。詳細は、INT_UVLF に報告されています。INT_UVLF のすべてのビットの論理和の値を表します。 0 = UVLF フォルトは未検出 1 = UVLF フォルトを検出済み
0	UVHF	R	0h	コンパレータ ベースの監視によって報告された低電圧高周波フォルト。詳細は、INT_UVHF に報告されています。INT_UVHF のすべてのビットの論理和の値を表します。 0 = UVHF フォルトは未検出 1 = UVHF フォルトを検出済み

8.1.1.3 INT_UVHF レジスタ (オフセット = 12h) [リセット = 00h]

表 8-5 に、INT_UVHF が示されています。

概略表に戻ります。

高周波数チャネル低電圧割り込みステータス レジスタ。

表 8-5. INT_UVHF レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W1C	0h	予約済み
3	F_UVHF[4]	R/W1C	0h	MON4 の低電圧高周波フォルト。MON4 高周波信号が UVHF[4] を下回るとトリップします。 0 = MON4 に UVHF フォルトは未検出 (または IEN_UVHF レジスタで割り込みが無効) 1 = MON4 に UVHF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。これは、ホストによる「1 を書き込んでクリア」操作によってのみクリアされます。UVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON4 高周波信号が UVHF[4] を上回っている場合)。
2	F_UVHF[3]	R/W1C	0h	MON3 の低電圧高周波フォルト。MON3 高周波信号が UVHF[3] を下回るとトリップします。 0 = MON3 に UVHF フォルトは未検出 (または IEN_UVHF レジスタで割り込みが無効) 1 = MON3 に UVHF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。これは、ホストによる「1 を書き込んでクリア」操作によってのみクリアされます。UVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON3 高周波信号が UVHF[3] を上回っている場合)。
1	F_UVHF[2]	R/W1C	0h	MON2 の低電圧高周波フォルト。MON2 高周波信号が UVHF[2] を下回るとトリップします。 0 = MON2 に UVHF フォルトは未検出 (または IEN_UVHF レジスタで割り込みが無効) 1 = MON2 に UVHF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。これは、ホストによる「1 を書き込んでクリア」操作によってのみクリアされます。UVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON2 高周波信号が UVHF[2] を上回っている場合)。
0	予約済み	R/W1C	0h	予約済み

8.1.1.4 INT_UVLF レジスタ (オフセット = 14h) [リセット = 00h]

INT_UVLF を表 8-6 に示します。

[概略表](#)に戻ります。

低周波数チャネル低電圧割り込みステータス レジスタ。

表 8-6. INT_UVLF レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W1C	0h	予約済み
3	F_UVLF[4]	R/W1C	0h	MON4 の低電圧低周波フォルト。MON4 低周波信号が UVLF[4] を下回るとトリップします。 0 = MON4 に UVLF フォルトは未検出 (または IEN_UVLF レジスタで割り込みが無効) 1 = MON4 に UVLF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。これは、ホストによる「1 を書き込んでクリア」操作によってのみクリアされます。UVLF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON4 低周波信号が UVLF[4] を上回っている場合)。
2	F_UVLF[3]	R/W1C	0h	MON3 の低電圧低周波フォルト。MON3 低周波信号が UVLF[3] を下回るとトリップします。 0 = MON3 に UVLF フォルトは未検出 (または IEN_UVLF レジスタで割り込みが無効) 1 = MON3 に UVLF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。これは、ホストによる「1 を書き込んでクリア」操作によってのみクリアされます。UVLF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON3 低周波信号が UVLF[3] を上回っている場合)。
1	F_UVLF[2]	R/W1C	0h	MON2 の低電圧低周波フォルト。MON2 低周波信号が UVLF[2] を下回るとトリップします。 0 = MON2 に UVLF フォルトは未検出 (または IEN_UVLF レジスタで割り込みが無効) 1 = MON2 に UVLF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。これは、ホストによる「1 を書き込んでクリア」操作によってのみクリアされます。UVLF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON2 低周波信号が UVLF[2] を上回っている場合)。
0	予約済み	R/W1C	0h	予約済み

8.1.1.5 INT_OVHF レジスタ (オフセット = 16h) [リセット = 00h]

表 8-7 に、INT_OVHF が示されています。

概略表に戻ります。

高周波チャネル過電圧割り込みステータス レジスタ

表 8-7. INT_OVHF レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W1C	0h	予約済み
3	F_OVHF[4]	R/W1C	0h	MON4 の過電圧高周波フォルト。MON4 高周波信号が OVHF[4] を上回るとトリップします。 0 = MON4 に OVHF フォルトは未検出 (または IEN_OVHF レジスタで割り込みが無効) 1 = MON4 に OVHF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。これは、ホストによる「1 を書き込んでクリア」操作によってのみクリアされます。OVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON4 高周波信号が OVHF[4] を下回っている場合)
2	F_OVHF[3]	R/W1C	0h	MON3 の過電圧高周波フォルト。MON3 高周波信号が OVHF[3] を上回るとトリップします。 0 = MON3 に OVHF フォルトは未検出 (または IEN_OVHF レジスタで割り込みが無効) 1 = MON3 に OVHF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。これは、ホストによる「1 を書き込んでクリア」操作によってのみクリアされます。OVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON3 高周波信号が OVHF[3] を下回っている場合)
1	F_OVHF[2]	R/W1C	0h	MON2 の過電圧高周波フォルト。MON2 高周波信号が OVHF[2] を上回るとトリップします。 0 = MON2 に OVHF フォルトは未検出 (または IEN_OVHF レジスタで割り込みが無効) 1 = MON2 に OVHF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。これは、ホストによる「1 を書き込んでクリア」操作によってのみクリアされます。OVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON2 高周波信号が OVHF[2] を下回っている場合)
0	予約済み	R/W1C	0h	予約済み

8.1.1.6 INT_OVLF レジスタ (オフセット = 18h) [リセット = 00h]

INT_OVLF を表 8-8 に示します。

[概略表](#)に戻ります。

低周波数チャネル過電圧割り込みステータス レジスタ

表 8-8. INT_OVLF レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W1C	0h	予約済み
3	F_OVLF[4]	R/W1C	0h	MON4 の過電圧低周波フォルト。MON4 低周波信号が OVLF[4] を上回るとトリップします。 0 = MON4 に OVLF フォルトは未検出 (または IEN_OVLF レジスタで割り込みが無効) 1 = MON4 に OVLF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。これは、ホストによる「1 を書き込んでクリア」操作によってのみクリアされます。OVLF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON4 低周波信号が OVLF[4] を下回っている場合)
2	F_OVLF[3]	R/W1C	0h	MON3 の過電圧低周波フォルト。MON3 低周波信号が OVLF[3] を上回るとトリップします。 0 = MON3 に OVLF フォルトは未検出 (または IEN_OVLF レジスタで割り込みが無効) 1 = MON3 に OVLF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。これは、ホストによる「1 を書き込んでクリア」操作によってのみクリアされます。OVLF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON3 低周波信号が OVLF[3] を下回っている場合)
1	F_OVLF[2]	R/W1C	0h	MON2 の過電圧低周波フォルト。MON2 低周波信号が OVLF[2] を上回るとトリップします。 0 = MON2 に OVLF フォルトは未検出 (または IEN_OVLF レジスタで割り込みが無効) 1 = MON2 に OVLF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。これは、ホストによる「1 を書き込んでクリア」操作によってのみクリアされます。OVLF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON2 低周波信号が OVLF[2] を下回っている場合)
0	予約済み	R/W1C	0h	予約済み

8.1.1.7 INT_CONTROL レジスタ (オフセット = 22h) [リセット = 00h]

表 8-9 に、INT_CONTROL が示されています。

概略表に戻ります。

制御および通信割り込みステータス レジスタ。

表 8-9. INT_CONTROL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W1C	0h	予約済み
4	F_CRC	R/W1C	0h	ランタイム レジスタ CRC フォルト: 0 = フォルトは未検出 (または IEN_CONTROL.RT_CRC が無効) 1 = レジスタ CRC フォルトを検出済み フォルト状態が回復してもビットはクリアされません。これは、ホストによる「1 を書き込んでクリア」操作によってのみクリアされます。W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。同じフォルトが検出された場合、次のレジスタ CRC チェック中に、このビットが再度設定されます
3	F_NIRQ	R/W1C	0h	割り込みピン フォルト (フォルトビットは常に有効、イネーブル ビットなし): 0 = NIRQ ピンでフォルトは未検出 1 = NIRQ ピンで電源への低抵抗パスを検出済み フォルト状態が回復してもビットはクリアされません。これは、ホストによる「1 を書き込んでクリア」操作によってのみクリアされます。NIRQ フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。
2	F_TSD	R/W1C	0h	サーマル シャットダウン フォルト: 0 = TSD フォルトは未検出 (または IEN_CONTROL.TSD が無効) 1 = TSD フォルトを検出済み フォルト状態が回復してもビットはクリアされません。これは、ホストによる「1 を書き込んでクリア」操作によってのみクリアされます。TSD フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。
1	予約済み	R/W1C	0h	予約済み
0	F_PEC	R/W1C	0h	パケット エラー チェック フォルト: 0 = PEC 不一致は未発生 (または IEN_CONTROL.PEC が無効) 1 = PEC 不一致が発生、または VMON_MISC.REQ_PEC = 1 および PEC が書き込みトランザクションで欠落 フォルト状態が回復してもビットはクリアされません。これは、ホストによる「1 を書き込んでクリア」操作によってのみクリアされます。W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。同じフォルトが検出されると、次の I2C トランザクション中にこのビットが再び設定されます。

8.1.1.8 INT_TEST レジスタ (オフセット = 23h) [リセット = 00h]

表 8-10 に、INT_TEST が示されています。

概略表に戻ります。

内部テストおよび構成ロード割り込みステータスレジスタ。

表 8-10. INT_TEST レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W1C	0h	予約済み
3	ECC_SEC	R/W1C	0h	OTP 構成ロードで ECC 単一エラーを訂正: 0 = シングル エラーは未訂正 (または IEN_TEST.ECC_SEC が無効) 1 = シングル エラーを訂正済み W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。同じフォルトが検出されると、次の OTP 構成ロード時にこのビットが再度設定されます。
2	ECC_DED	R/W1C	0h	OTP 構成ロードでの ECC ダブル エラーを検出済み: 0 = OTP ロードでのダブル エラーは未検出 1 = OTP ロードでのダブル エラーを検出済み フォルトビットは常に有効です (関連付けられる割り込みイネーブル ビットはありません)。ダブル エラー検出時に、デバイスはフェイルセーフ モードに移行します。
1	BIST_Complete_INT	R/W1C	0h	内蔵セルフ テスト完了の表示: 0 = BIST は未完了 (または IEN_TEST.BIST_C が無効) 1 = BIST を完了済み W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。次の BIST 実行が完了すると、このビットが再び設定されます
0	BIST_Fail_INT	R/W1C	0h	内蔵セルフ テスト フォルト: 0 = BIST フォルトは未検出 (または IEN_TEST.BIST が無効) 1 = BIST フォルトを検出済み W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。フォルトが検出されると、次の BIST 実行時にこのビットが再び設定されます

8.1.1.9 INT_VENDOR レジスタ (オフセット = 24h) [リセット = 00h]

表 8-11 に、INT_VENDOR が示されています。

概略表に戻ります。

ベンダ固有の内部割り込みステータス レジスタ。

表 8-11. INT_VENDOR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	Self-Test_CRC	R/W1C	0h	スタートアップ レジスタ CRC セルフ テスト 0 = セルフ テスト合格 1 = セルフ テスト失敗 1 を書き込むことでクリア
6	LDO_OV_Error	R/W1C	0h	内部 LDO 過電圧エラー。 0 = 内部 LDO 過電圧フォルトは未検出 1 = 内部 LDO 過電圧フォルトを検出済み フォルト状態が回復してもビットはクリアされません。これは、ホストによる「1 を書き込んでクリア」操作によってのみクリアされます。LDO フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。
5	NRST_MISMATCH	R/W1C	0h	駆動状態と読み戻しによるエラーを指定します。NRST トグルの間、2 μ s の後で NRST 不一致がアクティブになります。ロジック High 状態と見なされるには、NRST が 0.6*VDD を超えている必要があります。 0 = NRST ピンでのフォルトは未検出 1 = 駆動状態と読み戻しによるエラー。 フォルト状態が回復してもビットはクリアされません。これは、ホストによる「1 を書き込んでクリア」操作によってのみクリアされます。NRST フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。
4	Freq_DEV_Error	R/W1C	0h	内部周波数誤差を指定します。 0 = 内部周波数フォルトは未検出 1 = 内部周波数フォルトを検出済み フォルト状態が回復してもビットはクリアされません。これは、ホストによる「1 を書き込んでクリア」操作によってのみクリアされます。周波数フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。
3	SHORT_DET	R/W1C	0h	アドレス ピン短絡検出。 0 = アドレス ピン短絡フォルトは未検出 1 = アドレス ピン短絡フォルトを検出済み フォルト状態が回復してもビットはクリアされません。これは、ホストによる「1 を書き込んでクリア」操作によってのみクリアされます。アドレス ピン短絡フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。
2	OPEN_DET	R/W1C	0h	アドレス ピン開放検出。 0 = アドレス ピン開放フォルトは未検出 1 = アドレス ピン開放フォルトを検出済み フォルト状態が回復してもビットはクリアされません。これは、ホストによる「1 を書き込んでクリア」操作によってのみクリアされます。アドレス ピンの開放フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。
1	ESM_ERROR	R/W1C	0h	ESM フォルトの表示。 0 = ESM フォルトは未検出 1 = ESM フォルトを検出済み フォルト状態が回復してもビットはクリアされません。これは、ホストによる「1 を書き込んでクリア」操作によってのみクリアされます。ESM フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。

表 8-11. INT_VENDOR レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	WDT_ERROR	R/W1C	0h	ウォッチドッグ フォルトの表示。 0 = ウォッチドッグ フォルトは未検出 1 = ウォッチドッグ フォルトを検出済み フォルト状態が回復してもビットはクリアされません。これは、ホストによる「1」を書き込んでクリア」操作によってのみクリアされます。ウォッチドッグのフォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。

8.1.1.10 VMON_STAT レジスタ (オフセット = 30h) [リセット = 7Eh]

表 8-12 に、VMON_STAT が示されています。

概略表に戻ります。

内部動作およびその他の重要な状態のステータス フラグ。

表 8-12. VMON_STAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	FAILSAFE	R	0h	1 = デバイスが FAILSAFE 状態
6	ST_BIST_C	R	1h	内蔵セルフ テストの状態: 0 = BIST は未完了 1 = BIST を完了済み
5	ST_VDD	R	1h	ステータス VDD
4	ST_NIRQ	R	1h	ステータス NIRQ ピン
3	予約済み	R	0h	予約済み
2	アクティブ	R	1h	1 = デバイスは ACTIVE 状態
1	予約済み	R	0h	予約済み
0	予約済み	R	0h	予約済み

8.1.1.11 TEST_INFO レジスタ (オフセット = 31h) [リセット = 00h]

表 8-13 に、TEST_INFO が示されています。

概略表に戻ります。

内部セルフ テストおよび ECC 情報。

表 8-13. TEST_INFO レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み
5	ECC_SEC	R	0h	OTP 構成ロードでの ECC シングル エラー訂正のステータス。 0 = エラー訂正は未適用 1 = シングル エラー訂正を適用済み
4	ECC_DED	R	0h	OTP 構成ロードでの ECC ダブル エラー検出のステータス。 0 = ダブル エラーは未検出 1 = ダブル エラーを検出済み
3	BIST_VM	R	0h	BIST からの揮発性メモリ テスト出力のステータス。 0 = 揮発性メモリ テスト合格 1 = 揮発性メモリ テスト不合格
2	BIST_NVM	R	0h	BIST からの不揮発性メモリ テスト出力のステータス。 0 = 不揮発性メモリ テスト合格 1 = 不揮発性メモリ テスト不合格
1	BIST_L	R	0h	BIST からのロジック テスト出力のステータス。 0 = ロジック テスト合格 1 = ロジック テスト不合格
0	BIST_A	R	0h	BIST からのアナログ テスト出力のステータス。 0 = アナログ テスト合格 1 = アナログ テスト不合格

8.1.1.12 OFF_STAT レジスタ (オフセット = 32h) [リセット = 00h]

表 8-14 に、OFF_STAT が示されています。

概略表に戻ります。

チャンネル OFF のステータス。

表 8-14. OFF_STAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0h	予約済み
3	MON[4]	R	0h	各チャンネルの OFF ステータスを表します: 0 = チャンネル 4 は OFF でない 1 = チャンネル 4 はオフである (OFF スレッショルド未満)
2	MON[3]	R	0h	各チャンネルの OFF ステータスを表します: 0 = チャンネル 3 は OFF でない 1 = チャンネル 3 はオフである (OFF スレッショルド未満)
1	MON[2]	R	0h	各チャンネルの OFF ステータスを表します: 0 = チャンネル 2 は OFF でない 1 = チャンネル 2 はオフである (OFF スレッショルド未満)
0	予約済み	R	0h	予約済み

8.1.1.13 WDT_STAT レジスタ (オフセット = 37h) [リセット = 00h]

WDT_STAT を [表 8-15](#) に示します。

[概略表](#)に戻ります。

ウォッチドッグのステータス

表 8-15. WDT_STAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み
5-3	WD_STATE	R	0h	にウォッチドッグ状態を示します。000 = WD アイドル状態 001 = WD オープン状態 010 = WD クローズ状態 011 = WD スタートアップ状態 100 = WD 中断状態
2	ST_WDEXP	R	0h	3 回の応答を書き込む前にクローズ ウィンドウが期限切れになるか、オープン ウィンドウが期限切れになるとフラグが立ちます。 1 = クローズ ウィンドウまたはオープン ウィンドウが期限切れ (読み出し時にビットはクリアされます)
1	予約済み	R	0h	予約済み
0	ST_WDUV	R	0h	クローズ ウィンドウ内で余分な応答 (4 回の応答) があった場合、またはクローズ ウィンドウ内で誤った応答があった場合、あるいはオープン ウィンドウ内で誤った応答があった場合にフラグが立ちます。 1 = 余分、または誤った回答 (読み出し時にビットはクリア)

8.1.1.14 WD_STAT_QA レジスタ (オフセット = 38h) [リセット = 3Ch]

WD_STAT_QA を [表 8-16](#) に示します。

[概略表](#)に戻ります。

ウォッチドッグ回答数とトークン

表 8-16. WD_STAT_QA レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R	0h	予約済み
5-4	ANSW_CNT[1:0]	R	3h	リアルタイムで回答数を表示
3-0	TOKEN[3:0]	R	Ch	トークンをリアルタイムで表します。ウォッチドッグをイネーブルにすると、トークン値は 0 に設定されます。

8.1.1.15 MON_LVL[2] レジスタ (オフセット = 41h) [リセット = 00h]

MON_LVL[2] が [表 8-17](#) に示されています。

[概略表](#)に戻ります。

チャンネル 2 電圧レベル。

表 8-17. MON_LVL[2] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	ADC[7:0]	R	0h	MON2 の電圧テレメトリ値を 16 進数で表します

8.1.1.16 MON_LVL[3] レジスタ (オフセット = 42h) [リセット = 00h]

MON_LVL[3] が [表 8-18](#) に示されています。

[概略表](#)に戻ります。

チャンネル 3 電圧レベル。

表 8-18. MON_LVL[3] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	ADC[7:0]	R	0h	MON3 の電圧テlemetry値を 16 進数で表します

8.1.1.17 MON_LVL[4] レジスタ (オフセット = 43h) [リセット = 00h]

MON_LVL[4] が [表 8-19](#) に示されています。

[概略表](#)に戻ります。

チャンネル 4 電圧レベル。

表 8-19. MON_LVL[4] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	ADC[7:0]	R	0h	MON4 の電圧テレメトリ値を 16 進数で表します

8.1.1.18 BANK_SEL レジスタ (オフセット = F0h) [リセット = 00h]

表 8-20 に、BANK_SEL が示されています。

概略表に戻ります。

バンクの選択。

表 8-20. BANK_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	0h	予約済み
0	BANK_Select	R/W	0h	バンクの選択を表します。 0 = バンク 0 1 = バンク 1

8.1.1.19 PROT1 レジスタ (オフセット = F1h) [リセット = 00h]

PROT1 を表 8-21 に示します。

[概略表](#)に戻ります。

レジスタの変更をロックまたはロック解除します。PROT2 と一致する必要があります。

表 8-21. PROT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R/W	0h	予約済み
5	WRKC	R/W	0h	WRKC グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない
4	予約済み	R/W	0h	予約済み
3	CFG	R/W	0h	CFG グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない
2	IEN	R/W	0h	IEN グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない
1	MON	R/W	0h	MON グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない
0	SEQ	R/W	0h	SEQ グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない

8.1.1.20 PROT2 レジスタ (オフセット = F2h) [リセット = 00h]

PROT2 を表 8-22 に示します。

[概略表](#)に戻ります。

レジスタの変更をロックまたはロック解除します。PROT1 と一致する必要があります。

表 8-22. PROT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	予約済み	R/W	0h	予約済み
5	WRKC	R/W	0h	CFG グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない
4	予約済み	R/W	0h	予約済み
3	CFG	R/W	0h	CFG グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない
2	IEN	R/W	0h	IEN グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない
1	MON	R/W	0h	MON グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない
0	SEQ	R/W	0h	SEQ グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない

8.1.1.21 PROT_MON レジスタ (オフセット = F3h) [リセット = 1Fh]

表 8-23 に、PROT_MON が示されています。

概略表に戻ります。

PROT1 および PROT2 と並行して MON レジスタをロックします。

表 8-23. PROT_MON レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	予約済み
3	MON[4]	R/W	1h	PROT1 および PROT2 とともに書き込みから MON4 を保護します。 0 = 変更できる 1 = 変更できない
2	MON[3]	R/W	1h	PROT1 および PROT2 とともに書き込みから MON3 を保護します。 0 = 変更できる 1 = 変更できない
1	MON[2]	R/W	1h	PROT1 および PROT2 とともに書き込みから MON2 を保護します。 0 = 変更できる 1 = 変更できない
0	予約済み	R/W	0h	予約済み

8.1.1.22 I2CADDR レジスタ (オフセット = F9h) [リセット = 30h]

I2CADDR を表 8-24 に示します。

[概略表](#)に戻ります。

I2C アドレス

表 8-24. I2CADDR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0h	予約済み
6-3	ADDR_NVM[3:0]	R	6h	内部 OTP からの I2C アドレスを表します。デフォルト値は 30 Hex です。 また、I2C 通信が失敗した場合のフェイルセーフモードにおけるデフォルト の I2C アドレスです
2-0	ADDR_STRAP[2:0]	R	0h	ADDR ピンの抵抗値からの I2C アドレスを表します。

8.1.1.23 DEV_CFG レジスタ (オフセット = FAh) [リセット = 00h]

DEV_CFG を [表 8-25](#) に示します。

[概略表](#)に戻ります。

I2C インターフェイス電圧レベルのステータス。

表 8-25. DEV_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	予約済み	R	0h	予約済み

8.1.2 BANK1 のレジスタ

BANK1 レジスタのメモリマップされたレジスタを、表 8-26 に示します。表 8-26 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-26. BANK1 のレジスタ

オフセット	略称	レジスタ名	セクション
10h	VMON_CTL	VMON デバイス制御レジスタ。	セクション 8.1.2.1
11h	VMON_MISC	その他の VMON 構成。	セクション 8.1.2.2
12h	TEST_CFG	内蔵セルフ テスト (BIST) 実行構成。	セクション 8.1.2.3
13h	IEN_UVHF	高周波数チャネル低電圧割り込みイネーブル レジスタ	セクション 8.1.2.4
14h	IEN_UVLF	低周波数チャネル低電圧割り込みイネーブル レジスタ。	セクション 8.1.2.5
15h	IEN_OVHF	高周波チャネル過電圧割り込みイネーブル レジスタ。	セクション 8.1.2.6
16h	IEN_OVLF	低周波数チャネル過電圧割り込みイネーブル レジスタ。	セクション 8.1.2.7
1Bh	IEN_CONTROL	制御および通信フォルト割り込みイネーブル レジスタ。	セクション 8.1.2.8
1Ch	IEN_TEST	内部テストおよび構成ロード フォルト割り込みイネーブル レジスタ	セクション 8.1.2.9
1Dh	IEN_VENDOR	ベンダ固有の内部割り込みイネーブル レジスタ。	セクション 8.1.2.10
1Eh	MON_CH_EN	チャネル電圧監視有効。	セクション 8.1.2.11
1Fh	VRANGE_MULT	チャネル電圧監視範囲 / スケーリング。	セクション 8.1.2.12
30h	UV_HF[2]	チャネル 2 高周波チャネルの低電圧スレッシュホールド。	セクション 8.1.2.13
31h	OV_HF[2]	チャネル 2 高周波チャネル過電圧スレッシュホールド。	セクション 8.1.2.14
32h	UV_LF[2]	チャネル 2 低周波チャネルの低電圧スレッシュホールド。	セクション 8.1.2.15
33h	OV_LF[2]	チャネル 2 低周波数チャネル過電圧スレッシュホールド。	セクション 8.1.2.16
34h	FLT_HF[2]	高周波スレッシュホールド コンパレータ出力のチャネル 2 UV および OV デバウンス。	セクション 8.1.2.17
35h	FC_LF[2]	チャネル 2 の低周波経路 G(s) のカットオフ周波数 (-3dB ポイント)このレジスタは、プログラム可能なローパス フィルタ (LPF) のフィルタ特性を変更し、全体の周波数応答 G(s) がこれらのカットオフ周波数を満たすようにします。	セクション 8.1.2.18
40h	UV_HF[3]	チャネル 3 高周波チャネルの低電圧スレッシュホールド。	セクション 8.1.2.19
41h	OV_HF[3]	チャネル 3 高周波チャネル過電圧スレッシュホールド。	セクション 8.1.2.20
42h	UV_LF[3]	チャネル 3 低周波チャネルの低電圧スレッシュホールド。	セクション 8.1.2.21
43h	OV_LF[3]	チャネル 3 低周波数チャネル過電圧スレッシュホールド。	セクション 8.1.2.22
44h	FLT_HF[3]	高周波スレッシュホールド コンパレータ出力のチャネル 3 UV および OV デバウンス。	セクション 8.1.2.23
45h	FC_LF[3]	チャネル 3 の低周波経路 G(s) のカットオフ周波数 (-3dB ポイント)このレジスタは、プログラム可能なローパス フィルタ (LPF) のフィルタ特性を変更し、全体の周波数応答 G(s) がこれらのカットオフ周波数を満たすようにします。	セクション 8.1.2.24
50h	UV_HF[4]	チャネル 4 高周波チャネルの低電圧スレッシュホールド。	セクション 8.1.2.25
51h	OV_HF[4]	チャネル 4 高周波チャネル過電圧スレッシュホールド。	セクション 8.1.2.26
52h	UV_LF[4]	チャネル 4 低周波チャネルの低電圧スレッシュホールド。	セクション 8.1.2.27
53h	OV_LF[4]	チャネル 4 低周波数チャネル過電圧スレッシュホールド。	セクション 8.1.2.28
54h	FLT_HF[4]	高周波スレッシュホールド コンパレータ出力のチャネル 4 UV および OV デバウンス。	セクション 8.1.2.29
55h	FC_LF[4]	チャネル 4 の低周波経路 G(s) のカットオフ周波数 (-3dB ポイント)このレジスタは、プログラム可能なローパス フィルタ (LPF) のフィルタ特性を変更し、全体の周波数応答 G(s) がこれらのカットオフ周波数を満たすようにします。	セクション 8.1.2.30

表 8-26. BANK1 のレジスタ (続き)

オフセット	略称	レジスタ名	セクション
9Eh	ESM	故障がアサートされるための ESM スレッシュホールド時間。	セクション 8.1.2.31
9Fh	TI_CONTROL	I2C / ESM グリッチ除去 / リセット遅延による手動 BIST / WD EN / 手動 リセット	セクション 8.1.2.32
A1h	AMSK_ON	パワーアップ遷移時に UVLF、UVHF および OVHF 割り込みを自動マスクします。	セクション 8.1.2.33
A2h	AMSK_OFF	パワーダウン遷移時に UVLF、UVHF および OVHF 割り込みを自動マスクします。	セクション 8.1.2.34
A5h	SEQ_TOUT_MSB	パワーアップ時およびパワーダウン時の UV フォルトのタイムアウト。	セクション 8.1.2.35
A6h	SEQ_TOUT_LSB	パワーアップ時およびパワーダウン時の UV フォルトのタイムアウト。	セクション 8.1.2.36
A8h	SEQ_UP_THLD	パワーアップ時に AMSK が解放されるスレッシュホールド (VMON がオンと見なされる)。	セクション 8.1.2.37
A9h	SEQ_DN_THLD	パワーダウン時に AMSK が解放されるスレッシュホールド (VMON がオフと見なされる)。	セクション 8.1.2.38
AAh	WDT_CFG	WD の最大制限超過数およびスタートアップ ウィンドウの遅延通倍器。	セクション 8.1.2.39
ABh	WDT_CLOSE	クローズ ウィンドウ時間。	セクション 8.1.2.40
ACh	WDT_OPEN	オープン ウィンドウ時間。	セクション 8.1.2.41
ADh	WDT_QA_CFG	ウォッチドッグ用のフィードバック/多項式/シード。	セクション 8.1.2.42
AEh	WDT_ANSWER	ウォッチドッグの回答。	セクション 8.1.2.43
F0h	BANK_SEL	バンクの選択。	セクション 8.1.2.44

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-27 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-27. BANK1 のアクセス タイプ コード

アクセス タイプ	表記	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

8.1.2.1 VMON_CTL レジスタ (オフセット = 10h) [リセット = 20h]

表 8-28 に、VMON_CTL が示されています。

概略表に戻ります。

VMON デバイス制御レジスタ。

表 8-28. VMON_CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	0h	予約済み
4	FORCE_WDO_LOW	R/W	0h	WDO の強制アサート
3	RESET_PROT	R/W	0h	RESET_PROT = 読み取り 0、書き込み 1 で保護レジスタをクリア
2-1	予約済み	R/W	0h	予約済み
0	FORCE_NIRQ_LOW	R/W	0h	NIRQ の強制アサート

8.1.2.2 VMON_MISC レジスタ (オフセット = 11h) [リセット = X0h]

表 8-29 に、VMON_MISC が示されています。

概略表に戻ります。

その他の VMON 構成。

表 8-29. VMON_MISC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0h	予約済み
6-4	WDO_DLY[2:0]	R/W	0h	WDO_Delay (ラッチされた WDO には適用されません)
3-2	予約済み	R/W	0h	予約済み
1	REQ_PEC	R/W	Xh	PEC が必要です。 0 = PEC 不要 1 = PEC 必要
0	EN_PEC	R/W	Xh	PEC をイネーブルにします。 0 = PEC 無効 1 = PEC 有効

8.1.2.3 TEST_CFG レジスタ (オフセット = 12h) [リセット = X0h]

表 8-30 に、TEST_CFG が示されています。

概略表に戻ります。

内蔵セルフ テスト (BIST) 実行構成。

表 8-30. TEST_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-3	予約済み	R/W	0h	予約済み
2	AT_SHDN	R/W	Xh	SHDN で BIST を実行
1	AT_POR[1]	R/W	Xh	POR で BIST を実行し、2 番目のビットに冗長性を確保
0	AT_POR[0]	R/W	Xh	POR で BIST を実行

8.1.2.4 IEN_UVHF レジスタ (オフセット = 13h) [リセット = X0h]

表 8-31 に、IEN_UVHF が示されています。

[概略表](#)に戻ります。

高周波数チャネル低電圧割り込みイネーブル レジスタ

表 8-31. IEN_UVHF レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	予約済み
3	MON[4]	R/W	Xh	MON4 の UVHF 割り込み有効 、0 = 無効、 1 = 有効
2	MON[3]	R/W	Xh	MON3 の UVHF 割り込み有効 、0 = 無効、 1 = 有効
1	MON[2]	R/W	Xh	MON2 の UVHF 割り込み有効 、0 = 無効、 1 = 有効
0	予約済み	R/W	0h	予約済み

8.1.2.5 IEN_UVLF レジスタ (オフセット = 14h) [リセット = X0h]

IEN_UVLF を [表 8-32](#) に示します。

[概略表](#)に戻ります。

低周波数チャネル低電圧割り込みイネーブル レジスタ。

表 8-32. IEN_UVLF レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	予約済み
3	MON[4]	R/W	Xh	MON4 の UVLF 割り込み有効 、0 = 無効、 1 = 有効
2	MON[3]	R/W	Xh	MON3 の UVLF 割り込み有効 、0 = 無効、 1 = 有効
1	MON[2]	R/W	Xh	MON2 の UVLF 割り込み有効 、0 = 無効、 1 = 有効
0	予約済み	R/W	0h	予約済み

8.1.2.6 IEN_OVHF レジスタ (オフセット = 15h) [リセット = X0h]

表 8-33 に、IEN_OVHF が示されています。

[概略表](#)に戻ります。

高周波チャネル過電圧割り込みイネーブル レジスタ。

表 8-33. IEN_OVHF レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	予約済み
3	MON[4]	R/W	Xh	MON4 の OVHF 割り込み有効 、0 = 無効、 1 = 有効
2	MON[3]	R/W	Xh	MON3 の OVHF 割り込み有効 、0 = 無効、 1 = 有効
1	MON[2]	R/W	Xh	MON2 の OVHF 割り込み有効 、0 = 無効、 1 = 有効
0	予約済み	R/W	0h	予約済み

8.1.2.7 IEN_OVLF レジスタ (オフセット = 16h) [リセット = X0h]

IEN_OVLF を [表 8-34](#) に示します。

[概略表](#)に戻ります。

低周波数チャネル過電圧割り込みイネーブル レジスタ。

表 8-34. IEN_OVLF レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	予約済み
3	MON[4]	R/W	Xh	MON4 の OVLF 割り込み有効 、0 = 無効、 1 = 有効
2	MON[3]	R/W	Xh	MON3 の OVLF 割り込み有効 、0 = 無効、 1 = 有効
1	MON[2]	R/W	Xh	MON2 の OVLF 割り込み有効 、0 = 無効、 1 = 有効
0	予約済み	R/W	0h	予約済み

8.1.2.8 IEN_CONTROL レジスタ (オフセット = 1Bh) [リセット = X0h]

表 8-35 に、IEN_CONTROL が示されています。

概略表に戻ります。

制御および通信フォルト割り込みイネーブル レジスタ。

表 8-35. IEN_CONTROL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	0h	予約済み
4	RT_CRC_Int	R/W	0h	レジスタの実行時間 CRC (巡回冗長性検査) エラー割り込みは、レジスタマップの内容に対して実行される静的 CRC です。有効化すると、この CRC チェックを実行するためにデータの読み取りや書き込みを実行する必要はありません。この CRC は、レジスタ マップの内容の静的ビット反転またはランダム エラーが発生したかどうかを識別することです。これは安全性メカニズムであり、CRC-8 多項式を使用して実行されます。読み取りまたは書き込み動作の場合、レジスタ マップの内容が変更され、多項式は変更後に新しい値で再計算されます。割り込みは、バンク 0 の INT_CONTROL_F_CRC レジスタに通知されます。 0 = 割り込みマッピングを無効化、 1 = 割り込みマッピングを有効化
3	予約済み	R/W	0h	予約済み
2	TSD_INT	R/W	Xh	サーマル シャットダウン割り込み。 0 = 無効、 1 = 有効
1	予約済み	R/W	0h	予約済み
0	PEC_INT	R/W	Xh	PEC エラー割り込み。 0 = 無効、 1 = 有効

8.1.2.9 IEN_TEST レジスタ (オフセット = 1Ch) [リセット = X0h]

表 8-36 に、IEN_TEST が示されています。

概略表に戻ります。

内部テストおよび構成ロード フォルト割り込みイネーブル レジスタ

表 8-36. IEN_TEST レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	予約済み
3	ECC_SEC	R/W	Xh	SEC エラー割り込み。 0 = 無効、 1 = 有効
2	予約済み	R/W	0h	予約済み
1	BIST_Complete_INT	R/W	Xh	BIST 完了割り込み。 0 = 無効、 1 = 有効
0	BIST_Fail_INT	R/W	Xh	BIST 失敗割り込み。 0 = 無効、 有効 = 1

8.1.2.10 IEN_VENDOR レジスタ (オフセット = 1Dh) [リセット = X0h]

表 8-37 に、IEN_VENDOR が示されています。

概略表に戻ります。

ベンダ固有の内部割り込みイネーブル レジスタ。

表 8-37. IEN_VENDOR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	スタートアップ Self-Test_CRC	R/W	0h	スタートアップ Self-Test_CRC 割り込み。 0 = 割り込みマッピングを無効化、 1 = 割り込みマッピングを有効化
6	予約済み	R/W	0h	予約済み
5	NRST_MISMATCH	R/W	0h	NRST 不一致割り込み。 0 = 割り込みマッピングを無効化、 1 = 割り込みマッピングを有効化
4	ESM_TO_WDO	R/W	0h	ESM フォルトを WDO にマッピングします。 0 = マップされていない 1 = マップされている
3	ESM_TO_NIRQ	R/W	Xh	ESM フォルトを NIRQ にマッピングします。 0 = マップされていない 1 = マップされている
2	WDT_TO_NIRQ	R/W	Xh	ウォッチドッグ フォルトを NIRQ にマッピングします。 0 = マップされていない 1 = マップされている
1	ESM_TO_NRST	R/W	Xh	ESM フォルトを NRST にマッピングします。 0 = マップされていない 1 = マップされている
0	WDT_TO_NRST	R/W	Xh	ウォッチドッグ フォルトを NRST にマッピングします。 0 = マップされていない 1 = マップされている

8.1.2.11 MON_CH_EN レジスタ (オフセット = 1Eh) [リセット = X0h]

表 8-38 に、MON_CH_EN が示されています。

概略表に戻ります。

チャンネル電圧監視有効。

表 8-38. MON_CH_EN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	予約済み
3	MON[4]	R/W	Xh	MON4 モニタリングを有効にします。 0 = 無効、 1 = 有効
2	MON[3]	R/W	Xh	MON3 モニタリングを有効にします。 0 = 無効、 1 = 有効
1	MON[2]	R/W	Xh	MON2 モニタリングを有効にします。 0 = 無効、 1 = 有効
0	予約済み	R/W	0h	予約済み

8.1.2.12 VRANGE_MULT レジスタ (オフセット = 1Fh) [リセット = X0h]

表 8-39 に、VRANGE_MULT が示されています。

概略表に戻ります。

チャネル電圧監視範囲 / スケーリング。

表 8-39. VRANGE_MULT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	予約済み
3	MON[4]	R/W	Xh	MON4 のスカラー。 0 = 1x、 1 = 4x
2	MON[3]	R/W	Xh	MON3 のスカラー。 0 = 1x、 1 = 4x
1	MON[2]	R/W	Xh	MON2 のスカラー。 0 = 1x、 1 = 4x
0	予約済み	R/W	0h	予約済み

8.1.2.13 UV_HF[2] レジスタ (オフセット = 30h) [リセット = X0h]

表 8-40 に、UV_HF[2] が示されています。

概略表に戻ります。

チャンネル 2 高周波チャンネルの低電圧スレッシュホールド。

表 8-40. UV_HF[2] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの高周波成分の低電圧スレッシュホールド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

8.1.2.14 OV_HF[2] レジスタ (オフセット = 31h) [リセット = X0h]

表 8-41 に、UV_HF[2] が示されています。

概略表に戻ります。

チャンネル 2 高周波チャンネル過電圧スレッシュホールド。

表 8-41. OV_HF[2] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの高周波成分の過電圧スレッシュホールド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

8.1.2.15 UV_LF[2] レジスタ (オフセット = 32h) [リセット = X0h]

UV_LF[2] が [表 8-42](#) に示されています。

[概略表](#)に戻ります。

チャンネル 2 低周波チャンネルの低電圧スレッショルド。

表 8-42. UV_LF[2]レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの低周波成分の低電圧スレッショルド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

8.1.2.16 OV_LF[2] レジスタ (オフセット = 33h) [リセット = X0h]

OV_LF[2] が [表 8-43](#) に示されています。

[概略表](#)に戻ります。

チャンネル 2 低周波数チャンネル過電圧スレッショルド。

表 8-43. OV_LF[2] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの低周波成分の過電圧スレッショルド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

8.1.2.17 FLT_HF[2] レジスタ (オフセット = 34h) [リセット = X0h]

表 8-44 に、UV_HF[2] が示されています。

概略表に戻ります。

高周波スレッシュホールド コンパレータ出力のチャネル 2 UV および OV デバウンス。

表 8-44. FLT_HF[2] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	OV_DEB[3:0]	R/W	0h	高周波監視パスの過電圧コンパレータの出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1 μ s 1000b = 25.6 μ s 0001b = 0.2 μ s 1001b = 51.2 μ s 0010b = 0.4 μ s 1010b = 102.4 μ s 0011b = 0.8 μ s 1011b = 102.4 μ s 0100b = 1.6 μ s 1100b = 102.4 μ s 0101b = 3.2 μ s 1101b = 102.4 μ s 0110b = 6.4 μ s 1110b = 102.4 μ s 0111b = 12.8 μ s 1111b = 102.4 μ s
3-0	UV_DEB[3:0]	R/W	Xh	高周波監視パスの低電圧コンパレータ出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1 μ s 1000b = 25.6 μ s 0001b = 0.2 μ s 1001b = 51.2 μ s 0010b = 0.4 μ s 1010b = 102.4 μ s 0011b = 0.8 μ s 1011b = 102.4 μ s 0100b = 1.6 μ s 1100b = 102.4 μ s 0101b = 3.2 μ s 1101b = 102.4 μ s 0110b = 6.4 μ s 1110b = 102.4 μ s 0111b = 12.8 μ s 1111b = 102.4 μ s

8.1.2.18 FC_LF[2] レジスタ (オフセット = 35h) [リセット = X0h]

表 8-45 に、FC_LF[2] が示されています。

概略表に戻ります。

チャンネル 2 の低周波経路 $G(s)$ のカットオフ周波数 (-3dB ポイント) このレジスタは、プログラム可能なローパス フィルタ (LPF) のフィルタ特性を変更し、全体の周波数応答 $G(s)$ がこれらのカットオフ周波数を満たすようにします。

表 8-45. FC_LF[2] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	0h	予約済み
4	OVHF_TO_NRST	R/W	0h	MON2 OVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
3	UVHF_TO_NRST	R/W	Xh	MON2 UVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
2-0	Cut_off_Freq[2:0]	R/W	Xh	LF 故障フィルタの周波数の MON2 カット 000 = 無効 001 = 無効 010 = 250Hz 011 = 500Hz 100 = 1kHz 101 = 2kHz 110 = 4kHz 111 = 無効

8.1.2.19 UV_HF[3] レジスタ (オフセット = 40h) [リセット = X0h]

表 8-46 に、UV_HF[3] が示されています。

概略表に戻ります。

チャンネル 3 高周波チャンネルの低電圧スレッショルド。

表 8-46. UV_HF[3] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの高周波成分の低電圧スレッショルド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

8.1.2.20 OV_HF[3] レジスタ (オフセット = 41h) [リセット = X0h]

表 8-47 に、UV_HF[3] が示されています。

概略表に戻ります。

チャンネル 3 高周波チャンネル過電圧スレッシュホールド。

表 8-47. OV_HF[3] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの高周波成分の過電圧スレッシュホールド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

8.1.2.21 UV_LF[3] レジスタ (オフセット = 42h) [リセット = X0h]

UV_LF[3] が [表 8-48](#) に示されています。

[概略表](#)に戻ります。

チャンネル 3 低周波チャンネルの低電圧スレッショルド。

表 8-48. UV_LF[3]レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの低周波成分の低電圧スレッショルド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

8.1.2.22 OV_LF[3] レジスタ (オフセット = 43h) [リセット = X0h]

OV_LF[3] が [表 8-49](#) に示されています。

[概略表](#)に戻ります。

チャンネル 3 低周波数チャンネル過電圧スレッショルド。

表 8-49. OV_LF[3] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの低周波成分の過電圧スレッショルド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

8.1.2.23 FLT_HF[3] レジスタ (オフセット = 44h) [リセット = X0h]

表 8-50 に、UV_HF[3] が示されています。

概略表に戻ります。

高周波スレッシュホールド コンパレータ出力のチャネル 3 UV および OV デバウンス。

表 8-50. FLT_HF[3] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	OV_DEB[3:0]	R/W	0h	高周波監視パスの過電圧コンパレータの出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1 μ s 1000b = 25.6 μ s 0001b = 0.2 μ s 1001b = 51.2 μ s 0010b = 0.4 μ s 1010b = 102.4 μ s 0011b = 0.8 μ s 1011b = 102.4 μ s 0100b = 1.6 μ s 1100b = 102.4 μ s 0101b = 3.2 μ s 1101b = 102.4 μ s 0110b = 6.4 μ s 1110b = 102.4 μ s 0111b = 12.8 μ s 1111b = 102.4 μ s
3-0	UV_DEB[3:0]	R/W	Xh	高周波監視パスの低電圧コンパレータ出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1 μ s 1000b = 25.6 μ s 0001b = 0.2 μ s 1001b = 51.2 μ s 0010b = 0.4 μ s 1010b = 102.4 μ s 0011b = 0.8 μ s 1011b = 102.4 μ s 0100b = 1.6 μ s 1100b = 102.4 μ s 0101b = 3.2 μ s 1101b = 102.4 μ s 0110b = 6.4 μ s 1110b = 102.4 μ s 0111b = 12.8 μ s 1111b = 102.4 μ s

8.1.2.24 FC_LF[3] レジスタ (オフセット = 45h) [リセット = X0h]

表 8-51 に、FC_LF[3] が示されています。

概略表に戻ります。

チャンネル 3 の低周波経路 $G(s)$ のカットオフ周波数 (-3dB ポイント) このレジスタは、プログラム可能なローパス フィルタ (LPF) のフィルタ特性を変更し、全体の周波数応答 $G(s)$ がこれらのカットオフ周波数を満たすようにします。

表 8-51. FC_LF[3] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	0h	予約済み
4	OVHF_TO_NRST	R/W	0h	MON3 OVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
3	UVHF_TO_NRST	R/W	Xh	MON3 UVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
2-0	Cut_off_Freq[2:0]	R/W	Xh	LF 故障フィルタの周波数の MON3 カット 000 = 無効 001 = 無効 010 = 250Hz 011 = 500Hz 100 = 1kHz 101 = 2kHz 110 = 4kHz 111 = 無効

8.1.2.25 UV_HF[4] レジスタ (オフセット = 50h) [リセット = X0h]

表 8-52 に、UV_HF[4] が示されています。

概略表に戻ります。

チャンネル 4 高周波チャンネルの低電圧スレッショルド。

表 8-52. UV_HF[4] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの高周波成分の低電圧スレッショルド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

8.1.2.26 OV_HF[4] レジスタ (オフセット = 51h) [リセット = X0h]

表 8-53 に、UV_HF[4] が示されています。

概略表に戻ります。

チャンネル 4 高周波チャンネル過電圧スレッシュホールド。

表 8-53. OV_HF[4] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの高周波成分の過電圧スレッシュホールド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

8.1.2.27 UV_LF[4] レジスタ (オフセット = 52h) [リセット = X0h]

UV_LF[4] が [表 8-54](#) に示されています。

[概略表](#)に戻ります。

チャンネル 4 低周波チャンネルの低電圧スレッショルド。

表 8-54. UV_LF[4]レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの低周波成分の低電圧スレッショルド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

8.1.2.28 OV_LF[4] レジスタ (オフセット = 53h) [リセット = X0h]

OV_LF[4] が [表 8-55](#) に示されています。

[概略表](#)に戻ります。

チャンネル 4 低周波数チャンネル過電圧スレッショルド。

表 8-55. OV_LF[4] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	THRESHOLD[7:0]	R/W	Xh	監視対象チャンネルの低周波成分の過電圧スレッショルド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

8.1.2.29 FLT_HF[4] レジスタ (オフセット = 54h) [リセット = X0h]

表 8-56 に、UV_HF[4] が示されています。

概略表に戻ります。

高周波スレッショルド コンパレータ出力のチャネル 4 UV および OV デバウンス。

表 8-56. FLT_HF[4] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	OV_DEB[3:0]	R/W	0h	高周波監視パスの過電圧コンパレータの出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1 μ s 1000b = 25.6 μ s 0001b = 0.2 μ s 1001b = 51.2 μ s 0010b = 0.4 μ s 1010b = 102.4 μ s 0011b = 0.8 μ s 1011b = 102.4 μ s 0100b = 1.6 μ s 1100b = 102.4 μ s 0101b = 3.2 μ s 1101b = 102.4 μ s 0110b = 6.4 μ s 1110b = 102.4 μ s 0111b = 12.8 μ s 1111b = 102.4 μ s
3-0	UV_DEB[3:0]	R/W	Xh	高周波監視パスの低電圧コンパレータ出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1 μ s 1000b = 25.6 μ s 0001b = 0.2 μ s 1001b = 51.2 μ s 0010b = 0.4 μ s 1010b = 102.4 μ s 0011b = 0.8 μ s 1011b = 102.4 μ s 0100b = 1.6 μ s 1100b = 102.4 μ s 0101b = 3.2 μ s 1101b = 102.4 μ s 0110b = 6.4 μ s 1110b = 102.4 μ s 0111b = 12.8 μ s 1111b = 102.4 μ s

8.1.2.30 FC_LF[4] レジスタ (オフセット = 55h) [リセット = X0h]

表 8-57 に、FC_LF[4] が示されています。

概略表に戻ります。

チャンネル 4 の低周波経路 $G(s)$ のカットオフ周波数 (-3dB ポイント) このレジスタは、プログラム可能なローパス フィルタ (LPF) のフィルタ特性を変更し、全体の周波数応答 $G(s)$ がこれらのカットオフ周波数を満たすようにします。

表 8-57. FC_LF[4] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-5	予約済み	R/W	0h	予約済み
4	OVHF_TO_NRST	R/W	0h	MON4 OVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
3	UVHF_TO_NRST	R/W	Xh	MON4 UVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
2-0	Cut_off_Freq[2:0]	R/W	Xh	LF 故障フィルタの周波数の MON4 カット 000 = 無効 001 = 無効 010 = 250Hz 011 = 500Hz 100 = 1kHz 101 = 2kHz 110 = 4kHz 111 = 無効

8.1.2.31 ESM レジスタ (オフセット = 9Eh) [リセット = X0h]

ESM を表 8-58 に示します。

[概略表](#)に戻ります。

故障がアサートされるための ESM スレッシュホールド時間。

表 8-58. ESM レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	THRESHOLD[7:0]	R/W	Xh	ESM 遅延時間を表すしきい値 (1ms~864ms)

8.1.2.32 TI_CONTROL レジスタ (オフセット = 9Fh) [リセット = X0h]

表 8-59 に、TI_CONTROL が示されています。

概略表に戻ります。

I2C / ESM グリッチ除去 / リセット遅延による手動 BIST / WD EN / 手動 リセット

表 8-59. TI_CONTROL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	ENTER_BIST	R/W	0h	手動 BIST。 1 = BIST に移行
6	WDT_EN	R/W	0h	ハードウェア WD_EN ピンと組み合わせて使用されるウォッチドッグ EN。 1 = ウォッチドッグ有効、 0 = ウォッチドッグ無効
5	I2C_MR	R/W	0h	手動リセット。 1 = NRST を Low にアサート
4-3	ESM_DEB[1:0]	R/W	Xh	ESM デバウンス フィルタ 00 = 10μs 01 = 25μs 10 = 50μs 11 = 100μs
2-0	RST_DLY[2:0]	R/W	Xh	リセット遅延 000 = 200μs 001 = 1ms 010 = 10ms 011 = 16ms 100 = 20ms 101 = 70ms 110 = 100ms 111 = 200ms

8.1.2.33 AMSK_ON レジスタ (オフセット = A1h) [リセット = X0h]

表 8-60 に、AMSK_ON が示されています。

概略表に戻ります。

パワーアップ遷移時に UVLF、UVHF および OVHF 割り込みを自動マスクします。

表 8-60. AMSK_ON レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	予約済み
3	MON[4]	R/W	Xh	MON4 の電源投入時に自動マスクします。 0 = 無効 1 = 有効
2	MON[3]	R/W	Xh	MON3 の電源投入時に自動マスクします。 0 = 無効 1 = 有効
1	MON[2]	R/W	Xh	MON2 の電源投入時に自動マスクします。 0 = 無効 1 = 有効
0	予約済み	R/W	0h	予約済み

8.1.2.34 AMSK_OFF レジスタ (オフセット = A2h) [リセット = X0h]

表 8-61 に、AMSK_OFF が示されています。

概略表に戻ります。

パワーダウン遷移時に UVLF、UVHF および OVHF 割り込みを自動マスクします。

表 8-61. AMSK_OFF レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	予約済み
3	MON[4]	R/W	Xh	MON4 の電源を切るときに自動マスクします。 0 = 無効 1 = 有効
2	MON[3]	R/W	Xh	MON3 の電源を切るときに自動マスクします。 0 = 無効 1 = 有効
1	MON[2]	R/W	Xh	MON2 の電源を切るときに自動マスクします。 0 = 無効 1 = 有効
0	予約済み	R/W	0h	予約済み

8.1.2.35 SEQ_TOUT_MSB レジスタ (オフセット = A5h) [リセット = X0h]

表 8-62 に、SEQ_TOUT_MSB が示されています。

[概略表](#)に戻ります。

パワーアップ時およびパワーダウン時の UV フォルトのタイムアウト。

表 8-62. SEQ_TOUT_MSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	MILLISEC[15:8]	R/W	Xh	シーケンス タイム アウト MSB

8.1.2.36 SEQ_TOUT_LSB レジスタ (オフセット = A6h) [リセット = X0h]

表 8-63 に、SEQ_TOUT_LSB が示されています。

概略表に戻ります。

パワーアップ時およびパワーダウン時の UV フォルトのタイムアウト。

表 8-63. SEQ_TOUT_LSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	MILLISEC[7:0]	R/W	Xh	シーケンス タイム アウト LSB

8.1.2.37 SEQ_UP_THLD レジスタ (オフセット = A8h) [リセット = X0h]

表 8-64 に、SEQ_UP_THLD が示されています。

概略表に戻ります。

パワーアップ時に AMSK が解放されるスレッシュホールド (VMON がオンと見なされる)。

表 8-64. SEQ_UP_THLD レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	予約済み
3	MON[4]	R/W	Xh	MON4 の UVLF または OFF スレッシュホールドで AMSK が解放されます。 0 = OFF スレッシュホールド、 1 = UVLF スレッシュホールド
2	MON[3]	R/W	Xh	MON3 の UVLF または OFF スレッシュホールドで AMSK が解放されます。 0 = OFF スレッシュホールド、 1 = UVLF スレッシュホールド
1	MON[2]	R/W	Xh	MON2 の UVLF または OFF スレッシュホールドで AMSK が解放されます。 0 = OFF スレッシュホールド、 1 = UVLF スレッシュホールド
0	予約済み	R/W	0h	予約済み

8.1.2.38 SEQ_DN_THLD レジスタ (オフセット = A9h) [リセット = X0h]

表 8-65 に、SEQ_DN_THLD が示されています。

概略表に戻ります。

パワーダウン時に AMSK が解放されるスレッシュホールド (VMON がオフと見なされる)。

表 8-65. EQ_DN_THLD レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R/W	0h	予約済み
3	MON[4]	R/W	Xh	MON4 の UVLF または OFF スレッシュホールドで AMSK が解放されます。 0 = OFF スレッシュホールド、 1 = UVLF スレッシュホールド
2	MON[3]	R/W	Xh	MON3 の UVLF または OFF スレッシュホールドで AMSK が解放されます。 0 = OFF スレッシュホールド、 1 = UVLF スレッシュホールド
1	MON[2]	R/W	Xh	MON2 の UVLF または OFF スレッシュホールドで AMSK が解放されます。 0 = OFF スレッシュホールド、 1 = UVLF スレッシュホールド
0	予約済み	R/W	0h	予約済み

8.1.2.39 WDT_CFG レジスタ (オフセット = AAh) [リセット = X0h]

表 8-66 に、WDT_CFG が示されています。

概略表に戻ります。

WD の最大制限超過数およびスタートアップ ウィンドウの遅延通倍器。

表 8-66. WDT_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R/W	0h	予約済み
6-4	MAX_VIOLATION_COUNT	R/W	0h	ウォッチドッグの最大制限超過数 000 = 0 001 = 1 010 = 2 011 = 3 100 = 4 101 = 5 110 = 6 111 = 7
3	予約済み	R/W	0h	予約済み
2-0	WDT_Startup_DLY_MULT IPLIER[2:0]	R/W	Xh	ウォッチドッグ スタートアップ遅延通倍器 000 = 0 001 = 1 010 = 2 011 = 3 100 = 4 101 = 5 110 = 6 111 = 7

8.1.2.40 WDT_CLOSE レジスタ (オフセット = ABh) [リセット = X0h]

表 8-67 に、WDT_CLOSE が示されています。

概略表に戻ります。

クローズ ウィンドウ時間。

表 8-67. WDT_CLOSE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CLOSE[7:0]	R/W	Xh	クローズ ウィンドウ時間 (1ms ~ 864ms)

8.1.2.41 WDT_OPEN レジスタ (オフセット = ACh) [リセット = X0h]

表 8-68 に、WDT_OPEN が示されています。

概略表に戻ります。

オープン ウィンドウ時間。

表 8-68. WDT_OPEN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	OPEN[7:0]	R/W	Xh	オープン ウィンドウ時間 (1ms ~ 864ms)

8.1.2.42 WDT_QA_CFG レジスタ (オフセット = ADh) [リセット = 00h]

WDT_QA_CFG を [表 8-69](#) に示します。

[概略表](#)に戻ります。

ウォッチドッグ用の FeedbackPolt/シード。

表 8-69. WDT_QA_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-6	FDBK[1:0]	R/W	0h	回答の計算に使用されるフィードバック
5-4	POLY[1:0]	R/W	0h	回答の計算に使用される多項式
3-0	SEED[3:0]	R/W	0h	回答の計算に使用されるシード

8.1.2.43 WDT_ANSWER レジスタ (オフセット = AEh) [リセット = 00h]

WDT_ANSWER を [表 8-70](#) に示します。

[概略表](#)に戻ります。

ウォッチドッグの回答。

表 8-70. WDT_ANSWER レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	ANSWER[7:0]	R/W	0h	回答

8.1.2.44 BANK_SEL レジスタ (オフセット = F0h) [リセット = 00h]

表 8-71 に、BANK_SEL が示されています。

概略表に戻ります。

バンクの選択。

表 8-71. BANK_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-1	予約済み	R/W	0h	予約済み
0	BANK_Select	R/W	0h	バンクの選択を表します。 0 = バンク 0 1 = バンク 1

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

最新の SOC および FPGA デバイスには通常、IC 内のさまざまなブロックに電力を供給するために複数の電源レールがあります。これらのデバイスの適切な動作を提供するには、正確な電圧レベルとタイミング要件が一般的であり、その条件を満たす必要があります。TPS389C03-Q1 とマルチチャネル電圧シーケンサを利用することで、パワーアップ / パワーダウン シーケンシング要件だけでなく、ターゲット SOC または FPGA デバイスのコア電圧要件も満たすことができます。この設計は、TPS389C03-Q1 を使用し、SOC のタイミング要件を満たすことを重視しています。

9.2 代表的なアプリケーション

9.2.1 車載用マルチチャネル シーケンサおよびモニタ

図 9-1 に、TPS389C03-Q1 の代表的なアプリケーションを示します。TPS389C03-Q1 は、ターゲット SOC デバイスの適切な電圧監視を行うために使用されます。マルチチャネル電圧モニタ TPS389C03-Q1 は、これらのレールのパワーアップおよびパワーダウン時に電圧レールを監視するために使用され、両方の状況で正しいシーケンスが発生していることを確認します。セーフティー マイコンは、TPS389C03-Q1 およびシーケンサに ACT、NIRQ、I²C コマンドを提供するためにも使用されます。セーフティー マイコンからの ACT 信号は、TPS389C03-Q1 が ACTIVE 状態または SHDN 状態に移行するタイミングを決定し、フォルトが発生したときに TPS389C03-Q1 の NIRQ ピンが設定される割り込みピンとして機能します。ホスト マイコンは、影響を受けるレジスタに 1 を書き込むことでフォルトをクリアできます単純化するため、セーフティー マイコンの電源レールは、図 9-1 には表示されていません。

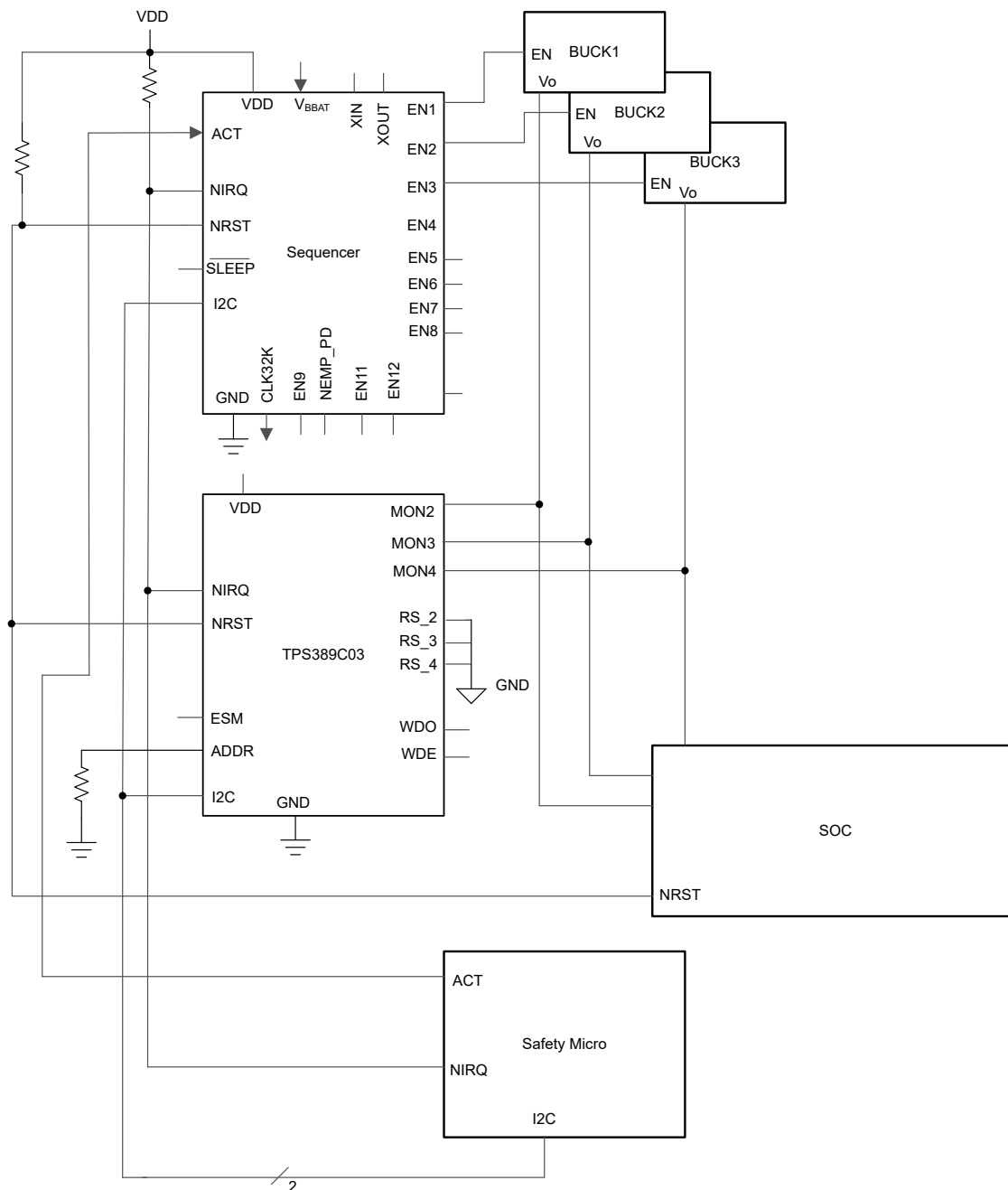


図 9-1. TPS389C03-Q1 電圧モニタ設計のブロック図

9.2.2 設計要件

- この設計では、DC/DC コンバータから電力を供給される 3 つの異なる電圧レールを適切に監視する必要があります。
- シーケンスで検出された障害はすべて、外部ハードウェア割り込み信号により通知されます。
- 検出された障害はすべて内部レジスタに記録され、I²C 経由で外部プロセッサからアクセスできます

9.2.3 詳細な設計手順

- TPS389C03-Q1 のオプションは、過電圧および低電圧のデフォルト値を事前にプログラムされます。
- NIRQ ピンには、1kΩ ~ 100kΩ までの範囲のプルアップ抵抗が必要です。

- NRST ピンには、 $1\text{k}\Omega$ ～ $100\text{k}\Omega$ までの範囲のプルアップ抵抗が必要です。
- WDO ピンには、 $1\text{k}\Omega$ ～ $100\text{k}\Omega$ までの範囲のプルアップ抵抗が必要です。
- SDA および SCL ラインには、 $10\text{k}\Omega$ の範囲内にプルアップ抵抗が必要です。
- セーフティー マイコンは、NIRQ 割り込みピンと INT_SCR1 および INT_SCR2 レジスタにより通知されたフォルト割り込みをクリアするために使用されます。ホスト マイコンの W1C (1 を書き込むことでビットをクリア) 動作によってのみ、割り込みフラグがクリアされます。フォルト条件が解消されても、割り込みフラグは自動的にクリアされません。

9.2.4 アプリケーション曲線

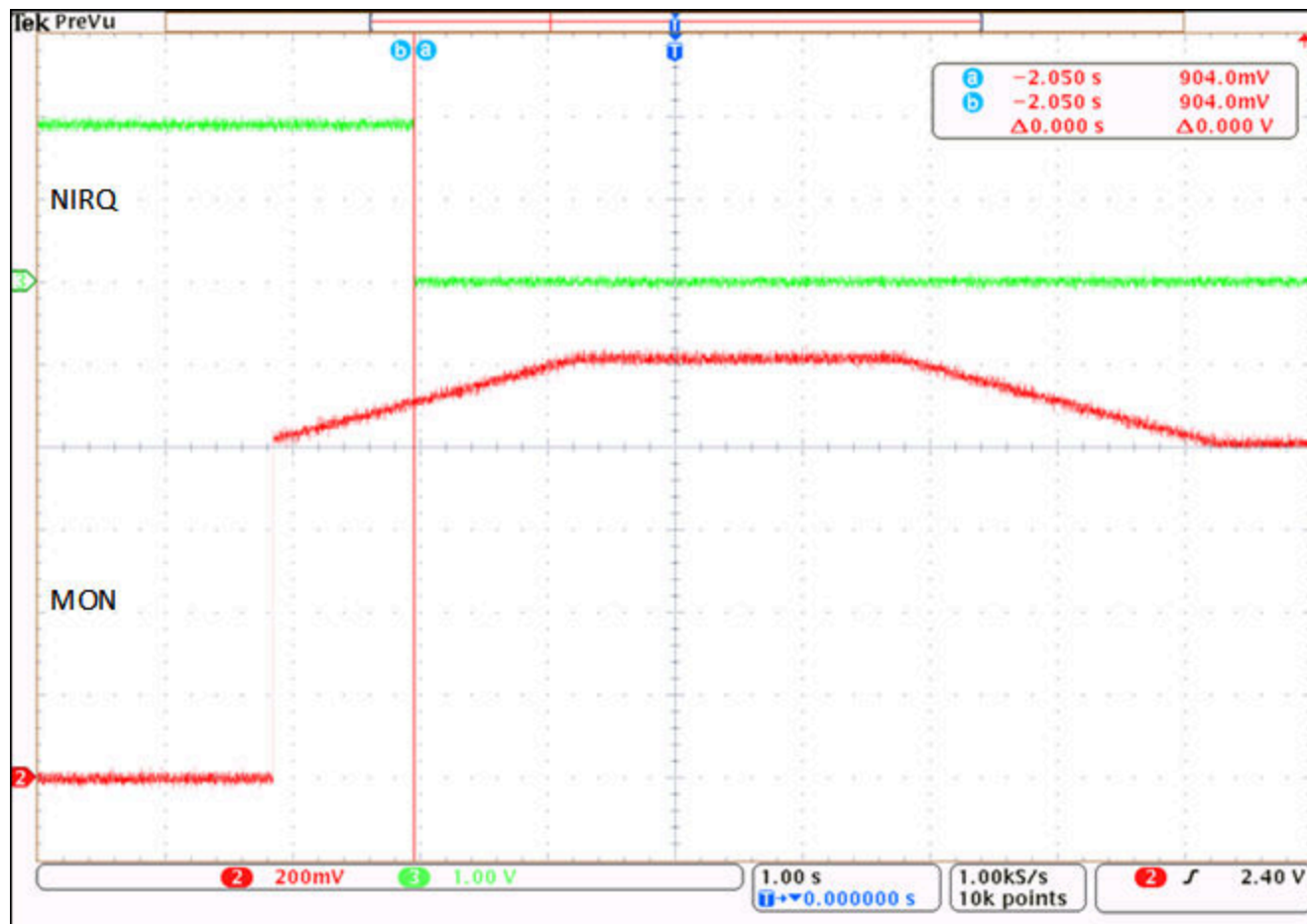


図 9-2. NIRQ は過電圧フォルトの後にトリガされます

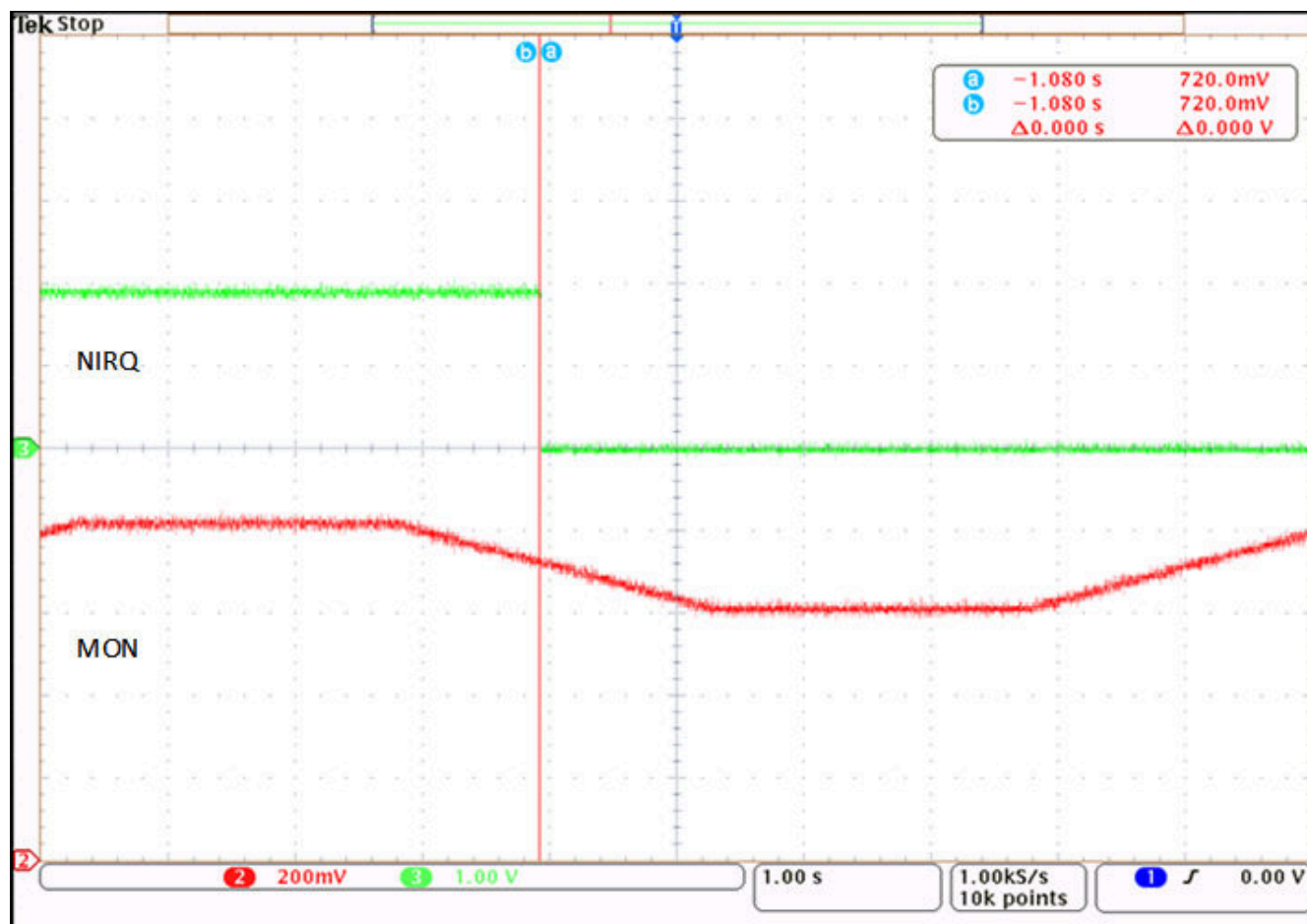


図 9-3. NIRQ は低電圧フォルトの後にトリガされます

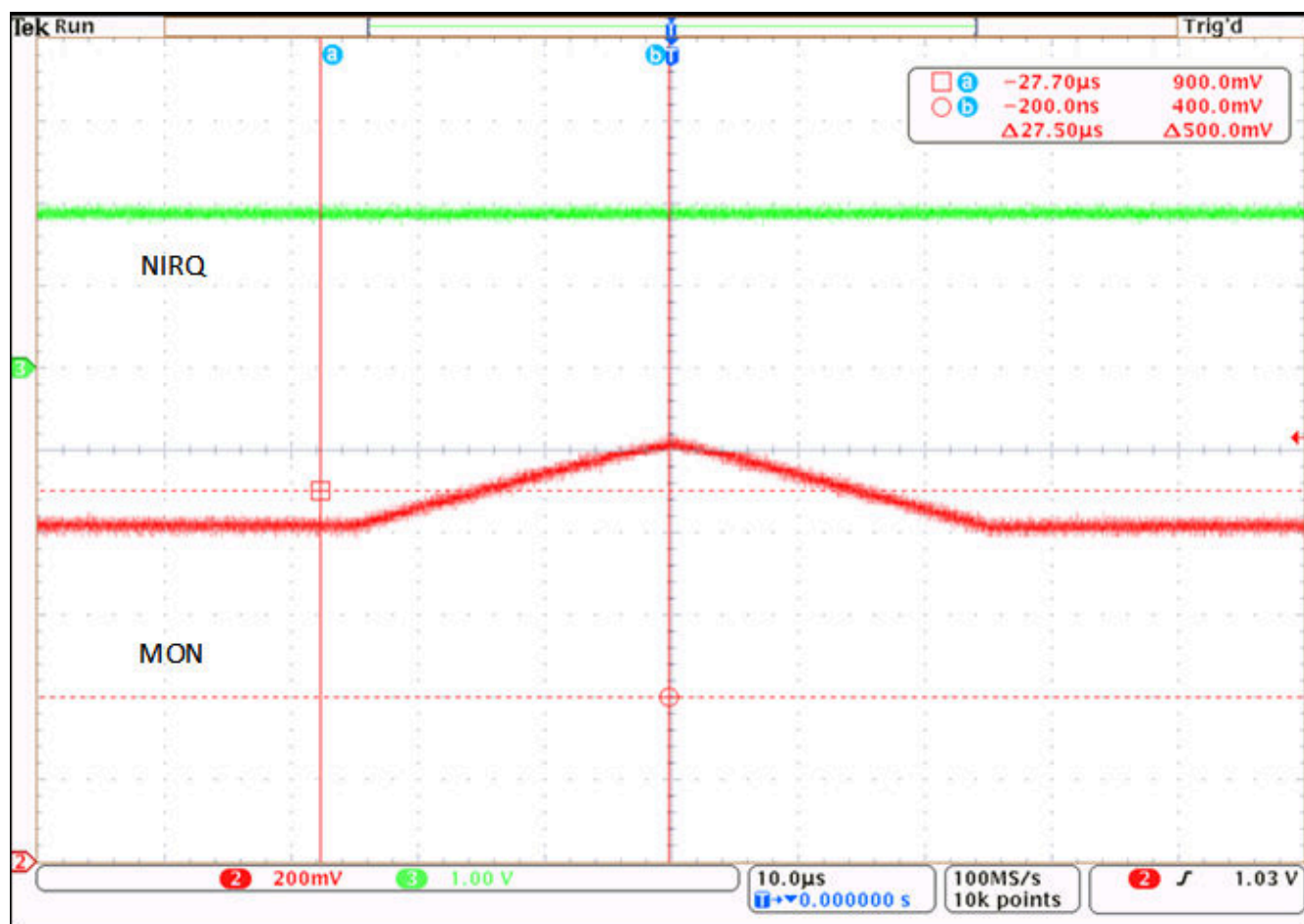


図 9-4. NIRQ は 51.2µs OV デバウンス フィルタによって過電圧フォルトでトリガされません

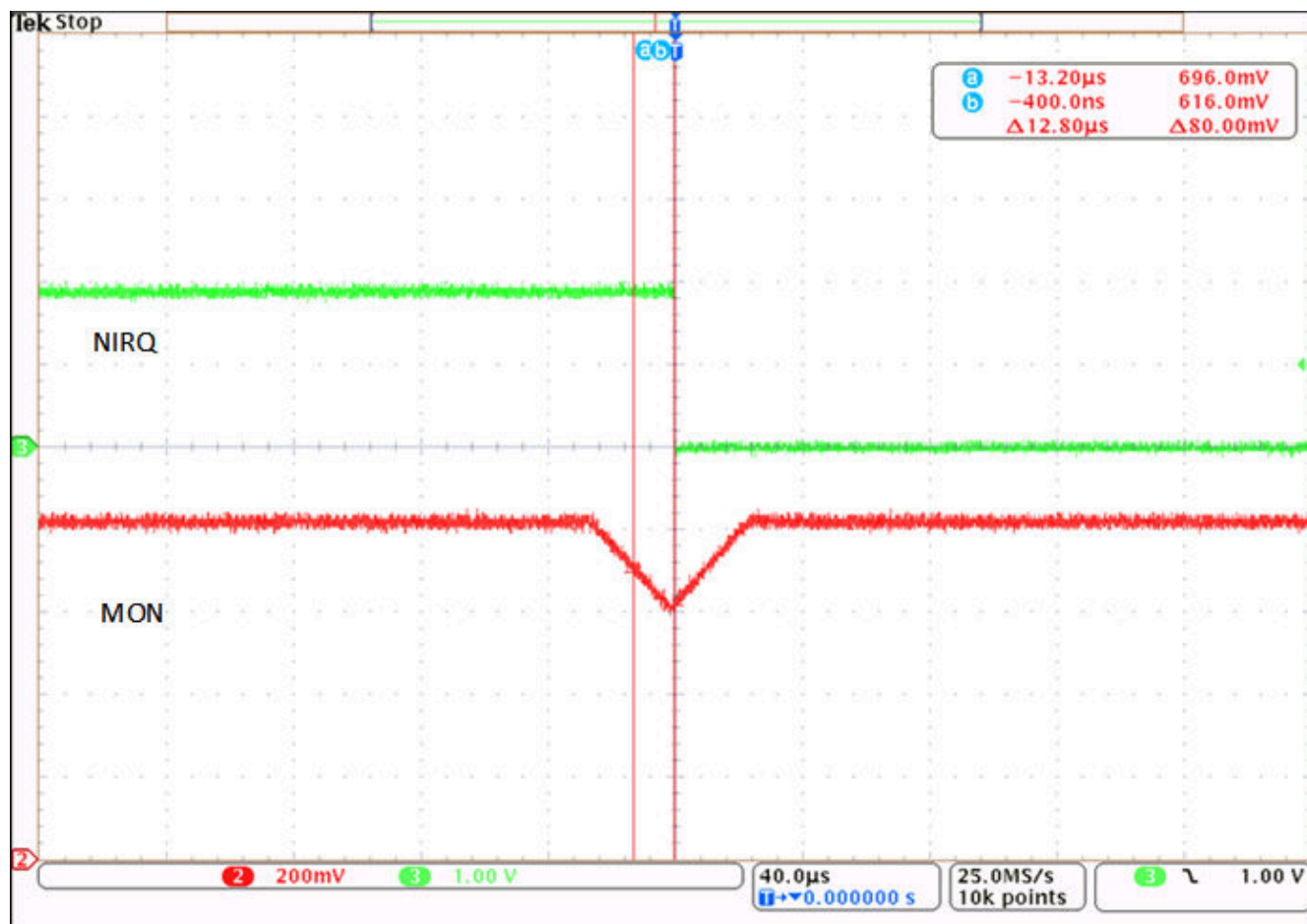


図 9-5. NIRQ は 12.8µs UV デバウンス フィルタによって低電圧フォルトでトリガされます

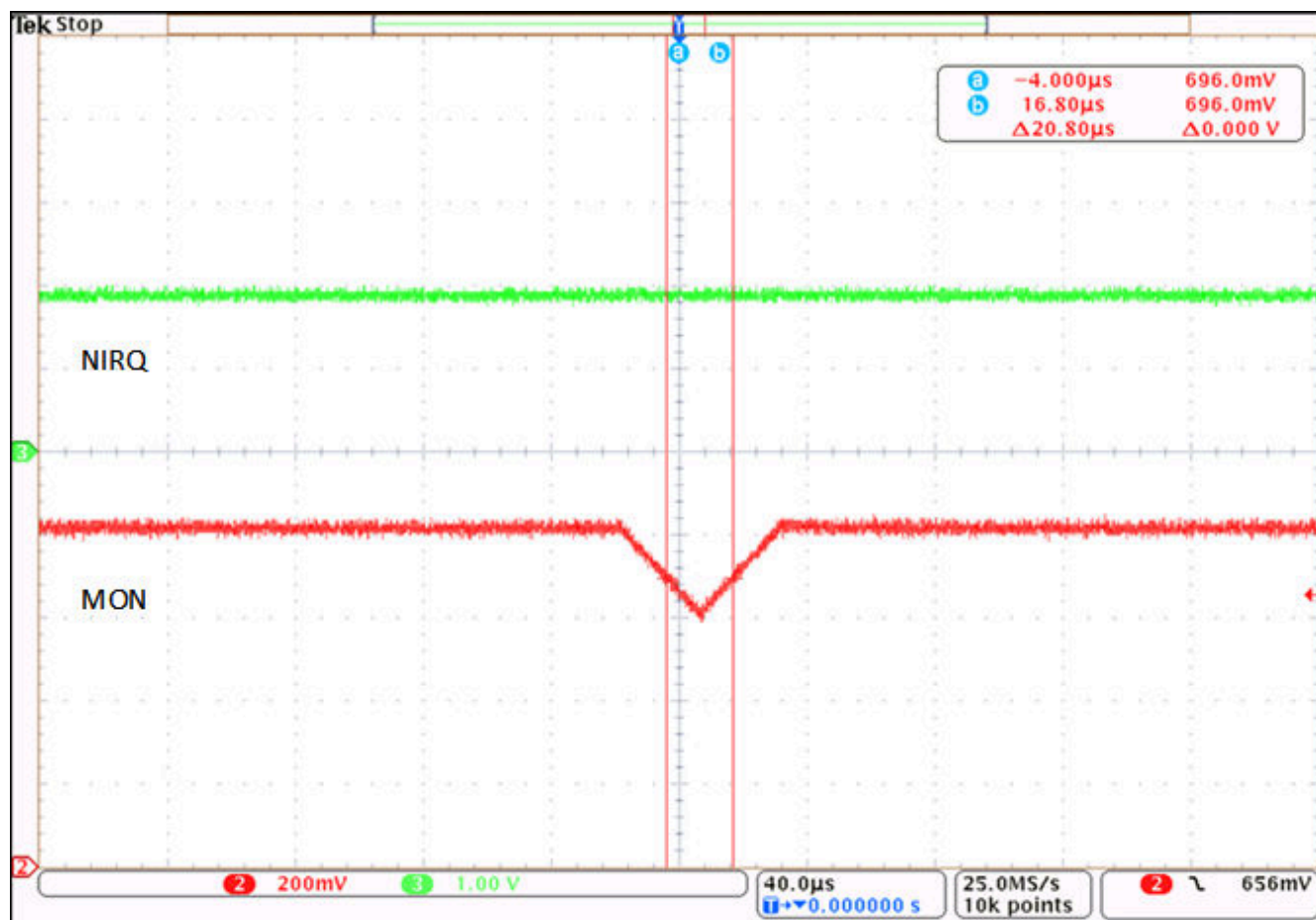


図 9-6. NIRQ は 25μs UV デバウンス フィルタによって低電圧フォルトでトリガされません

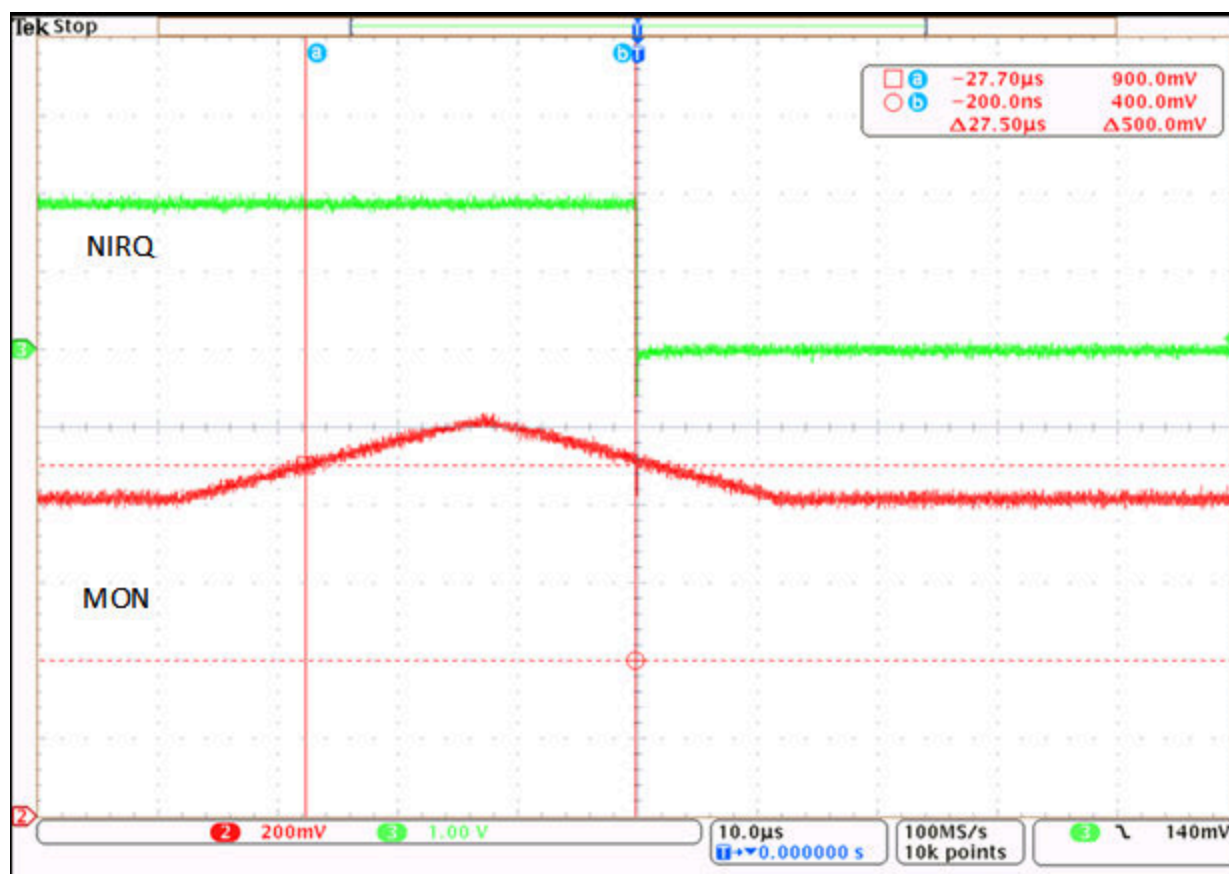


図 9-7. NIRQ は 25µs OV デバウンス フィルタによって過電圧フォルトでトリガされます

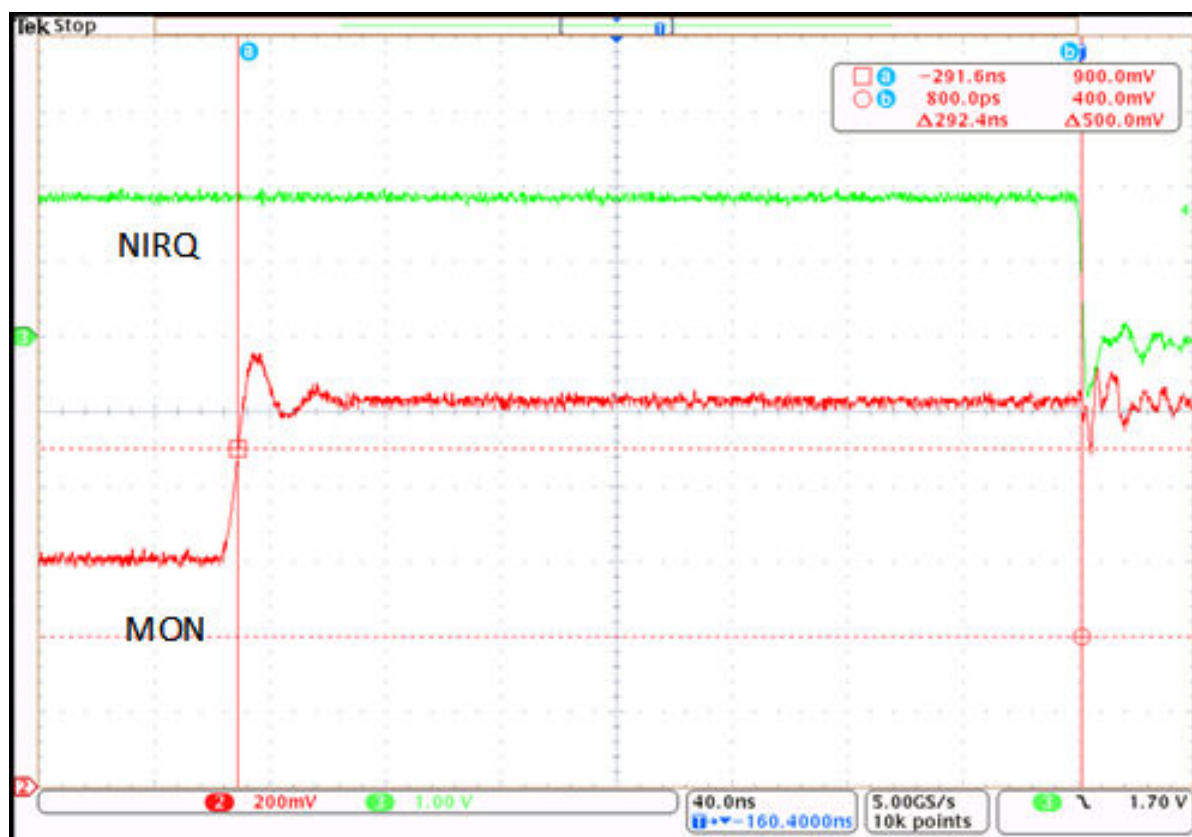


図 9-8. 過電圧フォルトに起因する NIRQ 伝搬遅延

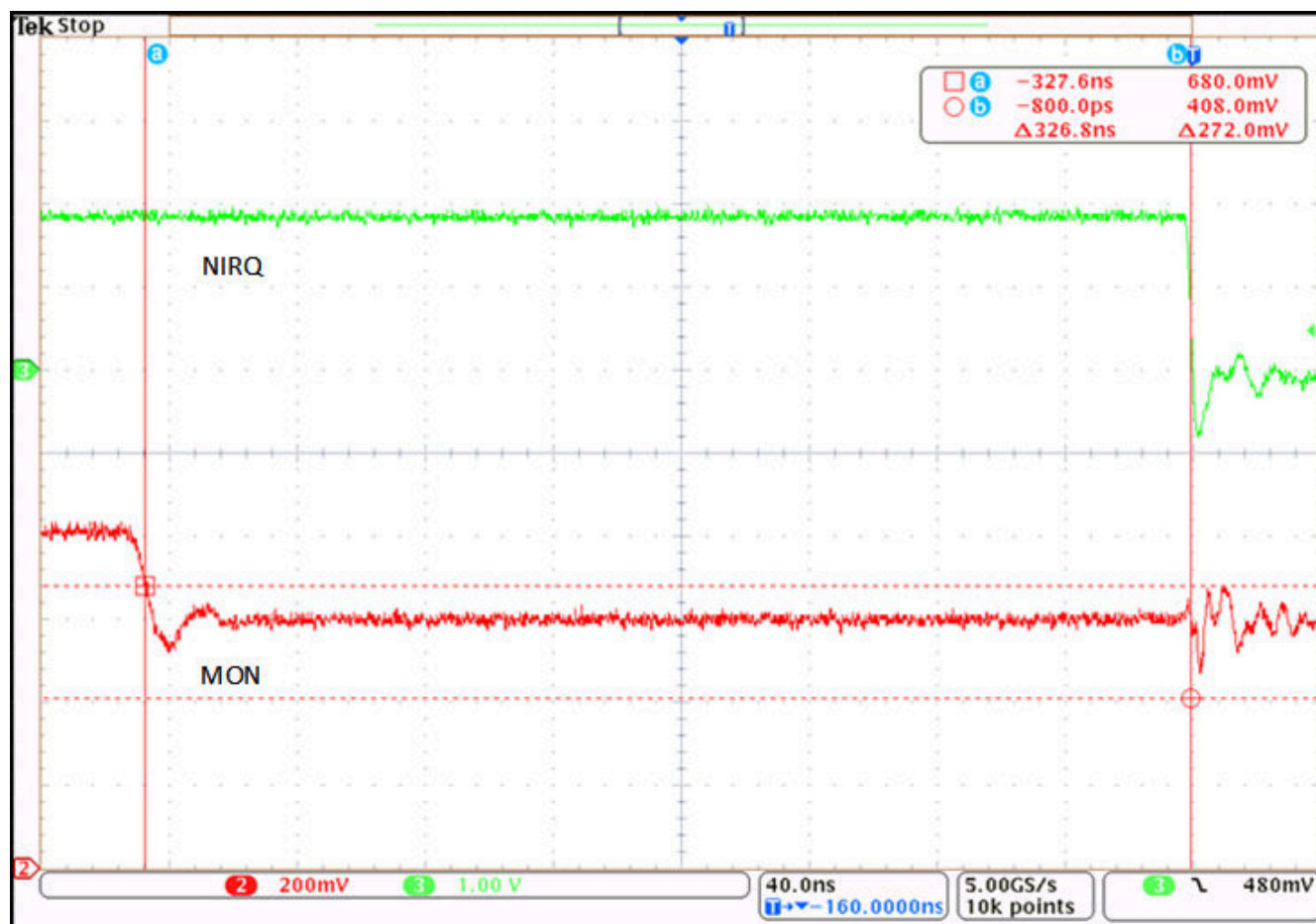


図 9-9. 低電圧フォルトに起因する NIRQ の伝搬遅延

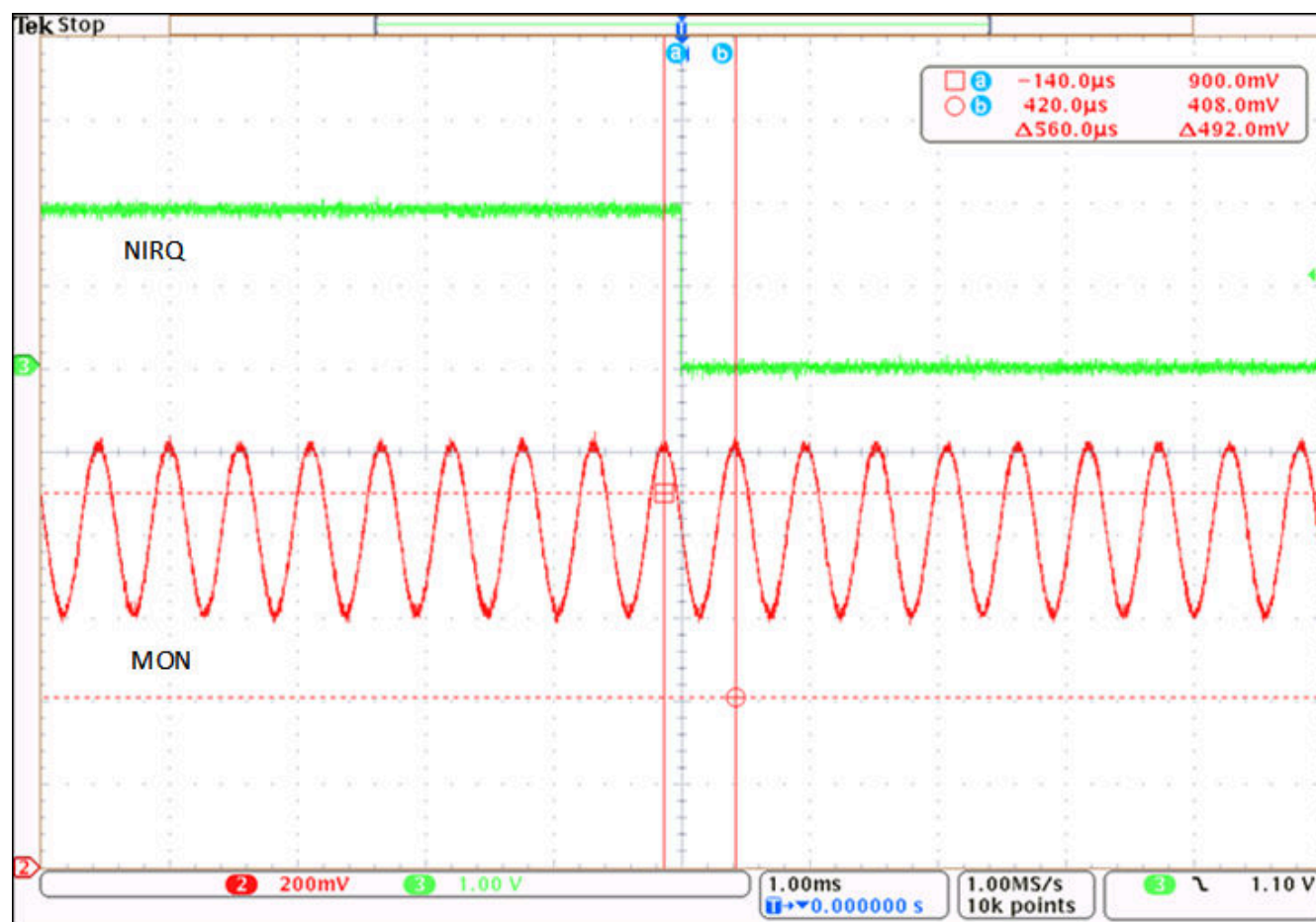


図 9-10. 1kHz ローパス フィルタの設定。0.8V DC コンポーネントと 200mVp-p AC 信号を使用して 1.8kHz 信号でトリガされる NIRQ。OV および UV のスレッシュホールドを 0.9V および 0.7V に設定しました。2kHz から NIRQ ピンが Low になるまで周波数を削減しました。

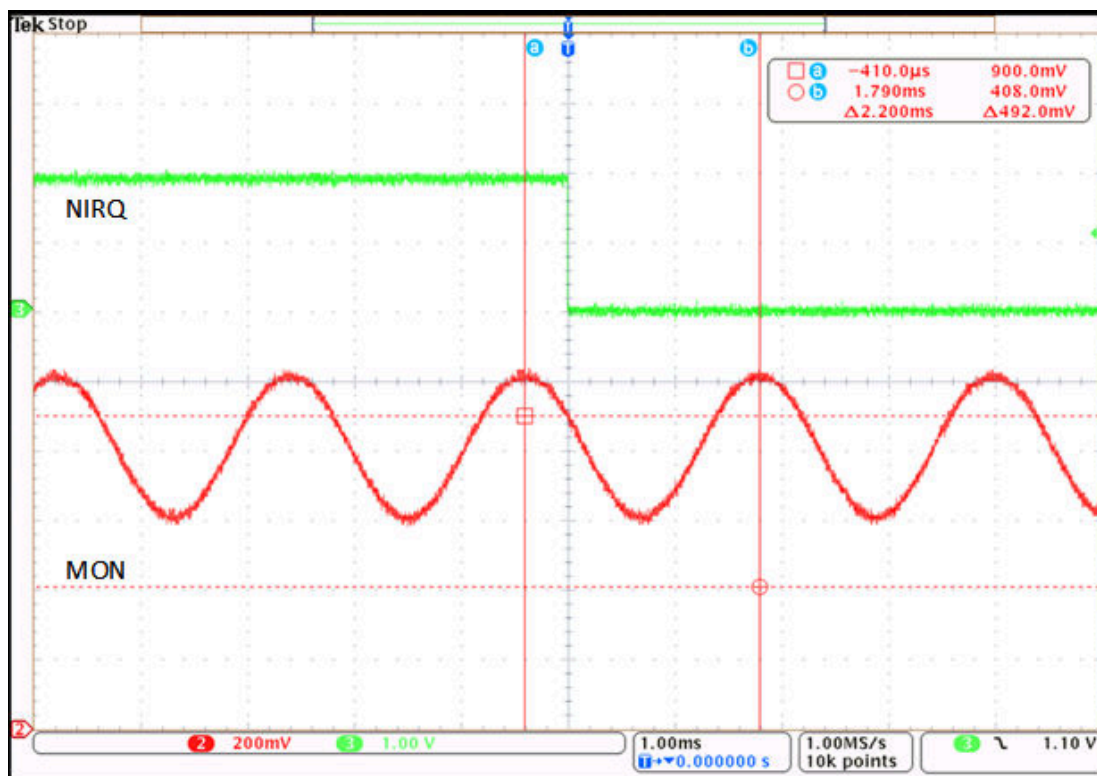


図 9-11. 250Hz ローパス フィルタの設定。NIRQ は、0.8V の DC 成分と 200mVp-p の AC 信号を持つ 455Hz の信号でトリガされます。OV および UV のスレッシュホールドを 0.9V および 0.7V に設定しました。500Hz から NIRQ ピンが Low になるまで周波数を削減しました。

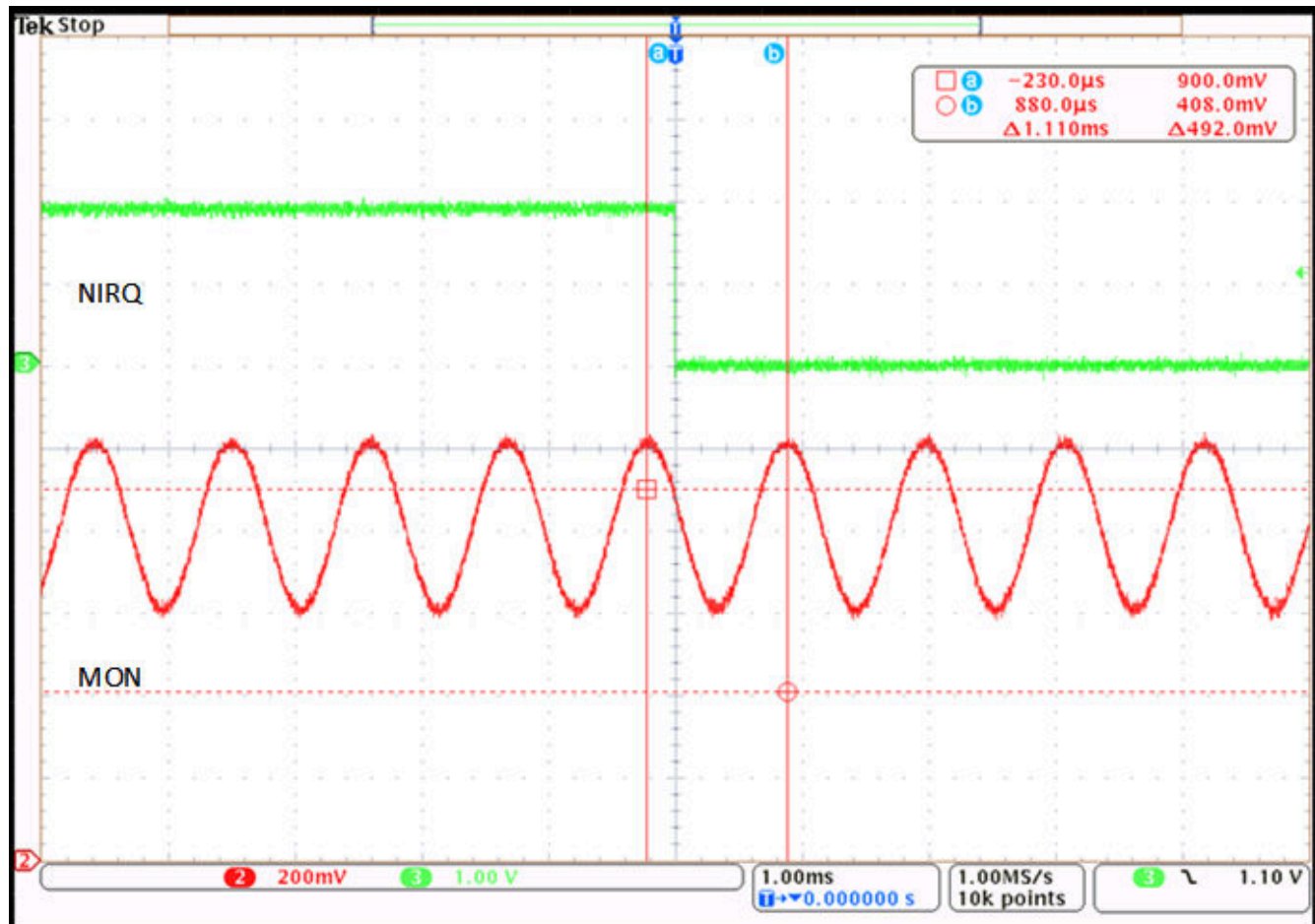


図 9-12. 500Hz ローパス フィルタの設定。NIRQ は、0.8V の DC 成分と 200mVp-p の AC 信号を持つ 0.9kHz の信号でトリガされます。OV および UV のスレッシュホールドを 0.9V および 0.7V に設定しました。1kHz から NIRQ ピンが Low になるまで周波数を削減しました。

9.3 電源に関する推奨事項

9.3.1 電源に関するガイドライン

このデバイスは、2.6V ~ 5.5V の入力電源電圧範囲で動作するように設計されています。デバイスの VDD ピンの絶対最大定格は 6V です。入力電圧の電源ノイズに応じて、VDD ピンと GND ピンの間に 0.1 μ F ~ 1 μ F のコンデンサを配置するのが優れたアナログ手法といえます。VDD に電力を供給する電源電圧が、最大仕様を超えるような大きな電圧過渡の影響を受けやすい場合は、追加の予防措置を講じる必要があります。詳細については、[SNVA849](#) を参照してください。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

- 外付け部品は、可能な限りデバイスに近く配置します。こうすることで、寄生誤差の発生を防ぐことができます。
- VDD 電源ノードには、長いトレースを使用しないでください。VDD コンデンサは、電源からコンデンサまでの寄生インダクタンスとともに LC 回路を形成し、最大 VDD 電圧を上回るピーク電圧のリングングを発生させる可能性があります。
- MON ピンに対して、長い電圧トレースを使用しないでください。長いトレースを使用すると、寄生インダクタンスを増加させて、正確な監視や診断ができなくなります。

- MON2 および/または MON3、MON4 に対して差動電圧測定が必要な場合は、RS_2、3、4 ピンを測定ポイントまで配線します。RS_2、3、4 が測定ポイントに配線されていない場合は、RS_2、3、4 をデバイスの GND ピンに配線します。
- デジタル パターンと並行して敏感なアナログ パターンを配線しないでください。デジタル パターンとアナログ パターンはできるだけ交差しないようにします。どうしても必要な場合には、直角に交差させます。
- WD_EN や ESM などのロジックピンについては、関連する機能に対応したデバイスのロジックレベルに従って、適切なプルアップ/プルダウン電圧が適用されていることを確認します。
- WDO、NIRQ、NRST などのオープンドレイン出力の場合、本デバイスの絶対最大定格に違反しないように、プルアップ抵抗の値を選択します。

9.4.2 レイアウト例

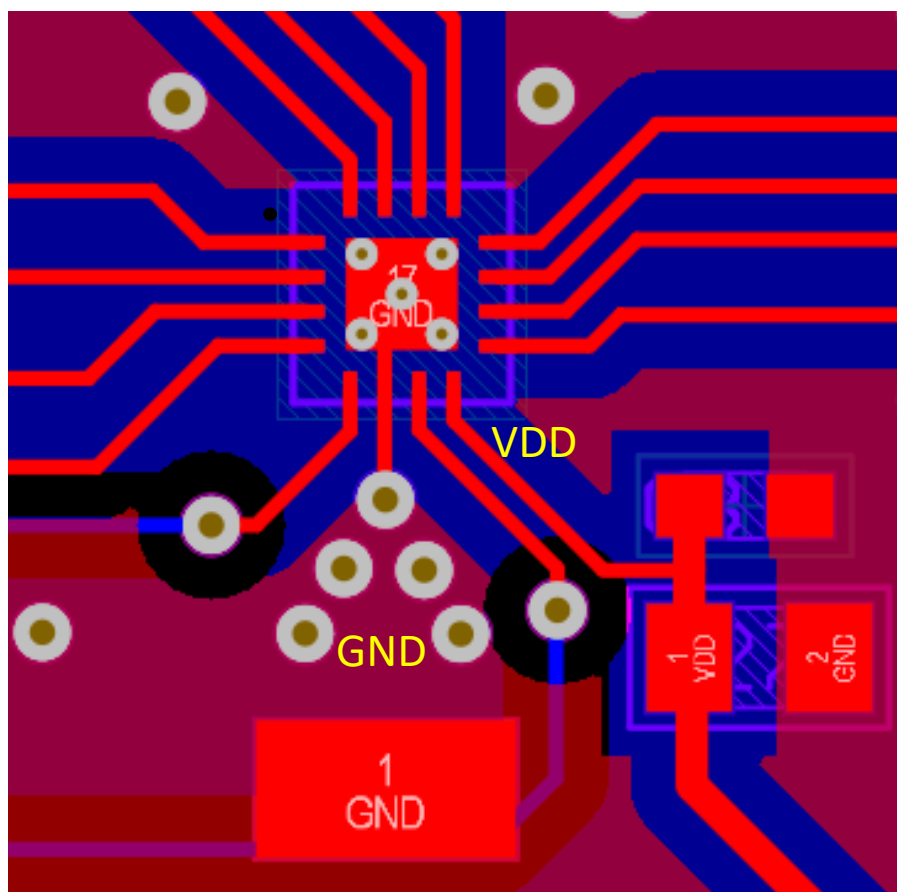


図 9-13. 推奨レイアウト

10 デバイスおよびドキュメントのサポート

10.1 デバイスの命名規則

表 10-1 に、部品番号に基づいてデバイスの機能を識別する方法が示されています。

表 10-1. デバイスのスレッシュホールド

注文コード	説明
TPS389C0300CRTERQ1	3 個のモニタ、Q&A ウォッチドッグ、ESM
TPS389C03A26RTERQ1	3 個のモニタ、Q&A ウォッチドッグ、ESM

表 10-2. TPS389C0300CRTERQ1 OTP 構成

ADDR	データ	構成の説明
0x00	0x28	DEVICE_MODEL[7:3] および VENDOR_ID[2:0]
0x01	0x43	SILICON_REV[7:6] および OTP_REV[5:0]
0x02	0xF1	チャンネルがディセーブルです。MON2、3、4 が有効。
0x11	0x0C	WDO_DLY はラッチ付き WDO 構成には適用できません
0x12	0x03	POR での BIST
0x13	0x06	UVHF Mon2, 3 を有効化
0x14	0x06	UVLF Mon2, 3 を有効化
0x15	0x06	OVHF Mon2, 3 を有効化
0x16	0x06	OVLf Mon2, 3 を有効化
0x1B	0x04	サーマル シャットダウン割り込みをイネーブル
0x1C	0x01	Bist 失敗割り込み
0x1D	0x25	NRST のミスマッチ、WDT→NIRQ、WDT→NRST、ESM→WDO がマップされていない、ESM→NIRQ がマップされていない、ESM→NRST がマップされていない
0x1E	0x06	Mon2, 3 を有効にします
0x1F	0x06	Mon2, 3 x4 スケーリング
0x30	0xBC	4.56V UVHF スレッシュホールド Mon2
0x31	0xE8	5.44V OVHF スレッシュホールド Mon2
0x32	0xBC	4.56V UVLF スレッシュホールド Mon2
0x33	0xE8	5.44V OVLf スレッシュホールド Mon2
0x34	0xAA	102.4μs デバウンス
0x35	0x1C	o VHF→NRST、UVHF→NRST、1kHz LF カットオフ
0x40	0x6F	3.02V UVHF スレッシュホールド Mon3
0x41	0x8C	3.6V OVHF スレッシュホールド Mon3
0x42	0x6F	3.02V UVLF スレッシュホールド Mon3
0x43	0x8C	3.6V OVLf スレッシュホールド Mon3
0x44	0xAA	102.4μs デバウンス
0x45	0x1C	o VHF→NRST、UVHF→NRST、1kHz LF カットオフ
0x9E	0x01	ESM スレッシュホールド = 2ms
0x9F	0x59	リセット遅延 (1ms、WD EN)
0xA1	0x06	AMSK ON MON2, 3

表 10-2. TPS389C0300CRTERQ1 OTP 構成 (続き)

ADDR	データ	構成の説明
0xA2	0x06	AMSK OFF MON2、3
0xA5、6	0x00	SEQ タイムアウト= 1ms
0xA8	0x06	SEQ UP Mon2、3 UVLF
0xA9	0x06	SEQ DOWN Mon2、3 UVLF
0xAA	0x27	WD 違反カウント= 2、WD 遅延 = 7
0xAB	0x1D	WD Close = 30ms
0xAC	0x1D	WD Open = 30ms
0xFA	0x00	3.3V I2C インターフェイス

表 10-3. TPS389C03A26RTERQ1 OTP 構成

ADDR	データ	構成の説明
0x00	0x00	DEVICE_MODEL[7:3] および VENDOR_ID[2:0]
0x01	0x42	SILICON_REV[7:6] および OTP_REV[5:0]
0x02	0xF1	チャンネルがディセーブルです。MON2、3、4 が有効。
0x11	0x0F	タイムスタンプおよびシーケンスの上書き、PEC 有効。
0x12	0x03	POR での BIST
0x13	0x0E	UVHF 割り込み MON 2、3、4 を有効化。
0x14	0x00	UVLF 割り込みはディセーブル。
0x15	0x0E	OVHF 割り込み MON 2、3、4 を有効化。
0x16	0x00	OVLF 割り込みはディセーブル。
0x1B	0x14	サーマル シャットダウン割り込みをイネーブル
0x1C	0x03	BIST 完了および失敗割り込みがイネーブル。
0x1D	0xAB	NRST のミスマッチ、ESM→NIRQ、ESM、WDT→NRST、ESM→WDO はマップされていません。
0x1E	0x0E	MON 2、3、4 をイネーブル。
0x1F	0x06	MON 2、3 x4 スケーリング
0x30	0x6E	3.0V UVHF スレッショルド MON 2
0x31	0x8C	3.6V OVHF スレッショルド MON 2
0x32	0x76	3.16V UVLF スレッショルド MON 2
0x33	0x84	3.44V OVLF スレッショルド MON 2
0x34	0xAA	102.4μs デバウンス
0x35	0x1C	OVHF、UVHF→NRST、1kHz LF カットオフ
0x40	0x2D	1.7V UVHF スレッショルド MON 3
0x41	0x37	1.9V OVHF スレッショルド MON 3
0x42	0x2E	1.72V UVLF スレッショルド MON 3
0x43	0x36	1.88V OVLF スレッショルド MON 3
0x44	0xAA	102.4μs デバウンス
0x45	0x1C	OVHF、UVHF→NRST、1kHz LF カットオフ
0x50	0xB4	1.1V UVHF スレッショルド MON 4
0x51	0xDE	1.31V OVHF スレッショルド MON 4

表 10-3. TPS389C03A26RTERQ1 OTP 構成 (続き)

ADDR	データ	構成の説明
0x52	0xBD	1.145V UVLF スレッシュホールド MON 4
0x53	0xD2	1.25V OVLF スレッシュホールド MON 4
0x54	0xAA	102.4 μ s デバウンス
0x55	0x1C	OVHF、UVHF→NRST、1kHz LF カットオフ
0X9E	0xFF	ESM スレッシュホールド = 864ms
0X9F	0x5C	リセット遅延 (20ms、WD EN)
0xA1	0x0E	AMSK ON MON 2、3、4
0xA2	0x0E	AMSK OFF MON 2、3、4
0xA5、6	0x31	SEQ タイムアウト = 50ms
0xA8	0x00	SEQ UP Mon 2、3、4 OFF スレッシュホールド
0xA9	0x00	SEQ DOWN Mon 2、3、4 OFF スレッシュホールド
0xAA	0x71	WD 違反カウント = 7、WD 遅延 = 1
0xAB	0x40	WD Close = 100ms
0xAC	0x40	WD Open = 100ms
0xFA	0x00	3.3V I2C インターフェイス

10.2 ドキュメントのサポート

10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision G (January 2025) to Revision H (April 2025)	Page
• TPS389C03A26RTERQ1 の注文情報を追加。.....	3
• TPS389C0300CRTERQ1 の OTP 情報を追加。.....	136

Changes from Revision F (June 2024) to Revision G (January 2025)	Page
• OTP 負荷と BIST のタイミングを反映するように状態図を変更.....	46
• PROT1 および PROT2 レジスタのビット 4 を予約済みに変更.....	48

Changes from Revision E (February 2024) to Revision F (June 2024)	Page
• WDO 遅延の標準値を更新.....	9
• T _{HD, DAT} の最大制限値を削除し、I ² C の標準を確認.....	9
• WRKS 保護グループはこのデバイスには適用されないため、レジスタ保護機能の説明から保護グループに関する記述を削除するように修正.....	45

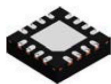
• BIST ESM とウォッチドッグの範囲の明確化.....	46
---------------------------------	----

Changes from Revision D (October 2023) to Revision E (February 2024)	Page
• 障害報告出力がマッピングされていない場合のデバイス動作を指定します.....	0
• デバイス サマリ表 表 4-1、表 4-2 および 表 4-3 の追加.....	3
• 障害報告出力がマッピングされていない場合のデバイス動作を指定します.....	19
• 障害報告出力がマッピングされていない場合のデバイスの動作を指定します.....	20
• PEC の動作をさらに明確化.....	21
• ウォッチドッグ ウィンドウの遅延精度を明確化.....	28
• WDO 信号のタイミングを明確化.....	29
• 障害報告出力がマッピングされていない場合のデバイス動作を指定します.....	37
• WDO 信号のタイミングを明確化.....	41
• WDO タイミングを明確化.....	47

Changes from Revision C (May 2023) to Revision D (October 2023)	Page
• 量産データのリリース.....	1

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

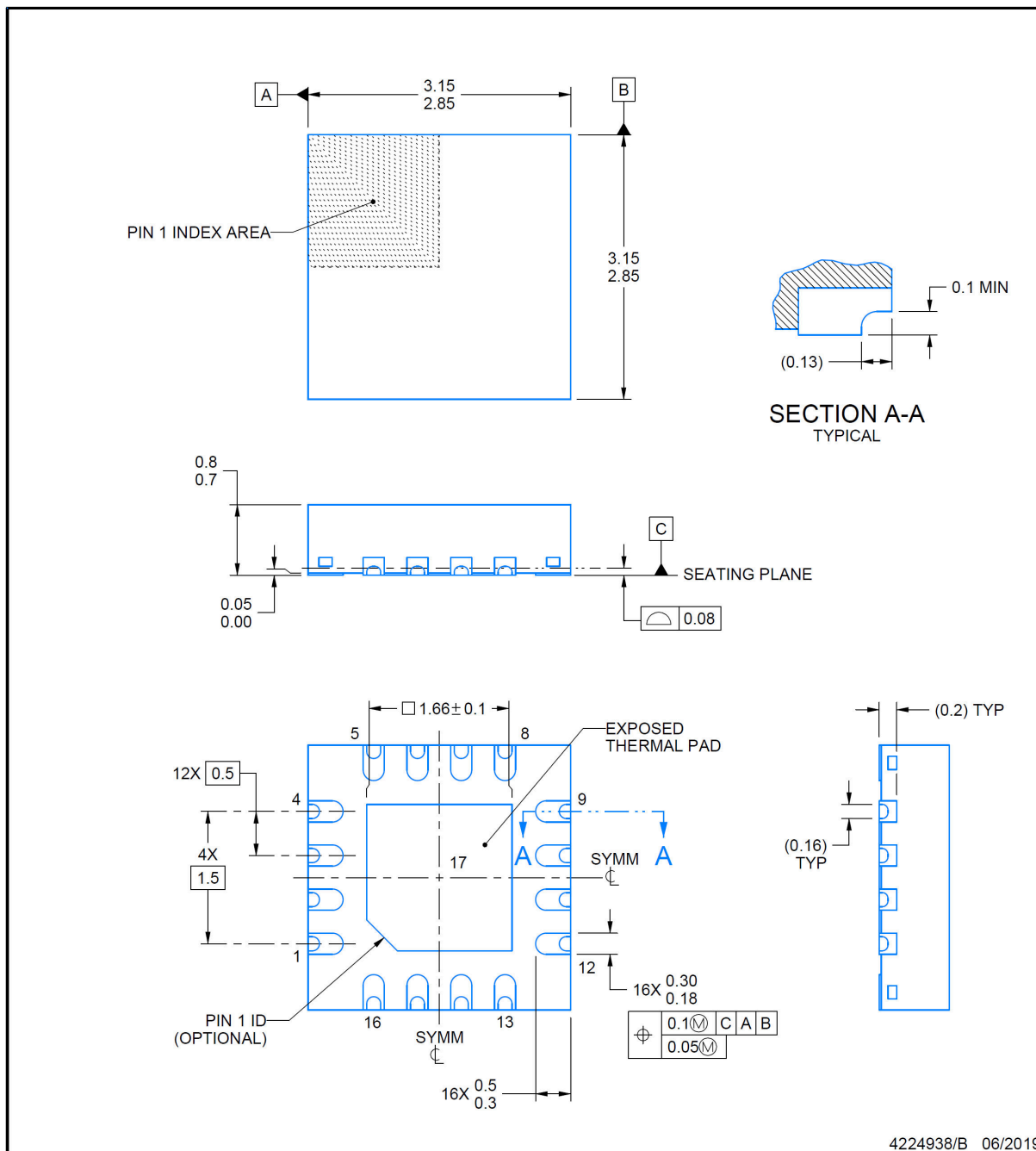


RTE0016K

PACKAGE OUTLINE

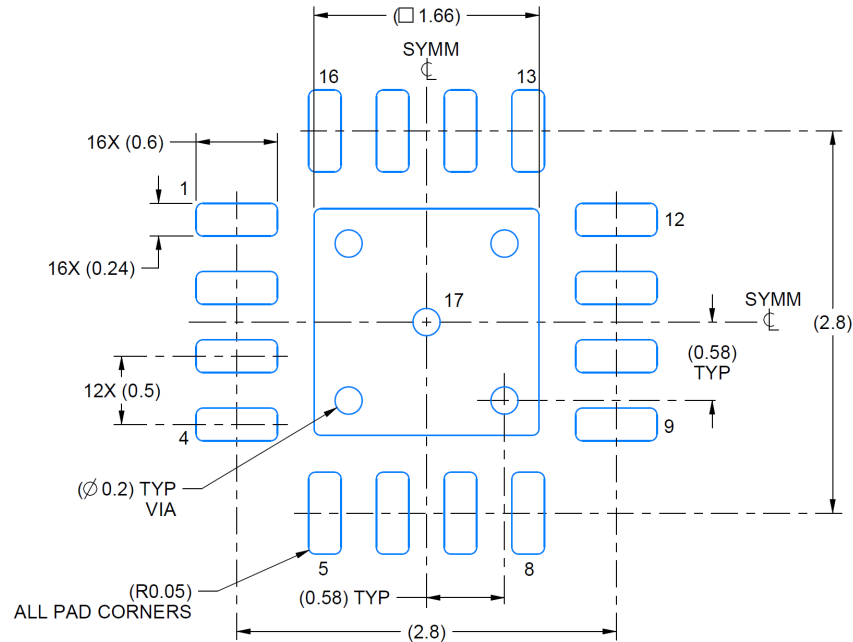
WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

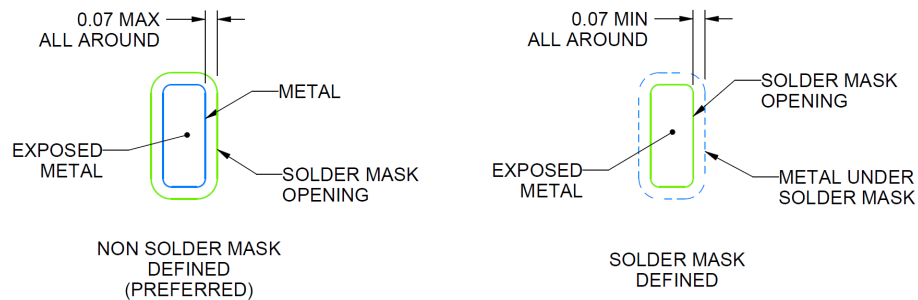


EXAMPLE BOARD LAYOUT**RTE0016K****WQFN - 0.8 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
 EXPOSED METAL SHOWN
 SCALE:20X

**SOLDER MASK DETAILS**

4224938/B 06/2019

NOTES: (continued)

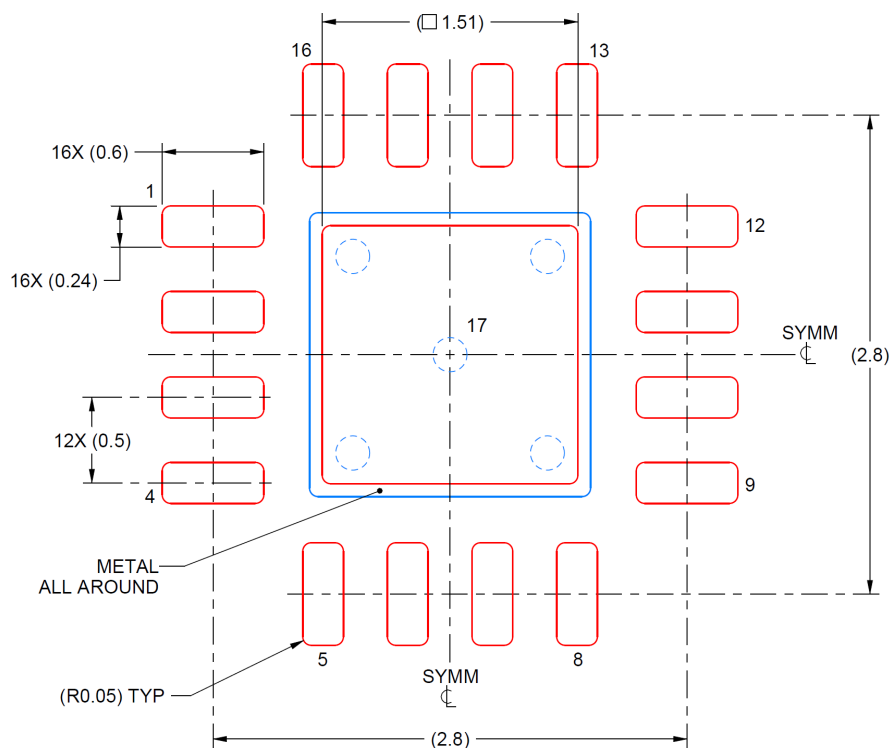
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RTE0016K

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
84% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4224938/B 06/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS389C0300CRTERQ1	Active	Production	WQFN (RTE) 16	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	C030Q
TPS389C0300CRTERQ1.A	Active	Production	null (null)	3000 LARGE T&R	-	NIPDAU	Level-2-260C-1 YEAR TPS389C0300CRTERQ:	See	C030Q
TPS389C03A26RTERQ1	Active	Production	WQFN (RTE) 16	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T6ADJ
TPS389C03A26RTERQ1.A	Active	Production	null (null)	3000 LARGE T&R	-	NIPDAU	Level-2-260C-1 YEAR TPS389C03A26RTERQ:	See	T6ADJ

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

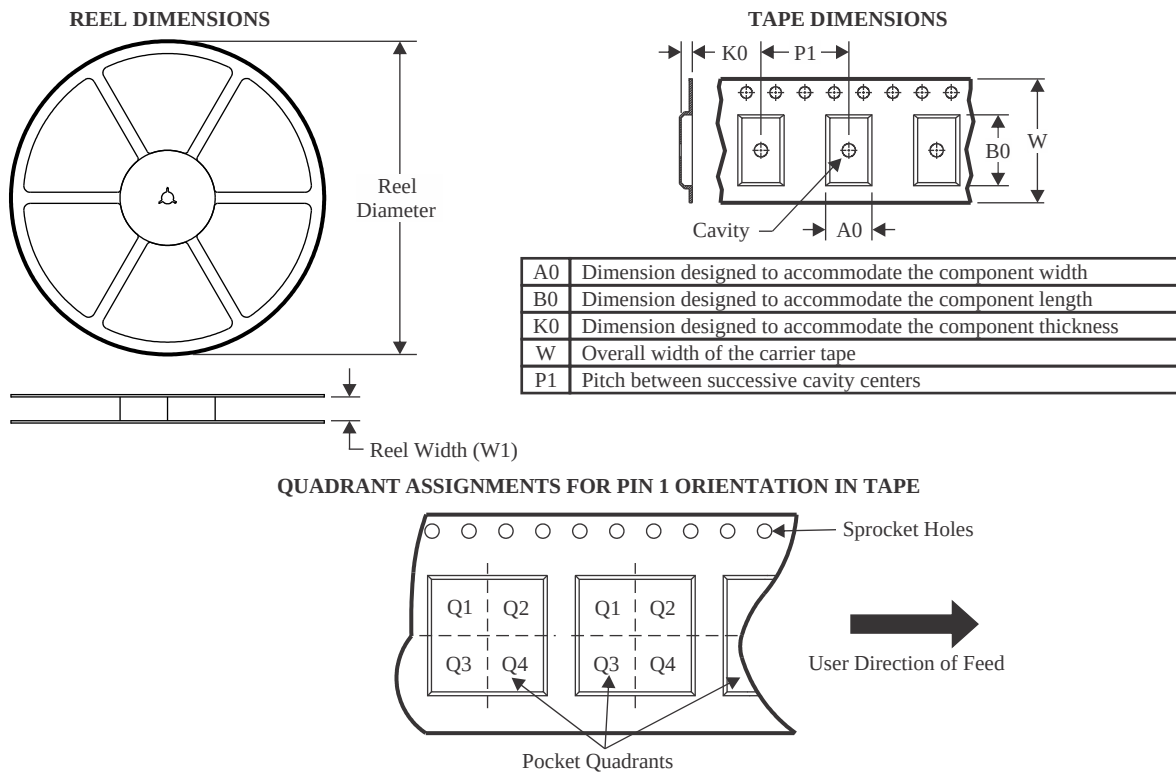
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

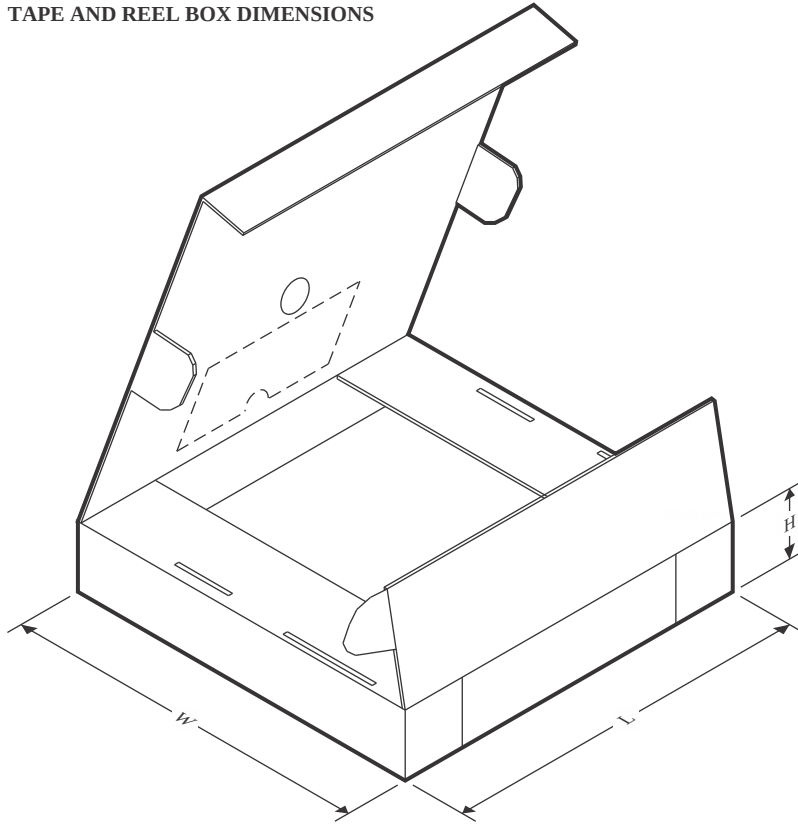
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS389C0300CRTERQ1	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPS389C03A26RTERQ1	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS389C0300CRTERQ1	WQFN	RTE	16	3000	367.0	367.0	35.0
TPS389C03A26RTERQ1	WQFN	RTE	16	3000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

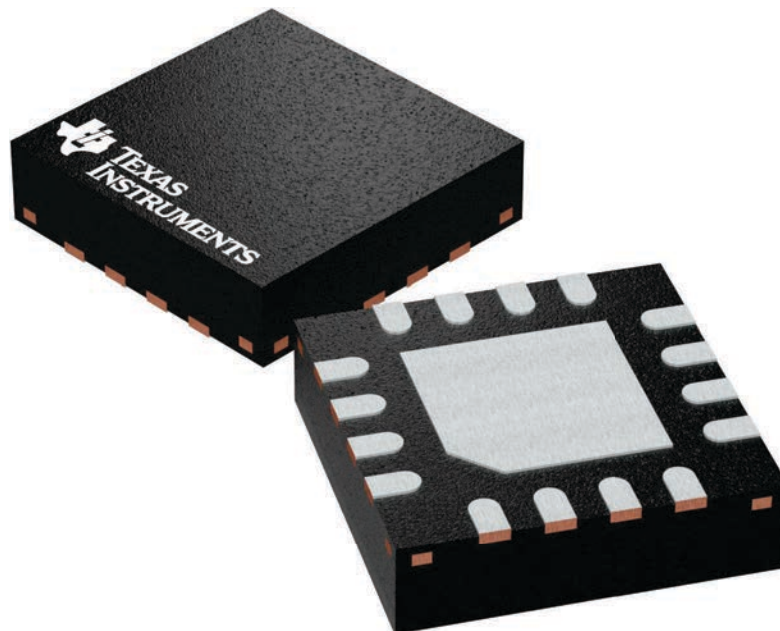
RTE 16

WQFN - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



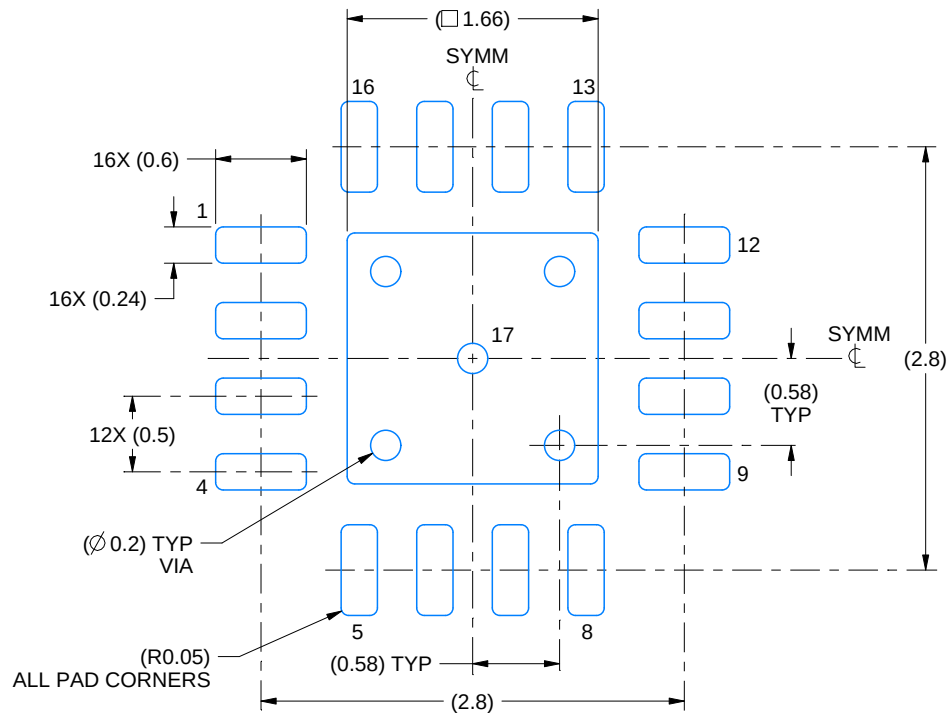


1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

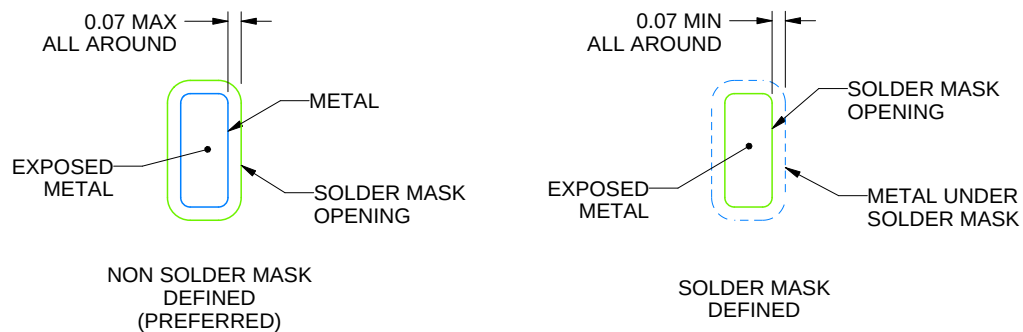
RTE0016K

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4224938/C 03/2022

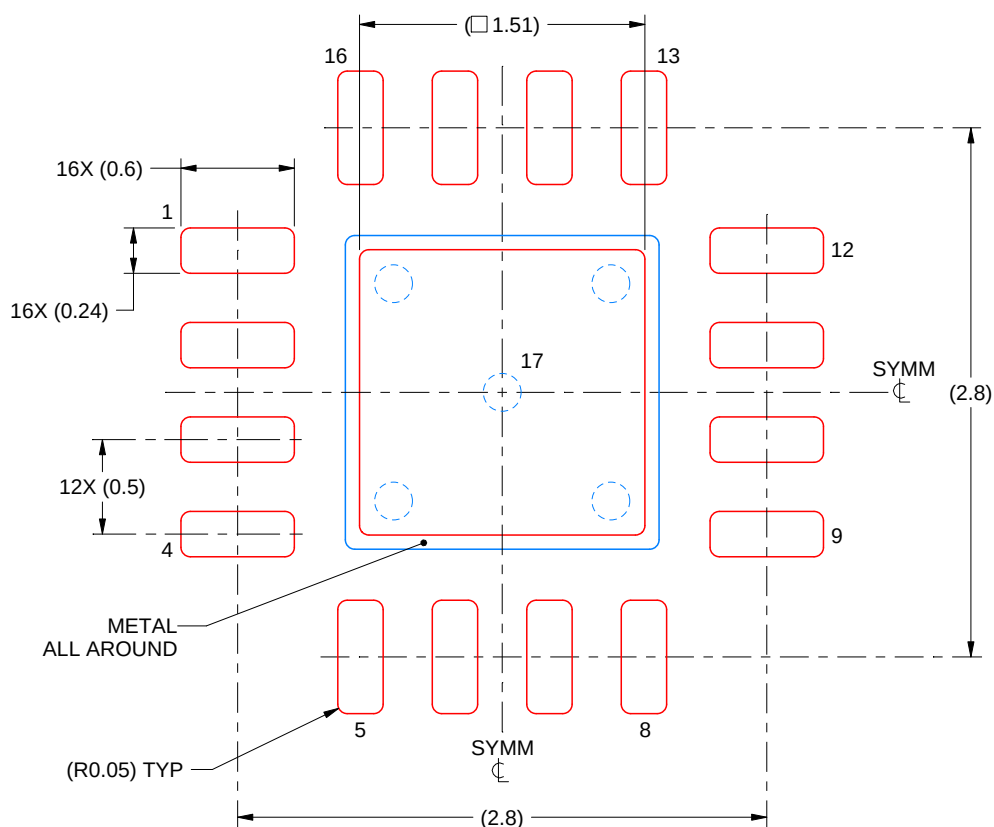
NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

RTE0016K

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
84% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4224938/C 03/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated