

TPS388C0x-Q1 マルチチャネル過電圧および低電圧 I²C プログラマブル電圧スーパーバイザおよびモニタ、ウィンドウ ウォッチドッグ付き

1 特長

- ASIL-B 機能安全準拠の製品
 - 機能安全アプリケーション用の開発向け
 - ISO 26262 システムの設計に役立つ資料
 - ASIL D までの決定論的対応能力
 - ASIL B までのハードウェア機能
- 以下の結果で AEC-Q100 認定済み:
 - デバイス温度グレード 1: -40°C ~ +125°C
- 最新の SoC を監視
 - 2 ~ 6 の電圧モニタ チャネル オプションが利用可能です
 - 入力電圧範囲: 2.6V ~ 5.5V
 - 低電圧誤動作防止 (UVLO) (立ち下がり): 2.6V
 - 高いスレッシュホールド精度:
 - ±6mV (-40°C ~ +125°C)
 - 固定ウィンドウのスレッシュホールドレベル
 - 0.2V ~ 1.475V, 5mV ステップ
 - 0.8V ~ 5.5V, 20mV ステップ
- トリガ ウィンドウ ウォッチドッグ
 - I²C によりプログラム可能な OPEN/CLOSE ウォッチドッグ タイミング (1ms ~ 864ms)
 - SoC 起動初期化によるスタートアップ遅延 (2ms ~ 3.48s)
 - WDO アサート前のプログラマブル最大制限超過数 (最大 7 つのエラー)
 - プログラマブル WDO 遅延
 - ウォッチドッグ ディスエーブル ピン (WDE)
- 小さなパッケージ サイズと最小限の部品コスト
 - 3mm × 3mm の QFN パッケージ
 - 調整可能な電圧スレッシュホールド レベル (I²C 利用)
 - 調整可能なグリッチ耐性とヒステリシス レベル (I²C 利用)
- 安全アプリケーション向けに設計
 - CRC エラー チェック (静的および動的)
 - アクティブ Low、オープンドレインの NIRQ、NRST、WDO 出力

2 アプリケーション

- 先進運転支援システム (ADAS)
- センサ フュージョン

3 概要

TPS388C0x-Q1 デバイスは、リモート センス ピン オプションと一体型ウィンドウ ウォッチドッグを備えた一体型マルチチャネル ウィンドウ モニター リセット IC で、16 ピンの 3mm x 3mm QFN パッケージで提供されています。

この高精度のマルチチャネル電圧スーパーバイザは、低電圧電源レールで動作する、電源誤差の余地が小さいシステムに理想的です。内部的なグリッチ耐性およびノイズフィルタにより、信号エラーによる誤ったリセットも回避されます。この TPS388C0x-Q1 デバイスは、外付け抵抗なしで過電圧および低電圧リセットのスレッシュホールドを設定できるため、総合的な精度、コスト、サイズをさらに最適化でき、安全性システムの信頼性も向上します。I²C 機能により、スレッシュホールド、リセット遅延、グリッチ フィルタ、ピン機能を柔軟に選択できます。このデバイスは、CRC エラーチェック機能を備えています。このデバイスは、独立したウォッチドッグが有効化されたウィンドウ ウォッチドッグを内蔵しています。

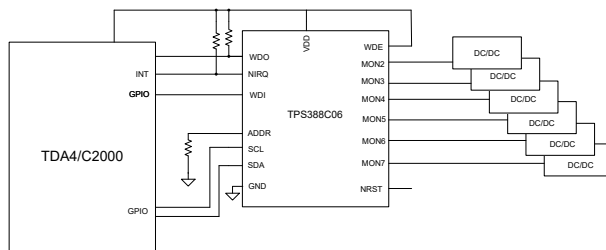
このデバイスは、静止電流仕様がわずか 1500μA です (標準値)。TPS388C0x-Q1 は車載用アプリケーション向けに設計されており、AEC-Q100 グレード 1 認定済み、ASIL-B 定格の機能安全準拠デバイスとして認定済みです。

製品情報

部品番号	パッケージ ⁽¹⁾	本体サイズ (公称) ⁽²⁾
TPS388C0x-Q1	WQFN (16)	3mm × 3 mm

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合、これにはピンも含まれます。





TPS388C0x-Q1 の回路例

目次

1 特長.....	1	7.4 機能説明.....	21
2 アプリケーション.....	1	7.5 レジスタマップ.....	29
3 概要.....	1	8 アプリケーションと実装.....	63
4 デバイスの比較.....	4	8.1 アプリケーション情報.....	63
5 ピン構成および機能.....	5	8.2 代表的なアプリケーション.....	64
6 仕様.....	7	8.3 電源に関する推奨事項.....	70
6.1 絶対最大定格.....	7	8.4 レイアウト.....	71
6.2 ESD 定格.....	7	9 デバイスおよびドキュメントのサポート.....	72
6.3 推奨動作条件.....	7	9.1 デバイスの命名規則.....	72
6.4 熱に関する情報.....	8	9.2 ドキュメントのサポート.....	73
6.5 電気的特性.....	8	9.3 ドキュメントの更新通知を受け取る方法.....	73
6.6 タイミング要件.....	10	9.4 サポート・リソース.....	73
6.7 代表的特性.....	14	9.5 商標.....	73
7 詳細説明.....	15	9.6 静電気放電に関する注意事項.....	73
7.1 概要.....	15	9.7 用語集.....	73
7.2 機能ブロック図.....	15	10 改訂履歴.....	73
7.3 デバイスの機能モード.....	17	11 メカニカル、パッケージ、および注文情報.....	73

4 デバイスの比較

図 4-1 に、デバイスの命名規則が示されています。表 4-1 に、利用可能なデバイス機能と対応する型番の概要が示されています。詳細とその他のオプションの提供状況については、TI の販売代理店にお問い合わせください。または、オンラインで TI の [E2E フォーラム](#) にアクセスしてください。最小注文数量が適用されます。

デバイスの注文コードの詳細については、[セクション 9.1](#) を参照してください。

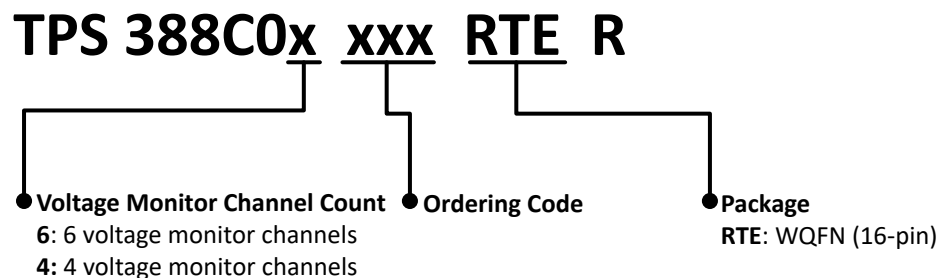
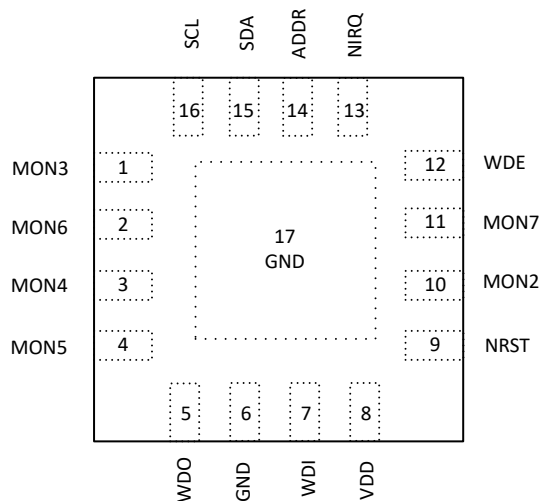


図 4-1. TPS388C0x-Q1 デバイスの命名規則

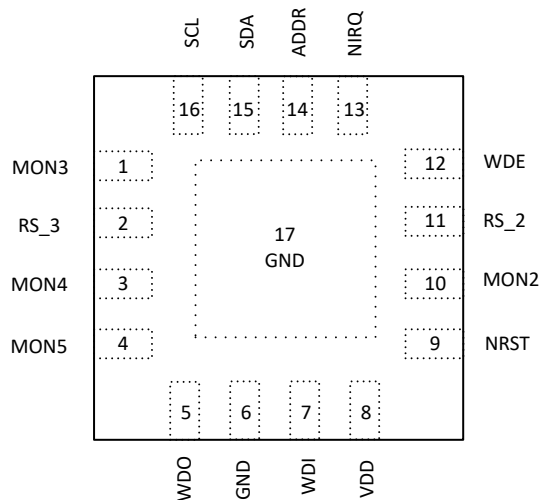
表 4-1. マルチチャネル スーパーバイザの概要表

仕様	TPS38900x-Q1	TPS389R0x-Q1	TPS38800x-Q1	TPS388R0x-Q1	TPS389C0x-Q1	TPS388C0x-Q1
ハードウェア ASIL 定格	D	D	B	B	D	B
チャネル数の監視	4~8	4~7	4~8	4~7	3~6	3~6
監視範囲	0.2~5.5V	0.2~5.5V	0.2~5.5V	0.2~5.5V	0.2~5.5V	0.2~5.5V
コンパレータ監視 (HF フォルト)	✓	✓	✓	✓	✓	✓
ADC 監視 (LF フォルト)	✓	✓	x	x	✓	x
ウォッチドッグ	x	x	x	x	Q&A	ウィンドウ
電圧テレメトリ	✓	✓	x	x	✓	x
グリッチ フィルタリングの監視	✓	✓	✓	✓	✓	✓
シーケンス ログ	✓	✓	✓	✓	x	✓
NIRQ ピン	✓	✓	✓	✓	✓	✓
NRST ピン	x	✓	x	✓	✓	✓
SYNC ピン	✓	x	x	x	x	x
WDO ピン	x	x	x	x	✓	✓
WDI ピン	x	x	x	x	x	✓
ESM ピン	x	x	x	x	✓	x

5 ピン構成および機能



**図 5-1. RTE パッケージ
16 ピン WQFN
TPS388C06-Q1 上面図**



**図 5-2. RTE パッケージ
16- ピン WQFN
TPS388C04-Q1 上面図**

表 5-1. ピンの機能

ピン			I/O	概要
番号	TPS388C06-Q1	TPS388C04-Q1		
	名称	名称		
1	MON3	MON3	I	電圧モニタ チャンネル 3
2	MON6	RS_3	I	MON6: 電圧モニタ チャンネル 6 RS_3: 電圧モニタ チャンネル 3 のリモート センス
3	MON4	MON4	I	電圧モニタ チャンネル 4
4	MON5	MON5	I	電圧モニタ チャンネル 5
5	WDO	WDO	O	オープンドレイン ウォッチドッグ エラー出力
6	GND	GND	-	電源グラウンド
7	WDI	WDI	I	ウォッチドッグ入力
8	VDD	VDD	-	電源レール
9	NRST	NRST	I/O	オープンドレイン リセット ピン
10	MON2	MON2	I	電圧モニタ チャンネル 2
11	MON7	RS_2	I	MON7: 電圧モニタ チャンネル 7 RS_2: 電圧モニタ チャンネル 2 のリモート センス
12	WDE	WDE	I	ウォッチドッグ有効
13	NIRQ	NIRQ	O	アクティブ Low オープンドレイン 割り込み出力
14	ADDR	ADDR	I	I ² C アドレス選択ピン
15	SDA	SDA	I/O	I ² C データ ピン
16	SCL	SCL	I	I ² C クロック ピン
17	GND	GND	-	露出した電源グラウンド パッド

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電圧	VDD	-0.3	6	V
電圧	NIRQ、NRST、WDO、WDI、WDE	-0.3	6	V
電圧	SCL、SDA	-0.3	6	V
電圧	ADDR	-0.3	2	V
電圧	MONx	-0.3	6	V
電圧	RS_x	-0.2	0.2	V
電流	NIRQ、NRST、WDO		±10	mA
温度 ⁽²⁾	連続総許容損失	「熱に関する情報」を参照		
	動作時の接合部温度、T _J	-40	150	°C
	自由気流での動作温度 (T _A)	-40	125	°C
	保管温度、T _{stg}	-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみに関するものであり、絶対最大定格において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) このデバイスの消費電力は低いいため、T_J = T_A と想定されます。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	±500	
			±750	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています

6.3 推奨動作条件

		最小値	公称値	最大値	単位
VDD	電源ピンの電圧	2.6		5.5	V
NIRQ、NRST、WDI、WDO、WDE	ピン電圧	0		5.5	V
I _{NIRQ} 、I _{NRST} 、I _{WDO}	ピン電流	0		±5	mA
ADDR	アドレスピン電圧	0		1.8	V
MONx	モニタピン	0		5.5	V
SCL、SDA	ピン電圧	0		5.5	V
RS_x	リモート センス ピン	-0.1		0.1	V
R _{UP} ⁽¹⁾	プルアップ抵抗 (オープンドレイン構成)	1		100	kΩ
T _J	接合部温度 (自由気流の温度)	-40		125	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS388C0-Q1	単位
		RTE (WQFN)	
		ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	53.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	51.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	17.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	20.7	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	3.9	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

6.5 電気的特性

At $2.6V \leq V_{DD} \leq 5.5V$, $0.2V \leq V_{MONX} \leq 5.5V$, NIRQ, NRST, WDO $R_{pullup} = 10k\Omega \sim V_{DD}$, NIRQ, NRST, WDO 負荷 = 10pF、および自由気流での動作温度範囲 $-40^{\circ}C \sim 125^{\circ}C$ (特に記述のない限り)。代表値は $J = 25^{\circ}C$ 、代表条件は $V_{DD} = 3.3V$ 。

パラメータ		テスト条件	最小値	標準値	最大値	単位
共通パラメータ						
VDD	入力電源電圧		2.6		5.5	V
VDD _{UVLO}	立ち上がりスレッシュホールド		2.67		2.81	V
	立ち下がりスレッシュホールド		2.48		2.6	V
V _{POR}	パワー オンリセット電圧 ⁽²⁾				1.65	V
I _{DD_Active}	VDD ピンへの電源電流 (MON = HF アクティブ)	$V_{DD} \leq 5.5V$		1.55	2	mA
V _{MONX}	MON 電圧範囲		0.2		5.5	V
I _{MONX}	入力電流 MONx ピン	$V_{MON} = 5V$			20	μA
V _{MON_HF}	スケーリングなし		0.2		1.475	V
	4X スケーリング		0.8		5.5	V
スレッシュホールド の粒度	スケーリングなし			5		mV
	4X スケーリング			20		mV
精度	VMON	$0.2V \leq V_{MONX} \leq 1.0V$	-6		6	mV
		$1.0V \leq V_{MONX} \leq 1.475V$	-7.5		7.5	mV
		$1.475V \leq V_{MONX} \leq 2.95V$	-0.6		0.6	%
		$V_{MONX} > 2.95V$	-0.5		0.5	%
V _{HYS}	UV、OV ピンのヒステリシス (ヒステリシスはトライポイント (UV)、(OV) に対して) ⁽¹⁾	$0.2V < V_{MONX} \leq 1.475V$		5	11	mV
		$1.475V \leq V_{MONX} \leq 2.95V$		9	16	mV
		$V_{MONX} > 2.95V$		17	28	mV
MON_OFF	OFF 電圧スレッシュホールド	監視対象の V_{MON} 立ち下がりエッジ	140		215	mV
I _{LKG}	出力リーク電流 -NIRQ、NRST	$V_{DD} = V_{NIRQ} = V_{NRST} = 5.5V$			300	nA
V _{OL}	Low レベル出力電圧-NIRQ	NIRQ 外部 10K の 3.3V へのプルアップ			100	mV
I _{lkG(OD)}	オープンドレイン出力リーク電流-NIRQ	NIRQ ピンがハイインピーダンス、 $V_{NIRQ} = 5.5V$ 、 $V_{IT+} < V_{DD}$			90	nA
NIRQ	内部プルダウン	オープンドレイン		100		Ω
V _{OL}	Low レベル出力電圧-NRST	NRST 外部 10K の 3.3V へのプルアップ			100	mV

6.5 電気的特性 (続き)

At $2.6V \leq V_{DD} \leq 5.5V$, $0.2V \leq V_{MONX} \leq 5.5V$, NIRQ, NRST, WDO Rpullup = $10k\Omega \sim V_{DD}$, NIRQ, NRST, WDO 負荷 = $10pF$, および自由気流での動作温度範囲 $-40^{\circ}C \sim 125^{\circ}C$ (特に記述のない限り)。代表値は $J = 25^{\circ}C$ 、代表条件は $V_{DD} = 3.3V$ 。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{lk}(OD)$	オープンドレイン出力リーク電流-NRST	NRST ピンがハイ インピーダンス、 $V_{NRST} = 5.5$, $V_{IT+} < V_{DD}$			90	nA
V_{OL}	Low レベル出力電圧-WDO	WDO 外部 $10K$ の $3.3V$ へのプルアップ			100	mV
$I_{lk}(OD)$	オープンドレイン出力リーク電流-WDO	WDO ピンがハイ インピーダンス、 $V_{WDO} = 5.5$, $V_{IT+} < V_{DD}$			500	nA
WDO	Low にアサートするとオン抵抗	オープンドレイン		12	17	Ω
NRST	内部プルダウン	オープンドレイン		100		Ω
WDI_L	ロジック Low 入力				$0.24 \times V_{DD}$	V
WDI_H	ロジック High 入力	$V_{DD} > 4.5V$	$0.55 \times V_{DD}$			V
WDI_H	ロジック High 入力	$V_{DD} < 4.5V$	$0.60 \times V_{DD}$			V
WDE_L	ロジック Low 入力				0.36	V
WDE_H	ロジック High 入力		1.26			V
I_{ADDR}	ADDR ピン電流			20		μA
I ² C ADDR	(16 進形式)	R=5.36k		0x30		
		R=16.2k		0x31		
		R=26.7k		0x32		
		R=37.4k		0x33		
		R=47.5k		0x34		
		R=59.0k		0x35		
		R=69.8k		0x36		
		R=80.6k		0x37		
TSD	サーマル シャットダウン			155		$^{\circ}C$
TSD Hys	サーマル シャットダウン ヒステリシス			25		$^{\circ}C$
I²C 電気的仕様						
C_B	SDA および SCL の容量性負荷				400	pF
SDA, SCL	Low スレッショルド	1.2V の I ² C ロジック			0.36	V
SDA, SCL	High スレッショルド	1.2V の I ² C ロジック	0.84			V
SDA, SCL	Low スレッショルド	1.8V の I ² C ロジック			0.54	V
SDA, SCL	High スレッショルド	1.8V の I ² C ロジック	1.26			V
SDA, SCL	Low スレッショルド	3.3V の I ² C ロジック			0.99	V
SDA, SCL	High スレッショルド	3.3V の I ² C ロジック	2.31			V
SDA	V_{OL}	$I_{OL} = 5mA$			0.4	V

- ヒステリシスは、トリポイント (V_{IT-} (UV)、 V_{IT+} (OV)) と関連しています。
- V_{POR} は、制御された出力状態の最小 V_{DDX} 電圧レベルです。

6.6 タイミング要件

At 2.6V ≤ VDD ≤ 5.5V, 0.2V ≤ VMON ≤ 5.5V, NIRQ, NRST, WDO 電圧 = 10kΩ ~ VDD, NIRQ, NRST, WDO 負荷 = 10pF、および自由気流での動作温度範囲 – 40°C ~ 125°C (特に記述のない限り)。代表値は T_J = 25°C、代表条件は VDD = 3.3V。

			最小値	公称値	最大値	単位
共通パラメータ						
t _{BIST}	BIST 付きで POR を準備完了、TEST_CFG.AT_POR=1	OTP 負荷を含む			12	ms
t _{NBIST}	BIST なしで POR を準備完了、TEST_CFG.AT_POR=0	OTP 負荷を含む			2	ms
BIST	BIST 時間、TEST_CFG.AT_POR=1 または TEST_CFG.AT_SHDN=1				10	ms
t _{I2C_ACT}	BIST 完了から I ² C がアクティブ				0	μs
t _{NRST}	フォルト検出から NRST のアサートまでのレイテンシ				25	μs
t _{WDO}	フォルト検出から WDO のアサートまでのレイテンシ				25	μs
t _{NIRQ}	フォルト検出から NIRQ アサートまでのレイテンシ (OV / UV フォルトを除く)				25	μs
t _{PD_NIRQ_1X}	HF フォルト伝搬検出遅延 (デフォルトのグリッチ除去フィルタ) には、デジタル遅延が含まれます	VIT_OV / UV +/- 100mV			650	ns
t _{PD_NIRQ_4X}	HF フォルト伝搬検出遅延 (デフォルトのグリッチ除去フィルタ) には、デジタル遅延が含まれます	VIT_OV / UV +/- 400mV			750	ns
t _D	RESET 時間遅延	I ² C レジスタ時間遅延 = 000		200		μs
		I ² C レジスタ時間遅延 = 001		1		ms
		I ² C レジスタ時間遅延 = 010		10		ms
		I ² C レジスタ時間遅延 = 011		16		ms
		I ² C レジスタ時間遅延 = 100		20		ms
		I ² C レジスタ 時間遅延 = 101		70		ms
		I ² C レジスタ時間遅延 = 110		100		ms
		I ² C レジスタ時間遅延 = 111		200		ms
t _{D_WD}	WDT 遅延	I ² C レジスタ時間遅延 = 000		1		ms
		I ² C レジスタ時間遅延 = 001		2		
		I ² C レジスタ時間遅延 = 010		5		
		I ² C レジスタ時間遅延 = 011		10		
		I ² C レジスタ時間遅延 = 100		20		
		I ² C レジスタ時間遅延 = 101		50		
		I ² C レジスタ時間遅延 = 110		100		
		I ² C レジスタ時間遅延 = 111		200		

6.6 タイミング要件 (続き)

At $2.6V \leq VDD \leq 5.5V$, $0.2V \leq V_{MON} \leq 5.5V$, NIRQ, NRST, WDO 電圧 = $10k\Omega \sim VDD$, NIRQ, NRST, WDO 負荷 = $10pF$, および自由気流での動作温度範囲 $-40^{\circ}C \sim 125^{\circ}C$ (特に記述のない限り)。代表値は $T_J = 25^{\circ}C$ 、代表条件は $VDD = 3.3V$ 。

			最小値	公称値	最大値	単位
t_{GL_R}	I ² C を介した UV および OV デバウンス範囲	FLT_HF(N)	0.1		102.4	μs

6.6 タイミング要件 (続き)

At 2.6V ≤ VDD ≤ 5.5V, 0.2V ≤ VMON ≤ 5.5V, NIRQ, NRST, WDO 電圧 = 10kΩ ~ VDD, NIRQ, NRST, WDO 負荷 = 10pF, および自由気流での動作温度範囲 - 40°C ~ 125°C (特に記述のない限り)。代表値は T_J = 25°C、代表条件は VDD = 3.3V。

			最小値	公称値	最大値	単位
I²C のタイミング特性						
f _{SCL}	シリアル クロック周波数	スタンダード モード			100	kHz
f _{SCL}	シリアル クロック周波数	ファスト モード			400	kHz
f _{SCL}	シリアル クロック周波数	ファスト モード+			1	MHz
t _{LOW}	SCL Low 時間	スタンダード モード	4.7			μs
t _{LOW}	SCL Low 時間	ファスト モード	1.3			μs
t _{LOW}	SCL Low 時間	ファスト モード+	0.5			μs
t _{HIGH}	SCL High 時間	スタンダード モード	4			μs
t _{HIGH}	SCL High 時間	ファスト モード+	0.26			μs
t _{SU,DAT}	データ セットアップ時間	スタンダード モード	250			ns
t _{SU,DAT}	データ セットアップ時間	ファスト モード	100			ns
t _{SU,DAT}	データ セットアップ時間	ファスト モード+	50			ns
t _{HD,DAT}	データ ホールド時間	スタンダード モード	10		3450	ns
t _{HD,DAT}	データ ホールド時間	ファスト モード	10		900	ns
t _{HD,DAT}	データ ホールド時間	ファスト モード+	10			ns
t _{SU,STA}	開始または反復開始条件のセットアップ時間	スタンダード モード	4.7			μs
t _{SU,STA}	開始または反復開始条件のセットアップ時間	ファスト モード	0.6			μs
t _{SU,STA}	開始または反復開始条件のセットアップ時間	ファスト モード+	0.26			μs
t _{HD,STA}	開始または反復開始条件のホールド時間	スタンダード モード	4			μs
t _{HD,STA}	開始または反復開始条件のホールド時間	ファスト モード	0.6			μs
t _{HD,STA}	開始または反復開始条件のホールド時間	ファスト モード+	0.26			μs
t _{BUF}	STOP 条件と START 条件の間のバス フリー時間	スタンダード モード	4.7			μs
t _{BUF}	STOP 条件と START 条件の間のバス フリー時間	ファスト モード	1.3			μs
t _{BUF}	STOP 条件と START 条件の間のバス フリー時間	ファスト モード+	0.5			μs
t _{SU,STO}	停止条件のセットアップ時間	スタンダード モード	4			μs
t _{SU,STO}	停止条件のセットアップ時間	ファスト モード	0.6			μs
t _{SU,STO}	停止条件のセットアップ時間	ファスト モード+	0.26			μs
t _{rDA}	SDA 信号の立ち上がり時間	スタンダード モード			1000	
t _{rDA}	SDA 信号の立ち上がり時間	ファスト モード	20		300	ns
t _{rDA}	SDA 信号の立ち上がり時間	ファスト モード+			120	ns
t _{fDA}	SDA 信号の立ち下がり時間	スタンダード モード			300	ns
t _{fDA}	SDA 信号の立ち下がり時間	ファスト モード	1.4		300	ns
t _{fDA}	SDA 信号の立ち下がり時間	ファスト モード+	6.5		120	ns
t _{rCL}	SCL 信号の立ち上がり時間	スタンダード モード			1000	ns
t _{rCL}	SCL 信号の立ち上がり時間	ファスト モード	20		300	ns
t _{rCL}	SCL 信号の立ち上がり時間	ファスト モード+			120	ns
t _{fCL}	SCL 信号の立ち下がり時間	スタンダード モード			300	ns
t _{fCL}	SCL 信号の立ち下がり時間	ファスト モード	6.5		300	ns
t _{fCL}	SCL 信号の立ち下がり時間	ファスト モード+	6.5		120	ns

6.6 タイミング要件 (続き)

At $2.6V \leq VDD \leq 5.5V$, $0.2V \leq V_{MON} \leq 5.5V$, NIRQ, NRST, WDO 電圧 = $10k\Omega \sim VDD$, NIRQ, NRST, WDO 負荷 = $10pF$, および自由気流での動作温度範囲 $-40^{\circ}C \sim 125^{\circ}C$ (特に記述のない限り)。代表値は $T_J = 25^{\circ}C$ 、代表条件は $VDD = 3.3V$ 。

			最小値	公称値	最大値	単位
t_{SP}	抑制されている SCL および SDA スパイクのパルス幅	標準モード、ファストモード、ファストモード+			50	ns

6.7 代表的特性

At $T_J = 25^\circ\text{C}$, $V_{DD} = 3.3\text{V}$, $R_{PU} = 10\text{k}\Omega$ (特に記述のない限り)

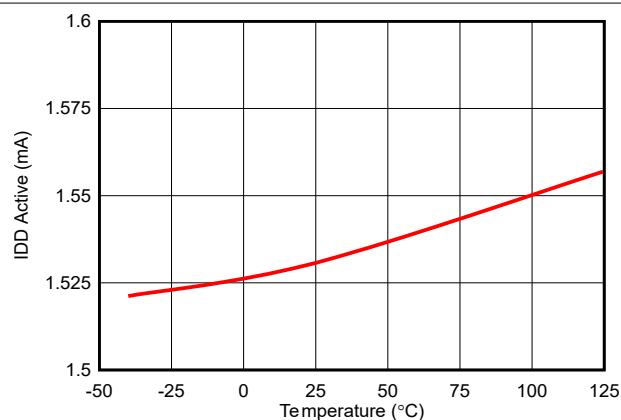


図 6-1. アクティブ入力電流と温度との関係

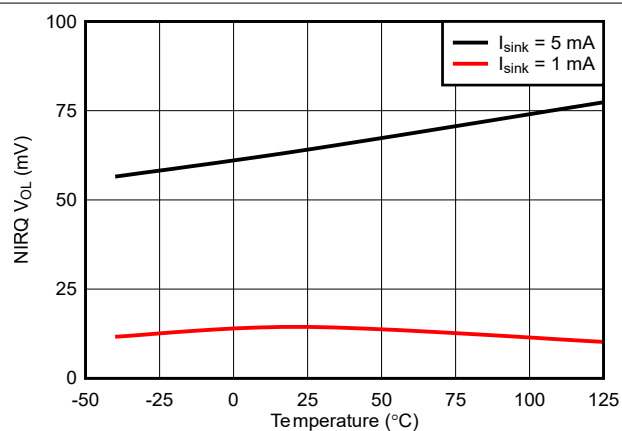


図 6-2. NIRQ Low レベル出力電圧と温度との関係

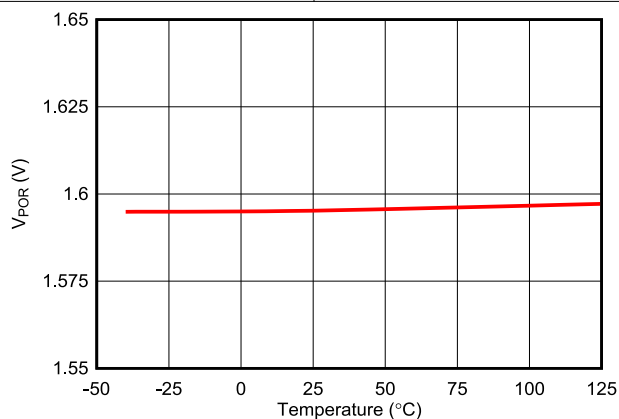


図 6-3. パワーオン リセット電圧と温度との関係

7 詳細説明

7.1 概要

TPS388C0x-Q1 ファミリのデバイスには 2 ～ 6 つのチャネルがあり、ウィンドウ構成で過電圧、低電圧、または両方に構成できます。TPS388C0x-Q1 は、高精度のウィンドウ スレッショルド電圧 (最大 $\pm 6\text{mV}$) および各種の電圧スレッショルドを備えています。これは、工場出荷時の構成を使用するか、起動時に I²C コマンドで構成することができます。

TPS388C0x-Q1 には、デバイス内部で過電圧スレッショルドおよび低電圧スレッショルドを設定するための抵抗が含まれています。これらの内部抵抗によって、部品点数が削減でき、外部抵抗の精度を考慮したマージンを追加する必要がないため、設計を大幅に簡略化できます。

TPS388C0x-Q1 は、監視対象の電圧が安全なウィンドウ外であるときに、アクティブ Low の出力信号 (NIRQ または NRST) をアサートするように設計されています。TPS388C0x-Q1 は、I²C を使用して高度に構成でき、割り込み有効、シーケンス タイムアウト、BIST、電圧監視ウィンドウ、ウォッチドッグ ウィンドウ タイミング、グリッチ デバウンス タイミングの工場出荷時プログラミング オプションも利用可能です。

7.2 機能ブロック図

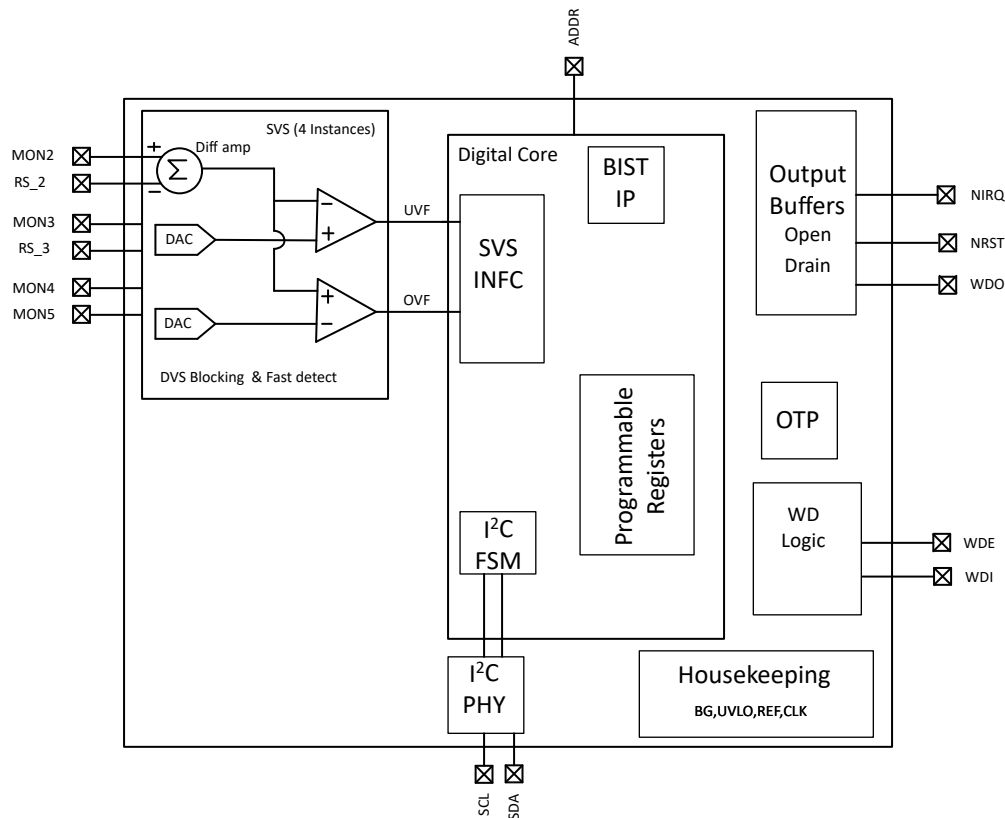


図 7-1. TPS388C04-Q1 のブロック図

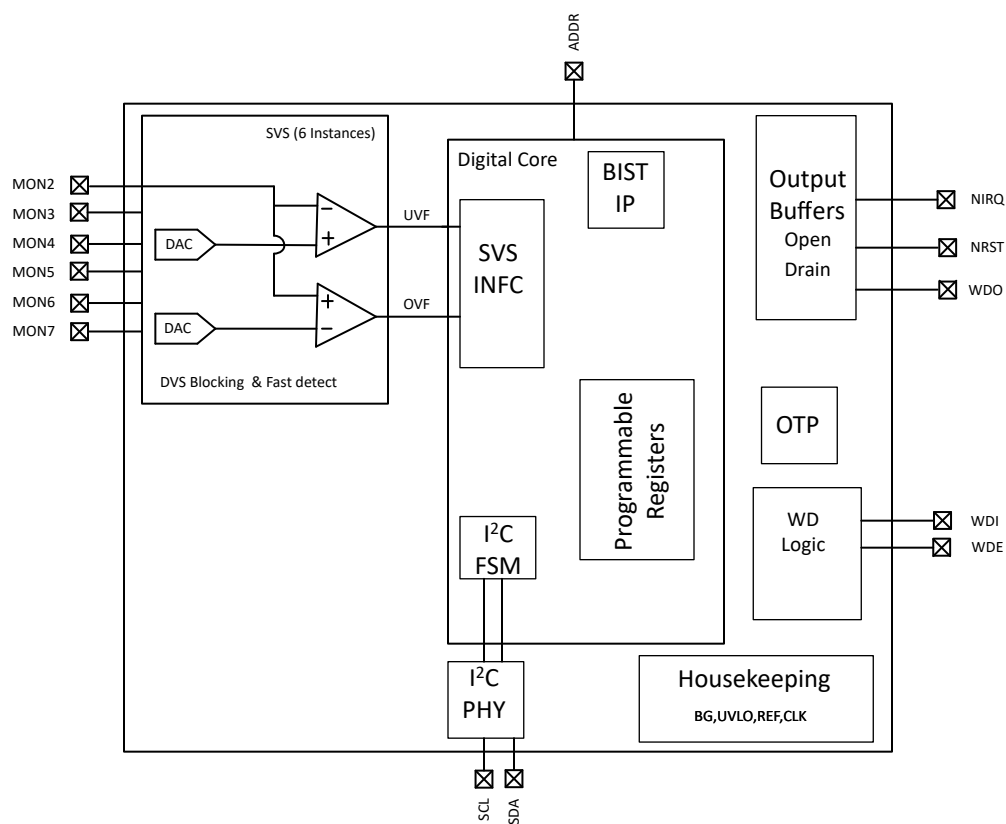


図 7-2. TPS388C06-Q1 のブロック図

7.3 デバイスの機能モード

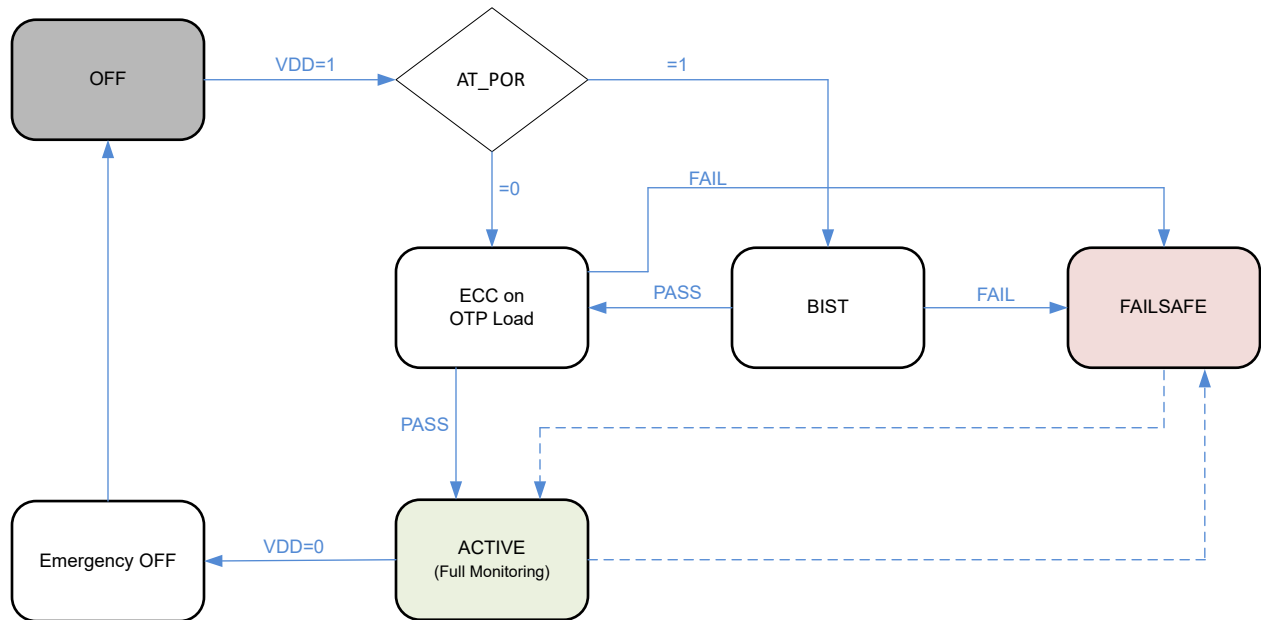


図 7-3. TPS388C0x-Q1 状態遷移図

7.3.1 TPS388C0x-Q1 電源オン

TPS388C0x-Q1 が電源オンになると、オプションで BIST が実行されます (TEST_CFG.AT_POR レジスタ ビットに応じて)。BIST が完了すると、直ちに I²C およびフォルト通知 (NIRQ 経由) がアクティブになり、OTP から構成がロードされます (ECC によるアシスト、SEC-DED をサポート)。

構成ロード ECC および BIST 結果の詳細が TEST_INFO レジスタに通知されます。

UVLO を超えた VIN 立ち上がりエッジを検出すると、TPS388C0x-Q1 はシーケンス タイムアウト タイマおよび電源 ON シーケンスの監視を開始します。

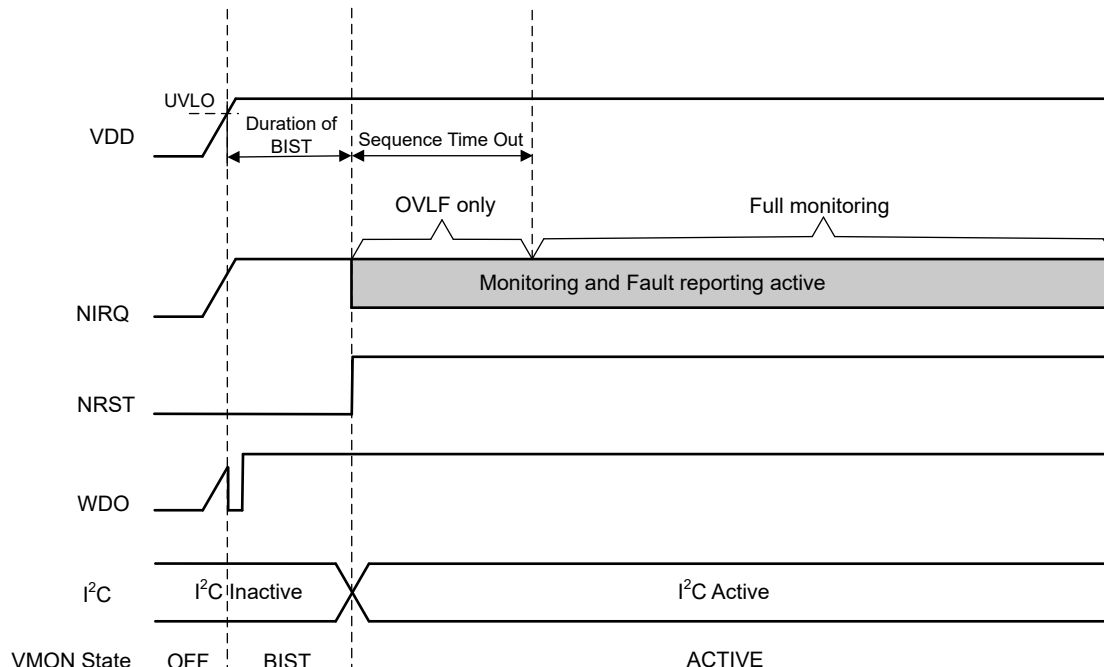


図 7-4. TPS388C0x-Q1 電源 ON 信号処理と内部状態

BIST の完了は、割り込みまたはレジスタのポーリングによって検出できます:

- 割り込み: INT_TEST_I_BIST_C フラグがセットされ、IEN_TEST_C = 1 の場合は NIRQ がアサートされます
- ポーリング: VMON_STAT レジスタは、ポーリングにより ST_BIST_C ビットを読み出すことができます

7.3.2 組み込みセルフテストと構成の読み込み

内蔵セルフテスト (BIST) が実行されます:

1. TEST_CFG.AT_POR=1 の場合、パワーオンリセット (POR) 時

OTP からの構成ロードは、ECC によってアシストされます (SEC-DED をサポート)。これは、データの整合性の問題から保護し、システムの可用性を最大化するためです。

BIST 中、NIRQ はアサート解除され (故障時にアサートされる)、入力ピンは無視され、I²C ブロックは非アクティブで、SDA および SCL はアサート解除されます。BIST には、技術安全要件を満たすためのデバイステストが含まれています。障害なしで BIST が完了すると、I²C が直ちにアクティブになり、デバイスは OTP から構成データをロードした後、IDL 状態に入ります。BIST に失敗するか、ECC がダブルエラー検出 (DED) を通知すると、NIRQ がアサートされ、デバイスはフェイルセーフ状態に入り、アクティブな I²C に対して最善の取り組みが試みられます。TEST_INFO レジスタでは、テスト結果の追加情報を提供できます。

BIST の成功 / 失敗時の詳細な動作は、INT_TEST および IEN_TEST レジスタによって制御されます。BIST 結果の通知は、以下によって実行されます。

- NIRQ ピン: テスト結果および IEN_TEST の BIST_C と BIST ビットに応じて Low になります
- IEN_TEST 設定に応じて、INT_TEST レジスタの I_BIST_C ビットと BIST ビット
- VMON_STAT.ST_BIST_C レジスタビット
- TEST_INFO[3:0] レジスタビット

7.3.2.1 BIST 実行に関する注意事項

TPS388C0x-Q1 は、POR 時に、TEST_CFG.AT_POR レジスタビットの値に基づいて、BIST を実行するかどうかを決定する必要があります。BIST が ECC ロジックをチェックした後にこのレジスタの ECC が実行されたと仮定すると、BIST を実行する前にデータの整合性を証明することはできません。

7.3.3 一般監視

7.3.3.1 ACTIVE 監視

図 7-5 に示されているように、BIST および SEQ_TOUT (自動マスク_ タイムアウトが完了すると、TPS388C0x-Q1 は ACTIVE 状態になります。

SEQ_TOUT 中、自動マスク レジスタ AMSK_ON で選択されたすべての TPS388C0x-Q1 入力は、低電圧高周波数 (UVHF) および過電圧高周波数 (OVHF) 状態のマスクされた (無効) 割り込みから開始します。各レールが MON の OFF スレッシュホルドを超えると、自動的に (約 5 ~ 10 μ s 以内に発生すると予想される) 関連する UV および OV 割り込みがマスク解除され、IEN_UVHF および IEN_OVHF レジスタに従って、有効化 / 無効化されます。

SEQ_TOUT が期限切れになると、アクティブ状態に移行されます。VMON モニタは、低電圧高周波数 (UVHF) および過電圧高周波数 (OVHF) スレッシュホルドに対して高周波数チャネル レベルをモニタします。表 7-1 に、アクティブ状態の詳細が示されています。

表 7-1. ACTIVE モードの動作の概要

モード	条件	Iq	監視対象 - Chx が有効の場合に NIRQ をトリガします
アクティブ	自動マスク タイムアウト	1.5mA	OVHF、UVHF

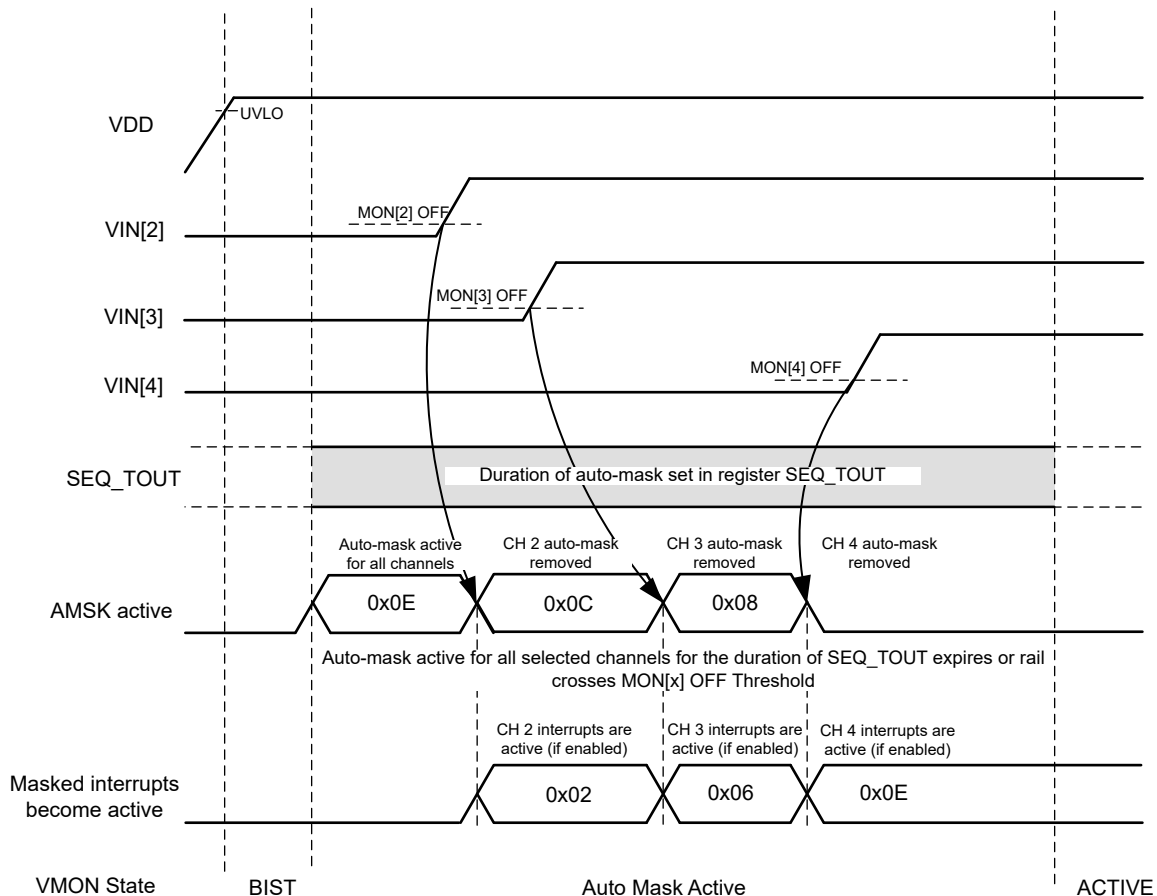


図 7-5. アクティブ状態のタイミング図

TPS388C0x-Q1 は、パワーアップ遷移時に複数のアクションを実行します。

1. VDD が UVLO に達し、BIST が完了すると、TPS388C0x-Q1 は自動マスクが以下に従って有効になるシーケンス 監視 1 の状態に入ります。

- a. 自動マスクレジスタ **AMSK_ON** で選択されたすべての **TPS388C0x-Q1** 入力は、低電圧高周波数 (**UVHF**) および過電圧高周波数 (**OVHF**) 状態の場合、マスクされた (無効) 割り込みから開始します。
 - b. 各レールが **MON** の **OFF** スレッシュホルドを超えると、**10μs IEN_UVHF** および **IEN_OVHF** レジスタに従って、関連する **UV** および **OV** 割り込みがマスクされず、有効 / 無効になります。
2. **SEQ_TOUT** タイムアウトの後:
 - a. **TPS388C0x-Q1** は、**ACTIVE** 状態で、通常の監視を開始します。

7.4 機能説明

7.4.1 VDD

TPS388C0x-Q1 は、2.6V ~ 5.5V の入力電源電圧範囲で動作するように設計されています。このデバイスには入力電源コンデンサは必要ありませんが、入力電源にノイズが多い場合は、VDD ピンと GND ピンの間に 1μF コンデンサを配置する方法がアナログ手法として適切です。

デバイスが完全に機能するには、スタートアップ遅延 (t_{BIST}) の V_{DD} が少なくとも $V_{DD_{UVLO}}$ 以上である必要があります。

7.4.2 マスカブル割り込み (AMSK)

パワーアップの場合は、AMSK_ON レジスタが適用されます。MON 電圧が MON の OFF スレッシュホールドまたはシーケンス タイムアウトのいずれか早い方に達するまで、AMSK_ON が割り込みをマスクします。パワーダウンの場合は、AMSK_OFF レジスタが適用されます。MON 電圧が OFF スレッシュホールドを下回るまで、AMSK_OFF が割り込みをマスクします。

表 7-2 に、パワーアップ時およびパワーダウン時の自動マスク動作が示されています。

表 7-2. パワーアップ時とパワーダウン時の自動マスク動作

遷移	自動マスクが適用されます	自動マスクが以下に適用されます	自動マスクは非アクティブです	MON チャネルの割り込みアクティブは自動マスクにありません
パワーアップ	AMSK_ON	IEN_UVHF、IEN_OVHF	SEQ_TOUT が期限切れになるか、レールが MON の OFF スレッシュホールドを超えます	パワーアップ時
パワーダウン	AMSK_OFF		SEQ_TOUT が期限切れになるまで、遷移で自動マスクがアクティブになります	SEQ_TOUT が期限切れるまで

7.4.3 MON

TPS388C0x-Q1 には、高精度リファレンス電圧を備えた 2 つのコンパレータおよびモニタ (MON) チャネルごとに調整された抵抗デバウダが組み合わさっています。この構成によって、すべての抵抗許容誤差が精度と性能仕様において考慮されているため、デバイスの精度が最適化されます。両方のコンパレータには、ノイズ耐性と安定した動作を実現するヒステリシスも内蔵されています。

各 MON チャネルは、高周波 (HF) フォルト検出に設定できます。HF フォルト検出では、スレッシュホールド電圧を基準とする UV と OV の測定にコンパレータを使用します。グリッチ耐性のデバウンス フィルタは、各 MON チャネルに対応する BANK1 の FLT_HF レジスタを使用して、HF フォルトに構成できます。HF フォルトは、BANK1 の UV_HF および OV_HF レジスタを使用して構成されます。各 MON チャネルには、独自の UV_HF および OV_HF レジスタがあります。

大半の場合必要ではありませんが、ノイズの多いアプリケーションでは、MON 入力に 1nF ~ 10nF のバイパス コンデンサを配置して、監視対象の信号の過渡電圧に対する感度を低減する方法が優れたアナログ設計手法といえます。具体的なデバウンス時間やグリッチ除去時間は、I²C レジスタにより各 MON に対して個別に設定することもできます

VDD 電源電圧を監視する場合、MON ピンを VDD に直接接続できます。MON ピンの電圧がスレッシュホールドの上限と下限の間にあるときは、出力 NIRQ および NRST はハイ インピーダンスになります。

7.4.4 NRST

NRST ピンにはプログラマブル リセット遅延時間があり、TI_CONTROL レジスタを使用する場合、0.2ms ~ 200ms の範囲で調整できます。NRST はオープンドレイン出力で、1kΩ ~ 100kΩ のプルアップ抵抗を介してプルアップする必要があります。デバイスのパワーアップ時に POR が完了すると、BIST が完了するまで NRST が Low にアサートされます。BIST の後、マッピング可能なフォルト条件によってトリガされるまで、NRST は High のままです (アサートされない)。NRST ピンが予期しない状態にプルされると、nRST_MISMATCH フォルトがアサートされます。たとえば、NRST ピンがハイインピーダンス状態 (ロジック High) で、外部から Low に駆動されると、NRST_MISMATCH フォルトがアサートされ

ます。NRST トグルの間、 $2\mu\text{s}$ の後で NRST 不一致がアクティブになります。ロジック High 状態と見なされるには、NRST が $0.6 \times V_{DD}$ を超えている必要があります。

NRST は、IEN_Vendor レジスタを使用してウォッチドッグ フォルトにマッピングできます。NRST がウォッチドッグ フォルトに割り当てられている場合、ウォッチドッグ フォルト中に NRST ピンがアサートされ、リセット遅延 (t_D) 後にデアサートされます。

NRST は、FC_LF[n] レジスタを使用して、OVHF および UVHF フォルトにもマッピングできます。監視対象の電圧がプログラムされた OVHF および UVHF スレッシュホールドを下回る、または上回ると、NRST がアサートされ、NRST ピンが Low に駆動されます。監視対象の電圧が有効なウィンドウに戻ると、リセット遅延回路が有効になり、指定されたリセット遅延期間 (t_D) にわたって NRST を Low に保持します。NRST がアサートされているときに、NRST が OVHF および UVHF フォルトからマッピングされない場合、NRST はデアサートされ、電圧が有効なウィンドウ外にあると仮定して再マッピングされると、NRST が再アサートされることに注意してください。

t_D 期間は、TI_CONTRO L レジスタにある RST_DLY[2:0] の値によって決定されます。リセット遅延が経過すると、NRST ピンはハイ インピーダンス状態に移行し、プルアップ抵抗を使用して NRST を High に保持します。他のデバイスを正しいインターフェイス電圧で接続できるように、プルアップ抵抗を適切な電圧レールに接続する必要があります。適切な電圧レベルを設計するためには、プルアップ抵抗の値を選択する際にある程度の配慮が必要になります。プルアップ抵抗の値は、Low 電圧出力 (VOL)、容量性負荷、リーク電流によって決定されます。

7.4.5 NIRQ

NIRQ は、ラッチ動作による割り込みエラー出力です。監視対象の電圧が、プログラムされた OVHF および UVHF スレッシュホールドを下回る、または上回ると、NIRQ がアサートされます。NIRQ は、フォルトの原因となっている動作が解消され、フォルトが発生したことを示すビットに「1 でビットをクリア」が書き込まれるまで Low 状態を維持します。異常検出力レジスタからの NIRQ のマッピングが解除されても、NIRQ 信号はデアサートされません。一般的な TPS389C03-Q1 アプリケーションでは、NIRQ は NIRQ 出力がプロセッサ (デジタル信号プロセッサ [DSP]、特定用途向 IC [ASIC]、またはその他のプロセッサ タイプなど) のリセット入力またはイネーブル入力に接続されます。

TPS388C0x-Q1 にはオープンドレインのアクティブ Low 出力があり、これらのラインを必要な電圧ロジックまで High に保持するためにプルアップ抵抗が必要です。プルアップ抵抗を適切な電圧レールに接続し、出力を適切なインターフェイス電圧レベルで他のデバイスに接続できるようにします。適切な電圧レベルを設計するためには、プルアップ抵抗の値を選択する際にある程度の配慮が必要になります。プルアップ抵抗の値は、 V_{OL} 、出力容量性負荷、および出力リーク電流によって決定されます。[セクション 6](#) に、これらの値が指定されています。オープンドレイン出力は、別の TPS388C0x-Q1 NIRQ ピンなどの他のオープンドレイン信号を使って有線 OR ロジックとして接続できます。

7.4.6 I²C

TPS388C0x-Q1 デバイスは I²C プロトコル (最大 1Mhz) に従っており、MCU またはシステム オン チップ (SoC) などのホスト デバイスとの通信を管理できます。I²C は、クロック (SCL) とデータ (SDA) という 2 つの信号を使用して実装された 2 線式通信プロトコルです。ホスト デバイスは、通信の主なコントローラです。TPS388C0x-Q1 デバイスは、I²C プロトコルで定義されている読み取りまたは書き込み動作中に、データライン上で応答します。SCL 信号と SDA 信号はいずれもオープンドレイン トポロジであり、他のデバイスとの有線 OR 構成で通信バスを共有するために使用できます。SCL ピンと SDA ピンの両方に、電源電圧に対する外付けプルアップ抵抗が必要です (10kΩ 推奨)。

[図 7-6](#) に、SCL ラインと SDA ライン間の 1 バイトのデータを転送するタイミング関係が示されています。SCL ラインは常に、ホストによって制御されます。1 バイトのデータを転送するには、ホストは SCL で 9 クロックを送信する必要があります。データの場合は 8 クロック、ACK または NACK の場合は 1 クロックです。SDA ラインは、読み取りまたは書き込みの動作に基づいて、ホストまたは TPS388C0x-Q1 デバイスによって制御されます。[図 7-7](#) および [図 7-8](#) に、アクティブな通信中にさまざまなインスタンスで SDA ラインを制御する通信プロトコルのフロー、およびどのデバイスが SDA ラインを制御するかが示されています。

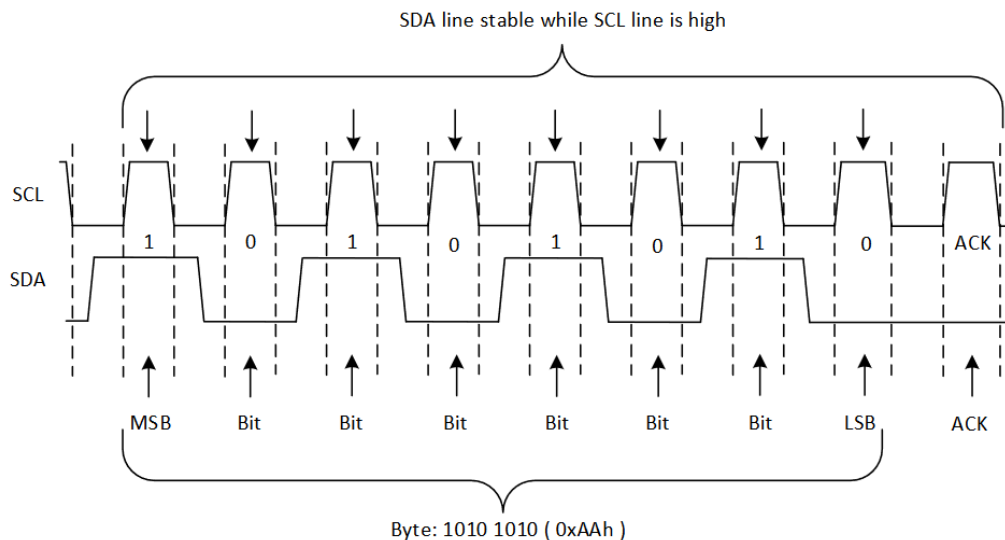


図 7-6. 1 バイトのデータ転送の SCL から SDA へのタイミング



Write to One Register in a Device

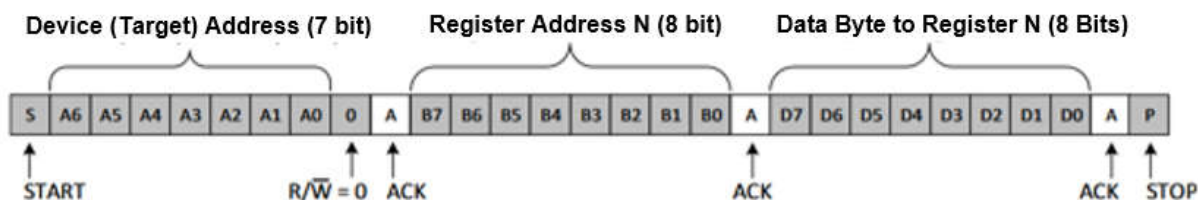


図 7-7. I²C 書き込みプロトコル



Read From One Register in a Device

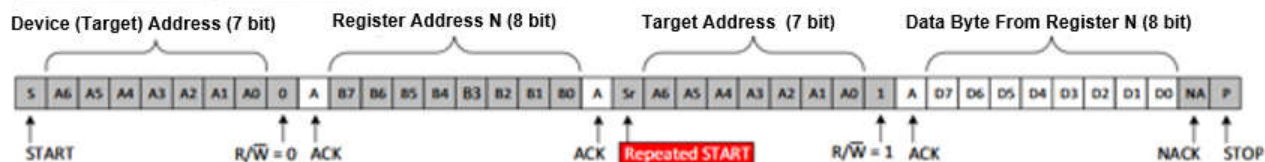


図 7-8. I²C 読み取りプロトコル

I²C プロトコルで通信を開始する前に、ホストは I²C バスが通信で利用可能であることを確認する必要があります。SCL と SDA ラインを監視し、いずれかのラインが Low にプルされると、I²C バスが使用されます。ホストは、バスが通信に利用可能になるまで待機する必要があります。通信にバスが利用可能になると、ホストは START 条件を発行して、読み取りまた

は書き込み動作を開始できます。I²C 通信が完了したら、STOP コマンドを発行してバスを解放します。図 7-9 に、START 条件および STOP 条件の実装方法が示されています。

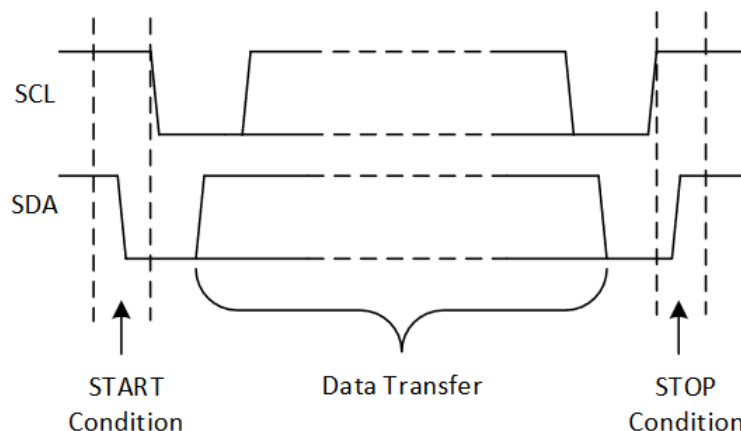


図 7-9. I²C の START 条件と STOP 条件

ホストから必要な数のクロックが供給されない場合、SDA ラインはロジック Low レベルに固着することがあります。この場合は、SDA ラインが High になるまで、ホストは SCL ライン上に複数のクロックを供給できます。このイベントの後、ホストは I²C STOP コマンドを発行できます。この結果として、I²C バスや他のデバイスは I²C バスを使用できます。

表 7-3 に、I²C でプログラムする際に利用できる各種の機能が示されています。

表 7-3. ユーザー プログラマブル I²C 機能

機能	説明
OV / UV- HF のスレッシュホールド	0.2V ~ 1.475V の範囲で 5mV ステップ、0.8V ~ 5.5V の範囲で 20mV ステップで調整可能
電圧監視スケーリング	1 または 4
OV / UV- HF のグリッチ耐性	0.1us ~ 102.4us
シーケンスのタイムアウトを有効化	1ms ~ 4s
I ² C のパケット エラー チェック	有効化または無効化
NIRQ / NRST / WDO のアサートを強制	I ² C レジスタによる制御
個別チャネル MON	有効または無効
割り込み無効化機能	BIST、PEC、TSD、CRC
リセット遅延	200μs ~ 200ms
最大制限超過数	0 ~ 7
ウォッチドッグ スタートアップ遅延通倍器	0 ~ 7
ウォッチドッグ オープン / クローズ ウィンドウ時間	1ms から 864ms に変更
ウォッチドッグ出力遅延	200μs ~ 200ms (ラッチなし WDO のみに適用)
OV / UV / WDT	NIRQ、NRST、WDO に個別にマッピング可能

7.4.7 パケット エラー チェック (PEC)

TPS388C0x-Q1 は、CRC (巡回冗長性検査) 実装する方法として、パケット エラー チェック (PEC) をサポートしています。PEC とは動的 CRC で、読み取りまたは書き込みトランザクションが有効されている場合にのみ発生します。CRC の初期値が 0x00 に設定されている場合、PEC は次の多項式で表される CRC-8 を使用します。

$$C(x) = x^8 + x^2 + x + 1 \quad (1)$$

多項式は、I²C 通信のビット反転やノイズを捕捉することを目的としており、データと PEC バイトの不一致が生じます。PEC の計算には、アドレス、コマンド、データを含め、送信のすべてのバイトが含まれます。PEC の計算には、ACK ビットと NACK ビット、または START、STOP、反復 START 条件は含まれません。PEC が有効で、TPS388C0x-Q1 がデータを送信している場合、TPS388C0x-Q1 が PEC バイトを送信します。PEC が有効で、TPS388C0x-Q1 が MCU からデータを取得している場合、MCU が PEC バイトを送信します。ウォッチドッグの処理など、通信を高速化する必要がある場合、必要な PEC 機能を効果的に使用して、PEC 情報の消失を処理し、フォルトをトリガすることを防止できます。図 7-10 および 図 7-11 に、アクティブな通信中にさまざまなインスタンスで PEC が必要な場合に SDA ラインを制御する通信プロトコルのフロー、およびどのデバイスが SDA ラインを制御するかが示されています。

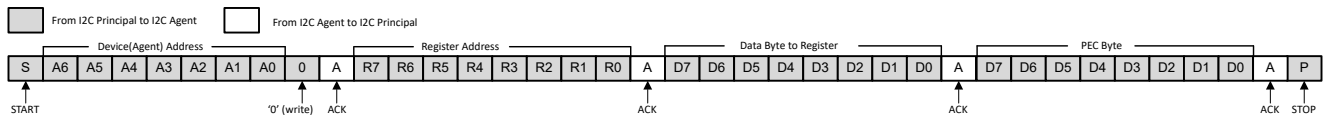


図 7-10. PEC があるシングル バイト書き込み

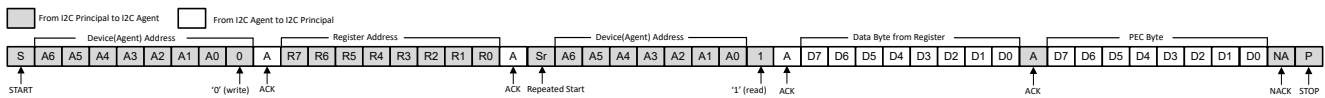


図 7-11. PEC があるシングル バイト読み取り

表 7-4 に、PEC 書き込みコマンドに関連するレジスタ、およびその結果のデバイス動作が示されています。表 7-5 に、PEC 読み取りコマンドに関連するレジスタ、およびその結果のデバイス動作が示されています。

表 7-4. PEC 書き込みの概要

EN_PEC	REQ_PEC	PEC_INT	割り込みステータス
0	x	x	書き込み動作では PEC バイトは必要なく、NIRQ のアサートは不要です。
1	0	x	PEC バイトが欠如している書き込みコマンドは OK と見なされ、書き込みコマンドが実行されて、I ² C の ACK が返されます。PEC が正しくない書き込みコマンドはエラーとして扱われ、書き込みコマンドは実行されず、I ² C NACK が発生します。NIRQ のアサートなし。
1	1	0	PEC が欠けている場合はエラーとして処理されます。正しい PEC バイトが供給された場合にのみ、書き込みコマンドが実行されます。I ² C 通信は、書き込みコマンドが実行されなくても、ACK で応答します。PEC が正しくない書き込みコマンドはエラーとして扱われ、書き込みコマンドは実行されず、I ² C NACK が発生します。NIRQ のアサートなし。
1	1	1	PEC が欠けている場合はエラーとして処理されます。正しい PEC バイトが供給された場合にのみ、書き込みコマンドが実行されます。I ² C 通信は、書き込みコマンドが実行されなくても、ACK で応答します。PEC が正しくない書き込みコマンドはエラーとして扱われ、書き込みコマンドは実行されず、I ² C NACK が発生します。PEC バイトが正しくない、または欠落している書き込みコマンドが試行されると、NIRQ がアサートされます。

表 7-5. PEC 読み取りの概要

EN_PEC	REQ_PEC	PEC_INT	割り込みステータス
0	x	x	I ² C 読み取り動作は、レジスタに保存されたデータによって異なり、I ² C 読み取りコマンドは対応する PEC バイトのレジスタに応答しません。
1	x	x	I ² C 読み取り操作は、レジスタに保存されたデータおよび対応する PEC バイトで応答します。

7.4.8 ウィンドウ ウォッチドッグ

TPS388C0x-Q1 には、WDE ピンによりウォッチドッグ タイマを有効化または無効化する機能があります。この機能により、ユーザーはウォッチドッグ タイマを無効にしてから、WDE ピンを使用してウォッチドッグ タイマを有効にできます。ウォッチドッグを有効化および無効化する機能は、初期化およびシャットダウン時に望ましくないウォッチドッグ フォルトを回避

するために役立ちます。WDE ピンが Low でウォッチドッグ タイマが無効になると、ピンでの変化に対して、直ちに応答が返されます。ウォッチドッグが無効から有効になると、スタートアップ遅延およびクローズ / オープン ウィンドウ シーケンスが発生します。

7.4.9 ウィンドウ ウォッチドッグ タイマ

このセクションには、ウィンドウ ウォッチドッグの動作モードに関する説明が含まれています。ウィンドウ ウォッチドッグは通常、従来型のウォッチドッグ タイマが不十分な安全重視のアプリケーションで採用されます。従来のウォッチドッグでは、リセットの発生を防ぐためにパルスを発行する必要がある最大時間があります。しかし、ウィンドウ ウォッチドッグでは、オープン ウィンドウでパルスを発行する必要があります。図 7-12 に、WDO がトリガされて Low にプルされるのを防止するために WDI パルスが発行される有効な領域が示されています。

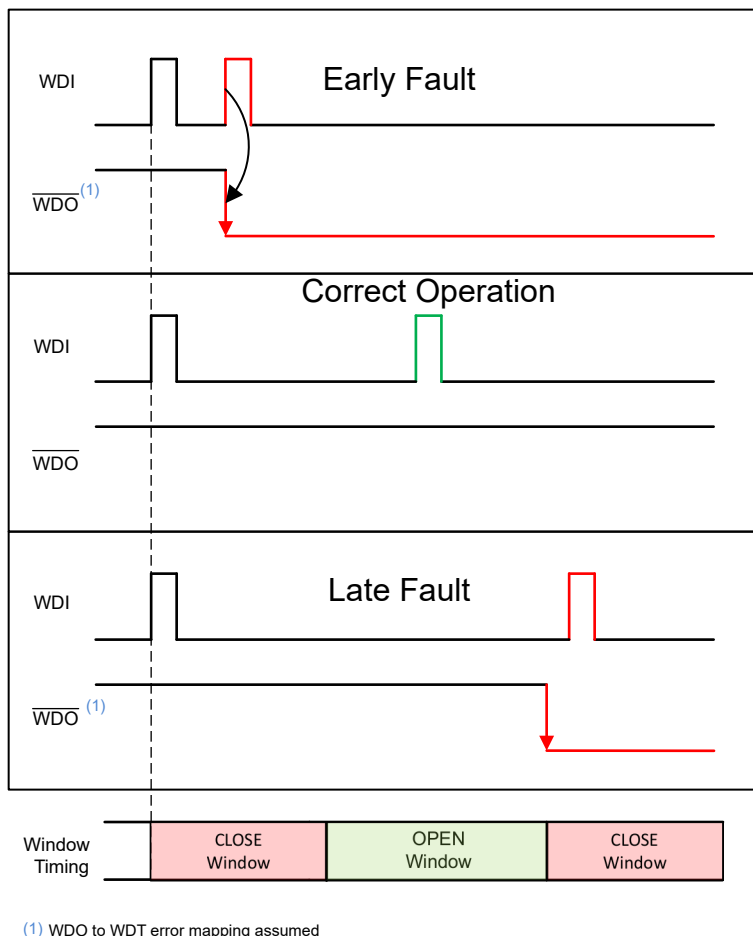


図 7-12. ウィンドウ ウォッチドッグ有効ウィンドウ

WDE が Low から High になると、ウォッチドッグはスタートアップ ウィンドウで動作を開始します。ウィンドウが期限切れになる前に、スタートアップ ウィンドウに WDI パルスが存在している必要があります。そうでない場合は不良なイベントとなります。有効な WDI パルスは、パルス幅が少なくとも 32μs の正の立ち上がりパルスです。スタートアップ遅延は、式 2 に従って、オープン ウィンドウとクローズ ウィンドウおよび WDT_Start_DLY_Multiplier[2:0] レジスタ値によって定義されます。

式 2 では、WDT_Startup_DLY_MULTIPLIER [2:0]、OPEN[7:0]、CLOSE[7:0] は 10 進形式で使用するものと仮定しています。

$$WD_StartUp_DLY = (WDT_Startup_DLY_MULTIPLIER[2:0] + 1) * (CLOSE[7:0] + OPEN[7:0]) \quad (2)$$

スタートアップ ウィンドウでパルスを受信すると、ウォッチドッグは直ちにクローズ ウィンドウに移動します。クローズ ウィンドウの固定時間経過後 (バンク 1 の I²C レジスタ 0xAB で設定)、ウォッチドッグはオープン ウィンドウに移行します。オープン ウィンドウ中、不良なイベントを回避するため、有効な WDI パルスが存在している必要があります。オープン ウィンドウで有効なパルスが登録されている場合は、クローズ ウィンドウが直ちに開始されます。オープン ウィンドウは動的と見なされ、WDI パルスが検知されたときに、ウィンドウ期間が決定されます。図 7-13 に示されているように、正常動作時のウォッチドッグは、オープン ウィンドウとクローズ ウィンドウ間をサイクルします。TPS388C0x-Q1 では、オープン ウィンドウとクローズ ウィンドウ遅延の精度が $\pm 5\%$ となっています。

図 7-13 に、正常動作時の WD 動作が示されています。各オープン ウィンドウに有効なパルスが存在し、WDI パルスが検知されたときにオープン ウィンドウの期間が決定されることに注意してください。クローズ ウィンドウは WDI パルスの立ち上がりエッジの直後に続き、オープン ウィンドウに有効なパルスが登録されている間、このサイクルは継続します。

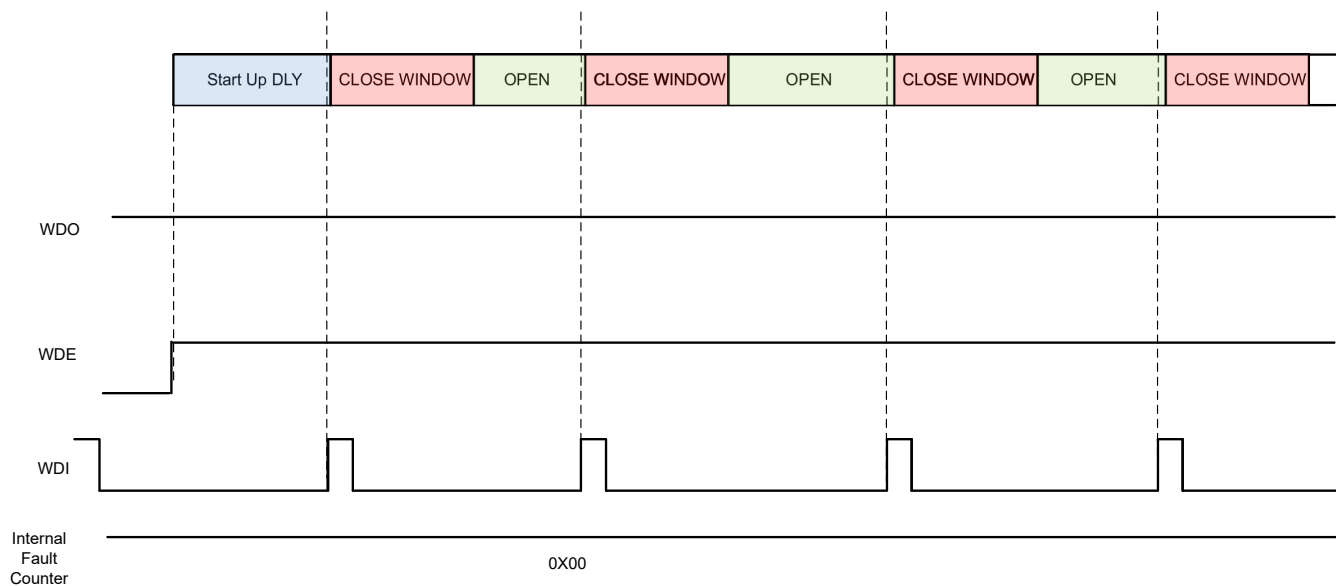


図 7-13. WD フォルトなし

オープン ウィンドウ中に有効なパルスが登録されない場合、TPS388C0x-Q1 は不良なイベントをログに記録し (オープン ウィンドウ タイムアウト後)、クローズ ウィンドウが繰り返されます。不良なイベント後、TPS388C0x-Q1 がフォルトを最大制限超過カウンタに記録すると、合計超過数がレジスタ MAX_Violation_COUNT[2:0] と比較されます。レジスタ MAX_Violation_COUNT[2:0] は、WDO (および任意のマッピングされたエラー出力) がアサートされる前に伝達されるフォルトの最大数を示します。レジスタは 1 ~ 7 のフォルトに設定できます。図 7-14 に示されているように、1 に設定すると、最初のフォルト イベントによって WDO がトリガされます。3 に設定すると、3 つのフォルトが発生してから、WDO (および任意のマッピングされたエラー出力) がアサートされます。NIRQ と NRST エラー出力はいずれも、IEN_VENDOR レジスタを使用してウォッチドッグ フォルトを通知するようにマッピングすることができます。良好なイベントでは、制限超過数がゼロになっていない場合は、超過数がデクリメントされることに注意してください。

図 7-14 に、MAX_Violation_COUNT[2:0] が 3 に設定されている場合のウォッチドッグ動作が示されています。この図では、NRST と NRST の両方がウォッチドッグ フォルトを通知するようにマッピングされており、タイムアウト機能を反映するように WDO がプログラムされています。オープン ウィンドウ期間中は、WDI パルスが検知されるタイミングによって決定され、WDI パルスが存在せずにウィンドウがタイムアウトした場合にのみ、オープン ウィンドウの全期間が表示されることに注意してください。同様に、スタートアップ ウィンドウの期間は、最初の WDI パルスが検知されたタイミングによって決定されます。スタートアップ ウィンドウの全期間が表示されるのは、WDI パルスが存在せずにウィンドウがタイムアウトした場合に限り、これはスタートアップ ウィンドウのタイムアウトが不良なイベントと見なされます。

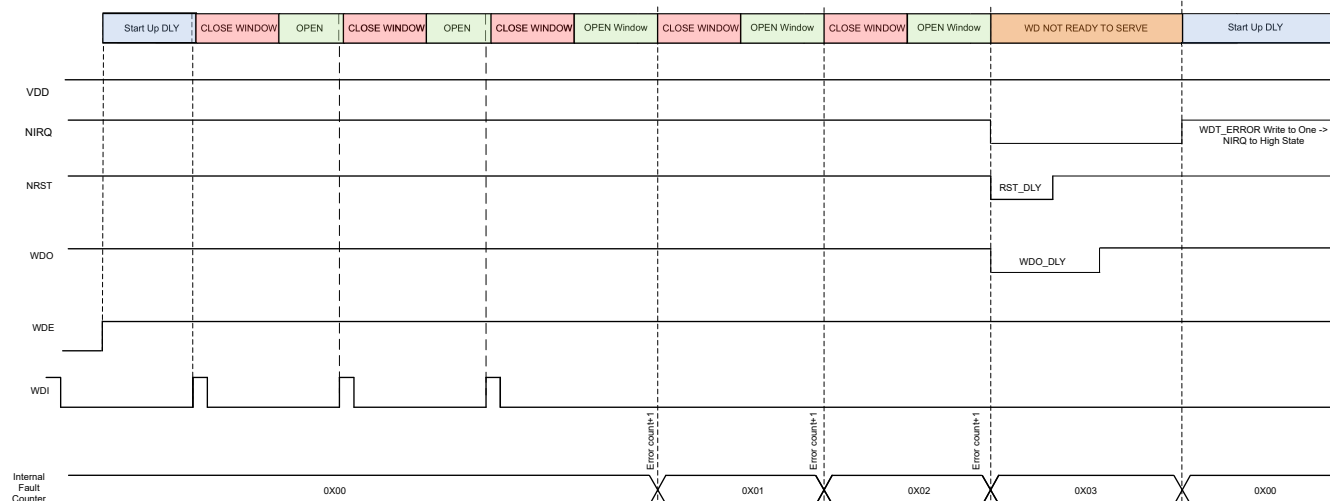


図 7-14. WD フォルト WDO タイムアウトと NRST NIRQ マッピング

7.5 レジスタマップ

7.5.1 レジスタの概要

レジスタ マップは、以下の構成で、レジスタ バンクを使用して最大 16 個のチャンネルをサポートするように設計されています。

- バンク 0 - ステータス レジスタ セットの概要:
 - ベンダ情報および使用レジスタ (バンクに非依存)
 - 割り込みレジスタ
 - ステータス レジスタ
 - バンク選択レジスタ (バンクに非依存)
 - 保護レジスタ (バンクに非依存)
 - デバイス構成レジスタ (バンクに非依存)
- バンク 1 チャンネル 2-7 構成レジスタセットの概要:
 - ベンダ情報および使用レジスタ (バンクに非依存)
 - 制御レジスタ (デバイス グローバル レジスタ)
 - モニタ構成レジスタ (チャンネル固有のレジスタ)
 - シーケンス構成レジスタ (デバイス グローバルおよびチャンネル固有のレジスタの両方)
 - バンク選択レジスタ (バンクに非依存)
 - 保護レジスタ (バンクに非依存)
 - デバイス構成レジスタ (バンクに非依存)

現在のバンクの選択に関係なく、バンクに非依存のレジスタは同じアドレスでアクセスできます。他のレジスタにアクセスするには、適切なバンクを選択する必要があります。

すべてのレジスタは 8 ビット幅で、ここに説明されているデフォルト値または工場出荷時にプログラムされた OTP 値が起動時にロードされます。OTP 値は X で表されます。これらの値は注文可能な構成によって異なります。

未使用のレジスタ アドレスは、以後の使用のために予約されており、最大 16 チャンネルをサポートします。

保護されたレジスタ (PROT1/2 の詳細を参照)、無効なレジスタ、または無効データが含まれている有効なレジスタへの書き込みアクセスは NACK されます。

7.5.1.1 BANK0 のレジスタ

BANK0 レジスタのメモリマップされたレジスタを、表 7-6 に示します。表 7-6 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-6. BANK0 のレジスタ

アドレス	略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0x10	INT_SRC	F_OTHER	RSVD				TEST	制御	モニタ
0x11	INT_MONITOR	OVHF						RSVD	UVHF
0x12	INT_UVHF	F_UVHF[7]		F_UVHF[6]	F_UVHF[5]	F_UVHF[4]	F_UVHF[3]	F_UVHF[2]	RSVD
0x16	INT_OVHF	F_OVHF[7]		F_OVHF[6]	F_OVHF[5]	F_OVHF[4]	F_OVHF[3]	F_OVHF[2]	RSVD
0x22	INT_CONTROL	F_CRC				F_NIRQ	F_TSD	RSVD	F_PEC
0x23	INT_TEST	RSVD				ECC_SEC	ECC_DED	BIST_Complete_INT	BIST_Fail_INT
0x24	INT_VENDOR	Self-Test_CRC	LDO_OV_Error	NRST_MISMATCH	Freq_DEV_Error	SHORT_DET	OPEN_DET	RSVD	WDT_ERROR
0x30	VMON_STAT	FAILSAFE	ST_BIST_C	ST_VDD	ST_NIRQ	アクティブ		RSVD	
0x31	TEST_INFO	RSVD		ECC_SEC	ECC_DED	BIST_VM	BIST_NVM	BIST_L	BIST_A
0x32	OFF_STAT	MON[7]		MON[6]	MON[5]	MON[4]	MON[3]	MON[2]	RSVD
0xF0	BANK_SEL	RSVD							BANK_Select
0xF1	PROT1	WRKC			RSVD	CFG	IEN	MON	SEQ
0xF2	PROT2	WRKC			RSVD	CFG	IEN	MON	SEQ
0xF3	PROT_MON	MON[7]		MON[6]	MON[5]	MON[4]	MON[3]	MON[2]	RSVD
0xF9	I2C_ADDR	RSVD	ADDR_NVM[3:0]				ADDR_STRAP[2:0]		

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-7 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-7. BANK0 のアクセス タイプ コード

アクセス タイプ	表記	概要
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
W1C	W1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.5.1.1.1 INT_SRC レジスタ (アドレス = 0x10) [リセット = 0x00]

表 7-8 に、INT_SRC が示されています。

概略表に戻ります。

グローバル割り込みソース ステータス レジスタ。

表 7-8. INT_SRC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	F_OTHER	R	0b	ベンダー内部定義のフォルト。詳細は、INT_Vendor に報告されています。INT_Vendor のすべてのビットの論理和の値を表します。 0 = ベンダ定義のフォルトは未検出 1 = ベンダ定義のフォルトを検出済み
6:3	RSVD	R	0000b	RSVD
2	TEST	R	0b	内部テストまたは構成ロード フォルト。詳細は、INT_TEST に報告されています。INT_TEST のすべてのビットの論理和の値を表します。 0 = テスト / 構成フォルトは未検出 1 = テスト / 構成フォルトを検出済み
1	制御	R	0b	制御ステータスまたは通信フォルト詳細は、INT_CONTROL に報告されています。INT_CONTROL のすべてのビットの論理和の値を表します。 0 = ステータスまたは通信フォルトが検出されていない 1 = ステータスまたは通信フォルトを検出済み
0	モニタ	R	0b	電圧モニタ フォルト。詳細は、INT_MONITOR に報告されています。INT_MONITOR のすべてのビットの論理和の値を表します。 0 = 電圧フォルトは未検出 1 = 電圧フォルトを検出済み

7.5.1.1.2 INT_MONITOR レジスタ (アドレス = 0x11) [リセット = 0x00]

表 7-9 に、INT_MONITOR が示されています。

概略表に戻ります。

電圧監視割り込みステータス レジスタ。

表 7-9. INT_MONITOR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:3	RSVD	R	00000b	RSVD
2	OVHF	R	0b	コンパレータ ベースの監視によって報告された過電圧高周波フォルト。詳細は、INT_OVHF に報告されています。INT_OVHF のすべてのビットの論理和の値を表します。 0 = OVHF フォルトは未検出 1 = OVHF フォルトを検出済み
1	RSVD	R	0b	RSVD
0	UVHF	R	0b	コンパレータ ベースの監視によって報告された低電圧高周波フォルト。詳細は、INT_UVHF に報告されています。INT_UVHF のすべてのビットの論理和の値を表します。 0 = UVHF フォルトは未検出 1 = UVHF フォルトを検出済み

7.5.1.1.3 INT_UVHF レジスタ (アドレス = 0x12) [リセット = 0x00]

表 7-10 に、INT_UVHF が示されています。

概略表に戻ります。

高周波数チャネル低電圧割り込みステータス レジスタ。

表 7-10. INT_UVHF レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	RSVD	R	0b	RSVD

表 7-10. INT_UVHF レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
6	F_UVHF[7]	R/W1C	0b	<p>MON7 の低電圧高周波フォルト。MON7 高周波信号が UVHF[7] を下回るとトリップします。</p> <p>0 = MON7 に UVHF フォルトは未検出 (または IEN_UVHF レジスタで割り込みが無効)</p> <p>1 = MON7 に UVHF フォルトを検出済み</p> <p>フォルト状態が回復してもビットはクリアされません。ホストの W1C (1 を書き込むことでビットをクリア) 動作によってのみ、このフォルトがクリアされます。UVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON7 高周波信号が UVHF[7] を上回っている場合)。</p>
5	F_UVHF[6]	R/W1C	0b	<p>MON6 の低電圧高周波フォルト。MON6 高周波信号が UVHF[6] を下回るとトリップします。</p> <p>0 = MON6 に UVHF フォルトは未検出 (または IEN_UVHF レジスタで割り込みが無効)</p> <p>1 = MON6 に UVHF フォルトを検出済み</p> <p>フォルト状態が回復してもビットはクリアされません。ホストの W1C (1 を書き込むことでビットをクリア) 動作によってのみ、このフォルトがクリアされます。UVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON6 高周波信号が UVHF[6] を上回っている場合)。</p>
4	F_UVHF[5]	R/W1C	0b	<p>MON5 の低電圧高周波フォルト。MON5 高周波信号が UVHF[5] を下回るとトリップします。</p> <p>0 = MON5 に UVHF フォルトは未検出 (または IEN_UVHF レジスタで割り込みが無効)</p> <p>1 = MON5 に UVHF フォルトを検出済み</p> <p>フォルト状態が回復してもビットはクリアされません。ホストの W1C (1 を書き込むことでビットをクリア) 動作によってのみ、このフォルトがクリアされます。UVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON5 高周波信号が UVHF[5] を上回っている場合)。</p>
3	F_UVHF[4]	R/W1C	0b	<p>MON4 の低電圧高周波フォルト。MON4 高周波信号が UVHF[4] を下回るとトリップします。</p> <p>0 = MON4 に UVHF フォルトは未検出 (または IEN_UVHF レジスタで割り込みが無効)</p> <p>1 = MON4 に UVHF フォルトを検出済み</p> <p>フォルト状態が回復してもビットはクリアされません。ホストの W1C (1 を書き込むことでビットをクリア) 動作によってのみ、このフォルトがクリアされます。UVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON4 高周波信号が UVHF[4] を上回っている場合)。</p>
2	F_UVHF[3]	R/W1C	0b	<p>MON3 の低電圧高周波フォルト。MON3 高周波信号が UVHF[3] を下回るとトリップします。</p> <p>0 = MON3 に UVHF フォルトは未検出 (または IEN_UVHF レジスタで割り込みが無効)</p> <p>1 = MON3 に UVHF フォルトを検出済み</p> <p>フォルト状態が回復してもビットはクリアされません。ホストの W1C (1 を書き込むことでビットをクリア) 動作によってのみ、このフォルトがクリアされます。UVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON3 高周波信号が UVHF[3] を上回っている場合)。</p>

表 7-10. INT_UVHF レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
1	F_UVHF[2]	R/W1C	0b	MON2 の低電圧高周波フォルト。MON2 高周波信号が UVHF[2] を下回るとトリップします。 0 = MON2 に UVHF フォルトは未検出 (または IEN_UVHF レジスタで割り込みが無効) 1 = MON2 に UVHF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストの W1C (1 を書き込むことでビットをクリア) 動作によってのみ、このフォルトがクリアされます。UVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON2 高周波信号が UVHF[2] を上回っている場合)。
0	RSVD	R	0b	RSVD

7.5.1.1.4 INT_OVHF レジスタ (アドレス = 0x16) [リセット = 0x00]

表 7-11 に、INT_OVHF が示されています。

概略表に戻ります。

高周波チャネル過電圧割り込みステータス レジスタ

表 7-11. INT_OVHF レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	RSVD	R	0b	RSVD
6	F_OVHF[7]	R/W1C	0b	MON7 の過電圧高周波フォルト。MON7 高周波信号が OVHF[7] を上回るとトリップします。 0 = MON7 に OVHF フォルトは未検出 (または IEN_OVHF レジスタで割り込みが無効) 1 = MON7 に OVHF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストの W1C (1 を書き込むことでビットをクリア) 動作によってのみ、このフォルトがクリアされます。OVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON7 高周波信号が OVHF[7] を下回っている場合)。
5	F_OVHF[6]	R/W1C	0b	MON6 の過電圧高周波フォルト。MON6 高周波信号が OVHF[6] を上回るとトリップします。 0 = MON6 に OVHF フォルトは未検出 (または IEN_OVHF レジスタで割り込みが無効) 1 = MON6 に OVHF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストの W1C (1 を書き込むことでビットをクリア) 動作によってのみ、このフォルトがクリアされます。OVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON6 高周波信号が OVHF[6] を下回っている場合)。
4	F_OVHF[5]	R/W1C	0b	MON5 の過電圧高周波フォルト。MON5 高周波信号が OVHF[5] を上回るとトリップします。 0 = MON5 に OVHF フォルトは未検出 (または IEN_OVHF レジスタで割り込みが無効) 1 = MON5 に OVHF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストの W1C (1 を書き込むことでビットをクリア) 動作によってのみ、このフォルトがクリアされます。OVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON5 高周波信号が OVHF[5] を下回っている場合)。

表 7-11. INT_OVHF レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
3	F_OVHF[4]	R/W1C	0b	MON4 の過電圧高周波フォルト。MON4 高周波信号が OVHF[4] を上回るとトリップします。 0 = MON4 に OVHF フォルトは未検出 (または IEN_OVHF レジスタで割り込みが無効) 1 = MON4 に OVHF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストの W1C (1 を書き込むことでビットをクリア) 動作によってのみ、このフォルトがクリアされます。OVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON4 高周波信号が OVHF[4] を下回っている場合)
2	F_OVHF[3]	R/W1C	0b	MON3 の過電圧高周波フォルト。MON3 高周波信号が OVHF[3] を上回るとトリップします。 0 = MON3 に OVHF フォルトは未検出 (または IEN_OVHF レジスタで割り込みが無効) 1 = MON3 に OVHF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストの W1C (1 を書き込むことでビットをクリア) 動作によってのみ、このフォルトがクリアされます。OVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON3 高周波信号が OVHF[3] を下回っている場合)
1	F_OVHF[2]	R/W1C	0b	MON2 の過電圧高周波フォルト。MON2 高周波信号が OVHF[2] を上回るとトリップします。 0 = MON2 に OVHF フォルトは未検出 (または IEN_OVHF レジスタで割り込みが無効) 1 = MON2 に OVHF フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストの W1C (1 を書き込むことでビットをクリア) 動作によってのみ、このフォルトがクリアされます。OVHF フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます (MON2 高周波信号が OVHF[2] を下回っている場合)
0	RSVD	R	0b	RSVD

7.5.1.1.5 INT_CONTROL レジスタ (アドレス = 0x22) [リセット = 0x00]

表 7-12 に、INT_CONTROL が示されています。

概略表に戻ります。

制御および通信割り込みステータス レジスタ。

表 7-12. INT_CONTROL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:5	RSVD	R	000b	RSVD
4	F_CRC	R/W1C	0b	ランタイム レジスタ CRC フォルト: 0 = フォルトは未検出 (または IEN_CONTROL_RT_CRC が無効) 1 = レジスタ CRC フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストの W1C (1 を書き込むことでビットをクリア) 動作によってのみ、このフォルトがクリアされます。W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。同じフォルトが検出された場合、次のレジスタ CRC チェック中に、このビットが再度設定されます

表 7-12. INT_CONTROL レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
3	F_NIRQ	R/W1C	0b	割り込みピン フォルト (フォルトビットは常に有効、イネーブル ビットなし): 0 = NIRQ ピンでフォルトは未検出 1 = NIRQ ピンで電源への低抵抗パスを検出済み フォルト状態が回復してもビットはクリアされません。ホストの W1C (1 を書き込むことでビットをクリア) 動作によってのみ、このフォルトがクリアされます。NIRQ フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。
2	F_TSD	R/W1C	0b	サーマル シャットダウン フォルト: 0 = TSD フォルトは未検出 (または IEN_CONTROL.TSD が無効) 1 = TSD フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストの W1C (1 を書き込むことでビットをクリア) 動作によってのみ、このフォルトがクリアされます。TSD フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。
1	RSVD	R	0b	RSVD
0	F_PEC	R/W1C	0b	パケット エラー チェック フォルト: 0 = PEC 不一致は未発生 (または IEN_CONTROL.PEC が無効) 1 = PEC 不一致が発生、または VMON_MISC.REQ_PEC = 1 および PEC が書き込みトランザクションで欠落 フォルト状態が回復してもビットはクリアされません。ホストの W1C (1 を書き込むことでビットをクリア) 動作によってのみ、このフォルトがクリアされます。W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。同じフォルトが検出されると、次の I2C トランザクション中にこのビットが再び設定されます。

7.5.1.1.6 INT_TEST レジスタ (アドレス = 0x23) [リセット = 0x00]

表 7-13 に、INT_TEST が示されています。

概略表に戻ります。

内部テストおよび構成ロード割り込みステータスレジスタ。

表 7-13. INT_TEST レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:4	RSVD	R	0000b	RSVD
3	ECC_SEC	R/W1C	0b	OTP 構成ロードで ECC 単一エラーを訂正: 0 = シングル エラーは未訂正 (または IEN_TEST.ECC_SEC が無効) 1 = シングル エラーを訂正済み W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。同じフォルトが検出されると、次の OTP 構成ロード時にこのビットが再度設定されます。
2	ECC_DED	R/W1C	0b	OTP 構成ロードでの ECC ダブル エラーを検出済み: 0 = OTP ロードでのダブル エラーは未検出 1 = OTP ロードでのダブル エラーを検出済み フォルトビットは常に有効です (関連付けられる割り込みイネーブル ビットはありません)。ダブル エラー検出時に、デバイスはフェイルセーフ モードに移行します。
1	BIST_Complete_INT	R/W1C	0b	内蔵セルフ テスト完了の表示: 0 = BIST は未完了 (または IEN_TEST.BIST_C が無効) 1 = BIST を完了済み W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。次の BIST 実行が完了すると、このビットが再び設定されます

表 7-13. INT_TEST レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
0	BIST_Fail_INT	R/W1C	0b	<p>内蔵セルフ テスト フォルト:</p> <p>0 = BIST フォルトは未検出 (または IEN_TEST.BIST が無効)</p> <p>1 = BIST フォルトを検出済み</p> <p>W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。フォルトが検出されると、次の BIST 実行時にこのビットが再び設定されます</p>

7.5.1.1.7 INT_VENDOR レジスタ (アドレス = 0x24) [リセット = 0x00]

表 7-14 に、INT_VENDOR が示されています。

概略表に戻ります。

ベンダ固有の内部割り込みステータス レジスタ。

表 7-14. INT_VENDOR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	Self-Test_CRC	R/W1C	0b	<p>スタートアップ レジスタ CRC セルフ テスト。</p> <p>0 = セルフ テスト合格</p> <p>1 = セルフ テスト不合格</p> <p>W1C (1 を書き込むことでビットをクリア) でフォルトがクリアされます。</p>
6	LDO_OV_Error	R/W1C	0b	<p>内部 LDO 過電圧エラー。</p> <p>0 = 内部 LDO 過電圧フォルトは未検出</p> <p>1 = 内部 LDO 過電圧フォルトを検出済み</p> <p>フォルト状態が回復してもビットはクリアされません。ホストの W1C (1 を書き込むことでビットをクリア) 動作によってのみ、このフォルトがクリアされます。LDO フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。</p>
5	NRST_MISMATCH	R/W1C	0b	<p>駆動状態と読み戻しによるエラーを指定します。NRST トグルの間、2μs の後で NRST 不一致がアクティブになります。ロジック High 状態と見なされるには、NRST が 0.6*VDD を超えている必要があります。</p> <p>0 = NRST ピンでのフォルトは未検出</p> <p>1 = 駆動状態と読み戻しによるエラー。</p> <p>フォルト状態が回復してもビットはクリアされません。ホストの W1C (1 を書き込むことでビットをクリア) 動作によってのみ、このフォルトがクリアされます。NRST フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。</p>
4	Freq_DEV_Error	R/W1C	0b	<p>内部周波数誤差を指定します。</p> <p>0 = 内部周波数フォルトは未検出</p> <p>1 = 内部周波数フォルトを検出済み</p> <p>フォルト状態が回復してもビットはクリアされません。ホストの W1C (1 を書き込むことでビットをクリア) 動作によってのみ、このフォルトがクリアされます。周波数フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。</p>
3	SHORT_DET	R/W1C	0b	<p>アドレス ピン短絡検出。</p> <p>0 = 内部アドレス ピン短絡フォルトは未検出</p> <p>1 = 内部アドレス ピン短絡フォルトを検出済み</p> <p>フォルト状態が回復してもビットはクリアされません。ホストの W1C (1 を書き込むことでビットをクリア) 動作によってのみ、このフォルトがクリアされます。内部アドレス ピン短絡フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。</p>

表 7-14. INT_VENDOR レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
2	OPEN_DET	R/W1C	0b	アドレス ビン開放検出。 0 = 内部アドレス ビン開放フォルトは未検出 1 = 内部アドレス ビン開放フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストの W1C (1 を書き込むことでビットをクリア) 動作によってのみ、このフォルトがクリアされます。内部アドレス ビンの開放フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。
1	RSVD	R	0b	RSVD
0	WDT_ERROR	R/W1C	0b	ウォッチドッグ フォルトの表示。 0 = 内部ウォッチドッグ フォルトは未検出 1 = 内部ウォッチドッグ フォルトを検出済み フォルト状態が回復してもビットはクリアされません。ホストの W1C (1 を書き込むことでビットをクリア) 動作によってのみ、このフォルトがクリアされます。内部ウォッチドッグ フォルト状態も解消された場合にのみ、W1C (1 を書き込むことでビットをクリア) でビットがクリアされます。

7.5.1.1.8 VMON_STAT レジスタ (アドレス = 0x30) [リセット = 0x00]

表 7-15 に、VMON_STAT が示されています。

[概略表](#)に戻ります。

内部動作およびその他の重要な状態のステータス フラグ。

表 7-15. VMON_STAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	FAILSAFE	R	0b	1 = デバイスが FAILSAFE 状態
6	ST_BIST_C	R	0b	内蔵セルフ テストの状態: 0 = BIST は未完了 1 = BIST を完了済み
5	ST_VDD	R	0b	ステータス VDD
4	ST_NIRQ	R	0b	ステータス NIRQ ビン
3	RSVD	R	0b	RSVD
2	アクティブ	R	0b	1 = デバイスは ACTIVE 状態
1	RSVD	R	0b	RSVD
0	RSVD	R	0b	RSVD

7.5.1.1.9 TEST_INFO レジスタ (アドレス = 0x31) [リセット = 0x00]

表 7-16 に、TEST_INFO が示されています。

[概略表](#)に戻ります。

内部セルフ テストおよび ECC 情報。

表 7-16. TEST_INFO レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:6	RSVD	R	00b	RSVD
5	ECC_SEC	R	0b	OTP 構成ロードでの ECC シングル エラー訂正のステータス。 0 = エラー訂正は未適用 1 = シングル エラー訂正を適用済み

表 7-16. TEST_INFO レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
4	ECC_DED	R	0b	OTP 構成ロードでの ECC ダブル エラー検出のステータス。 0 = ダブル エラーは未検出 1 = ダブル エラーを検出済み
3	BIST_VM	R	0b	BIST からの揮発性メモリ テスト出力のステータス。 0 = 揮発性メモリ テスト合格 1 = 揮発性メモリ テスト不合格
2	BIST_NVM	R	0b	BIST からの不揮発性メモリ テスト出力のステータス。 0 = 不揮発性メモリ テスト合格 1 = 不揮発性メモリ テスト不合格
1	BIST_L	R	0b	BIST からのロジック テスト出力のステータス。 0 = ロジック テスト合格 1 = ロジック テスト不合格
0	BIST_A	R	0b	BIST からのアナログ テスト出力のステータス。 0 = アナログ テスト合格 1 = アナログ テスト不合格

7.5.1.1.10 OFF_STAT レジスタ (アドレス = 0x32) [リセット = 0x00]

表 7-17 に、OFF_STAT が示されています。

概略表に戻ります。

チャンネル OFF のステータス。

表 7-17. OFF_STAT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	RSVD	R	0b	RSVD
6	MON[7]	R	0b	各チャンネルの OFF ステータスを表します: 0 = チャンネル 7 は OFF でない 1 = チャンネル 7 はオフである (OFF スレッショルド未滿)
5	MON[6]	R	0b	各チャンネルの OFF ステータスを表します: 0 = チャンネル 6 は OFF でない 1 = チャンネル 6 はオフである (OFF スレッショルド未滿)
4	MON[5]	R	0b	各チャンネルの OFF ステータスを表します: 0 = チャンネル 5 は OFF でない 1 = チャンネル 5 はオフである (OFF スレッショルド未滿)
3	MON[4]	R	0b	各チャンネルの OFF ステータスを表します: 0 = チャンネル 4 は OFF でない 1 = チャンネル 4 はオフである (OFF スレッショルド未滿)
2	MON[3]	R	0b	各チャンネルの OFF ステータスを表します: 0 = チャンネル 3 は OFF でない 1 = チャンネル 3 はオフである (OFF スレッショルド未滿)
1	MON[2]	R	0b	各チャンネルの OFF ステータスを表します: 0 = チャンネル 2 は OFF でない 1 = チャンネル 2 はオフである (OFF スレッショルド未滿)
0	RSVD	R	0b	RSVD

7.5.1.1.11 BANK_SEL レジスタ (アドレス = 0xF0) [リセット = 0x00]

表 7-18 に、BANK_SEL が示されています。

概略表に戻ります。

バンクの選択。

表 7-18. BANK_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:1	RSVD	R/W	0000000b	RSVD
0	BANK_Select	R/W	0b	バンクの選択を表します。 0 = バンク 0 1 = バンク 1

7.5.1.1.12 PROT1 レジスタ (アドレス = 0xF1) [リセット = 0x00]

PROT1 を表 7-19 に示します。

[概略表](#)に戻ります。

保護選択レジスタ。レジスタ グループを書き込み保護するには、ホストは両方のレジスタの関連ビットを設定する必要があります。セキュリティのため、レジスタ PROT1 および PROT2 は POR 値を 0x00 にする必要があり、パワー サイクルまでに設定した後は読み出し専用になります。1 に設定されると、ホストから 0 にクリアすることはできません。以下により、クリアできます (および各種の VMON レジスタ構成を書き込み可能にします)。シーケンス 2 を終了するとき (TEST_CFG.AT_SHDN = 1 の場合)、VMON_CTL.RESET BIST によるパワー サイクルでリセットを実行します。

表 7-19. PROT1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:6	RSVD	R	00b	RSVD
5	WRKC	R/W	0b	WRKC グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない
4	RSVD	R	0b	RSVD
3	CFG	R/W	0b	CFG グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない
2	IEN	R/W	0b	IEN グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない
1	MON	R/W	0b	MON グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない
0	SEQ	R/W	0b	SEQ グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない

7.5.1.1.13 PROT2 レジスタ (アドレス = 0xF2) [リセット = 0x00]

PROT2 を表 7-20 に示します。

[概略表](#)に戻ります。

保護選択レジスタ。レジスタ グループを書き込み保護するには、ホストは両方のレジスタの関連ビットを設定する必要があります。セキュリティのため、レジスタ PROT1 および PROT2 は POR 値を 0x00 にする必要があり、パワー サイクルまで

に設定した後は読み出し専用になります。1 に設定されると、ホストから 0 にクリアすることはできません。以下により、クリアできます (および各種の VMON レジスタ構成を書き込み可能にします)。シーケンス 2 を終了するとき (TEST_CFG.AT_SHDN = 1 の場合)、VMON_CTL.RESET BIST によるパワー サイクルでリセットを実行します。

表 7-20. PROT2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:6	RSVD	R	00b	RSVD
5	WRKC	R/W	0b	CFG グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない
4	RSVD	R	0b	RSVD
3	CFG	R/W	0b	CFG グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない
2	IEN	R/W	0b	IEN グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない
1	MON	R/W	0b	MON グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない
0	SEQ	R/W	0b	SEQ グループの書き込みからの保護を表します。PROT1 と PROT2 の両方を保護の目的で設定する必要があります。 0 = レジスタを変更できる 1 = レジスタを変更できない

7.5.1.1.14 PROT_MON レジスタ (アドレス = 0xF3) [リセット = 0x00]

表 7-21 に、PROT_MON が示されています。

概略表に戻ります。

PROT1 および PROT2 と並行して MON レジスタをロックします。

表 7-21. PROT_MON レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	RSVD	R	0b	RSVD
6	MON[7]	R/W	0b	PROT1 および PROT2 とともに書き込みから MON7 を保護します。 0 = 変更できる 1 = 変更できない
5	MON[6]	R/W	0b	PROT1 および PROT2 とともに書き込みから MON6 を保護します。 0 = 変更できる 1 = 変更できない
4	MON[5]	R/W	0b	PROT1 および PROT2 とともに書き込みから MON5 を保護します。 0 = 変更できる 1 = 変更できない
3	MON[4]	R/W	0b	PROT1 および PROT2 とともに書き込みから MON4 を保護します。 0 = 変更できる 1 = 変更できない
2	MON[3]	R/W	0b	PROT1 および PROT2 とともに書き込みから MON3 を保護します。 0 = 変更できる 1 = 変更できない

表 7-21. PROT_MON レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
1	MON[2]	R/W	0b	PROT1 および PROT2 とともに書き込みから MON2 を保護します。 0 = 変更できる 1 = 変更できない
0	RSVD	R	0b	RSVD

7.5.1.1.15 I2C ADDR レジスタ (アドレス = 0xF9) [リセット = 0x00]

表 7-22 に、I2C ADDR が示されています。

[概略表](#)に戻ります。

I2C アドレス

表 7-22. I2C ADDR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	RSVD	R	0b	RSVD
6:3	ADDR_NVM[3:0]	R	0000b	HASH(0x555fa8296158)
2:0	ADDR_STRAP[2:0]	R	000b	HASH(0x555fa82b52e8)

7.5.1.2 BANK1 のレジスタ

BANK1 レジスタのメモリマップされたレジスタを、表 7-23 に示します。表 7-23 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-23. BANK1 のレジスタ

アドレス	略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0x10	VMON_CTL	FORCE_WDO_LOW				RESET_PR OT	RSVD		FORCE_NI RQ_LOW
0x11	VMON_MISC	WDO_DLY[2:0]				RSVD		REQ_PEC	EN_PEC
0x12	TEST_CFG	RSVD					AT_SHDN	AT_POR[1]	AT_POR[0]
0x13	IEN_UVHF	MON[7]		MON[6]	MON[5]	MON[4]	MON[3]	MON[2]	RSVD
0x15	IEN_OVHF	MON[7]		MON[6]	MON[5]	MON[4]	MON[3]	MON[2]	RSVD
0x1B	IEN_CONTROL	RT_CRC_Int				TSD_INT		RSVD	PEC_INT
0x1C	IEN_TEST	ECC_SEC					RSVD	BIST_Compl ete_INT	BIST_Fail_I NT
0x1D	IEN_VENDOR	スタートアッ プ Self- Test_CRC	予約済み	NRST_MIS MATCH	予約済み		WDT_TO_N IRQ	RSVD	WDT_TO_N RST
0x1E	MON_CH_EN	MON[7]		MON[6]	MON[5]	MON[4]	MON[3]	MON[2]	RSVD
0x1F	VRANGE_MULT	MON[7]		MON[6]	MON[5]	MON[4]	MON[3]	MON[2]	RSVD
0x30	UV_HF[2]	THRESHOLD[7:0]							
0x31	OV_HF[2]	THRESHOLD[7:0]							
0x34	FLT_HF[2]	OV_DEB[3:0]				UV_DEB[3:0]			
0x35	FC_LF[2]	OVHF_TO_NRST				UVHF_TO_ NRST	RSVD		
0x40	UV_HF[3]	THRESHOLD[7:0]							
0x41	OV_HF[3]	THRESHOLD[7:0]							
0x44	FLT_HF[3]	OV_DEB[3:0]				UV_DEB[3:0]			
0x45	FC_LF[3]	OVHF_TO_NRST				UVHF_TO_ NRST	RSVD		
0x50	UV_HF[4]	THRESHOLD[7:0]							
0x51	OV_HF[4]	THRESHOLD[7:0]							
0x54	FLT_HF[4]	OV_DEB[3:0]				UV_DEB[3:0]			
0x55	FC_LF[4]	OVHF_TO_NRST				UVHF_TO_ NRST	RSVD		
0x60	UV_HF[5]	THRESHOLD[7:0]							
0x61	OV_HF[5]	THRESHOLD[7:0]							
0x64	FLT_HF[5]	OV_DEB[3:0]				UV_DEB[3:0]			
0x65	FC_LF[5]	OVHF_TO_NRST				UVHF_TO_ NRST	RSVD		
0x70	UV_HF[6]	THRESHOLD[7:0]							
0x71	OV_HF[6]	THRESHOLD[7:0]							
0x74	FLT_HF[6]	OV_DEB[3:0]				UV_DEB[3:0]			
0x75	FC_LF[6]	OVHF_TO_NRST				UVHF_TO_ NRST	RSVD		
0x80	UV_HF[7]	THRESHOLD[7:0]							
0x81	OV_HF[7]	THRESHOLD[7:0]							
0x84	FLT_HF[7]	OV_DEB[3:0]				UV_DEB[3:0]			
0x85	FC_LF[7]	OVHF_TO_NRST				UVHF_TO_ NRST	RSVD		

表 7-23. BANK1 のレジスタ (続き)

アドレス	略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0x9F	TI_CONTROL	ENTER_BIS T	WDT_EN	I2C_MR	RSVD		RST_DLY[2:0]		
0xA1	AMSK_ON	MON[7]		MON[6]	MON[5]	MON[4]	MON[3]	MON[2]	RSVD
0xA2	AMSK_OFF	MON[7]		MON[6]	MON[5]	MON[4]	MON[3]	MON[2]	RSVD
0xA5	SEQ_TOUT_MS B	MILLISEC[15:8]							
0xA6	SEQ_TOUT_LS B	MILLISEC[7:0]							
0xA8	SEQ_UP_THLD	MON[7]		MON[6]	MON[5]	MON[4]	MON[3]	MON[2]	RSVD
0xA9	SEQ_DN_THLD	MON[7]		MON[6]	MON[5]	MON[4]	MON[3]	MON[2]	RSVD
0xAA	WDT_CFG	MAX_VIOLATION_COUNT				RSVD		WDT_Startup_DLY_MULTIPLIER[2:0]	
0xAB	WDT_CLOSE	CLOSE[7:0]							
0xAC	WDT_OPEN	OPEN[7:0]							
0xF0	BANK_SEL	RSVD							BANK_Sele ct

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-24 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-24. BANK1 のアクセス タイプ コード

アクセス タイプ	表記	概要
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

7.5.1.2.1 VMON_CTL レジスタ (アドレス = 0x10) [リセット = 0x00]

表 7-25 に、VMON_CTL が示されています。

概略表に戻ります。

VMON デバイス制御レジスタ。

表 7-25. VMON_CTL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:5	RSVD	R/W	000b	RSVD
4	FORCE_WDO_LOW	R/W	0b	1 を書き込むと、WDO が強制的にアサートされます
3	RESET_PROT	R/W	0b	1 を書き込むと、保護レジスタがクリアされます
2:1	RSVD	R/W	00b	RSVD
0	FORCE_NIRQ_LOW	R/W	0b	1 を書き込むと、NIRQ が強制的にアサートされます

7.5.1.2.2 VMON_MISC レジスタ (アドレス = 0x11) [リセット = 0xXX]

表 7-26 に、VMON_MISC が示されています。

[概略表](#)に戻ります。

その他の VMON 構成。

表 7-26. VMON_MISC レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	RSVD	R/W	0b	RSVD
6:4	WDO_DLY[2:0]	R/W	xxx b	WDO_Delay (ラッチ付き WDO には適用されません) 000 = 1ms 001 = 2ms 010 = 5ms 011 = 10ms 100 = 20ms 101 = 50ms 110 = 100ms 111 = 200ms
3:2	RSVD	R/W	00 b	RSVD
1	REQ_PEC	R/W	x b	PEC が必要です。 0 = PEC 不要 1 = PEC 必要
0	EN_PEC	R/W	x b	PEC をイネーブルにします。 0 = PEC 無効 1 = PEC 有効

7.5.1.2.3 TEST_CFG レジスタ (アドレス = 0x12) [リセット = 0x0X]

[表 7-27](#) に、TEST_CFG が示されています。

[概略表](#)に戻ります。

内蔵セルフ テスト (BIST) 実行構成。

表 7-27. TEST_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:3	RSVD	R/W	00000 b	RSVD
2	AT_SHDN	R/W	x b	SHDN で BIST を実行、 0 = 無効、 1 = 有効
1	AT_POR[1]	R/W	x b	POR で BIST を実行し、2 番目のビットに冗長性を確保、 0 = 無効、 1 = 有効
0	AT_POR[0]	R/W	x b	POR で BIST を実行、 0 = 無効、 1 = 有効

7.5.1.2.4 IEN_UVHF レジスタ (アドレス = 0x13) [リセット = 0xXX]

[表 7-28](#) に、IEN_UVHF が示されています。

[概略表](#)に戻ります。

高周波数チャネル低電圧割り込みイネーブル レジスタ

表 7-28. IEN_UVHF レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	RSVD	R/W	0 b	RSVD

表 7-28. IEN_UVHF レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
6	MON[7]	R/W	xb	MON7 の UVHF 割り込み有効 、0 = 無効、 1 = 有効
5	MON[6]	R/W	xb	MON6 の UVHF 割り込み有効 、0 = 無効、 1 = 有効
4	MON[5]	R/W	xb	MON5 の UVHF 割り込み有効 、0 = 無効、 1 = 有効
3	MON[4]	R/W	xb	MON4 の UVHF 割り込み有効 、0 = 無効、 1 = 有効
2	MON[3]	R/W	xb	MON3 の UVHF 割り込み有効 、0 = 無効、 1 = 有効
1	MON[2]	R/W	xb	MON2 の UVHF 割り込み有効 、0 = 無効、 1 = 有効
0	RSVD	R/W	0b	RSVD

7.5.1.2.5 IEN_OVHF レジスタ (アドレス = 0x15) [リセット = 0xXX]

表 7-29 に、IEN_OVHF が示されています。

概略表に戻ります。

高周波チャネル過電圧割り込みイネーブルレジスタ。

表 7-29. IEN_OVHF レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	RSVD	R/W	0b	RSVD
6	MON[7]	R/W	xb	MON7 の OVHF 割り込み有効 、0 = 無効、 1 = 有効
5	MON[6]	R/W	xb	MON6 の OVHF 割り込み有効 、0 = 無効、 1 = 有効
4	MON[5]	R/W	xb	MON5 の OVHF 割り込み有効 、0 = 無効、 1 = 有効
3	MON[4]	R/W	xb	MON4 の OVHF 割り込み有効 、0 = 無効、 1 = 有効
2	MON[3]	R/W	xb	MON3 の OVHF 割り込み有効 、0 = 無効、 1 = 有効
1	MON[2]	R/W	xb	MON2 の OVHF 割り込み有効 、0 = 無効、 1 = 有効
0	RSVD	R/W	0b	RSVD

7.5.1.2.6 IEN_CONTROL レジスタ (アドレス = 0x1B) [リセット = 0xXX]

表 7-30 に、IEN_CONTROL が示されています。

概略表に戻ります。

制御および通信フォルト割り込みイネーブル レジスタ。

表 7-30. IEN_CONTROL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:5	RSVD	R/W	000b	RSVD
4	RT_CRC_Int	R/W	xb	レジスタの実行時間 CRC (巡回冗長性検査) エラー割り込みは、レジスタマップの内容に対して実行される静的 CRC です。有効化すると、この CRC チェックを実行するためにデータの読み取りや書き込みを実行する必要はありません。この CRC は、レジスタ マップの内容の静的ビット反転またはランダム エラーが発生したかどうかを識別することです。これは安全性メカニズムであり、CRC-8 多項式を使用して実行されます。読み取りまたは書き込み動作の場合、レジスタ マップの内容が変更され、多項式は変更後に新しい値で再計算されます。割り込みは、バンク 0 の IEN_CONTROL_F_CRC レジスタに通知されます。 0 = 割り込みマッピングを無効化、 1 = 割り込みマッピングを有効化
3	RSVD	R/W	0b	RSVD
2	TSD_INT	R/W	xb	サーマル シャットダウン割り込み。 0 = 無効、 1 = 有効
1	RSVD	R/W	0b	RSVD
0	PEC_INT	R/W	xb	PEC エラー割り込み。 0 = 無効、 1 = 有効

7.5.1.2.7 IEN_TEST レジスタ (アドレス = 0x1C) [リセット = 0x0X]

表 7-31 に、IEN_TEST が示されています。

概略表に戻ります。

内部テストおよび構成ロード フォルト割り込みイネーブル レジスタ

表 7-31. IEN_TEST レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:4	RSVD	R/W	0000b	RSVD
3	ECC_SEC	R/W	xb	SEC エラー割り込み。 0 = 無効、 1 = 有効
2	RSVD	R/W	0b	RSVD
1	BIST_Complete_INT	R/W	xb	BIST 完了割り込み。 0 = 無効、 1 = 有効
0	BIST_Fail_INT	R/W	xb	BIST 失敗割り込み。 0 = 無効、 1 = 有効

7.5.1.2.8 IEN_VENDOR レジスタ (アドレス = 0x1D) [リセット = 0xXX]

表 7-32 に、IEN_VENDOR が示されています。

概略表に戻ります。

ベンダ固有の内部割り込みイネーブルレジスタ。

表 7-32. IEN_VENDOR レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	スタートアップ Self-Test_CRC	R/W	xb	スタートアップ Self-Test_CRC 割り込み。 0 = 割り込みマッピングを無効化、 1 = 割り込みマッピングを有効化
6	RESERVED	R	0b	
5	NRST_MISMATCH	R/W	xb	NRST 不一致割り込み。 0 = 無効、 1 = 有効
4:3	予約済み	R	0b	
2	WDT_TO_NIRQ	R/W	xb	ウォッチドッグ フォルトを NIRQ にマッピングします。 0 = マッピングされていない 1 = マッピングされている
1	RSVD	R/W	0b	RSVD
0	WDT_TO_NRST	R/W	xb	ウォッチドッグ フォルトを NRST にマッピングします。 0 = マップされていない 1 = マップされている

7.5.1.2.9 MON_CH_EN レジスタ (アドレス = 0x1E) [リセット = 0xXX]

表 7-33 に、MON_CH_EN が示されています。

概略表に戻ります。

チャンネル電圧監視有効。

表 7-33. MON_CH_EN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	RSVD	R/W	0b	RSVD
6	MON[7]	R/W	xb	MON7 モニタリングを有効にします。 0 = 無効、 1 = 有効
5	MON[6]	R/W	xb	MON6 モニタリングを有効にします。 0 = 無効、 1 = 有効
4	MON[5]	R/W	xb	MON5 monitoring を有効にします。 0 = 無効、 1 = 有効
3	MON[4]	R/W	xb	MON4 モニタリングを有効にします。 0 = 無効、 1 = 有効
2	MON[3]	R/W	xb	MON3 モニタリングを有効にします。 0 = 無効、 1 = 有効
1	MON[2]	R/W	xb	MON2 モニタリングを有効にします。 0 = 無効、 1 = 有効

表 7-33. MON_CH_EN レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
0	RSVD	R/W	0b	RSVD

7.5.1.2.10 VRANGE_MULT レジスタ (アドレス = 0x1F) [リセット = 0xXX]

表 7-34 に、VRANGE_MULT が示されています。

概略表に戻ります。

チャンネル電圧監視範囲 / スケーリング。

表 7-34. VRANGE_MULT レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	RSVD	R/W	0b	RSVD
6	MON[7]	R/W	xb	MON7 のスカラー。 0 = 1x、 1 = 4x
5	MON[6]	R/W	xb	MON6 のスカラー。 0 = 1x、 1 = 4x
4	MON[5]	R/W	xb	MON5 のスカラー。 0 = 1x、 1 = 4x
3	MON[4]	R/W	xb	MON4 のスカラー。 0 = 1x、 1 = 4x
2	MON[3]	R/W	xb	MON3 のスカラー。 0 = 1x、 1 = 4x
1	MON[2]	R/W	xb	MON2 のスカラー。 0 = 1x、 1 = 4x
0	RSVD	R/W	0b	RSVD

7.5.1.2.11 UV_HF[2] レジスタ (アドレス = 0x30) [リセット = 0xXX]

表 7-35 に、UV_HF[2] が示されています。

概略表に戻ります。

チャンネル 2 高周波チャンネルの低電圧スレッショルド。

表 7-35. UV_HF[2] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	THRESHOLD[7:0]	R/W	xxxxxxx	監視対象チャンネルの高周波成分の低電圧スレッショルド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

7.5.1.2.12 OV_HF[2] レジスタ (アドレス = 0x31) [リセット = 0xXX]

表 7-36 に、UV_HF[2] が示されています。

概略表に戻ります。

チャンネル 2 高周波チャンネル過電圧スレッシュホールド。

表 7-36. OV_HF[2] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	THRESHOLD[7:0]	R/W	xxxxxxx	監視対象チャンネルの高周波成分の過電圧スレッシュホールド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

7.5.1.2.13 FLT_HF[2] レジスタ (アドレス = 0x34) [リセット = 0xXX]

表 7-37 に、UV_HF[2] が示されています。

概略表に戻ります。

高周波スレッシュホールド コンパレータ出力のチャンネル 2 UV および OV デバウンス。

表 7-37. FLT_HF[2] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:4	OV_DEB[3:0]	R/W	xxxx	高周波監視バスの過電圧コンパレータの出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1μs 1000b = 25.6μs 0001b = 0.2μs 1001b = 51.2μs 0010b = 0.4μs 1010b = 102.4μs 0011b = 0.8μs 1011b = 102.4μs 0100b = 1.6μs 1100b = 102.4μs 0101b = 3.2μs 1101b = 102.4μs 0110b = 6.4μs 1110b = 102.4μs 0111b = 12.8μs 1111b = 102.4μs
3:0	UV_DEB[3:0]	R/W	xxxx	高周波監視バスの低電圧コンパレータ出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1μs 1000b = 25.6μs 0001b = 0.2μs 1001b = 51.2μs 0010b = 0.4μs 1010b = 102.4μs 0011b = 0.8μs 1011b = 102.4μs 0100b = 1.6μs 1100b = 102.4μs 0101b = 3.2μs 1101b = 102.4μs 0110b = 6.4μs 1110b = 102.4μs 0111b = 12.8μs 1111b = 102.4μs

7.5.1.2.14 FC_LF[2] レジスタ (アドレス = 0x35) [リセット = 0xXX]

表 7-38 に、FC_LF[2] が示されています。

概略表に戻ります。

チャンネル 2 レジスタにより、過電圧または低電圧フォルトを NRST にマッピングできます。

表 7-38. FC_LF[2] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:5	RSVD	R/W	000	RSVD

表 7-38. FC_LF[2] レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
4	OVHF_TO_NRST	R/W	xb	MON2 OVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
3	UVHF_TO_NRST	R/W	xb	MON2 UVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
2:0	RSVD	R/W	000b	RSVD

7.5.1.2.15 UV_HF[3] レジスタ (アドレス = 0x40) [リセット = 0xXX]

表 7-39 に、UV_HF[3] が示されています。

概略表に戻ります。

チャンネル 3 高周波チャンネルの低電圧スレッシュホールド。

表 7-39. UV_HF[3] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	THRESHOLD[7:0]	R/W	xxxxxxxxb	監視対象チャンネルの高周波成分の低電圧スレッシュホールド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

7.5.1.2.16 OV_HF[3] レジスタ (アドレス = 0x41) [リセット = 0xXX]

表 7-40 に、OV_HF[3] が示されています。

概略表に戻ります。

チャンネル 3 高周波チャンネル過電圧スレッシュホールド。

表 7-40. OV_HF[3] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	THRESHOLD[7:0]	R/W	xxxxxxxxb	監視対象チャンネルの高周波成分の過電圧スレッシュホールド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

7.5.1.2.17 FLT_HF[3] レジスタ (アドレス = 0x44) [リセット = 0xXX]

表 7-41 に、FLT_HF[3] が示されています。

概略表に戻ります。

高周波スレッシュホールド コンパレータ出力のチャンネル 3 UV および OV デバウンス。

表 7-41. FLT_HF[3] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:4	OV_DEB[3:0]	R/W	xxxxb	高周波監視バスの過電圧コンパレータの出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1μs 1000b = 25.6μs 0001b = 0.2μs 1001b = 51.2μs 0010b = 0.4μs 1010b = 102.4μs 0011b = 0.8μs 1011b = 102.4μs 0100b = 1.6μs 1100b = 102.4μs 0101b = 3.2μs 1101b = 102.4μs 0110b = 6.4μs 1110b = 102.4μs 0111b = 12.8μs 1111b = 102.4μs
3:0	UV_DEB[3:0]	R/W	xxxxb	高周波監視バスの低電圧コンパレータ出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1μs 1000b = 25.6μs 0001b = 0.2μs 1001b = 51.2μs 0010b = 0.4μs 1010b = 102.4μs 0011b = 0.8μs 1011b = 102.4μs 0100b = 1.6μs 1100b = 102.4μs 0101b = 3.2μs 1101b = 102.4μs 0110b = 6.4μs 1110b = 102.4μs 0111b = 12.8μs 1111b = 102.4μs

7.5.1.2.18 FC_LF[3] レジスタ (アドレス = 0x45) [リセット = 0xXX]

表 7-42 に、FC_LF[3] が示されています。

概略表に戻ります。

チャンネル 3 レジスタにより、過電圧または低電圧フォルトを NRST にマッピングできます。

表 7-42. FC_LF[3] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:5	RSVD	R/W	000b	RSVD
4	OVHF_TO_NRST	R/W	xb	MON3 OVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
3	UVHF_TO_NRST	R/W	xb	MON3 UVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
2:0	RSVD	R/W	000b	RSVD

7.5.1.2.19 UV_HF[4] レジスタ (アドレス = 0x50) [リセット = 0xXX]

表 7-43 に、UV_HF[4] が示されています。

概略表に戻ります。

チャンネル 4 高周波チャンネルの低電圧スレッショルド。

表 7-43. UV_HF[4] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	THRESHOLD[7:0]	R/W	xxxxxxxb	監視対象チャネルの高周波成分の低電圧スレッシュホールド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

7.5.1.2.20 OV_HF[4] レジスタ (アドレス = 0x51) [リセット = 0xXX]

表 7-44 に、UV_HF[4] が示されています。

概略表に戻ります。

チャネル 4 高周波チャネル過電圧スレッシュホールド。

表 7-44. OV_HF[4] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	THRESHOLD[7:0]	R/W	xxxxxxxb	監視対象チャネルの高周波成分の過電圧スレッシュホールド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

7.5.1.2.21 FLT_HF[4] レジスタ (アドレス = 0x54) [リセット = 0xXX]

表 7-45 に、UV_HF[4] が示されています。

概略表に戻ります。

高周波スレッシュホールド コンパレータ出力のチャネル 4 UV および OV デバウンス。

表 7-45. FLT_HF[4] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:4	OV_DEB[3:0]	R/W	xxxxb	高周波監視パスの過電圧コンパレータの出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1μs 1000b = 25.6μs 0001b = 0.2μs 1001b = 51.2μs 0010b = 0.4μs 1010b = 102.4μs 0011b = 0.8μs 1011b = 102.4μs 0100b = 1.6μs 1100b = 102.4μs 0101b = 3.2μs 1101b = 102.4μs 0110b = 6.4μs 1110b = 102.4μs 0111b = 12.8μs 1111b = 102.4μs
3:0	UV_DEB[3:0]	R/W	xxxxb	高周波監視パスの低電圧コンパレータ出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1μs 1000b = 25.6μs 0001b = 0.2μs 1001b = 51.2μs 0010b = 0.4μs 1010b = 102.4μs 0011b = 0.8μs 1011b = 102.4μs 0100b = 1.6μs 1100b = 102.4μs 0101b = 3.2μs 1101b = 102.4μs 0110b = 6.4μs 1110b = 102.4μs 0111b = 12.8μs 1111b = 102.4μs

7.5.1.2.22 FC_LF[4] レジスタ (アドレス = 0x55) [リセット = 0xXX]

表 7-46 に、FC_LF[4] が示されています。

概略表に戻ります。

チャンネル 4 レジスタにより、過電圧または低電圧フォルトを NRST にマッピングできます。

表 7-46. FC_LF[4] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:5	RSVD	R/W	000b	RSVD
4	OVHF_TO_NRST	R/W	xb	MON4 OVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
3	UVHF_TO_NRST	R/W	xb	MON4 UVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
2:0	RSVD	R/W	000b	RSVD

7.5.1.2.23 UV_HF[5] レジスタ (アドレス = 0x60) [リセット = 0xXX]

表 7-47 に、UV_HF[5] が示されています。

概略表に戻ります。

チャンネル 5 高周波チャンネルの低電圧スレッショルド。

表 7-47. UV_HF[5] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	THRESHOLD[7:0]	R/W	xxxxxxxxb	監視対象チャンネルの高周波成分の低電圧スレッショルド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

7.5.1.2.24 OV_HF[5] レジスタ (アドレス = 0x61) [リセット = 0xXX]

表 7-48 に、OV_HF[5] が示されています。

概略表に戻ります。

チャンネル 5 高周波チャンネル過電圧スレッショルド。

表 7-48. OV_HF[5] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	THRESHOLD[7:0]	R/W	xxxxxxxxb	監視対象チャンネルの高周波成分の過電圧スレッショルド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

7.5.1.2.25 FLT_HF[5] レジスタ (アドレス = 0x64) [リセット = 0xXX]

表 7-49 に、UV_HF[5] が示されています。

概略表に戻ります。

高周波スレッショルド コンパレータ出力のチャネル 5 UV および OV デバウンス。

表 7-49. FLT_HF[5] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:4	OV_DEB[3:0]	R/W	xxxxb	高周波監視パスの過電圧コンパレータの出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1 μ s 1000b = 25.6 μ s 0001b = 0.2 μ s 1001b = 51.2 μ s 0010b = 0.4 μ s 1010b = 102.4 μ s 0011b = 0.8 μ s 1011b = 102.4 μ s 0100b = 1.6 μ s 1100b = 102.4 μ s 0101b = 3.2 μ s 1101b = 102.4 μ s 0110b = 6.4 μ s 1110b = 102.4 μ s 0111b = 12.8 μ s 1111b = 102.4 μ s
3:0	UV_DEB[3:0]	R/W	xxxxb	高周波監視パスの低電圧コンパレータ出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1 μ s 1000b = 25.6 μ s 0001b = 0.2 μ s 1001b = 51.2 μ s 0010b = 0.4 μ s 1010b = 102.4 μ s 0011b = 0.8 μ s 1011b = 102.4 μ s 0100b = 1.6 μ s 1100b = 102.4 μ s 0101b = 3.2 μ s 1101b = 102.4 μ s 0110b = 6.4 μ s 1110b = 102.4 μ s 0111b = 12.8 μ s 1111b = 102.4 μ s

7.5.1.2.26 FC_LF[5] レジスタ (アドレス = 0x65) [リセット = 0xXX]

表 7-50 に、FC_LF[5] が示されています。

概略表に戻ります。

チャネル 5 レジスタにより、過電圧または低電圧フォルトを NRST にマッピングできます。

表 7-50. FC_LF[5] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:5	RSVD	R/W	000b	RSVD
4	OVHF_TO_NRST	R/W	xb	MON5OVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
3	UVHF_TO_NRST	R/W	xb	MON5 UVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
2:0	RSVD	R/W	000b	RSVD

7.5.1.2.27 UV_HF[6] レジスタ (アドレス = 0x70) [リセット = 0xXX]

表 7-51 に、UV_HF[6] が示されています。

概略表に戻ります。

チャネル 6 高周波チャネルの低電圧スレッショルド。

表 7-51. UV_HF[6] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	THRESHOLD[7:0]	R/W	xxxxxxx	監視対象チャネルの高周波成分の低電圧スレッシュホールド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

7.5.1.2.28 OV_HF[6] レジスタ (アドレス = 0x71) [リセット = 0xXX]

表 7-52 に、UV_HF[6] が示されています。

概略表に戻ります。

チャネル 6 高周波チャネル過電圧スレッシュホールド。

表 7-52. OV_HF[6] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	THRESHOLD[7:0]	R/W	xxxxxxx	監視対象チャネルの高周波成分の過電圧スレッシュホールド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

7.5.1.2.29 FLT_HF[6] レジスタ (アドレス = 0x74) [リセット = 0xXX]

表 7-53 に、UV_HF[6] が示されています。

概略表に戻ります。

高周波スレッシュホールド コンパレータ出力のチャネル 6 UV および OV デバウンス。

表 7-53. FLT_HF[6] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:4	OV_DEB[3:0]	R/W	xxxx	高周波監視パスの過電圧コンパレータの出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1μs 1000b = 25.6μs 0001b = 0.2μs 1001b = 51.2μs 0010b = 0.4μs 1010b = 102.4μs 0011b = 0.8μs 1011b = 102.4μs 0100b = 1.6μs 1100b = 102.4μs 0101b = 3.2μs 1101b = 102.4μs 0110b = 6.4μs 1110b = 102.4μs 0111b = 12.8μs 1111b = 102.4μs
3:0	UV_DEB[3:0]	R/W	xxxx	高周波監視パスの低電圧コンパレータ出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1μs 1000b = 25.6μs 0001b = 0.2μs 1001b = 51.2μs 0010b = 0.4μs 1010b = 102.4μs 0011b = 0.8μs 1011b = 102.4μs 0100b = 1.6μs 1100b = 102.4μs 0101b = 3.2μs 1101b = 102.4μs 0110b = 6.4μs 1110b = 102.4μs 0111b = 12.8μs 1111b = 102.4μs

7.5.1.2.30 FC_LF[6] レジスタ (アドレス = 0x75) [リセット = 0xXX]

表 7-54 に、FC_LF[6] が示されています。

概略表に戻ります。

チャンネル 6 レジスタにより、過電圧または低電圧フォルトを NRST にマッピングできます。

表 7-54. FC_LF[6] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:5	RSVD	R/W	000b	RSVD
4	OVHF_TO_NRST	R/W	xb	MON6OVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
3	UVHF_TO_NRST	R/W	xb	MON6UVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
2:0	RSVD	R/W	000b	RSVD

7.5.1.2.31 UV_HF[7] レジスタ (アドレス = 0x80) [リセット = 0xXX]

表 7-55 に、UV_HF[7] が示されています。

概略表に戻ります。

チャンネル 7 高周波チャンネルの低電圧スレッシュホールド。

表 7-55. UV_HF[7] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	THRESHOLD[7:0]	R/W	xxxxxxxxb	監視対象チャンネルの高周波成分の低電圧スレッシュホールド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

7.5.1.2.32 OV_HF[7] レジスタ (アドレス = 0x81) [リセット = 0xXX]

表 7-56 に、OV_HF[7] が示されています。

概略表に戻ります。

チャンネル 7 高周波チャンネル過電圧スレッシュホールド。

表 7-56. OV_HF[7] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	THRESHOLD[7:0]	R/W	xxxxxxxxb	監視対象チャンネルの高周波成分の過電圧スレッシュホールド。 8 ビットの値の解釈は、レジスタ VRANGE_MULT のスケーリング設定によって異なります。 SCALING = 1x の場合、8 ビットの値は 0.2V ~ 1.475V の範囲を表し、1 LSB = 5mV です。 SCALING = 4x の場合、8 ビットの値は 0.8V ~ 5.9V の範囲を表し、1 LSB = 20mV です。

7.5.1.2.33 FLT_HF[7] レジスタ (アドレス = 0x84) [リセット = 0xXX]

表 7-57 に、UV_HF[7] が示されています。

概略表に戻ります。

高周波スレッショルド コンパレータ出力のチャネル 7 UV および OV デバウンス。

表 7-57. FLT_HF[7] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:4	OV_DEB[3:0]	R/W	xxxxb	高周波監視パスの過電圧コンパレータの出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1 μ s 1000b = 25.6 μ s 0001b = 0.2 μ s 1001b = 51.2 μ s 0010b = 0.4 μ s 1010b = 102.4 μ s 0011b = 0.8 μ s 1011b = 102.4 μ s 0100b = 1.6 μ s 1100b = 102.4 μ s 0101b = 3.2 μ s 1101b = 102.4 μ s 0110b = 6.4 μ s 1110b = 102.4 μ s 0111b = 12.8 μ s 1111b = 102.4 μ s
3:0	UV_DEB[3:0]	R/W	xxxxb	高周波監視パスの低電圧コンパレータ出力デバウンス時間 (出力がデバウンス時間にわたって安定するまでアサートしない)。 0000b = 0.1 μ s 1000b = 25.6 μ s 0001b = 0.2 μ s 1001b = 51.2 μ s 0010b = 0.4 μ s 1010b = 102.4 μ s 0011b = 0.8 μ s 1011b = 102.4 μ s 0100b = 1.6 μ s 1100b = 102.4 μ s 0101b = 3.2 μ s 1101b = 102.4 μ s 0110b = 6.4 μ s 1110b = 102.4 μ s 0111b = 12.8 μ s 1111b = 102.4 μ s

7.5.1.2.34 FC_LF[7] レジスタ (アドレス = 0x85) [リセット = 0xXX]

表 7-58 に、FC_LF[7] が示されています。

概略表に戻ります。

チャネル 7 レジスタにより、過電圧または低電圧フォルトを NRST にマッピングできます。

表 7-58. FC_LF[7] レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:5	RSVD	R/W	000b	RSVD
4	OVHF_TO_NRST	R/W	xb	MON7 OVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
3	UVHF_TO_NRST	R/W	xb	MON7 UVHF フォルトを NRST にマッピングします 0 = マッピングされていない 1 = マッピングされている
2:0	RSVD	R/W	000b	RSVD

7.5.1.2.35 TI_CONTROL レジスタ (アドレス = 0x9F) [リセット = 0xXX]

表 7-59 に、TI_CONTROL が示されています。

概略表に戻ります。

I2C / ESM グリッチ除去 / リセット遅延による手動 BIST / WD EN / 手動リセット

表 7-59. TI_CONTROL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	ENTER_BIST	R/W	0b	手動 BIST。 1 = BIST に移行
6	WDT_EN	R/W	xb	ハードウェア WD_EN ピンと組み合わせて使用されるウォッチドッグ EN。 1 = ウォッチドッグ有効、 0 = ウォッチドッグ無効
5	I2C_MR	R/W	0b	手動リセット。 1 = NRST を Low にアサート
4:3	RSVD	R/W	00b	RSVD
2:0	RST_DLY[2:0]	R/W	xxxb	リセット遅延 000 = 200μs 001 = 1ms 010 = 10ms 011 = 16ms 100 = 20ms 101 = 70ms 110 = 100ms 111 = 200ms

7.5.1.2.36 AMSK_ON レジスタ (アドレス = 0xA1) [リセット = 0xXX]

表 7-60 に、AMSK_ON が示されています。

概略表に戻ります。

パワーアップ遷移時に、UVHF および OVHF 割り込みを自動マスクします。

表 7-60. AMSK_ON レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	RSVD	R/W	0b	RSVD
6	MON[7]	R/W	xb	MON7 の電源投入時に自動マスクします。 0 = 無効 1 = 有効
5	MON[6]	R/W	xb	MON6 の電源投入時に自動マスクします。 0 = 無効 1 = 有効
4	MON[5]	R/W	xb	MON5 の電源投入時に自動マスク。 0 = 無効 1 = 有効
3	MON[4]	R/W	xb	MON4 の電源投入時に自動マスクします。 0 = 無効 1 = 有効
2	MON[3]	R/W	xb	MON3 の電源投入時に自動マスクします。 0 = 無効 1 = 有効
1	MON[2]	R/W	xb	MON2 の電源投入時に自動マスクします。 0 = 無効 1 = 有効
0	RSVD	R/W	0b	RSVD

7.5.1.2.37 AMSK_OFF レジスタ (アドレス = 0xA2) [リセット = 0xXX]

表 7-61 に、AMSK_OFF が示されています。

[概略表](#)に戻ります。

パワーダウン遷移時に UVHF および OVHF 割り込みを自動マスクします。

表 7-61. AMSK_OFF レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	RSVD	R/W	0b	RSVD
6	MON[7]	R/W	xb	MON7 の電源を切るときに自動マスクします。 0 = 無効 1 = 有効
5	MON[6]	R/W	xb	MON6 の電源を切るときに自動マスクします。 0 = 無効 1 = 有効
4	MON[5]	R/W	xb	MON5 の電源を切るときに自動マスクします。 0 = 無効 1 = 有効
3	MON[4]	R/W	xb	MON4 の電源を切るときに自動マスクします。 0 = 無効 1 = 有効
2	MON[3]	R/W	xb	MON3 の電源を切るときに自動マスクします。 0 = 無効 1 = 有効
1	MON[2]	R/W	xb	MON2 の電源を切るときに自動マスクします。 0 = 無効 1 = 有効
0	RSVD	R/W	0b	RSVD

7.5.1.2.38 SEQ_TOUT_MSB レジスタ (アドレス = 0xA5) [リセット = 0xXX]

[表 7-62](#) に、SEQ_TOUT_MSB が示されています。

[概略表](#)に戻ります。

パワーアップ時およびパワーダウン時の UV フォルトのタイムアウト。

表 7-62. SEQ_TOUT_MSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	MILLISEC[15:8]	R/W	xxxxxxxxb	シーケンス タイムアウト時間 MSB、タイムアウトの後、自動マスク (AMSK_xxx) が解放され、IEN_xVxF 割り込みがアクティブになります。 0x0000 = 1ms 0x0001 = 2ms 最大値が指定されていない場合、このタイムアウトは最大 4s と 256ms に設定することが勧められます (アドレス 0xA6 の下位バイトのみを使用)。

7.5.1.2.39 SEQ_TOUT_LSB レジスタ (アドレス = 0xA6) [リセット = 0xXX]

[表 7-63](#) に、SEQ_TOUT_LSB が示されています。

[概略表](#)に戻ります。

パワーアップ時およびパワーダウン時の UV フォルトのタイムアウト。

表 7-63. SEQ_TOUT_LSB レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	MILLISEC[7:0]	R/W	xxxxxxxxb	シーケンス タイムアウト時間 LSB、タイムアウトの後、自動マスク (AMSK_xxx) が解放され、IEN_xVxF 割り込みがアクティブになります。 0x0000 = 1ms 0x0001 = 2ms 最大値が指定されていない場合、このタイムアウトは最大 4 秒と 256ms に設定することが勧められます (アドレス 0xA6 の下位バイトのみを使用)。

7.5.1.2.40 SEQ_UP_THLD レジスタ (アドレス = 0xA8) [リセット = 0xXX]

表 7-64 に、SEQ_UP_THLD が示されています。

概略表に戻ります。

パワーアップ時に AMSK が解放されるスレッシュホールド (VMON がオンと見なされる)。

表 7-64. SEQ_UP_THLD レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	RSVD	R/W	0b	RSVD
6	MON[7]	R/W	xb	パワー ON モニター マスキングの OFF (200mV) スレッシュホールドの選択: 00b = OFF スレッシュホールドを使用 (200mV)
5	MON[6]	R/W	xb	パワー ON モニター マスキングの OFF (200mV) スレッシュホールドの選択: 00b = OFF スレッシュホールドを使用 (200mV)
4	MON[5]	R/W	xb	パワー ON モニター マスキングの OFF (200mV) スレッシュホールドの選択: 00b = OFF スレッシュホールドを使用 (200mV)
3	MON[4]	R/W	xb	パワー ON モニター マスキングの OFF (200mV) スレッシュホールドの選択: 00b = OFF スレッシュホールドを使用 (200mV)
2	MON[3]	R/W	xb	パワー ON モニター マスキングの OFF (200mV) スレッシュホールドの選択: 00b = OFF スレッシュホールドを使用 (200mV)
1	MON[2]	R/W	xb	パワー ON モニター マスキングの OFF (200mV) スレッシュホールドの選択: 00b = OFF スレッシュホールドを使用 (200mV)
0	RSVD	R/W	0b	RSVD

7.5.1.2.41 SEQ_DN_THLD レジスタ (アドレス = 0xA9) [リセット = 0xXX]

表 7-65 に、SEQ_DN_THLD が示されています。

概略表に戻ります。

パワーダウン時に AMSK が解放されるスレッシュホールド (VMON がオフと見なされる)。

表 7-65. EQ_DN_THLD レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	RSVD	R/W	0b	RSVD
6	MON[7]	R/W	xb	パワー OFF モニター マスキングの OFF (200mV) スレッシュホールドの選択: 00b = OFF スレッシュホールドを使用 (200mV)
5	MON[6]	R/W	xb	パワー OFF モニター マスキングの OFF (200mV) スレッシュホールドの選択: 00b = OFF スレッシュホールドを使用 (200mV)
4	MON[5]	R/W	xb	パワー OFF モニター マスキングの OFF (200mV) スレッシュホールドの選択: 00b = OFF スレッシュホールドを使用 (200mV)
3	MON[4]	R/W	xb	パワー OFF モニター マスキングの OFF (200mV) スレッシュホールドの選択: 00b = OFF スレッシュホールドを使用 (200mV)

表 7-65. EQ_DN_THLD レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
2	MON[3]	R/W	xb	パワー OFF モニター マスキングの OFF (200mV) スレッショルドの選択: 00b = OFF スレッショルドを使用 (200mV)
1	MON[2]	R/W	xb	パワー OFF モニター マスキングの OFF (200mV) スレッショルドの選択: 00b = OFF スレッショルドを使用 (200mV)
0	RSVD	R/W	xb	RSVD

7.5.1.2.42 WDT_CFG レジスタ (アドレス = 0xAA) [リセット = 0xXX]

表 7-66 に、WDT_CFG が示されています。

概略表に戻ります。

WD の最大制限超過数およびスタートアップ ウィンドウの遅延通倍器。

表 7-66. WDT_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7	RSVD	R/W	0b	RSVD
6:4	MAX_VIOLATION_COUNT	R/W	xxxb	ウォッチドッグの最大制限超過数 000 = 0 001 = 1 010 = 2 011 = 3 100 = 4 101 = 5 110 = 6 111 = 7
3	RSVD	R/W	0b	RSVD
2:0	WDT_Startup_DLY_MULT IPLIER[2:0]	R/W	xxxb	ウォッチドッグ スタートアップ遅延通倍器 000 = 0 001 = 1 010 = 2 011 = 3 100 = 4 101 = 5 110 = 6 111 = 7

7.5.1.2.43 WDT_CLOSE レジスタ (アドレス = 0xAB) [リセット = 0xXX]

表 7-67 に、WDT_CLOSE が示されています。

概略表に戻ります。

クローズ ウィンドウ時間。

表 7-67. WDT_CLOSE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	CLOSE[7:0]	R/W	xxxxxxxb	クローズ ウィンドウ時間 (1ms ~ 864ms)

7.5.1.2.44 DT_OPEN レジスタ (アドレス = 0xAC) [リセット = 0xXX]

表 7-68 に、WDT_OPEN が示されています。

概略表に戻ります。

オープン ウィンドウ時間。

表 7-68. WDT_OPEN レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:0	OPEN[7:0]	R/W	xxxxxxxxb	オープン ウィンドウ時間 (1ms ~ 864ms)

7.5.1.2.45 BANK_SEL レジスタ (アドレス = 0xF0) [リセット = 0x00]

表 7-69 に、BANK_SEL が示されています。

概略表に戻ります。

バンクの選択。

表 7-69. BANK_SEL レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
7:1	RSVD	R/W	0000000b	RSVD
0	BANK_Select	R/W	0b	バンクの選択を表します。 0 = バンク 0 1 = バンク 1

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

最新の SOC および FPGA デバイスには通常、IC 内のさまざまなブロックに電力を供給するために複数の電源レールがあります。これらのデバイスの適切な動作を維持するには、正確な電圧レベルとタイミング要件が一般的であり、その条件を満たす必要があります。TPS388C0x-Q1 とマルチチャネル電圧シーケンサを利用することで、パワーアップ / パワーダウン シーケンシング要件だけでなく、ターゲット SoC または FPGA デバイスのコア電圧要件を満たすことができます。この設計は、TPS388C0x-Q1 を使用し、SoC のタイミング要件を満たすことを重視しています。

8.2 代表的なアプリケーション

8.2.1 車載用マルチチャネル シーケンサおよびモニタ

図 8-1 に、TPS388C0x-Q1 の代表的なアプリケーションが示されています。TPS388C0x-Q1 は、ターゲット SOC デバイスの適切な電圧監視を行うために使用されます。マルチチャネル電圧モニタ TPS388C0x-Q1 は、これらのレールがパワーアップおよびパワーダウン時に電圧レールを監視するために使用され、両方の状況で正しいシーケンスが発生していることを確認します。セーフティ マイコンは、TPS388C0x-Q1 およびシーケンサに ACT、NIRQ、I²C コマンドを提供するためにも使用されます。セーフティ マイコンからの ACT 信号は、TPS388C0x-Q1 が ACTIVE 状態または SHDN 状態に移行するタイミングを決定し、フォルトが発生したときに TPS388C0x-Q1 の NIRQ ピンが設定される割り込みピンとして機能します。ホスト マイコンは、影響を受けるレジスタに 1 を書き込むことでフォルトをクリアできます単純化するため、セーフティ マイコンの電源レールは、TPS388C0-Q1 電圧モニタの設計ブロック図には表示されていません。

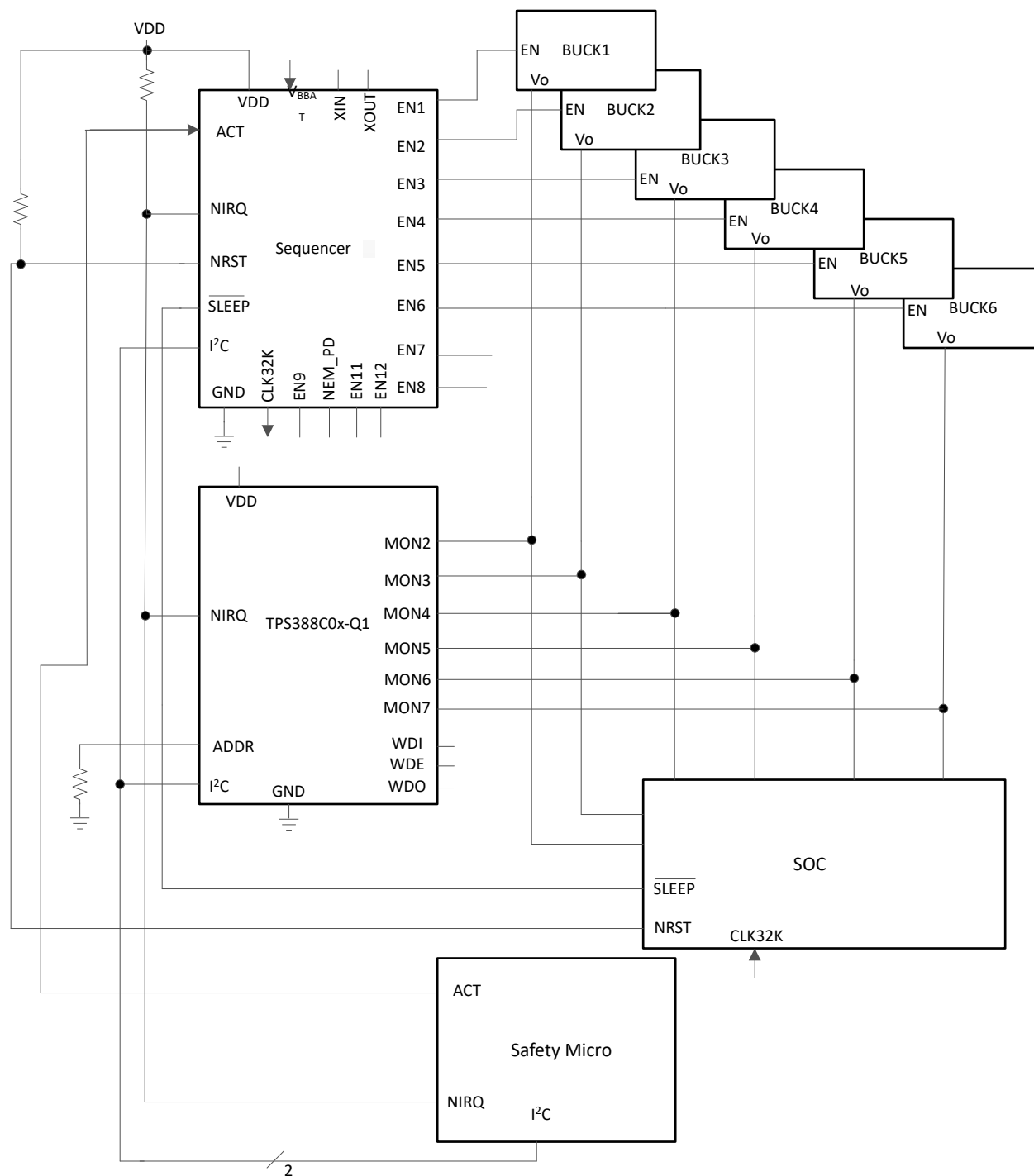


図 8-1. TPS388C0-Q1 電圧モニタ設計のブロック図

8.2.2 設計要件

- この設計では、DC/DC コンバータから電力を供給される 3 つの異なる電圧レールを適切に監視する必要があります。
- シーケンスで検出された障害はすべて、外部ハードウェア割り込み信号により通知されます。
- 検出された障害はすべて内部レジスタに記録され、I²C 経由で外部プロセッサからアクセスできます

8.2.3 詳細な設計手順

- TPS388C0x-Q1 のオプションは、過電圧および低電圧のデフォルト値を事前にプログラムされます。
- NIRQ ピンには、 $1\text{k}\Omega \sim 100\text{k}\Omega$ までの範囲のプルアップ抵抗が必要です。
- NRST ピンには、 $1\text{k}\Omega \sim 100\text{k}\Omega$ までの範囲のプルアップ抵抗が必要です。
- ACT ピンには、 $1\text{k}\Omega \sim 100\text{k}\Omega$ までの範囲のプルアップ抵抗が必要です。
- SDA および SCL ラインには、 $10\text{k}\Omega$ の範囲内にプルアップ抵抗が必要です。
- セーフティー マイコンは、NIRQ 割り込みピンと INT_SCR1 および INT_SCR2 レジスタにより通知されたフォルト割り込みをクリアするために使用されます。ホスト マイコンの W1C (1 を書き込むことでビットをクリア) 動作によってのみ、割り込みフラグがクリアされます。フォルト条件が解消されても、割り込みフラグは自動的にクリアされません。

8.2.4 アプリケーション曲線

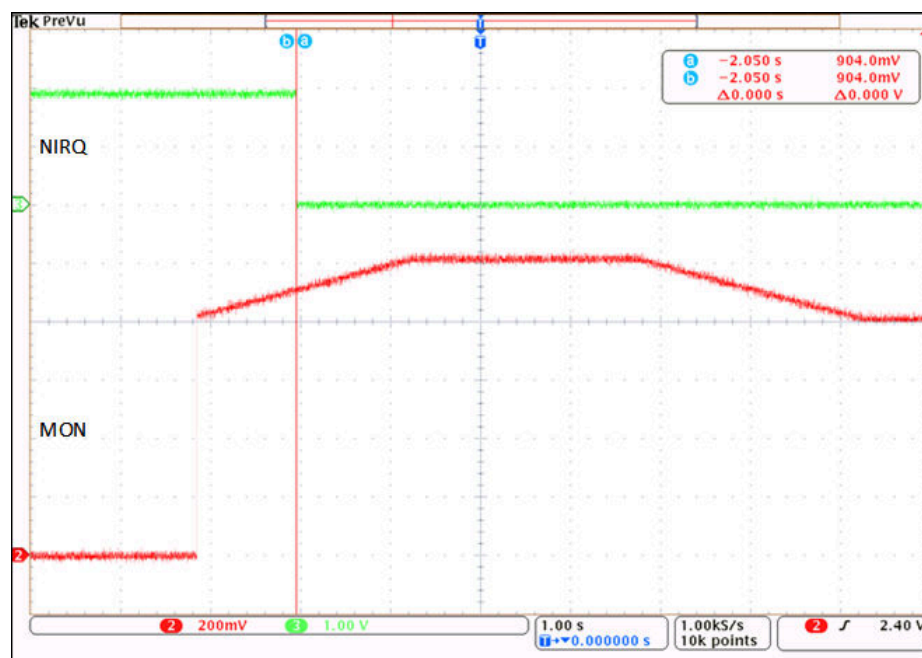


図 8-2. NIRQ は過電圧フォルトの後にトリガされます

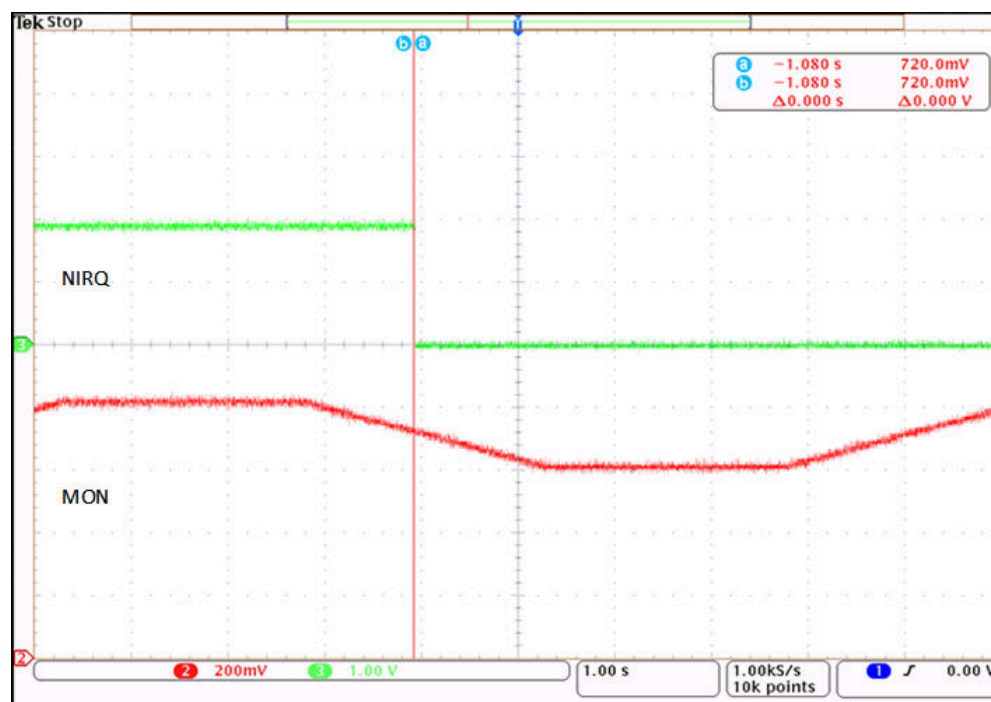


図 8-3. NIRQ は低電圧フォルトの後にトリガされます

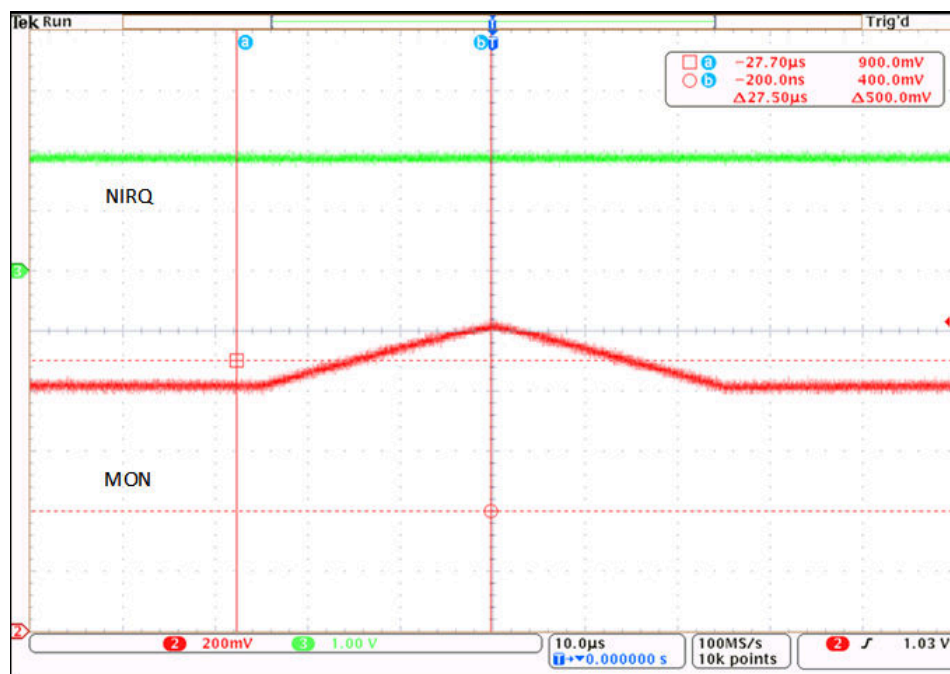


図 8-4. NIRQ は 51.2µs OV デバウンス フィルタによって過電圧フォルトでトリガされません

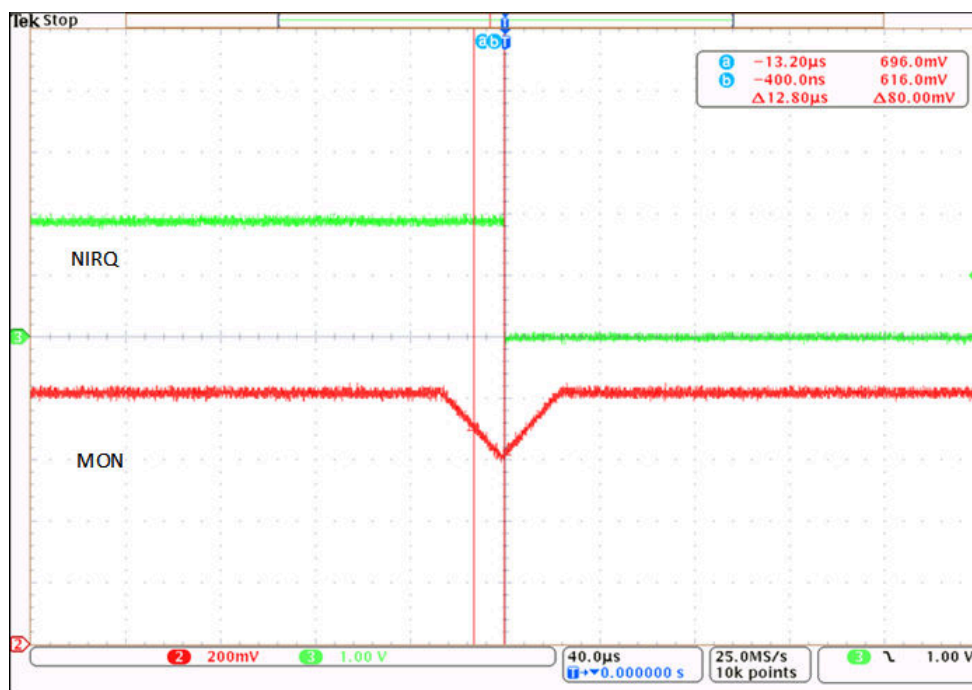


図 8-5. NIRQ は 12.8µs UV デバウンス フィルタによって低電圧フォルトでトリガされます

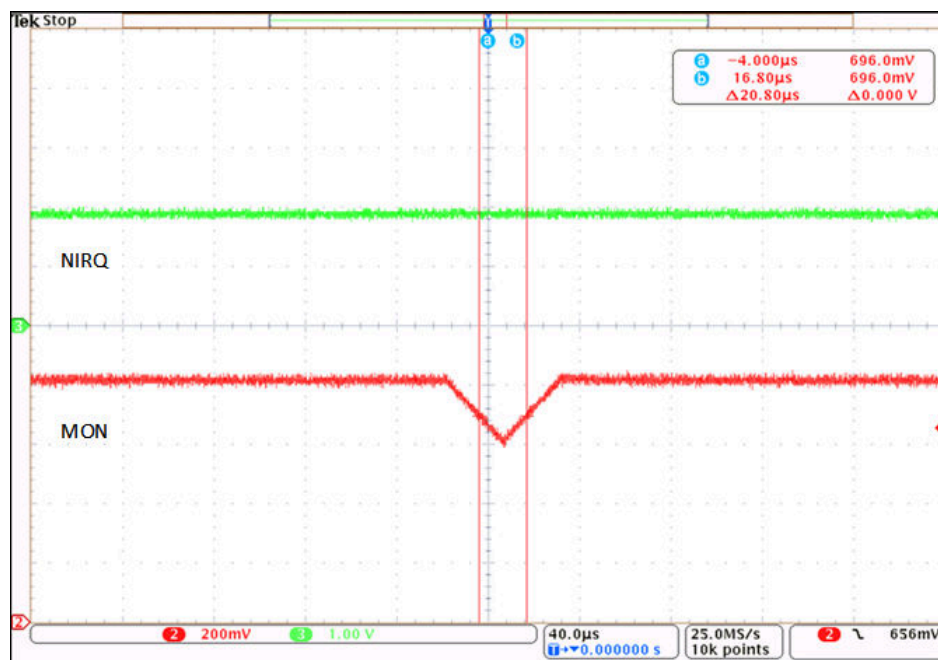


図 8-6. NIRQ は 25µs UV デバウンス フィルタによって低電圧フォルトでトリガされません

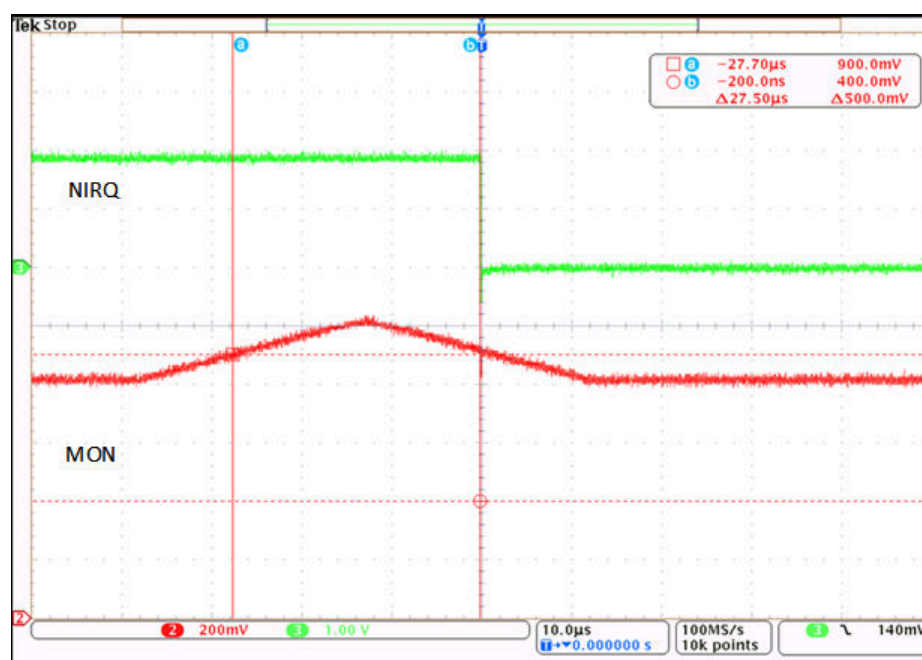


図 8-7. NIRQ は 25µs OV デバウンス フィルタによって過電圧フォルトでトリガされます

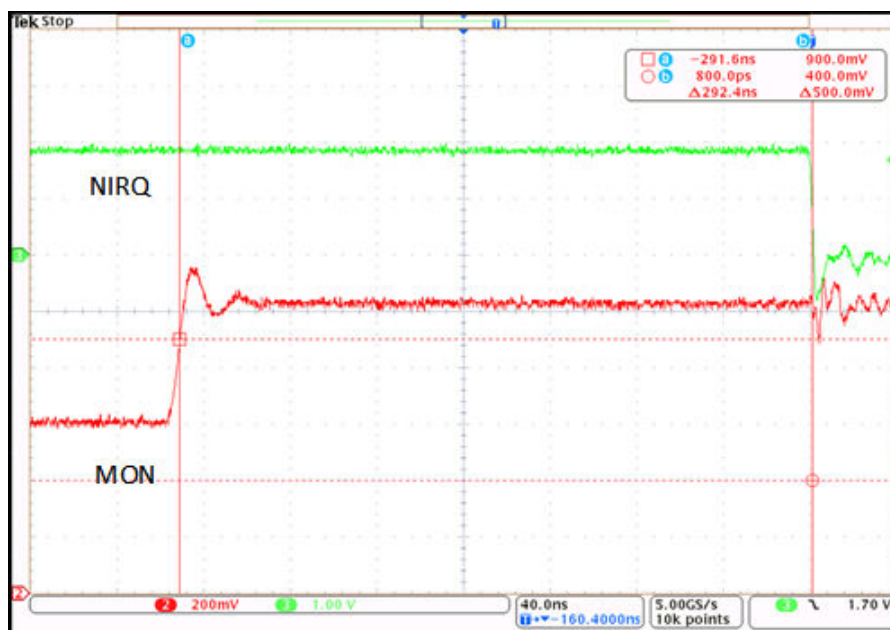


図 8-8. 過電圧フォルトに起因する NIRQ 伝搬遅延

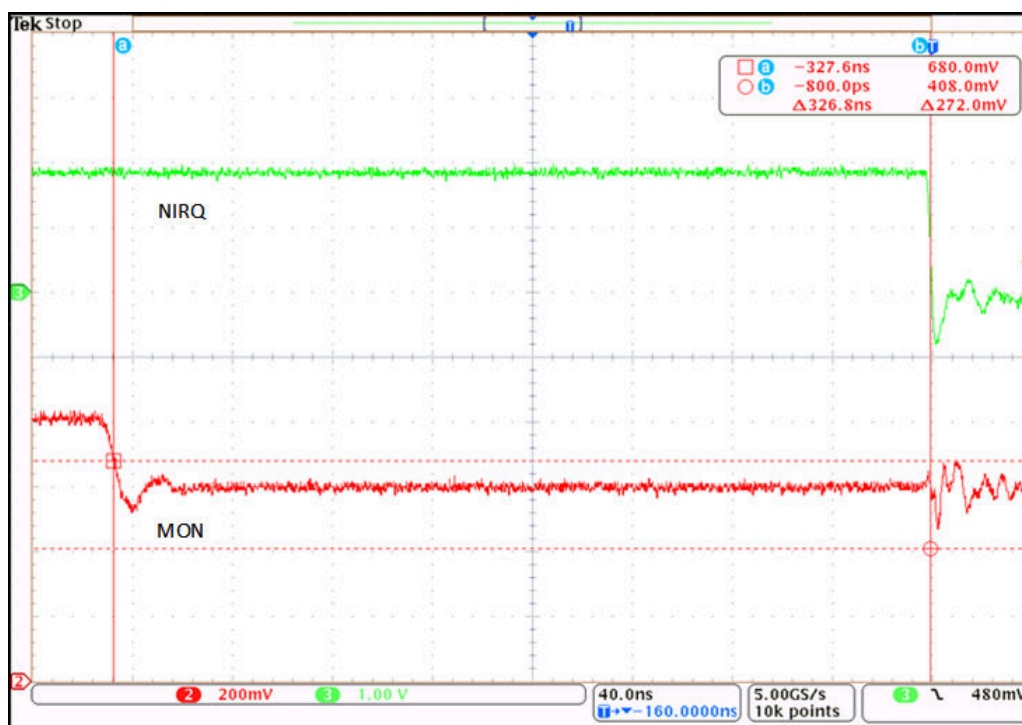


図 8-9. 低電圧フォルトに起因する NIRQ の伝搬遅延

8.3 電源に関する推奨事項

8.3.1 電源に関するガイドライン

このデバイスは、2.5V ~ 5.5V の入力電源電圧範囲で動作するように設計されています。TPS388C0x-Q1 の VDD ピンの絶対最大定格は 6V です。入力電圧の電源ノイズに応じて、VDD ピンと GND ピンの間に 0.1μF ~ 1μF のコンデンサを配置するのが優れたアナログ手法といえます。VDD に電力を供給する電源電圧が、最大仕様を超えるような大きな

電圧過渡の影響を受けやすい場合は、追加の予防措置を講じる必要があります。詳細については、[SNVA849](#) を参照してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- 外付け部品は、可能な限りデバイスに近く配置します。こうすることで、寄生誤差の発生を防ぐことができます。
- VDD 電源ノードには、長いトレースを使用しないでください。VDD コンデンサは、電源からコンデンサまでの寄生インダクタンスとともに LC 回路を形成し、最大 VDD 電圧を上回るピーク電圧のリングングを発生させる可能性があります。
- MON ピンに対して、長い電圧トレースを使用しないでください。長いトレースを使用すると、寄生インダクタンスを増加させて、正確な監視や診断ができなくなります。
- MON1 および / または MON2 に差動電圧検出が必要な場合は、RS_1/2 ピンを測定点に配線します
- デジタル パターンと並行して敏感なアナログ パターンを配線しないでください。デジタル パターンとアナログ パターンはできるだけ交差しないようにします。どうしても必要な場合には、直角に交差させます。

8.4.2 レイアウト例

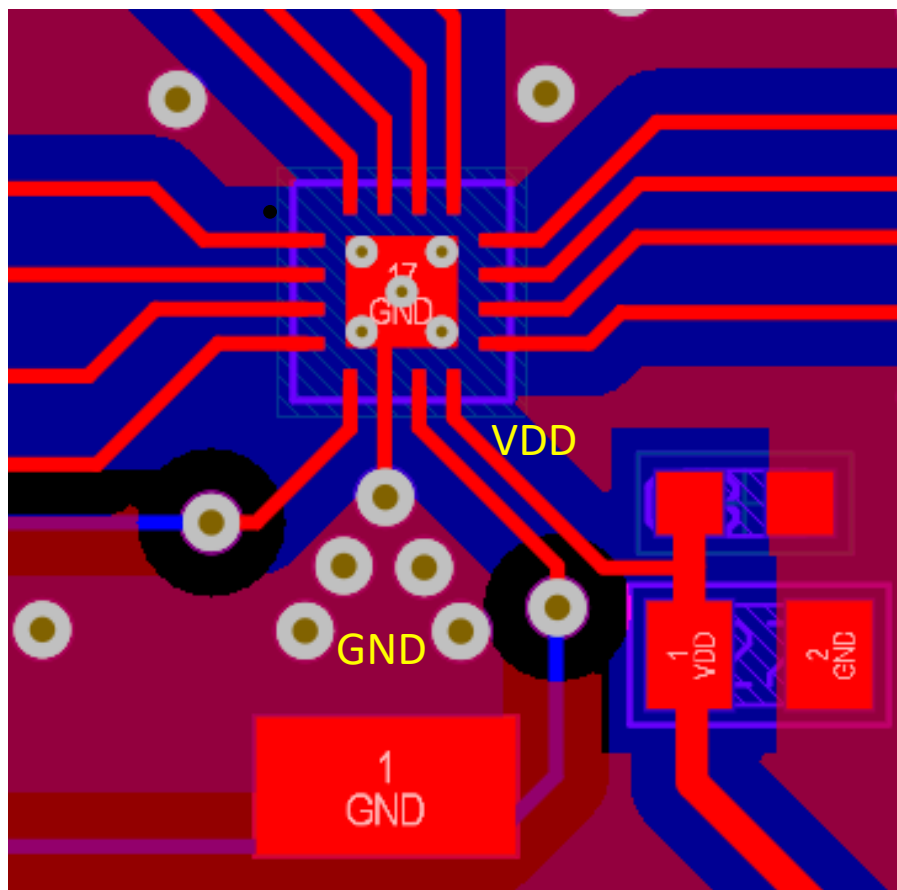


図 8-10. 推奨レイアウト

9 デバイスおよびドキュメントのサポート

9.1 デバイスの命名規則

表 9-1 および 表 9-2 に、部品番号に基づいてデバイスの機能を識別する方法が示されています。

表 9-1. デバイスのスレッシュホールド TPS388C06-Q1

注文コード	スレッシュホールド	VMON2 (V)	VMON3 (V)	VMON4 (V)	VMON5 (V)	VMON6 (V)	VMON7 (V)
TPS388C06001RTER-Q1	UV_HF / OV_HF	3.0/3.6	1.08/1.30	1.60/1.98	0.90/1.1	1.60/1.98	2.72/3.6

表 9-2. デバイス構成表

注文コード	WD クローズ / オープン ウィンドウ	スケーリング	OV / UV デバウンス	NRST マッピング	WD フォルト マッピング	BIST	SEQ タイムアウト / リセット遅延	PEC ⁽¹⁾	I ² C プルアップ電圧 (V)	WD の最大制限超過数 / WD スタートアップ遅延倍器
TPS388C06001RTER	10ms / 188ms	4/4/4/4/4 /4	102.4μsec	MON7	NIRQ	POR 時	25ms/20ms	無効	3.3	1/0

(1) PEC が有効化された部品の場合:

- PEC の計算は、0x00 への初期化に基づいています。
- PEC が制限を超え場合、NIRQ がアサートされる前に、次の I²C トランザクションを行う必要があります。
- 正しくない PEC が与えられた場合、NIRQ がアサートされます。TPS388C0x-Q1
- 正しい PEC バイトの書き込みに成功した後に余分なバイトがある場合、NIRQ がアサートされ、書き込みが失敗します。

9.2 ドキュメントのサポート

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

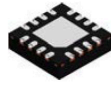
10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
April 2025	*	初版

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

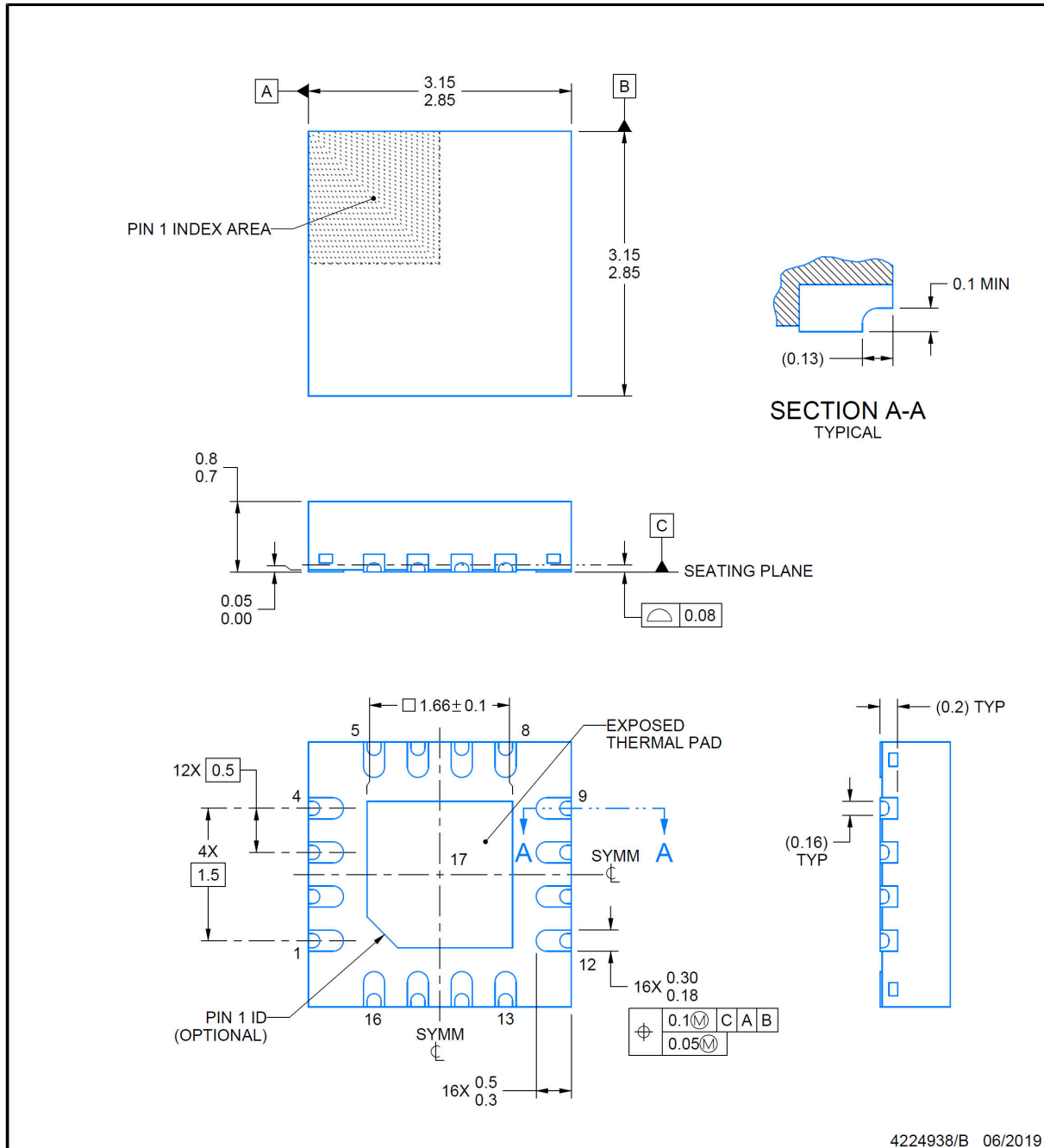


RTE0016K

PACKAGE OUTLINE

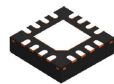
WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

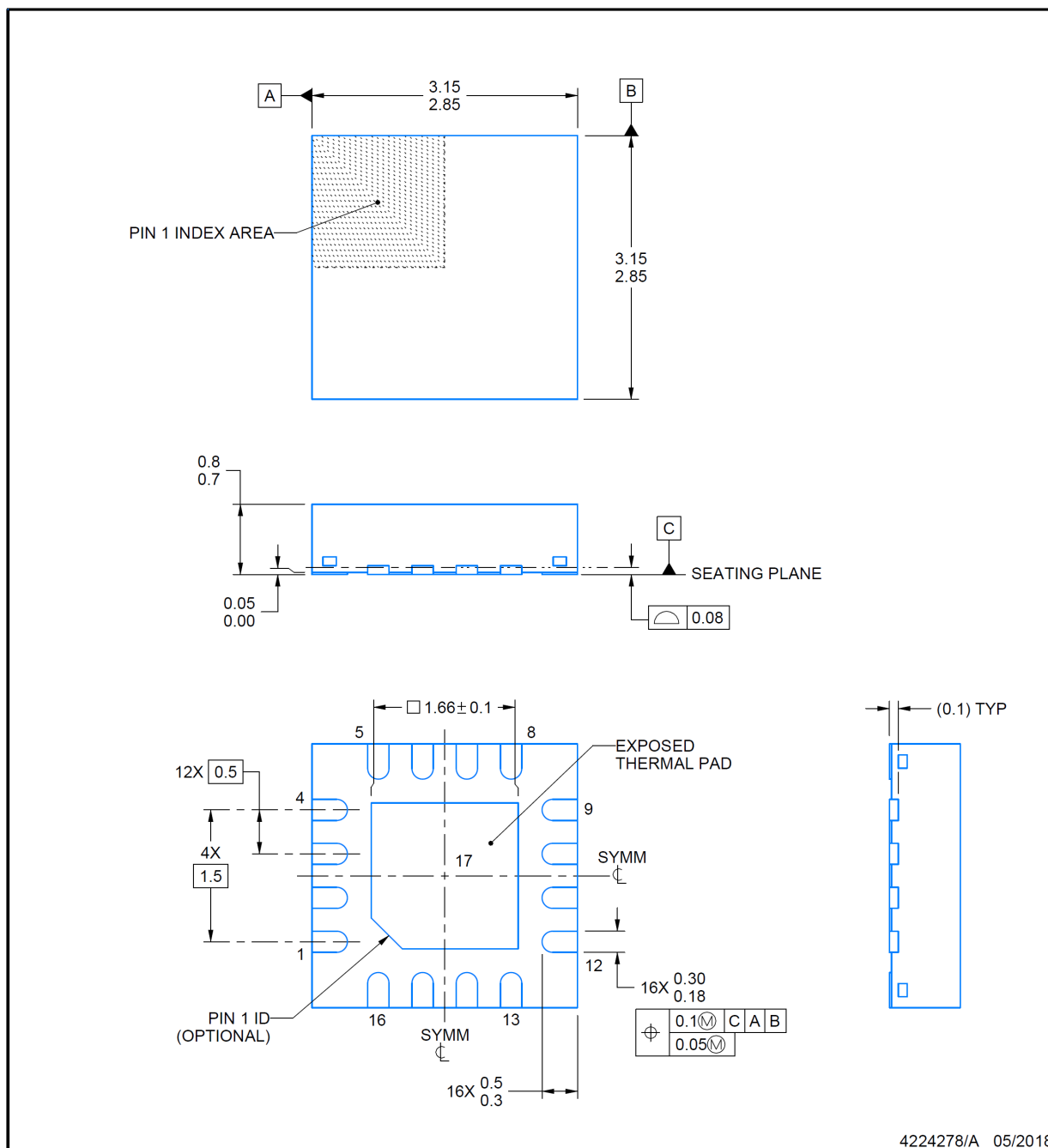


RTE0016J

PACKAGE OUTLINE

WQFN - 0.8 mm max height

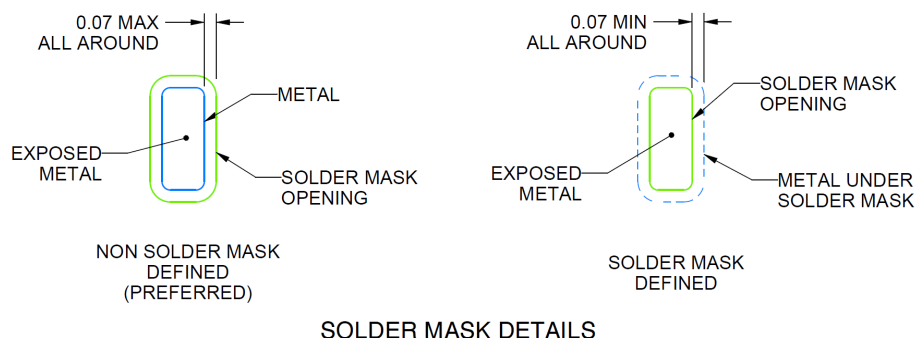
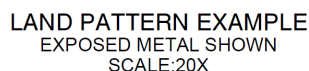
PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

PLASTIC QUAD FLATPACK - NO LEAD



4224938/B 06/2019

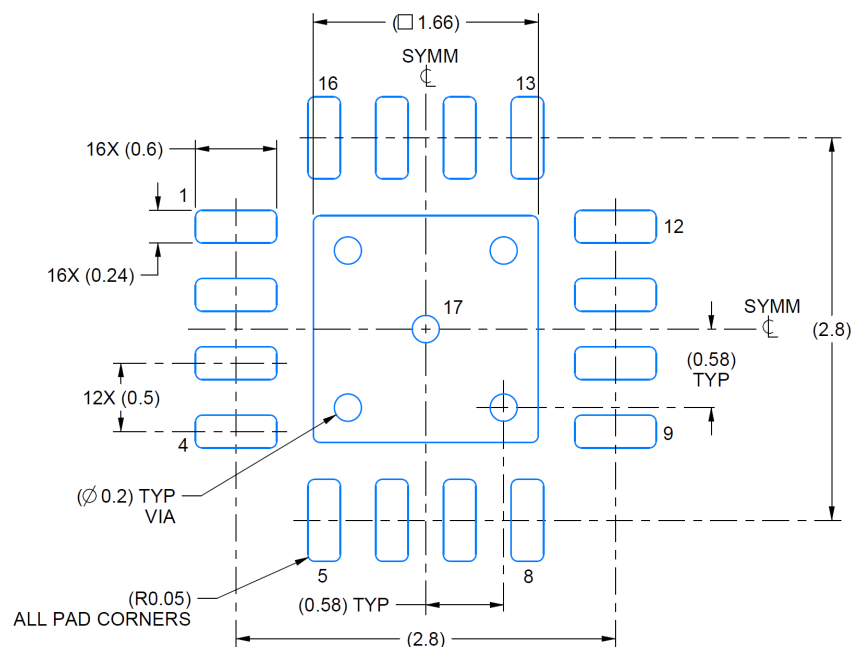
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sl原因271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE BOARD LAYOUT

RTE0016J

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4224278/A 05/2018

NOTES: (continued)

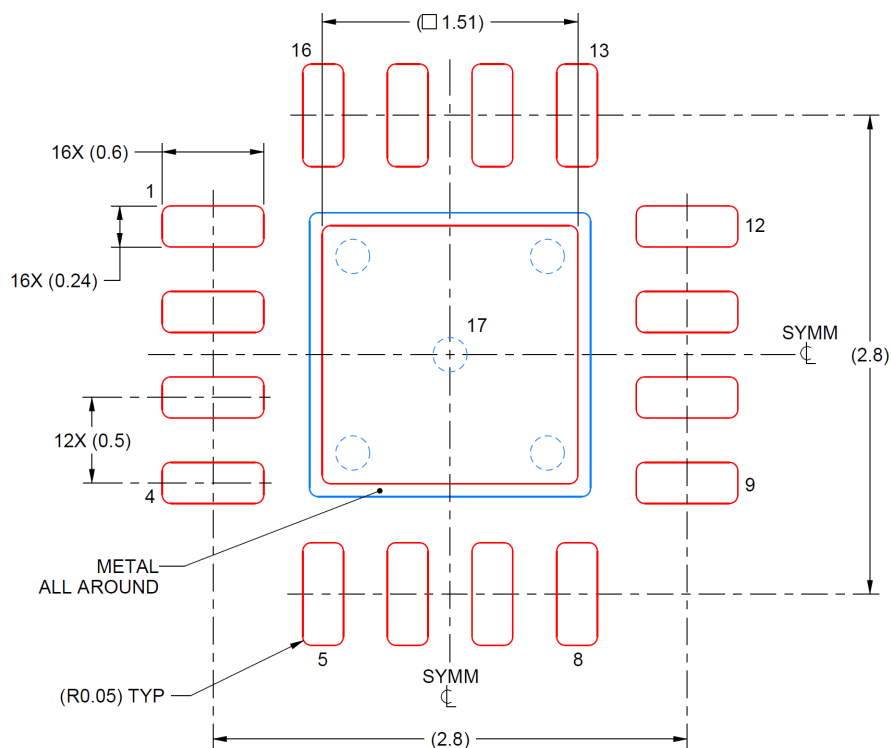
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RTE0016K

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
84% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4224938/B 06/2019

NOTES: (continued)

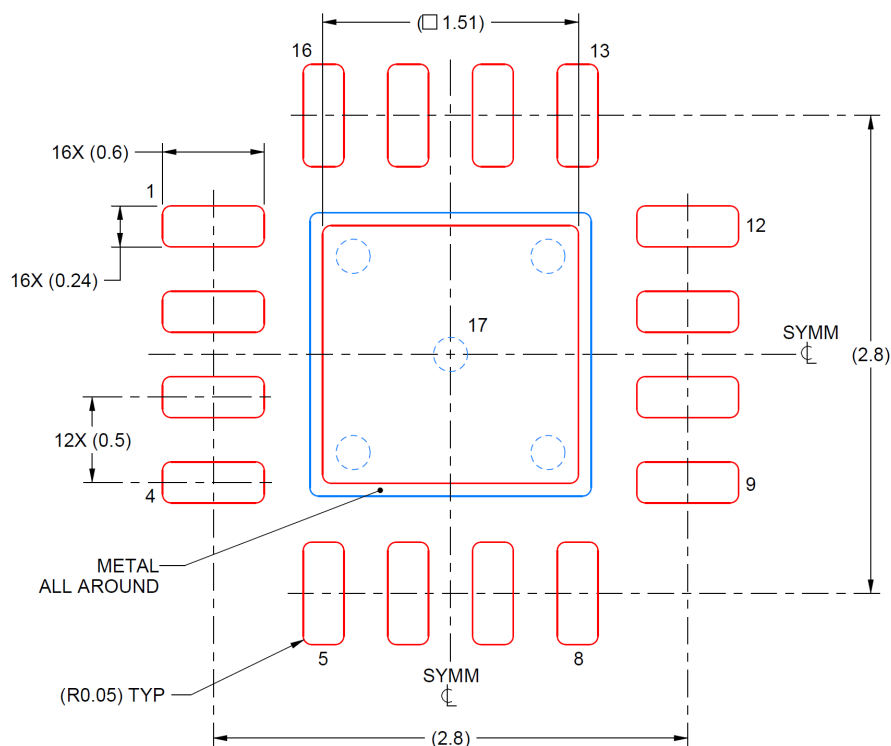
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

EXAMPLE STENCIL DESIGN

RTE0016J

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
EXPOSED PAD 17:
84% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4224278/A 05/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS388C06001RTERQ1	Active	Production	WQFN (RTE) 16	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TC060
TPS388C06001RTERQ1.A	Active	Production	null (null)	3000 LARGE T&R	-	NIPDAU	Level-2-260C-1 YEAR	See TPS388C06001RTERQ1	TC060

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS388C06001RTERQ1	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS388C06001RTERQ1	WQFN	RTE	16	3000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

RTE 16

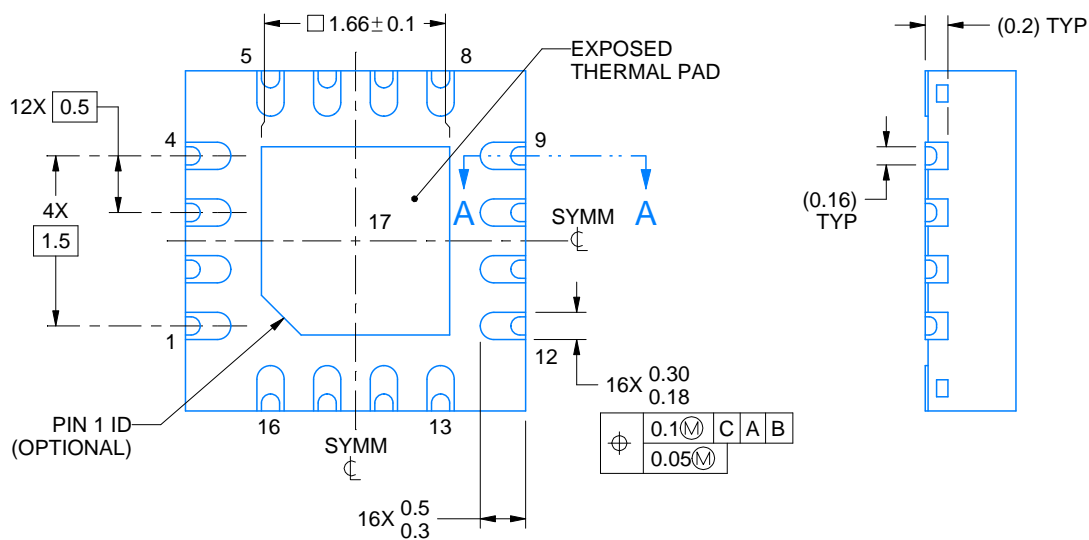
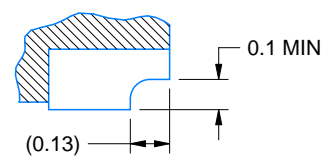
WQFN - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



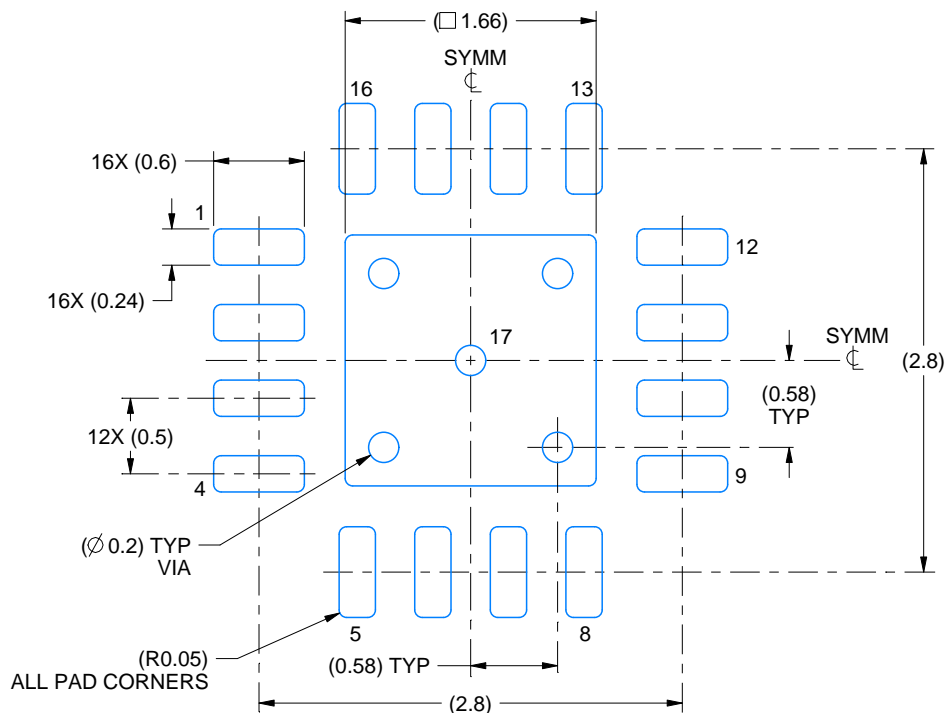


1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

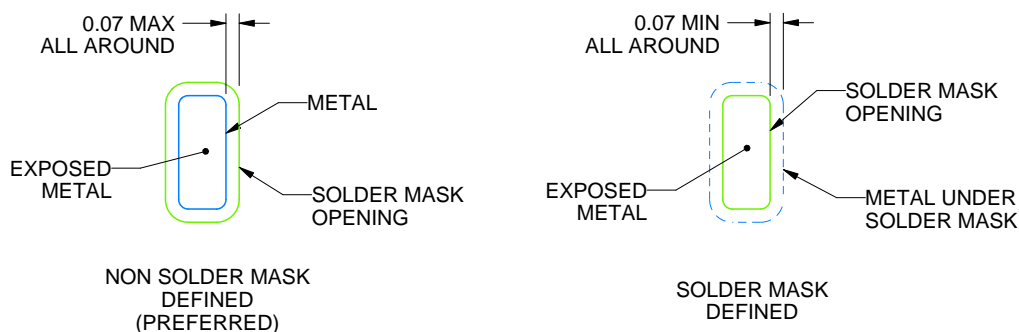
RTE0016K

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4224938/C 03/2022

NOTES: (continued)

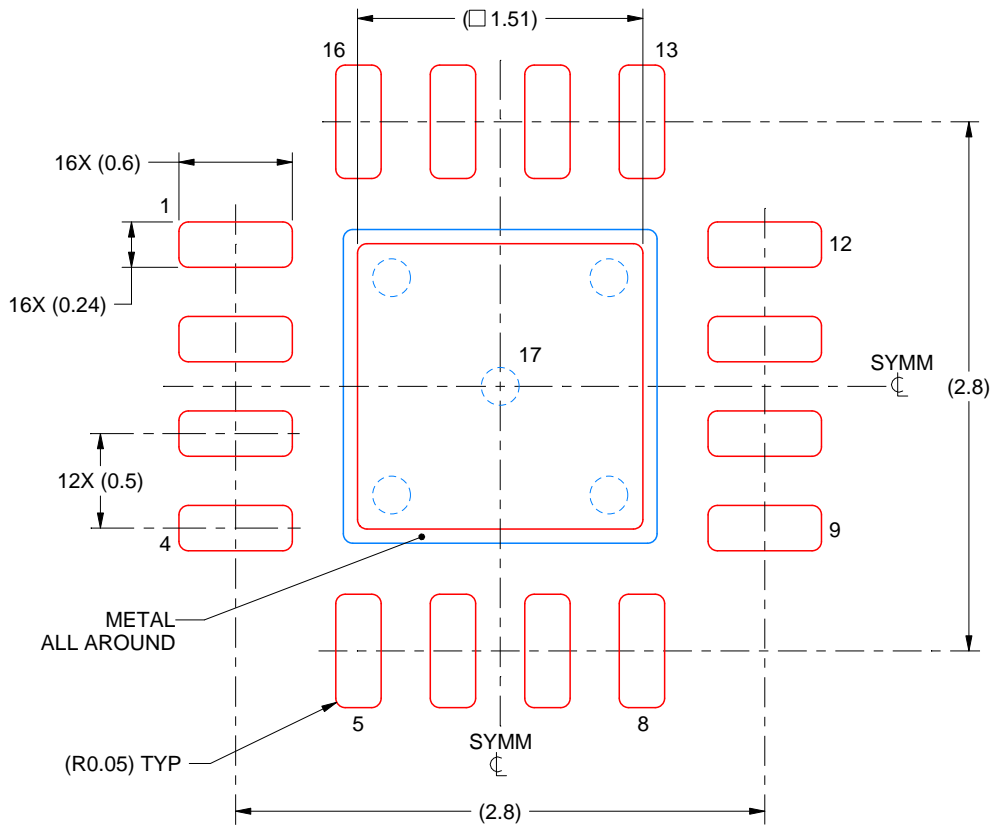
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RTE0016K

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
84% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4224938/C 03/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適したテキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとしします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているテキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかるテキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated