

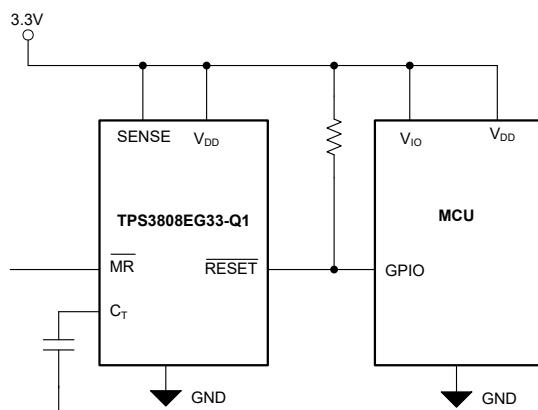
TPS3808E-Q1 低静止電流、遅延時間プログラム可能、車載用、監視回路

1 特長

- 以下の結果で AEC-Q100 認定済み:
 - デバイス温度グレード 1: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$
- 電源レールの低電圧監視
- 高いスレッショルド精度 (標準値 1%) による信頼性の高い監視
- $0.9\text{V} \sim 5\text{V}$ の固定電圧スレッショルド オプション
- 可変電圧オプションを利用可能 (0.405V)
- 監視用のセンスピンと電力用の V_{DD} ピンを分離
- 超低消費電力の小型ソリューション
 - 静止電流: $0.6\mu\text{A}$ (代表値)
 - コンパクトな 6 ピン SOT23 パッケージ ($2.9\text{mm} \times 1.6\text{mm}$)
- 安全でない電源オンを防止する、高度に構成可能なリセット時間遅延
 - $1.25\text{ms} \sim 150\text{s}$ で可変
- オンデマンドで RESET 出力をアサートする個別のマニュアルリセット入力 (MR)

2 アプリケーション

- ADAS ドメイン・コントローラ
- 車載ゲートウェイ
- 車載ヘッド・ユニット
- デジタル・コックピット処理装置
- テレマティクス制御ユニット
- ドライバー監視



代表的なアプリケーション

3 説明

TPS3808E-Q1 ファミリはマイクロプロセッサ監視回路で、 $0.4\text{V} \sim 5\text{V}$ のシステム電圧を監視でき、SENSE 電圧が設定済みのスレッショルドより低下したとき、またはマニュアルリセット (MR) ピンが論理 LOW に低下したとき、オープンドレインの RESET 信号をアサートします。RESET 出力は、SENSE 電圧とマニュアルリセット (MR) がそれぞれのスレッショルド以上に復帰した後も、ユーザーが設定した遅延時間だけ LOW に維持されます。

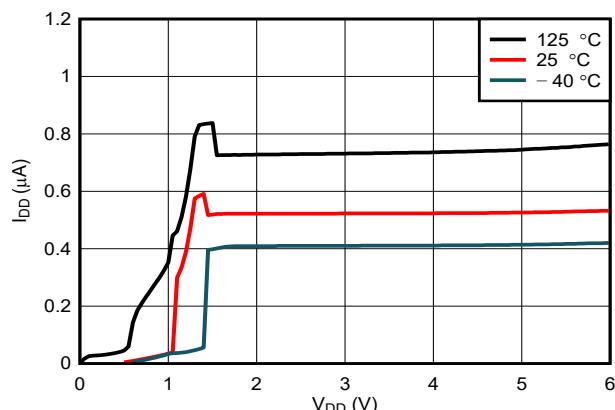
TPS3808E-Q1 デバイスは、高精度の基準電圧を使用して、 0.5% のスレッショルド精度を実現しています。リセット遅延時間は、 C_T ピンを未接続にすることで 20ms に設定でき、抵抗を使用して C_T ピンを V_{DD} に接続することで 300ms に設定できます。または、 C_T ピンを外部コンデンサに接続することで $1.25\text{ms} \sim 150\text{s}$ の範囲でユーザーが調整することもできます。TPS3808E デバイスは、静止電流が $0.6\mu\text{A}$ (代表値) と非常に小さいため、バッテリ駆動のアプリケーション向けに設計されています。TPS3808E-Q1 は SOT-23-6 で供給され、 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ (T_J) の温度範囲で完全に動作が規定されています。

製品情報

部品番号	パッケージ ⁽¹⁾	本体サイズ (公称) ⁽²⁾
TPS3808E	SOT-23 (6)	$2.90\text{mm} \times 1.60\text{mm}$

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はビンを含みます。



電源電流と電源電圧との関係



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....	1	8.3 機能説明.....	11
2 アプリケーション.....	1	8.4 デバイスの機能モード.....	13
3 説明.....	1	9 アプリケーションと実装.....	15
4 デバイスのスレッショルド電圧.....	3	9.1 アプリケーション情報.....	15
5 ピン構成および機能.....	4	9.2 代表的なアプリケーション.....	15
6 仕様.....	5	9.3 電源に関する推奨事項.....	17
6.1 絶対最大定格.....	5	9.4 レイアウト.....	17
6.2 ESD 定格	5	10 デバイスおよびドキュメントのサポート.....	19
6.3 推奨動作条件.....	5	10.1 デバイス サポート.....	19
6.4 熱に関する情報.....	5	10.2 ドキュメントのサポート.....	19
6.5 電気的特性.....	6	10.3 ドキュメントの更新通知を受け取る方法.....	19
6.6 タイミング要件.....	7	10.4 サポート・リソース.....	19
6.7 タイミング図.....	7	10.5 商標.....	19
7 代表的特性.....	8	10.6 静電気放電に関する注意事項.....	19
8 詳細説明.....	10	10.7 用語集.....	19
8.1 概要.....	10	11 改訂履歴.....	19
8.2 機能ブロック図.....	10	12 メカニカル、パッケージ、および注文情報.....	20

4 デバイスのスレッショルド電圧

下表に、監視対象の公称レールと、デバイスのそれに対応するスレッショルド電圧を示します。

部品番号	公称電源電圧	スレッショルド電圧 (V_{IT})
TPS3808EG01	可変	0.405V
TPS3808EG09	0.9V	0.84V
TPS3808EG12	1.2V	1.12V
TPS3808EG125	1.25V	1.16V
TPS3808EG15	1.5V	1.40V
TPS3808EG18	1.8V	1.67V
TPS3808EG19	1.9V	1.77V
TPS3808EG25	2.5V	2.33V
TPS3808EG30	3V	2.79V
TPS3808EG33	3.3V	3.07V
TPS3808EG50	5V	4.65V

5 ピン構成および機能

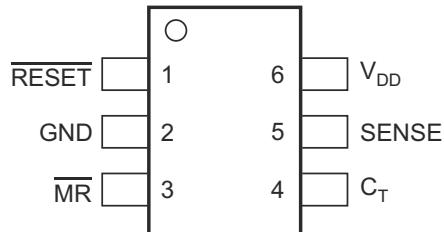


図 5-1. DBV パッケージ
6 ピン SOT-23
上面図

表 5-1. ピンの機能

ピン		I/O	説明
名称	SOT-23		
C _T	4	I	リセット期間のプログラミング ピン。このピンを $40\text{k}\Omega \sim 200\text{k}\Omega$ の抵抗を介して V _{DD} に接続するか、ピンをオープンのままにしておくと、遅延時間が固定されます。このピンをグランド基準コンデンサ $\geq 130\text{pF}$ に接続すると、遅延時間をユーザーがプログラム可能になります。
GND	2	—	グランド
MR	3	I	マニュアルリセットピン ($\overline{\text{MR}}$) を low に駆動すると、 $\overline{\text{RESET}}$ がアサートされます。 $\overline{\text{MR}}$ は、内部的に $90\text{k}\Omega$ のプルアップ抵抗によって V _{DD} に接続されます。
RESET	1	O	$\overline{\text{RESET}}$ はオープンドレイン出力であり、 $\overline{\text{RESET}}$ がアサートされると (SENSE 入力がスレッショルド電圧 [V _{IT}] より低い場合、または $\overline{\text{MR}}$ ピンがロジック low に設定されている場合)、低インピーダンス状態に駆動されます。 $\overline{\text{RESET}}$ は、両方の SENSE が V _{IT} を上回り、 $\overline{\text{MR}}$ がロジック high に設定された後、リセット期間中 low (アサート) に維持されます。このピンには、 $10\text{k}\Omega \sim 1\text{M}\Omega$ のプルアップ抵抗を使用する必要があります。これにより、リセットピンは V _{DD} より高い電圧に到達できます。
SENSE	5	I	このピンは、監視対象の電圧に接続されています。このピンの電圧がスレッショルド電圧 V _{IT} を下回ると、 $\overline{\text{RESET}}$ がアサートされます。
V _{DD}	6	I	電源電圧。適切なアナログ設計を行う場合、このピンの近くに $0.1\mu\text{F}$ セラミック コンデンサを配置します。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電圧	V_{DD} 、 V_{CT} 、 V_{RESET} 、 V_{MR} 、 V_{SENSE}	-0.3	6.5	V
電流	I_{RESET}		± 5	mA
温度 ⁽²⁾	動作時の接合部温度、 T_J	-40	150	°C
	自由気流での動作温度 (T_A)	-40	150	°C
	保管温度、 T_{stg}	-65	150	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみに関するものであり、絶対最大定格において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) このデバイスの消費電力は低いため、 $T_J = T_A$ と想定されます。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 ⁽¹⁾	± 2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	± 1000	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

		最小値	公称値	最大値	単位
V_{DD}	電源ピンの電圧	1.7	6	6	V
V_{SENSE}	入力ピンの電圧	0	6	6	V
V_{CT}	CT ピン電圧			V_{DD}	V
V_{MR}	\bar{MR} ピン電圧	0	6	6	V
V_{RESET}	出力ピン電圧	0	6	6	V
I_{RESET}	出力ピンの電流	0	5	5	mA
T_J	接合部温度 (自由気流の温度)	-40	125	125	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS3808E-Q1	単位
		DBV (SOT23-6)	
		6 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	210.8	°C/W
$R_{\theta JC(\text{top})}$	接合部からケース (上面) への熱抵抗	131.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	91.7	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	67.6	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	91.3	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.5 電気的特性

$1.7V \leq V_{DD} \leq 6V$ 、 $CT = \overline{MR} = \text{オープン}$ 、 $\overline{\text{RESET}}$ 電圧 (V_{RESET}) = $100k\Omega$ から V_{DD} 、 $\overline{\text{RESET}}$ 負荷 = $50pF$ 、および自由気流での動作温度範囲は $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ (特に記述のない限り)。標準値は $T_J = 25^{\circ}\text{C}$ 時に測定。

パラメータ	テスト条件	最小値	標準値	最大値	単位
V_{DD}	電源電圧	1.7	6		V
V_{POR}	パワー オン リセット電圧 (2)	V_{OL} (最大) = 0.25V、 $I_{OUT} = 15\mu\text{A}$		1	V
$V_{IT-(UV)}$	負方向のスレッショルド精度	可変 V_{IT}	-2	± 1	%
$V_{IT-(UV)}$	負方向のスレッショルド精度	固定 V_{IT}	-1.5	± 0.5	%
V_{HYS}	ヒステリシス電圧(1)	固定 V_{th}	1	2.5	%
V_{HYS}	ヒステリシス電圧(1)	可変 V_{th}	1	2.5	%
I_{DD}	電源電流	$VDD = 3.3V$	0.6	1.5	μA
I_{DD}	電源電流	$VDD = 6V$	0.6	1.5	μA
I_{SENSE}	入力電流、SENSE ピン	$V_{SENSE} = V_{IT}$ 、TPS3808EG01	-25	25	nA
I_{SENSE}	入力電流、SENSE ピン	$V_{SENSE} = 6V$ 、固定バージョン	0.75	1.25	μA
V_{OL}	Low レベル出力電圧	$1.7V \leq V_{DD} < 6V$ 、 $I_{OUT} = 1\text{mA}$	400		mV
I_{LKG}	オープン ドレイン出力リーク電流	$V_{DD} = V_{\text{RESET}} = 6V$	300		nA
V_{MR_L}	\overline{MR} ロジック Low 入力			$0.3V_{DD}$	V
V_{MR_H}	\overline{MR} ロジック High 入力		$0.7V_{DD}$		V
R_{MR}	マニュアル リセットの内部プルアップ抵抗		90		$\text{k}\Omega$

(1) ヒステリシスは、トリポイント $V_{IT-(UV)}$ と関連しています。

(2) V_{POR} は、制御された出力状態の最小 V_{DD} 電圧レベルです。

6.6 タイミング要件

$1.7V \leq V_{DD} \leq 6V$ 、 $CT = \overline{MR}$ = オープン、 \overline{RESET} 電圧 (V_{RESET}) = $100k\Omega$ から V_{DD} 、 \overline{RESET} 負荷 = $50pF$ 、および自由気流での動作温度範囲は $-40^{\circ}C \sim 125^{\circ}C$ (特に記述のない限り)。標準値は $T_J = 25^{\circ}C$ 時に測定。

			最小値	公称値	最大値	単位
t_D	リセット時間遅延	$CT = \text{オープン}$	12	20	28	ms
t_D	リセット時間遅延	$CT = V_{DD}$	180	300	420	ms
t_D	リセット時間遅延	$CT = 130pF$	0.75	1.25	1.75	ms
t_D	リセット時間遅延	$CT = 150nF$		0.83		s
t_{PD}	伝搬検出遅延 ⁽¹⁾ (2)			30	50	μs
t_{SD}	スタートアップ遅延 ⁽³⁾			300		μs
$t_{GI(VIT)}$	グリッヂ耐性の低電圧 $V_{IT-(UV)}$ 、5% オーバードライブ ⁽¹⁾			5		μs
$t_{GI(MR)}$	グリッヂ耐性 \overline{MR} ピン			50		ns
$t_{PD(MR)}$	\overline{MR} が low になってから \overline{RESET} がアサートされるまでの伝搬遅延			500		ns

(1) スレッショルドから 5% オーバードライブオーバードライブ % = $[V_{SENSE} - V_{IT}] / V_{IT}$ 、 V_{IT} は $V_{IT-(UV)}$ を表します

(2) スレッショルドトリップ ポイント ($V_{IT-(UV)}$ または $V_{IT+(OV)}$) から \overline{RESET} V_{OL} 電圧までの T_{PD} 測定値

(3) 電源オンシーケンスの間、出力が正しい状態になるには、出力が少なくとも $t_{SD} + t_D$ の間、 V_{DD} が $V_{DD(\text{MIN})}$ 以上である必要があります。

6.7 タイミング図

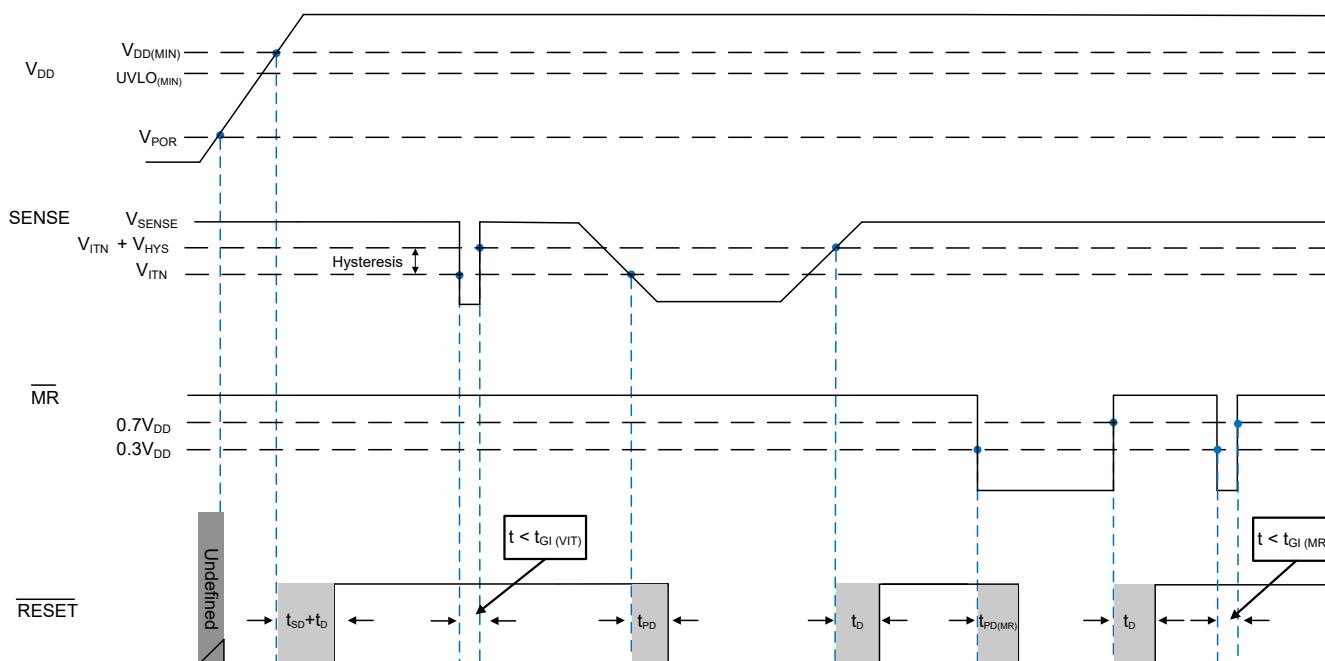


図 6-1. タイミング図

7 代表的特性

$T_J = 25^\circ\text{C}$ 、 $V_{DD} = 3.3\text{V}$ 、 $R_{RESET} = 100\text{k}\Omega$ 、 $C_{RESET} = 50\text{pF}$ (特に記述のない限り)。

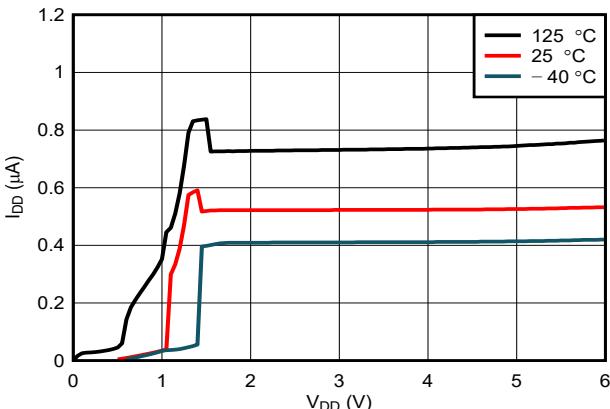


図 7-1. 電源電流と電源電圧との関係

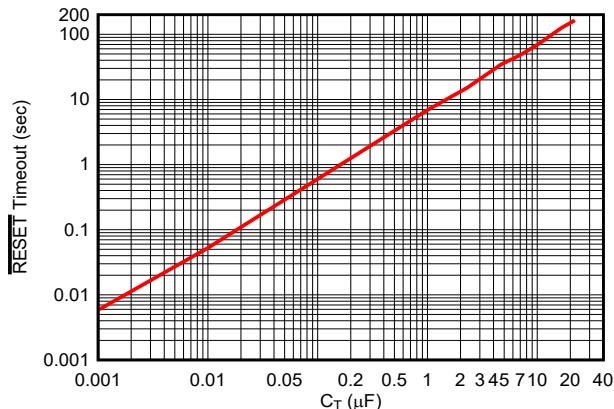


図 7-2. RESET タイムアウト期間と C_T との関係

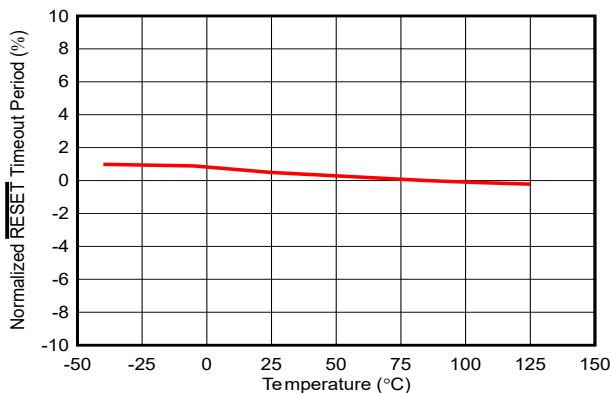


図 7-3. 正規化 RESET タイムアウト期間と温度との関係 ($CT = \text{オープン}$ 、 $CT = VDD$ 、 $CT = \text{Any}$)

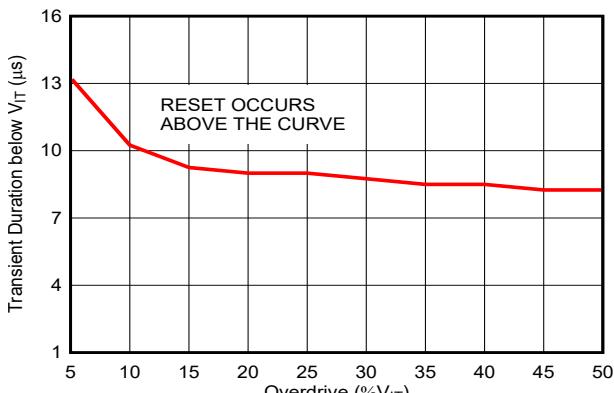


図 7-4. 検出時の最大過渡時間と検出スレッショルドオーバードライブ電圧との関係

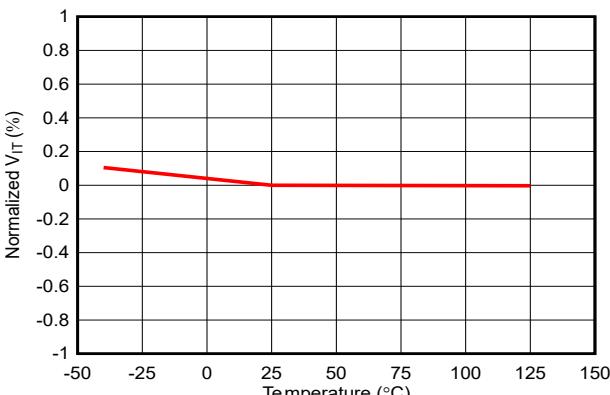


図 7-5. 正規化検出スレッショルド電圧 (V_{IT}) と温度との関係

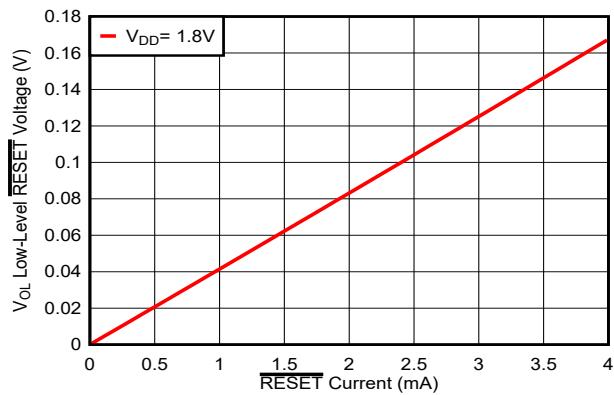


図 7-6. Low レベル RESET 電圧と RESET 電流との関係

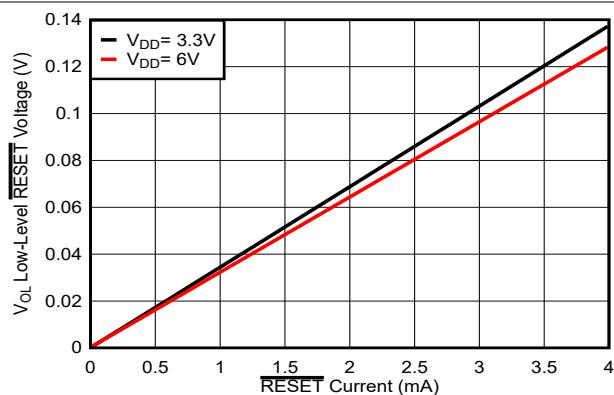


図 7-7. Low レベル RESET 電圧と RESET 電流との関係

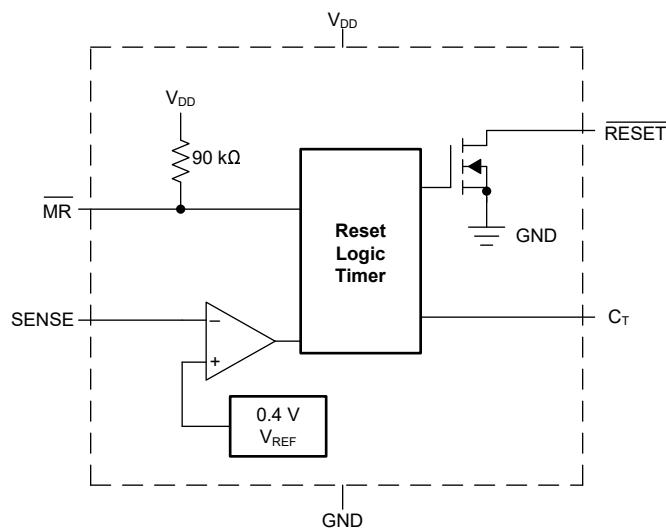
8 詳細説明

8.1 概要

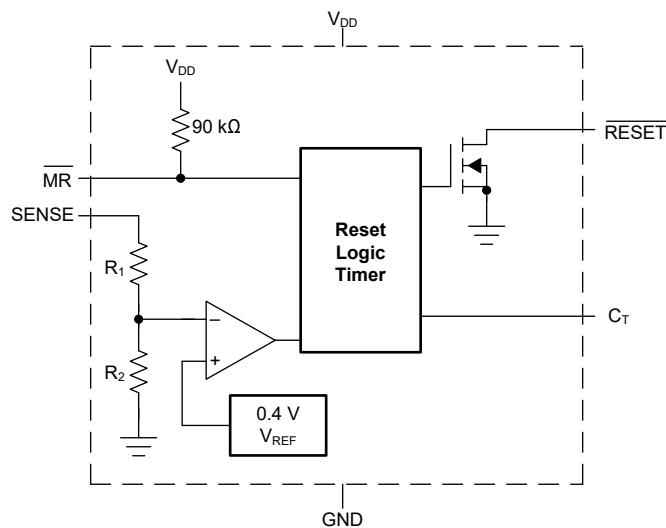
TPS3808E マイクロプロセッサ監視製品ファミリは、プログラマブル遅延時間とマニュアルリセット機能を備えた低静止電流のシングル チャネル監視製品です。TPS3808E-Q1 マイクロプロセッサ監視製品ファミリは、SENSE ピンの電圧が V_{IT} を下回るか、マニュアルリセット (MR) が low に駆動されたときに $\overline{\text{RESET}}$ 信号をアサートするように設計されています。マニュアルリセット (MR) 電圧と SENSE 電圧の両方がそれぞれのスレッショルド以上に復帰した後も、 $\overline{\text{RESET}}$ 出力はユーザーが設定した時間だけアサートされたままになります。

TPS3808E 製品ファミリは固定スレッショルド オプションを備えており、外部抵抗デバイダが不要で、0.9V ~ 5V の標準電圧レールと可変スレッショルド オプションを監視でき、高いスレッショルド精度の両方で最低 0.4V の電圧を監視できます。外部抵抗デバイダを接続することで、可変電圧バージョンで標準電圧レールも監視できます。

8.2 機能ブロック図



可変電圧バージョン



固定電圧バージョン

8.3 機能説明

TPS3808E-Q1 デバイスは、幅広い電圧スレッショルドとリセット遅延時間の調整機能を利用できるため、これらのデバイスを幅広いアプリケーションで使用できます。リセットスレッショルド電圧は工場出荷時に $0.82V \sim 3.3V$ または $4.4V \sim 5V$ に設定できますが、可変バリアントは外部抵抗デバイスを使用して、 $0.405V$ 以上の任意の電圧に設定できます。2つのプリセットされた遅延時間もユーザーが選択可能です。 C_T ピンを V_{DD} に接続すると $300ms$ のリセット遅延が発生し、 C_T ピンをオープンのままにすると $20ms$ のリセット遅延が発生します。さらに、 C_T と GND の間にコンデンサを接続することで、設計者は $1.25ms \sim 150s$ の任意のリセット遅延期間を選択できます。

8.3.1 SENSE 入力

SENSE 入力には、任意のシステム電圧を監視できるピンがあります。このピンの電圧が V_{IT} を下回ると、 \overline{RESET} がアサートされます。コンパレータにはヒステリシスが内蔵されているため、スムーズな \overline{RESET} のアサートとデアサートが確実に行われます。過渡に対する感度やレイアウトの寄生容量を減らすために、SENSE 入力に $1nF \sim 10nF$ のバイパスコンデンサを配置するのが優れたアナログ設計手法です。

TPS3808E-Q1 デバイスは、SENSE ピンで発生する短い負の過渡に対して比較的耐性があります。過渡に対する感度は、スレッショルド オーバードライブに依存します。

図 8-1 に示されている回路を使用して、最小 $0.405V$ までの任意の電圧レールを監視するために可変バリアントを使用できます。

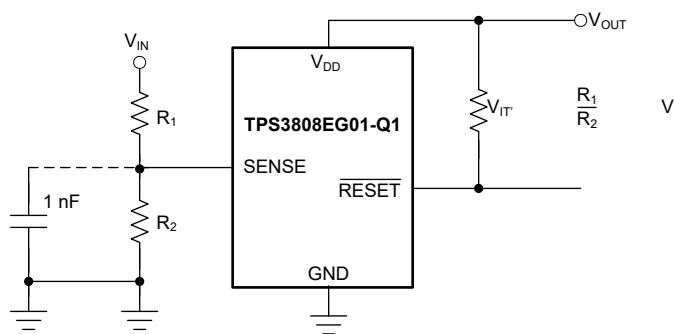


図 8-1. TPS3808EG01-Q1 を使用したユーザー定義のスレッショルド電圧の監視

8.3.2 リセット遅延時間の選択

図 8-2 に示されているように、TPS3808E-Q1 には、 \overline{RESET} 遅延時間を設定する 3 つのオプションがあります。図 8-2 (a) に、 C_T を V_{DD} に接続した場合の $300ms$ (標準値) 固定遅延時間の構成を示します。 $40k\Omega$ と $200k\Omega$ の間に抵抗を接続する必要があります。消費電流は、抵抗の選択には影響されません。図 8-2 (b) に、 C_T ピンをオープンにしたままの場合の $20ms$ の固定遅延時間を示します。図 8-2 (c) に、ユーザー定義のプログラム時間が $1.25ms \sim 150s$ である場合の、 C_T に接続されたグランド基準コンデンサを示します。

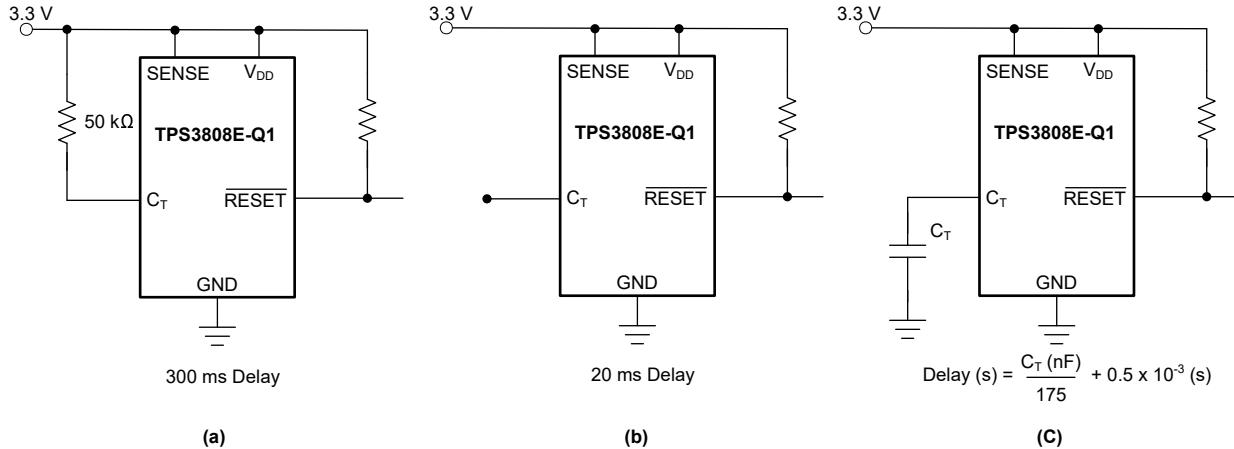


図 8-2. **RESET** 遅延時間の設定に使用する構成

TPS3808Exxx がコンデンサの存在を認識できるように、コンデンサ C_T は $\geq 100\text{pF}$ (公称値) とする必要があります。特定の遅延時間のコンデンサの値は、式 1 を使用して計算できます。

$$C_T (\text{nF}) = [t_D (\text{s}) - 0.5 \times 10^{-3} (\text{s})] \times 175 \quad (1)$$

リセット遅延時間は、オンチップの高精度 220nA 電流源で外部コンデンサを内部スレッショルドまで充電するのに要する時間によって決定されます。**RESET** がアサートされると、コンデンサが放電されます。**RESET** 状態がクリアされると、内部電流源が有効になり、外部コンデンサの充電が開始されます。このコンデンサの電圧が内部スレッショルドを上回ると、**RESET** がデアサートされます。セラミックなどの低リーク タイプのコンデンサが使用可能であることに注意してください。このピン付近に浮遊容量があると、リセット遅延時間に誤差が発生する可能性があります。

電圧フォルトが発生すると、充電されたコンデンサが放電され、遅延コンデンサが完全に放電される前に監視対象の電圧がフォルト状態から戻ると、遅延時間は想定よりも短くなります。コンデンサは 0 を超える電圧から充電を開始し、予想よりも短くなります。電圧フォルト中にコンデンサが完全に放電するのに十分な時間がある限り、遅延コンデンサをさらに大きくすることもできます。

8.3.3 マニュアル **RESET** (**MR**) 入力

マニュアル リセット (**MR**) 入力により、プロセッサや他のロジック回路でリセットを開始できます。**MR** がロジック low (0.3V_{DD}) になると、**RESET** がアサートされます。**MR** がロジック high に戻り、SENSE がリセットスレッショルドを上回ると、ユーザー定義のリセット遅延が経過した後に **RESET** がデアサートされます。**MR** は 90kΩ 抵抗を使用して内部的に V_{DD} に接続されているため、**MR** を使用しない場合はこのピンを未接続のままにできます。

MR を使用して複数のシステム電圧を監視する方法については、図 8-3 を参照してください。**MR** を駆動するロジック信号が V_{DD} に完全に移行しない場合、**MR** の内部プルアップ抵抗の結果、V_{DD} に多少の電流が流れることに注意してください。消費電流を最小限に抑えるため、図 8-4 に示されているように、ロジックレベル FET を使用できます。

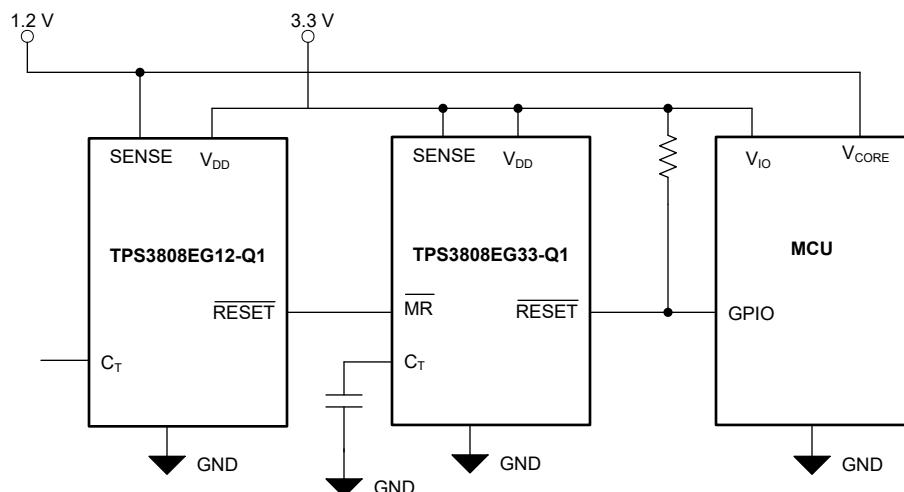


図 8-3. \overline{MR} を使用した複数のシステム電圧の監視

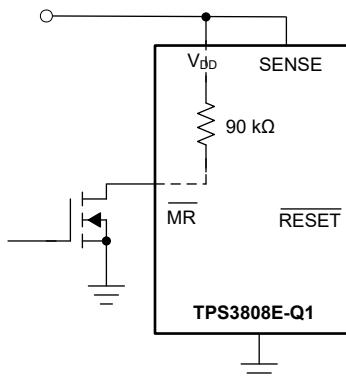


図 8-4. \overline{MR} 信号が V_{DD} にならない場合、外部 MOSFET を使用して I_{DD} を最小化

8.3.4 RESET 出力

\overline{RESET} は SENSE がスレッショルド (V_{IT}) を上回り、マニュアル リセット (\overline{MR}) がロジック high である限り、high (アサートなし) のままでです。SENSE が V_{IT} を下回るか、 \overline{MR} が low に駆動されると、 \overline{RESET} がアサートされ、 \overline{RESET} ピンが低インピーダンスに駆動されます。

\overline{MR} が再びロジック high になり、SENSE が $V_{IT} + V_{HYS}$ (スレッショルド ヒステリシス) を上回ると、遅延回路が有効になります。指定されたリセット遅延期間の間だけ \overline{RESET} を low に保持します。リセット遅延が経過すると、 \overline{RESET} ピンはハイインピーダンス状態に移行します。オープンドaine \overline{RESET} から電源ラインへのプルアップ抵抗を使用すると、マイクロプロセッサのリセット信号に V_{DD} (最大 6V) より高い電圧を使用できます。 \overline{RESET} ラインのインピーダンスは有限なため、プルアップ抵抗は 10kΩ より小さくしないでください。

8.4 デバイスの機能モード

表 8-1. 真理値表

MR	SENSE > V_{IT}	RESET
L	0	L
L	1	L
H	0	L
H	1	H

8.4.1 通常動作 ($V_{DD} > V_{DD(min)}$)

V_{DD} が $V_{DD(min)}$ より高い場合、 $\overline{\text{RESET}}$ 信号は SENSE ピンの電圧と $\overline{\text{MR}}$ のロジック状態によって決定されます。

- $\overline{\text{MR}} \text{ high}$: V_{DD} の電圧が、選択した t_D の時間にわたって 1.7V を超えると、 $\overline{\text{RESET}}$ 信号は V_{IT} に対する SENSE の電圧に対応します。
- $\overline{\text{MR}} \text{ low}$: このモードでは、SENSE ピンの値に関係なく、 $\overline{\text{RESET}}$ は low に保持されます。

8.4.2 パワーオン リセット超、 $V_{DD(min)}$ 未満 ($V_{POR} \leq V_{DD} < V_{DD(min)}$)

V_{DD} の電圧がデバイスの $V_{DD(min)}$ 電圧未満で、パワーオン リセット電圧 (V_{POR}) よりも高い場合、SENSE ピンの電圧に関係なく、それぞれ $\overline{\text{RESET}}$ 信号がアサートされ、低インピーダンスになります。

8.4.3 パワーオン リセット未満 ($V_{DD} < V_{POR}$)

V_{DD} の電圧が、アサートされた出力を内部で GND にプルするために必要な電圧 (V_{POR}) を下回った場合、 $\overline{\text{RESET}}$ は未定義であり、適切なデバイス機能には依存できなくなります。

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

以下のセクションでは、最終アプリケーションの要件に応じて、このデバイスを適切に使用する方法について詳しく説明します。

9.2 代表的なアプリケーション

図 9-1 に、3.3V プロセッサで使用される TPS3808E-Q1 の代表的なアプリケーションを示します。オープン ドレイン **RESET** 出力は、通常、マイクロプロセッサの **RESET** 入力に接続されます。**RESET** がアサートされていないとき、このラインを **high** に保持するためにプルアップ抵抗を使用する必要があります。**RESET** 出力は電圧が 0.8V 未満の場合は未定義ですが、ほとんどのマイクロプロセッサはこの電圧より低い場合には機能しないため、通常この特性は問題となりません。

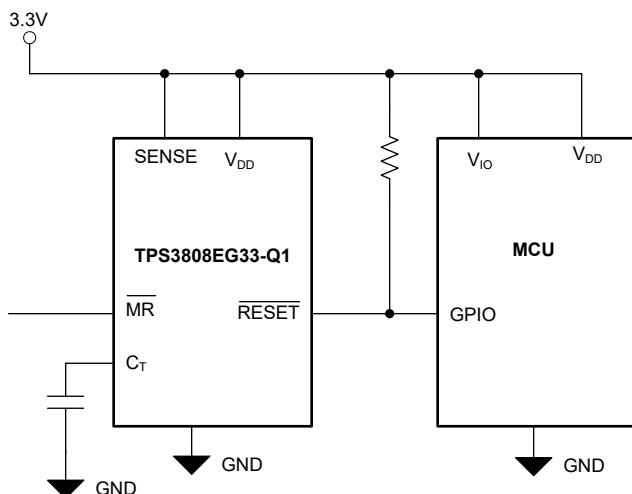


図 9-1. C2000 プロセッサを使用した TPS3808E-Q1 の代表的なアプリケーション

9.2.1 設計要件

TPS3808E-Q1 は、マイクロプロセッサの **RESET** 入力を駆動することを目的としています。**RESET** ピンは $100\text{k}\Omega$ 抵抗で **high** にプルアップされ、リセット遅延時間は、マイクロプロセッサのリセット要件時間に応じて C_T で制御されます。この場合、 C_T はオープンのままになり、標準的なリセット遅延時間 20ms 間保持されます。

9.2.2 詳細な設計手順

このアプリケーションの主な制約は、リセット遅延時間です。この場合、 C_T はオープンで、 20ms に設定されているためです。 $0.1\mu\text{F}$ デカップリング コンデンサを V_{DD} ピンに接続し、 $100\text{k}\Omega$ 抵抗を使用して **RESET** ピンを **high** にプルアップします。必要に応じて、**MR** ピンを外部信号に接続できます。

9.2.2.1 SENSE ピンに対する過渡電圧耐性

TPS3808E-Q1 は、SENSE ピンで発生する短い負の過渡に対して比較的耐性があります。過渡に対する感度は、スレッショルド オーバードライブに依存します。スレッショルド オーバードライブは、 V_{SENSE} が指定されたスレッショルドをどれだけ上回るかで定義され、オーバードライブが小さいほど RESET 応答が遅くなることを知っておくことが重要です。スレッショルド オーバードライブは、式 2 に示すように、対象のスレッショルドに対するパーセンテージとして計算されます。

$$\text{Overdrive} = |(V_{SENSE} / V_{IT} - 1) \times 100\%| \quad (2)$$

ここで

- V_{IT} はスレッショルド電圧です。

9.2.3 アプリケーション曲線

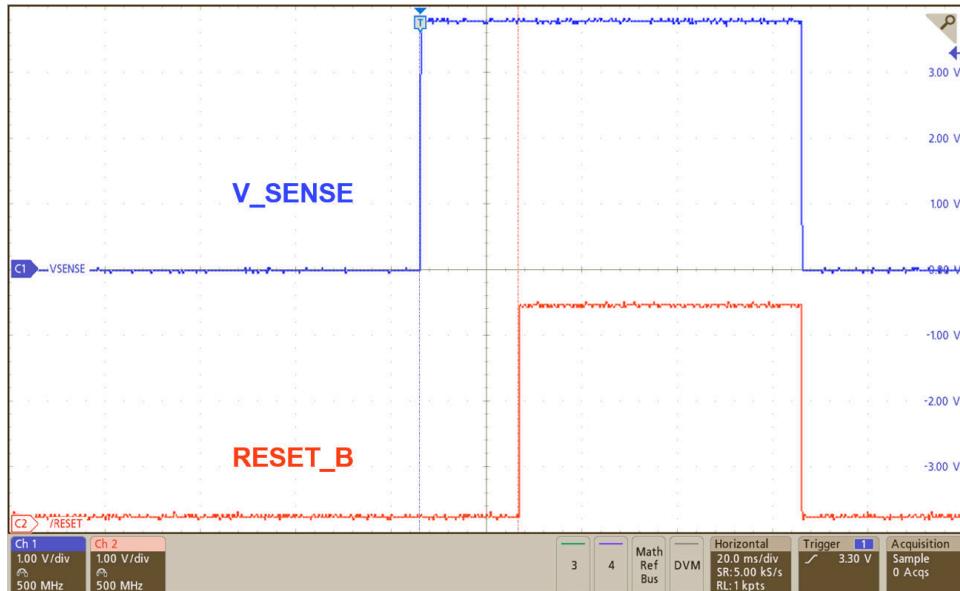


図 9-2. リセット時間遅延

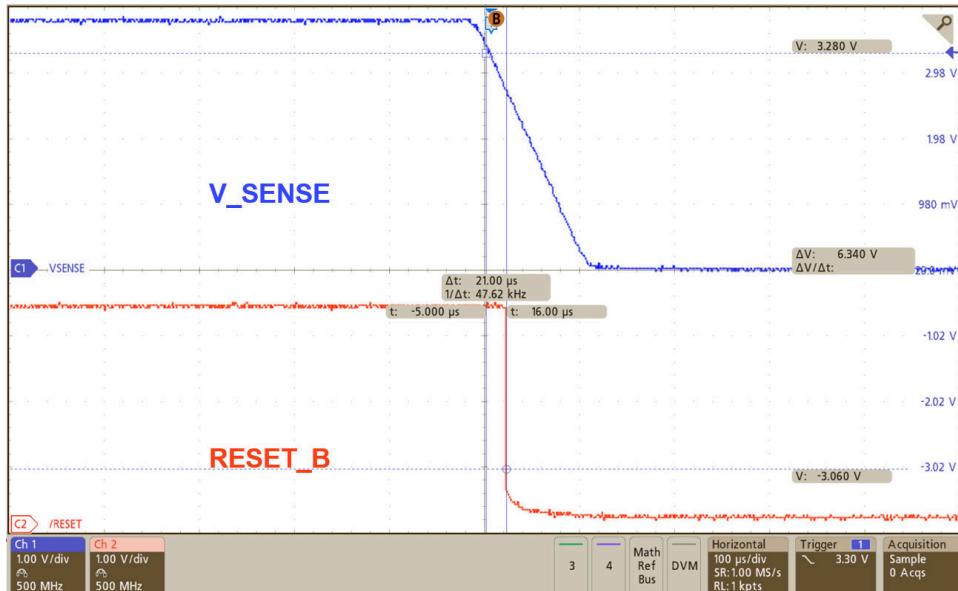


図 9-3. 伝搬検出遅延

9.3 電源に関する推奨事項

これらのデバイスは、1.7V ~ 6V の入力電源電圧範囲で動作するように設計されています。低インピーダンスの電源を使用して、電圧リファレンス リフレッシュ中の電流変化による誤差を排除してください。

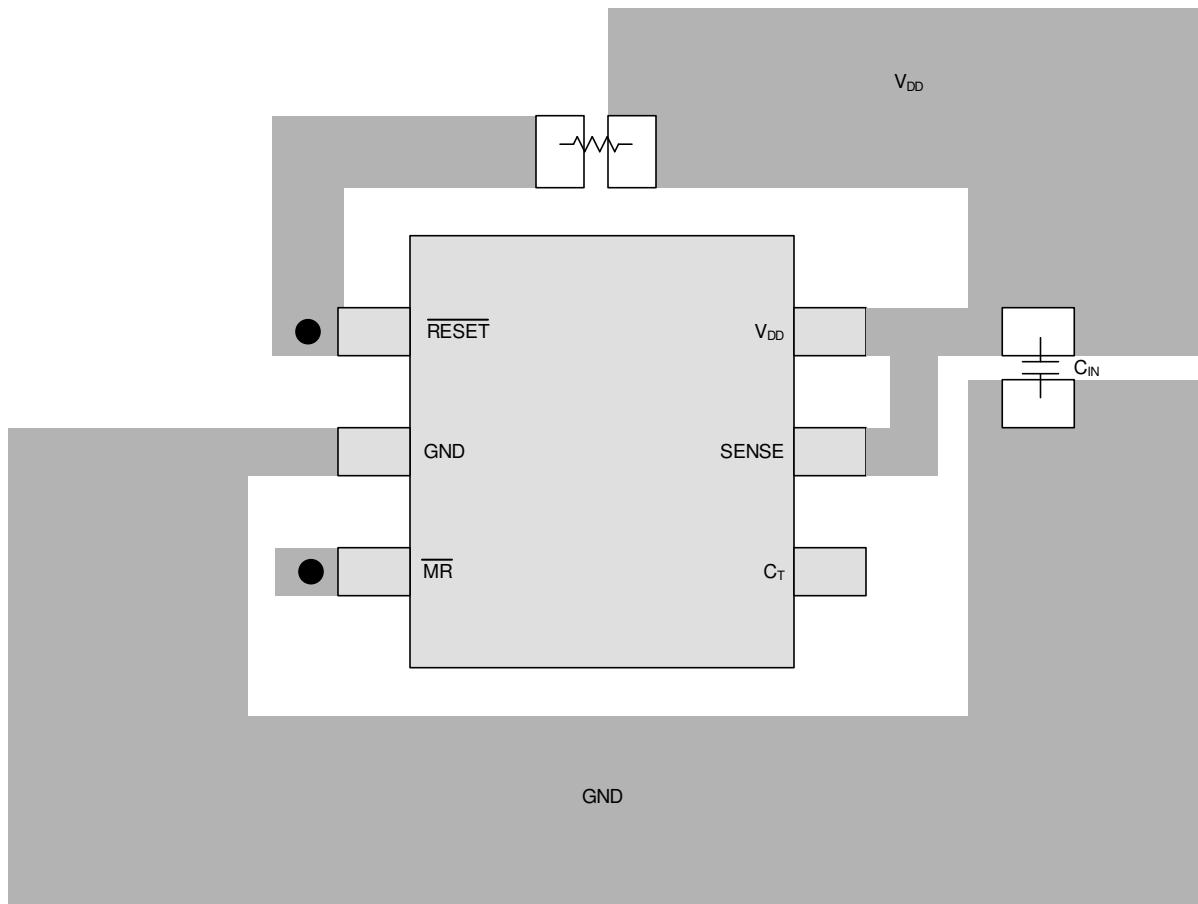
9.4 レイアウト

9.4.1 レイアウトのガイドライン

V_{DD} ピンへの接続が低インピーダンスであることを確認してください。0.1 μ F セラミック コンデンサを V_{DD} ピンの近くに配置します。 C_T ピンにコンデンサを接続しない場合は、 \overline{RESET} 遅延時間に悪影響を与えないように、このピンの寄生容量を最小限に抑える必要があります。

9.4.2 レイアウト例

20ms 遅延のレイアウト例 のレイアウト例に、20ms の遅延でプリント基板 (PCB) 上で TPS3808E-Q1 をレイアウトする方法を示します。



● Vias used to connect pins for application-specific connections

図 9-4. 20ms 遅延のレイアウト例

10 デバイスおよびドキュメントのサポート

10.1 デバイス サポート

10.1.1 開発サポート

10.1.1.1 評価基板

TPS3808E-Q1 を使用した初期の回路性能評価には、評価基板 (EVM) を利用することができます。TPS3808EG01DBVEVM 評価基板は、テキサス インスツルメンツの Web サイトにある製品フォルダで請求するか、TI eStore から直接購入でき、TPS3808E-Q1 と互換性があります。TPS3808E-Q1 サンプリングを注文し、既存の TPS3808 デバイスを置き換えるために使用する必要があります。

10.2 ドキュメントのサポート

10.2.1 関連資料

以下に示す関連ドキュメントは、www.ti.com からダウンロードできます。

- ・ アプリケーション ノート。『コンパレータ入力の抵抗デバイダの最適化』。文献番号 [SLVA450](#)。
- ・ アプリケーション ノート。『電源設計用の感度分析』。文献番号 [SLVA481](#)。
- ・ 『TPS3808EG01DBVEVM 評価基板ユーザー ガイド』。文献番号 [SBVU015](#)。

10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

10.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (December 2023) to Revision C (August 2025)

Page

- ・ 可変リセットタイミングの最大値を更新..... 1

• 図 7-2 を更新し、より広いタイムアウト期間を追加.....	8
• コンデンサの充電と放電に関する免責事項を追加.....	11

Changes from Revision A (November 2023) to Revision B (December 2023)	Page
--	-------------

• EC 表から TBD を削除.....	5
• RMR の最小値と最大値を削除.....	6

Changes from Revision * (April 2023) to Revision A (November 2023)	Page
---	-------------

• 量産データのリリース.....	1
-------------------	---

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。これらの情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあります。ドキュメントの改訂を伴わない場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS3808EG01DBVRQ1	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	EQ01
TPS3808EG01DBVRQ1.A	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	EQ01
TPS3808EG01DBVRQ1.B	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
TPS3808EG09DBVRQ1	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	EQ09
TPS3808EG09DBVRQ1.A	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	EQ09
TPS3808EG125DBVRQ1	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	Q125
TPS3808EG125DBVRQ1.A	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	Q125
TPS3808EG125DBVRQ1.B	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
TPS3808EG12DBVRQ1	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	EQ12
TPS3808EG12DBVRQ1.A	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	EQ12
TPS3808EG15DBVRQ1	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	EQ15
TPS3808EG15DBVRQ1.A	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	EQ15
TPS3808EG15DBVRQ1.B	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
TPS3808EG18DBVRQ1	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	(EG18, EQ18)
TPS3808EG18DBVRQ1.A	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(EG18, EQ18)
TPS3808EG19DBVRQ1	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	EQ19
TPS3808EG19DBVRQ1.A	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	EQ19
TPS3808EG25DBVRQ1	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	EQ25
TPS3808EG25DBVRQ1.A	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	EQ25
TPS3808EG30DBVRQ1	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	EQ30
TPS3808EG30DBVRQ1.A	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	EQ30
TPS3808EG33DBVRQ1	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	EQ33
TPS3808EG33DBVRQ1.A	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	EQ33
TPS3808EG50DBVRQ1	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	EQ50
TPS3808EG50DBVRQ1.A	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	EQ50
TPS3808EG50DBVRQ1.B	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

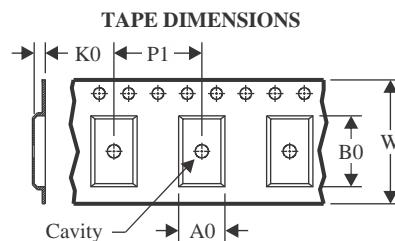
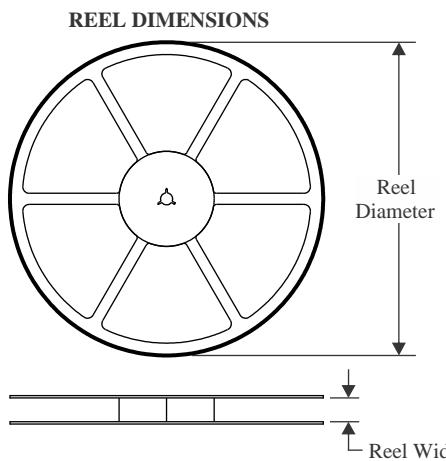
OTHER QUALIFIED VERSIONS OF TPS3808E-Q1 :

- Catalog : [TPS3808E](#)

NOTE: Qualified Version Definitions:

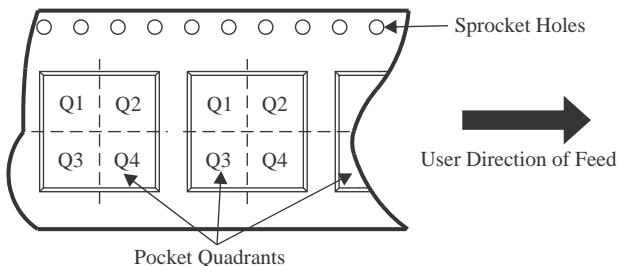
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

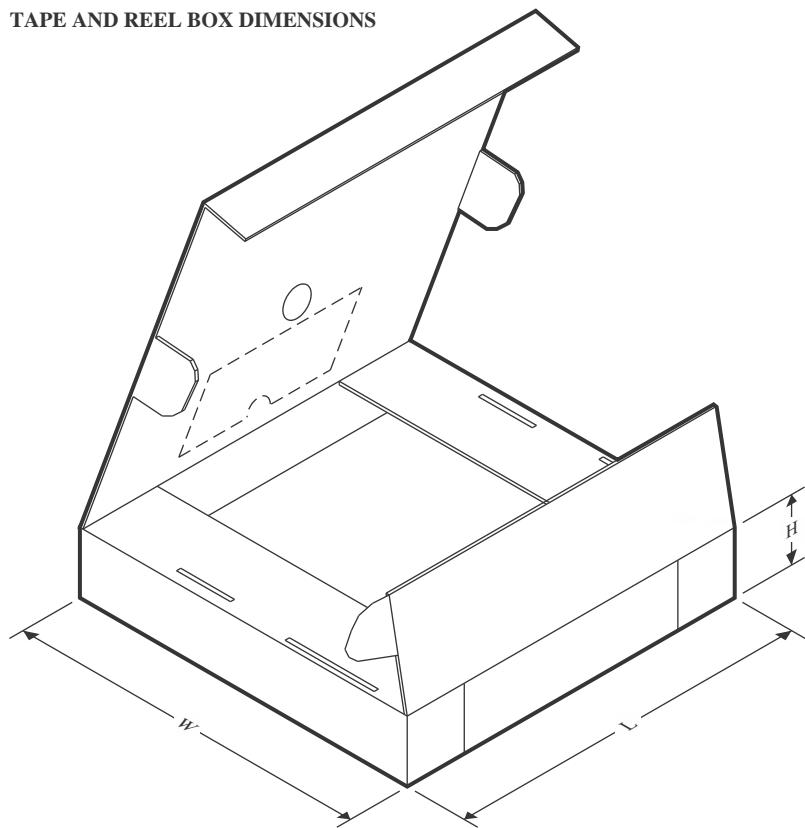
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS3808EG01DBVRQ1	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3808EG09DBVRQ1	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3808EG09DBVRQ1	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3808EG125DBVRQ1	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3808EG125DBVRQ1	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3808EG12DBVRQ1	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3808EG12DBVRQ1	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3808EG15DBVRQ1	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3808EG15DBVRQ1	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3808EG18DBVRQ1	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3808EG19DBVRQ1	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3808EG19DBVRQ1	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3808EG25DBVRQ1	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3808EG25DBVRQ1	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3808EG30DBVRQ1	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3808EG30DBVRQ1	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS3808EG33DBVRQ1	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3808EG33DBVRQ1	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3808EG50DBVRQ1	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS3808EG50DBVRQ1	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS3808EG01DBVRQ1	SOT-23	DBV	6	3000	210.0	185.0	35.0
TPS3808EG09DBVRQ1	SOT-23	DBV	6	3000	210.0	185.0	35.0
TPS3808EG09DBVRQ1	SOT-23	DBV	6	3000	210.0	185.0	35.0
TPS3808EG125DBVRQ1	SOT-23	DBV	6	3000	210.0	185.0	35.0
TPS3808EG125DBVRQ1	SOT-23	DBV	6	3000	210.0	185.0	35.0
TPS3808EG12DBVRQ1	SOT-23	DBV	6	3000	210.0	185.0	35.0
TPS3808EG12DBVRQ1	SOT-23	DBV	6	3000	210.0	185.0	35.0
TPS3808EG15DBVRQ1	SOT-23	DBV	6	3000	210.0	185.0	35.0
TPS3808EG15DBVRQ1	SOT-23	DBV	6	3000	210.0	185.0	35.0
TPS3808EG18DBVRQ1	SOT-23	DBV	6	3000	210.0	185.0	35.0
TPS3808EG19DBVRQ1	SOT-23	DBV	6	3000	210.0	185.0	35.0
TPS3808EG19DBVRQ1	SOT-23	DBV	6	3000	210.0	185.0	35.0
TPS3808EG25DBVRQ1	SOT-23	DBV	6	3000	210.0	185.0	35.0
TPS3808EG25DBVRQ1	SOT-23	DBV	6	3000	210.0	185.0	35.0
TPS3808EG30DBVRQ1	SOT-23	DBV	6	3000	210.0	185.0	35.0
TPS3808EG30DBVRQ1	SOT-23	DBV	6	3000	210.0	185.0	35.0
TPS3808EG33DBVRQ1	SOT-23	DBV	6	3000	210.0	185.0	35.0
TPS3808EG33DBVRQ1	SOT-23	DBV	6	3000	210.0	185.0	35.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS3808EG50DBVRQ1	SOT-23	DBV	6	3000	210.0	185.0	35.0
TPS3808EG50DBVRQ1	SOT-23	DBV	6	3000	210.0	185.0	35.0

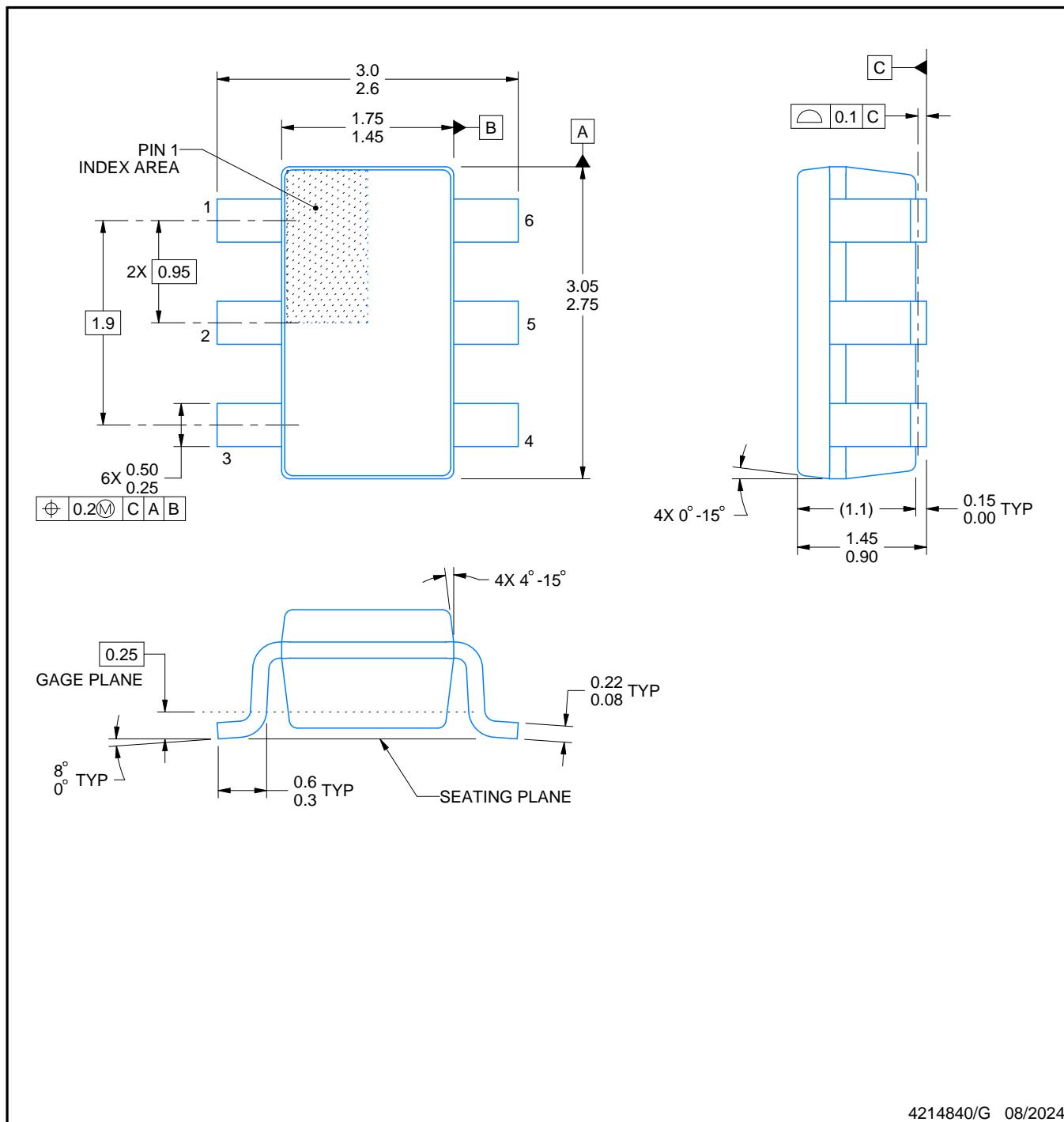
PACKAGE OUTLINE

DBV0006A



SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214840/G 08/2024

NOTES:

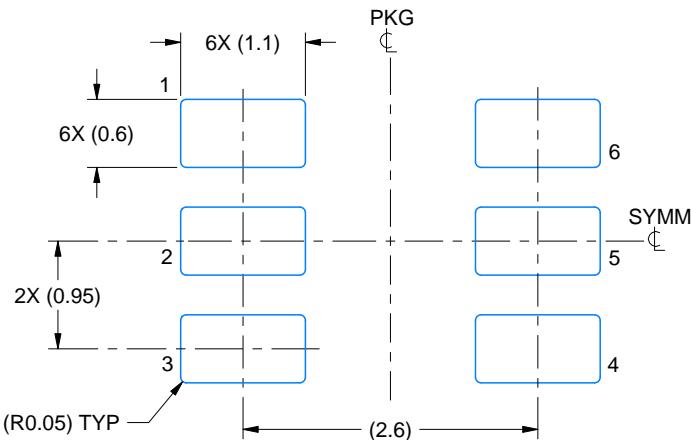
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
- Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
- Reference JEDEC MO-178.

EXAMPLE BOARD LAYOUT

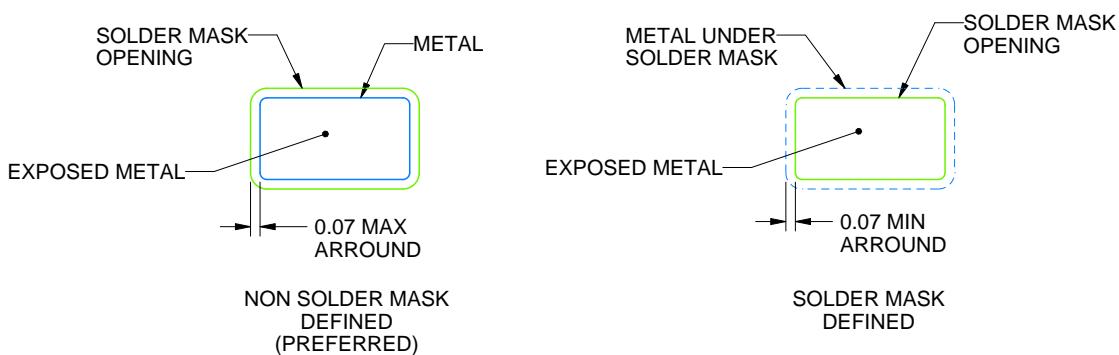
DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

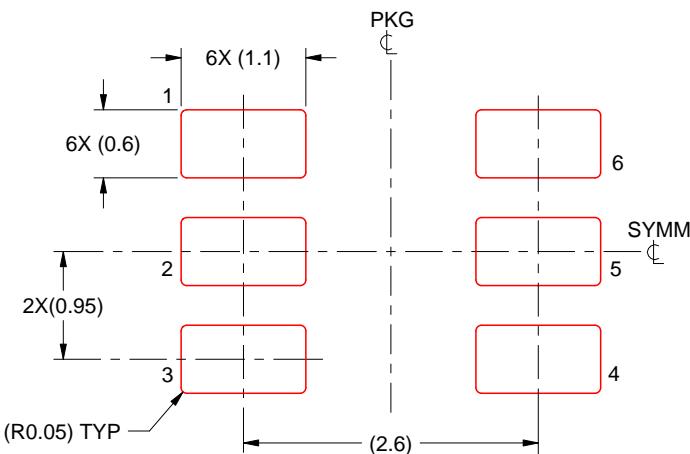
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月