

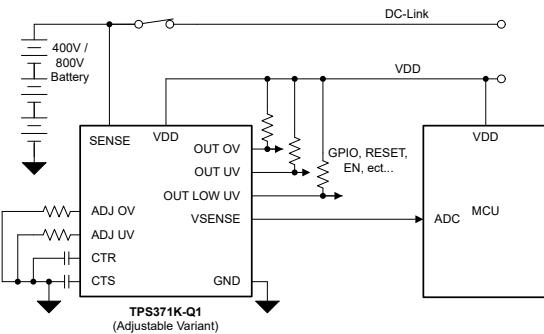
TPS371K-Q1 車載用 1500V ウィンドウ (OV および UV) スーパーバイザ、400V および 800V DC リンク電圧測定用バッファ内蔵

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
 - デバイス温度グレード 1: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$
- 機能安全規格準拠を対象とする [プレビュー]**
 - 機能安全アプリケーション向け開発
 - ISO 26262 システムの設計に役立つ資料
- 400V と 800V の BMS と DC リンク向けの過電圧および低電圧障害モニタ
 - 1% の過電圧出力と低電圧出力
 - システムの障害耐性期間の最小化に役立つ高速検出時間 (5 μs 未満)
 - 30V ~ 60V、低 UV 出力
- 設計要件を満たすデバイスの柔軟性
 - 過電圧と低電圧のスレッショルドはユーザーが選択可能
 - ユーザーがプログラム可能なコンデンサベースのグリッチ除去およびデアサート遅延
- ADC を監視するためのバッファを内蔵
 - 高精度 0.35% (最大値) のセンスピン電圧を低減
 - VSENSE ピンは、高速 ADC 入力を直接駆動できます
- 安全アプリケーション向けに設計 (プレビュー)
 - 出力ラッチ機能により、システムを安全な状態に移行
 - デバイスの機能を監視し、システム保護を強化するための内蔵セルフ テスト

2 アプリケーション

- 高電圧バッテリシステム
- トラクション インバータ
- 統合型高電圧 (OBC: オンボード チャージャと DC/DC)
- DC/DC コンバータシステム



代表的なアプリケーション回路 (可変バージョン)

3 説明

TPS371KQ1 は、400V と 800V の DC リンク電圧測定に適したバッファ内蔵の電圧監視向け車載スーパーバイザです。TPS371K-Q1 を使用すると、高電圧ラダーを内蔵した大抵抗ラダーを排除できます。このデバイスの SENSE ピンは、400V または 800V の車載用バッテリシステムや DC-Link に直接接続して、過電圧 (OV)、低電圧 (UV)、低電圧 (LUV) の状態を継続的に監視できます。TPS371K-Q1 は、ノイズの多い環境でグリッチ除去をプログラム可能な CTS 機能を提供します。

TPS371K-Q1 には、電源電圧測定用の高速バッファ VSENSE が内蔵されています。このバッファは出力インピーダンスが低く、ADC 入力を直接駆動できます。VSENSE は SENSE ピンの入力電圧をスケール ダウンした値です。

電圧スーパーバイザと内蔵のバッファの組み合わせにより、最小のシグナル チェーン サイズで 400V と 800V のシステムを直接監視できます。この組み合わせにより、冗長なデジタルおよびアナログの常時オン電圧フォルト監視も可能になります。

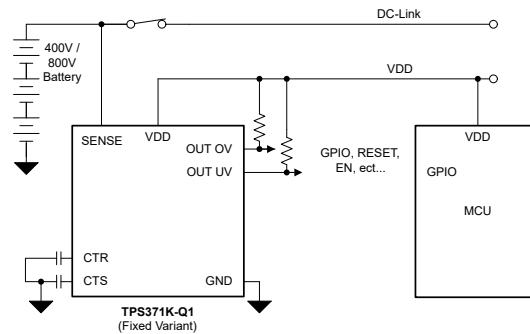
TPS371K-Q1 デバイスは、12.8mm × 7.4mm SOIC 15 ピン パッケージで供給されます。TPS371K-Q1 は $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の T_A で動作します。

製品情報

部品番号	パッケージ ⁽¹⁾	本体サイズ (公称) ⁽²⁾
TPS371K-Q1	SOIC (15) (DFX)	12.8mm × 7.4mm

(1) パッケージの詳細については、このデータシートの末尾の外形図を参照してください。

(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーションの回路 (固定バージョン)



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: SNVSCW9

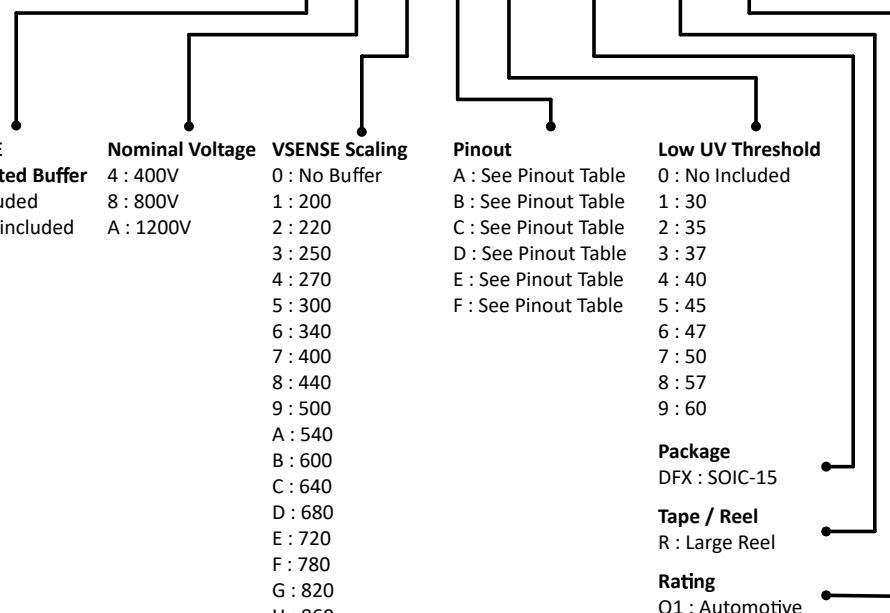
目次

1 特長	1	6.3 ドキュメントの更新通知を受け取る方法	7
2 アプリケーション	1	6.4 サポート・リソース	7
3 説明	1	6.5 商標	7
4 デバイスの比較	3	6.6 静電気放電に関する注意事項	7
5 ピン構成および機能	4	6.7 用語集	7
6 デバイスおよびドキュメントのサポート	7	7 改訂履歴	7
6.1 デバイスの命名規則	7	8 メカニカル、パッケージ、および注文情報	8
6.2 ドキュメントのサポート	7		

4 デバイスの比較

デバイスデコーダに、可変オプションの TPS371K-Q1 のデバイス命名規則の一部を示します。すべてのデバイスの命名規則がこの命名規則表に従っているとは限りません。すべての可変および固定電圧スレッショルド バリエーションの詳細については、『デバイスの項目表記』を参照してください。他のオプションの詳細と提供状況については、TI の販売代理店または [TI の E2E フォーラム](#)にお問い合わせください。

TPS371K X X X X X XXX X XX



- この表では、すべての TPS371K-Q1 デバイスをデコードできるわけではありません。部品番号によるデコード表、固定スレッショルド バリエーションについては、『デバイスの項目表記』を参照してください。
- 400V TPS371K-Q1 の場合、低電圧スレッショルドは 180V ~ 300V の範囲内、過電圧は 440V ~ 540V の範囲内になる可能性があります。
- 800V TPS371K-Q1 の場合、低電圧スレッショルドは 360V ~ 600V の範囲内、過電圧は 860V ~ 1080V の範囲内になる可能性があります。
- 1200V TPS371K-Q1 の場合、低電圧スレッショルドは 540V ~ 900V の範囲内、過電圧は 1290V ~ 1500V の範囲内になる可能性があります。

5 ピン構成および機能

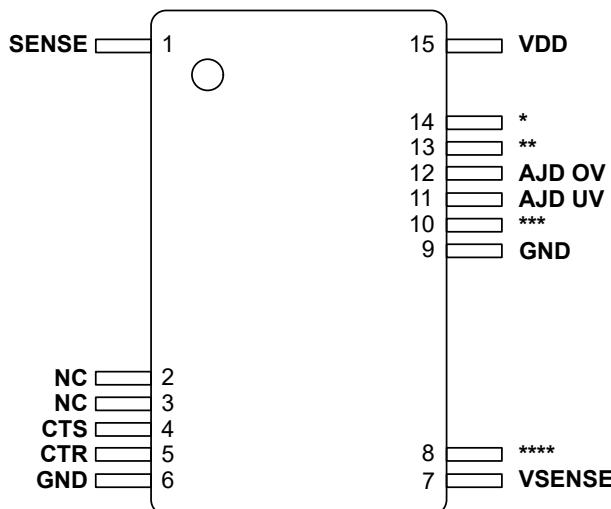


図 5-1. DFX パッケージ、
15 ピン SOIC、
TPS371K A-Q1 可変バージョン (上面図)

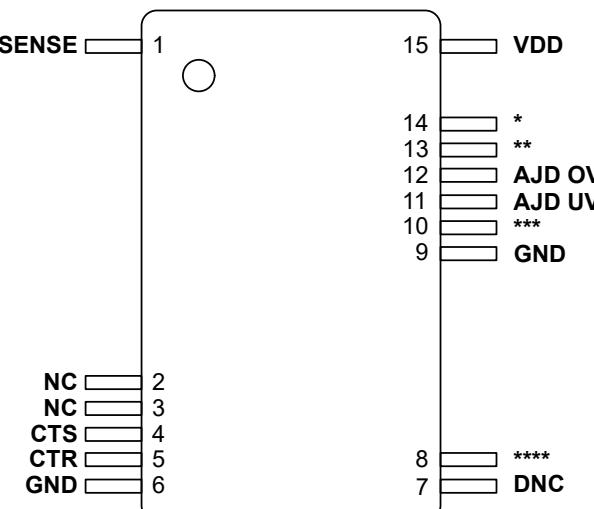


図 5-2. DFX パッケージ、
15 ピン SOIC、
TPS371KB-Q1 可変バージョン (上面図)

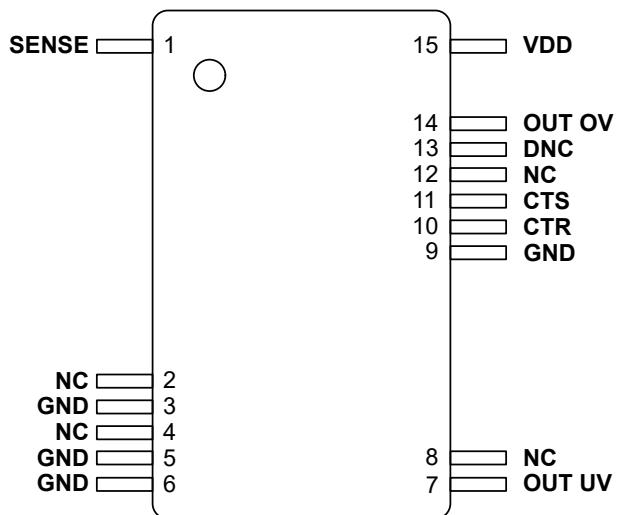


図 5-3. DFX パッケージ、
15 ピン SOIC、
TPS371K -Q1 固定バージョン (上面図)

表 5-1. ピン配置表

OPN のピン配置	ピン 8****	ピン 10***	ピン 13**	ピン 14*
A	BIST EN	BIST	OUT UV	OUT OV
B	NC	NC	OUT UV	OUT OV
C	BIST EN	低 UV と BIST	OUT UV	OUT OV
D	NC	低 UV	OUT UV	OUT OV
E	BIST EN	BIST	低 UV	OUT OV
F	NC	NC	低 UV	OUT OV

表 5-2. ピンの機能

名称	ピン			I/O	説明
	TPS371 KANO の 詳細を示 します。	TPS371 KBNO の 詳細を示 します。	TPS371 K 固定番 号		
SENSE	1	1	1	I	センス電圧: このピンは、監視が必要な電圧レールに接続します。
GND	4, 7	4, 7	4, 5, 6, 9	-	グランド: すべての GND ピンは、基板のグランドに電気的に接続する必要があります。
CTR	5	5	10	O	解放時間遅延: 出力ピンのリリース時間遅延をユーザーがプログラム可能。遅延時間を調整する場合は外付けコンデンサを接続するか、または遅延を最短にする場合はピンをフローティングのままにします。 出力ピンの構成については、『デバイスの項目表記』表を参照してください。
CTS	6	6	11	O	SENSE 時間遅延: SENSE のセンス時間遅延をユーザーがプログラム可能。遅延時間を調整する場合は外付けコンデンサを接続するか、または遅延を最短にする場合はピンをフローティングのままにします。 出力ピンの構成については、『デバイスの項目表記』表を参照してください。
VSENSE	9	-	-	O	電圧検出: 内蔵バッファの出力 (SENSE ピンの電圧をスケール ダウン)。 出力ピンの構成については、『デバイスの項目表記』表を参照してください。
ADJ UV	11	11	-	I	可変低電圧スレッショルド: ユーザーは、外付け抵抗を使ってスタートアップ時の電圧を設定することにより、内部低電圧スレッショルドをプログラムできます。 選択可能なスレッショルド オプションについては、電圧スレッショルド表
ADJ OV	12	12	-	I	調整可能な過電圧スレッショルド: ユーザーは、スタートアップ時に外付け抵抗を使用して電圧を設定することにより、内部の過電圧スレッショルドをプログラムできます。 選択可能なスレッショルド オプションについては、電圧スレッショルド表
OUT UV	ピン配置 表を参照 してくださ い	ピン配置 表を参照 してくださ い	7	O	出力低電圧信号: SENSE が低電圧スレッショルドを超えると、OUT UV がアサートされます。アサート時間遅延は、固定されるか、CTS により設定されます。SENSE がフォルト状態から遷移した後、OUT UV は解放時間の間アサートされたままになります。アクティブ low、オープンドレインリリース出力には、外付けのプルアップ抵抗が必要です。 OUT UV のスレッショルドおよびタイミングの構成については、『デバイスの項目表記』表を参照してください。 出力ポロジ:オープンドレイン アクティブ Low
OUT OV	ピン配置 表を参照 してくださ い	ピン配置 表を参照 してくださ い	14	O	出力過電圧信号: SENSE が過電圧スレッショルドを超えると、OUT OV がアサートされます。アサート時間遅延は、固定されるか、CTS により設定されます。SENSE がフォルト状態から遷移した後、OUT OV は解放時間の間アサートされたままになります。アクティブ low、オープンドレインリリース出力には、外付けのプルアップ抵抗が必要です。 OUT OV のスレッショルドおよびタイミングの構成については、『デバイスの項目表記』表を参照してください。 出力ポロジ:オープンドレイン アクティブ Low
低 UV	ピン配置 表を参照 してくださ い	ピン配置 表を参照 してくださ い	-	O	出力 Low 低電圧信号: OUT low UV は、SENSE が CTS で設定されたセンス時間遅延の後に Low 過電圧スレッショルドを超えると、アサートされます。SENSE がフォルト状態から遷移した後、OUT Low UV は、解放時間の間アサートされたままとなります。アクティブ low、オープンドレインリリース出力には、外付けのプルアップ抵抗が必要です。 出力ポロジ:オープンドレイン アクティブ Low
BIST	ピン配置 表を参照 してくださ い	ピン配置 表を参照 してくださ い	-	O	出力内蔵セルフテスト (BIST): BIST が動作中のときに BIST がアサートされます。BIST 動作は、デバイスの起動時に、BIST_EN ピンの立ち上がりエッジによって開始されます。BIST は、内部障害をチェックするデバイス診断テストです。障害が発生した場合、BIST はアサートされたままになります。BIST が成功すると、BIST ピンはデアサートされます。 出力ポロジ:オープンドレイン アクティブ Low

表 5-2. ピンの機能 (続き)

名称	ピン			I/O	説明
	TPS371 KANO の 詳細を示 します。	TPS371 KBNO の 詳細を示 します。	TPS371 K 固定番 号		
BIST_EN	ピン配置 表を参照 してくださ い	ピン配置 表を参照 してくださ い	-	I	内蔵セルフ テスト イネーブル (BIST EN):BIST イネーブル ピンの立ち上がりエッジにより、BIST が開始されます。ラッチ付きバリアントの場合、BIST EN もラッチをイネーブル/ディセーブルにします。
VDD	15	15	15	I	入力電源電圧:電源電圧ピン。ノイズの多い環境では、0.1 μ F コンデンサを使用して GND にバイパスします。
NC	2, 3, 8	2, 3, 8	2, 4, 8, 12	-	接続なし:ピンはフローティングにするか、GND に接続します。
DNC	-	7	13	-	接続禁止:適切に動作するには、ピンをフローティングのままにします。

6 デバイスおよびドキュメントのサポート

6.1 デバイスの命名規則

セクション 4 表 5-1 のデバイス デコーダーに、注文可能な部品番号に基づいてデバイスの特定のデバイス機能を識別する方法が示されています。すべての型番がこの命名規則に従っているとは限りません。すべてのデバイスの、型番 デコード表として表 6-1 を使用します。

表 6-1. デバイス構成表

発注用部品名	スレッショルド	OV スレッショルド	OV ヒステリシス	UV スレッショルド	UV ヒステリシス	Low UV スレッショルド	時間遅延	VSENSE スケール
PTPS371KVM5DFXRQ1	固定	900V	2%	該当なし	該当なし	該当なし	ADJ CTS ADJ CTR	該当なし

6.2 ドキュメントのサポート

6.2.1 関連資料

以下に示す関連ドキュメントは、www.ti.com からダウンロードできます。

- 『コンパレータ入力の分圧抵抗の最適化』[SLVA450](#)
- 『電源設計用の感度分析』、[SLVA481](#)

6.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

6.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの [使用条件](#) を参照してください。

6.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

6.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお奨めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

6.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

7 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
April 2025	*	初版リリース

8 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PPS371KA8C89DFXRQ1	Active	Preproduction	SSOP (DFX) 15	750 LARGE T&R	-	Call TI	Call TI	-40 to 125	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

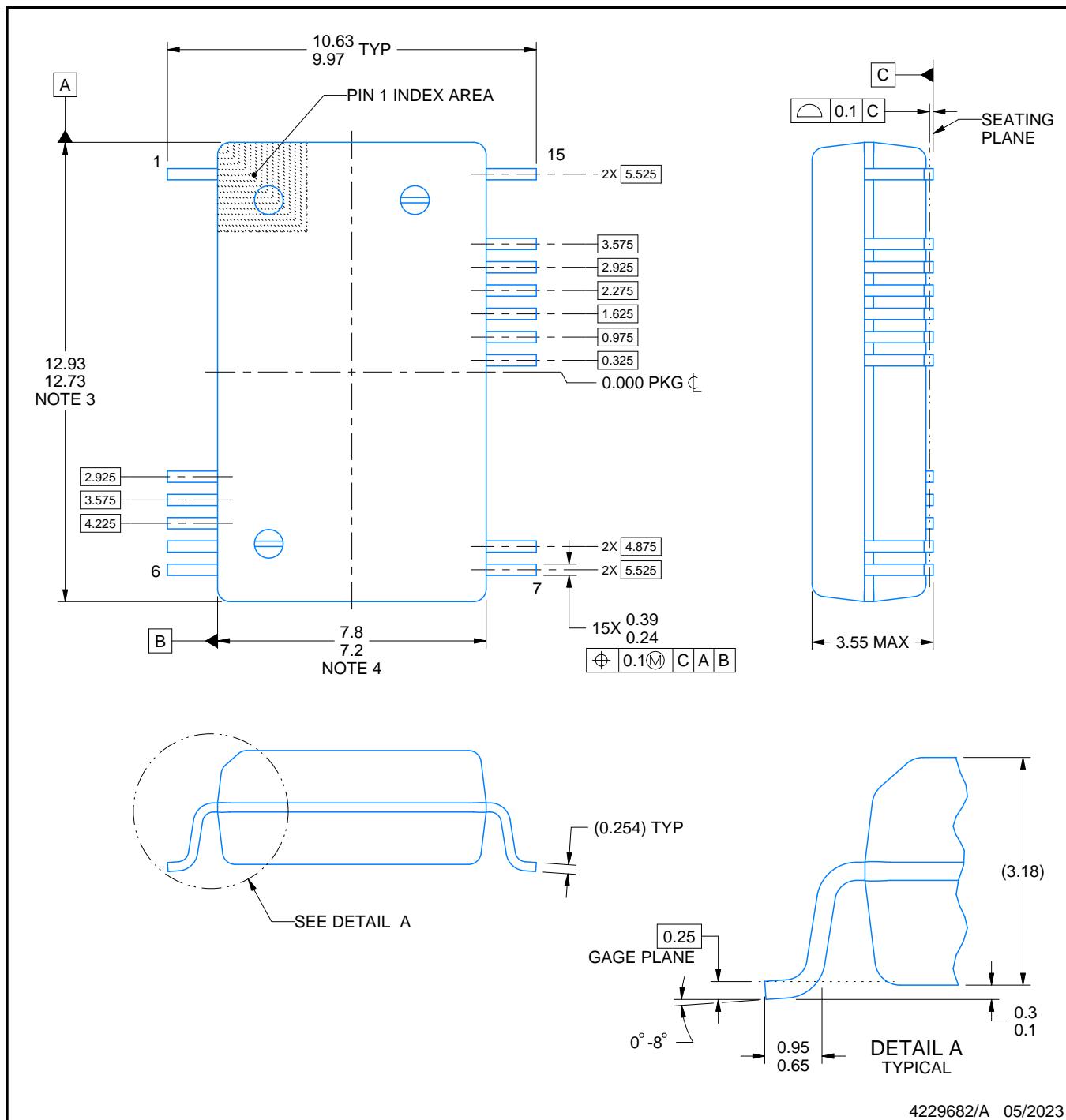
PACKAGE OUTLINE

DFX0015A



SSOP - 3.55 mm max height

SMALL OUTLINE PACKAGE



NOTES:

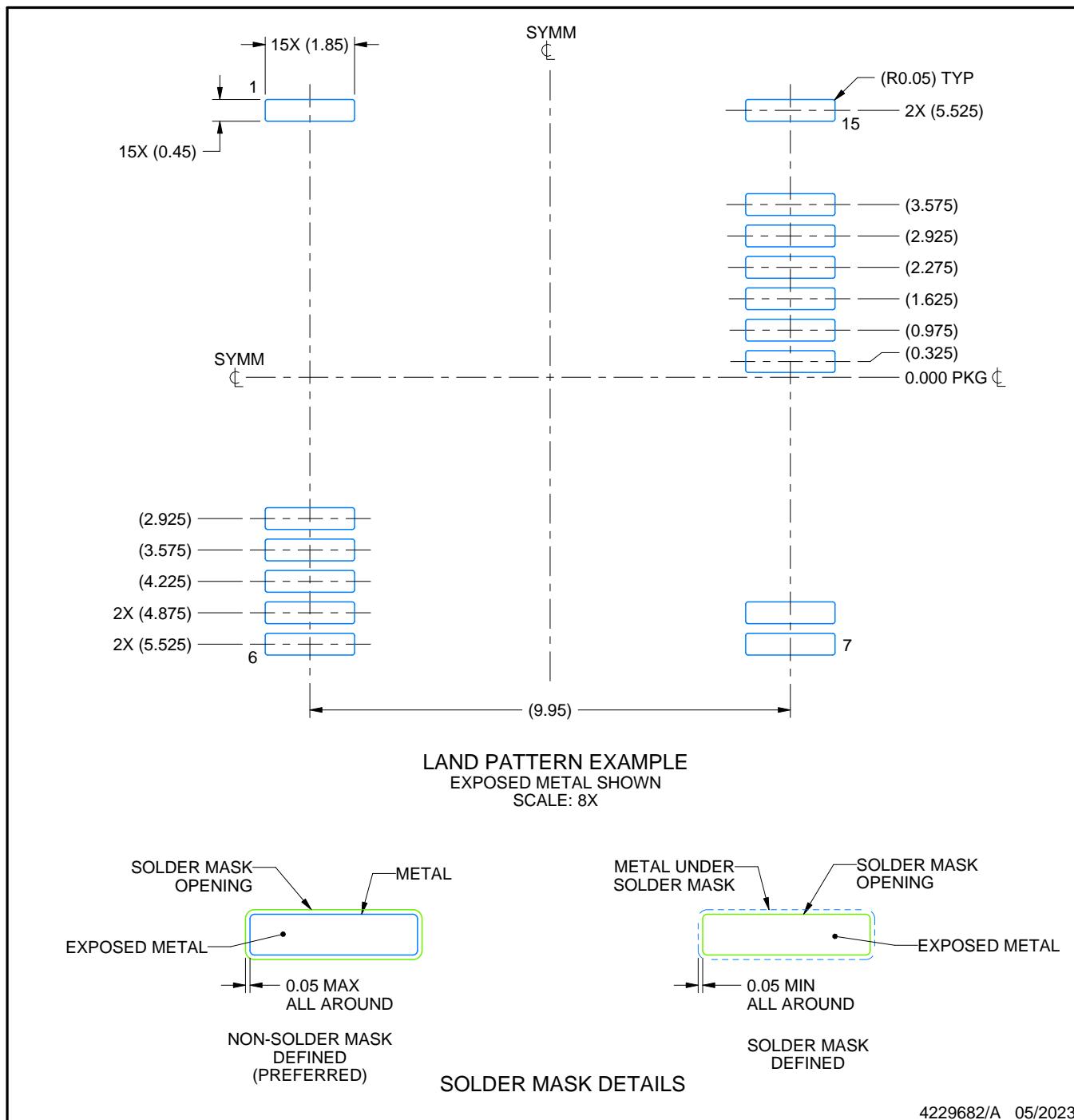
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.

EXAMPLE BOARD LAYOUT

DFX0015A

SSOP - 3.55 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.

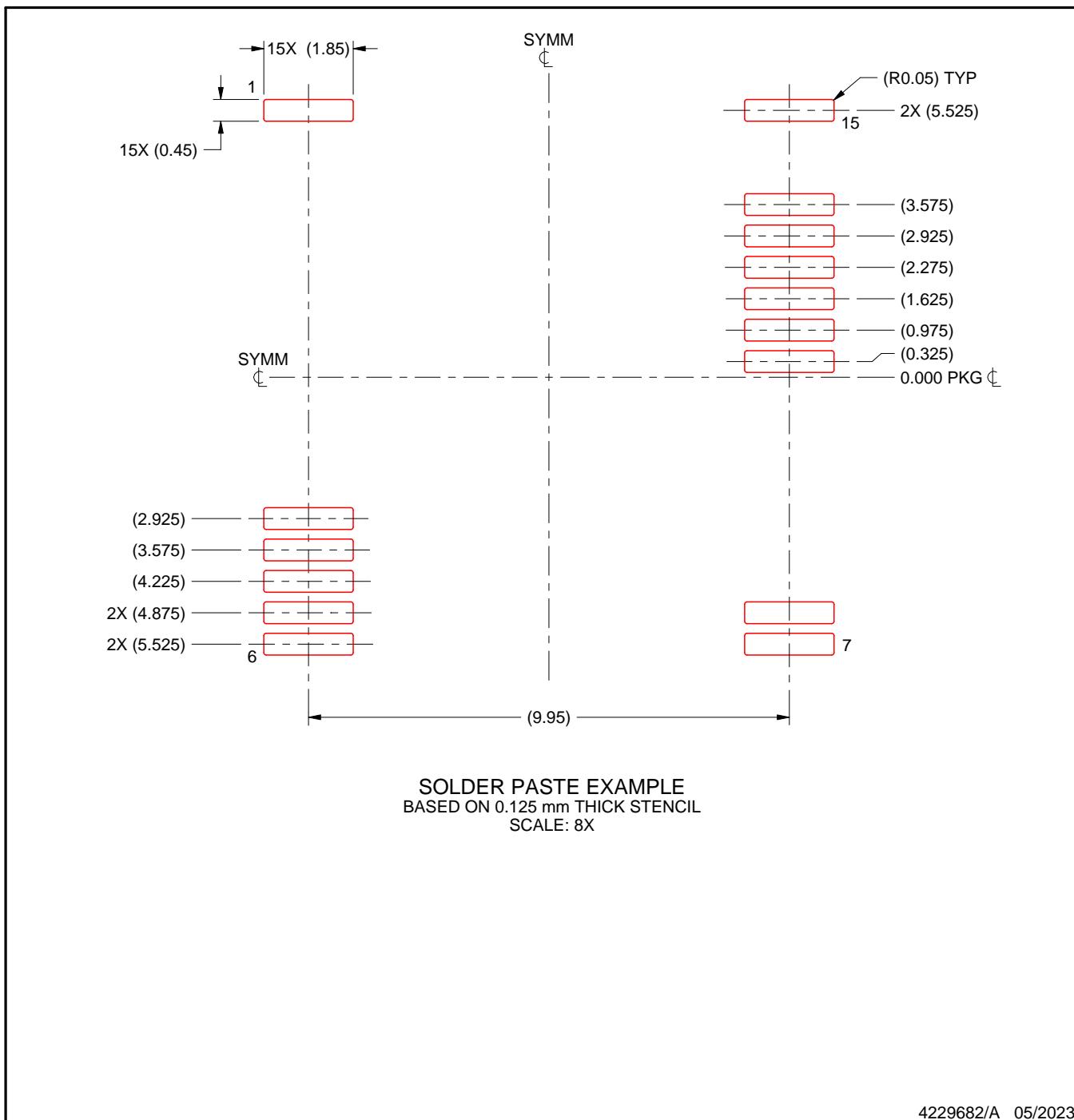
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DFX0015A

SSOP - 3.55 mm max height

SMALL OUTLINE PACKAGE



4229682/A 05/2023

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月