

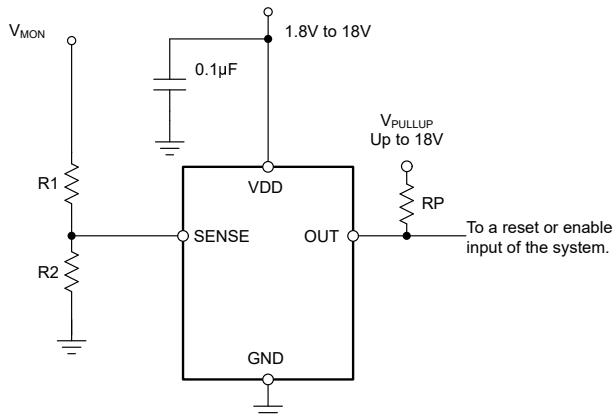
TPS3710-Q1 広い入力電圧範囲の電圧検出器

1 特長

- 車載アプリケーション認定済み
- 以下の結果で AEC-Q100 認定済み:
 - デバイス温度グレード 1: 動作時周囲温度範囲 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$
 - デバイス HBM ESD 分類レベル 2
 - デバイス CDM ESD 分類レベル C6
- 広い電源電圧範囲: $1.8\text{V} \sim 18\text{V}$
- スレッシュホルドを変更可能: 最小 400mV
- 高いスレッシュホルド精度:
 - 1.0% 過熱
 - 0.25% の代表値
- 低い静止電流: $5.5\mu\text{A}$ (標準値)
- オープンドレイン出力
- 内部ヒステリシス: 5.5mV (標準値)
- 温度範囲: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$
- パッケージ:
 - $1.5\text{mm} \times 1.5\text{mm}$ WSON-6

2 アプリケーション

- 車載用システム
- 組み込みコンピューティング モジュール
- DSP、マイクロコントローラ、マイクロプロセッサのアプリケーション
- ノート PC およびデスクトップ PC
- 携帯用およびバッテリー駆動の製品
- FPGA および ASIC アプリケーション



概略回路図

3 概要

TPS3710-Q1 は電源電圧範囲の広い電圧検出器で、 $1.8\text{V} \sim 18\text{V}$ の範囲で動作します。 400mV の基準電圧と定格 18V のオープンドレイン出力を内蔵する高精度のコンパレータにより、高精度の電圧検出を実現します。監視対象の電圧は、外付け抵抗を使用して設定することができます。

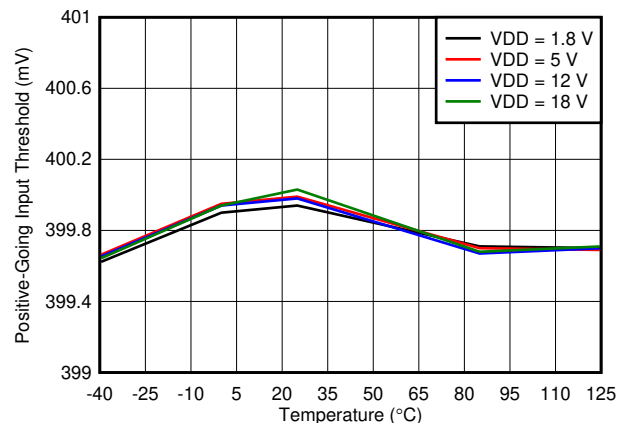
OUT ピンは、SENSE ピンの電圧が (V_{IT-}) より低くなると LOW に駆動され、対応するスレッシュホルド (V_{IT+}) より高い電圧に戻ると HIGH に復帰します。TPS3710-Q1 のコンパレータは、短時間のグリッチを除去するためヒステリシスが組み込まれているので、誤ったトリガが発生せずにデバイス は動作できます。

TPS3710-Q1 は $1.5\text{mm} \times 1.5\text{mm}$ の 6 ピン WSON パッケージで供給され、 $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ の接合部温度範囲で動作が規定されています。

製品情報

部品番号	パッケージ ⁽¹⁾	本体サイズ (公称) ⁽²⁾
TPS3710-Q1	WSON (6)	$1.50\text{mm} \times 1.50\text{mm}$

- (1) 利用可能なパッケージについては、データシートの末尾にあるパッケージ オプションについての付録を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



立ち上がり入カスレッシュホルド電圧 (V_{IT+}) と温度との関係



Table of Contents

1 特長	1	7 Application and Implementation	11
2 アプリケーション	1	7.1 Application Information.....	11
3 概要	1	7.2 Typical Application.....	13
4 Pin Configuration and Functions	3	7.3 Do's and Don'ts.....	14
5 Specifications	4	7.4 Power-Supply Recommendations.....	14
5.1 Absolute Maximum Ratings.....	4	7.5 Layout.....	15
5.2 ESD Ratings.....	4	8 Device and Documentation Support	16
5.3 Recommended Operating Conditions.....	4	8.1 Device Support.....	16
5.4 Thermal Information.....	4	8.2 Documentation Support.....	16
5.5 Electrical Characteristics.....	5	8.3 ドキュメントの更新通知を受け取る方法.....	16
5.6 Timing Requirements.....	6	8.4 サポート・リソース.....	16
5.7 Switching Characteristics.....	6	8.5 Trademarks.....	16
5.8 Typical Characteristics.....	7	8.6 静電気放電に関する注意事項.....	16
6 Detailed Description	9	8.7 用語集.....	16
6.1 Overview.....	9	9 Revision History	16
6.2 Functional Block Diagram.....	9	10 Mechanical, Packaging, and Orderable Information	17
6.3 Feature Description.....	10		
6.4 Device Functional Modes.....	10		

4 Pin Configuration and Functions

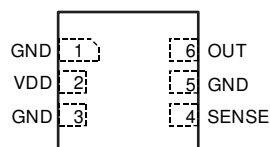


図 4-1. DSE Package
6-Pin WSON
Top View

表 4-1. Pin Functions

PIN		I/O	DESCRIPTION
NAME	DSE		
GND	1, 3, 5	—	Connect all three pins to ground.
OUT	6	O	SENSE comparator open-drain output. OUT is driven low when the voltage at this comparator is below (V_{IT-}). The output goes high when the sense voltage returns above the respective threshold (V_{IT+}).
SENSE	4	I	This pin is connected to the voltage to be monitored with the use of an external resistor divider. When the voltage at this pin drops below the threshold voltage (V_{IT-}), OUT is driven low.
VDD	2	I	Supply voltage input. Connect a 1.8V to 18V supply to VDD to power the device. Good analog design practice is to place a 0.1µF ceramic capacitor close to this pin.

5 Specifications

5.1 Absolute Maximum Ratings

over operating temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
Voltage ⁽²⁾	VDD	−0.3	20	V
	OUT	−0.3	20	
	SENSE	−0.3	7	
Current	OUT (output sink current)		40	mA
Temperature	Operating junction, T _J	−40	125	°C
	Storage, T _{stg}	−65	150	

- (1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) All voltages are with respect to network ground pin.

5.2 ESD Ratings

		VALUE	UNIT
V _(ESD)	Electrostatic discharge	Human-body model (HBM), per AEC Q100-002 ⁽¹⁾	±2500
		Charged-device model (CDM), per AEC Q100-011	±1000

- (1) AEC Q100-002 indicates that HBM stressing shall be in accordance with the ANSI/ESDA/JEDEC JS-001 specification.

5.3 Recommended Operating Conditions

over operating temperature range (unless otherwise noted)

		MIN	NOM	MAX	UNIT
V _{DD}	Supply voltage	1.8		18	V
V _I	Input voltage	SENSE	0	6.5	V
V _O	Output voltage	OUT	0	18	V

5.4 Thermal Information

THERMAL METRIC ⁽¹⁾		TPS3710-Q1	UNIT
		DSE (WSON)	
		6 PINS	
R _{θJA}	Junction-to-ambient thermal resistance	194.9	°C/W
R _{θJC(top)}	Junction-to-case (top) thermal resistance	128.9	°C/W
R _{θJB}	Junction-to-board thermal resistance	153.8	°C/W
Ψ _{JT}	Junction-to-top characterization parameter	11.9	°C/W
Ψ _{JB}	Junction-to-board characterization parameter	157.4	°C/W
R _{θJC(bot)}	Junction-to-case (bottom) thermal resistance	N/A	°C/W

- (1) For more information about traditional and new thermal metrics, see the [Semiconductor and IC Package Thermal Metrics](#) application report.

5.5 Electrical Characteristics

Over the operating temperature range of $T_J = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$, and $1.8\text{V} < V_{DD} < 18\text{V}$ (unless otherwise noted). Typical values are at $T_J = 25^{\circ}\text{C}$ and $V_{DD} = 5\text{V}$.

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$V_{(POR)}$ Power-on reset voltage ⁽¹⁾	$V_{OLmax} = 0.2\text{V}$, output sink current = $15\mu\text{A}$			0.8	V
V_{IT+} Positive-going input threshold voltage	$V_{DD} = 1.8\text{V}$	396	400	404	mV
	$V_{DD} = 18\text{V}$	396	400	404	
V_{IT-} Negative-going input threshold voltage	$V_{DD} = 1.8\text{V}$	387	394.5	400	mV
	$V_{DD} = 18\text{V}$	387	394.5	400	
V_{hys} Hysteresis voltage ($hys = V_{IT+} - V_{IT-}$)			5.5	12	mV
$I_{(SENSE)}$ Input current (at the SENSE pin)	$V_{DD} = 1.8\text{V}$ and 18V , $V_I = 6.5\text{V}$	-25	1	25	nA
V_{OL} Low-level output voltage	$V_{DD} = 1.3\text{V}$, output sink current = 0.4mA			250	mV
	$V_{DD} = 1.8\text{V}$, output sink current = 3mA			250	
	$V_{DD} = 5\text{V}$, output sink current = 5mA			250	
$I_{lk(OD)}$ Open-drain output leakage-current	$V_{DD} = 1.8\text{V}$ and 18V , $V_O = V_{DD}$			300	nA
	$V_{DD} = 1.8\text{V}$, $V_O = 18\text{V}$			300	
I_{DD} Supply current	$V_{DD} = 1.8\text{V}$, no load		5.5	11	μA
	$V_{DD} = 5\text{V}$		6	13	
	$V_{DD} = 12\text{V}$		6	13	
	$V_{DD} = 18\text{V}$		7	13	
UVLO Undervoltage lockout ⁽²⁾	V_{DD} falling	1.3		1.7	V

(1) The lowest supply voltage (V_{DD}) at which output is active; $t_{r(VDD)} > 15\mu\text{s/V}$. Below $V_{(POR)}$, the output cannot be determined.

(2) When V_{DD} falls below UVLO, OUT is driven low. The output cannot be determined below $V_{(POR)}$.

5.6 Timing Requirements

over operating temperature range (unless otherwise noted)

			MIN	NOM	MAX	UNIT
$t_{pd(HL)}$	High-to-low propagation delay ⁽¹⁾	$V_{DD} = 5V$, 10mV input overdrive, $R_P = 10k\Omega$, $V_{OH} = 0.9 \times V_{DD}$, $V_{OL} = 400mV$, see Figure 5-1		18		μs
$t_{pd(LH)}$	Low-to-high propagation delay ⁽¹⁾	$V_{DD} = 5V$, 10mV input overdrive, $R_P = 10k\Omega$, $V_{OH} = 0.9 \times V_{DD}$, $V_{OL} = 400mV$, see Figure 5-1		29		μs
$t_{d(start)}$	Start-up delay ⁽²⁾			150		μs

(1) High-to-low and low-to-high refers to the transition at the input pin (SENSE).

(2) During power on, V_{DD} must exceed 1.8V for at least 150 μs before the output is in a correct state.

5.7 Switching Characteristics

over operating temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_r	Output rise time $V_{DD} = 5V$, 10mV input overdrive, $R_P = 10k\Omega$, $V_O = (0.1 \text{ to } 0.9) \times V_{DD}$		2.2		μs
t_f	Output fall time $V_{DD} = 5V$, 10mV input overdrive, $R_P = 10k\Omega$, $V_O = (0.1 \text{ to } 0.9) \times V_{DD}$		0.22		μs

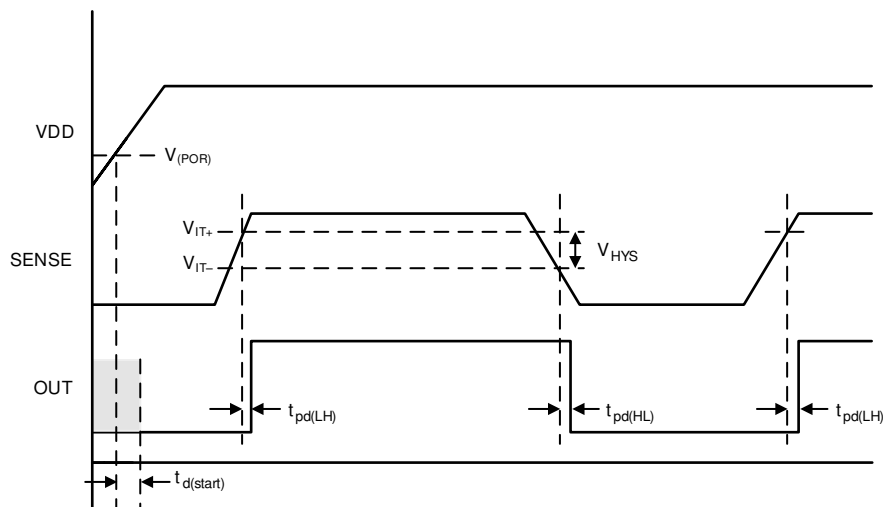


Figure 5-1. Timing Diagram

5.8 Typical Characteristics

at $T_J = 25^\circ\text{C}$ and $V_{DD} = 5\text{V}$ (unless otherwise noted)

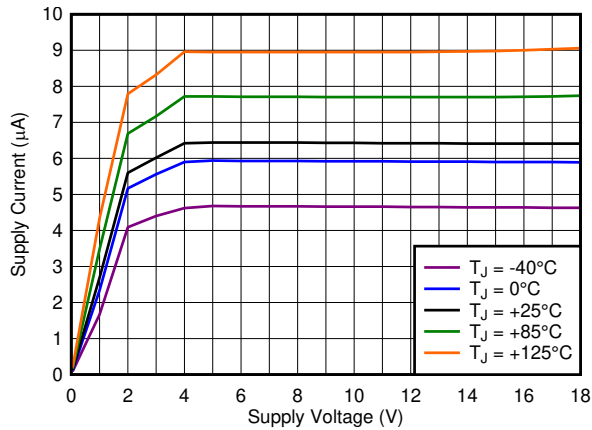


FIG 5-2. Supply Current (I_{DD}) vs Supply Voltage (V_{DD})

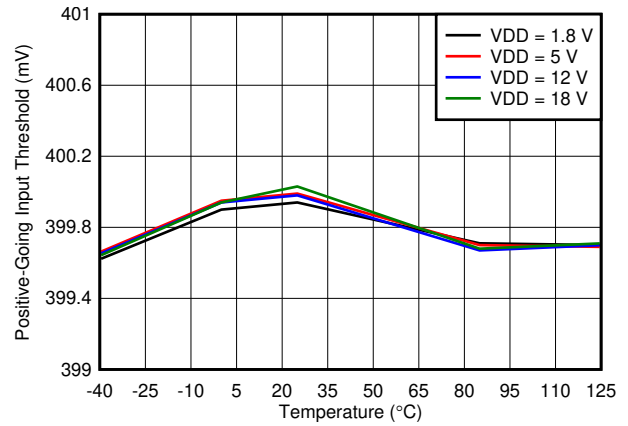


FIG 5-3. Rising Input Threshold Voltage (V_{IT+}) vs Temperature

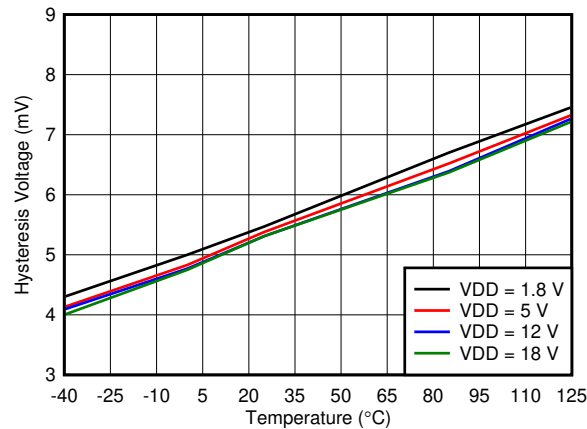


FIG 5-4. Hysteresis (V_{hys}) vs Temperature

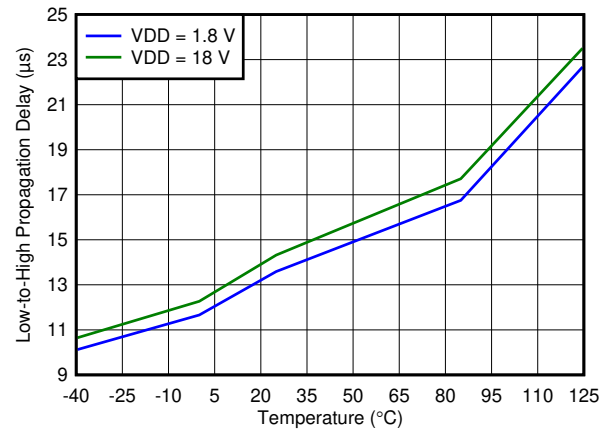


FIG 5-5. Propagation Delay vs Temperature (High-to-Low Transition at Sense)

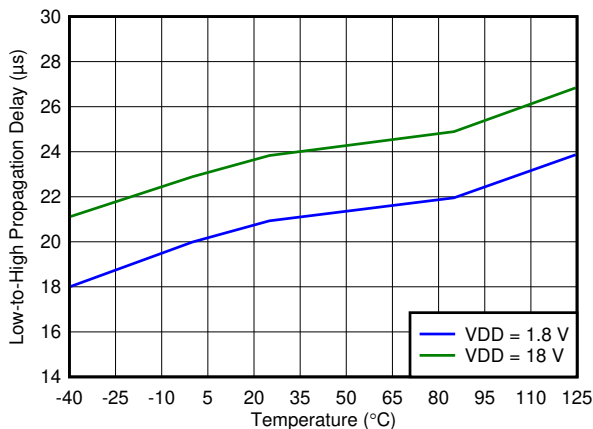


FIG 5-6. Propagation Delay vs Temperature (Low-to-High Transition at Sense)

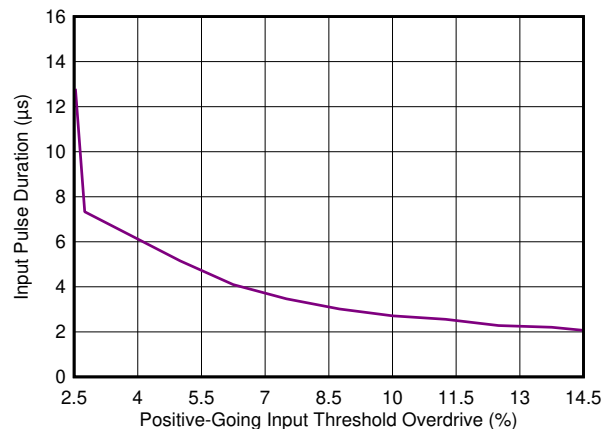


FIG 5-7. Minimum Pulse Width vs Threshold Overdrive Voltage

5.8 Typical Characteristics (continued)

at $T_J = 25^\circ\text{C}$ and $V_{DD} = 5\text{V}$ (unless otherwise noted)

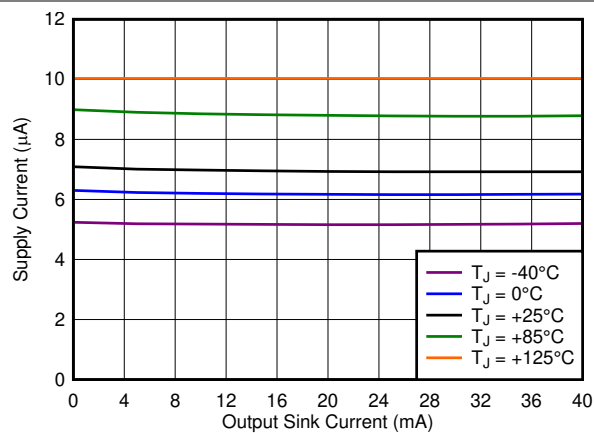


Figure 5-8. Supply Current (I_{DD}) vs Output Sink Current

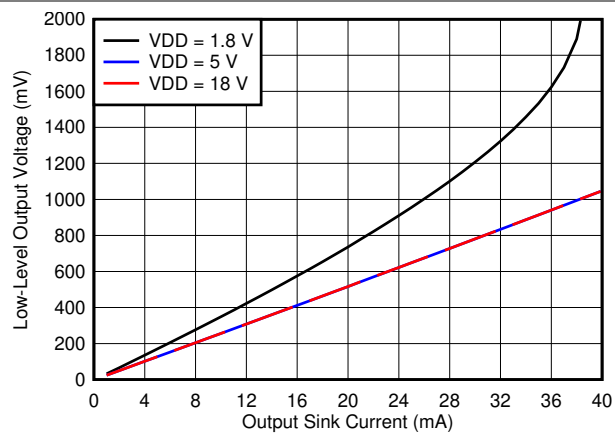


Figure 5-9. Output Voltage Low (V_{OL}) vs Output Sink Current (-40°C)

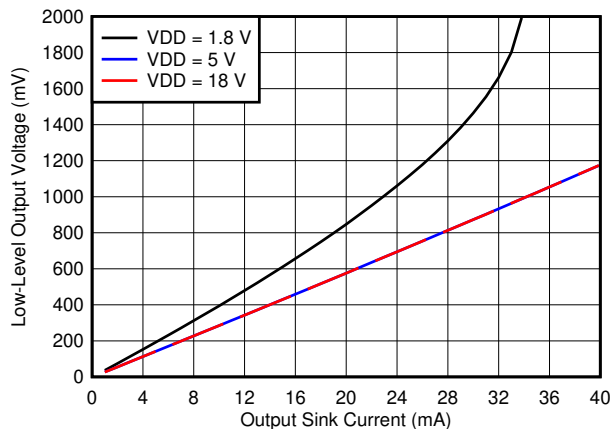


Figure 5-10. Output Voltage Low (V_{OL}) vs Output Sink Current (0°C)

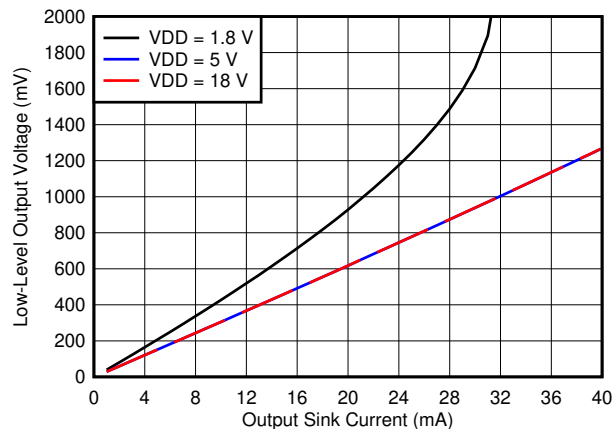


Figure 5-11. Output Voltage Low (V_{OL}) vs Output Sink Current (25°C)

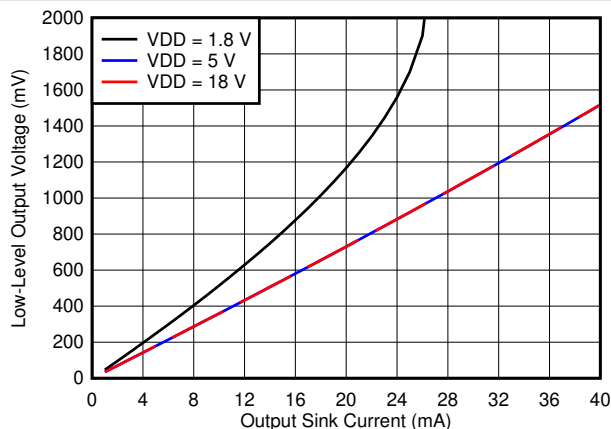


Figure 5-12. Output Voltage Low (V_{OL}) vs Output Sink Current (85°C)

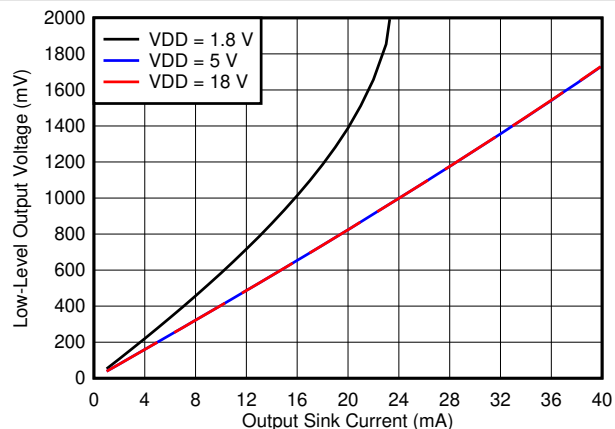


Figure 5-13. Output Voltage Low (V_{OL}) vs Output Sink Current (125°C)

6 Detailed Description

6.1 Overview

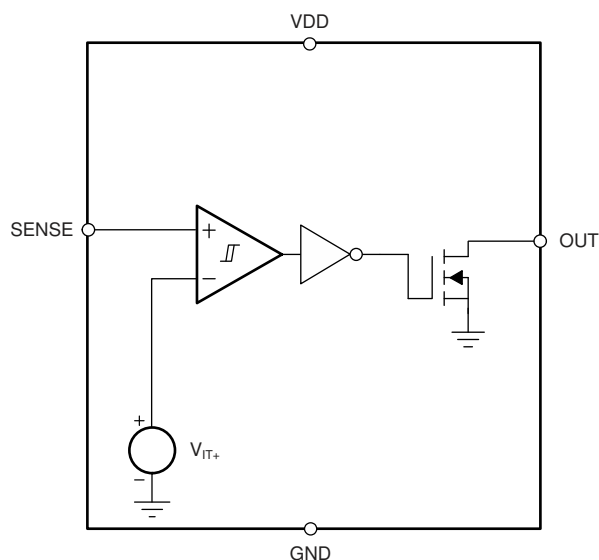
The TPS3710-Q1 provides precision voltage detection. The TPS3710-Q1 is a wide-supply voltage range (1.8V to 18V) device with a high-accuracy rising input threshold of 400mV (1% over temperature) and built-in hysteresis. The output is also rated to 18V, and can sink up to 40mA.

The TPS3710-Q1 asserts the output signal, as shown in 表 6-1. To monitor any voltage above 0.4V, set the input using an external resistor divider network. Broad voltage thresholds are supported that enable the device for use in a wide array of applications.

表 6-1. TPS3710-Q1 Truth Table

CONDITION	OUTPUT	STATUS
$SENSE > V_{IT+}$	OUT high	Output not asserted
$SENSE < V_{IT-}$	OUT low	Output asserted

6.2 Functional Block Diagram



6.3 Feature Description

6.3.1 Input (SENSE)

The TPS3710-Q1 comparator has two inputs: one external input, and one input connected to the internal reference. The comparator rising threshold is trimmed to be equal to the reference voltage (400mV). The comparator also has a built-in falling hysteresis that makes the device less sensitive to supply-rail noise and provides stable operation.

The comparator input (SENSE) is able to swing from ground to 6.5V, regardless of the device supply voltage. Although not required in most cases, to reduce sensitivity to transients and layout parasitics for extremely noisy applications, place a 1nF to 10nF bypass capacitor at the comparator input.

OUT is driven to logic low when the input SENSE voltage drops below (V_{IT-}). When the voltage exceeds V_{IT+} , the output (OUT) goes to a high-impedance state; see [Figure 5-1](#).

6.3.2 Output (OUT)

In a typical TPS3710-Q1 application, the output is connected to a reset or enable input of the processor (such as a digital signal processor [DSP], central processing unit [CPU], field-programmable gate array [FPGA], or application-specific integrated circuit [ASIC]) or the output is connected to the enable input of a voltage regulator (such as a dc-dc converter or low-dropout regulator [LDO]).

The TPS3710-Q1 device provides an open-drain output (OUT). Use a pullup resistor to hold this line high when the output goes to high impedance (not asserted). To connect the output to another device at the correct interface-voltage level, connect a pullup resistor to the proper voltage rail. The TPS3710-Q1 output can be pulled up to 18V, independent of the device supply voltage.

[Table 6-1](#) and the [Section 6.3.1](#) section describe how the output is asserted or deasserted. See [Figure 5-1](#) for a timing diagram that describes the relationship between threshold voltage and the respective output.

6.3.3 Immunity to Input-Pin Voltage Transients

The TPS3710-Q1 is relatively immune to short voltage transient spikes on the sense pin. Sensitivity to transients depends on both transient duration and amplitude; see [Figure 5-7](#), *Minimum Pulse Width vs Threshold Overdrive Voltage*.

6.4 Device Functional Modes

6.4.1 Normal Operation ($V_{DD} > UVLO$)

When the voltage on V_{DD} is greater than 1.8V for at least 150μs, the OUT signal corresponds to the voltage on SENSE as listed in [Table 6-1](#).

6.4.2 Undervoltage Lockout ($V_{(POR)} < V_{DD} < UVLO$)

When the voltage on V_{DD} is less than the device UVLO voltage, and greater than the power-on reset voltage, $V_{(POR)}$, the OUT signal is asserted regardless of the voltage on SENSE.

6.4.3 Power-On Reset ($V_{DD} < V_{(POR)}$)

When the voltage on V_{DD} is lower than the required voltage to internally pull the asserted output to GND ($V_{(POR)}$), SENSE is in a high-impedance state and the OUT signal is undefined.

7 Application and Implementation

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 Application Information

The TPS3710-Q1 device is a wide-supply voltage comparator that operates over a V_{DD} range of 1.8V to 18V. The device has a high-accuracy comparator with an internal 400mV reference and an open-drain output rated to 18V for precision voltage detection. The device can be used as a voltage monitor. The monitored voltage are set with the use of external resistors.

7.1.1 V_{PULLUP} to a Voltage Other Than V_{DD}

The output is often tied to V_{DD} through a resistor. However, some applications may require the output to be pulled up to a higher or lower voltage than V_{DD} to correctly interface with the reset and enable pins of other devices.

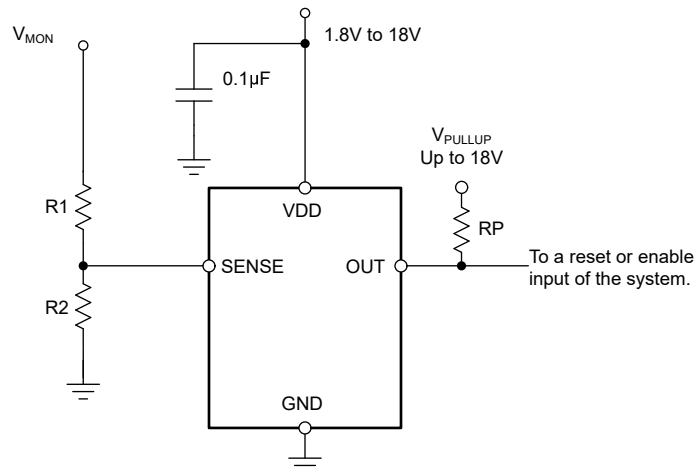


図 7-1. Interfacing to a Voltage Other Than V_{DD}

7.1.2 Monitoring V_{DD}

Many applications monitor the same rail that is powering V_{DD} . In these applications the resistor divider is simply connected to the V_{DD} rail.

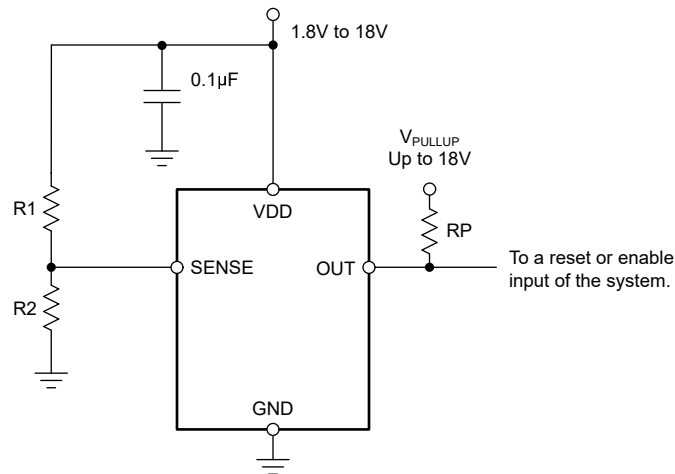
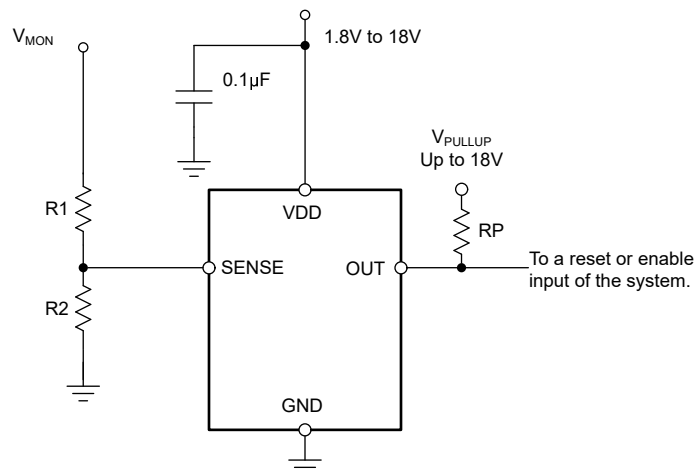


図 7-2. Monitoring the Same Voltage as V_{DD}

7.1.3 Monitoring a Voltage Other Than V_{DD}

Some applications monitor rails other than the one that is powering V_{DD} . In these types of applications the resistor divider used to set the desired threshold is connected to the rail that is being monitored.



NOTE: The input can monitor a voltage greater than maximum V_{DD} with the use of an external resistor divider network.

図 7-3. Monitoring a Voltage Other Than V_{DD}

7.2 Typical Application

The TPS3710-Q1 device is a wide-supply voltage comparator that operates over a V_{DD} range of 1.8 to 18V. The monitored voltage is set with the use of external resistors, so the device can be used either as a precision voltage monitor.

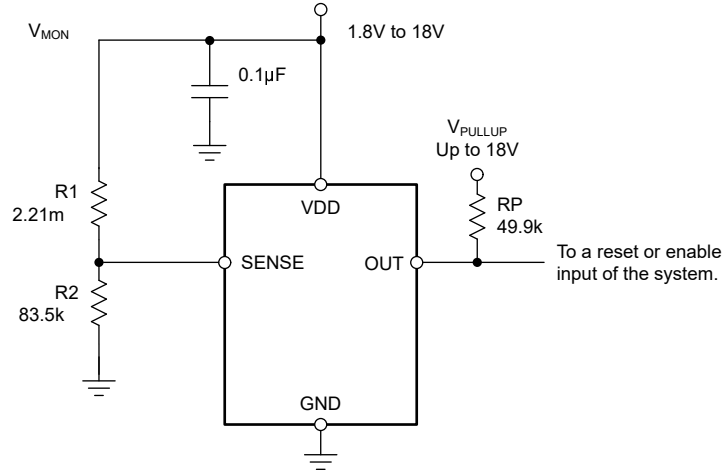


図 7-4. Wide VIN Voltage Monitor

7.2.1 Design Requirements

For this design example, use the values summarized in 表 7-1 as the input parameters.

表 7-1. Design Parameters

PARAMETER	DESIGN REQUIREMENT	DESIGN RESULT
Monitored voltage	12V nominal rail with maximum falling threshold of 10%	$V_{MON(UV)} = 10.99V$ (8.33%)

7.2.2 Detailed Design Procedure

7.2.2.1 Resistor Divider Selection

The resistor divider values and target threshold voltage can be calculated by using 式 1 to determine $V_{MON(UV)}$.

$$V_{MON(UV)} = \left(1 + \frac{R1}{R2}\right) \times V_{IT-} \quad (1)$$

where

- R1 and R2 are the resistor values for the resistor divider on the SENSEx pins
- $V_{MON(UV)}$ is the target voltage at which an undervoltage condition is detected

Choose R_{TOTAL} ($= R1 + R2$) so that the current through the divider is approximately 100 times higher than the input current at the SENSE pin. The resistors can have high values to minimize current consumption as a result of low input bias current without adding significant error to the resistive divider. For details on sizing input resistors, refer to application report [SLVA450, Optimizing Resistor Dividers at a Comparator Input](#), available for download from www.ti.com.

7.2.2.2 Pullup Resistor Selection

To make ensure the proper voltage level, the pullup resistor value is selected by ensuring that the pullup voltage divided by the resistor does not exceed the sink-current capability of the device. This confirmation is calculated by verifying that the pullup voltage minus the output-leakage current ($I_{lk(OD)}$) multiplied by the resistor is greater than the desired logic-high voltage. These values are specified in the [セクション 5.5](#).

Use [式 2](#) to calculate the value of the pullup resistor.

$$\frac{(V_{HI} - V_{PU})}{I_{lk(OD)}} \geq R_{PU} \geq \frac{V_{PU}}{I_O} \quad (2)$$

7.2.2.3 Input Supply Capacitor

Although an input capacitor is not required for stability, for good analog design practice, connect a 0.1μF low equivalent series resistance (ESR) capacitor across the VDD and GND pins. A higher value capacitor can be necessary if large, fast rise-time load transients are anticipated, or if the device is not located close to the power source.

7.2.2.4 Sense Capacitor

Although not required in most cases, for extremely noisy applications, place a 1nF to 10nF bypass capacitor from the comparator input (SENSE) to the GND pin for good analog design practice. This capacitor placement reduces device sensitivity to transients.

7.2.3 Application Curve

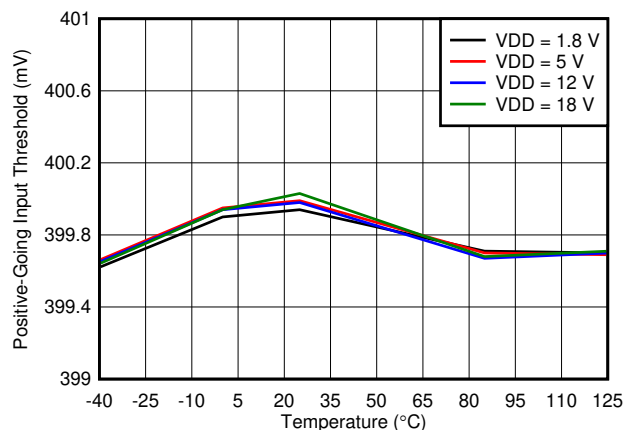


図 7-5. Rising Input Threshold Voltage (V_{IT+}) vs Temperature

7.3 Do's and Don'ts

Do connect a 0.1μF decoupling capacitor from V_{DD} to GND for best system performance.

If the monitored rail is noisy, do connect a decoupling capacitor from the comparator input (sense) to GND.

Don't use resistors for the voltage divider that cause the current through them to be less than 100 times the input current of the comparator without also accounting for the effect to the accuracy.

Don't use a pullup resistor that is too small, because the larger current sunk by the output then exceeds the desired low-level output voltage (V_{OL}).

7.4 Power-Supply Recommendations

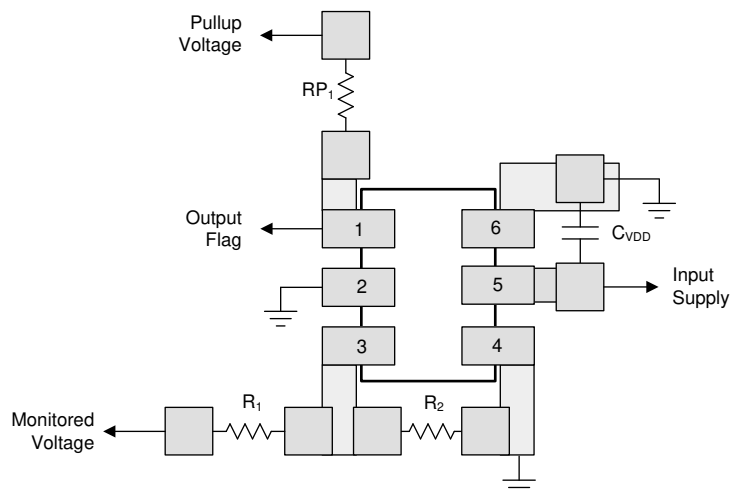
This device operates from an input voltage supply range between 1.8V and 18V.

7.5 Layout

7.5.1 Layout Guidelines

Placing a 0.1 μ F capacitor close to the VDD pin to reduce the input impedance to the device is good analog design practice.

7.5.2 Layout Example



☒ 7-6. Layout Example

8 Device and Documentation Support

8.1 Device Support

8.1.1 Device Nomenclature

表 8-1. Device Nomenclature

PRODUCT	DESCRIPTION
TPS3710yyyz	yyy is package designator z is package quantity

8.2 Documentation Support

8.2.1 Related Documentation

For related documentation, see the following:

[Optimizing Resistor Dividers at a Comparator Input](#)

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.5 Trademarks

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

9 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (July 2017) to Revision A (February 2024)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
ドキュメント全体で VDD ピンのコンデンサ値を 0.01uF から 0.1uF に変更して画像を更新.....	1

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS3710QDSERQ1	Active	Production	WSO (DSE) 6	3000 LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	5P
TPS3710QDSERQ1.A	Active	Production	WSO (DSE) 6	3000 LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	5P
TPS3710QDSERQ1.B	Active	Production	WSO (DSE) 6	3000 LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	5P

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

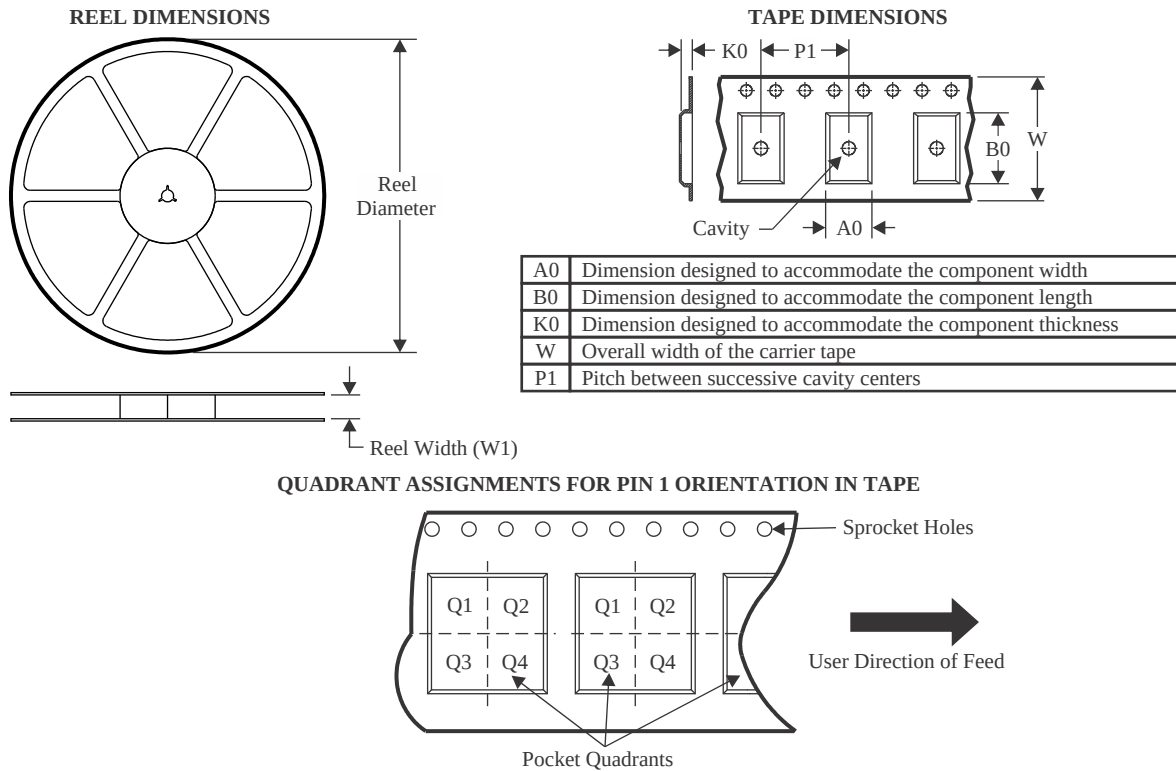
OTHER QUALIFIED VERSIONS OF TPS3710-Q1 :

- Catalog : [TPS3710](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

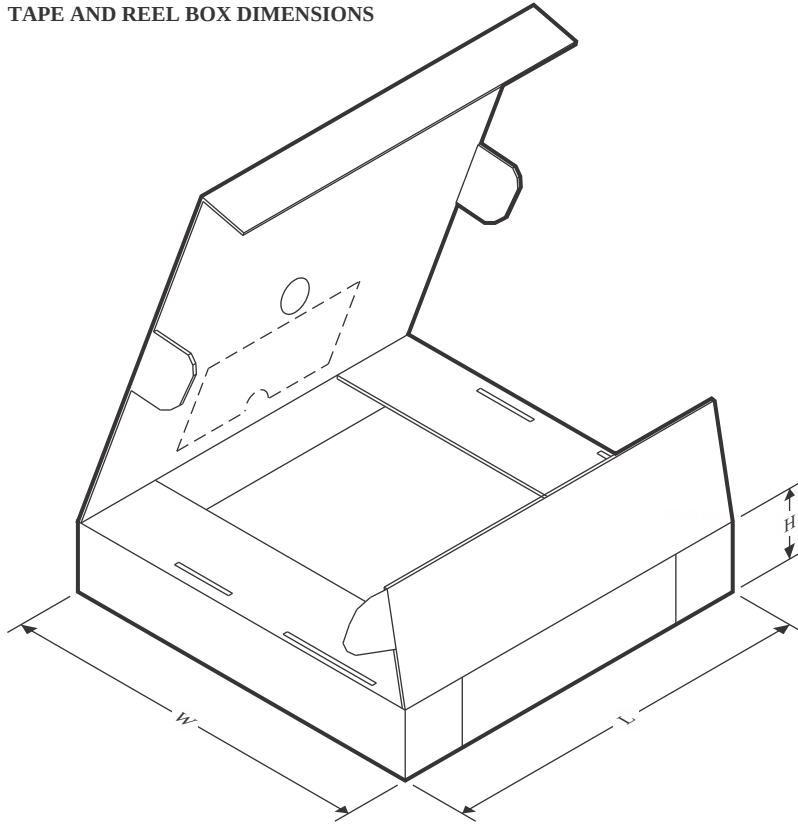
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS3710QDSERQ1	WSO	DSE	6	3000	179.0	8.4	1.8	1.8	1.0	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS3710QDSERQ1	WSON	DSE	6	3000	213.0	191.0	35.0

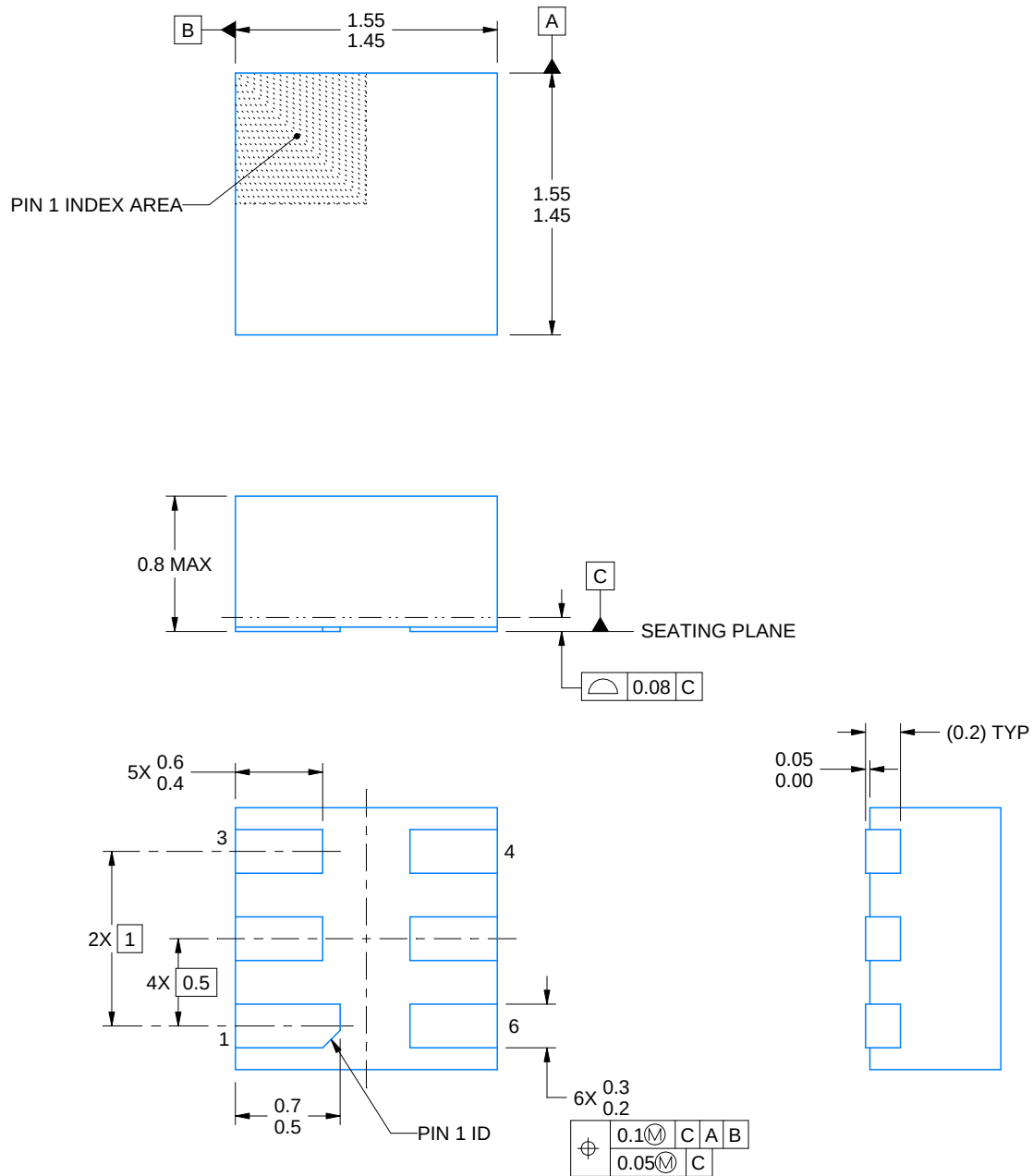
DSE0006A



PACKAGE OUTLINE

WSO - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



4220552/B 01/2024

NOTES:

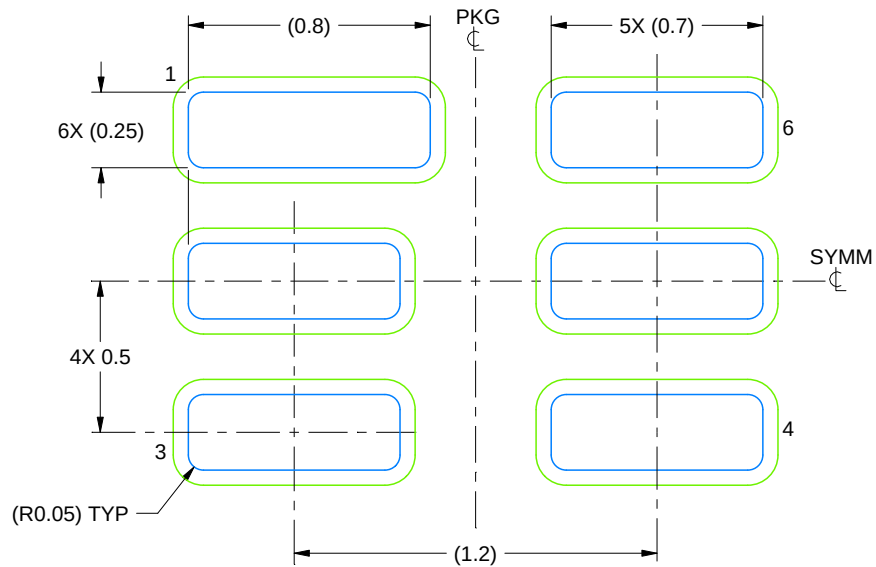
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

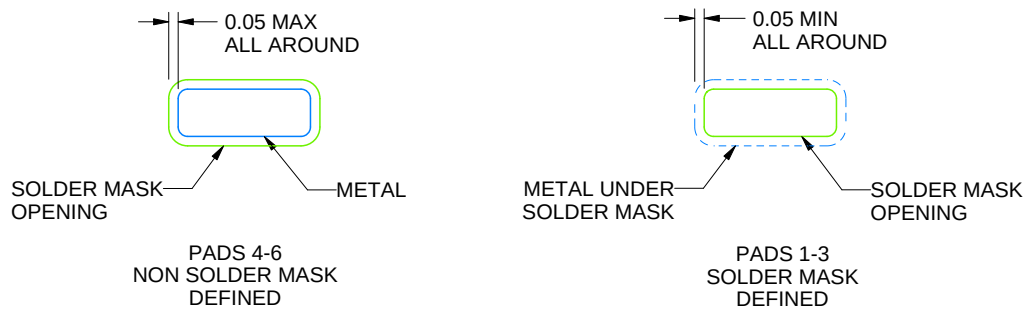
DSE0006A

WSN - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SCALE:40X



SOLDER MASK DETAILS

4220552/B 01/2024

NOTES: (continued)

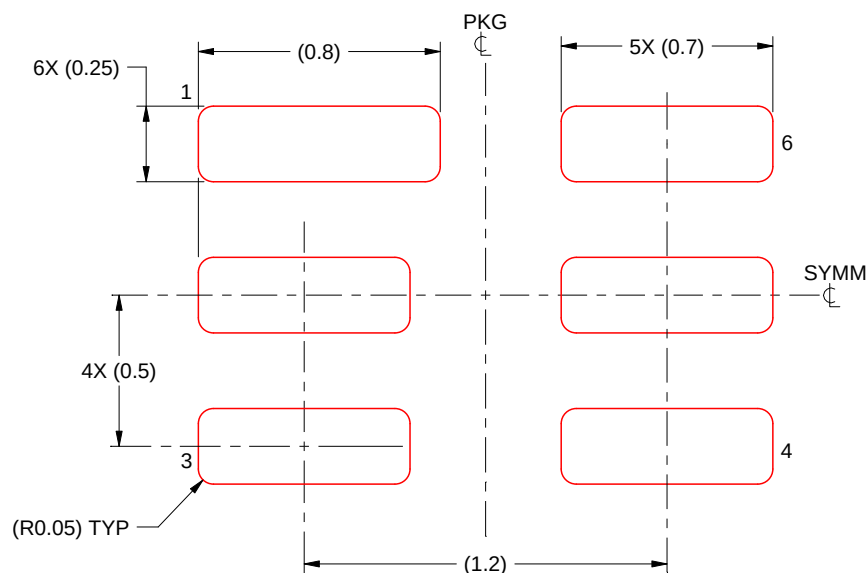
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DSE0006A

WSN - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:40X

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated