

TPS25984x、4.5V～16V、0.8mΩ、70A、スタッカブル eFuse、高精度で高速な電流モニタ搭載

1 特長

- 動作入力電圧範囲: 4.5V ~ 16V
 - 絶対最大値: 20V
 - 10μs の耐電圧: 23.5V
 - 出力側で最大 -1V の負電圧に対応
- 超低オン抵抗の FET を内蔵: 0.8mΩ (標準値)
- 定格 RMS 電流 55A、定格ピーク電流 70A
- 複数の eFuse の並列接続をサポートし、大電流を供給可能
 - 起動時と定常状態時のアクティブなデバイス状態の同期と負荷共有
- 堅牢な過電流保護機能
 - 過電流スレッシュホールド (I_{OCP}) を調整可能: ±5% の精度で 10A ~ 55A
 - 調整可能な過渡過電流タイマ (ITIMER) を使用した定常状態動作時のサーキットブレーカの応答により、最大 $2 \times I_{OCP}$ のピーク電流をサポート
 - 起動時のアクティブ電流制限 (I_{LIM}) を調整可能
- 堅牢な短絡保護機能
 - 出力短絡イベントに対する高速トリップ応答 (200ns 未満)
 - スレッシュホールドを調整可能 ($2 \times I_{OCP}$)
 - 電源ライン過渡への耐性 - 不要なトリップなし
- 高精度なアナログ負荷電流監視機能
 - 精度: ±1.4%
 - 帯域幅: 500kHz 超
- 高速な過電圧保護 (16.7V 固定のスレッシュホールド)
- 突入電流からの保護のために出力スルーレート制御 (dV/dt) を調整可能
- アクティブ HIGH のイネーブル入力、低電圧誤動作防止 (UVLO) を設定可能
- 過熱保護機能 (OTP) により FET SOA を保証
 - FET SOA: 10W/√s
- FET の健全性監視および報告機能を内蔵
- アナログ ダイ温度モニタ出力 (TEMP)
- 専用のフォルト表示ピン (FLT)
- パワー グッド表示ピン (PG)
- 小さい占有面積: QFN 5mm × 5mm
- 100% 鉛フリー

2 アプリケーション

- 入力ホットスワップおよびホットプラグ
- サーバーおよび高性能コンピューティング
- ネットワーク・インターフェイス・カード
- グラフィックスおよびハードウェア・アクセラレータ・カード
- データ・センターのスイッチおよびルーター
- ファン・トレイ

3 説明

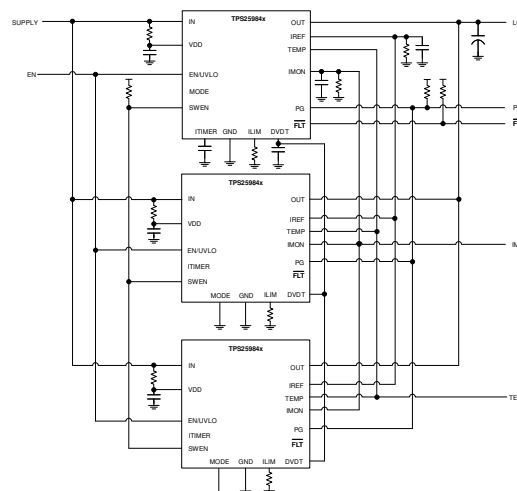
TPS25984x は統合型大電流回路保護およびパワー マネージメント ソリューションであり、小型パッケージに封止されています。このデバイスは、非常に少数の外付け部品で複数の保護モードを提供し、過負荷、短絡、および過剰な突入電流に対して堅牢な保護を行います。

特定の突入電流要件を持つアプリケーションでは、単一の外付けコンデンサにより出力スルー レートを設定できます。出力電流制限レベルは、システムの必要に応じてユーザーが設定できます。ユーザーが調整可能な過電流ブランキング タイマを使用すると、システムは eFuse をトリップせずに、負荷電流の過渡ピークに対応できます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
TPS259840RZJ	RZJ (QFN, 32)	5mm × 5mm
TPS259841RZJ		

- 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図



目次

1 特長	1	7.3 機能説明	21
2 アプリケーション	1	7.4 デバイスの機能モード	38
3 説明	1	8 アプリケーションと実装	40
4 概要 (続き)	3	8.1 アプリケーション情報	40
5 ピン構成および機能	4	8.2 代表的なアプリケーション: データ センター サーバ ーにおける 12V、3.3kW パワー バス保護	49
6 仕様	6	8.3 設計のベスト プラクティス	57
6.1 絶対最大定格.....	6	8.4 電源に関する推奨事項	57
6.2 ESD 定格.....	6	8.5 レイアウト	59
6.3 推奨動作条件.....	7	9 デバイスおよびドキュメントのサポート	61
6.4 熱に関する情報.....	7	9.1 ドキュメントのサポート.....	61
6.5 電気的特性.....	8	9.2 サポート・リソース.....	61
6.6 ロジック・インターフェイス.....	10	9.3 商標.....	61
6.7 タイミング要件.....	10	9.4 静電気放電に関する注意事項.....	61
6.8 スイッチング特性.....	12	9.5 用語集.....	61
6.9 代表的特性.....	13	10 改訂履歴	61
7 詳細説明	19	11 メカニカル、パッケージ、および注文情報	62
7.1 概要.....	19		
7.2 機能ブロック図.....	20		

4 概要 (続き)

複数の TPS25984x デバイスを並列に接続して、大電力システム用に合計電流容量を拡大できます。すべてのデバイスが動作状態をアクティブに同期し、スタートアップ時や定常状態で電流を共有することで、一部のデバイスに過大なストレスがかかることを防ぎます。このようなストレスは、並列チェーンの早期または部分的なシャットダウンを引き起こす可能性があります。

高速で高精度の検出を行う内蔵のアナログ負荷電流モニタにより、予知保全と高度な動的プラットフォーム電力管理手法 (Intel® PSYS および PROCHOT™ など) が容易になり、システム スループットと電源使用率を最大化できます。

これらのデバイスは、-40°C ~ +125°C の接合部温度範囲で動作が規定されています。

5 ピン構成および機能

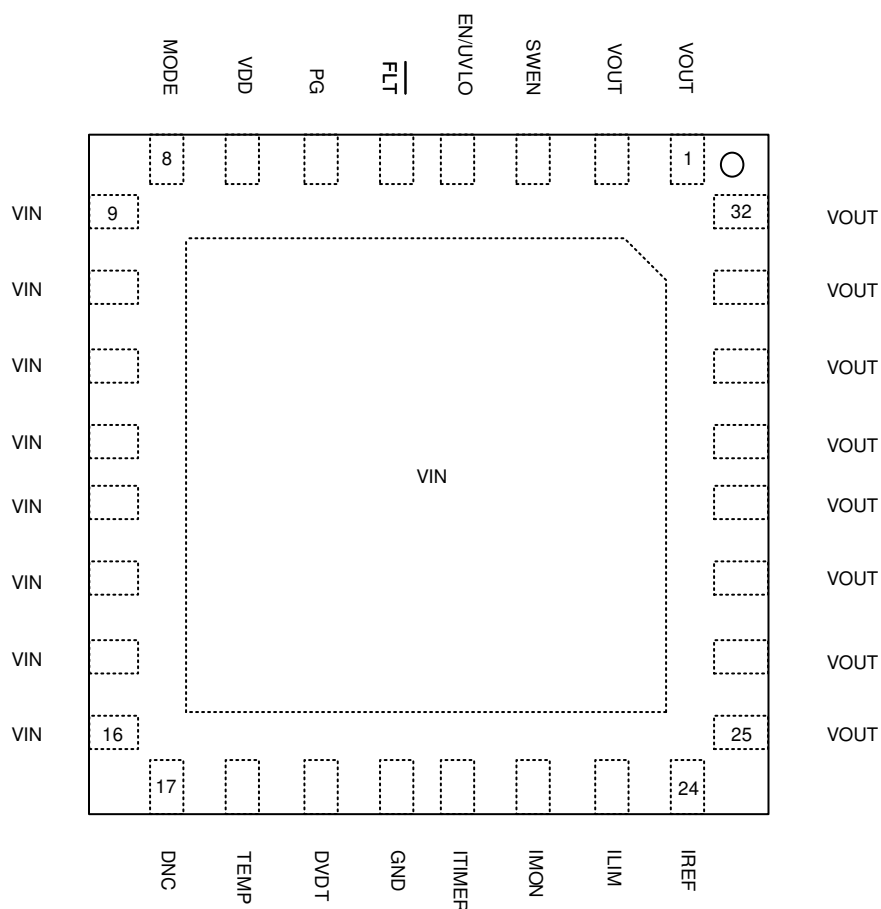


図 5-1. TPS25984x RZJ パッケージ、32 ピン QFN 上面図

表 5-1. ピンの機能

ピン		タイプ	説明
名称	番号		
OUT	1, 2, 25, 26, 27, 28, 29, 30, 31, 32	O	電力出力。適切な放熱を確保し、デバイスへの最適な電流分配を維持するため、出力電源プレーンに均一に半田付けする必要があります。
SWEN	3	I/O	パワー スイッチのオン / オフ ステータスを示すオープンドレイン信号。このピンにより、並列チェーン内の複数のデバイスを簡単にアクティブに同期できます。このピンは、ロジックレベル電源に外部でプルアップする必要があります。フローティングのままにしないでください。
EN/UVLO	4	I	アクティブ High イネーブル入力。入力電源から抵抗分割器を接続して、低電圧スレッショルドを設定します。フローティングのままにしないでください。
FLT	5	O	オープンドレイン アクティブ low によるフォルト表示
PG	6	I/O	オープンドレインのアクティブ大電力グッド出力。このピンは、ロジックレベル電源に外部でプルアップする必要があります。フローティングのままにしないでください。
VDD	7	P	コントローラ電源入力ピン。システム過渡の影響を受けない、フィルタリングされ、安定した電源で内部制御回路に電力を供給することを目的としています。このピンを直列抵抗を介して VIN に接続し、デカップリング コンデンサを GND に追加します。

表 5-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
モード	8	I	MODE 選択ピン。スタンダアロンまたは 1 次動作モードの場合は、このピンをフローティングのままにします。このピンを GND に接続すると、デバイスを並列チェーンの 2 次デバイスとして構成できます。
IN	9、10、11、12、 13、14、15、16、 露出パッド	P	電源入力。適切な放熱を確保し、デバイスへの最適な電流分配を維持するため、入力電源プレーンに均一に半田付けする必要があります。
DNC	17	X	このピンに何も接続しないでください。
TEMP	18	O	ダイ接合部温度モニタ アナログ電圧出力。複数のデバイスの TEMP 出力を並列構成で接続することで、チェーンのピーク温度を表示できます。
DVDT	19	O	起動時出力スルー レート制御ピン。このピンをオープンのままにすると、短時間で起動できます。コンデンサをグラウンドと接続することで、スルーレートを低速にし、突入電流を管理します。
GND	20	G	デバイス グラウンドリファレンス ピン。システム グラウンドに接続。
ITIMER	21	O	このピンと GND との間のコンデンサにより、デバイスの過電流応答が動作する前に、定常状態動作中に出力電流が過電流スレッシュホールド (ただし、高速トリップ スレッシュホールドより低い) を一時的に超えることができる過電流ブランキング間隔が設定されます。
IMON	22	O	このピンと GND の間に外付け抵抗を接続することで、定常状態時の過電流 / 保護スレッシュホールドと高速トリップ スレッシュホールドが設定されます。このピンは、定常状態中の高速かつ高精度のアナログ出力負荷電流監視信号としても機能します。フローティングのままにしないでください。
ILIM	23	O	このピンと GND の間に外付け抵抗を接続することで、定常状態時の電流制限スレッシュホールドと高速トリップ スレッシュホールドが設定されます。また、これにより、定常状態時のアクティブ電流共有スレッシュホールドも設定されます。フローティングのままにしないでください。
IREF	24	I/O	過電流、短絡保護とアクティブ電流共有ブロックに適したリファレンス電圧このピンの内部電流源と抵抗を使用して生成することも、外部電圧源から駆動することもできます。フローティングのままにしないでください。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

パラメータ		ピン	最小値	最大値	単位
V _{INMAX}	最大入力電圧範囲	IN	-0.3	20	V
V _{INMAX,PLS}	最大入力電圧範囲:(10μs、T _A ≥ 0°C)	IN	-0.3	最小 (23.5、V _{OUT} + 23)	V
V _{DDMAX}	最大電源電圧範囲	VDD	-0.3	20	V
V _{OUTMAX}	最大出力電圧範囲	OUT	-1	最小 (20、V _{IN} + 0.3)	
V _{IREFMAX}	IREF ピンの最大電圧範囲	IREF		5.5	V
V _{DVDTMAX}	DVDT ピンの最大電圧範囲	DVDT		5.5	V
V _{MODEMAX}	MODE ピンの最大電圧範囲	モード	内部的に制限		V
V _{SWENMAX}	SWEN ピンの最大電圧範囲	SWEN		5.5	V
I _{SWENMAX}	SWEN ピンの最大シンク電流	SWEN		10	mA
V _{ENMAX}	イネーブル ピンの最大電圧範囲	EN/UVLO		20	V
V _{FLTBMAX}	FLT ピンの最大電圧範囲	FLT		5.5	V
I _{FLTBMAX}	FLT ピンの最大シンク電流	FLT		10	mA
V _{PGMAX}	PG ピンの最大電圧範囲	PG		5.5	V
I _{PGMAX}	PG ピンの最大シンク電流	PG		10	mA
V _{TEMPMAX}	TEMP ピンの最大電圧範囲	TEMP		5.5	V
V _{ILIMMAX}	ILIM ピンの最大電圧	ILIM	内部的に制限		V
V _{IMONMAX}	IMON ピンの最大電圧	IMON	内部的に制限		V
V _{ITIMERMAX}	ITIMER ピンの最大電圧	ITIMER	内部的に制限		V
I _{MAX}	最大連続スイッチ電流	IN から OUT	内部的に制限		A
T _{JMAX}	接合部温度		内部的に制限		°C
T _{LEAD}	最大半田付け温度			300	°C
T _{STG}	保存温度		-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠 ⁽²⁾	±500	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
 (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		ピン	最小値	最大値	単位
V_{IN}	入力電圧範囲	IN	4.5	16	V
V_{DD}	電源電圧範囲	VDD	4.5	16	V
V_{OUT}	出力電圧範囲	OUT	0	V_{IN}	V
$V_{EN/UVLO}$	イネーブルピン電圧範囲	EN/UVLO	0	$\text{Min}(V_{DD} + 1V, V_{IN} + 1V)$	V
V_{DVDT}	DVDT ピン コンデンサ電圧定格	DVDT	4		V
V_{PG}	PG ピンのプルアップ電圧範囲	PG	0	5	V
$V_{FLT\overline{B}}$	\overline{FLT} ピンのプルアップ電圧範囲	\overline{FLT}	0	5	V
V_{SWEN}	SWEN ピンのプルアップ電圧範囲	SWEN	2.5	5	V
V_{ITIMER}	ITIMER ピン コンデンサ電圧定格	ITIMER	4		V
V_{IREF}	IREF ピンの電圧範囲	IREF	0.3	1.2	V
V_{ILIM}	ILIM ピンの電圧範囲	ILIM	0	0.4	V
V_{IMON}	IMON ピンの電圧範囲	IMON	0	1.2	V
I_{MAX}	RMS スイッチ電流、 $T \leq 125^{\circ}\text{C}$	IN から OUT	0	55	A
$I_{MAX, PLS}$	ピーク スイッチ電流、 $T_J \leq 125^{\circ}\text{C}$	IN から OUT	0	70	A
T_J	接合部温度		-40	125	$^{\circ}\text{C}$

6.4 熱に関する情報

熱評価基準 ^{(1) (2)}		TPS25984X	単位
		RZJ (QFN)	
		32 ピン	
$R_{\theta JA(\text{eff})}$	接合部から周囲への熱抵抗 (実効)	16.5 ⁽²⁾	$^{\circ}\text{C}/\text{W}$
		25.2 ⁽³⁾	$^{\circ}\text{C}/\text{W}$
$\Psi_{JT(\text{eff})}$	接合部から上面への特性パラメータ (実効)	0.3 ^{(2) (3)}	$^{\circ}\text{C}/\text{W}$
$\Psi_{JB(\text{eff})}$	接合部から基板への特性パラメータ (実効)	4.4 ⁽²⁾	$^{\circ}\text{C}/\text{W}$
		4.9 ⁽³⁾	$^{\circ}\text{C}/\text{W}$

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。
(2) デバイスの下に 9 つのサーマル ビアを持つカスタム 8 層 PCB (4s4p) に実装したデバイスで行ったシミュレーションに基づく
(3) デバイスの下に 9 つのサーマル ビアを持つ JEDEC 4 層 PCB (2s2p) に実装したデバイスで行ったシミュレーションに基づく

6.5 電気的特性

(特に記述のない限りのテスト条件) $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$, $V_{\text{IN}} = 12\text{V}$, $V_{\text{DD}} = 12\text{V}$, $\text{OUT} = \text{オープン}$, $V_{\text{EN/UVLO}} = 2\text{V}$, $\text{SWEN} = 10\text{k}\Omega$ 5V へプルアップ、 $R_{\text{ILIM}} = 550\Omega$, $R_{\text{IMON}} = 1100\Omega$, $V_{\text{IREF}} = 1\text{V}$, $\text{DVDT} = \text{オープン}$, $\text{ITIMER} = \text{オープン}$, $\text{FLT} = 10\text{k}\Omega$ 5V へプルアップ、 $\text{PG} = 10\text{k}\Omega$ 5V へのプルアップ、 $\text{TEMP} = \text{オープン}$, $\text{MODE} = \text{オープン}$ 。Open.すべての電圧の基準は GND。

パラメータ		テスト条件	最小値	標準値	最大値	単位
入力電源 (VDD)						
V _{DD}	VDD 動作入力電圧範囲		4.5		16	V
I _{QON} (VDD)	VDD ON 状態静止電流	V _{VDD} > V _{UVP(R)} 、V _{EN} ≥ V _{UVLO(R)}		0.4	0.55	mA
I _{QOFF} (VDD)	VDD OFF 状態電流	V _{EN} < V _{UVLO(F)}			240	μA
V _{UVP(R)}	VDD 低電圧保護スレッシュホールド	VDD 立ち上がり	4.03	4.20	4.38	V
V _{UVP(F)}	VDD 低電圧保護スレッシュホールド	VDD 立ち下がり	3.80	4.05	4.24	V
入力電源 (IN)						
V _{IN}	VIN 動作入力電圧範囲		4.5		16	V
V _{UVPIN(R)}	V _{IN} 過電流保護スレッシュホールド	V _{IN} 立ち上がり	4.00	4.25	4.50	V
V _{UVPIN(F)}	V _{IN} 過電流保護スレッシュホールド	V _{IN} 立ち下がり	3.90	4.15	4.40	V
I _{QON} (IN)	IN ON 状態静止電流	V _{EN} ≥ V _{UVLO(R)}		3.2	4.4	mA
I _{QOFF} (IN)	IN OFF 状態電流	V _{EN} < V _{UVLO(F)}			400	μA
イネーブル / 低電圧誤動作防止 (EN/UVLO)						
V _{UVLO(R)}	オンにするための EN/UVLO ピン電圧立ち上がりスレッシュホールド	EN/UVLO 立ち上がり	1.12	1.20	1.28	V
V _{UVLO(F)}	オフにして出力放電を作動させるための EN/UVLO ピン電圧立ち下がりスレッシュホールド (プライマリ デバイス)	EN/UVLO 立ち下がり、MODE = オープン	1.02	1.10	1.18	V
	オフにして QOD を作動させるための EN/UVLO ピン電圧スレッシュホールド (セカンダリ デバイス)	EN/UVLO 立ち下がり、MODE = GND	0.92	0.99	1.08	V
V _{SD(F)}	完全シャットダウンに移行するための EN/UVLO ピンの電圧スレッシュホールド	EN/UVLO 立ち下がり	0.5	0.8		V
I _{ENLKG}	EN/UVLO ピンのリーク電流		-0.1		0.1	μA
過電圧保護 (IN)						
V _{OVP(R)}	入力過電圧保護スレッシュホールド (立ち上がり)	V _{IN} 立ち上がり	16.1	16.7	17.1	V
V _{OVP(F)}	入力過電圧保護スレッシュホールド (立ち下がり)	V _{IN} 立ち下がり	15.9	16.6	16.9	V
オン抵抗 (IN - OUT)						
R _{ON}	ON 抵抗	I _{OUT} = 8A、T _J = 25°C		0.80	1.13	mΩ
		I _{OUT} = 8A、T _J = -40 ~ 125°C			1.5	mΩ
過電流保護基準電圧 (IREF)						
I _{IREF}	IREF ピン内部ソース電流		24.30	24.99	25.68	μA
電流制限 (ILIM)						
G _{ILIM(LIN)}	ILIM 電流モニタ ゲイン (ILIM:IOUT)		17.77	18.13	18.41	μA/A
CL _{REF(SAT)} %	スタートアップ電流制限スレッシュホールド (ILIM) と定常状態の過電流保護スレッシュホールド基準電圧 (IREF) の比率	V _{OUT} > V _{FB} 、PG がアサートされていない		23.3		%
I _{LIM}	起動電流制限レギュレーション スレッシュホールド	R _{ILIM} = 138Ω、V _{IREF} = 1.2V、V _{OUT} > V _{FB}	31.37	41.50	52.81	A
		R _{ILIM} = 160Ω、V _{IREF} = 1.2V、V _{OUT} > V _{FB}	26.18	34.50	42.05	A
		R _{ILIM} = 400Ω、V _{IREF} = 1.2V、V _{OUT} > V _{FB}	12.48	14.50	16.71	A
		R _{ILIM} =800Ω、V _{IREF} = 1.2V、V _{OUT} > V _{FB}	6.84	9.80	11.84	A
V _{FB}	フォールドバック電圧			1.99		V

6.5 電気的特性 (続き)

(特に記述のない限りのテスト条件) $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$, $V_{\text{IN}} = 12\text{V}$, $V_{\text{DD}} = 12\text{V}$, $\text{OUT} = \text{オープン}$, $V_{\text{EN/UVLO}} = 2\text{V}$, $\text{SWEN} = 10\text{ k}\Omega$ 5V ヘプルアップ, $R_{\text{ILIM}} = 550\Omega$, $R_{\text{IMON}} = 1100\Omega$, $V_{\text{IREF}} = 1\text{V}$, $\text{DVDT} = \text{オープン}$, $\text{ITIMER} = \text{オープン}$, $\text{FLT} = 10\text{ k}\Omega$ 5V ヘプルアップ, $\text{PG} = 10\text{ k}\Omega$ 5V へのプルアップ, $\text{TEMP} = \text{オープン}$, $\text{MODE} = \text{オープン}$. Open. すべての電圧の基準は GND。

パラメータ		テスト条件	最小値	標準値	最大値	単位
出力電流モニタと過電流保護 (IMON)						
G _{IMON}	IMON 電流モニタ ゲイン (IMON:IOUT)	デバイスが定常状態 (PG アサート)	17.85	18.13	18.41	μA/A
I _{OCP}	定常状態の過電流保護 (サーキットブレーカ) スレッシュホルド	R _{IMON} = 1100 Ω、V _{IREF} = 1.1 V	53.79	55.11	56.37	A
		R _{IMON} = 1100 Ω、V _{IREF} = 1 V	48.90	50.10	51.25	A
		R _{IMON} = 1100 Ω、V _{IREF} = 0.5 V	24.43	25.08	25.71	A
		R _{IMON} = 1100 Ω、V _{IREF} = 0.24 V	11.64	12.03	12.40	A
過渡過電流ブランキング タイマ (ITIMER)						
I _{ITIMER}	ITIMER ピンの内部放電電流	I _{OUT} > I _{OCP} 、ITIMER ↓	1.88	2.05	2.21	μA
R _{ITIMER}	ITIMER ピンの内部プルアップ抵抗		13.29	13.78	14.45	kΩ
V _{INT}	ITIMER ピンの内部プルアップ電圧	I _{OUT} < I _{OCP}	3.62	3.66	3.70	V
V _{ITIMERTHR}	ITIMER ヒコンパレータの立ち下がリスレッシュホルド	I _{OUT} > I _{OCP} 、ITIMER ↓	2.05	2.17	2.29	V
ΔV _{ITIMER}	ITIMER 放電電圧スレッシュホルド	I _{OUT} > I _{OCP} 、ITIMER ↓	1.38	1.50	1.59	V
短絡保護						
I _{FFT}	定常状態における固定高速トリップ スレッシュホルド	PG を High にアラート、スタンドアロン / プライマリ モード、MODE = オープン		148		A
		PG を High にアサート、セカンダリモード、MODE = GND		222		A
SFT _{REF(LIN)} %	定常状態時にスケラブルな高速トリップスレッシュホルド (IMON) から過電流保護スレッシュホルド基準電圧 (IREF) への比率	スタンドアロン / プライマリモード、MODE = オープン		200		%
		セカンダリ モード、MODE = GND		225		%
SFT _{REF(SAT)} %	起動時の高速トリップ スレッシュホルド (ILIM) から過電流保護スレッシュホルド基準電圧 (IREF) へのスケラブルな比率	スタンドアロン / プライマリモード、MODE = オープン		50		%
		セカンダリ モード、MODE = GND		50		%
R _{ON(ACS)}	アクティブ電流共有時の 最大 R _{DS(on)}	V _{ILIM} > CL _{REF(ACS)} % × V _{IREF}		0.96	1.8	mΩ
G _{IMON(ACS)}	アクティブ電流共有時の IMON:IOUT 比	PG を High にアサート、V _{ILIM} > CL _{REF(ACS)} % × V _{IREF}	18.09	18.45	18.55	μA/A
CL _{REF(ACS)} %	アクティブ電流共有トリガ スレッシュホルドと定常状態過電流保護スレッシュホルドの比	PG は High にアサート		36.7		%
突入電流保護 (DVDT)						
I _{DVDT}	DVDT ピンの充電電流	プライマリ / スタンドアロン モード、MODE = オープン	1.45	2.01	2.80	μA
G _{DVDT}	DVDT ゲイン		18.00	20.57	22.00	V/V
R _{DVDT}	DVDT ピンから GND への放電抵抗			526		Ω
R _{ON(GHI)}	PG がアサートされたときの R _{ON}			0.92	1.8	mΩ
クイック出力放電 (QOD)						
I _{QOD}	クイック出力放電内部プルダウン電流	V _{SD(F)} < V _{EN} < V _{UVLO(F)} 、−40 < T _J < 125°C	14.85	21.43	24.18	mA
温度センサ出力 (TEMP)						
G _{TMP}	温度センサ ゲイン		2.58	2.65	2.72	mV/°C
V _{TMP}	TEMP ピン出力電圧	T _J = 25°C	676	679	684	mV
I _{TMPSRC}	TEMP ピン ソース電流		76	91.9	170	μA

6.5 電気的特性 (続き)

(特に記述のない限りのテスト条件) $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$, $V_{\text{IN}} = 12\text{V}$, $V_{\text{DD}} = 12\text{V}$, $\text{OUT} = \text{オープン}$, $V_{\text{EN/UVLO}} = 2\text{V}$, $\text{SWEN} = 10\text{ k}\Omega$ 5V ヘプルアップ, $R_{\text{ILIM}} = 550\Omega$, $R_{\text{IMON}} = 1100\Omega$, $V_{\text{IREF}} = 1\text{V}$, $\text{DVDT} = \text{オープン}$, $\text{ITIMER} = \text{オープン}$, $\text{FLT} = 10\text{ k}\Omega$ 5V ヘプルアップ, $\text{PG} = 10\text{ k}\Omega$ 5V へのプルアップ, $\text{TEMP} = \text{オープン}$, $\text{MODE} = \text{オープン}$. Open. すべての電圧の基準は GND.

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{TMPSNK}	TEMP ピン シンク電流		7.6	10	14.5	μA
過熱保護 (OTP)						
TSD	サーマル シャットダウンのスレッシュホールド	T_J 立ち上がり		150		$^{\circ}\text{C}$
TSD_{HYS}	サーマル シャットダウン ヒステリシス	T_J 立ち下がり		12.5		$^{\circ}\text{C}$
FET 正常性モニタ						
V_{DSFLT}	FET D-S 故障スレッシュホールド	$\text{SWEN} = \text{L}$		0.49		V
シングル ポイント障害 (ILIM, IMON, IREF, ITIMER)						
$I_{\text{OC_BKP(LIN)}}$	バックアップ過電流保護スレッシュホールド (定常状態 - 定常状態)			93		A
$I_{\text{OC_BKP(SAT)}}$	バックアップ過電流保護スレッシュホールド (スタートアップ)			95		A

6.6 ロジック・インターフェイス

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
SWEN						
R_{SWEN}	SWEN ピン プルダウン抵抗	SWEN が Low にデアサート		9	13.8	Ω
I_{SWENLKG}	SWEN ピンのリーク電流	SWEN は High にアサート	-2		2	μA
$V_{\text{IH_SWEN}}$	SWEN 入力ロジック high			1.1	1.2	V
$V_{\text{IL_SWEN}}$	SWEN 入力ロジック Low		0.4	0.71		V
故障表示 (FLT)						
R_{FLT}	FLT ピン プルダウン抵抗	FLT を Low にアサート		9	13.8	Ω
I_{FLTBLKG}	FLT ピンのリーク電流	FLT が High にデアサート	-2		2	μA
パワー グッド表示 (PG)						
R_{PG}	PG ピン プルダウン抵抗	PG が Low にデアサート		9	13.8	Ω
I_{PGKG}	PG ピンのリーク電流	PG は High にアサート	-2		2	μA

6.7 タイミング要件

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{OVP}	過電圧保護応答時間	$V_{\text{IN}} > V_{\text{OVP(R)}} \sim \text{SWEN} \downarrow$		1.57		μs
t_{INSPLY}	挿入遅延	$V_{\text{DD}} > V_{\text{UVP(R)}} \text{ で } \text{SWEN} \uparrow$		13.7		ms
t_{FFT}	固定高速トリップ応答時間	$I_{\text{OUT}} > 1.5 \times I_{\text{FFT}} \text{ to } I_{\text{OUT}} \downarrow$		192		ns
t_{SFT}	スケーラブルな高速トリップ応答時間	$I_{\text{OUT}} > 3 \times I_{\text{OCP}} \text{ to } I_{\text{OUT}} \downarrow$		364		ns
t_{TIMER}	過電流ブランキング間隔	$I_{\text{OUT}} = 1.5 \times I_{\text{OCP}}$, $C_{\text{ITIMER}} = \text{オープン}$		0		ms
		$I_{\text{OUT}} = 1.5 \times I_{\text{OCP}}$, $C_{\text{ITIMER}} = 4.7\text{nF}$		3.79		ms
t_{RST}	自動再試行間隔	自動再試行バリエーション、1 次モード (MODE = オープン)		107.5		ms
$t_{\text{EN(DG)}}$	EN/UVLO デグリッチ時間			6		μs
$t_{\text{SU_TMR}}$	起動タイムアウト間隔	SWEN \uparrow から FLT \downarrow		215		ms

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{QOD}	QOD イネーブル タイマ	$V_{SD(F)} < V_{EN/UVLO} < V_{UVLO(F)}$		4.66		ms
$t_{Discharge}$	QOD 放電時間 (V_{OUT} の 90% から 10%)	$V_{SD(F)} < V_{EN/UVLO} < V_{UVLO(F)}$ 、 $V_{IN} = 12V$ 、 $C_{OUT} = 1\text{ mF}$		588		ms
t_{PGA}	PG アサート遅延			20		us

6.8 スイッチング特性

出力の立ち上がりスループレートは内部的に制御され、動作電圧範囲の全体にわたって一定であるため、ターンオン タイミングが負荷条件の影響を受けないようにしています。立ち上がりスループレートは、dVdt ピンとグラウンドの間に容量を追加することで調整できます。C_{dVdt} が大きくなると、立ち上がりスループレート (SR) が低下します。詳細については、「スループレートおよび突入電流制御 (dVdt)」セクションを参照してください。ただし、ターンオフ遅延時間と立ち下がり時間は負荷容量 (C_{OUT}) および負荷抵抗 (R_L) の RC 時定数に依存します。スイッチング特性は、電源が定常状態で利用可能で、デバイスがイネーブルになる前に負荷電圧が完全に放電されているパワーアップ シーケンスに対してのみ有効です。標準値は T_J = 25°C 時に測定 (特に記述のない限り)。V_{IN} = 12V、R_{OUT} = 500Ω、C_{OUT} = 1mF

パラメータ		C _{dVdt} = 3.3nF	C _{dVdt} = 33nF	単位
SR _{ON}	出力立ち上がりスループレート	9.79	1.20	V/ms
t _{D,ON}	ターン オン遅延	0.34	1.54	ms
t _R	立ち上がり時間	1.00	8.13	ms
t _{ON}	ターンオン時間	1.38	10.35	ms
t _{D,OFF}	ターンオフ遅延時間	1081	1060	μs
t _F	立ち下がり時間	R _{OUT} と C _{OUT} に依存します		μs

6.9 代表的特性

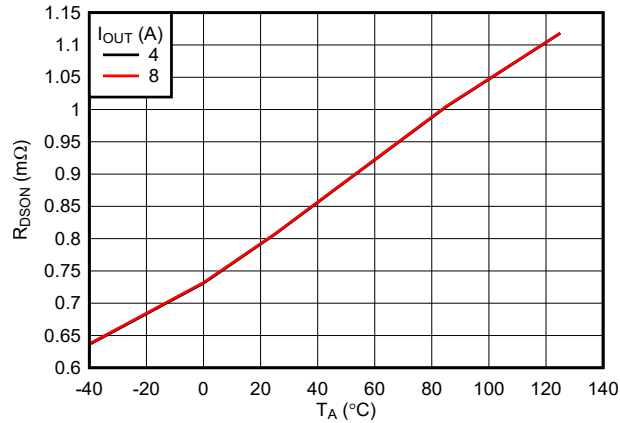


図 6-1. 温度範囲にわたる ON 抵抗

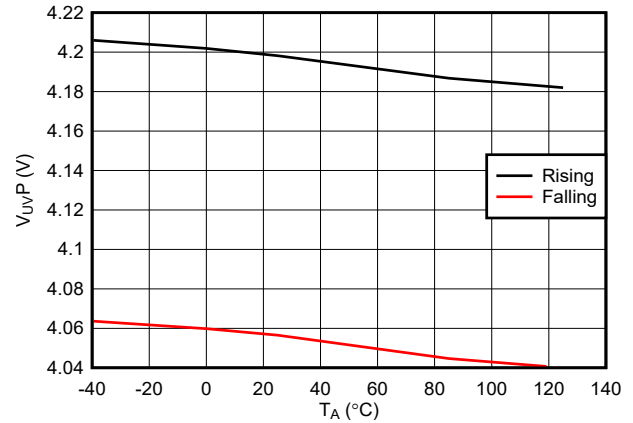


図 6-2. 温度範囲にわたる VDD 低電圧スレッシュホールド

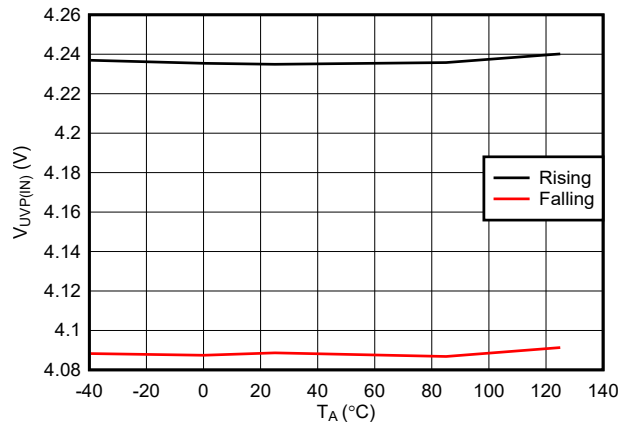


図 6-3. 温度範囲にわたる VIN 低電圧スレッシュホールド

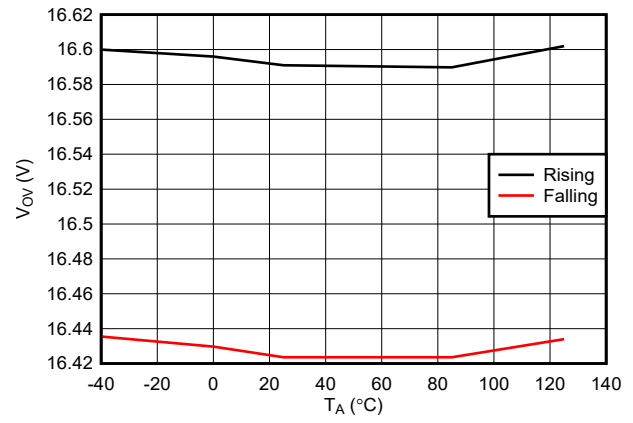


図 6-4. 温度範囲にわたる VIN 過電圧保護スレッシュホールド

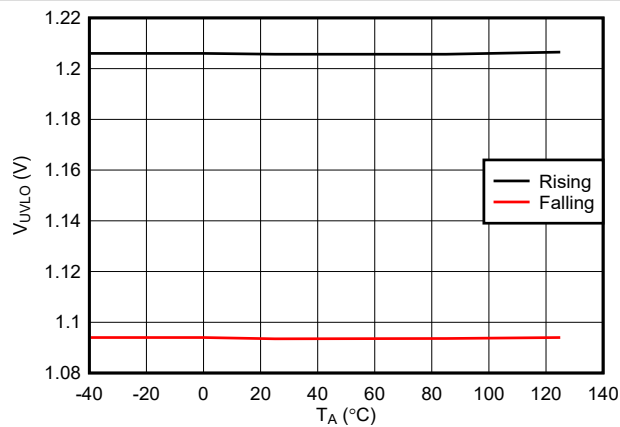


図 6-5. FET ターンオフ温度範囲にわたる EN/UVLO スレッシュホールド

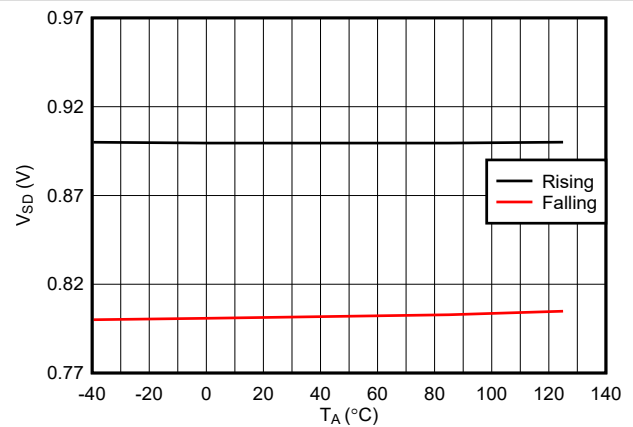


図 6-6. 温度範囲にわたるデバイス シャットダウン用の EN/UVLO ベースのスレッシュホールド

6.9 代表的特性 (続き)

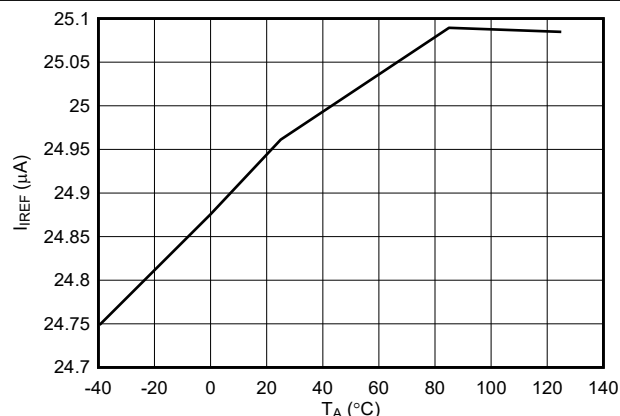


図 6-7. 温度範囲にわたる IREF 充電電流

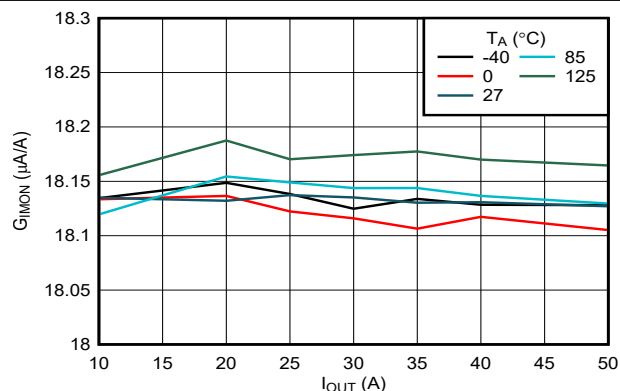


図 6-8. 負荷および温度範囲にわたる IMON ゲイン

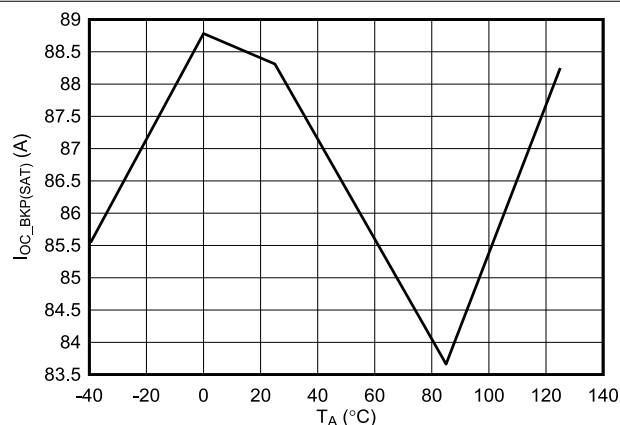


図 6-9. バックアップ過電流保護スレッシュヨルド (スタートアップ) 精度

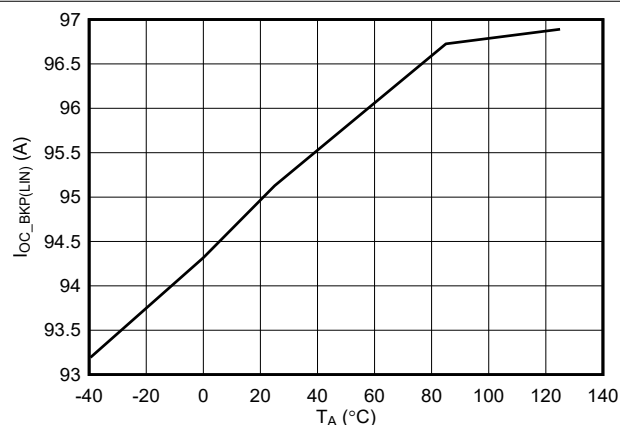


図 6-10. バックアップ過電流保護スレッシュヨルド (定常状態) 精度

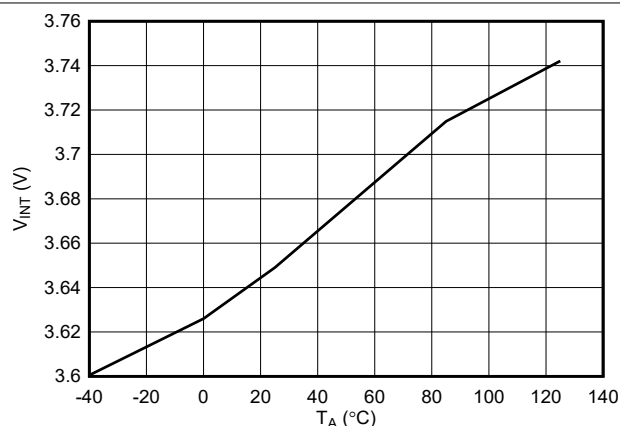


図 6-11. 温度範囲にわたる ITIMER ピンの内部プルアップ電圧

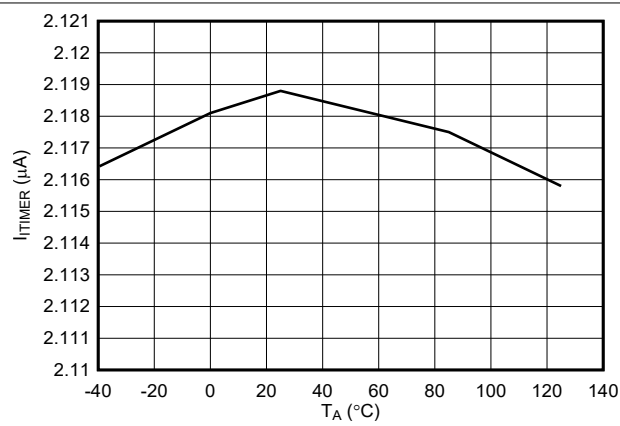


図 6-12. 温度範囲にわたる ITIMER ピンの放電電流

6.9 代表的特性 (続き)

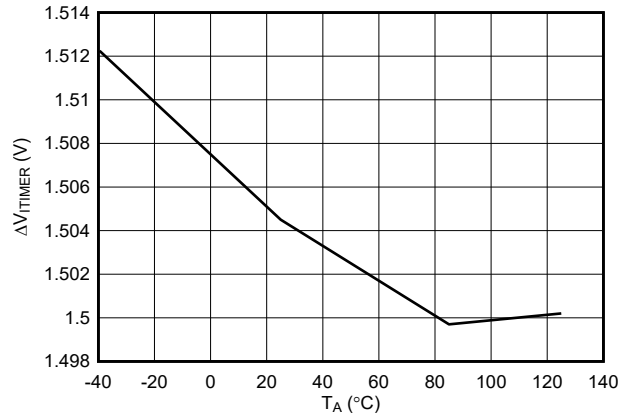


図 6-13. 温度範囲にわたる ITIMER ピン放電の差動電圧スレッシュ
ホルド

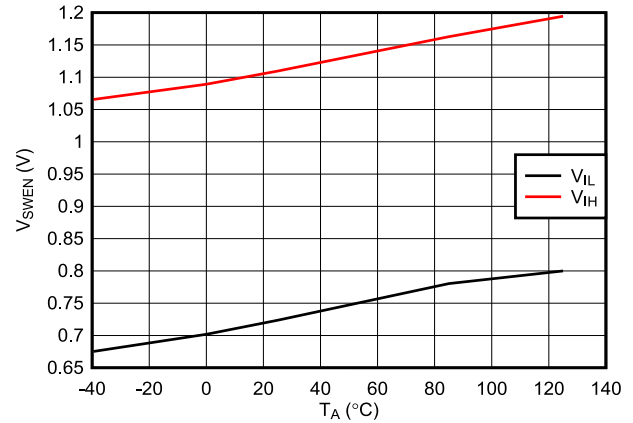


図 6-14. 温度範囲にわたる SWEN ピン ロジック スレッシュ
ホルド

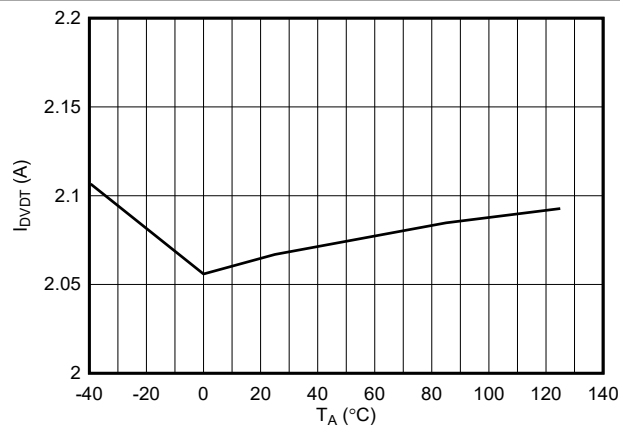


図 6-15. 温度範囲にわたる DVDVT 充電電流

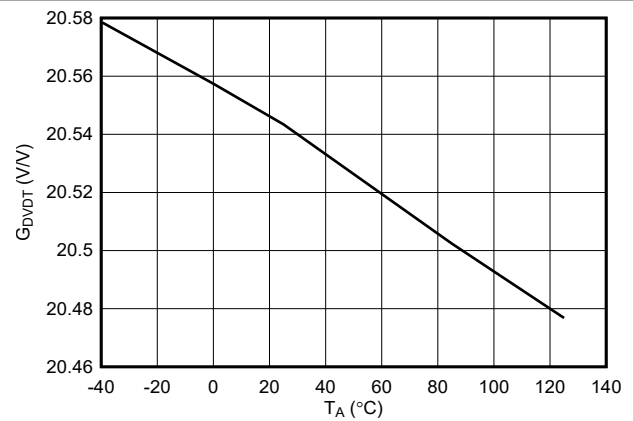


図 6-16. 温度範囲にわたる DVDVT ゲイン

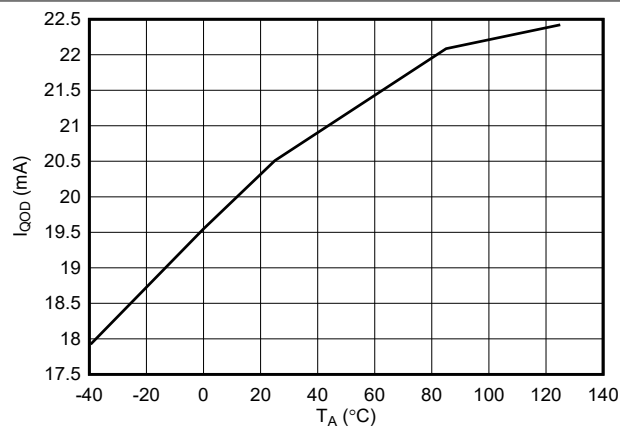


図 6-17. 温度範囲にわたる QOD シンク電流

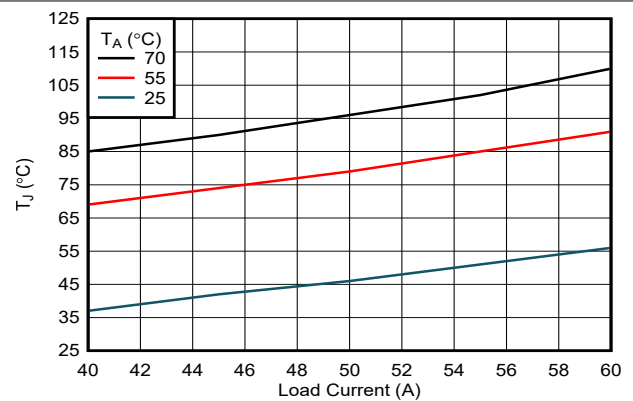
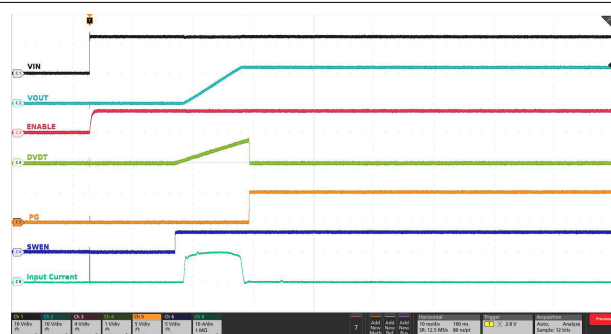


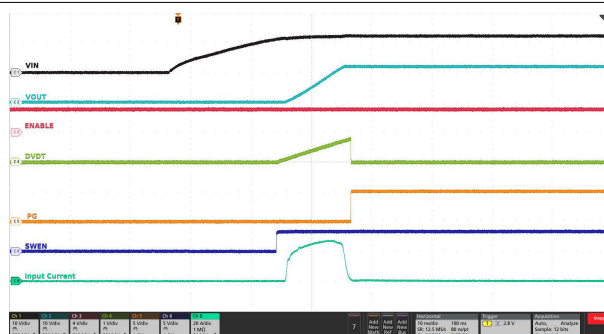
図 6-18. 接合部温度と負荷電流 (エアフローなし)

6.9 代表的特性 (続き)



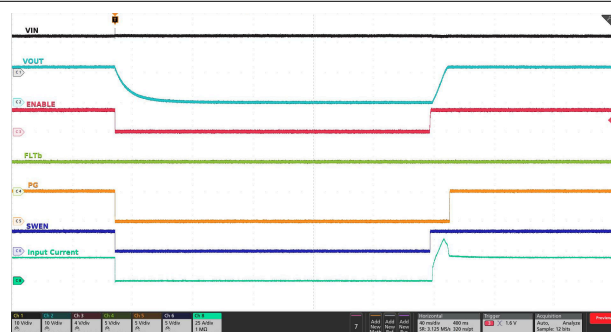
入力を 12V 電源にホットプラグ。

図 6-19. 挿入遅延付きの入力ホットプラグ



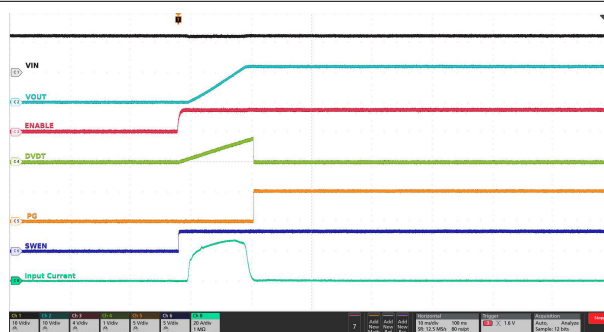
EN/UVLO ピンを high に保持し、入力電源を 12V まで上昇

図 6-20. 入力電源を使用した電源制御立ち上げ



入力電源を定常状態に保持し、EN/UVLO ピンを low から high に切り替え

図 6-21. EN/UVLO ピンを使用した電源オンおよびオフシーケンシング



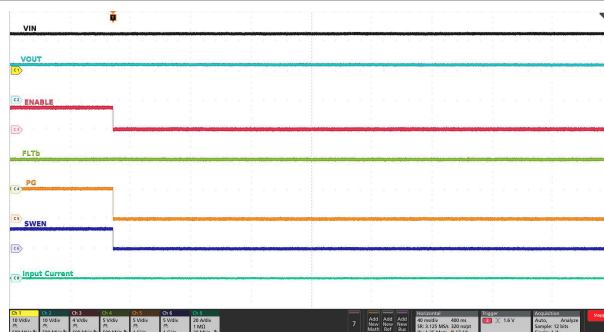
入力電源を定常状態に保持し、EN/UVLO ピンを low ($V_{SD(F)}$ より低い) から high ($V_{UVLO(R)}$ より高い) に切り替え

図 6-22. EN/UVLO ピンによる電源オン制御



入力電源を定常状態に保持し、EN/UVLO ピンが high ($V_{UVLO(R)}$ より高い) から low ($V_{SD(F)}$ より低い) に切り替え

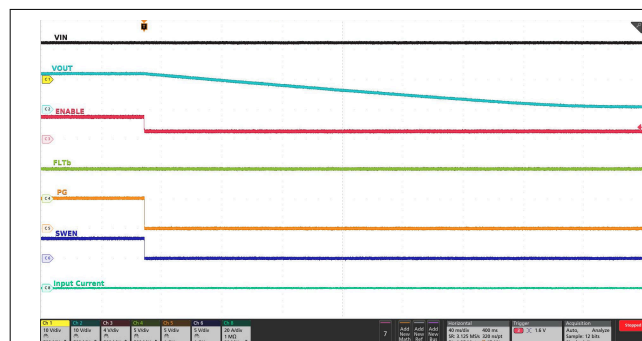
図 6-23. EN/UVLO ピンによるパワーダウン制御



入力電源を定常状態に保持し、EN/UVLO ピンが high ($V_{UVLO(R)}$ より高い) から low ($V_{SD(F)}$ より低い) に切り替え

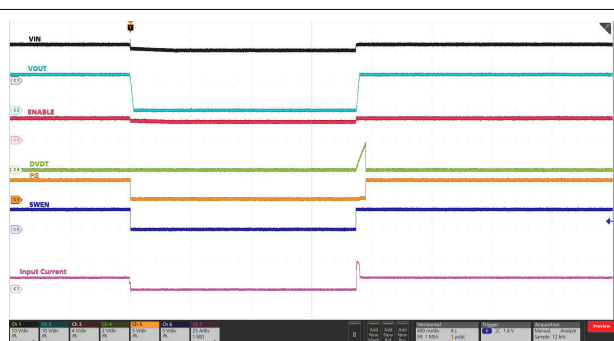
図 6-24. クイック出力放電 (QOD) を使用せず、EN/UVLO ピンを使用したパワーダウン制御

6.9 代表的特性 (続き)



入力電源を定常状態に保持し、EN/UVLO ピンは high ($V_{UVLO(R)}$ より高い) から中間電圧 ($V_{UVLO(F)}$ より低い $V_{SD(F)}$ より高い) に切り替え、そこに保持します

図 6-25. クイック出力放電 (QOD) を使用し、EN/UVLO ピンを使用したパワー ダウン制御



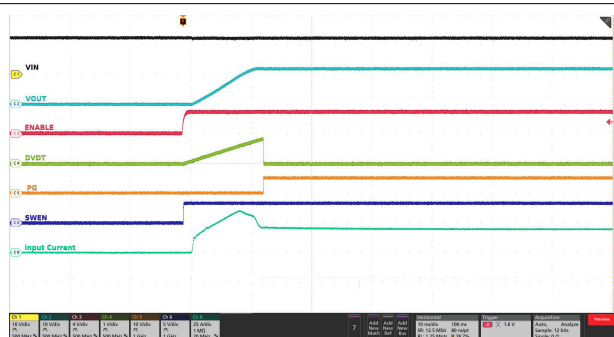
入力電源は定常状態に保ち、EN/UVLO ピンは high に保持し、SWEN ピンは Low および High に切り替え

図 6-26. SWEN ピンによる電源オン / オフ シーケンシング



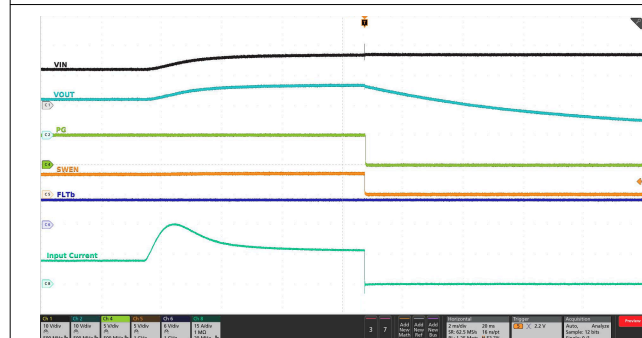
$C_{OUT} = 18mF$, $C_{dVdt} = 33nF$

図 6-27. 容量性負荷による突入電流制御



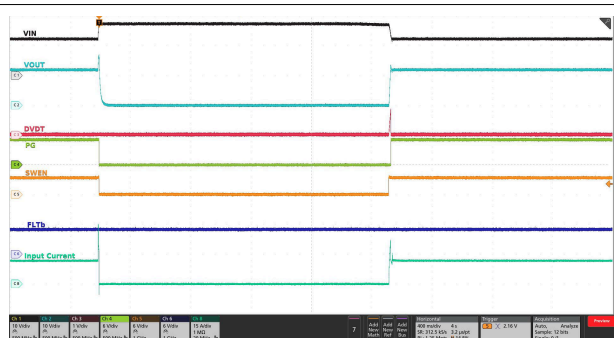
$C_{OUT} = 15.5mF$, $R_{OUT} = 0.6\Omega$, $C_{dVdt} = 33nF$

図 6-28. 容量性および抵抗性負荷による突入電流制御



入力電源が 16.6V を上回るまで上昇しました。

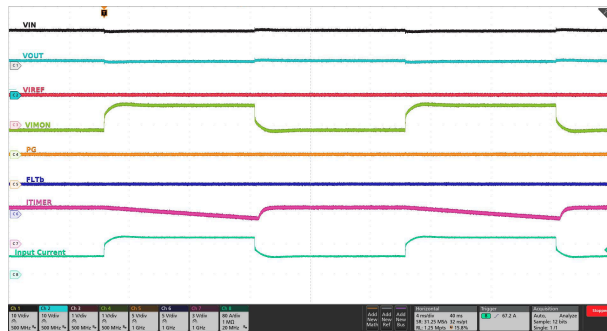
図 6-29. 入力過電圧保護応答



入力電源は 16.6V を上回り、その後 12V まで上昇します。

図 6-30. 入力過電圧保護応答と回復の後

6.9 代表的特性 (続き)



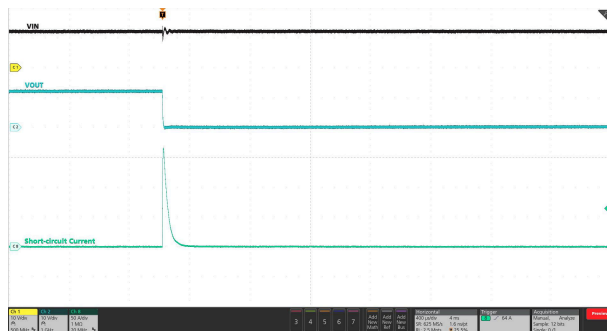
$I_{OC} = 55A$, $t_{TIMER} = 16ms$, I_{OUT} は、 t_{TIMER} より短絡した時間の間、 I_{OC} スレッショルドを超えてサーキット ブレーカ応答をトリガすることなく発生します。

図 6-31. 過渡過電流ブランキングを使用したピーク電流サポート



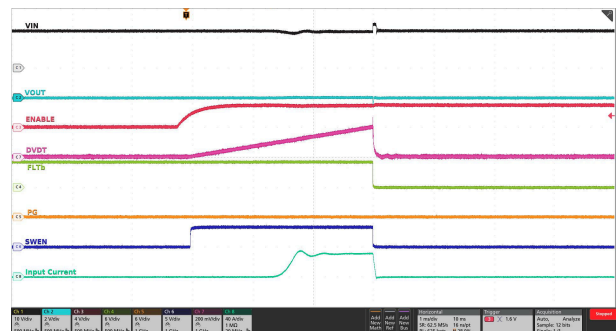
$I_{OC} = 55A$, $t_{TIMER} = 16ms$, I_{OUT} はサーキット ブレーカ応答をトリガするため、 I_{OC} スレッショルドを維持し続けます。

図 6-32. 過電流保護応答 (サーキット ブレーカ)



$I_{OC} = 55A$ 、定常状態の GND への出力ハード短絡。 I_{OUT} が $2 \times I_{OC}$ を上回ると、高速トリップ応答がトリガされます

図 6-33. 短絡保護応答



EN/UVLO ビンで出力を GND にハード短絡した状態で本デバイスをオンにします。デバイスはフォールドバックで電流を制限し、その後サーマル シャットダウンに達します。

図 6-34. 短絡時の電源立ち上げ

7 詳細説明

7.1 概要

TPS25984x は、負荷電圧と負荷電流を管理するために使用されるパワー スイッチ内蔵 eFuse です。デバイスは、VDD と IN バスを監視して、動作を開始します。V_{DD} および V_{IN} がそれぞれの低電圧保護 (UVP) スレッショルドを超えた場合、デバイスは挿入遅延タイム期間を待機して、起動前に電源が安定するようにします。次に、デバイスは EN/UVLO ピンと SWEN ピンをサンプリングします。これらのピンがどちらも High レベルになると、内部 MOSFET が導通し始め、電流が IN から OUT に流れます。EN/UVLO または SWEN が Low に保持されると、内部 MOSFET がオフになります。

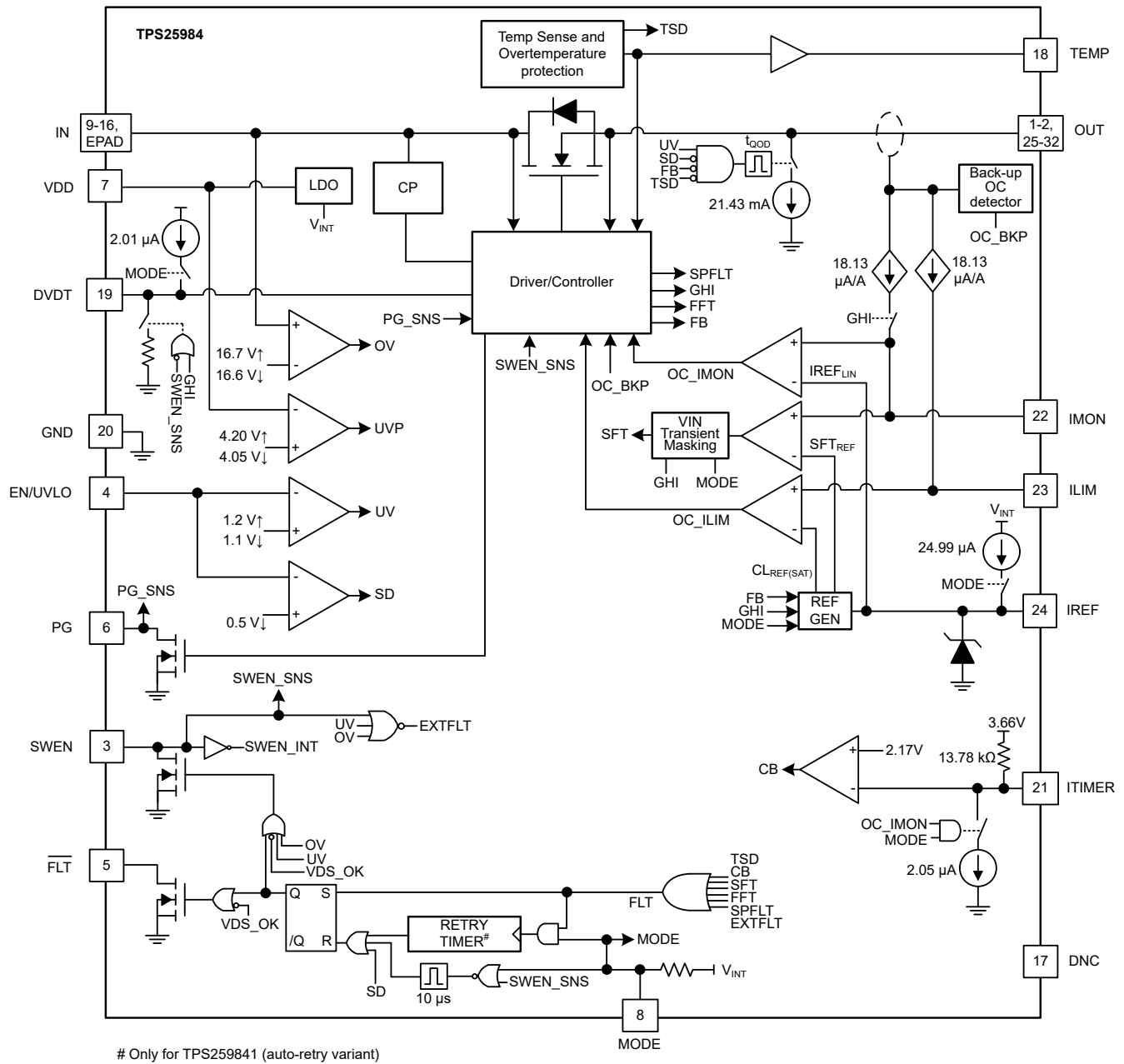
起動シーケンスが成功した後、TPS25984x デバイスは負荷電流と入力電圧をアクティブに監視し、内部 FET を制御して、プログラムされた過電流スレッショルドを超過しておらず、入力過電圧スパイクがカットオフされていることを確認します。このアクションにより、有害なレベルの電圧や電流からシステムを安全な状態に保つことができます。同時に、ユーザー調整可能な過電流ブランキング タイマを使用すると、システムは eFuse をトリップせずに、負荷電流の過渡ピークに対応できます。同様に、電源ラインの電圧過渡は、不要なトリップを防止するためにインテリジェントにマスクされます。この機能により、過渡耐性のある実際の故障に対する堅牢な保護ソリューションが維持されるため、システムの稼働時間を最大限に延ばすことができます。

このデバイスには高精度で高帯域幅のアナログ負荷電流モニタが内蔵されているため、システムは定常状態と過渡時に負荷電流を正確に監視できます。この機能により、Intel® PSYS のような高度な動的プラットフォーム パワー マネージメント手法を容易に実装でき、安全性や信頼性を損なうことなく、システムの電力使用率とスループットを最大化できます。

より高い負荷電流への対応を必要とするシステムの場合、複数の TPS25984x eFuse を並列接続できます。すべてのデバイスがスタートアップ時と定常状態で電流を共有することで、一部のデバイスに他のデバイスより過大なストレスがかかることを防ぎます。このようなストレスは、並列チェーンの早期または部分的なシャットダウンを引き起こす可能性があります。このデバイスは動作状態を同期し、適切な起動、シャットダウン、故障への応答を実現します。この同期により、チェーン全体が非同期で動作する多数の独立した eFuse ではなく、1 個の超大電流 eFuse として機能します。

デバイスには推奨動作条件の下でデバイスの安全性と信頼性を確保するため、保護回路が内蔵されています。サーマルシャットダウン メカニズムを使用して常に内部 FET SOA が保護されています。この機能により、接合部温度 (T_j) が高すぎて FET が安全に動作できなくなると FET がオフになります。

7.2 機能ブロック図



7.3 機能説明

TPS25984x eFuse は、小型で機能豊富高な電力管理デバイスであり、システム故障発生時の検出、保護、および表示報告を行います。

7.3.1 低電圧保護

TPS25984x は、印加された電圧が低くなりすぎて、システムまたはデバイスが正常に動作できない場合に備えて、VDD および VIN に低電圧誤動作防止を実装しています。低電圧誤動作防止には、VDD にデフォルトの内部スレッショルド (V_{UVP})、VIN に V_{UVPIN} があります。また、EN/UVLO ピンに UVLO コンパレータを搭載しているため、外部から低電圧保護スレッショルドをユーザー定義の値に調整することもできます。図 7-1 および式 1 に、抵抗デバイダを使用して、特定の電源電圧に対して UVLO 設定ポイントを設定する方法を示します。

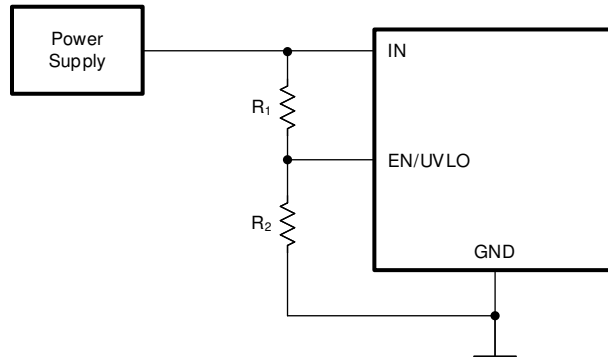


図 7-1. 可変低電圧保護

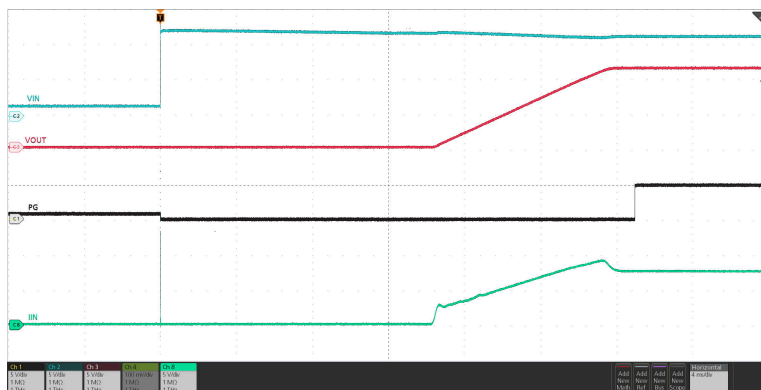
$$V_{IN(UV)} = V_{UVLO(R)} \frac{R_1 + R_2}{R_2} \quad (1)$$

EN/UVLO ピンには 2 レベルのスレッショルドが実装されています。

1. $V_{EN} > V_{UVLO(R)}$: デバイスは完全にオンです。
2. $V_{SD(F)} < V_{EN} < V_{UVLO(F)}$: 一部の重要なバイアスとデジタル回路を除き、FET とほとんどのコントローラ回路がオフになります。EN/UVLO ピンをこの状態に t_{QOD} を超える時間保持すると、出力放電機能が起動します。
3. $V_{EN} < V_{SD(F)}$: 部品内のすべてのアクティブ回路がオフになり、デジタル状態メモリを保持しません。また、ラッチされたフォルトもリセットされます。この状態では、デバイスの静止時消費電流は最小限に抑えられます。

7.3.2 挿入遅延

TPS25984x は、デバイスが負荷への電力をオンにしようとする前に、電源が安定したことを確認するため、スタートアップ時に挿入遅延を実装しています。デバイスは最初に、VDD 電源が UVP スレッショルドを上回り、すべての内部バイアス電圧が安定するまで待機します。その後、EN/UVLO ピンの状態に関係なく、 t_{INSDLY} の追加遅延の間、デバイスはオフに維持されます。この操作により、カードがバックプレーンにしっかりと接触する前にデバイスが電源投入しようとした場合、または起動時に電源のリングングやノイズが発生した場合に、システムで予期しない動作が発生するのを防ぐことができます。



入力電源は 0V から 12V に昇圧されました。デバイスは、入力電源が安定するのを t_{INSDLY} 待ってから、出力をオンにします。

図 7-2. 挿入遅延

7.3.3 過電圧保護

TPS25984x は過電圧ロックアウト機能を実装しており、入力過電圧状態から負荷を保護します。IN ピンの OVP コンパレータは、固定の内部過電圧保護スレッショルドを使用しています。IN の入力電圧が OVP 立ち上がりスレッショルド ($V_{\text{OVP(R)}}$) を超えると、 t_{OVP} 以内にパワー FET がオフになります。IN の電圧が OVP 立ち下がりスレッショルド ($V_{\text{OVP(F)}}$) を下回ると、FET は dV/dt 制御された方法でオンになります。

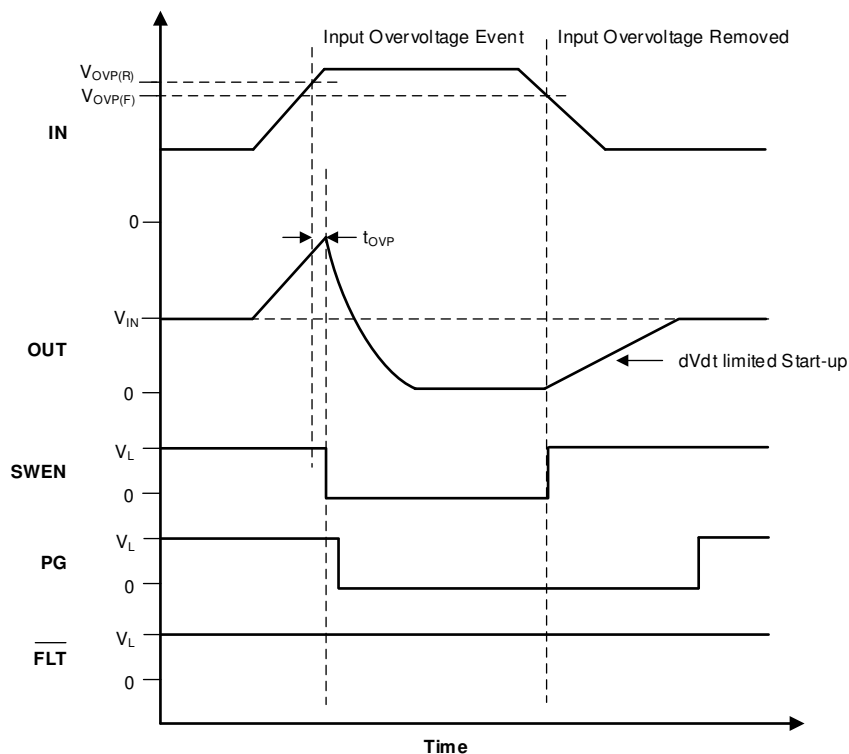


図 7-3. 入力過電圧保護応答

7.3.4 突入電流、過電流、および短絡保護

TPS25984x には、過電流に対する 4 つのレベルの保護が組み込まれています。

1. 突入電流制御のための調整可能なスルー レート (dVdt)
2. 起動時の過電流保護のための、調整可能なスレッシュホールド (I_{LIM}) を備えたアクティブ電流制限
3. 定常状態での過電流保護のための、調整可能なスレッシュホールド (I_{OCP}) とブランキング タイマ (t_{TIMER}) を備えた回路ブレーカ
4. あらゆる条件下での深刻な短絡から迅速に保護するための調整可能なスレッシュホールド ($I_{SFT} = 2 \times I_{OCP}$)、および定常状態では固定スレッシュホールド (I_{FFT}) を備えた、深刻な過電流故障に対する高速トリップ応答

7.3.4.1 スルー レート (dVdt) および突入電流制御

ホットプラグ イベント時や大きな出力容量の充電中に、大きな突入電流が発生する可能性があります。突入電流を適切に管理しないと、突入電流により入力コネクタが損傷し、システム電源が低下する可能性があります。この動作により、システム内の他の場所で予期しない再起動が発生する可能性があります。ターンオン時の突入電流は、負荷容量と立ち上がりスルーレートに正比例します。式 2 を使用して、与えられた負荷容量 (C_{LOAD}) について突入電流 (I_{INRUSH}) を制限するのに必要なスルーレート (SR) を計算できます。

$$SR(V/ms) = \frac{I_{INRUSH}(A)}{C_{LOAD}(mF)} \quad (2)$$

dVdt ピンにコンデンサを追加することで、立ち上がりスルーレートを制御し、ターンオン時の突入電流を低減できます。特定のスルーレートを生成するために必要な CdVdt 容量は、式 3 を使用して計算できます。

$$C_{DVRT}(pF) = \frac{42000}{SR(V/ms)} \quad (3)$$

dVdt ピンをオープンのままにし、最も高速な出力スルーレートを実現できます。

注

1. 高い入力スルー レートと高い入力パワー パスのインダクタンスの組み合わせにより、起動時に発振が発生する場合があります。これは、次の 1 つまたは複数の手順を使用して軽減できます。
 - a. 入力インダクタンスを小さくする。
 - b. VIN ピンの容量を増やす。
 - c. dVdt ピンの容量を増やして、スルー レートを下げたり、スタートアップ時間を長くしたりします。TI では最小スタートアップ時間は 5ms を推奨します。

7.3.4.1.1 スタートアップタイムアウト

スタートアップが完了しない場合、つまり、SWEN がアサートされた後、特定のタイムアウト間隔 (t_{SU_TMR}) 内に FET が完全にオンにならない場合、デバイスはそれを故障として登録します。FLT は Low にアサートされ、デバイスはデバイス設定に応じてラッチオフまたは自動リトライモードに移行します。

7.3.4.2 定常状態の過電流保護 (サーキット ブレーカ)

TPS25984x は、定常状態時の出力過電流状態に応答して、ユーザーが調整可能な過渡故障ブランキング間隔の後に回路ブレーカ動作を実行します。この動作により、デバイスは短いユーザー定義間隔でより高いピーク電流をサポートできるだけでなく、持続的な出力障害が発生した場合にも堅牢な保護を保証します。

このデバイスは出力負荷電流を継続的に検出し、負荷電流に比例するアナログ電流出力 (I_{IMON}) を IMON ピンに提供します。これにより、式 4 に従って IMON ピン抵抗 (R_{IMON}) の両端に比例電圧 (V_{IMON}) が生成されます。

$$V_{IMON} = I_{OUT} \times G_{IMON} \times R_{IMON} \quad (4)$$

ここで、 G_{IMON} は電流モニタ ゲインです (I_{IMON} : I_{OUT})

この電圧を基準となる I_{REF} ピンの電圧と比較することで、過電流状態が検出されます。リファレンス電圧 (V_{IREF}) は 2 つの方法で制御でき、それに応じて過電流保護スレッショルド (I_{OCP}) を設定します。

- スタンドアロンまたは 1 次動作モードでは、内部電流源が外部の I_{REF} ピン抵抗 (R_{IREF}) と相互作用して、基準電圧を生成します。式 5 に示すように、低インピーダンスリファレンス電圧から I_{REF} ピンを駆動することも可能です。

$$V_{IREF} = I_{IREF} \times R_{IREF} \quad (5)$$

- 1 次側と 2 次側の並列構成では、1 次側 eFuse またはコントローラが I_{REF} ピンの電圧を駆動して、チェーン内のすべての 2 次側デバイスに外部リファレンス (V_{IREF}) を供給します。

定常状態 (I_{OCP}) 時の過電流保護スレッショルドは、式 6 を使用して計算できます。

$$I_{OCP} = \frac{V_{IREF}}{G_{IMON} \times R_{IMON}} \quad (6)$$

注

過電流検出回路の正常な動作を保証するために、 V_{IREF} を推奨電圧範囲内に維持する必要があります。

TI は、ノイズ耐性を向上させるため、 I_{REF} ピンと GND の間に 150-pF のコンデンサを追加することを推奨します。

過電流状態、つまり負荷電流がプログラムされた電流制限スレッショルド (I_{OCP}) を上回るが、短絡スレッショルド ($2 \times I_{OCP}$) を下回る状態が検出されると、デバイスは内部の 2μA プルダウン電流を使用して I_{TIMER} ピン コンデンサの放電を開始します。 I_{TIMER} コンデンサが ΔV_{ITIMER} によって放電される前に、負荷電流が電流制限スレッショルドを下回ると、 I_{TIMER} は内部で V_{INT} までプルアップされ、サーキットブレーカ動作は開始されません。この動作により、短い過負荷過渡パルスが回路をトリップせずにデバイスを通過できるようになります。過電流状態が続く場合、 I_{TIMER} コンデンサは放電を継続し、 ΔV_{ITIMER} によって低下すると、サーキットブレーカの動作により FET が直ちにオフになります。同時に、 I_{TIMER} コンデンサは再度 V_{INT} まで充電されるため、次の過電流イベントの前にデフォルト状態になります。このアクションにより、すべての過電流イベントに対して、完全なブランキング タイマ間隔が確保されます。式 7 を使用して、目的の過電流スレッショルドに対する R_{IMON} 値を計算できます。

$$R_{IMON} = \frac{V_{IREF}}{G_{IMON} \times I_{OCP}} \quad (7)$$

過渡を許容する時間は、 I_{TIMER} ピンとグラウンドの間の適切なコンデンサ値を使用して調整できます。過渡過電流ブランキング期間は、式 8 を使用して計算できます。

$$t_{ITIMER}(ms) = \frac{C_{ITIMER}(nF) \times \Delta V_{ITIMER}(V)}{I_{ITIMER}(\mu A)} \quad (8)$$

注

1. ITIMER ピンをオープンのままにすると、本デバイスが最小限の遅延で回路を切断できるようになります。ただし、このピンをオープンのままにすると、サーキットブレーカの応答がノイズの影響を非常に受けやすくなり、負荷過渡時に誤トリップが発生する可能性があります。
2. ITIMER ピンをグランドに短絡すると、過電流応答遅延は最小になります (ITIMER ピンの開放状態と同様)が、静止電流は増加します。ただし、推奨動作モードではありません。
3. ITIMER 容量値を増やすと、過電流ブランキング期間が延長されます。ただし、次の過電流イベント前に、ITIMER 容量が V_{INT} まで再充電するのに必要な時間も延長されます。ITIMER コンデンサが完全に再充電される前に次の過電流イベントが発生した場合、VITIMER スレッシュホールドまで放電するのに要する時間が短いため、意図したよりも短いブランキング間隔が得られます。

図 7-4 に、TPS25984x eFuse の過電流応答を示します。回路ブレーカの故障により部品がシャットダウンした後、部品はラッチ オフ状態を維持するか (TPS259840 バリエント)、または固定遅延後に自動的に再起動します (TPS259841 バリエント)。

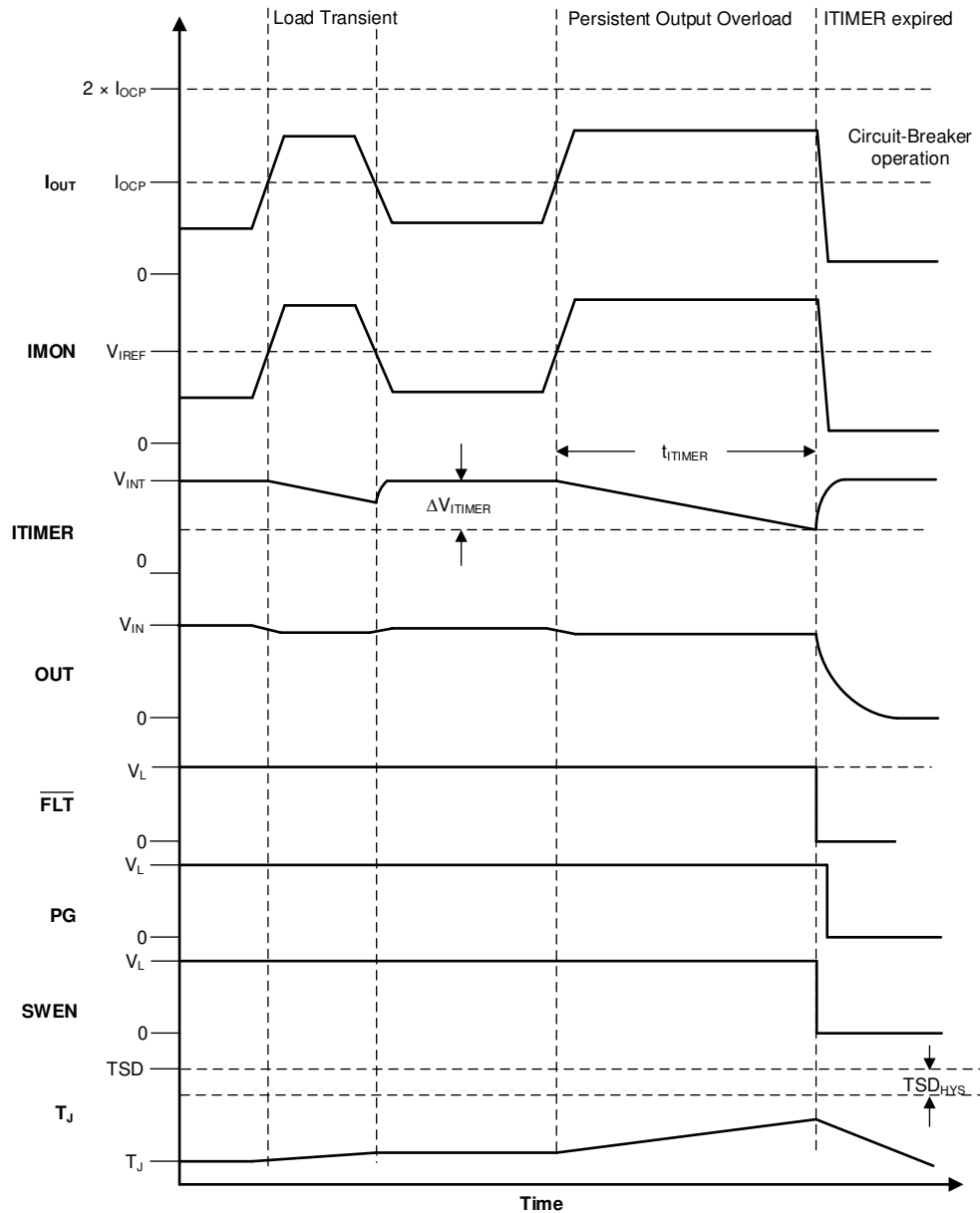


図 7-4. 定常状態の過電流 (回路ブレーカ) 応答

7.3.4.3 起動時のアクティブ電流制限

TPS25984x は、起動時に出力過電流状態に応答し、電流をアクティブに制限します。このデバイスは各デバイス (I_{DEVICE}) を流れる電流を継続的に検出し、ILIM ピンにアナログ電流出力 (I_{ILIM}) を供給します。その結果、式 9 に従って ILIM ピン抵抗 (R_{ILIM}) に比例した電圧 (V_{ILIM}) を生成します。

$$V_{\text{ILIM}} = I_{\text{DEVICE}} \times G_{\text{ILIM}} \times R_{\text{ILIM}} \quad (9)$$

ここで、 G_{ILIM} は電流モニタ ゲインです ($I_{\text{ILIM}}: I_{\text{DEVICE}}$)

過電流状態はこの電圧を式 10 に示すように IREF ピンの基準電圧 (V_{IREF}) から得られたスケーリング電圧 ($\text{CLREF}_{\text{SAT}}$) であるスレッショルドと比較することで検出されます。

$$\text{CLREF}_{\text{SAT}} = \frac{0.7 \times V_{\text{IREF}}}{3} \quad (10)$$

リファレンス電圧 (V_{IREF}) は 2 つの方法で制御でき、それに応じて始動電流制限スレッショルド (I_{LIM}) を設定します。

1. スタンドアロン動作モードでは、[式 11](#) に示すように、内部電流源が外部の IREF ピン 抵抗 (R_{IREF}) と相互作用して基準電圧を生成します。

$$V_{IREF} = I_{IREF} \times R_{IREF} \quad (11)$$

2. 1 次側および 2 次側の構成では、1 次側 eFuse またはコントローラが IREF ピンの電圧を駆動して外部リファレンス (V_{IREF}) を供給します。

スタートアップ時のアクティブ電流制限スレッショルド (I_{LIM}) は、[式 12](#) を使用して計算できます。

$$I_{LIM} = \frac{CLREFSAT}{G_{LIM} \times R_{LIM}} \quad (12)$$

起動時にデバイスに流れる負荷電流が I_{LIM} を超えると、デバイスは I_{LIM} の負荷電流をレギュレートおよび保持しようとします。

電流レギュレーション中、出力電圧降下により FET 全体のデバイス消費電力が増加します。デバイスの内部温度 (T_J) がサーマル シャットダウン スレッショルド (TSD) を超えると、FET がオフになります。TSD の故障により部品がシャットダウンした後、部品はラッチ オフ状態を維持するか (TPS259840 バリエント)、または固定遅延後に自動的に再起動します (TPS259841 バリエント)。過熱に対するデバイスの応答の詳細については、「[過熱保護](#)」のセクションを参照してください。

注

アクティブ電流制限ブロックは、起動時に出力電圧 (V_{OUT}) に基づくフォールドバック機構を採用します。 V_{OUT} がフォールドバック スレッショルド (V_{FB}) を下回ると、電流制限スレッショルドはさらに低下します。

7.3.4.4 短絡保護

出力短絡発生中は、本デバイスを流れる電流が非常に急速に増加します。出力短絡が検出されると、内部高速トリップ コンパレータは高速保護シーケンスをトリガし、電流がそれ以上蓄積して損傷や過剰な入力電源ドループが発生するのを防止します。高速トリップ コンパレータは、スケラブルなスレッショルド (I_{SFT}) を採用しています。このスレッショルドは、定常状態時は $2 \times I_{OCP}$ (1 次側デバイス) または $2.25 \times I_{OCP}$ (2 次側デバイス) と等しく、突入電流時は $1.5 \times I_{LIM}$ と等しくなります。この操作により、ユーザーはすべてのシステムに適しているとは限らない高い固定スレッショルドを使用する代わりに、システム定格に従って高速トリップスレッショルドを調整できます。電流が高速トリップ スレッショルドを超えると、TPS25984x は t_{SFT} 以内に FET をオフにします。また、このデバイスは、より高い固定高速トリップ スレッショルド (I_{FFT}) を採用して、定常状態時 (リニア領域の FET) のハード短絡に対する高速保護を実現します。電流が I_{FFT} を超えると、FET は t_{FFT} 内で完全にオフになります。[図 7-5](#) に、TPS25984x eFuse の短絡応答を示します。

複数のホットプラグ可能ブレードまたは共通の電源バックプレーンに接続されたラインカードを搭載したブレードサーバーや通信機器などの一部のシステムでは、誘導バックプレーンを流れる大電流のスイッチングにより電源に過渡現象が発生する可能性があります。これによって、eFuse の高速トリップ コンパレータをトリガするのに十分な大きさの、隣接カードの電流スパイクが発生する可能性があります。TPS25984x は独自のアルゴリズムを使用して、このような場合の不要なトリップを防止し、中断のないシステム動作を実現しています。

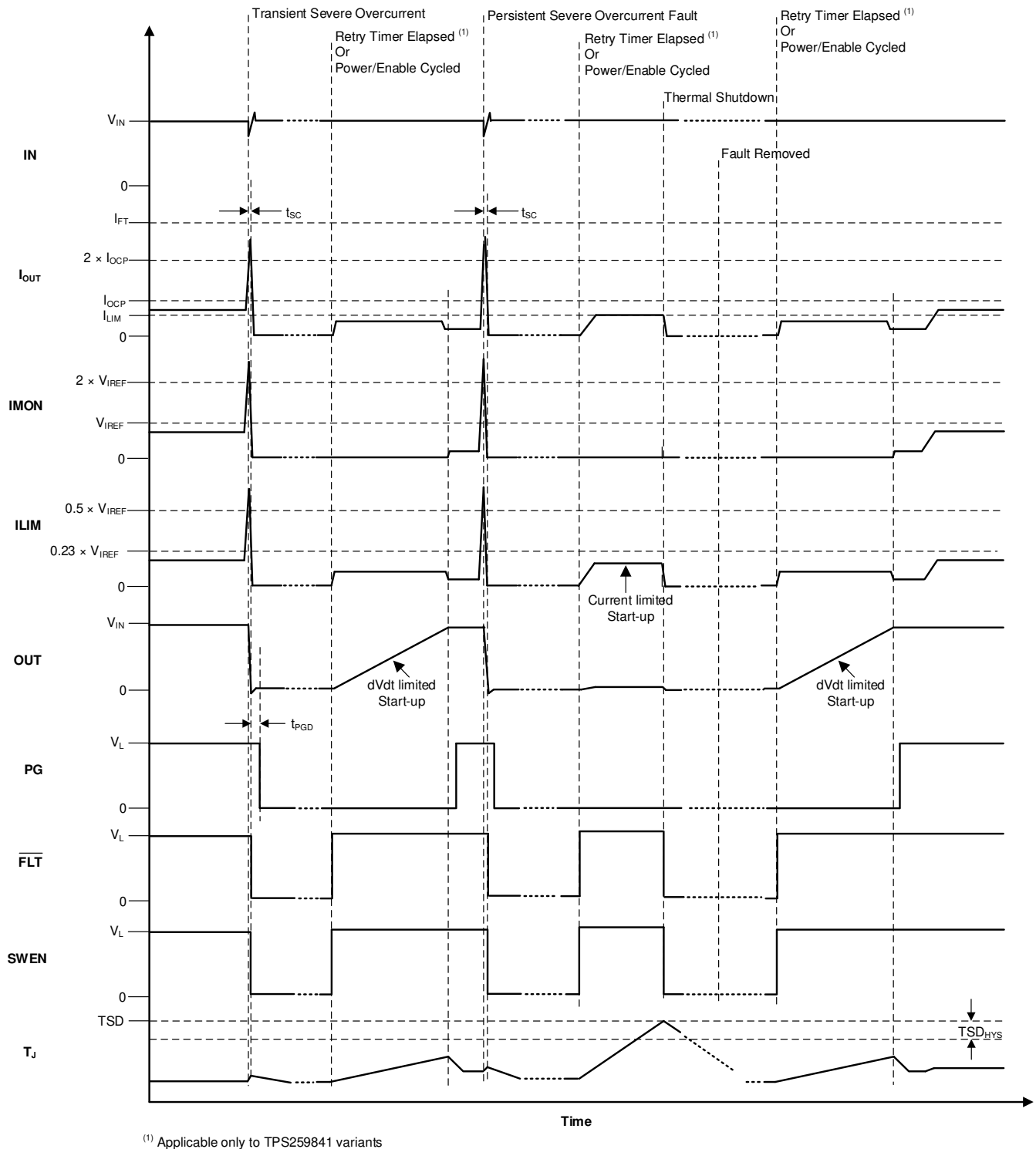


圖 7-5. 短絡応答

7.3.5 アナログ負荷電流モニタ (IMON)

TPS25984x では、FET を流れる電流に比例したアナログ電流を IMON ピンに供給することで、システムが出力負荷電流を正確に監視できるようになります。電流出力の利点は、隣接するパターンからの電圧降下やノイズの結合による大きな誤差を発生させずに、信号を基板全体に配線できることです。この電流出力により、複数の TPS25984x の IMON ピン

を互いに接続して、並列構成で合計電流を得ることもできます。IMON 信号は、監視ポイントで抵抗を介して降下させることで電圧に変換できます。ユーザーは、 R_{IMON} の全体で電圧 (V_{IMON}) を検出し、式 13 を使用して出力負荷電流の測定値を取得できます。

$$I_{OUT} = \frac{V_{IMON}}{G_{IMON} \times R_{IMON}} \quad (13)$$

TPS25984x IMON 回路は、基板レイアウトやその他のシステム動作条件に関係なく、負荷や温度の条件にわたって高帯域と高精度を実現するように設計されています。この設計では、IMON 信号を PROCHOT™ または Intel PSYS™ などの高度な動的プラットフォーム パワー マネジメント手法に使用して、安全性や信頼性を犠牲にすることなく、システムの消費電力とプラットフォームのスループットを最大化できます。

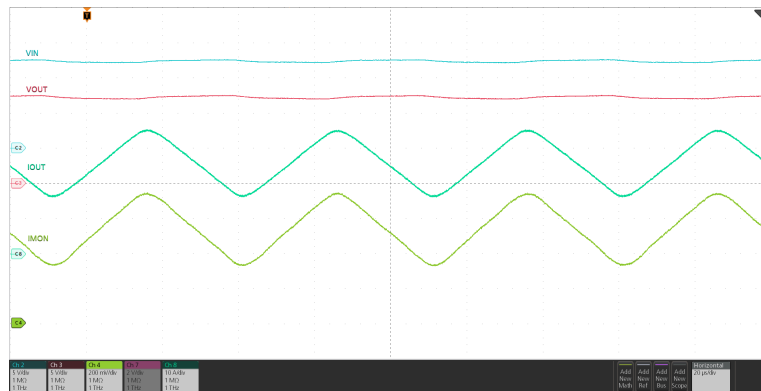


図 7-6. アナログ負荷電流モニタ応答

注

1. IMON ピンは、定常状態時にのみ負荷電流監視情報を提供します。突入電流時、IMON ピンはゼロ負荷電流を報告します。
2. ILIM ピンは個別のデバイス負荷電流を常に報告するため、各デバイスのアナログ負荷電流モニタとしても使用できます。
3. 過電流および短絡保護タイミングへの影響を避けるため、IMON と ILIM の寄生容量を最小限に抑えるように注意する必要があります。

7.3.6 モード選択 (MODE)

このピンは、2 次デバイスとして指定されている他の TPS25984x eFuse と同様に、チェーンの 1 次デバイスとして TPS25984x を構成できます。この機能により、TPS25984x の一部のピン機能を変更し、1 次側および 2 次側の並列接続を支援できます。

このピンは、電源投入時にサンプリングされます。このピンをオープンにすると、プライマリまたはスタンドアロン デバイスとして構成されます。このピンを GND に接続すると、セカンダリ デバイスとして構成されます。

2 次モードでは、以下の機能がディセーブルされ、デバイスはこの機能を実現するためにプライマリ デバイスに依存します。

1. IREF 内部電流源
2. DVDT 内部電流源
3. サークットブレーカの応答の定常状態での過電流検出
4. 定常状態に達した後の PG デアサート (プルダウン)
5. フォルト後のラッチオフ

セカンダリ モードでは、次の機能が引き続き作動します。

1. 過熱保護
2. ILIM に基づくスタートアップ電流制限
3. 突入時や、定常状態時のアクティブ電流共有
4. 定常状態のアナログ電流モニタ (IMON)
5. IMON に基づく定常状態の過電流検出これは、ITIMER ピンを内部で Low にプルすることで示されますが、ITIMER 有効期限時にサーキット ブレーカ動作はトリガされません。代わりに、プライマリ デバイスが独自の ITIMER を開始し、ITIMER 満了後に SWEN を Low にして、チェーン全体のサーキット ブレーカ動作をトリガする必要があります。ただし、1 次側デバイスが長時間にわたってサーキット ブレーカ操作の開始に失敗した場合のバックアップとして 2 次側デバイスは内部過電流タイマを使用します。詳細については、「[シングル ポイント障害の軽減](#)」セクションを参照してください。
6. 各デバイスには、デバイス自体を保護するために、個別のスケラブルかつ固定の高速トリップ スレッシュホールドが内蔵されています。個別の短絡保護スレッシュホールドは最大に設定されています。すなわち、2 次モードでは $2.25 \times I_{OCP}$ (定常状態) または $2 \times I_{LIM}$ (起動) です。これにより、1 次側デバイスがシステム全体でさらに降下させることができます。
7. 個別 OVP は 2 次デバイスの最大値に設定され、1 次側がシステム全体でさらに低下できるようになります。
8. 個別のデバイス フォルト検出に基づく FLT アサート (サーキット ブレーカを除く)。
9. デバイスが定常状態に達した後の突入電流時の PG デアサート制御、およびアサート制御。ただし、定常状態であれば、障害発生時に 2 次側デバイスが PG のアサート解除を制御しなくなります。
10. 内部イベントに基づく SWEN のアサートまたはデアサート、および SWEN ピンのステータスに基づく FET のオン/オフ制御。

2 次モードでは、短絡および高速トリップ時のデバイス動作も変更されます。詳細については、「[短絡保護](#)」セクションを参照してください。

7.3.7 並列デバイス同期 (SWEN)

SWEN ピンは、FET をオンにする必要がある場合に high に駆動される信号です。SWEN ピンを low (内部または外部) に駆動すると、ドライバ回路に FET をオフにするよう信号が送信されます。このピンは制御およびハンドシェイク信号の両方として機能し、複数のデバイスを並列構成で使用して FET のオン/オフ遷移を同期することができます。

表 7-1. SWEN のまとめ

デバイスの状態	FET ドライバステータス	SWEN
定常状態	オン	H
突入電流	オン	H
過熱シャットダウン	オフ	L
自動再試行タイマが動作しています	オフ	L
低電圧 (EN/UVLO)	オフ	L
低電圧 (VDD UVP)	オフ	L
低電圧 (VIN UVP)	オフ	L
挿入遅延	オフ	L
過電圧誤動作防止 (VIN OVP)	オフ	L
過渡過電流	オン	H
回路ブレーカ (持続的な過電流後に ITIMER 満了)	オフ	L
高速トリップ	オフ	L

表 7-1. SWEN のまとめ (続き)

デバイスの状態	FET ドライバ ステータス	SWEN
フォルト応答のモノラル ショット実行 (MODE = GND)	オフ	L
フォルト応答のモノラル ショットの期限切れ (MODE = GND)	オン	H
ILM ピン オープン (起動時)	オフ	L
ILM ピン短絡 (起動時)	オフ	L
ILM ピン オープン (定常状態)	オフ	L
ILM ピン短絡 (定常状態)	オフ	L
FET 正常性故障	オフ	L

SWEN はオープンドレインのピンであり、外部電源にプルアップする必要があります。

注

1. eFuse をオンにできるように、SWEN プルアップ電源をオンにします。eFuse の入力から生成されたシステム・スタンバイレールの使用を推奨します。
2. 場合によっては、SWEN ピンのプルアップ レールとして ITIMER ピンを使用することができます。弱いプルアップを使用して、ITIMER の負荷が ITIMER の充電および放電時間に影響を及ぼすのに十分な高さでないようにします。

プライマリとセカンダリの並列構成では、SWEN ピンをプライマリ デバイスで使用して、セカンダリ デバイスのオン / オフ 遷移を制御します同時に、セカンダリ デバイスが障害やその他の状態を通信できるようになり、プライマリ デバイスがオンになるのを防ぐことができます。詳細については、「[フォルト応答および表示 \(FLT\)](#)」を参照してください。

これらのデバイスは、ステートマシンの同期を維持するために SWEN レベルの遷移とハンドシェイクのタイミングに依存します。これにより、すべてのデバイスが同期および同じ方法でオン / オフできます (DVDT 制御や電流制限によるスタートアップなど)。また、故障発生時にプライマリ デバイスが制御を取得できない場合でもチェーン全体が安全にオフになるようにする、フェイルセーフ メカニズムを SWEN 制御とハンドシェイク ロジックに備えています。

注

TI は、同期タイミングの問題を回避するため、SWEN ピンの寄生負荷を最小限に抑えることを推奨します。

7.3.8 複数の eFuse をスタックして無制限のスケーラビリティを実現

単一の TPS25984x で対応するよりも高電流を必要とするシステムでは、複数の TPS25984x デバイスを並列に接続して、システム全体の電流を供給できます。従来型の eFuse は、パス抵抗のミスマッチ (個別デバイスの $R_{DS(on)}$ の部品間のバラツキや、PCB の寄生パターン抵抗を含む) により、定常状態時に電流を均等に共有しません。この事実は、システムの複数の問題につながる可能性があります。

1. 一部のデバイスは、他のデバイスより大きい電流を常に流します。この結果、故障が発生してシステムの動作寿命が全体的に短縮される可能性があります。
2. この結果、基板、デバイス、トレース、ビアにサーマル ホットスポットが形成され、大電流が流れ、PCB の信頼性の問題につながります。また、この問題により、熱モデル化と基板の熱管理は設計者にとって非常に困難になります。
3. より大きな電流を伝送するデバイスは、システムの合計負荷電流が全体のサーキット ブレーカ スレッシュホールドより低くなっている間に、より早く個別のサーキット ブレーカ スレッシュホールドに達する可能性があります。この動作により、通常動作中に eFuse の誤ったトリップが発生する可能性があります。これは並列チェーンの電流搬送能力を低下させてしまいます。言い換えると、並列 eFuse チェーンの電流定格は、個別の eFuse の電流定格の合計と比較してディレ

ーティングする必要があります。このディレーティング係数は、パス抵抗のミスマッチ、並列接続されるデバイス数、個別の eFuse サーキット ブレーカの精度の関数です。

ディレーティングの必要性は、システム設計に悪影響を及ぼします。設計者は、以下のいずれかのトレードオフを決定しなければなりません。

1. システムの動作負荷電流が eFuse チェーンのディレーティング電流スレッシュホールドを下回るように制限します。基本的に、これは、電源 (PSU) でサポートされているプラットフォーム機能よりも低くなることを意味します。
2. 全体のサーキット ブレーカ スレッシュホールドを高くして、必要なシステム負荷電流がトリップせずに通過できるようにします。結果的に、サーキットブレーカ全体の精度の低下を考慮し、電源 (PSU) のサイズを大きくして、故障発生時により大きな電流を供給する必要があります。

いずれの場合も、システムの電源使用率が低下するため、システムのスループットが最適ではないか、設置コストと運用コストが増加するか、またはその両方が発生します。

TPS25984x は、これらの問題に対処するために独自の技術を採用しており、必要に応じて多数の eFuse を並列接続することで、ソリューションの無制限の拡張性を実現します。これは、大きな電流共有や精度の低下を伴わずに組み込まれています。

この方式を正しく機能させるには、デバイスを次の方法で接続する必要があります。

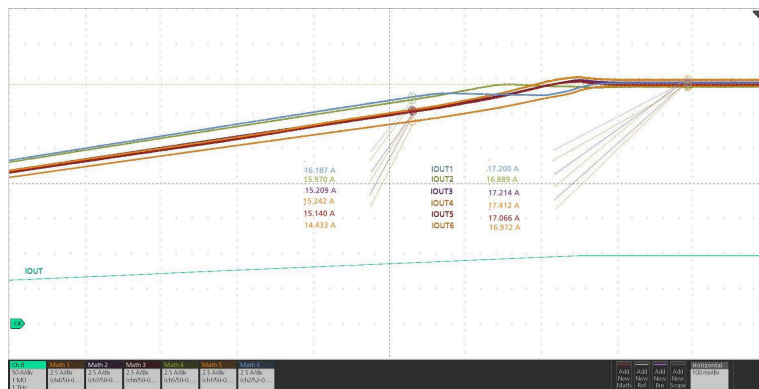
- すべてのデバイスの SWEN ピンを互いに接続します。
- すべてのデバイスの IMON ピンを互いに接続する必要があります。結合した IMON ピンの R_{IMON} 抵抗の値は、式 14 を使用して計算できます。

$$R_{IMON} = \frac{V_{IREF}}{G_{IMON} \times I_{OCP(TOTAL)}} \quad (14)$$

- 式 15 に基づいて個別の eFuse の R_{ILIM} を選択する必要があります。

$$R_{ILIM} = \frac{1.1 \times N \times R_{IMON}}{3} \quad (15)$$

ここで、N は並列チェーン内のデバイス数です。図 7-7 に、定常状態時の TPS25984x のアクティブ電流共有ブロックの応答を示します。



6つのデバイスのパワーパス抵抗の間に意図的なスキューが生じ、負荷電流はゆっくりと上昇します。各デバイスを流れる電流がアクティブ電流共有スレッシュホールドを超えた後で、すべてのデバイス間で均等な電流分布が観測されます。

図 7-7. 6 個の TPS25984x eFuse を並列接続した、定常状態時のアクティブ電流共有

注

アクティブ電流共有方式は、定常状態にある間に任意の eFuse を流れる電流が、式 16 に基づいて R_{ILIM} で設定された個別の電流共有スレッショルドを超えると、アクティブになります。

$$R_{ILIM} = \frac{1.1 \times V_{IREF}}{3 \times G_{ILIM} \times I_{LIM(ACS)}} \quad (16)$$

システムの合計電流がシステムの過電流 (サーキット ブレーカ) スレッショルド ($I_{OCP(TOTAL)}$) を上回ると、アクティブ電流共有方式は解除されます。

7.3.8.1 起動中の電流バランスの維持

TPS25984x は、起動時に独自の電流バランシング機構を実装しており、並列に接続された複数の TPS25984x デバイスが突入電流を共有し、すべてのデバイスに熱ストレスを分散できるようにします。この機能は、すべてのデバイスで正常な起動を完了し、一部の eFuse が早期にサーマル シャットダウンに至るシナリオを回避するのに役立ちます。これにより、並列チェーンの突入電流能力が実質的に向上します。突入電流性能の向上により、突入時間やシステムの信頼性を損なうことなく、大電流プラットフォーム上で非常に大きな負荷コンデンサをサポートすることが可能になります。

7.3.9 アナログ接合部温度モニタ (TEMP)

このデバイスを使用すると、システムはダイの温度に比例するアナログ電圧を TEMP ピンに供給することで、接合部温度 (T_J) を正確に監視できます。この電圧は、デジタル遠隔測定 (テレメトリ) 機能を使用して、ホスト コントローラまたは eFuse の ADC 入力に接続できます。マルチデバイス並列構成では、すべてのデバイスの TEMP 出力を相互接続できます。この構成では、チェーン内で最も高温のデバイスの温度が TEMP 信号により報告されます。

注

- TEMP ピンの電圧は外部監視のみに使用され、純粋に内部温度監視に基づいている各個別デバイスの過熱保護方式には影響を与えません。
- TI は、システム過渡時のグリッチをフィルタして除去するため、TEMP ピンに 22pF の容量を追加することを推奨します。

7.3.10 過熱保護

TPS25984x は、安全に動作するために、内部 FET が過熱した場合にデバイス自体を保護する、内部サーマル シャットダウン メカニズムを採用しています。TPS259840 は熱的過負荷を検出すると、シャットダウンし、デバイスの電源をオフにして再サイクルするか再度イネーブルにするまで、ラッチオフ状態を維持します。TPS259841 が熱的過負荷を検出すると、温度が十分に下がるまでオフに維持されます。その後、デバイスは t_{RST} の追加の遅延時間オフのまま維持され、その後デバイスがイネーブルのままなら、自動的にオンを試みます。

表 7-2. 過熱保護のまとめ

デバイス	TSD 開始	TSD 終了
TPS259840 (ラッチオフ)	$T_J \geq TSD$	$T_J < TSD - TSD_{HYS}$ VDD が 0V にサイクルされ、 $V_{UV(P)}$ を上回る、 または $EN/UVLO$ が $V_{SD(F)}$ より低くトリグされる
TPS259841 (自動再試行)	$T_J \geq TSD$	$T_J < TSD - TSD_{HYS}$ t_{RST} タイマが満了する、VDD が 0V にサイクルされ、 $V_{UV(P)}$ を上回る、または $EN/UVLO$ が $V_{SD(F)}$ より低くトリグされる

7.3.11 フォルト応答および表示 (FLT)

表 7-3 は、各種故障条件に対するデバイスの応答をまとめたものです。

表 7-3. 故障のまとめ

イベントまたは状態	デバイスの応答	内部でラッチされた故障	FLT ピンのステータス	遅延
定常状態	なし	該当なし	H	
突入電流	なし	該当なし	H	
過熱	シャットダウン	Y	L	
低電圧 (EN/UVLO)	シャットダウン	N	H	
低電圧 (VDD UVP)	シャットダウン	N	H	
低電圧 (VIN UVP)	シャットダウン	N	H	
過電圧 (VIN OVP)	シャットダウン	N	H	
過渡過電流	なし	N	H	
持続的な過電流 (定常状態)	回路ブレーカ	Y	L	t_{TIMER}
持続的な過電流 (起動時)	電流制限	N	L	
短絡 (プライマリ モード)	高速トリップ	Y	L	t_{FT}
短絡 (セカンダリ モード)	高速トリップ後の電流制限付き起動	N	H	
ILIM ピン オープン (起動時)	シャットダウン	Y	L	
ILIM ピン短絡 (起動時)	シャットダウン ($I_{\text{OUT}} > I_{\text{OC_BKP}}$ の場合)	Y	L	
ILIM ピン オープン (定常状態)	アクティブ電流共有ループは常にアクティブです	N	H	
ILIM ピン短絡 (定常状態)	アクティブ電流共有ループが無効	N	H	
IMON ピン オープン (定常状態)	シャットダウン	Y	L	
IMON ピン短絡 (定常状態)	シャットダウン ($I_{\text{OUT}} > I_{\text{OC_BKP}}$ の場合)	Y	L	45 μs
IREF ピン オープン (起動時)	シャットダウン ($I_{\text{OUT}} > I_{\text{OC_BKP}}$ の場合)	Y	L	
IREF ピン オープン (定常状態)	シャットダウン ($I_{\text{OUT}} > I_{\text{OC_BKP}}$ の場合)	Y	L	t_{TIMER}
IREF ピン短絡 (定常状態)	シャットダウン	Y	L	
IREF ピン短絡 (起動時)	シャットダウン	Y	L	
ITIMER ピンが強制的に高電圧に移行	シャットダウン ($I_{\text{OUT}} > I_{\text{OCP}}$ または $I_{\text{OUT}} > I_{\text{OC_BKP}}$ の場合)	Y	L	$t_{\text{SPFAIL_TMR}}$
起動タイムアウト	シャットダウン	Y	L	$t_{\text{SU_TMR}}$
FET 正常性故障 (G-S)	シャットダウン	Y	L	10 μs
FET 正常性故障 (G-D)	シャットダウン	Y	L	
FET 正常性故障 (D-S)	シャットダウン	N	L	$t_{\text{SU_TMR}}$

表 7-3. 故障のまとめ (続き)

イベントまたは状態	デバイスの応答	内部でラッチされた故障	FLT ピンのステータス	遅延
外部故障 (デバイスが UV でも OV でもないときに SWEN が外部で Low にプルされる)	シャットダウン	Y	L	

FLT はオープンドレインのピンであり、外部電源にプルアップする必要があります。

故障後のデバイスの応答は、動作モードによって異なります。

1. スタンドアロンまたはプライマリ動作モード (MODE = オープン) の間、デバイスはフォルトをラッチし、デバイスの選択に従って、自動再試行またはラッチオフ応答に従います。デバイスが再度オンになると、通常の DVDT 制限付き起動シーケンスに従います。
2. 2 次動作モード (MODE = GND) 中、デバイスがフォルトを検出すると、SWEN ピンが一時的に Low にプルされて、イベントが 1 次デバイスに通知されます。その後、1 次側を利用してフォルト応答を制御します。ただし、プライマリ デバイスが故障を登録できない場合、セカンダリ デバイスにはフェイルセーフ機構が備わっており、チェーン全体をオフにし、ラッチオフ状態に移行します。その後、デバイスは VDD の電源を $V_{UVP(F)}$ 未満にして入れ直すか、EN/UVLO ピンを $V_{SD(F)}$ 未満してサイクルさせることによってのみ、再度オンにできます。

内部でラッチされた故障の場合、部品の電源を入れ直すか、EN/UVLO ピンの電圧を $V_{SD(F)}$ 未満に引き下げることで故障がクリアされ、ピンはデアサートされます。この操作により、 t_{RST} タイマもクリアされます (自動再試行バリエーションのみ)。この状況では、EN/UVLO を UVLO スレッシュホールドよりもわずかに低くしても、デバイスに影響はありません。これは、ラッチオフおよび自動再試行の両方のバリエーションに当てはまります。

7.3.12 パワー グッド表示 (PG)

パワー グッド表示は、デバイスが定常状態で最大電力を供給可能な場合に、high にアサートされるアクティブ high 出力です。

表 7-4. PG 表示のまとめ

イベントまたは状態	FET のステータス	PG ピン ステータス	PG 遅延
低電圧 ($V_{EN} < V_{UVLO}$)	オフ	L	t_{PGD}
$V_{IN} < V_{UVP}$	オフ	L	
$V_{DD} < V_{UVP}$	オフ	L	
過電圧 ($V_{IN} > V_{OVP}$)	オフ	L	t_{PGD}
定常状態	オン	H	t_{PGA}
突入電流	オン	L	t_{PGA}
過渡過電流	オン	H	該当なし
回路ブレーカ (持続的な過電流後に ITIMER 満了)	オフ	L (MODE = H) H (MODE = L)	t_{PGD} 該当なし
高速トリップ	オフ	L (MODE = H) H (MODE = L)	t_{PGD} 該当なし
ILM pin open	オフ	L (MODE = H) H (MODE = L)	$t_{TIMER} + t_{PGD}$ 該当なし
ILM ピンの短絡	オフ	L (MODE = H) H (MODE = L)	t_{PGD} 該当なし
過熱	シャットダウン	L (MODE = H) H (MODE = L)	t_{PGD} 該当なし

パワーアップ後、PG は初期状態で **Low** に引き下げられます。デバイスは突入シーケンスを開始し、ゲートドライバ回路が内部のチャージポンプからゲート容量の充電を開始します。FET ゲート電圧が最大オーバードライブに達し、突入シーケンスが完了し、デバイスが最大出力を供給できることを示すと、グリッチ除去時間 (t_{PGA}) の後、PG ピンが **HIGH** にアサートされます。

通常動作中のいずれかの時点で FET がオフになると、PG はアサート解除されます。PG のデアサート時のグリッチ除去時間は t_{PGD} です。

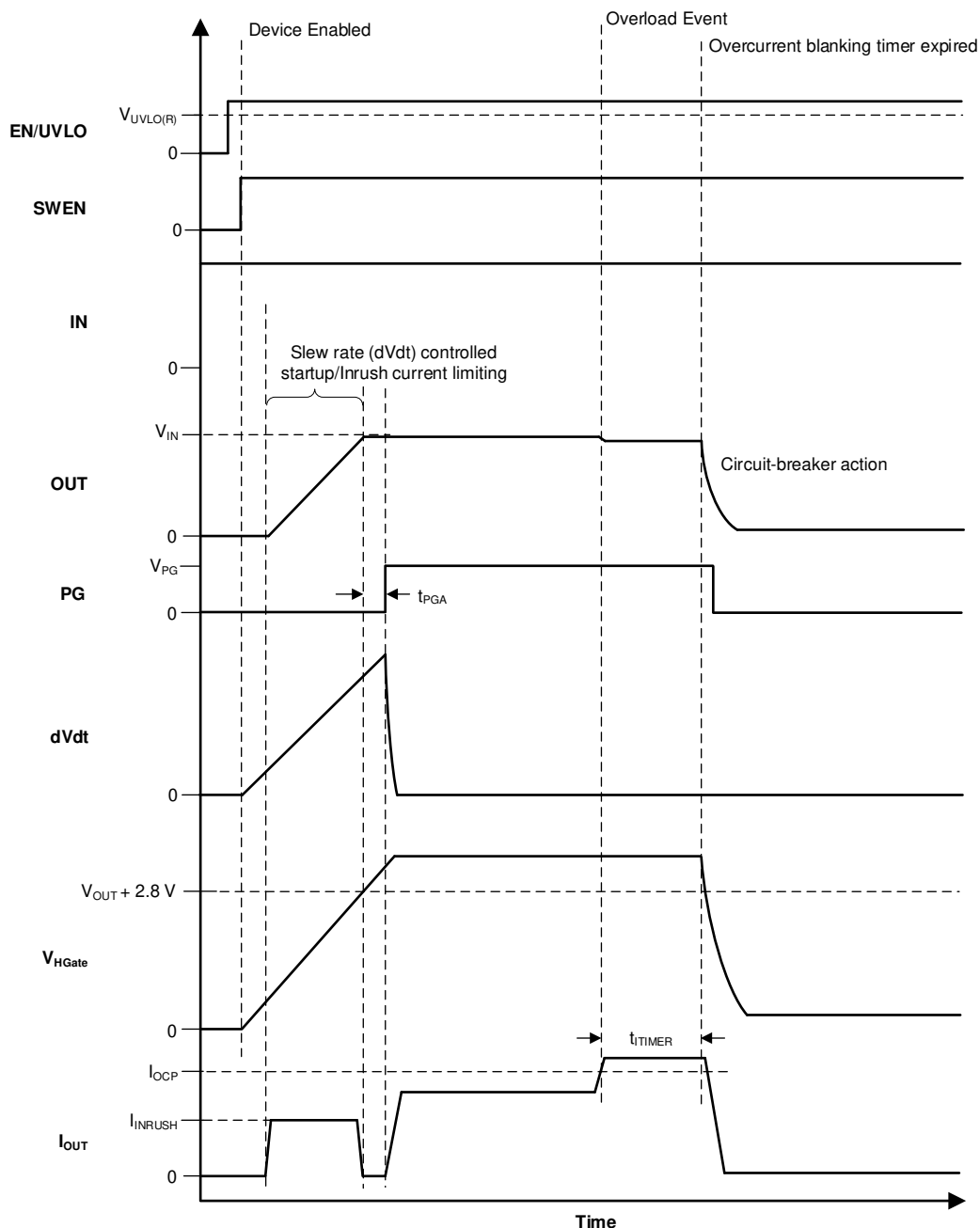


図 7-8. TPS25984x PG タイミング図

注

PG はオープン ドレインのピンであり、外部電源にプルアップする必要があります。定常状態中は、PG ピンをフローティング状態のままにしたり、ピンを外部から強制的に **Low** にしたりしないでください。デバイスの動作に干渉する可能性があります。

デバイスに電源が供給されていない場合、PG ピンは **Low** のままであることが期待されています。ただし、この状態には、このピンを **0V** まで完全に駆動するためのアクティブプルダウンはありません。デバイスに電力が供給されていない場合でも、PG ピンが存在する独立した電源にプルアップされると、プルアップ電源電圧と抵抗の関数であるピンのシンク電流に応じて、このピンに小さな電圧が印加される可能性があります。シンク電流を最小化して、この状態で関連する外部回路によってロジック **HIGH** として検出されないよう、このピン電圧を十分に低く維持します。

デバイスを 2 次モード (MODE = GND) で、別の TPS25984 デバイスと組み合わせて、並列チェーン内の 1 次デバイスとして使用すると、起動時の PG のアサートを制御しますが、デバイスが定常状態に達した後は、PG のアサート解除を制御できなくなります。詳細については、**モデル選択 (MODE)** を参照してください。

7.3.13 出力放電

デバイスには出力放電機能が内蔵されており、GND への内部定電流 (I_{QOD}) を使用して OUT ピンのコンデンサを放電します。出力放電機能は、EN/UVLO が最小期間 (t_{QOD}) にわたって **Low** ($V_{SD(F)} < V_{EN} < V_{UVLO(F)}$) に保持されているときにアクティブになります。出力放電機能により、大きな出力コンデンサに残っている残留電荷をすばやく除去し、バスが長時間にわたって特定の未定義電圧にとどまることを防止します。出力放電は、 $V_{OUT} < V_{FB}$ のとき、またはデバイスがフォルトを検出すると解除されます。

出力放電機能により、デバイス内部で過剰な電力消費が発生し、接合部温度 (T_J) が上昇する可能性があります。接合部温度 (T_J) が TSD を超えると、出力放電は無効になり、部品の長期的な劣化を防ぎます。

注

TI は、プライマリおよびセカンダリの並列構成では、EN/UVLO 電圧をセカンダリデバイスの $V_{UVLO(F)}$ スレッシュホールドよりも低く保持して、チェーン内のすべてのデバイスの出力放電をアクティブにすることを推奨します。

7.3.14 FET の正常性監視

TPS25984x は、パワー パス FET の故障を示す特定の条件を検出して報告できます。検出または報告されない場合、これらの状態は、負荷に正しく電力を供給しないか、必要なレベルの保護を提供しないかにより、システム性能を低下させる可能性があります。FET 故障が検出されると、TPS25984x はゲートを **Low** に引き下げることで内部 FET のオフを試み、FLT ピンをアサートします。

- **D-S 短絡:** D-S 短絡は、基板アセンブリの欠陥または内部 FET 故障のいずれかにより、ソースから負荷まで、制御されない一定の電力供給経路を形成する可能性があります。この状態は、FET がオンになる前に $V_{IN-OUT} < V_{DSFLT}$ かどうかをチェックすることで、起動時に検出されます。もしそうであれば、デバイスは内部出力放電を作動させ、出力の放電を試みます。特定の許容期間内に V_{OUT} が V_{FB} を下回るまで放電されないデバイスは FLT ピンをアサートします。
- **G-D 短絡:** TPS25984x は、内部制御ロジックが FET をオフ状態に保持しようとしても、ゲート電圧が V_{IN} に近いかどうかを常にチェックすることで、この種の FET 故障を常に検出します。
- **G-S 短絡:** TPS25984x は、ゲートドライバがオンになった後、FET G-S 電圧が特定のタイムアウト期間 (t_{SU_TMR}) 内に必要なオーバードライブ電圧に達しないかどうかをチェックすることで、起動時にこの種の FET 故障を検出します。定常状態では、コントローラロジックがゲートドライバに FET をオフにするように信号を送信する前に G-S 電圧が **Low** になると、故障としてラッチされます。

7.3.15 シングル ポイント障害の軽減

TPS25984x は、あらゆる状況で過電流と短絡に対する保護を提供するため、IMON、ILIM、IREF、ITIMER ピンへの適切な部品接続とバイアスを使用します。安全対策の追加として、本デバイスは以下のメカニズムを使用して、これらのピン

のいずれかがシステム内で正しく接続されなかった場合やフィールド内で関連部品に障害が発生した場合、デバイスが何らかの過電流保護を実現するようにします。

7.3.15.1 IMON ピンのシングル ポイント障害

- **IMON ピン オープン:**この場合、IMON ピン電圧が内部的に高電圧にプルアップされ、スレッショルド (V_{IREF}) を超えてしまうため、デバイスに大きな電流が流れていない場合でも、部品が回路ブレーカ動作を実行してしまいます。
- **IMON ピンが直接または非常に低い抵抗を介して GND に短絡されている:**この場合、IMON ピンの電圧は低電圧に保持され、デバイスに大きな電流が流れる場合でもスレッショルド (V_{IREF}) を超えることは許可されず、プライマリ過電流保護メカニズムは無効になります。このデバイスは、バックアップとして何らかの保護を提供するために、内部の過電流検出メカニズムに依存しています。デバイスがバックアップ電流センス スレッショルド (I_{OC_BKP}) を超えたことを検出し、同時に IMON ピンのプライマリ過電流検出が失敗した場合、シングル ポイント障害検出がトリガされ、故障がラッチされます。FET はオフになり、FLT ピンがアサートされます。

7.3.15.2 ILIM ピンのシングル ポイント障害

- **ILIM ピン オープン:**この場合、ILIM ピン電圧が内部的に高電圧にプルアップされ、 V_{IREF} スレッショルドを超えてしまうため、デバイスに大きな電流が流れていない場合でも、部品が電流制限動作を実行してしまいます。
- **ILIM ピンが直接または非常に低い抵抗を介して GND に短絡されている:**この場合、ILIM ピンの電圧は低電圧に保持され、デバイスに大きな電流が流れる場合でもスタートアップ制限スレッショルドを超えることは許可されず、スタートアップ時にプライマリ電流制限メカニズムは無効になります。このデバイスは、内部過電流検出メカニズムに依存して、何らかの保護をバックアップとして実現します。デバイスがバックアップ過電流スレッショルド (I_{OC_BKP}) を超えたことを検出し、同時に ILIM ピンのプライマリ過電流検出が失敗した場合、シングル ポイント障害検出がトリガされ、故障がラッチされます。FET はオフになり、FLT ピンがアサートされます。

7.3.15.3 IREF ピンのシングル ポイント障害

- **IREF ピンがオープンまたは強制的に高電圧に設定:**この場合、IREF ピン (V_{IREF}) は、推奨される I_{OCP} または I_{LIM} の計算に従って目標値よりも高い電圧に内部または外部でプルアップされ、デバイスに大電流が流れている場合でもプライマリ サークット ブレーカ、アクティブ電流制限、短絡保護がトリガされないようにしています。このデバイスは、内部過電流検出メカニズムに依存して、何らかの保護をバックアップとして実現します。デバイスが、バックアップ過電流スレッショルドを超えていることを検出したが、同時に ILIM または IMON ピンのプライマリ過電流または短絡検出に失敗する場合、シングル ポイント障害検出がトリガされ、故障がラッチされます。FET はオフになり、FLT ピンがアサートされます。
- **IREF ピンは GND へ短絡:**この場合、 V_{IREF} スレッショルドが 0V に設定されるため、デバイスに大きな電流が流れない場合でも、部品はアクティブ電流制限またはサーキット ブレーカ動作を実行します。

7.3.15.4 ITIMER ピンのシングル ポイント障害

- **ITIMER ピンの開放または GND への短絡:**この場合、ITIMER ピンはすでに $V_{ITIMERTHR}$ を下回って放電されているため、過電流イベント後即座に過電流ブランキングタイマが満了し、遅延なしにサーキット ブレーカ動作がトリガされていることを示します。
- **ITIMER ピンが強制的に $V_{ITIMERTHR}$ よりも高い電圧になります:**この場合、ITIMER ピンは $V_{ITIMERTHR}$ を下回るまで放電できないため、過電流ブランキング タイマの期限切れを示すことができないため、1 次側サーキット ブレーカ メカニズムは無効になります。このデバイスは、バックアップとして何らかの保護を提供するために、バックアップの過電流タイマ メカニズムに依存しています。デバイスが IMON ピンとバックアップ過電流検出回路のどちらかで過電流イベントを検出すると、デバイスは内部バックアップ時間に入り、タイマが経過すると ($t_{SPFLTMR}$)、フォルトがラッチされます。FET はオフになり、FLT ピンがアサートされます。

7.4 デバイスの機能モード

デバイスの機能は、動作モードによって異なります。表 7-5 と表 7-6 は、デバイスの機能モードをまとめたものです。

表 7-5. EN/UVLO ピンに基づくデバイスの機能モード

ピン: EN/UVLO	デバイスの状態	出力放電
$> V_{UVLO(R)}$	完全にオン	ディセーブル

表 7-5. EN/UVLO ピンに基づくデバイスの機能モード (続き)

ピン: EN/UVLO	デバイスの状態	出力放電
$> V_{SD(F)}$, $< V_{UVLO(F)}$ ($< t_{QOD}$)	FET オフ	ディセーブル
$> V_{SD(F)}$, $< V_{UVLO(F)}$ ($> t_{QOD}$)	FET オフ	イネーブル
$< V_{SD(F)}$	シャットダウン	ディセーブル

表 7-6. MODE ピンに基づくデバイスの機能モード

ピン: モード	デバイス設定
オープン	プライマリまたはスタンドアロン
GND	セカンダリ

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

TPS25984x は、一般に電源レールの保護用途に使用される大電流 eFuse です。このデバイスは 4.5V ~ 16V で動作し、入力過電圧保護と、可変低電圧保護を備えています。このデバイスは、突入電流を制御する機能を搭載しており、過電流、や短絡の各状況に対する保護を提供します。このデバイスは、サーバーのマザーボード、アドオンカード、グラフィックスカード、アクセラレータカード、エンタープライズスイッチ、ルータなど、さまざまなシステムで使用できます。以降のセクションで説明する設計手順を使用すると、アプリケーションの要件に基づいてサポート部品の値を選択できます。さらに、スプレッドシート設計ツールである *TPS25984x 設計カリキュレータ* もリクエストに応じて利用可能です。

8.1.1 シングル デバイス、スタンドアロン動作

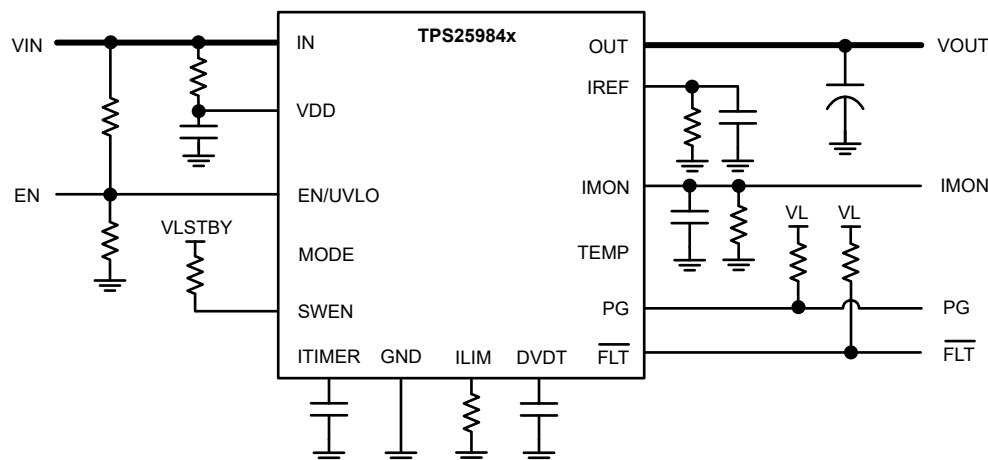


図 8-1. シングル デバイス、スタンドアロン動作

注

スタンドアロン動作用に構成するには、MODE ピンをオープンのままにします。

その他のバリエーション:

1. IREF ピンは、外部リファレンス電圧ソースから駆動できます。
2. ホスト MCU 制御システムでは、EN/UVLO を GPIO ピンに接続して、デバイスを制御できます。IMON ピンの電圧は、ADC を使用して監視できます。ホスト MCU は、DAC を使用して IREF を駆動し、電流制限スレッシュホールドを動的に変更できます。
3. このデバイスは、ILIM ピンと IMON ピンを GND に接続して IREF ピンをオープンのままにすることで、調整可能な過電流保護または高速トリップ保護なしのシンプルな大電流ロードスイッチとして使用できます。この状況でも、突入電流保護、固定高速トリップ、内部固定過電流保護が引き続きアクティブになります。

8.1.2 複数デバイス、並列接続

より大きな電流能力を必要とするアプリケーションでは、図 8-2 に示すように、2 つ以上の TPS25984x デバイスを並列接続して使用できます。

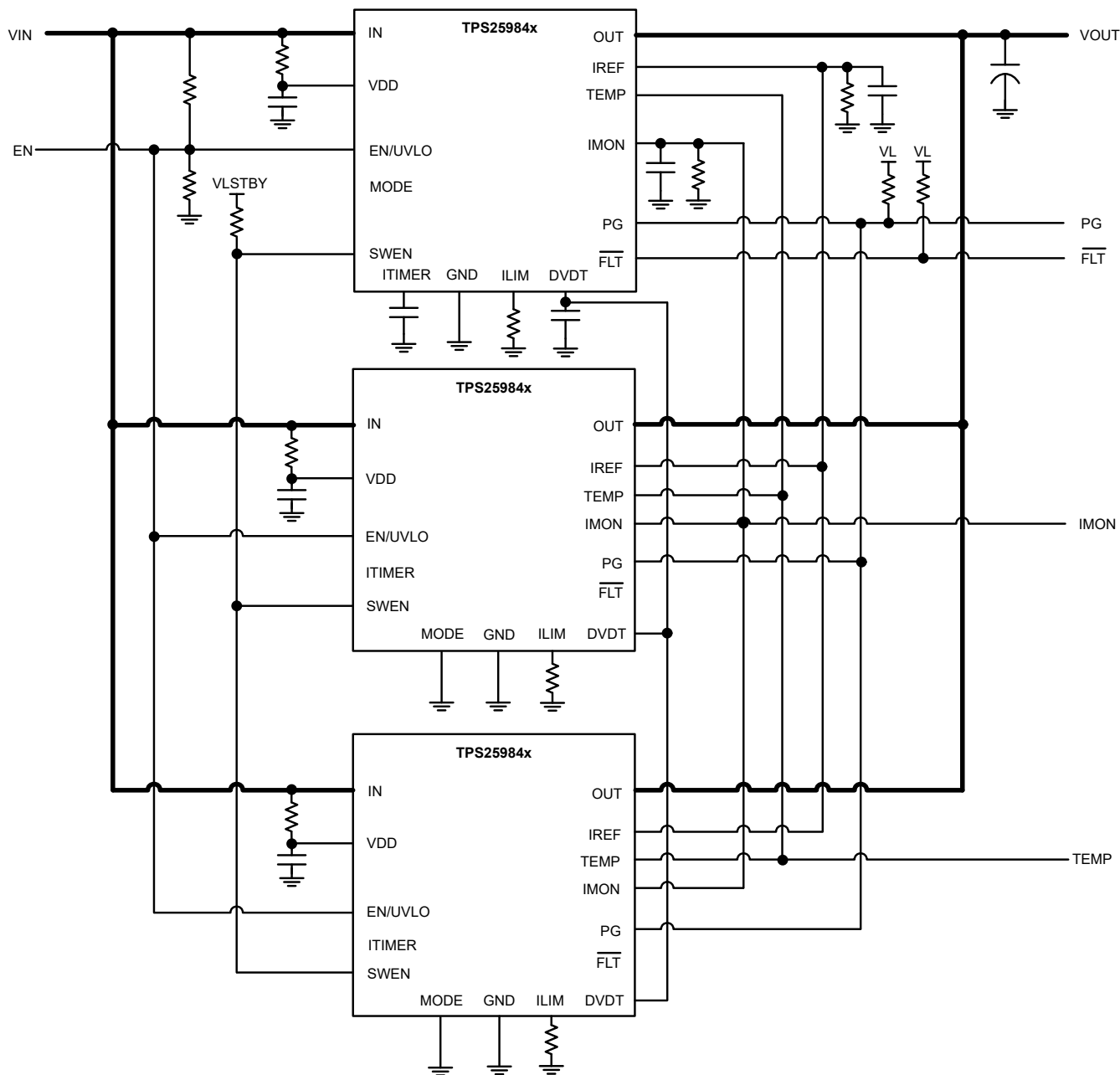


図 8-2. 大電流能力を実現するために並列接続されたデバイス

この構成では、1 つの TPS25984x デバイスがプライマリ デバイスとして動作し、チェーン内のセカンダリ デバイスとして設計されている他の TPS25984x デバイスを制御します。この構成は、次のようにプライマリ デバイスを接続することで実現されます。

1. VDD は、R-C フィルタを介して IN に接続します。
2. MODE ピンはオープンのままにします。
3. ITIMER は、コンデンサを介して GND に接続します。

4. DVDT は、コンデンサを介して GND に接続します。
5. IREF は抵抗を介して GND に接続します。
6. IMON は抵抗を介して GND に接続します。
7. ILIM は抵抗を介して GND に接続します。
8. SWEN は 3.3-V から 5-V へのスタンバイレールにプルアップされます。このレールには、eFuse とは独立して電源を投入する必要があります。

セカンダリ デバイスは、次の方法で接続する必要があります。

1. VDD は、R-C フィルタを介して IN に接続します。
2. MODE ピンは GND に接続します。
3. ITIMER ピンはオープンのままにします。
4. ILIM は抵抗を介して GND に接続します。

すべてのデバイスの以下のピンは互いに接続する必要があります。

1. IN
2. OUT
3. EN/UVLO
4. DVDT
5. SWEN
6. PG
7. IMON
8. IREF

注

「推奨動作条件」表に従って、PG ピンを適切な電源電圧にプルアップする必要があります。

この構成では、すべてのデバイスが同時に電源投入され、有効になります。

パワーアップ: パワーアップまたはイネーブル後、すべてのデバイスは最初は、内部ブロックが正しくバイアスされ初期化されるまで、SWEN を low に保持します。その後、各デバイスは独自の SWEN をリリースします。すべてのデバイスが SWEN をリリースすると、結合された SWEN が high になり、各デバイスはそれぞれの FET を同時にオンにする準備ができます。

突入電流: 突入時は、DVDT ピンが 1 つの DVDT コンデンサに接続されているため、すべてのデバイスが同じスルー レート (SR) で出力をオンにします。以下の式 17 と式 18 に基づいて一般的な DVDT コンデンサ (C_{DVDT}) を選択します。

$$SR(V/ms) = \frac{I_{INRUSH}(A)}{C_{LOAD}(mF)} \quad (17)$$

$$C_{DVDT}(pF) = \frac{42000}{SR(V/ms)} \quad (18)$$

この状態で、内部のバランス回路により、スタートアップ時に負荷電流がすべてのデバイスで共有されることが保証されます。この動作により、一部のデバイスが他のデバイスよりも高速にオンになる状況や、他のデバイスより大きな熱ストレスが発生する状況を防止できます。これにより、並列チェーンの早期または部分的なシャットダウン、またはデバイスの SOA 損傷が発生する可能性があります。電流バランス方式により、並列に接続されるデバイスの数に応じてチェーンスケールの突入電流能力が保証されるため、起動時のより大きな出力キャパシタンスや高負荷でのスタートアップが確実に成功します。

すべてのデバイスが、スタートアップ中はそれぞれの PG 信号を low に保持します。出力が完全に上昇して定常状態に達すると、各デバイスは独自の PG プルダウンをリリースします。すべてのデバイスの DVDT ピンは互いに接続されているため、すべてのデバイスの内部ゲート high 検出が同期されます。デバイス間に何らかのスレッシュホールドまたはタイミング

の不一致がある場合、PG は交互にアサートされます。ただし、すべてのデバイスの PG ピンは互いに接続されているため、結合された PG 信号は、すべてのデバイスが PG プルダウンをリリースした後でのみ high になります。この結果、ダウンストリームの負荷に対して、電力引き込みに問題がないことが示されます。

定常状態: 定常状態では、すべてのデバイスはアクティブ電流共有メカニズムを使用して、等しく電流を共有します。アクティブ電流共有メカニズムにより、個別のデバイスの $R_{DS(on)}$ をアクティブにレギュレートし、並列チェーン内のすべてのデバイスに電流を均等に分配します。

定常状態での過電流: 並列チェーンのサーキット ブレーカのスレッシュホールドは、個々のデバイスを流れる電流ではなく、システム全体の電流に基づいています。これはすべてのデバイスの IMON ピンを互いに接続することで行います。同様に、すべてのデバイスの IREF ピンは互いに接続され、単一の R_{IREF} (または外部 V_{IREF} ソース) を使用して、すべてのデバイスで過電流保護ブロックの共通基準電圧を生成します。この操作により、デバイス間の過電流スレッシュホールドの全体的なミスマッチに対する I_{IREF} と R_{IREF} 許容の変動を最小限に抑えることができます。この場合、次の式 19 ように組み合わせた R_{IMON} を選択します。

$$R_{IMON} = \frac{I_{IREF} \times R_{IREF}}{G_{IMON} \times I_{OCP(TOTAL)}} \quad (19)$$

各 eFuse の R_{ILIM} 値は、次の式に式 20 基づいて選択する必要があります。

$$R_{ILIM} = \frac{1.1 \times N \times R_{IMON}}{3} \quad (20)$$

ここで、N は並列チェーン内のデバイス数です。

その他のバリエーション:

IREF ピンは、外部高精度電圧リファレンスから駆動できます (V_{IREF})。

$$R_{IMON} = \frac{V_{IREF}}{G_{IMON} \times I_{OCP(TOTAL)}} \quad (21)$$

過電流イベントが発生すると、すべてのデバイスの過電流検出が同時にトリガされます。これにより、各デバイスの過電流ブランキング タイマ (ITIMER) がトリガされます。ただし、プライマリ デバイスのみ ITIMER 期限切れイベントをトリガとして使用し、すべてのデバイスの SWEN を Low にします。このようにしてチェーン全体で同サーキットブレーカ動作が開始されます。このメカニズムにより、デバイス間の電流分配、過電流スレッシュホールド、ITIMER 間隔の不一致が原因で、完全な並列チェーンのサーキット ブレーカ スレッシュホールドや過電流ブランキング期間の精度が低下しないことが保証されます。

ただし、セカンダリ デバイスではバックアップ過電流タイマも開始されており、プライマリ デバイスが特定の間隔内にそうした動作に失敗した場合に、チェーン全体のシャットダウンをトリガすることがあります。

重度の過電流 (短絡): 定常状態動作時に出力に重大な故障が発生した場合 (たとえば、低インピーダンスのパスで出力がグランドに短絡した場合)、電流は急速に大きな値に上昇し、各デバイスの高速トリップ応答をトリガします。これらのデバイスは、高速トリップ保護のために 2 つのスレッシュホールドを使用します。1 つは、ユーザーが調整可能なスレッシュホールド (定常状態では $I_{SFT} = 2 \times I_{OCP}$ 、または突入電流時は $I_{SFT} = 2 \times I_{LIM}$)、もう 1 つは固定スレッシュホールド (定常状態時のみ I_{FFT}) です。高速トリップの後、デバイスの電源を切って再投入するか、再イネーブルにするか、自動再試行タイマが満了するまで (自動再試行バリエーションのみ)、デバイスはラッチオフ フォルト条件に移行します。

8.1.3 複数の eFuse、PMBus® による並列接続

大電流の入力保護と、遠隔測定、制御、構成のためのデジタル インターフェイスを必要とするアプリケーションでは、[図 8-3](#) に示すように、1 つまたは複数の TPS25984x デバイスを TPS25990x と並列に使用できます。

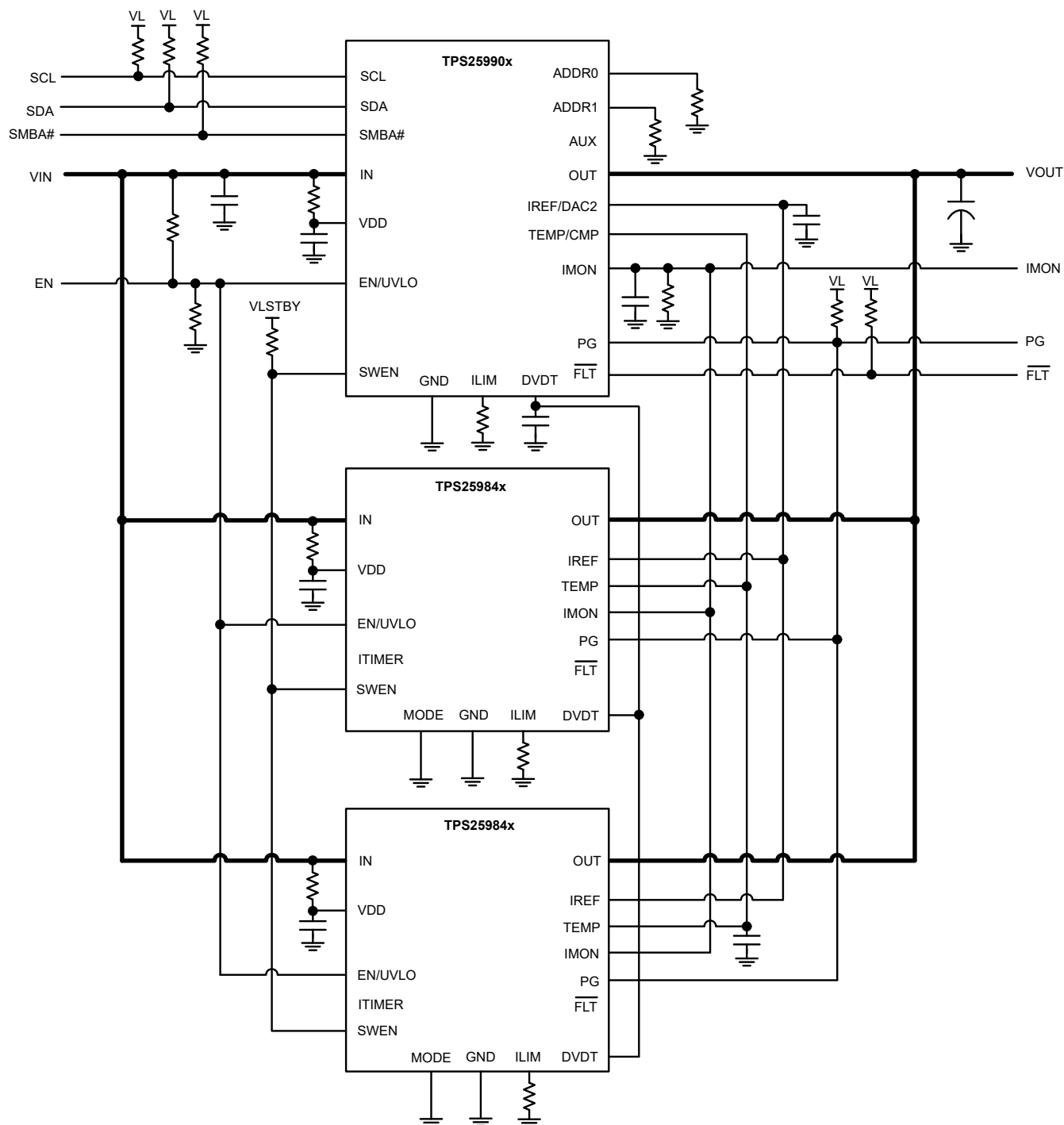


図 8-3. TPS25990x は TPS25984x と並列に接続され、PMBus® により大電流をサポートします

TPS25990x は、PMBus® 遠隔測定インターフェイスを搭載した 60A の統合型 eFuse です。

この構成では、TPS25990x がプライマリ デバイスとして動作し、チェーン内のセカンダリ デバイスとして指定されている他の TPS25984x デバイスを制御します。この構成は、次のようにプライマリ デバイスを接続することで実現されます。

1. VDD は、R-C フィルタを介して IN に接続します。
2. DVDT は、コンデンサを介して GND に接続します。
3. IREF は、コンデンサを介して GND に接続します。
4. IMON は抵抗を介して GND に接続します。
5. ILIM は抵抗を介して GND に接続します。

SWEN は 3.3V から 5V のスタンバイレールにプルアップされます。このレールは、eFuse のオン / オフのステータスとは無関係に電源をオンにする必要があります。

セカンダリ デバイスは、次の方法で接続する必要があります。

1. VDD は、R-C フィルタを介して IN に接続します。
2. MODE ピンは GND に接続します。
3. ITIMER ピンはオープンのままにします。
4. ILIM は抵抗を介して GND に接続します。

すべてのデバイスの以下のピンは互いに接続する必要があります。

1. IN
2. OUT
3. EN/UVLO
4. DVDT
5. SWEN
6. PG
7. IMON
8. IREF
9. TEMP

注

「推奨動作条件」表に従って、PG ピンを適切な電源電圧にプルアップする必要があります。

この構成では、すべてのデバイスが同時に電源投入され、有効になります。

- TPS25990x は、VIN、VOUT、IMON、TEMP を組み合わせたものを監視し、PMBus® 遠隔測定インターフェイス経由で報告します。
- OVLO スレッシュホールドは、デフォルトで、すべてのデバイスで最大値に設定されます。TPS25984x デバイスの場合、OV スレッシュホールドはハードウェアで固定されているため変更できません。TPS25990x の OV スレッシュホールドは、PMBus® による VIN_OV_FAULT レジスタへの書き込みにより下げることができます。この場合、TPS25990x は SWEN ピンを使用して、OV 状態のときに TPS25984x デバイスをオフにします。
- すべてのデバイスの UVLO スレッシュホールドは、EN/UVLO ピンで IN と GND の間の外付け抵抗デバイスによって設定されます。TPS25990x の UV スレッシュホールドは、PMBus® 書き込みにより VIN_UV_FAULT レジスタへ変更できます。この場合、TPS25990x は SWEN ピンを使用して、UV 状態のときに TPS25984x デバイスをオフにします。
- 突入時に、すべてのデバイスの出力が DVDT コンデンサに基づいてともに上昇します。ただし、TPS25990x DVDT ソース電流は、PMBus® を使用して構成し、チェーン全体の突入動作を変更できます。TPS25990x は、チェーン全体の DVDT ランプ レートを制御し、セカンダリ デバイスは単純にランプ レートに従います。
- TPS25990x は、内蔵 DAC を使用して VIREF スレッシュホールド電圧を設定することで、並列チェーンの全体的な過電流スレッシュホールドを制御します。VIREF 電圧は、PMBus® を使ってプログラミングでき、過電流スレッシュホールドを変更できます。
- TPS25990x は、PMBus® から OC_TIMER レジスタへの書き込みにより、システム全体の過渡過電流ブランキング期間 (t_{OC_TIMER}) を制御します。デジタル タイマが満了した後すると、TPS25990x は SWEN ピンを Low にして、すべてのデバイスに信号を送信し、回路を同時に切断します。

- システムのパワー グッド (PG) 表示は、すべての個別デバイスの PG 表示の組み合わせです。すべてのデバイスは、パワー FET が完全にオンになるまで、それぞれの PG ピンを Low に保持します。すべてのデバイスが定常状態に達すると、それぞれの PG ピン プルダウンがリリースされ、チェーン全体の PG 信号が high にアサートされます。
TPS25984x セカンダリ デバイスは、スタートアップ時にのみシステムの PG アサートを制御します。定常状態になった後、TPS25990x のみが VOUT_PGTH レジスタ設定に基づいて PG のアサート解除を制御します。
- システム全体の故障表示 (FLT) は、TPS25990x により提供されます。ただし、各セカンダリ デバイスは FLT を独立してアサートします。

パワーアップ: パワーアップまたはイネーブル後、すべての eFuse デバイスは最初は、内部ブロックが正しくバイアスされ初期化されるまで、SWEN を low に保持します。その後、各デバイスは SWEN をリリースします。すべてのデバイスが SWEN をリリースすると、結合された SWEN が high になり、各デバイスはそれぞれの FET を同時にオンにする準備ができます。

突入電流: 突入時は、DVDT ピンが 1 つの DVDT コンデンサに接続されているため、すべてのデバイスが同じスルー レート (SR) で出力をオンにします。式 22 と式 23 に基づいて一般的な DVDT コンデンサ (C_{DVDT}) を選択します。

$$SR \left(\frac{V}{ms} \right) = \frac{I_{INRUSH} (mA)}{C_{OUT} (\mu F)} \quad (22)$$

$$C_{dVdt} (pF) = \frac{42000 \times k}{SR \left(\frac{V}{ms} \right)} \quad (23)$$

詳細については、TPS25990x を参照してください。

内部のバランシング回路により、スタートアップ時に負荷電流がすべてのデバイスで共有されることが保証されます。この動作により、一部のデバイスが他のデバイスよりも高速にオンになる状況や、他のデバイスより大きな熱ストレスが発生する状況を防止できます。これにより、並列チェーンの早期または部分的なシャットダウン、またはデバイスの SOA 損傷が発生する可能性があります。電流バランシング方式により、並列に接続されるデバイスの数に応じてチェーンスケールの突入電流能力が保証されるため、起動時のより大きな出力キャパシタンスや高負荷でのスタートアップが確実に提供します。すべてのデバイスが、スタートアップ中はそれぞれの PG 信号を low に保持します。出力が完全に上昇して定常状態に達すると、各デバイスは PG プルダウンをリリースします。すべてのデバイスの DVDT ピンは互いに接続されているため、すべてのデバイスの内部ゲート high 検出が同期されます。デバイス間に何らかのスレッシュホールドまたはタイミングの不一致がある場合、PG は交互にアサートされます。ただし、すべてのデバイスの PG ピンは互いに接続されているため、結合された PG 信号は、すべてのデバイスが PG プルダウンをリリースした後でのみ high になります。この結果、ダウンストリームの負荷に対して、電力引き込みに問題がないことが示されます。

定常状態: 定常状態では、すべてのデバイスはアクティブ電流共有メカニズムを使用して、ほぼ等しく電流を共有します。アクティブ電流共有メカニズムにより、個別のデバイスの RDSON をアクティブにレギュレートし、並列チェーン内のすべてのデバイスに電流を均等に分配します。PG がアサートされた後、デアサートは TPS25990x によってのみ制御され、VOUT_PGTH レジスタ設定に基づいて制御されます。

定常状態での過電流: 並列チェーンのサーキット ブレーカのスレッシュホールドは、個々のデバイスを流れる電流ではなく、システム全体の電流に基づいています。このために、すべてのデバイスの IMON ピンをシングル抵抗 (R_{IMON}) に接続して GND に接続します。同様に、すべてのデバイスの IREF ピンを互いに接続します。TPS25990x は、内部プログラマブル DAC (VIREF) を使用して、すべてのデバイスで過電流保護ブロックの共通基準電圧を生成します。この操作により、デバイス間の過電流スレッシュホールドの全体的なミスマッチに対する VIREF の変動を最小限に抑えることができます。

この場合、式 24 に従って R_{IMON} を選択します。

$$R_{IMON} = \frac{V_{IREF}}{I_{IMON} \times I_{OCP(TOTAL)}} \quad (24)$$

各デバイスのスタートアップ電流制限およびアクティブ電流共有スレッシュホールドは、ILIM ピンを使って独立して設定されます。各 eFuse の R_{ILIM} 値は、式 25 に基づいて選択する必要があります。

$$R_{ILIM} = \frac{1.1 \times N \times R_{IMON}}{3} \quad (25)$$

ここで、N = 並列チェーン接続されたデバイスの数 (1 × TPS25990x + (N - 1) × TPS25984x)

その他のバリエーション: IREF ピンは、外部高精度電圧リファレンスから駆動できます。

過電流イベントが発生すると、すべてのデバイスの過電流検出が同時にトリガされます。これにより、TPS25990x の過電流ブランキング タイマ (OC_TIMER) がトリガされます。TPS25990x は OC_TIMER 期限切れイベントをトリガとして使用し、すべてのデバイスの SWEN を Low にします。このようにしてチェーン全体で同時にサーキットブレーカ動作が開始されます。このメカニズムにより、デバイス間の電流分配、過電流スレッシュホールド、OC_TIMER 間隔の不一致が原因で、完全な並列チェーンのサーキットブレーカ スレッシュホールドや過電流ブランキング期間の精度が低下しないことが保証されます。ただし、セカンダリ デバイスではバックアップ過電流タイマも維持されており、プライマリデバイスが特定の間隔内にそうした動作に失敗した場合に、チェーン全体のシャットダウンをトリガすることがあります。

重度の過電流 (短絡): 出力に重大な故障が発生した場合 (たとえば、低インピーダンスのパスで出力がグランドに短絡した場合)、電流は急速に大きな値に上昇し、各デバイスの高速トリップ応答をトリガします。これらのデバイスは、高速トリップ保護に 2 つのスレッシュホールドを使用しています。1 つは、ユーザーが調整可能なスレッシュホールド (定常状態では $I_{SFT} = 2 \times I_{OCP}$ 、突入電流時は $I_{SFT} = 1.5 \times I_{LIM}$)、もう 1 つは固定スレッシュホールド (定常状態時のみ I_{FFT}) です。高速トリップの後、TPS25990x は、DEVICE_CONFIG レジスタの SC_RETRY 構成ビットに依存して、チェーン全体がラッチされたフォルトに移行するか、または電流制限方法で再起動することで高速回復を実行するかを判断します。ラッチされた故障に移行すると、デバイスをパワー サイクルするか、再度イネーブルにするか、または RETRY_CONFIG レジスタ設定に基づく遅延後に自動再試行がするまで、デバイスはラッチオフ状態を維持します。

8.1.4 外部マイクロコントローラを使用したデジタル遠隔測定

大電流 eFuse 機能に加えて、デジタル遠隔測定、制御、構成機能を必要とするシステムでは、[図 8-4](#) に示すように、TPS25984x デバイスをマイクロ コントローラと組み合わせて使用できます。

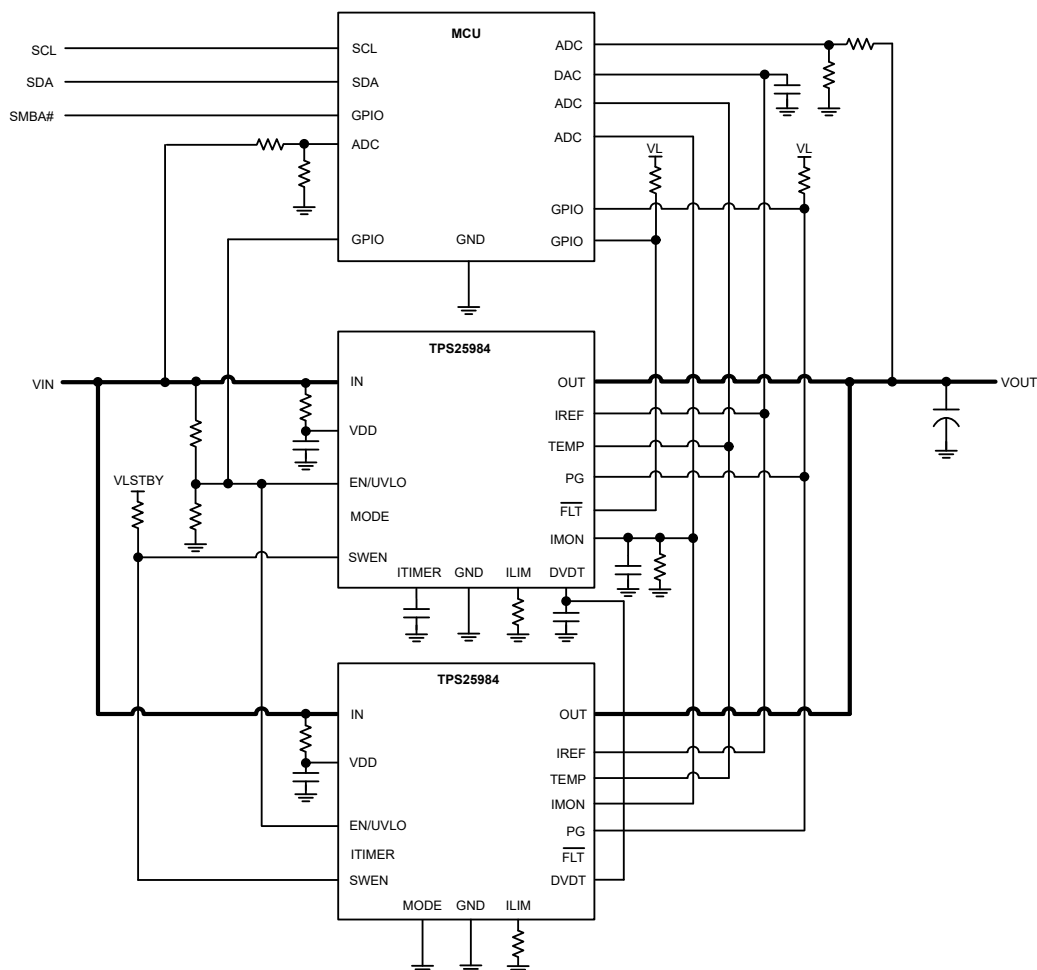


図 8-4. 外部マイクロコントローラを使用したデジタル遠隔測定

eFuse の基本的な回路接続は、単一または複数の並列デバイス構成の場合と同じです。さらに、マイクロコントローラに次の接続を行うことができます。

- IMON はマイクロコントローラの ADC 入力に接続して、負荷電流を監視します。
- EN/UVLO をマイコンの GPIO に接続して、eFuse のデジタルによるオン / オフ制御を可能にします。
- PG ピンと $\overline{\text{FLT}}$ ピンをマイクロコントローラの GPIO に接続することで、eFuse のステータスをデジタル監視できます。
- VIN と VOUT のレールは、バス電圧を監視するために、(電圧を適切に降圧するために、抵抗ラダーを経由して) マイクロコントローラの ADC 入力に接続されます。
- TEMP をマイコンの ADC 入力に接続して、eFuse ダイの温度を監視します。
- オプションで、IREF をマイクロコントローラの DAC 出力に接続して、過電流および短絡電流スレッシュホールド用のリファレンス電圧を動的に変更できます。

注

1. 「推奨動作条件」表に従って、PG ピンを適切な電源電圧にプルアップする必要があります。

8.2 代表的なアプリケーション：データ センター サーバーにおける 12V、3.3kW パワー パス保護

8.2.1 アプリケーション

この設計例では、公差 $\pm 10\%$ の 12-V システム動作電圧を想定しています。最大定常状態負荷電流は 275A です。負荷電流が 300A を超える場合、eFuse 回路は最大 16-ms の間隔で過渡的な過負荷電流を許容する必要があります。それよりも長く持続的な過負荷が続く場合、eFuse 回路は回路を切断してからラッチオフする必要があります。eFuse 回路は 50mF のバルク容量を充電し、スタートアップ時に定常状態負荷の約 10% をサポートする必要があります。図 8-5 は設計例にアプリケーション回路図を表示しています。

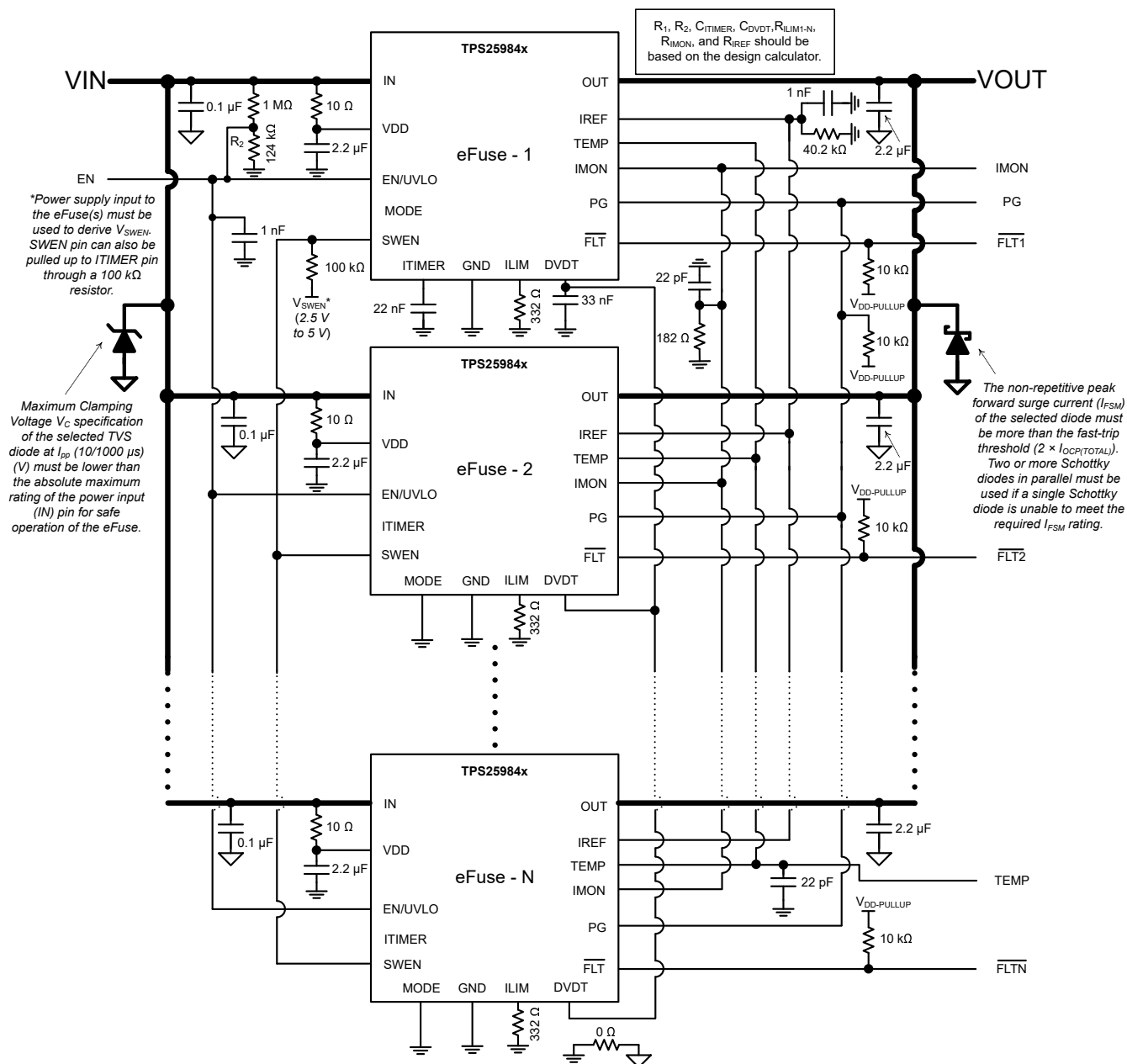


図 8-5. 12-V、3.3-kW パワー パス保護回路のアプリケーション回路図

8.2.2 設計要件

このアプリケーション例の設計パラメータを、表 8-1 に示します。

表 8-1. 設計パラメータ

パラメータ	値
入力電圧範囲 (V_{IN})	10.8V~13.2V
最大 DC 負荷電流、($I_{OUT(max)}$)	275A
最大出力キャパシタンス (C_{LOAD})	50 mF
PG がアサートされるまで、すべての負荷はオフになっていますか？	なし
起動時の負荷 ($R_{LOAD(Startup)}$)	0.48Ω (最大定常状態負荷の約 10% に相当)
最大周囲温度	55°C
過渡過負荷ブランキング タイマ	16ms
出力ターン オン (ソフトスタート) 時間	10ms
出力電圧スルーレート	1.2V/ms
出力における「ホット短絡」に耐える必要があるか？	あり
「パワーアップ時の短絡」状態に耐える必要はあるか？	あり
基盤はホットプラグまたはパワー サイクルに対応しているか？	あり
負荷電流監視は必要か？	あり
故障応答	ラッチオフ

8.2.3 詳細な設計手順

• 並列使用する eFuse デバイス数の決定

接合部から周囲への熱抵抗 ($R_{\theta JA}$) のわずかな変動を考慮に入れることで、シングル TPS25984x eFuse は、周囲温度 70 °C で、最大 DC 電流 55A が定格とされます。したがって、式 26 を使用して、ソリューションを設計する必要があります。ある最大定常状態 DC 負荷電流 ($I_{LOAD(max)}$) をサポートするために、並列に接続するデバイスの数 (N) を計算できます。

$$N \geq \frac{I_{OUT(max)} (A)}{55 A} \quad (26)$$

表 8-1 によれば、 $I_{OUT(max)}$ は 275A となります。したがって、5 つ (5) の TPS25984 eFuse を並列に接続します。

• パラレル構成でのプライマリ デバイスとセカンダリ デバイスのセットアップ

MODE ピンを使用して、1 個の TPS25984x eFuse を並列チェーンの 1 次デバイスとして構成し、他の TPS25984x eFuse を 2 次デバイスとして構成します。この結果、TPS25984 ピンの一部の機能を変更して、『複数デバイスの並列接続』で説明されているようにプライマリおよびセカンダリ構成を簡単に行えます。

この MODE ピンをオープンにすると、対応するデバイスがプライマリ デバイスとして設定されます。2 次側デバイスでは、このピンを GND に接続する必要があります。

• C_{DVT} コンデンサの選択によって、出力スルー レートとスタートアップ時間を制御します

堅牢な設計のため、動的 (スタートアップ) 条件と定常状態条件の両方において、デバイスの接合部温度を絶対最大定格より低く維持する必要があります。通常、動的な電力ストレスは静的ストレスよりも数桁大きいので、システム内の容量と関連する負荷に適切なスタートアップ時間と突入電流を制限して、起動時のサーマル ショットダウンを防止することが極めて重要です。

表 8-2 に、パワー グッド (PG) 信号を使用してすべての下流負荷をオンにしない場合に、起動時に異なるな負荷が存在する状況で、eFuse の平均突入電力損失を計算するための式をまとめます。

表 8-2. 突入電流中の平均電力損失の計算

起動時の負荷のタイプ	次の式を使用して、平均突入電力損失を計算します
C_{LOAD} (μF) の出力コンデンサのみ	$\frac{V_{IN}^2 C_{LOAD}}{2T_{SS}} \quad (27)$
C_{LOAD} (μF) の出力コンデンサ、オン スレッショルド V_{RTH} (V) 付きの $R_{LOAD(Startup)}$ の定抵抗 (Ω)	$\frac{V_{IN}^2 C_{LOAD}}{2T_{SS}} + \frac{V_{IN}^2}{R_{LOAD(Startup)}} \left[\frac{1}{6} - \left\{ \frac{1}{2} \left(\frac{V_{RTH}}{V_{IN}} \right)^2 \right\} + \left\{ \frac{1}{3} \left(\frac{V_{RTH}}{V_{IN}} \right)^3 \right\} \right] \quad (28)$
C_{LOAD} (μF) の出力コンデンサ、オン スレッショルド V_{CTH} (V) 付きの $I_{LOAD(Startup)}$ の定電流 (Ω)	$\frac{V_{IN}^2 C_{LOAD}}{2T_{SS}} + V_{IN} I_{LOAD(Startup)} \left[\frac{1}{2} - \left(\frac{V_{CTH}}{V_{IN}} \right) + \left\{ \frac{1}{2} \left(\frac{V_{CTH}}{V_{IN}} \right)^2 \right\} \right] \quad (29)$
C_{LOAD} (μF) の出力コンデンサ、オン スレッショルド V_{PTH} (V) 付きの $P_{LOAD(Startup)}$ の定電力 (Ω)	$\frac{V_{IN}^2 C_{LOAD}}{2T_{SS}} + P_{LOAD(Startup)} \left[\ln \left(\frac{V_{PTH}}{V_{IN}} \right) + \left(\frac{V_{PTH}}{V_{IN}} \right) - 1 \right] \quad (30)$

ここで、 V_{IN} は入力電圧、 T_{SS} はスタートアップ時間です。

起動時の負荷をさまざまな組み合わせで使用すると、表 8-2 に示す式を使用して総平均突入電力損失 (P_{INRUSH}) を計算できます。起動を成功させるには、式 31 に記載されている条件をシステムが満たしている必要があります。

$$P_{INRUSH}(W) \sqrt{T_{SS}(s)} < 10 \times N \quad (31)$$

ここで、 N は並列に配置された eFuse の数、 $10W\sqrt{s}$ はシングル TPS25984x eFuse の SOA 制限です。この式を使用して、許容される最大 T_{SS} を求めることができます。

注

TI は、起動の問題を防止するため、5ms ~ 120ms の範囲の T_{SS} を使用することを推奨します。

前に計算した T_{SS} の必要な値を設定するため、DVDT ピンと GND の間にコンデンサ (C_{DVDT}) を追加する必要があります。 C_{DVDT} の値の計算には、式 32 を使用します。並列チェーン内のすべての eFuse の DVDT ピンは互いに接続する必要があります。

$$C_{DVDT}(pF) = \frac{42000}{V_{IN}(V)/T_{SS}(ms)} \quad (32)$$

この設計例では、 $C_{LOAD} = 50mF$ 、 $R_{LOAD(Startup)} = 0.48\Omega$ 、 $V_{RTH} = 0V$ 、 $V_{IN} = 12V$ 、 $T_{SS} = 10ms$ です。 P_{INRUSH} は表 8-2 に示されている式を使用して、410W と計算されます。システムが式 31 に記載されている条件を満たしているため、起動を成功させることができます。式 31 が当てはまらない場合は、起動時にサーマル シャットダウンの可能性を避けるために、起動負荷または T_{SS} を調整する必要があります。 $V_{IN} = 12V$ 、 $T_{SS} = 10ms$ および式 32 を使用して、必要な C_{DVDT} 値は 35nF と計算できます。 C_{DVDT} に最も近い標準値は 33nF で、許容誤差 10%、DC 電圧定格 25V です。

注

一部のシステムでは、オン スレッショルド電圧が低いアクティブ負荷回路 (DC-DC コンバータなど) が存在しており、eFuse による突入シーケンスが完了する前に、そのような電流の引き込みを開始できることがあります。この動作により、起動時に eFuse 内部の消費電力が増加し、サーマル シャットダウンを引き起こす可能性があります。TI は、負荷回路をイネーブルおよびディセーブルするために、eFuse のパワー グッド (PG) ピンの使用を推奨します。この操作により、eFuse のスタートアップが完了し、サーマル シャットダウンに達するリスクを伴わずに最大電力を供給する準備ができたときだけ、負荷がオンになることができます。

- **R_{IREF} 抵抗を選択して、過電流保護とアクティブ電流共有のリファレンス電圧を設定する**

この並列構成では、1 次側 eFuse の IREF 内部電流源 (I_{IREF}) は、外部 IREF ピン抵抗 (R_{IREF}) と相互作用して、過電流保護およびアクティブ電流共有ブロック用の基準電圧 (V_{IREF}) を生成します。システム電流を監視したり、VR コントローラ内にプラットフォーム電力制御 (Intel® PSYS) 機能を実装するために、IMON ピン (V_{IMON}) の電圧を ADC への入力として使用する場合、 V_{IREF} をコントローラの ISYS_IN 入力の最大電圧範囲の半分に設定する必要があります。この動作により、システムが高速トリップ スレッショルド ($2 \times I_{OCP}$) までの負荷電流を正確に監視するために必要なヘッドルームとダイナミックレンジを確保します。 R_{IREF} の値の計算には、式 33 を使用します。

$$V_{IREF} = I_{IREF} \times R_{IREF} \quad (33)$$

この設計例では、 V_{IREF} は 1V に設定されています。 $I_{IREF} = 24.99 \mu A$ (標準値) を使用すると、目標 R_{IREF} は 40k Ω と計算できます。 R_{IREF} に最も近い標準値は 40.2k Ω で、許容誤差は 0.1%、電力定格は 100mW です。ノイズ耐性を向上させるため、IREF ピンから GND に 1000-pF のセラミックコンデンサを配置します。並列チェーン内のすべての eFuse の IREF ピンは互いに接続する必要があります。

注

過電流検出回路の正常な動作を保証するために、 V_{IREF} を推奨電圧範囲内に維持します。

- **定常状態時における過電流 (回路ブレーカ) および高速トリップのスレッショルドを設定するための R_{IMON} 抵抗を選択する**

TPS25984x eFuse は、定常状態における出力過電流状態に対し、ユーザーが調整可能な過渡フォルトのブランキング間隔の後に、出力をオフにすることで応答します。この eFuse は、合計システム電流 (I_{OUT}) 連続的に検出し、IMON ピンに比例したアナログ電流出力 (I_{IMON}) を生成します。これにより、負荷電流に応答して IMON ピン抵抗 (R_{IMON}) の両端に電圧 (V_{IMON}) が生成されます。これは、式 34 と定義されます。

$$V_{IMON} = I_{OUT} \times G_{IMON} \times R_{IMON} \quad (34)$$

G_{IMON} は電流モニタゲイン ($I_{IMON}: I_{OUT}$) で、その標準値は 18.13 $\mu A/A$ です。過電流状態は、 V_{IMON} をスレッショルドとして V_{IREF} と比較することで検出されます。定常状態における回路ブレーカのスレッショルド (I_{OCP}) は、式 35 を使用して計算できます。

$$I_{OCP} = \frac{V_{IREF}}{G_{IMON} \times R_{IMON}} \quad (35)$$

この設計例では、 I_{OCP} は $I_{OUT(max)}$ の約 1.1 倍と見なされます。したがって、 I_{OCP} は 300A に設定し、 G_{IMON} が 18.13 $\mu A/A$ 、 V_{IREF} が 1V のとき、 G_{IMON} は 183.8 Ω と計算できます。 R_{IMON} の最も近い値は、公差 0.1%、電力定格は 100mW で 182 Ω です。ノイズを低減するため、IMON ピンと GND の間に 22-pF のセラミックコンデンサを配置します。並列チェーン内のすべての eFuse の IMON ピンは互いに接続する必要があります。

注

R_{IMON} を選択する際は、各デバイスが流す電流ではなく、システム出力電流 (I_{OUT}) を考慮する必要があります。

- **R_{ILIM}** 抵抗の選択により、起動時に電流制限と高速トリップ スレッシュホールド、および定常状態時のアクティブ シェアリング スレッシュホールドを設定できます

R_{ILIM} は、並列チェーン内のデバイス間における定常状態時でのアクティブ電流共有スレッシュホールドと起動時の過電制限を設定するために使用されます。各デバイスは、自身を流れる電流 (I_{DEVICE}) を継続的に監視し、自身の ILIM ピンに比例したアナログ出力電流を出力します。これにより、それぞれの ILIM ピン抵抗 (R_{ILIM}) の両端に比例した電圧 (V_{ILIM}) が生成されます。これは、式 36 と表されます。

$$V_{ILIM} = I_{DEVICE} \times G_{ILIM} \times R_{ILIM} \quad (36)$$

G_{ILIM} は電流モニタ ゲイン (I_{ILIM}: I_{DEVICE}) で、標準値は 18.13μA/A です。

- **定常状態でのアクティブ電流共有:** このメカニズムは、デバイスが定常状態に達した後のみ動作し、自身の負荷電流情報 (V_{ILIM}) を、アクティブ電流共有リファレンス (CLREF_{LIN}) スレッシュホールドと比較することで、独立して動作します。これは、式 37 と定義されます。

$$CLREF_{LIN} = \frac{1.1 \times V_{IREF}}{3} \quad (37)$$

したがって、並列接続されたデバイス数を N として、アクティブ電流共有スレッシュホールドを I_{OCP}/N と定義するために、R_{LIM} は式 38 を使用して計算する必要があります。N = 5、R_{IMON} = 182Ω、および式 38 を使用して、R_{ILIM} は 333.3Ω と計算できます。各デバイスの R_{ILIM} として、公差 0.1%、定格電力 100mW の、最も近い標準値 332Ω の抵抗が選択されます。

$$R_{ILIM} = \frac{1.1 \times N \times R_{IMON}}{3} \quad (38)$$

注

R_{ILIM} の値を決定する際、I_{OCP}/N と異なるアクティブ電流供給 (I_{LIM(ACS)}) に異なるスレッシュホールドが必要な場合は、式 39 を使用する必要があります。

$$R_{ILIM} = \frac{1.1 \times V_{IREF}}{3 \times G_{ILIM} \times I_{LIM(ACS)}} \quad (39)$$

次のサブセクションのスタートアップ時に電流制限スレッシュホールドを計算する場合は、必ずこの R_{ILIM} の値を使用してください。

- **起動時の過電流制限:** 突入時は、式 40 に示すように、自身の負荷電流情報 (V_{ILIM}) をスケールされた基準電圧と比較することで、各デバイスの過電流状態を検出します。

$$CLREF_{SAT} = \frac{0.7 \times V_{IREF}}{3} \quad (40)$$

スタートアップ時の電流制限スレッシュホールドは、式 41 を使用して計算できます。

$$I_{ILIM(Startup)} = \frac{CLREF_{SAT}}{G_{ILIM} \times R_{ILIM}} \quad (41)$$

各デバイスに R_{ILIM} の値を 332Ω にすると、スタートアップ電流は各デバイスごとに約 38A に制限されます。

注

アクティブ電流制限ブロックは、起動時に V_{OUT} に基づくフォールドバック機構を採用します。V_{OUT} がフォールドバック スレッシュホールド (V_{FB}) の 2V を下回ると、電流制限スレッシュホールドはさらに低下します。

- **C_{ITIMER}** コンデンサを選択して、過電流ブランキング タイマを設定します

サーキットブレーカ スレッシュホールドを超える負荷過渡を許容する時間を調整するには、適切なコンデンサを ITIMER ピンにグラウンドに接続する必要があります。過渡過電流ブランキング期間は、式 42 を使用して計算できます。

$$t_{ITIMER}(ms) = \frac{C_{ITIMER}(nF) \times \Delta V_{ITIMER}(V)}{I_{ITIMER}(\mu A)} \quad (42)$$

ここで、 t_{ITIMER} は過渡過電流ブランキング タイマ、 C_{ITIMER} は 1 次側デバイスの ITIMER ピンと GND の間に接続されたコンデンサです。 $I_{ITIMER} = 2.05\mu A$ および $\Delta V_{ITIMER} = 1.5V$ 。この設計では、公差 10%、DC 電圧定格 25V の A 22-nF コンデンサが 1 次側デバイスの C_{ITIMER} として使用されており、 t_{ITIMER} が 16.5ms になります。すべてのセカンダリ デバイスの ITIMER ピンは、オープンのままにします。

- 低電圧誤動作防止スレッシュホールドを設定するための抵抗を選択する

低電圧誤動作防止 (UVLO) スレッシュホールドは、過電圧保護セクションに記載されているように、デバイスの IN、EN/UVLO、GND の各ピン間に接続された R_1 と R_2 の外部電圧分割回路網を使用して調整します。UVLO スレッシュホールドを設定するために必要な抵抗値は、式 43 を使用して計算します。

$$V_{IN(UV)} = V_{UVLO(R)} \frac{R_1 + R_2}{R_2} \quad (43)$$

TI は、電源から引き込まれた入力電流を最小限に抑えるため、 R_1 および R_2 に高い抵抗値を使用することを推奨します。 R 電源からによって引き出される電流 I_1 と R_2 は、 $I_{R12} = V_{IN} / (R_1 + R_2)$ です。ただし、この抵抗列に外部のアクティブ部品が接続されたことによるリーク電流は、これらの計算に誤差を生じさせる可能性があります。したがって、抵抗列電流 I_{R12} は、EN/UVLO ピン (I_{ENLKG}) のリーク電流の 20 倍にする必要があります。デバイスの電氣的仕様から、 I_{ENLKG} は $0.1\mu A$ (最大値)、UVLO 立ち上がりスレッシュホールド $V_{UVLO(R)} = 1.2V$ です。設計要件から $V_{IN(UV)} = 10.8V$ です。まず、 $R_1 = 1M\Omega$ の値を選択し、式 13 を使用して $R_2 = 125k\Omega$ を計算します。直近の標準的な 1% 抵抗値を使用: $R_1 = 1M\Omega$ および $R_2 = 124k\Omega$ です。ノイズを低減するため、EN/UVLO ピンと GND の間に 1000-pF のセラミック コンデンサを配置します。

- **VIN と VDD の間の R-C フィルタを選択する**

VDD ピンは、システム過渡の影響を受けない、フィルタリングされ、安定した電源で eFuse の内部制御回路に電力を供給することを目的としています。このため、入力電源 (IN ピン) から VDD ピンに $R (10\Omega) - C (2.2\mu F)$ フィルタを使用してください。これは、電源ノイズをフィルタリングして、出力での短絡などの重大な故障が発生した場合にコントローラ電源を維持するのに役立ちます。並列チェーンでは、この R-C フィルタを各デバイスに採用する必要があります。

- **SWEN、PG、 \overline{FLT} ピンのプルアップ抵抗と電源を選択する**

\overline{FLT} と PG はオープンドレイン出力です。これらのロジック信号を使用する場合、対応するピンを 10k Ω プルアップ抵抗によって適切な電圧 (< 5V) にプルアップする必要があります。

注意

SWEN ピンは、100-k Ω 抵抗を介して 2.5V ~ 5V の範囲の電圧にプルアップする必要があります。このプルアップ電源は、入力から eFuse に生成され、eFuse がイネーブルになる前に使用できる必要があります。このプルアップ電源がなければ、eFuse は起動しません。

PG ピンは、100-k Ω 抵抗を介して 2.5V ~ 5V の範囲の電圧にプルアップする必要があります。

- 入力側の TVS ダイオードと出力側のショットキー ダイオードの選択

デバイスが瞬間的に大量の電流を遮断する短絡および過負荷電流による制限が発生した場合、入力インダクタンスによって入力に正の電圧スパイクが生成され、出力インダクタンスによって出力に負の電圧スパイクが生成されます。これらの電圧スパイク (過渡現象) のピーク振幅は、デバイスの入力または出力と直列のインダクタンスの値に依存しま

す。適切な手順を講じない場合、これらの過渡現象はデバイスの絶対最大定格を超え、最終的には電氣的オーバーストレス (EOS) による損傷につながる可能性があります。この問題に対処する一般的な方法は、以下のとおりです。

1. デバイスの入出力において、リード長を短くしインダクタンスを最小限に抑えます。
2. PCB には、大きい GND プレーンを使用します。
3. 入力側の正の過渡スパイクをクランプするために、過渡電圧サプレッサ (TVS) ダイオードを追加します。
4. 出力の両極間にショットキー ダイオードを配置して、負のスパイクを吸収します。

IN ピンの絶対最大定格 (20V) を下回るように入力側の正の過渡電圧を効果的にクランプするための適切な TVS ダイオードの選択および並列する TVS ダイオードの数の詳細については、「[ホットスワップ回路における TVS クランピング](#)」および「[ホットスワップおよび ORing アプリケーションにおける TVS ダイオードの選択](#)」を参照してください。これらの TVS ダイオードは、ホット プラグ イベント時の IN ピンでの過渡電圧を制限するのにも役立ちます。この設計例では、SMDJ12A を 4 個並列に使用しています。

注

eFuse の安全な動作のために、 I_{pp} (10/1000 μ s) (V) で選択された TVS ダイオードの最大クランプ電圧 V_C 仕様は、電力入力 (IN) ピンの絶対最大定格よりも低くなければなりません。

ショットキー ダイオードは、以下の基準に基づいて選択する必要があります。

- 選択したダイオードの非反復ピーク順方向サージ電流 (I_{FSM}) は、高速トリップ スレッショルドよりも大きくなければなりません ($2 \times I_{OCP(TOTAL)}$)。単一のショットキー ダイオードが必要な I_{FSM} 定格を満たすことができない場合は、2 つ以上のショットキー ダイオードを並列に使用する必要があります。式 44 は、並列に接続する必要があるショットキー ダイオード ($N_{Schottky}$) の数を計算します。

$$N_{Schottky} > \frac{2 \times I_{OCP(TOTAL)}}{I_{FSM}} \quad (44)$$

- I_{FSM} に近い順方向電圧降下 (V_F) は、できるだけ小さくする必要があります。理想的には、OUT ピンでの負の過渡電圧は、OUT ピンの絶対最大定格 (-1V) 内にクランプされる必要があります。
- DC ブロック電圧 (V_{RM}) は、最大入力動作電圧より高くなければなりません。
- リーク電流 (I_R) は、できるだけ小さくする必要があります。

この設計例では、SBR10U45SP5 を 3 個並列に使用しています。

• C_{IN} および C_{OUT} を選択

TI は、入力と出力の電圧を安定させるため、セラミック バイパス コンデンサを追加することを推奨します。ホットプラグ イベント時の電流スパイクを最小限に抑えるため、 C_{IN} の値を小さく保つ必要があります。各デバイスについて、0.1 μ F の C_{IN} が妥当な目標値です。 C_{OUT} はホットプラグ中に充電されないため、各デバイスの OUT ピンには 2.2 μ F などのより大きな値を使用できます。

8.2.4 アプリケーション曲線

以下のすべての波形は、6 個の TPS25984 eFuses を並列に接続した評価セットアップ時にキャプチャしたものです。すべてのプルアップ電源は、個別のスタンバイレールから求められます。

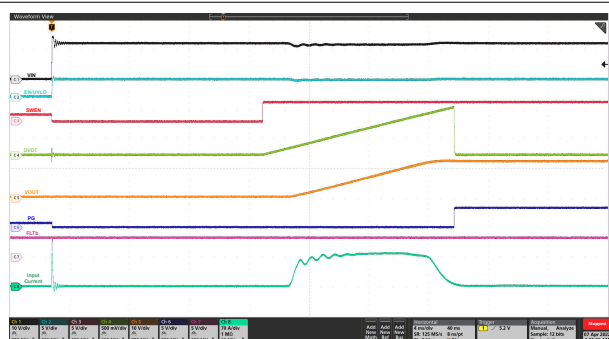


図 8-6. 入力ホット プラグ: V_{IN} が 0V から 12V に昇圧、 $C_{LOAD} = 50\text{mF}$ 、 $C_{DVT} = 33\text{nF}$ 、各デバイスの $R_{ILIM} = 442\Omega$

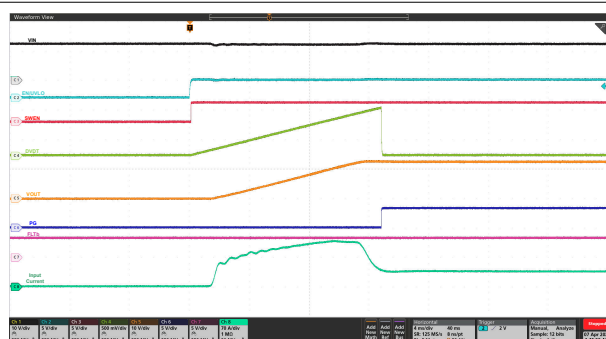


図 8-7. EN/UVLO によるスタートアップ: $V_{IN} = 12\text{V}$ 、EN/UVLO が 0V から 3V に昇圧、 $C_{LOAD} = 50\text{mF}$ 、 $R_{LOAD(\text{start-up})} = 0.48\Omega$ 、 $C_{DVT} = 33\text{nF}$ 、各デバイスの $R_{ILIM} = 442\Omega$



図 8-8. パワーアップ時の短絡: $V_{IN} = 12\text{V}$ 、EN/UVLO は 0V から 3V に昇圧、 $R_{REF} = 40.2\text{k}\Omega$ 、各デバイスの $R_{ILIM} = 442\Omega$ 、OUT は GND に短絡

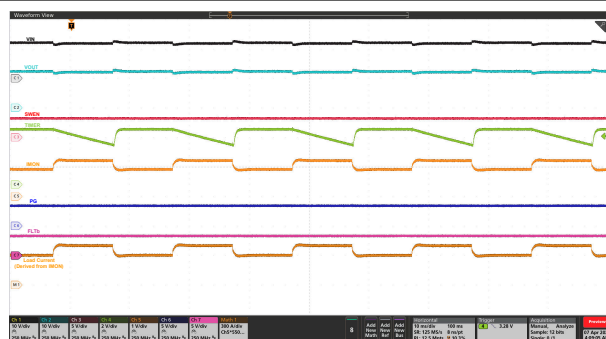


図 8-9. 過渡過負荷: $V_{IN} = 12\text{V}$ 、 $C_{TIMER} = 22\text{nF}$ 、 $C_{LOAD} = 50\text{mF}$ 、 $R_{IMON} = 200\Omega$ 、 $R_{REF} = 40.2\text{k}\Omega$ 、負荷電流を 250A ~ 300A の範囲で変化させた後、10ms 以内に 250A に変化させます

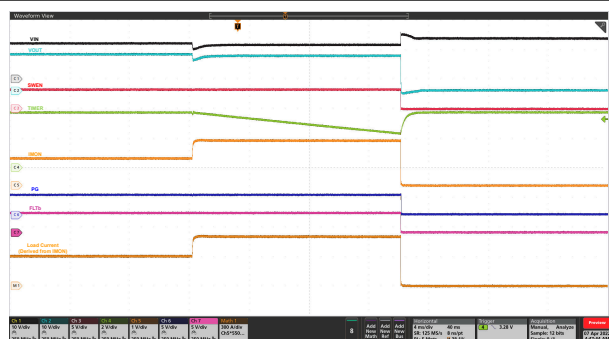


図 8-10. サーキット ブレーカ応答: $V_{IN} = 12\text{V}$ 、 $C_{TIMER} = 22\text{nF}$ 、 $C_{LOAD} = 50\text{mF}$ 、 $R_{IMON} = 200\Omega$ 、 $R_{REF} = 40.2\text{k}\Omega$ で、負荷電流は 20ms を超えて 250A から 400A に上昇しました

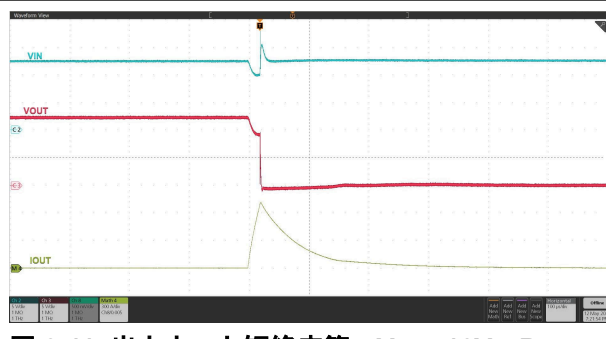


図 8-11. 出力ホット短絡応答: $V_{IN} = 12\text{V}$ 、 $R_{IMON} = 200\Omega$ 、 $R_{REF} = 40.2\text{k}\Omega$ 、OUT を GND に短絡



図 8-12. 室温での 110-A DC 電流による並列温度上昇 (エアフローなし) の 2 つのデバイス

8.3 設計のベスト プラクティス

TPS25984x では、SWEN ピンを電源レールにプルアップする必要があります。この電源レールは、デバイスがイネーブルされる前にパワーアップされます。これに失敗した場合、本デバイスは出力をオンにできません。SWEN プルアップ電源は eFuse の出力から生成しないでください。SWEN のプルアップ電源レールを派生させるには、次のいずれかのオプションを使用します。

1. メイン電源入力から派生した既存のスタンバイレールをシステム内で使用し、eFuse をオンにする前に起動します。
2. メイン電源入力から電力を供給される LDO (3.3V または 5V) を使用します。

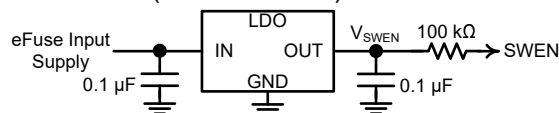


図 8-13. SWEN のプルアップ電源として LDO を使用

3. メイン電源入力から電力を供給されるツェナーを使用します。

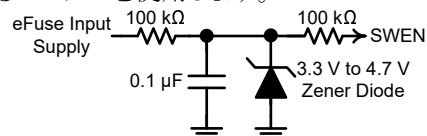


図 8-14. SWEN のプルアップ電源として使用されるツェナー レギュレータ

4. 1 次側 eFuse の ITIMER ピンを使用してください。ITIMER ピンに過剰な負荷が生じていないことを確認してください。これは、通常の過電流ブランキング タイマの機能を妨げる可能性があります。

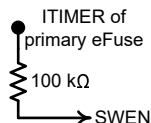


図 8-15. SWEN のプルアップ電源として ITIMER ピンを使用

PG はオープンドレインのピンであり、外部電源にプルアップする必要があります。定常状態中は、PG ピンをフローティング状態のままにしたり、ピンを外部から強制的に Low にしたりしないでください。デバイスの動作に干渉する可能性があります。

8.4 電源に関する推奨事項

TPS25984x デバイスは、IN と VDD ピンで 4.5V ~ 16V での範囲の電源電圧用に設計されています。TI は、ホットプラグ イベント時の高スルーレートの結合を回避するため、各デバイスの IN ピンに 0.1μF の最小容量を並列チェーンで使

用することを推奨します。TI は、電源ノイズをフィルタして、短絡などの重大な障害が発生したときにコントローラ電源を保持するために、各デバイスの入力電源から VDD ピンに R-C フィルタを並列チェーンで使用することも推奨します。

8.4.1 過渡保護

デバイスが電流フローに割り込むタイミングで、短絡または回路ブレーカ イベントによる制限が発生した場合、入力インダクタンスによって入力に正の電圧スパイクが生成され、出力インダクタンスによって出力に負の電圧スパイクが生成されます。電圧スパイク (過渡現象) のピーク振幅は、デバイスの入力または出力に存在する直列インダクタンスの値に依存します。この問題に何等かの策を講じない場合は、上記の過渡現象によって、デバイスの絶対最大定格を超える可能性があります。過渡現象に対処する一般的な方法は、以下のとおりです。

- デバイスの入出力において、リード長を短くしインダクタンスを最小限に抑えます。
- PCB には、大きい GND プレーンを使用します。
- 負のスパイクを吸収するために、OUT ピン接地からショットキー ダイオードを接続します。
- デバイスのすぐ近くの OUT ピンに 2.2μF 以上の低 ESR コンデンサを接続します。
- 入力過渡の立ち上がり時間を減衰させるため、デバイスのすぐ近くの IN ピンに $C_{IN} = 0.1\mu F$ 以上のセラミック コンデンサを接続します。誘導性リンギング時の正の電圧変動に耐えるため、コンデンサの電圧定格は入力電源電圧の少なくとも 2 倍である必要があります。

入力容量の近似値は、式 45 を使用して推定できます。

$$V_{SPIKE(Absolute)} = V_{IN} + I_{LOAD} \times \sqrt{\frac{L_{IN}}{C_{IN}}} \quad (45)$$

ここで、

V_{IN} は公称電源電圧です。

I_{LOAD} は負荷電流です。

L_{IN} はソースから見た実効インダクタンスに等しい値です。

C_{IN} は入力に存在する容量です。

- 一部のアプリケーションでは、過渡状態においてデバイスの絶対最大定格を超えないように、過渡電圧サプレッサ (TVS) の追加が必要になる場合があります。場合によっては、過渡の最大振幅がデバイスの絶対最大定格を下回った場合でも、TVS は過度のエネルギー ダンプを吸収し、IC の入力電源ピンに非常に高速な過渡電圧が生じて内部制御回路に結合し、予期しない動作を引き起こすのを防ぐのに役立ちます。

オプションの保護部品を使用した回路実装例を、図 8-16 に示します。

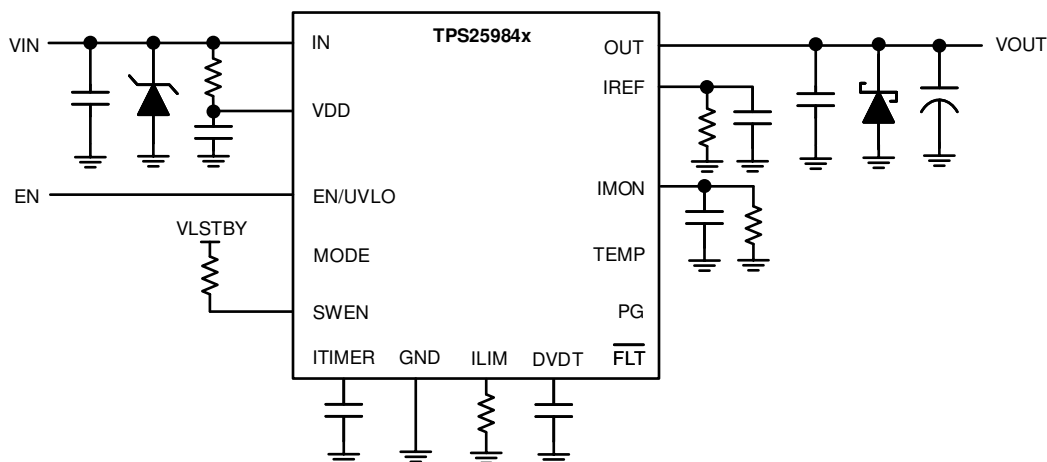


図 8-16. オプションの保護部品を使用した回路実装

8.4.2 出力短絡測定

再現可能で同様の短絡テスト結果を得るということは困難です。結果のばらつきの原因には、次のようなものがあります。

- ソース バイパス
- 入力リード線
- 回路レイアウト
- 部品選定
- 出力短絡方法
- 短絡の相対位置
- 計測

実際の短絡は、微視的に跳ね返ったり弧を描いたりするため、ある程度のランダム性を示します。現実的な結果を得るために、設定と方法が使用されていることを確認します。すべての設定は異なっているため、このデータシートの波形とまったく同じような波形が見られることを期待しないでください。

8.5 レイアウト

8.5.1 レイアウトのガイドライン

- すべての用途に対して、TI は 0.1 μF 以上のセラミック デカップリング コンデンサを、IN 端子と GND 端子の間に使用することを推奨します。
- すべての用途に対して、TI は 2.2 μF 以上のセラミック デカップリング コンデンサを、OUT 端子と GND 端子の間に使用することを推奨します。
- デカップリング コンデンサの最適な配置は、デバイスの IN および GND 端子にできるだけ近づけて配置します。バイパス コンデンサ接続、IN 端子、および IC の GND 端子によって形成されるループ領域を最小限に抑えるように注意する必要があります。PCB レイアウト例については、以下の図を参照してください。
- 大電流を流すパワー バス接続はできる限り短くし、全負荷電流の 2 倍以上が流れるようにサイズを調整する必要があります。
- GND 端子は、IC の端子で PCB グランド プレーンに接続する必要があります。PCB の接地は、基板上の銅プレーンまたはアイランドである必要があります。
- IN および OUT ピンを使用して放熱を行います。サーマル ビアでできるだけ多くの銅の面積に接続します。
- 次のサポート部品を接続ピンの近くに配置します。
 - R_{ILIM}
 - R_{IMON}
 - R_{IREF}
 - C_{dVdT}
 - C_{ITIMER}
 - C_{IN}
 - C_{OUT}
 - C_{VDD}
 - EN/UVLO ピン用の抵抗
- 部品のもう一方の端を、最短のパターン長でデバイスの GND ピンに接続します。 C_{IN} 、 C_{OUT} 、 C_{VDD} 、 C_{IREF} 、 R_{ILIM} 、 R_{IMON} 、 C_{ITIMER} 、 C_{dVdT} 部品の配線は、電流制限、過電流ブランピングおよびソフトスタート タイミングに対する寄生効果を低減するために、できるだけ短くする必要があります。これらのトレースは基板上のスイッチング信号と結合しないでください。
- IMON、ILIM、IREF ピンはデバイスの過電流保護動作を直接制御するため、これらのノードの PCB 配線はノイズの多い (スイッチング) 信号から遠ざける必要があります。
- TI は、同期の問題を回避するため、SWEN ピンの寄生負荷を最小限に抑えることを推奨します。
- TVS、スナバ、コンデンサ、ダイオードなどの保護デバイスは、物理的に保護対象のデバイスの近くに配置する必要があります。インダクタンスを減らすため、これらの保護デバイスは短いパターンで配線する必要があります。たとえば、誘導性負荷のスイッチングによる負の過渡事象に対処するために、TI は保護ショットキー ダイオードを推奨します。このダイオードは、物理的に OUT ピンの近くに配置する必要があります。

8.5.2 レイアウト例

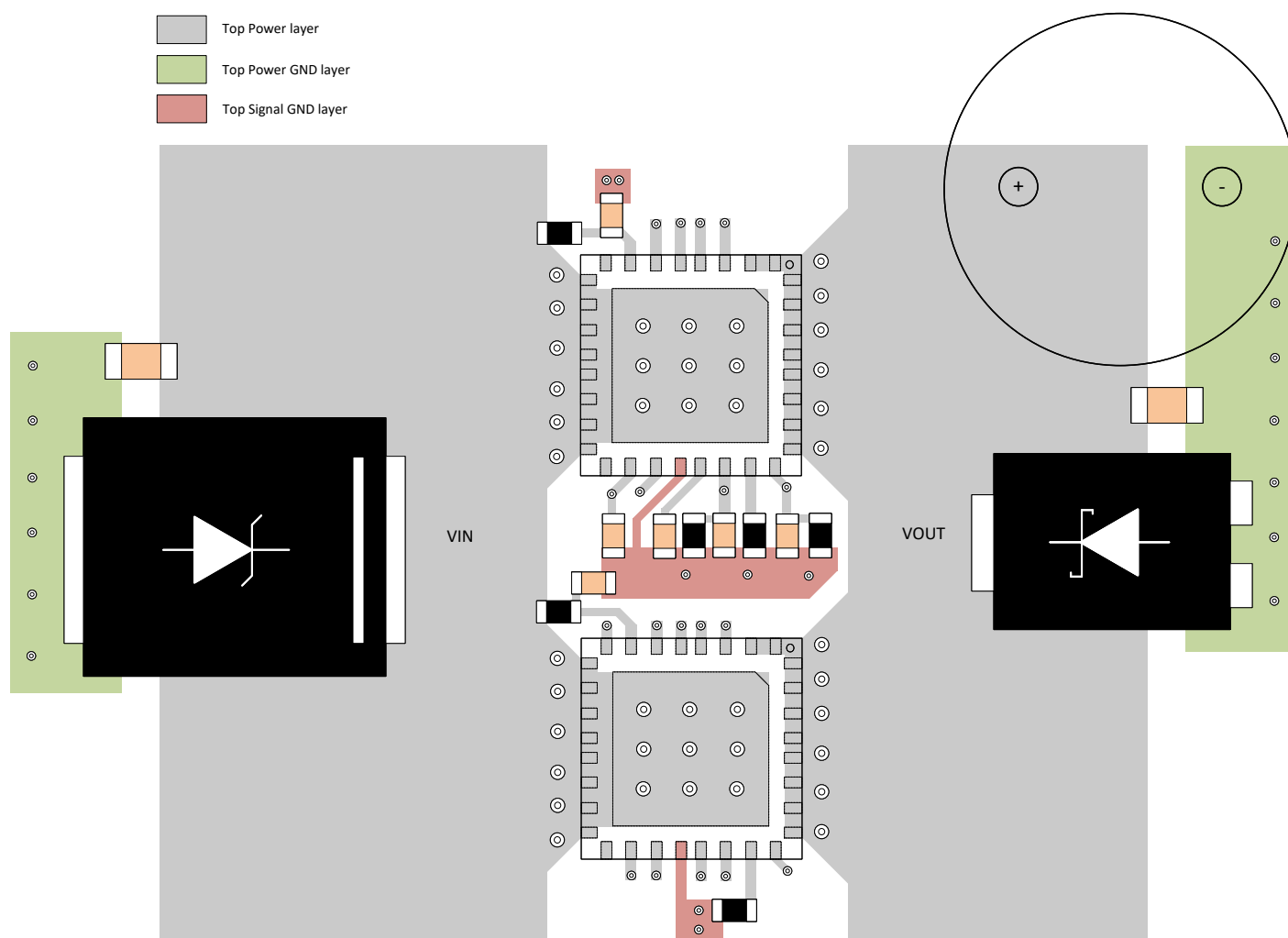


図 8-17. TPS25984x 2 並列デバイスのレイアウト例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『[TPS25984EVM eFuse 評価基板ユーザー ガイド](#)』
- テキサス インスツルメンツ、『[TPS25984x 設計カリキュレータ](#)』

9.2 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 商標

PROCHOT™ and Intel PSYS™ are trademarks of Intel.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

Intel® is a registered trademark of Intel.

is a registered trademark of intel.

PMBus® is a registered trademark of SMIF.

すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (October 2023) to Revision B (April 2025)	Page
• R _{ON} (室温) を 0.87mΩ (最大値) から「電気的特性」表の 1.13mΩ (最大) に.....	6
• R _{ON} (全温度範囲) を 1.16mΩ (最大値) から「電気的特性」表の 1.5mΩ (最大) に.....	6
• R _{ON(ACS)} を 1.12mΩ (最大値) から「電気的特性」表の 1.8mΩ (最大) に.....	6
• R _{ON(GHI)} を 1.4mΩ (最大値) から「電気的特性」表の 1.8mΩ (最大) に.....	6

Changes from Revision * (July 2023) to Revision A (October 2023)	Page
• データシートの最初の公開リリース.....	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS259840RZJR	Active	Production	WQFN-FCRLF (RZJ) 32	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 259840
TPS259840RZJR.A	Active	Production	WQFN-FCRLF (RZJ) 32	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 259840
TPS259841RZJR	Active	Production	WQFN-FCRLF (RZJ) 32	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 259841
TPS259841RZJR.A	Active	Production	WQFN-FCRLF (RZJ) 32	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TPS 259841

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

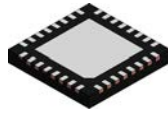
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS259840RZJR	WQFN-FCRLF	RZJ	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
TPS259841RZJR	WQFN-FCRLF	RZJ	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

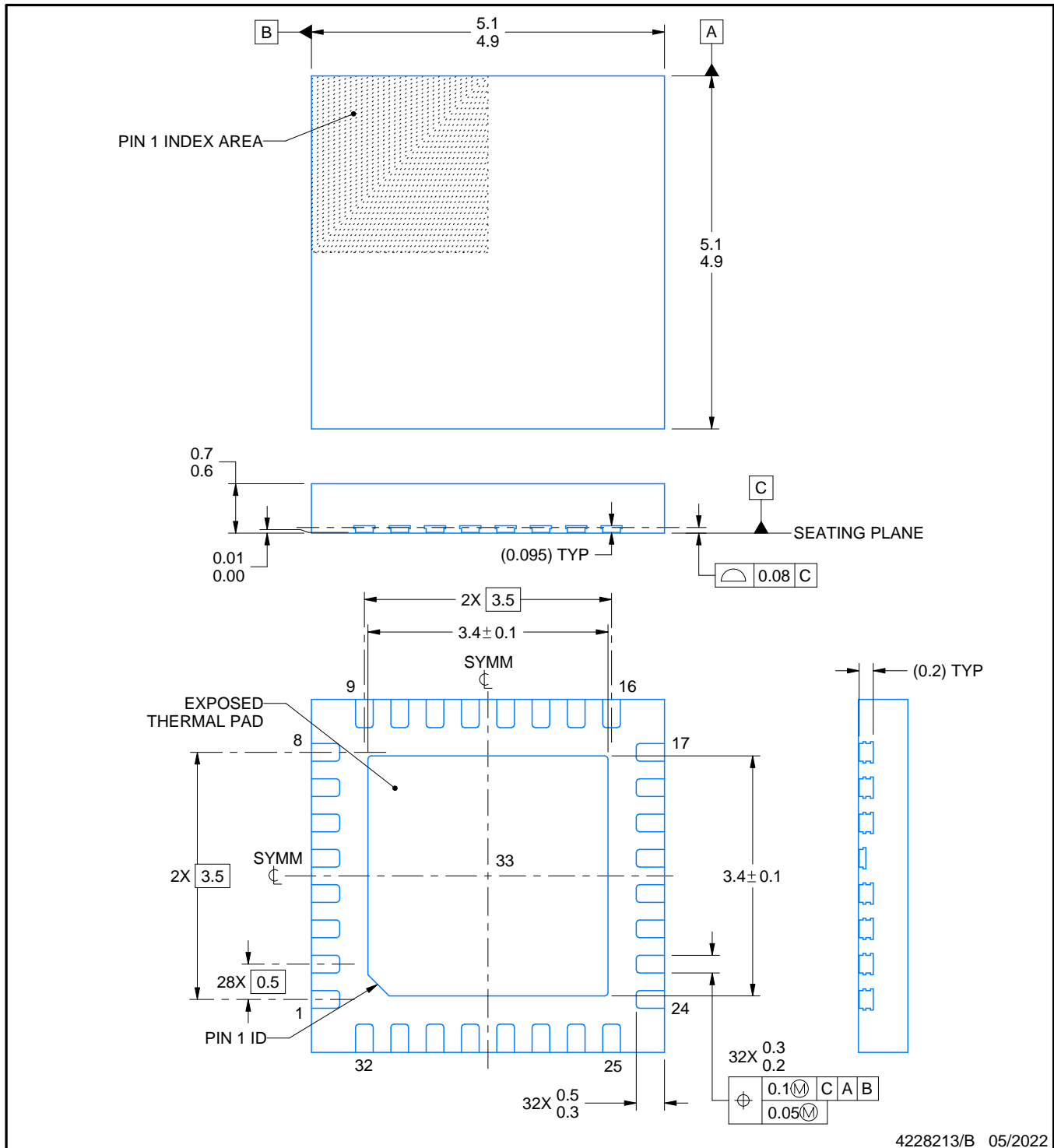
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS259840RZJR	WQFN-FCRLF	RZJ	32	3000	346.0	346.0	33.0
TPS259841RZJR	WQFN-FCRLF	RZJ	32	3000	367.0	367.0	35.0

RZJ0032A

PACKAGE OUTLINE

WQFN-FCRLF - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

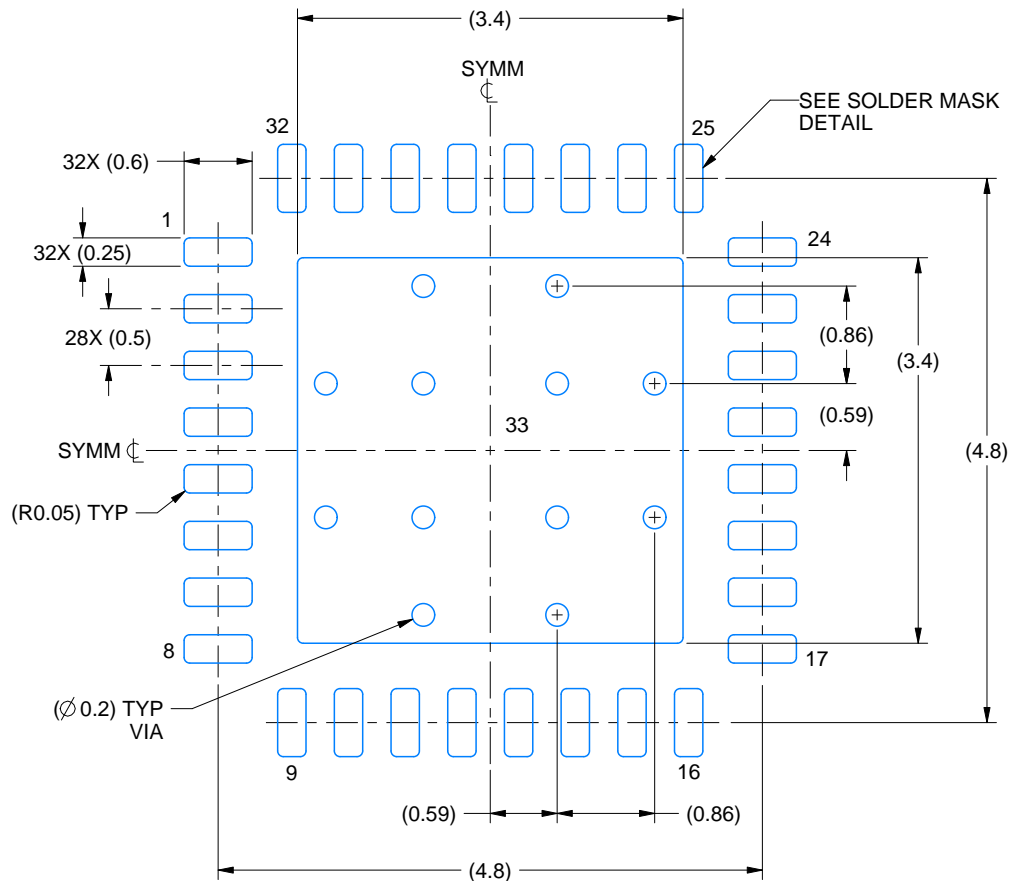
**NOTES:**

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

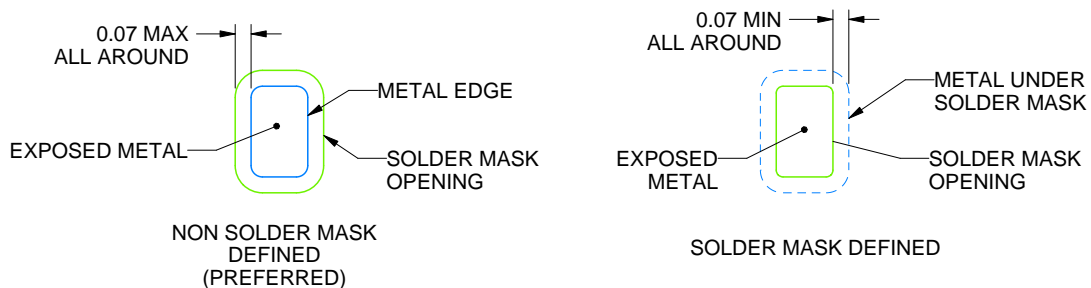
RZJ0032A

WQFN-FCRLF - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4228213/B 05/2022

NOTES: (continued)

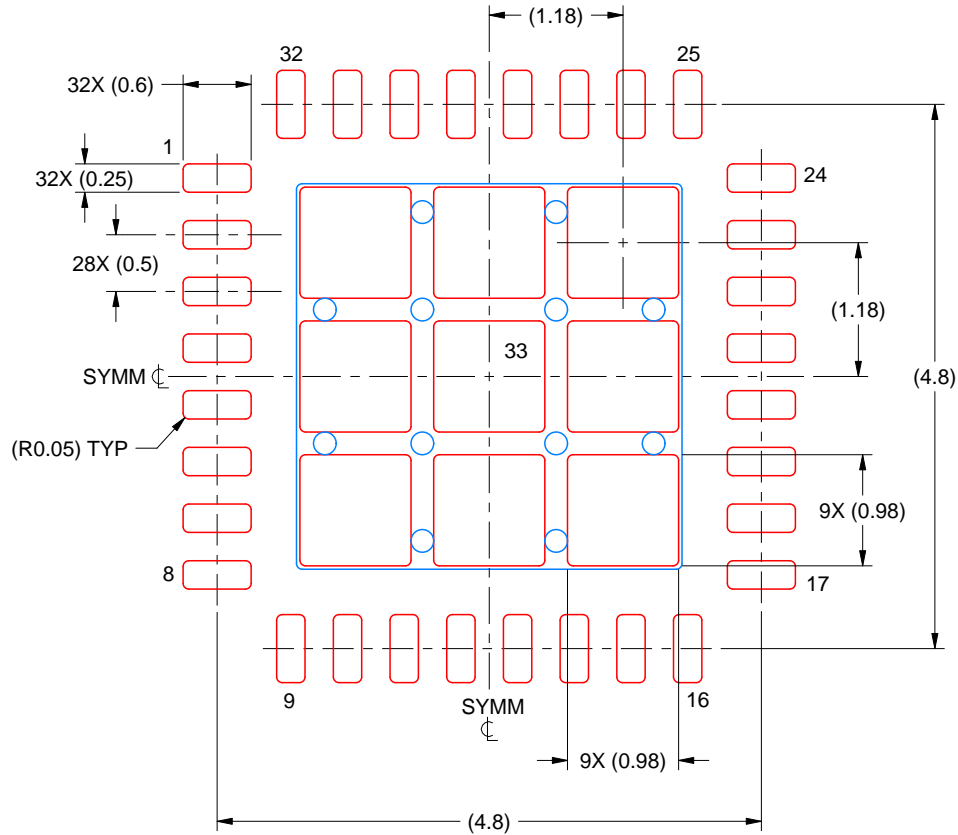
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RZJ0032A

WQFN-FCRLF - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



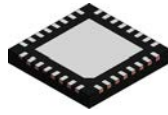
SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 15X

EXPOSED PAD 33
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4228213/B 05/2022

NOTES: (continued)

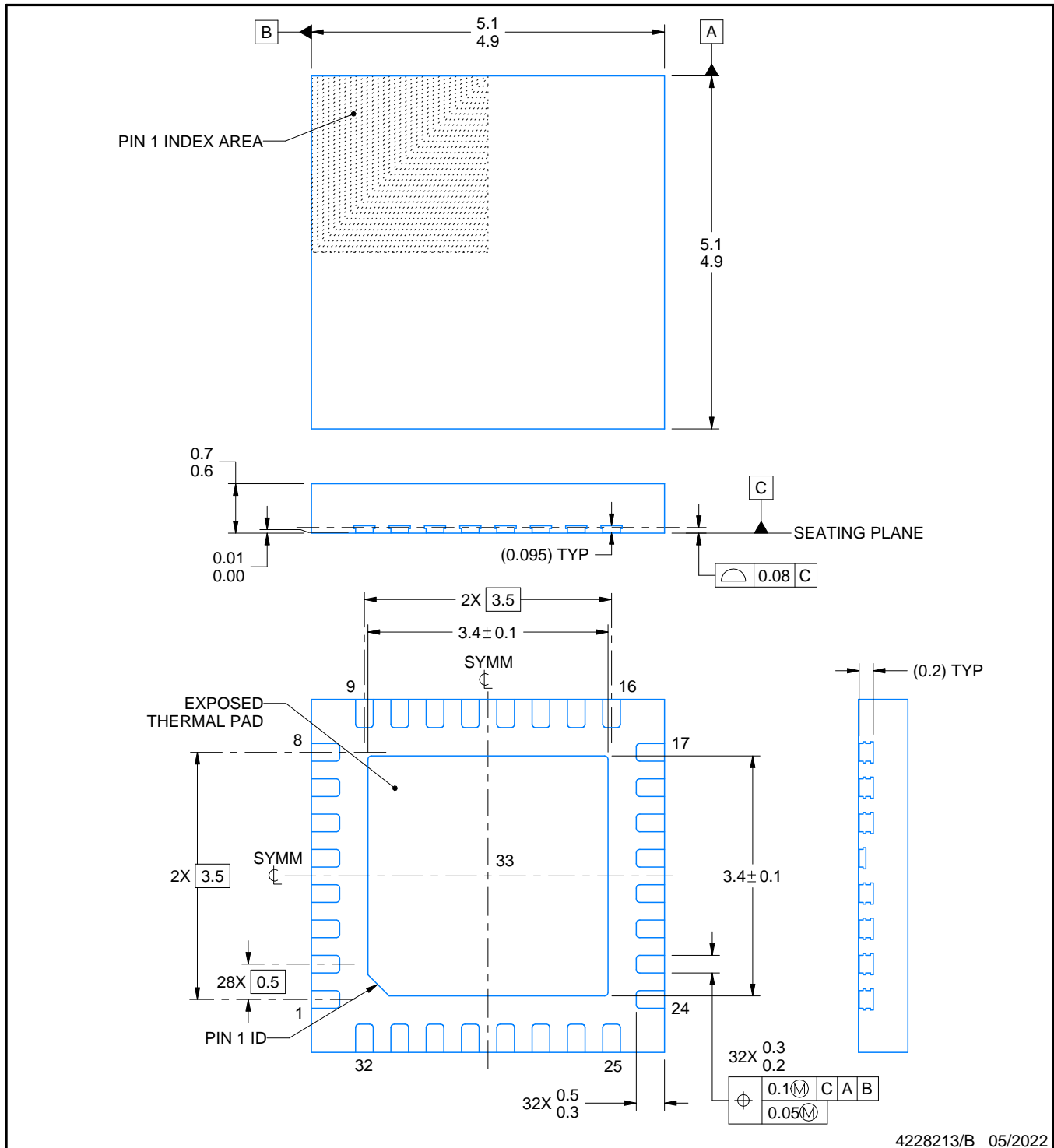
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

RZJ0032A

PACKAGE OUTLINE

WQFN-FCRLF - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

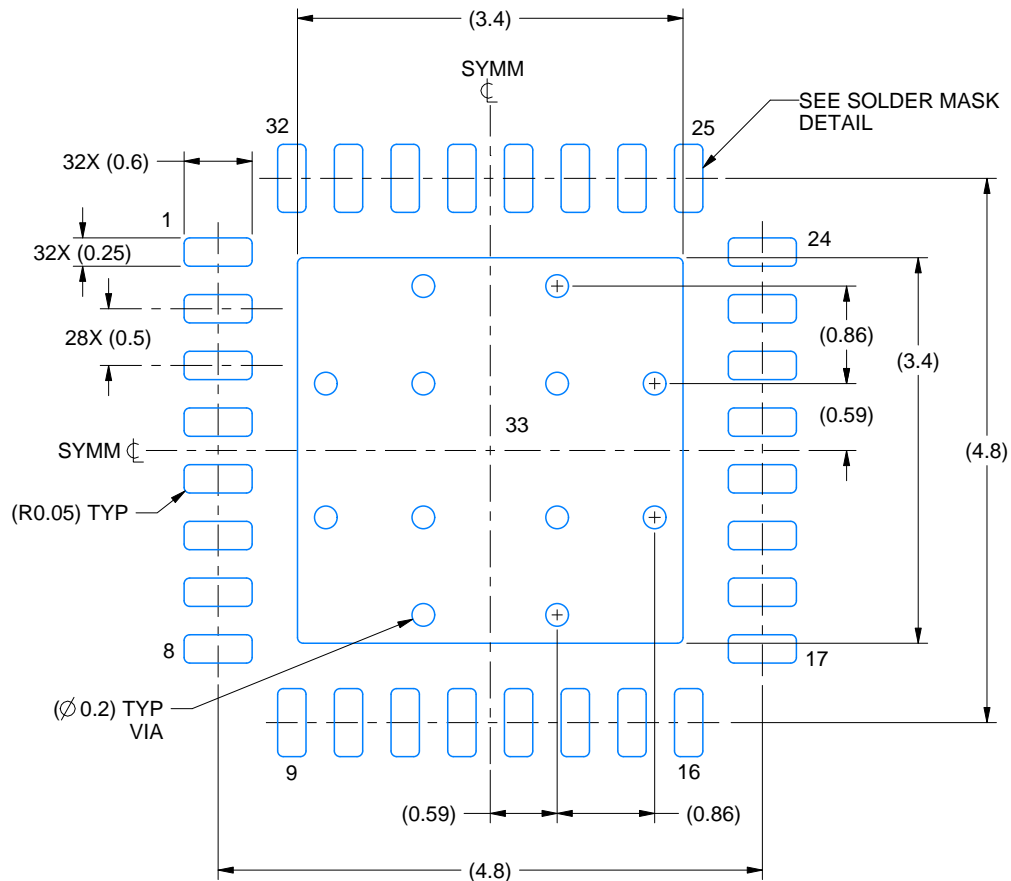
**NOTES:**

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

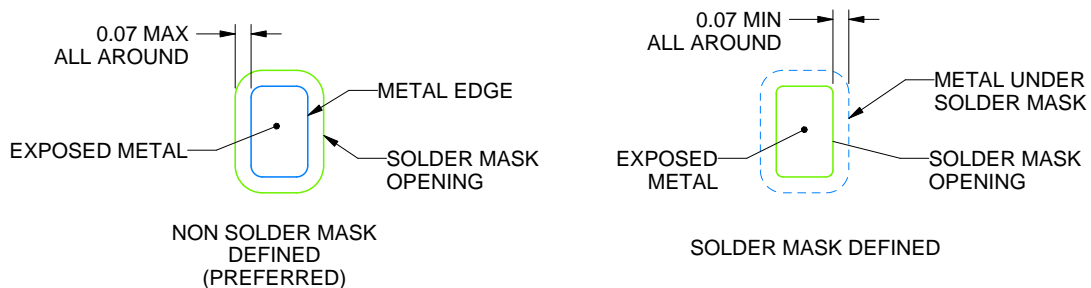
RZJ0032A

WQFN-FCRLF - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4228213/B 05/2022

NOTES: (continued)

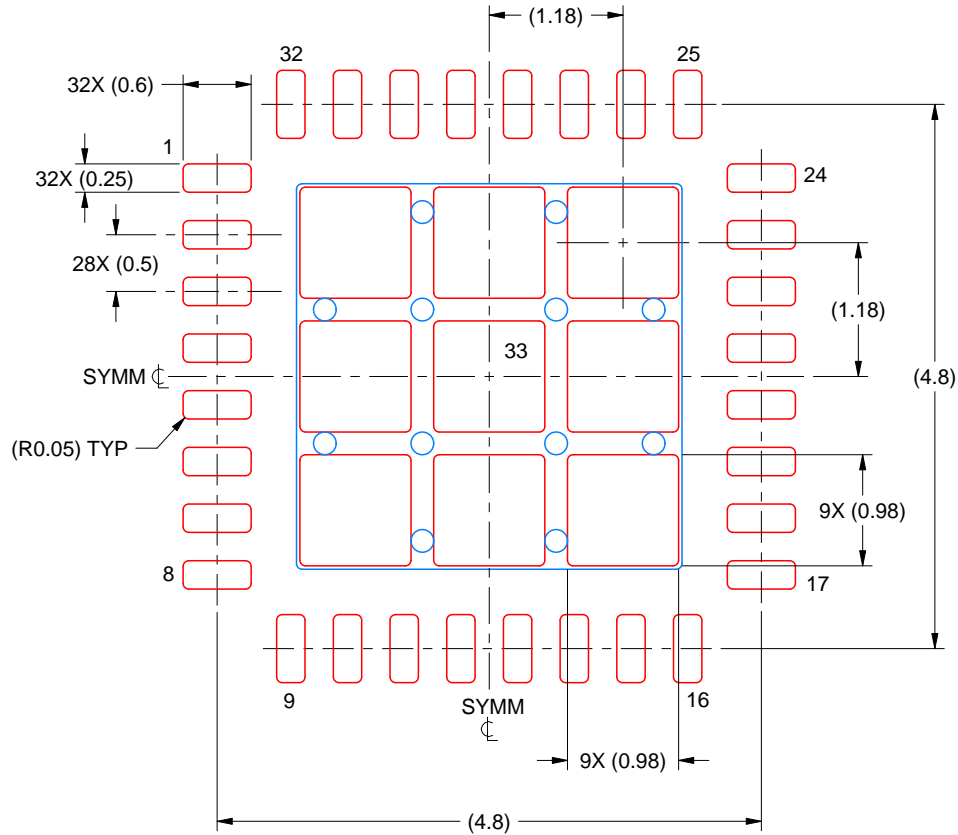
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RZJ0032A

WQFN-FCRLF - 0.7 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 15X

EXPOSED PAD 33
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4228213/B 05/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月