

TPS23881B タイプ 4、4 ペア、8 チャネル PoE 2 PSE コントローラ、自律モード、200mΩ R_{SENSE} 内蔵

1 特長

- PoE 2 タイプ 3 またはタイプ 4 Power Over Ethernet アプリケーション用の IEEE 802.3bt PSE ソリューション
- 8 つの独立した PSE チャネル
- 自律動作を抵抗で選択可能
 - 外部 MCU 不要
- テキサス・インスツルメンツの FirmPSE システム フームウェアと互換
- プログラム可能な SRAM メモリ
- $\pm 2.5\%$ の精度で電力制限をプログラム可能
- 200mΩ の電流検出抵抗
- レガシー PD 容量の測定
- 2 ペアまたは 4 ペアのポート電力割り当てを選択可能
 - 15.4W、30W、45W、60W、75W、90W
- シングルおよびデュアルシグネチャの PD 互換性
- ポートごとに専用の 14 ビット積算電流 ADC
 - DC 分離用のノイズ耐性 MPS
 - 2% の電流センシング精度
- 1 ビットまたは 3 ビットの高速ポートシャットダウン入力
- 自動クラス検出および電力測定
- 突入および動作フォールドバック保護
- 柔軟なプロセッサ制御の動作モード
 - 自動、半自動、手動 / 診断
- ポートごとの電圧監視およびテレメトリ
- 40°C～+125°C の動作温度範囲
- 超低アルファ (ULA) のパッケージ (TPS23881B1A)

2 アプリケーション

- ビデオレコーダ (NVR、DVR など)
- 小規模企業向けスイッチ
- キャンパス / 分岐スイッチ

3 説明

TPS23881B は、IEEE 802.3bt 規格に従ってイーサネットケーブルに電力を重畠するための 8 チャネル給電機器 (PSE) コントローラです。8 つの個別の電源チャネルは、2 ペア (1 チャネル) または 4 ペア (2 チャネル) の PoE ポートの任意の組み合わせに構成できます。本 PSE コントローラは、有効なシグネチャを持つ受電デバイス (PD) の検出、相互識別の完了、電力の供給を行うことができます。

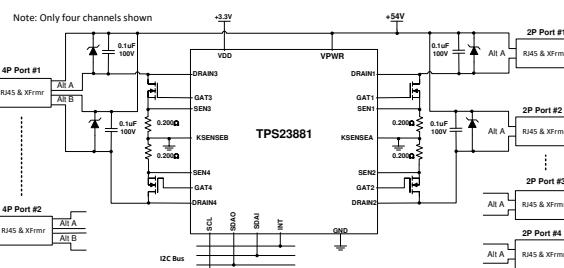
TPS23881B は TPS2388 に対して、電流センス抵抗値の低減、選択可能な自律動作、SRAM のプログラム可能性、プログラム可能な電力制限、容量測定、テキサス・インスツルメンツの FirmPSE システム フームウェアとの互換性に関して改良を加えた製品です（「デバイス比較表」を参照）。

プログラム可能な SRAM により、I²C を経由して現場でフームウェアをアップグレードでき、IEEE 準拠と、最新の PoE 対応デバイスとの相互運用性を保証できます。ポートごとに専用 ADC を備えているため、ポート電流を連続的に監視でき、また分類測定を同時に実行することでポートのターンオン時間を短縮できます。ポートの電力制限を $\pm 2.5\%$ 精度でプログラム可能ため、最大供給電力を 100W を超えることなく 90W から 125W を超える値に設定できます。200mΩ の電流センス抵抗と外部 FET を使うアーキテクチャにより、サイズ、効率、熱、ソリューションコストの要件のバランスが取れた設計が可能です。

パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)
TPS23881B	VQFN (56)	8.00mm × 8.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



概略回路図



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	8.3 機能説明.....	31
2 アプリケーション	1	8.4 デバイスの機能モード.....	34
3 説明	1	8.5 I ² C プログラミング.....	36
4 デバイス比較表	3	8.6 レジスタ マップ.....	39
5 ピン構成および機能	4	9 アプリケーションと実装	133
5.1 ピンの詳細説明.....	5	9.1 アプリケーション情報.....	133
6 仕様	7	9.2 代表的なアプリケーション.....	135
6.1 絶対最大定格.....	7	9.3 電源に関する推奨事項.....	142
6.2 ESD 定格.....	7	9.4 レイアウト.....	143
6.3 推奨動作条件.....	7	10 デバイスおよびドキュメントのサポート	146
6.4 熱に関する情報.....	7	10.1 ドキュメントのサポート.....	146
6.5 電気的特性.....	8	10.2 ドキュメントの更新通知を受け取る方法.....	146
6.6 代表的特性.....	16	10.3 サポート・リソース.....	146
7 パラメータ測定情報	21	10.4 商標.....	146
7.1 タイミング図.....	21	10.5 静電気放電に関する注意事項.....	146
8 詳細説明	25	10.6 用語集.....	146
8.1 概要.....	25	11 改訂履歴	146
8.2 機能ブロック図.....	30	12 メカニカル、パッケージ、および注文情報	147

4 デバイス比較表

主要な機能	TPS23881	TPS23881B	TPS23882B
テキサス・インスツルメンツの FirmPSE システム フームウェアと互換	該当なし	あり	あり
ピン互換	あり	あり	あり
PSE のチャネル数	8	8	8
サポートされている IEEE 802.3 PSE タイプ	PoE 2 802.3bt タイプ 3 または 4 (2 または 4 ペア)	PoE 2 802.3bt タイプ 3 または 4 (2 または 4 ペア)	PoE 2 802.3bt タイプ 3 (2 ペア)
R _{SENSE}	0.200Ω	0.200Ω	0.200Ω
自律動作 抵抗を選択可能	該当なし	あり 2 ペア: 15.5W または 30W 4 ペア: 30W、最大 90W	あり 2 ペア: 15.5W または 30W
2 ペアの P _{CUT} プログラマブル範囲	2W ~ 65W	2W ~ 65W	2W ~ 65W
4 ペアの P _{CUT} プログラマブル範囲	4W ~ 127W	4W ~ 127W	該当なし
90+W 4 ペア P _{CUT} 精度	±2.5%	±2.5%	該当なし
チャネル容量測定範囲	1μF ~ 12μF	1μF~12μF	1μF~12μF
ULA パッケージング	あり (TPS23881A)	あり (TPS23881B1A)	該当なし
I ² C プログラム可能な SRAM メモリ	16kB	16kB	16kB

5 ピン構成および機能

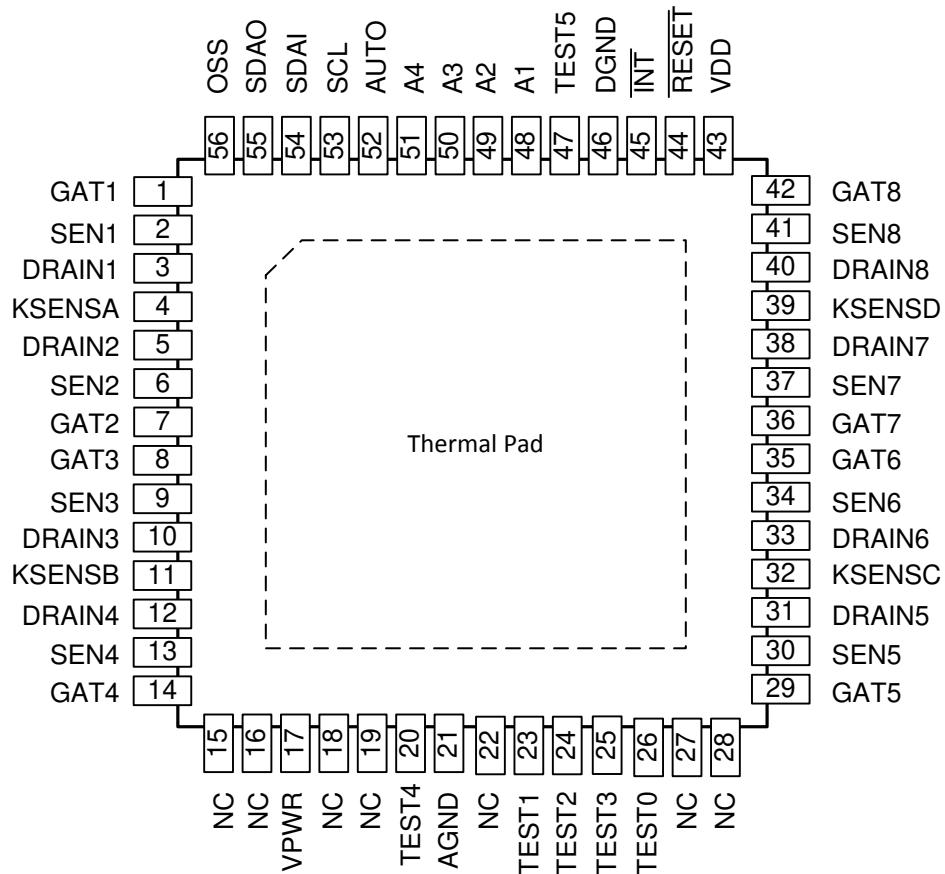


図 5-1. TPS23881B1 RTQ パッケージ(露出サーマルパッド付き)、56 ピン VQFN(上面図)

表 5-1. ピンの機能

ピン		I/O	説明
名称	番号		
A1-A4	48 ~ 51	I	I ² C A1-A4 アドレスライン。これらのピンは、内部で VDD にプルアップされています。
AGND	21	—	アナログ グランド。GND プレーンと露出サーマルパッドに接続します。
DGND	46	—	デジタル グランド。GND プレーンと露出サーマルパッドに接続します。
DRAIN1-8	3, 5, 10, 12, 31, 33, 38, 40	I	チャネル 1 ~ 8 出力電圧モニタ
GAT1-8	1, 7, 8, 14, 29, 35, 36, 42	O	チャネル 1-8 ゲートドライブ出力
INT	45	O	割り込み出力。割り込みレジスタのビットがアサートされると、このピンは low にアサートされます。この出力はオープンドレンです。
KSENSA/B	4, 11	I	SEN1-4 のケルビン ポイント接続
KSENSC/D	32, 39	I	SEN5-8 のケルビン ポイント接続

表 5-1. ピンの機能(続き)

ピン		I/O	説明
名称	番号		
NC	15, 16, 18, 19	O	接続の無いピン。これらのピンは、VPWR からの電圧勾配を制御するために、VPWR の 1/3 および 2/3 で内部的にバイアスされます。オープンのままにします。
	22, 27, 28, 52	—	接続の無いピンオープンのままにします。
OSS	56	I	チャネル 1 ~ 8 の高速シャットダウン。このピンは、内部で DGND にプルダウンされています。
RESET	44	I	リセット入力。Low にアサートすると、TPS23881 はリセットされます。このピンは内部で VDD にプルアップされています。
SCL	53	I	I ² C バス用シリアル クロック入力
SDAI	54	I	I ² C バス用シリアル データ入力。このピンは、非絶縁型システムまたは双方向 I ² C アイソレータを搭載したシステムの SDAO に接続できます。
SDAO	55	O	I ² C バス用シリアル データ出力。このピンは、非絶縁型システムまたは双方向 I ² C アイソレータを搭載したシステムの SDAI に接続できます。この出力はオープンドレインです。
自動	52	I/O	自律モードイネーブル/選択ピン。
SEN1-8	2, 6, 9, 13, 30, 34, 37, 41	I	チャネル 1-8 電流センス入力
TEST0-5	20, 23, 24, 25, 26, 47	I/O	内部的にテスト目的でのみ使用されます。オープンのままにします。
サーマル・パッド	—	—	正しく動作させるには、DGND 端子と AGND 端子を露出したサーマル パッドに接続する必要があります。
VDD	43	—	デジタル電源。0.1μF ピンから DGND ピンへのバイパス。
VPWR	17	—	アナログ 54V の正の電源。0.1μF ピンから AGND ピンへのバイパス。

5.1 ピンの詳細説明

以下の説明は、ピン配置と機能ブロック図を参照してください。

DRAIN1-DRAIN8: チャネル 1 ~ 8 出力電圧モニタと検出。ポート電圧の測定、ポート電圧の監視、ポートパワー グッドの検出、フォールドバック動作に使用されます。検出プローブの電流もこのピンに流れます。

TPS23881B は革新的な 4 点技術を使用して信頼性の高い PD 検出を行い、無効な負荷への電力供給を防止します。この検出は、DRAINn ピンを使用して 2 つの異なる電流レベルをシンクして行い、PD 電圧は VPWR から DRAINn まで測定します。新しい検出サイクルを開始する前にポート電圧が 2.5V を超える場合は、内部 100kΩ 抵抗がポートと並列に接続され、検出サイクルが開始される前にポートコンデンサが放電されるように 400ms の検出バックオフ期間が適用されます。

任意の動作モードでは、検出中またはポートがオンの間を除き、各 DRAINn ピンと VPWR の間に内部抵抗があります。ポート n を使用しない場合は、DRAINn をフローティングのままにするか、GND に接続できます。

GAT1-GAT8: チャネル 1 ~ 8 のゲート駆動出力を使用して、外部 N チャネル MOSFET ゲート制御を行います。ポートがオンのときは、低電流ソースによって MOSFET がオンになり、正の方向に駆動されます。GATn は、いずれかの入力電源が low である場合、または過電流タイムアウトが発生した場合、low になります。手動シャットダウン入力を使用してポートをオフにすると、GATn も low になります。未使用の場合は、フローティングのままにします。

設計の堅牢性向上のため、電流フォールドバック機能により、低抵抗負荷または短絡発生時およびポートがオンになった際の突入期間中の MOSFET の消費電力が制限されます。また、直接短絡が発生して MOSFET が 1μs 未満で強制的にオフになるなどの主要な異常を解消する高速過負荷保護コンパレータも搭載されています。

適切な MOSFET 制御を確保するため、GATn ピンと近くにある DRAINn ピン、GND、またはケルビン ポイント接続との間の回路のリーク パスは、最小限に抑える必要があります (250nA 未満)。

INT: 割り込みレジスタのビットがアサートされると、この割り込み出力ピンが low にアサートされます。この出力はオープンドレインです。

KSENSA、KSENSB、KSENSC、KSENSD: 関連する電流検出抵抗の両端で差動電圧測定を行うために使用されるケルビン ポイント接続。

各 KSENS は、次のように、2 つの隣接する SEN ピンで共有されます。KSENSA、SEN1 と SEN2、KSENSB と SEN3 と SEN4、KSENSC と SEN5 と SEN6、KSENSD と SEN7 と SEN8。測定精度を最適化するには、適切な PCB レイアウト手法に従うことを確認します。

OSS: 高速シャットダウン、アクティブ high。このピンは、内部に $1\mu\text{s} \sim 5\mu\text{s}$ のデグリッチ フィルターが内蔵され、内部的に DGND にプルダウンされています。

電源オフの手順は、Reset コマンド (1Ah レジスタ) を使用したポートリセットと同様です。3 ビットの OSS 機能により、OSS ピンに一連のパルスを印加して、個別または複数のポートを最大 8 レベルの優先度でオフにできます。

RESET: リセット入力、アクティブ low。アサートされると、TPS23881B はリセットされ、すべてのポートがオフになり、レジスタが強制的に電源投入時の状態になります。このピンは内部で VDD にプルアップされており、 $1\mu\text{s}$ から $5\mu\text{s}$ へのグリッチ除去フィルタは内蔵されています。設計者は、外付け RC ネットワークを使用して、ターンオンを遅延させることができます。また、RESET 入力とは独立した内部パワー オンリセットも備えています。

SCL: I²C バス用シリアル クロック入力。

SDAI: I²C バス用シリアル データ入力。

SDAO: オープンドレインの I²C バス出力データ ライン。外付け抵抗プルアップが必要です。TPS23881B は、独立した SDAO ラインと SDAI ラインを使用して、光絶縁型 I²C インターフェイスを実現できます。

自動: 自律モード選択ピン: このピンをフローティングにすると、自律動作がディスエーブルこのピンを抵抗 (R_{AUTO}) を介して GND に接続すると、選択可能なポート電力割り当てレベルで自律動作が可能になります。 R_{AUTO} を接続する場合、Auto ピンと GND の間に 10nF のコンデンサが必要です。

A4-A1: I²C バスのアドレス入力これらのピンは、内部で VDD にプルアップされています。詳細については、[セクション 8.6.2.13](#) を参照してください。

SEN1-8:KSENSn に対するチャネル電流センス入力 (KSENSn の説明を参照)。差動測定は、KSENSA-D ケルビン ポイント接続を使用して実行します。GND との間に 0.200Ω 電流センス抵抗を接続することで、外部 MOSFET の電流を監視します。現在のフォールドバック エンジンまたは分類時に使用されます。ADC 変換による負荷電流を監視することに使用できます。

TPS23881B が分類測定を行うと、電流は外部 MOSFET を流れます。この動作によりデバイスの熱濃度を防ぐことができます。TPS23881B が複数のポートで同時に分類測定を実行できます。フォールドバック機能付きの電流制限については、SEN1-8 ピンに $2\mu\text{S}$ アナログ フィルタが内部的にあり、グリッチ フィルタリングを提供します。ADC を介した測定の場合、SEN1-8 ピンにアンチエイリアシング フィルタがあります。これには、ポート電源電流監視、ポートポリシング、DC 切断が含まれます。

このポートを使用しない場合は、SENn を GND に接続します。

VDD:3.3V ロジック電源入力。

VPWR: 高電圧電源入力。公称 54V。

AGND および DGND: 内部アナログ回路とデジタル回路のグランド リファレンス。内部的には接続されていません。どちらのピンも、システムの GND プレーンへの低抵抗パスを必要とします。堅牢な GND プレーンを使用してデバイスのサーマル パッドから熱を抽出する場合は、これらのピンを PCB 上のサーマル パッド接続を介して互いに接続できます。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電圧	VPWR	-0.3	70	V
	VDD	-0.3	4	V
	OSS、RESET、A1-A4、SDAI、SDAO、SCL、INT	-0.3	4	V
	SEN1-8、KSENSA、KSENSB、KSENSC、KSENSD	-0.3	3	V
	GATE1-8	-0.3	13	V
	DRAIN1-8	-0.3	70	V
	TEST0-3、ATST_DCPL0、DTST_DCPL1	-0.3	4	V
	AGND - DGND	-0.3	0.3	V
	シンク電流 INT、SDA		20	mA
リード温度ケースから 1/6mm 離れた点で 10 秒間			260	°C
T _{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲を超える動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±2000	V
		デバイス帶電モデル (CDM)、JEDEC 規格 JESD22-C101 準拠、すべてのピン ⁽²⁾	±500	

(1) JEDEC document JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

(2) JEDEC document JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _{VDD}		3	3.3	3.6	V
V _{VPWR}		44	54	57	V
	VPWR の電圧スルーレート			1	V/μs
f _{SCL}	I ² C クロック周波数			400	kHz
T _J	接合部温度	-40		125	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		TPS23881	単位
		RTQ パッケージ (VQFN)	
		56 ピン	
R _{θJA}	接合部から周囲への熱抵抗	25.3	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	9.7	°C/W
R _{θJB}	接合部から基板への熱抵抗	3.7	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.2	°C/W

6.4 热に関する情報 (続き)

热評価基準 ⁽¹⁾		TPS23881	単位
		RTQ パッケージ (VQFN)	
		56 ピン	
Ψ_{JB}	接合部から基板への特性パラメータ	3.7	°C/W
$R_{θJC(bot)}$	接合部からケース(底面)への熱抵抗	0.5	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.5 電気的特性

特に記載がない限り、条件は $-40 < T_J < 125^{\circ}\text{C}$ です。 $V_{\text{VDD}} = 3.3\text{V}$ 、 $V_{\text{VPWR}} = 54\text{V}$ 、 $V_{\text{DGND}} = V_{\text{AGND}}$ 、 DGND 、 KSENSA 、 KSENSB 、 KSENSC 、 KSENSD を AGND に接続。すべての出力は無負荷、 $2 \times FBn = 0$ 。正の電流はピンに流れます。 $R_{\text{SENSE}} = 0.200\Omega$ 、 KSENSA (SEN1 または SEN2) との間、 KSENSB (SEN3 または SEN4) との間、 KSENCS (SEN5 または SEN6) または KSENSD (SEN7 または SEN8) に接続。標準値は 25°C 状態です。特に記述のない限り、すべての電圧は AGND を基準とします。特に記述のない限り、動作レジスタにはデフォルト値が書き込まれます。

パラメータ	テスト条件	最小値	標準値	最大値	単位	
入力電源 VPWR						
I_{VPWR}	VPWR 消費電流	$V_{\text{VPWR}} = 54\text{V}$	10	12.5	mA	
$V_{\text{UVLOPW_F}}$	VPWR UVLO 立ち下がりスレッショルド	内部発振器が動作していないか確認します	14.5	17.5	V	
$V_{\text{UVLOPW_R}}$	VPWR UVLO 立ち上がりスレッショルド		15.5	18.5	V	
$V_{\text{PUV_F}}$	VPWR 低電圧立ち下がりスレッショルド	V_{PUV} スレッショルド	25	26.5	28	V
入力電源 VDD						
I_{VDD}	VDD 消費電流		6	12	mA	
$V_{\text{UVDD_F}}$	VDD UVLO 立ち下がりスレッショルド	チャネルのデアサーション	2.1	2.25	2.4	V
$V_{\text{UVDD_R}}$	VDD UVLO 立ち上がりスレッショルド		2.45	2.6	2.75	V
$V_{\text{UVDD_HYS}}$	ヒステリシス VDD UVLO			0.35		V
$V_{\text{UVW_F}}$	VDD UVLO 警告スレッショルド	V_{DD} 立ち下がり	2.6	2.8	3	V
A/D コンバータ						
$T_{\text{CONV_I}}$	変換時間	すべての範囲、各チャネル	0.64	0.8	0.96	ms
$T_{\text{CONV_V}}$	変換時間	すべての範囲、各チャネル	0.82	1.03	1.2	ms
$T_{\text{INT_CUR}}$	積分時間、電流	各チャネル、チャネルのオン電流	82	102	122	ms
$T_{\text{INT_DET}}$	積分時間、検出		13.1	16.6	20	ms
$T_{\text{INT_channelV}}$	積分時間、チャネル電圧	チャンネル パワー	3.25	4.12	4.9	ms
$T_{\text{INT_inV}}$	積分時間、入力電圧		3.25	4.12	4.9	ms
	入力電圧変換のスケール ファクタと精度	$V_{\text{VPWR}} = 57\text{V}$	15175	15565	15955	カウント
			55.57	57	58.43	V
		$V_{\text{VPWR}} = 44\text{V}$	11713	12015	12316	カウント
			42.89	44	45.10	V
	パワード チャネルの電圧変換のスケール ファクタと精度	$V_{\text{VPWR}} - V_{\text{DRAInN}} = 57\text{V}$	15175	15565	15955	カウント
			55.57	57	58.43	V
		$V_{\text{VPWR}} - V_{\text{DRAInN}} = 44\text{V}$	11713	12015	12316	カウント
			42.89	44	45.10	V
$\delta V/V_{\text{Channel}}$	電圧読み取り精度		-2.5		2.5	%

6.5 電気的特性 (続き)

特に記載がない限り、条件は $-40 < T_J < 125^\circ\text{C}$ です。 $V_{VDD} = 3.3\text{V}$ 、 $V_{VPWR} = 54\text{V}$ 、 $V_{DGND} = V_{AGND}$ 、 $DGND$ 、 $KSENSA$ 、 $KSENSB$ 、 $KSENSC$ 、 $KSENSD$ を AGND に接続。すべての出力は無負荷、 $2 \times FBn = 0$ 。正の電流はピンに流れます。 $R_{SENSE} = 0.200\Omega$ 、 $KSENSA$ (SEN1 または SEN2) との間、 $KSENSB$ (SEN3 または SEN4) との間、 $KSENSC$ (SEN5 または SEN6) または $KSENSD$ (SEN7 または SEN8) に接続。標準値は 25°C 状態です。特に記述のない限り、すべての電圧は AGND を基準とします。特に記述のない限り、動作レジスタにはデフォルト値が書き込まれます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$\delta I/I_{Channel}$	パワード チャネルの電流変換係数と精度	チャネル電流 = 770mA	8431	8604	8776	カウント
		チャネル電流 = 100mA	754.5	770	785.4	mA
		チャネル電流 = 100mA	1084	1118	1152	カウント
		チャネル電流 = 100mA	97	100	103	mA
$\delta I/I_{Channel}$	電流読み取り精度	チャネル電流 = 100mA	-3	3	%	
		チャネル電流 = 770mA	-2	2		
σI	パワー チャネル電流、フルスケール出力	チャネル電流 = 1.5A、 $2 \times FBn = 1$	14959	15671	カウント	
		チャネル電流 = 1.5A、 $2 \times FBn = 1$	1.34	1.400		
σI	現在の読み取りの再現性	フルスケール読み取り値	-7.5	7.5	mA	
$\delta R/R_{Channel}$	抵抗の読み取り精度	$15\text{k}\Omega \leq R_{Channel} \leq 33\text{k}\Omega$ 、 $C_{Channel} \leq 0.25\mu\text{F}$	-7	7	%	
I_{bias}	検知ピンのバイアス電流	チャネルがオンまたはクラス中にオンになります	-2.5	0	μA	

GATE 1-8

V_{GOH}	ゲート駆動電圧	$V_{GATEn}, I_{GATE} = -1\mu\text{A}$	10	12.5	V
I_{GO-}	パワーオンリセット、OSS 検出、またはチャネル ターンオフ コマンドによるゲートシンク電流	$V_{GATEn} = 5\text{V}$	60	100	190 mA
$I_{GO\ short-}$	チャネル短絡時のゲートシンク電流	$V_{GATEn} = 5\text{V}, V_{SENn} \geq V_{short}$ (または $2X$ モードの場合は $V_{short2x}$)	60	100	190 mA
I_{GO+}	ピーク ソース電流	$V_{GATEn} = 0\text{V}$ 、デフォルト選択	39	50	63 μA
$t_{D_off_OSS}$	1ビット OSS 入力からのゲート ターンオフ時間	OSS から $V_{GATEn} < 1\text{V}$ の範囲、 $V_{SENn} = 0\text{V}$ 、 $MbitPrty = 0$	1	5	μs
t_{OSS_OFF}	3ビット OSS 入力からのゲート ターンオフ時間	スタートビットの立ち下がりエッジから $V_{GATEn} < 1\text{V}$ まで、 $V_{SENn} = 0\text{V}$ 、 $MbitPrty = 1$	72	104	μs
$t_{P_off_CMD}$	チャネル ターンオフ コマンドからのゲート ターンオフ時間	チャネル オフ コマンド ($POFFn=1$) から $V_{GATEn} < 1\text{V}$ 、 $V_{SENn} = 0\text{V}$ まで		300	μs
$t_{P_off_RST}$	/RESET LOW からのゲート ターンオフ時間	/RESET LOW から $V_{GATEn} < 1\text{V}$ 、 $V_{SENn} = 0\text{V}$ まで	1	5	μs

DRAIN 1-8

V_{PGT}	パワー グッド スレッショルド	V_{DRAINn} で測定	1	2.13	3	V
V_{SHT}	短絡 FET スレッショルド	V_{DRAINn} で測定	4	6	8	V
R_{DRAIN}	DRAINn と VPWR の間の抵抗	検出中またはチャネルがオンである間を除く任意の動作モード (デバイスのリセット状態を含む)	80	100	190	k Ω
AUTOCLASS						
t_{Class_ACS}	自動クラス検出の開始	クラスの開始から測定されます	90	100	ms	
t_{AUTO_PSE1}	自動クラス電力測定の開始	インラッシュ終了時から測定	1.4	1.6	s	
		チャネルがすでに電力を供給されている間に MACx ビットを設定して測定されます		10	ms	
t_{AUTO}	自動クラス電力測定の持続時間		1.7	1.8	1.9	s

6.5 電気的特性 (続き)

特に記載がない限り、条件は $-40 < T_J < 125^\circ\text{C}$ です。 $V_{VDD} = 3.3\text{V}$ 、 $V_{VPWR} = 54\text{V}$ 、 $V_{DGND} = V_{AGND}$ 、 $DGND$ 、KSENSA、KSENSB、KSENSC、KSENSD を AGND に接続。すべての出力は無負荷、 $2 \times FBn = 0$ 。正の電流はピンに流れます。 $R_{SENSE} = 0.200\Omega$ 、KSENSA (SEN1 または SEN2) との間、KSENSB (SEN3 または SEN4) との間、KSENSC (SEN5 または SEN6) または KSENSD (SEN7 または SEN8) に接続。標準値は 25°C 状態です。特に記述のない限り、すべての電圧は AGND を基準とします。特に記述のない限り、動作レジスタにはデフォルト値が書き込まれます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{AUTO_window}	自動クラス パワー測定スライディング ウィンドウ		0.15	0.3		s
P_{AC}	AutoClass チャネル電力変換のスケーリング係数と精度	$VPWR = 52\text{V}$ 、 $VDRAINn = 0\text{V}$ 、 チャネル電流 = 770mA	76	80	84	カウント
		$VPWR = 50\text{V}$ 、 $VDRAINn = 0\text{V}$ 、 チャネル電流 = 100mA	9	10	11	

6.5 電気的特性 (続き)

特に記載がない限り、条件は $-40 < T_J < 125^\circ\text{C}$ です。 $V_{VDD} = 3.3\text{V}$ 、 $V_{VPWR} = 54\text{V}$ 、 $V_{DGND} = V_{AGND}$ 、 $DGND$ 、 $KSENZA$ 、 $KSENSB$ 、 $KSENSC$ 、 $KSENSD$ を AGND に接続。すべての出力は無負荷、 $2 \times FBn = 0$ 。正の電流はピンに流れます。 $R_{SENSE} = 0.200\Omega$ 、 $KSENZA$ (SEN1 または SEN2) との間、 $KSENSB$ (SEN3 または SEN4) との間、 $KSENSC$ (SEN5 または SEN6) または $KSENSD$ (SEN7 または SEN8) に接続。標準値は 25°C 状態です。特に記述のない限り、すべての電圧は AGND を基準とします。特に記述のない限り、動作レジスタにはデフォルト値が書き込まれます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
検出						
I_{DISC}	検出電流	最初と 3 番目の検出ポイント $V_{VPWR}-VDRAINn = 0\text{V}$	145	160	190	μA
		2 番目と 4 番目の検出ポイント $V_{VPWR} - VDRAINn = 0\text{V}$	235	270	300	
ΔI_{DISC}	2 回目 - 1 回目の検出電流	$V_{VPWR} - VDRAINn = 0\text{V}$	98	110	118	μA
V_{det_open}	オープン回路検出電圧	$V_{VPWR} - VDRAINn$ として測定	23.5	26	29	V
R_{REJ_LOW}	抵抗除去 low 範囲		0.86		15	$\text{k}\Omega$
R_{REJ_HI}	除去抵抗高範囲		33		100	$\text{k}\Omega$
R_{ACCEPT}	許容抵抗範囲		19	25	26.5	$\text{k}\Omega$
R_{SHORT}	短絡チャネルのスレッショルド				360	Ω
R_{OPEN}	オープンチャネルスレッショルド		400			$\text{k}\Omega$
t_{DET}	検出時間	検出完了までの時間、 $4Pxx = 0$	275	350	425	ms
t_{CC}	接続チェック期間	有効な検出後、接続チェック完了までの時間、 $4Pxx = 1$		150	400	ms
t_{DET_BOFF}	検出試行間のバックオフの一時停止を検出します	$V_{VPWR} - VDRAINn > 2.5\text{V}$	300	400	500	ms
		$V_{VPWR} - VDRAINn < 2.5\text{V}$	20		100	ms
t_{DET_DLY}	検出遅延	コマンドまたは PD の接続からチャネル検出への完了 $4Pxx = 0$			590	ms
	容量測定	$C_{port} = 10\mu\text{F}$	8.5	10	11.5	μF
分類						
V_{CLASS}	分類電圧	$V_{VPWR} - VDRAINn, VSENn \geq 0\text{mV}$ $I_{channel} \geq 180\mu\text{A}$	15.5	18.5	20.5	V
I_{CLASS_Lim}	分類電流制限	$V_{VPWR} - VDRAINn = 0\text{V}$	65	75	90	mA
I_{CLASS_TH}	分類スレッショルド電流	クラス 0-1	5		8	mA
		クラス 1-2	13		16	mA
		クラス 2-3	21		25	mA
		クラス 3-4	31		35	mA
		クラス 4-クラス過電流保護	45		51	mA
t_{LCE}	分類期間 (1 本目のフィンガー)	検出完了まで表示されます	95		105	ms
t_{CLE2-5}	分類期間 (2 ~ 5 目のフィンガー)	マーク完了から	6.5		12	ms
マーク						
V_{MARK}	マーク電圧	$4\text{mA} \geq I_{Channel} \geq 180\mu\text{A}$ $V_{VPWR} - VDRAINn$	7		10	V
I_{MARK_Lim}	マークシンク電流制限	$V_{VPWR} - VDRAINn = 0\text{V}$	60	75	90	mA
t_{ME}	マーク期間		6		12	ms

6.5 電気的特性 (続き)

特に記載がない限り、条件は $-40 < T_J < 125^\circ\text{C}$ です。 $V_{VDD} = 3.3\text{V}$ 、 $V_{VPWR} = 54\text{V}$ 、 $V_{DGND} = V_{AGND}$ 、 $DGND$ 、KSENZA、KSENSB、KSENSC、KSENSD を AGND に接続。すべての出力は無負荷、 $2 \times FBn = 0$ 。正の電流はピンに流れます。 $R_{SENSE} = 0.200\Omega$ 、KSENZA (SEN1 または SEN2) との間、KSENSB (SEN3 または SEN4) との間、KSENSC (SEN5 または SEN6) または KSENSD (SEN7 または SEN8) に接続。標準値は 25°C 状態です。特に記述のない限り、すべての電圧は AGND を基準とします。特に記述のない限り、動作レジスタにはデフォルト値が書き込まれます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
DC 接続解除						
V_{IMIN}	DC 切断スレッショルド	DCDTxx = 0	0.8	1.3	1.8	mV
		DCDTxx = 1	0.4	0.9	1.4	mV
t_{MPDO}	PD 電力シグネチャ ドロップアウト時間制限を維持	TMPDO = 00	320	400	ms	
		TMPDO = 01	75	100	ms	
		TMPDO = 10	150	200	ms	
		TMPDO = 11	600	800	ms	
t_{MPS}	PD 有効性のため電源シグネチャ時間を保持			2.5	3	ms
ポート電源ポリシング						
$\delta P_{CUT}/P_{CUT}$	PCUT 公差	POL ≤ 15W	0	5	10	%
$\delta P_{CUT}/P_{CUT}$	PCUT 公差	15W < POL < 90W	0	3	6	%
$\delta P_{CUT}/P_{CUT}$	PCUT 公差	POL ≥ 90W	0	2.5	5	%
t_{OVLD}	PCUT 時間制限	TOVLD = 00	50	70		ms
		TOVLD = 01	25	35		
		TOVLD = 10	100	140		
		TOVLD = 11	200	280		
ポート電流突入						
V_{Inrush}	突入電流制限、 $ALTIRNn = 0$	VVPWR - VDRAINn = 1V	19	30	41	mV
		VVPWR - VDRAINn = 10V	19	30	41	
		VVPWR - VDRAINn = 15V	33	44	55	
		VVPWR - VDRAINn = 30 V	80	90		
		VVPWR - VDRAINn = 55 V	80	90		
	突入電流制限、 $ALTIRNn = 1$	VVPWR - VDRAINn = 1V	19	30	41	
		VVPWR - VDRAINn = 10V	36	47	58	
		VVPWR - VDRAINn = 15V	53	64	75	
		VVPWR - VDRAINn = 30V	80	90		
		VVPWR - VDRAINn = 55 V	80	90		
t_{START}	スタートアップ時の最大電流制限期間	TSTART = 00	50	70		ms
		TSTART = 01	25	35		
		TSTART = 10	100	140		
ポートの電流フォールドバック						
V_{LIM}	ILIM 1X の制限値、 $2xFB = 0$ および $ALTFBn = 0$	VDRAINn = 1V	80	90		mV
		VDRAINn = 15V	80	90		
		VDRAINn = 30V	51	58	65	
		VDRAINn = 50V	23	30	37	
	ILIM 1X の制限値、 $2xFB = 0$ および $ALTFBn = 1$	VDRAINn = 1V	80	90		
		VDRAINn = 25V	80	90		
		VDRAINn = 40V	45	51	57	
		VDRAINn = 50V	23	30	37	

6.5 電気的特性 (続き)

特に記載がない限り、条件は $-40 < T_J < 125^\circ\text{C}$ です。 $V_{VDD} = 3.3\text{V}$ 、 $V_{VPWR} = 54\text{V}$ 、 $V_{DGND} = V_{AGND}$ 、 $DGND$ 、KSENSA、KSENSB、KSENSC、KSENSD を AGND に接続。すべての出力は無負荷、 $2 \times FBn = 0$ 。正の電流はピンに流れます。 $R_{SENSE} = 0.200\Omega$ 、KSENSA (SEN1 または SEN2) との間、KSENSB (SEN3 または SEN4) との間、KSENSC (SEN5 または SEN6) または KSENSD (SEN7 または SEN8) に接続。標準値は 25°C 状態です。特に記述のない限り、すべての電圧は AGND を基準とします。特に記述のない限り、動作レジスタにはデフォルト値が書き込まれます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{LIM2X}	ILIM 2X の制限値、 $2xFBn = 1$ および $ALTFBn = 0$	$VDRAINn = 1\text{V}$	245	250	262	mV
		$VDRAINn = 10\text{V}$	164	180	196	
		$VDRAINn = 30\text{V}$	51	58	64	
		$VDRAINn = 50\text{V}$	23	30	37	
	ILIM 2X の制限値、 $2xFBn = 1$ および $ALTFBn = 1$	$VDRAINn = 1\text{V}$	245	250	262	
		$VDRAINn = 20\text{V}$	139	147	155	
		$VDRAINn = 40\text{V}$	45	51	57	
		$VDRAINn = 50\text{V}$	23	30	37	
t_{LIM}	$ILIM$ 時間制限 $2xFBn = 1$	$2xFBn = 0$	55	60	65	ms
		$TLIM = 00$	55	60	65	
		$TLIM = 01$	15	16	17	
		$TLIM = 10$	10	11	12	
		$TLIM = 11$	6	6.5	7	

短絡回路の検出

V_{short}	1X モードおよび突入時の I_{SHORT} スレッショルド		205	245	mV
$V_{short2X}$	2X モードでの I_{SHORT} スレッショルド		280	320	
$t_{D_off_SEN}$	SENn 入力からのゲートターンオフ時間	$2xFBn = 0$ 、 $VDRAINn = 1\text{V}$ $VSENn$ パルス $\sim 0.425\text{V}$ 。		0.9	μs
		$2xFBn = 1$ 、 $VDRAINn = 1\text{V}$ $VSENn$ パルス $\sim 0.62\text{V}$ 。		0.9	

電流障害回復 (バックオフ) タイミング

t_{ed}	誤差遅延タイミング。エラー状態が原因で電源が切断された後、次のチャネルへの電源供給試行までの遅延	P_{CUT} , I_{LIM} or I_{Inrush} フォルト半自動モード	0.8	1	1.2	s
δI_{fault}	電流フォルト付き $I_{channel}$ のデューティサイクル		5.5		6.7	%

サーマルシャットダウン

	シャットダウン温度	温度上昇	135	146	$^\circ\text{C}$
	ヒステリシス			7	$^\circ\text{C}$

6.5 電気的特性 (続き)

特に記載がない限り、条件は $-40 < T_J < 125^\circ\text{C}$ です。 $V_{VDD} = 3.3\text{V}$ 、 $V_{VPWR} = 54\text{V}$ 、 $V_{DGND} = V_{AGND}$ 、DGND、KSENSA、KSENSB、KSENSC、KSENSD を AGND に接続。すべての出力は無負荷、 $2 \times FBn = 0$ 。正の電流はピンに流れます。 $R_{SENSE} = 0.200\Omega$ 、KSENSA (SEN1 または SEN2) との間、KSENSB (SEN3 または SEN4) との間、KSENSC (SEN5 または SEN6) または KSENSD (SEN7 または SEN8) に接続。標準値は 25°C 状態です。特に記述のない限り、すべての電圧は AGND を基準とします。特に記述のない限り、動作レジスタにはデフォルト値が書き込まれます。

パラメータ	テスト条件	最小値	標準値	最大値	単位
デジタル I/O (特に記述のない限り、SCL、SDAI、A1-A4、/RESET、OSS)					
V_{IH}	デジタル入力 High		2.1		V
V_{IL}	デジタル入力 Low		0.9		V
V_{IT_HYS}	入力電圧ヒステリシス		0.17		V
V_{OL}	デジタル出力 Low	9mA の SDAO		0.4	V
	デジタル出力 Low	3mA での /INT		0.4	V
R_{pullup}	VDD へのプルアップ抵抗	/RESET、A1-A4、TEST0	30	50	kΩ
$R_{pulldown}$	DGND へのプルダウン抵抗	OSS、TEST1、TEST2	30	50	kΩ
t_{FLT_INT}	/INT アサーションのフォールト	チャネルターンオフからの割り込みフォルトを内部レジスタに登録するための時間	50	500	μs
$T_{RESETmin}$	/RESET 入力の最小パルス幅			5	μs
T_{bit_OSS}	3 ビット OSS ビット周期	MbitPrty = 1	24	25	26
t_{OSS_IDL}	3 ビット モードでの連続シャットダウン コード送信までのアイドル時間	MbitPrty = 1	48	50	μs
t_{r_OSS}	3 ビット モードでの OSS の入力立ち上がり時間	0.8V → 2.3V、MbitPrty = 1	1	300	ns
t_{f_OSS}	3 ビット モードでの OSS の入力立ち下がり時間	2.3V → 0.8V、MbitPrty = 1	1	300	ns
I2C のタイミング要件					
t_{POR}	デバイスパワーオンリセット遅延			20	ms
f_{SCL}	SCL クロック周波数		10	400	kHz
t_{LOW}	クロック LOW 期間		0.5		μs
t_{HIGH}	クロック HIGH 期間		0.26		μs
t_{fo}	SDAO 出力立ち下がり時間	SDAO、2.3V → 0.8V、CB = 10pF、10kΩ を 3.3V にプルアップ	10	50	ns
		SDAO、2.3V → 0.8V、CB = 400 pF、3.3V への 1.3kΩ プルアップ	10	50	ns
C_{I2C}	SCL 静電容量			10	pF
C_{I2C_SDA}	SDAI、SDAO 静電容量			6	pF
$t_{SU,DATW}$	データセットアップ時間 (書き込み操作)		50		ns
$t_{HD,DATW}$	データホールド時間 (書き込み動作)		0		ns
$t_{HD,DATR}$	データホールド時間 (読み取り動作)		150	400	ns
t_{rSDA}	SDAI の入力立ち下がり時間	2.3V → 0.8V	20	120	ns
t_{rSDA}	SDAI の入力立ち上がり時間	0.8V → 2.3V	20	120	ns
t_r	SCL の入力立ち上がり時間	0.8V → 2.3V	20	120	ns
t_f	SCL の入力立ち下がり時間	2.3V → 0.8V	20	120	ns
t_{BUF}	STOP 条件と START 条件の間のバスフリー時間		0.5		μs
$t_{HD,STA}$	(繰り返し) START 条件の後のホールド時間。		0.26		μs
$t_{SU,STA}$	再スタート条件のセットアップ時間		0.26		μs

6.5 電気的特性 (続き)

特に記載がない限り、条件は $-40 < T_J < 125^\circ\text{C}$ です。 $V_{VDD} = 3.3\text{V}$ 、 $V_{VPWR} = 54\text{V}$ 、 $V_{DGND} = V_{AGND}$ 、 $DGND$ 、KSENSA、KSENSB、KSENSC、KSENSD を AGND に接続。すべての出力は無負荷、 $2 \times FBn = 0$ 。正の電流はピンに流れます。 $R_{SENSE} = 0.200\Omega$ 、KSENSA (SEN1 または SEN2) との間、KSENSB (SEN3 または SEN4) との間、KSENSC (SEN5 または SEN6) または KSENSD (SEN7 または SEN8) に接続。標準値は 25°C 状態です。特に記述のない限り、すべての電圧は AGND を基準とします。特に記述のない限り、動作レジスタにはデフォルト値が書き込まれます。

パラメータ	テスト条件	最小値	標準値	最大値	単位
$t_{SU,STO}$	ストップ条件のセットアップ時間		0.26		μs
t_{DG}	抑制されたスパイク パルス幅、SDAI、SCL		50		ns
t_{WDT_I2C}	I2C ウオッチドッグ トリップ遅延	1.1	2.2	3.3	秒

6.6 代表的特性

特に記載がない限り、条件は $-40 < T_J < 125^\circ\text{C}$ です。 $V_{VDD} = 3.3\text{V}$ 、 $V_{VPWR} = 54\text{V}$ 、 $V_{DGND} = V_{AGND}$ 、 $DGND$ 、 $KSENSA$ 、 $KSENSB$ 、 $KSENSC$ 、 $KSENSD$ を $AGND$ に接続。すべての出力は無負荷、 $2 \times FBn = 0$ 。正の電流はピンに流れます。 $R_S = 0.200\Omega$ 、 $KSENSA$ ($SEN1$ または $SEN2$) との間、 $KSENSB$ ($SEN3$ または $SEN4$) との間、 $KSENSC$ ($SEN5$ または $SEN6$) または $KSENSD$ ($SEN7$ または $SEN8$) に接続。標準値は 25°C 状態です。特に記述のない限り、すべての電圧は $AGND$ を基準とします。特に記述のない限り、動作レジスタにはデフォルト値が書き込まれます。

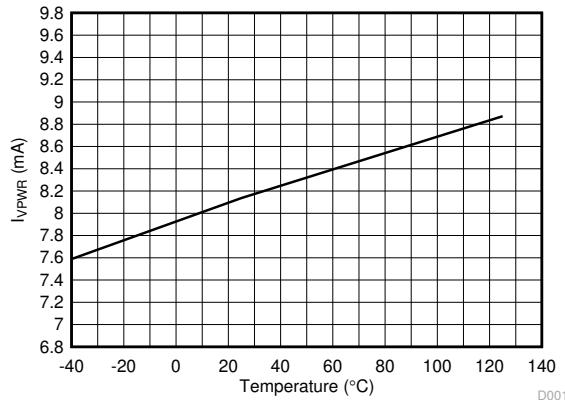


図 6-1. VPWR 消費電流と温度との関係

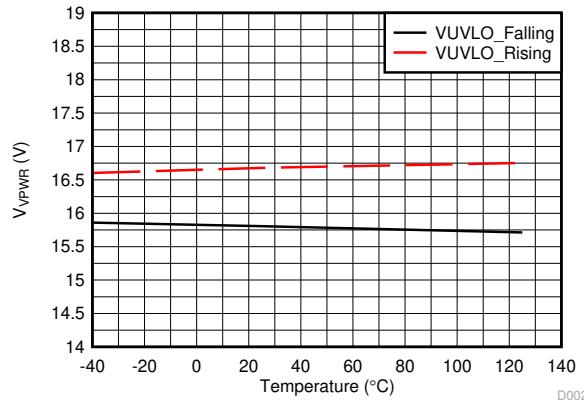


図 6-2. VPWR UVLO スレッショルドと温度との関係

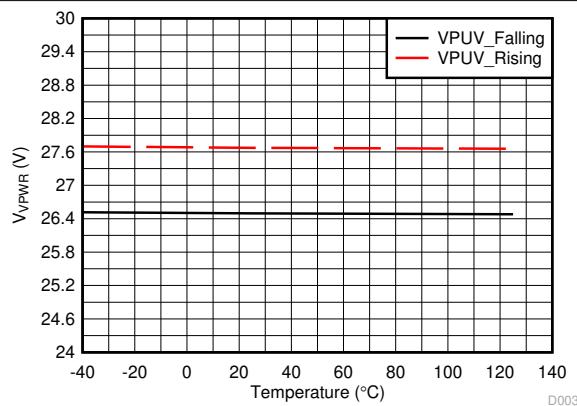


図 6-3. VPUV スレッショルドと温度との関係

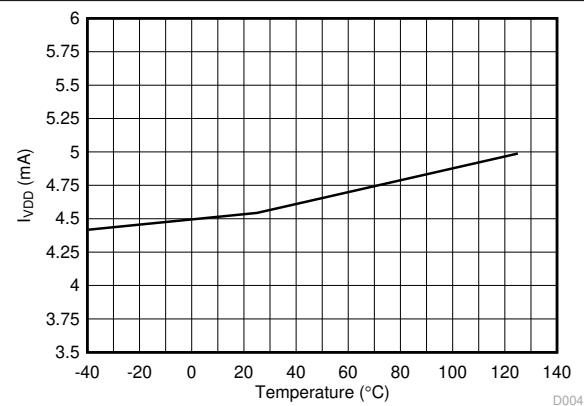


図 6-4. VDD 消費電流と温度との関係

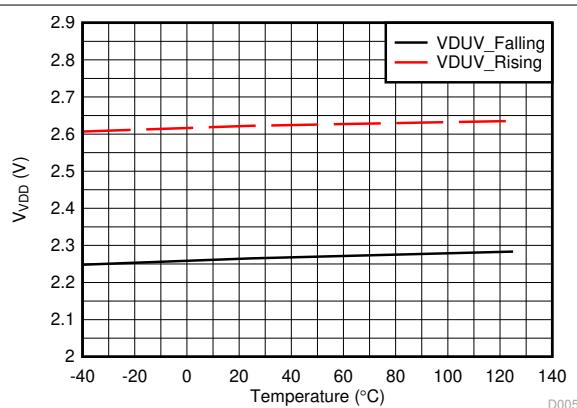


図 6-5. VDUV スレッショルドと温度との関係

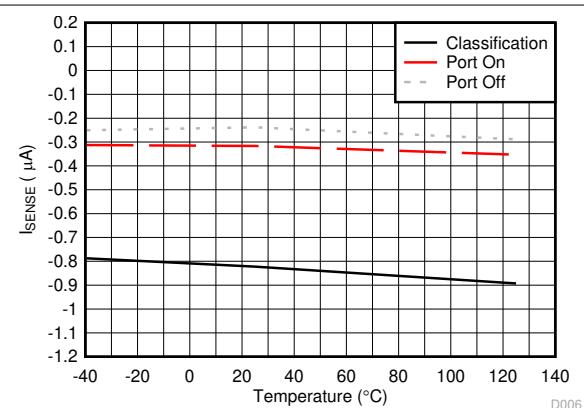


図 6-6. 検出ピンバイアス電流と温度との関係

6.6 代表的特性 (続き)

特に記載がない限り、条件は $-40 < T_J < 125^{\circ}\text{C}$ です。 $V_{VDD} = 3.3\text{V}$ 、 $V_{VPWR} = 54\text{V}$ 、 $V_{DGND} = V_{AGND}$ 、 $DGND$ 、KSENSA、KSENSB、KSENCS、KSENSD を AGND に接続。すべての出力は無負荷、 $2 \times FBn = 0$ 。正の電流はピンに流れます。 $R_S = 0.200\Omega$ 、KSENSA (SEN1 または SEN2) との間、KSENSB (SEN3 または SEN4) との間、KSENCS (SEN5 または SEN6) または KSENSD (SEN7 または SEN8) に接続。標準値は 25°C 状態です。特に記述のない限り、すべての電圧は AGND を基準とします。特に記述のない限り、動作レジスタにはデフォルト値が書き込まれます。

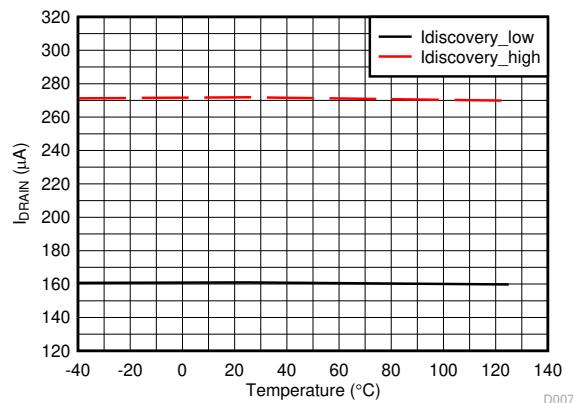


図 6-7. 検出電流と温度との関係

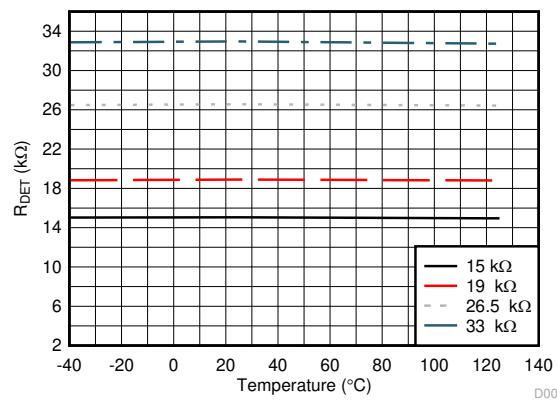


図 6-8. 検出抵抗測定値と温度との関係

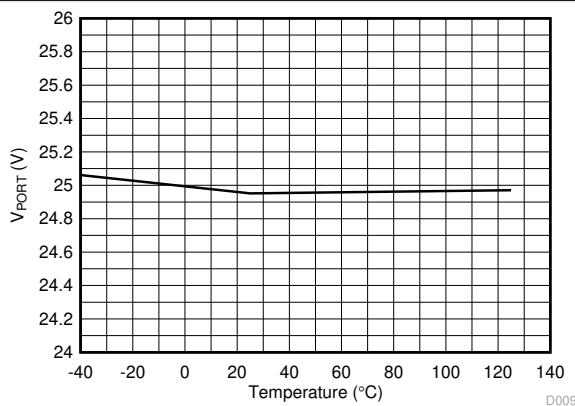


図 6-9. 検出開路電圧と温度との関係

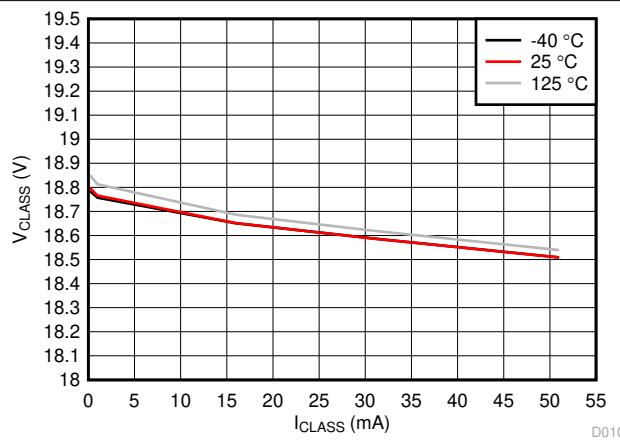


図 6-10. 分類電圧と I_{CLASS} および温度との関係

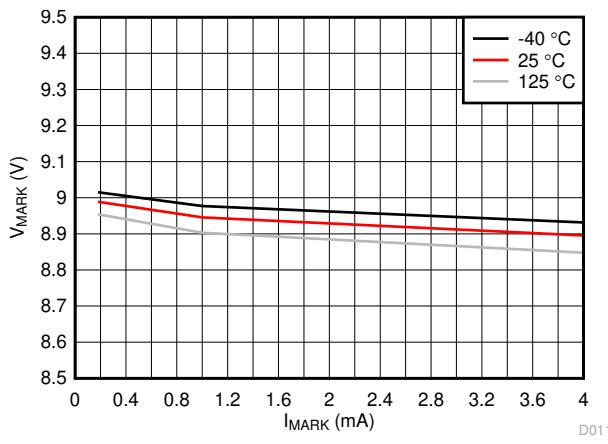


図 6-11. マーク電圧と I_{MARK} および温度との関係

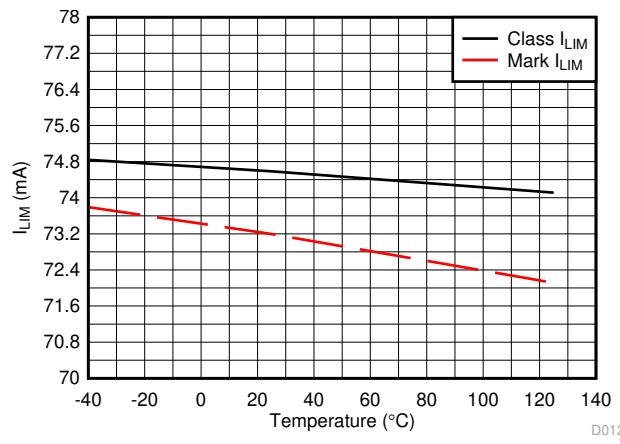


図 6-12. 分類およびマーク電流制限と温度との関係

6.6 代表的特性 (続き)

特に記載がない限り、条件は $-40 < T_J < 125^\circ\text{C}$ です。 $V_{VDD} = 3.3\text{V}$ 、 $V_{VPWR} = 54\text{V}$ 、 $V_{DGND} = V_{AGND}$ 、 $DGND$ 、KSENSA、KSENSB、KSENCS、KSENSD を AGND に接続。すべての出力は無負荷、 $2 \times FBn = 0$ 。正の電流はピンに流れます。 $R_S = 0.200\Omega$ 、KSENSA (SEN1 または SEN2) との間、KSENSB (SEN3 または SEN4) との間、KSENCS (SEN5 または SEN6) または KSENSD (SEN7 または SEN8) に接続。標準値は 25°C 状態です。特に記述のない限り、すべての電圧は AGND を基準とします。特に記述のない限り、動作レジスタにはデフォルト値が書き込まれます。

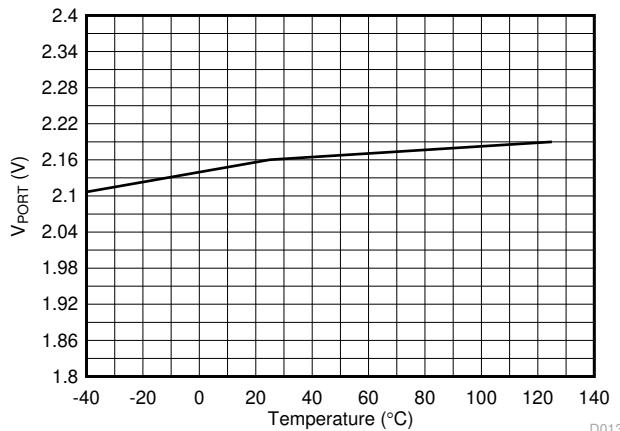


図 6-13. パワー グッド スレッショルドと温度との関係

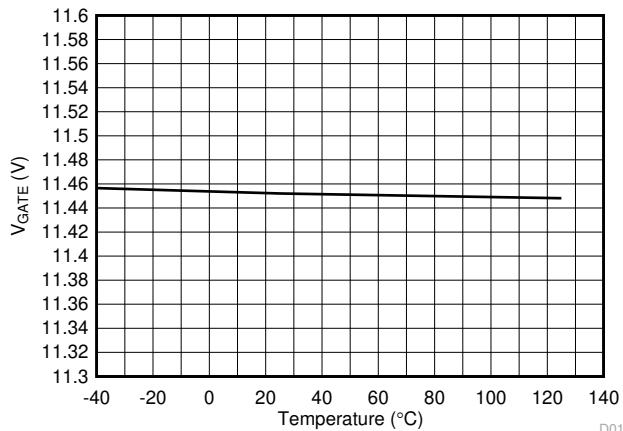


図 6-14. ゲート電圧 (ポートオン) と温度との関係

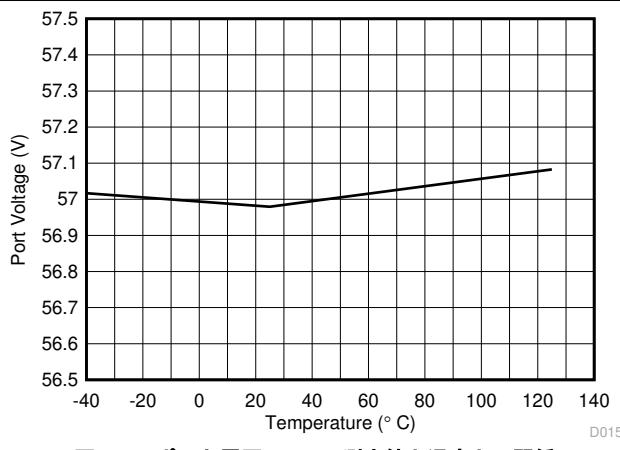


図 6-15. ポート電圧の ADC 測定値と温度との関係

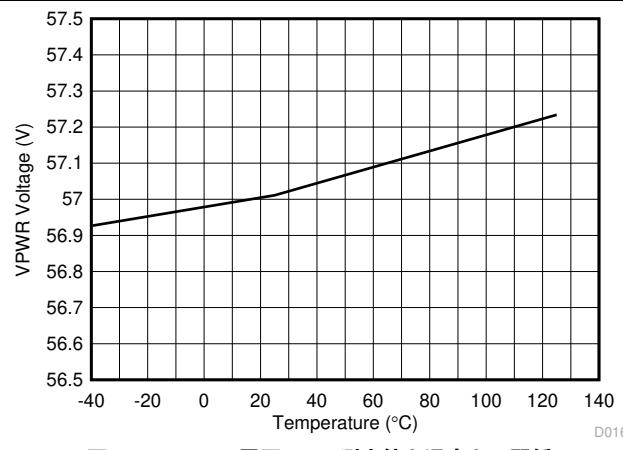


図 6-16. VPWR 電圧 ADC 測定値と温度との関係

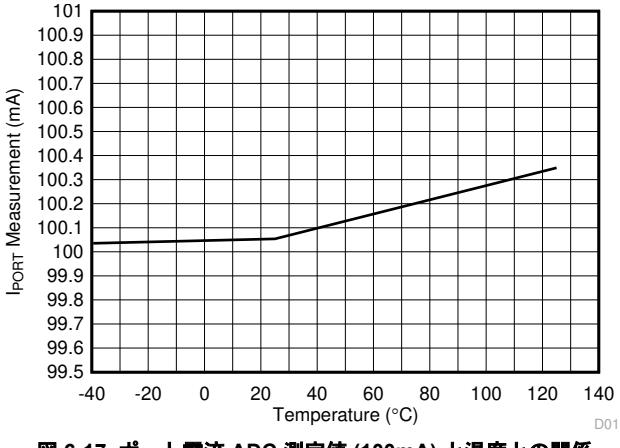


図 6-17. ポート電流 ADC 測定値 (100mA) と温度との関係

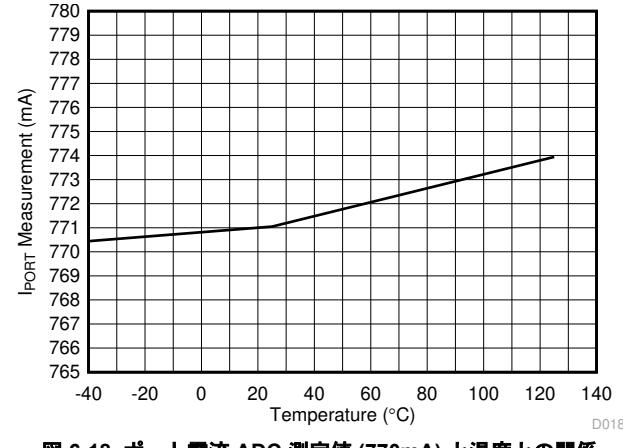


図 6-18. ポート電流 ADC 測定値 (770mA) と温度との関係

6.6 代表的特性 (続き)

特に記載がない限り、条件は $-40 < T_J < 125^{\circ}\text{C}$ です。 $V_{\text{VDD}} = 3.3\text{V}$ 、 $V_{\text{VPWR}} = 54\text{V}$ 、 $V_{\text{DGND}} = V_{\text{AGND}}$ 、 DGND 、 KSENSA 、 KSENSB 、 KSENSC 、 KSENSD を AGND に接続。すべての出力は無負荷、 $2 \times \text{FBn} = 0$ 。正の電流はピンに流れます。 $R_S = 0.200\Omega$ 、 KSENSA (SEN1 または SEN2) との間、 KSENSB (SEN3 または SEN4) との間、 KSENSC (SEN5 または SEN6) または KSENSD (SEN7 または SEN8) に接続。標準値は 25°C 状態です。特に記述のない限り、すべての電圧は AGND を基準とします。特に記述のない限り、動作レジスタにはデフォルト値が書き込まれます。

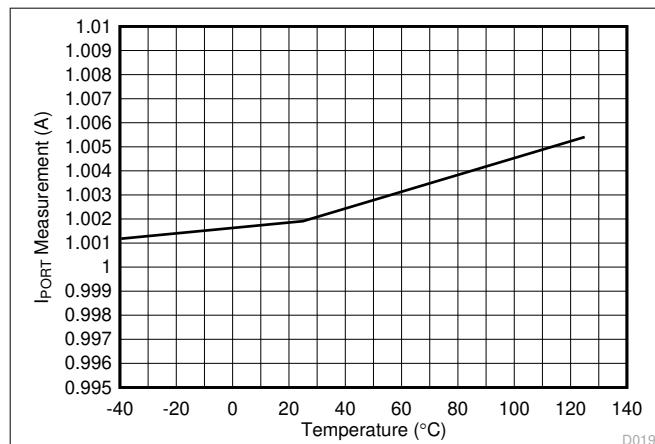


図 6-19. ポート電流 ADC 測定値 (1A) と温度との関係

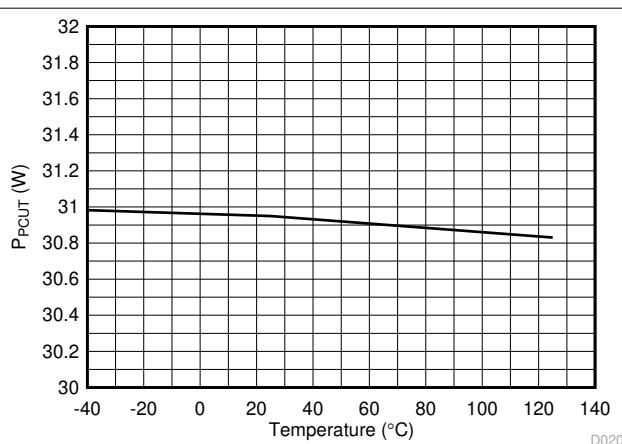


図 6-20. 2 ペア PCut スレッショルド (30W) と温度との関係

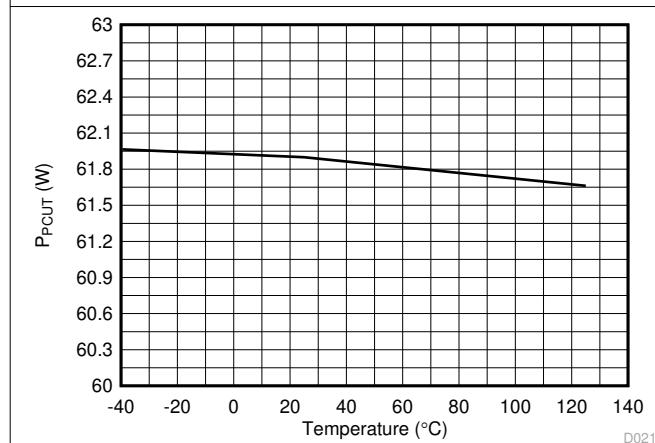


図 6-21. 4 ペア PCut スレッショルド (60W) と温度との関係

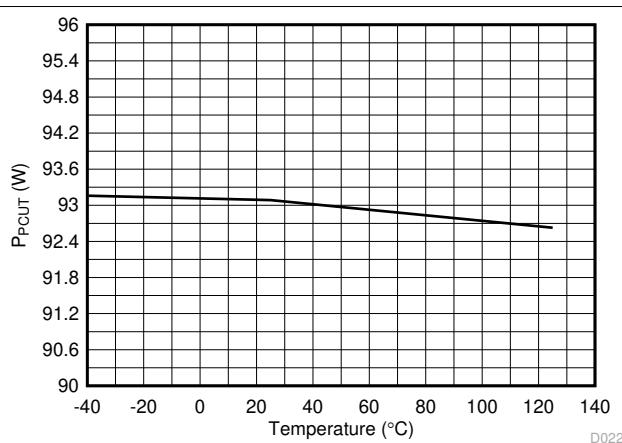


図 6-22. 4 ペア PCut スレッショルド (90W) と温度との関係

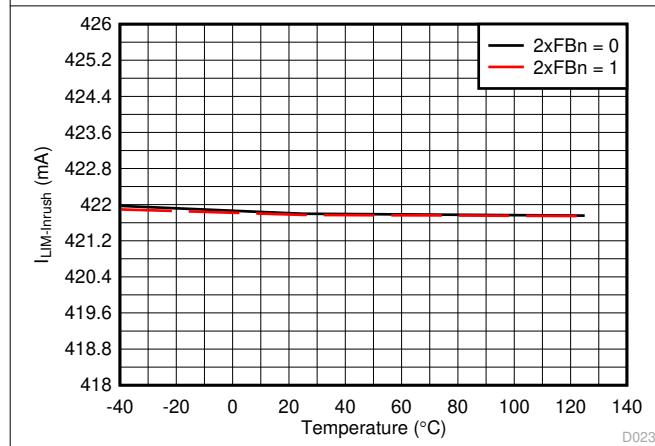


図 6-23. 突入電流制限と温度との関係

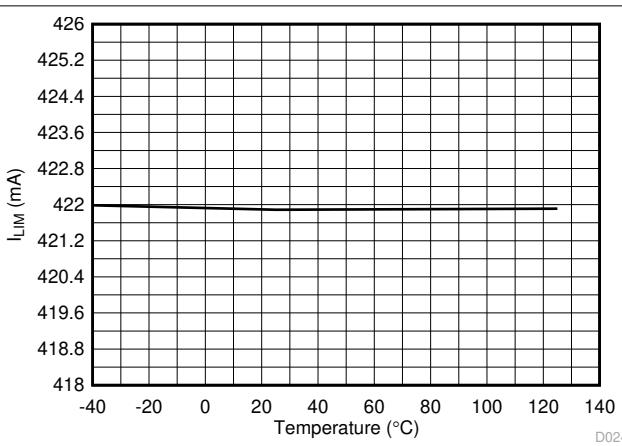


図 6-24. 1x モード (2xFBn = 0) の電流制限と温度との関係

6.6 代表的特性 (続き)

特に記載がない限り、条件は $-40 < T_J < 125^\circ\text{C}$ です。 $V_{VDD} = 3.3\text{V}$ 、 $V_{VPWR} = 54\text{V}$ 、 $V_{DGND} = V_{AGND}$ 、 $DGND$ 、 $KSENSA$ 、 $KSENSB$ 、 $KSENSC$ 、 $KSENSD$ を $AGND$ に接続。すべての出力は無負荷、 $2 \times FBn = 0$ 。正の電流はピンに流れます。 $R_S = 0.200\Omega$ 、 $KSENSA$ ($SEN1$ または $SEN2$) との間、 $KSENSB$ ($SEN3$ または $SEN4$) との間、 $KSENSC$ ($SEN5$ または $SEN6$) または $KSENSD$ ($SEN7$ または $SEN8$) に接続。標準値は 25°C 状態です。特に記述のない限り、すべての電圧は $AGND$ を基準とします。特に記述のない限り、動作レジスタにはデフォルト値が書き込まれます。

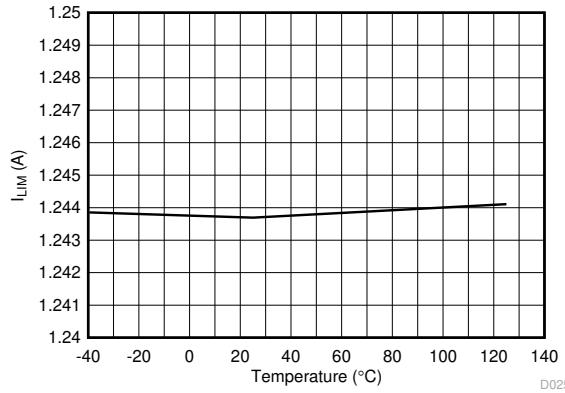


図 6-25. 2x モード ($2xFBn = 1$) の電流制限と温度との関係

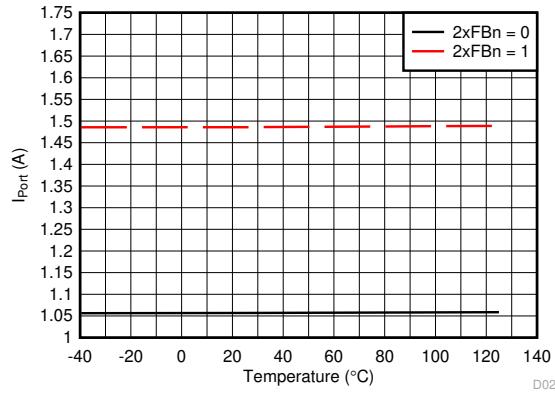


図 6-26. I_{SHORT} スレッショルドと温度との関係

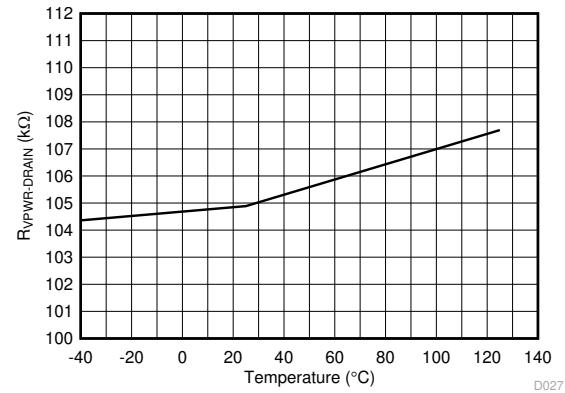


図 6-27. R_{OFF} ($VPWR$ から $DRAIN$ へ) と温度との関係

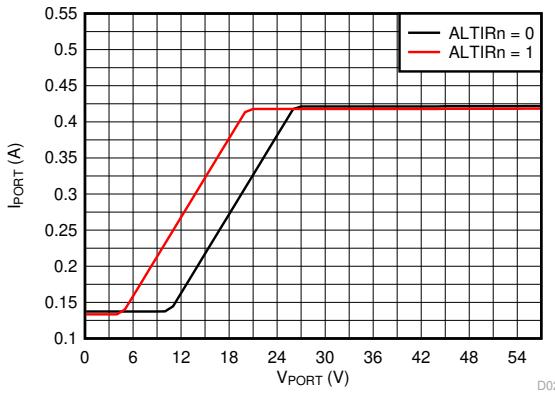


図 6-28. 突入電流フォールドバックとポート電圧との関係

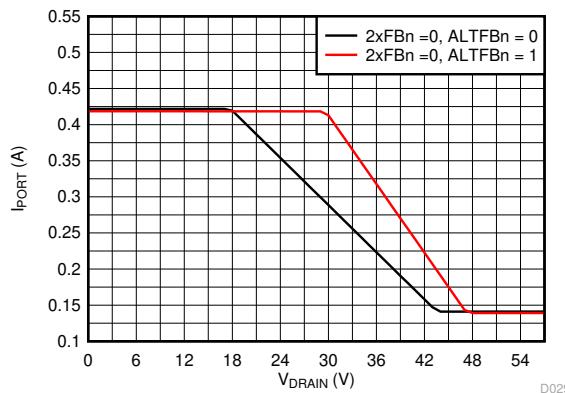


図 6-29. 1x モード ($2xFBn = 0$) 電流フォールドバックとドレン電圧との関係

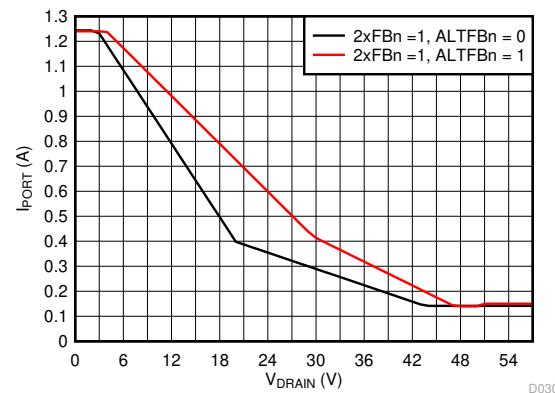


図 6-30. 2x モード ($2xFBn = 1$) 電流フォールドバックとドレン電圧との関係

7 パラメータ測定情報

7.1 タイミング図

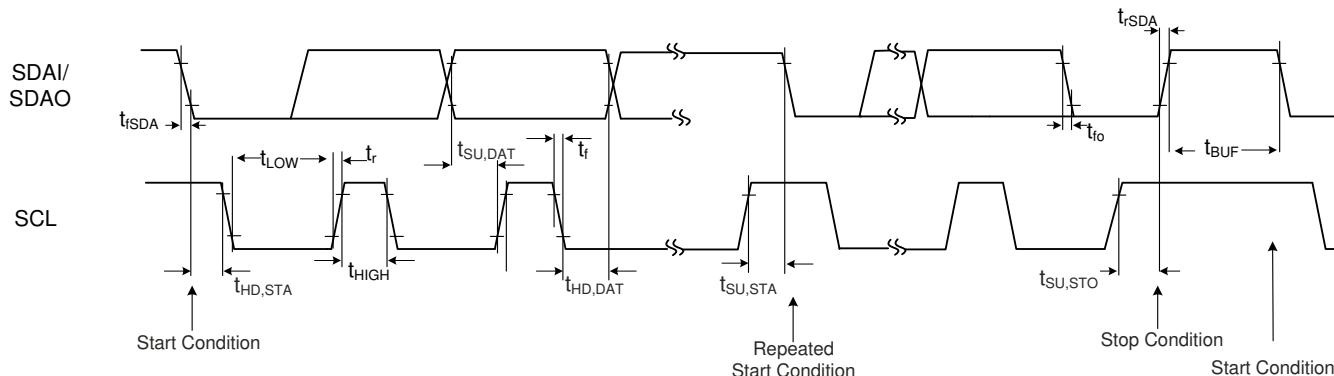


図 7-1. I²C タイミング

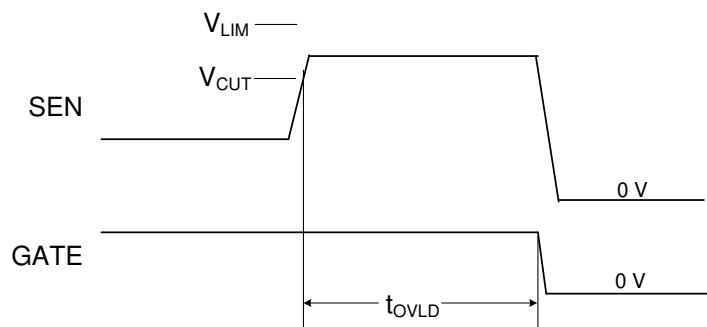


図 7-2. 過電流FAULT タイミング

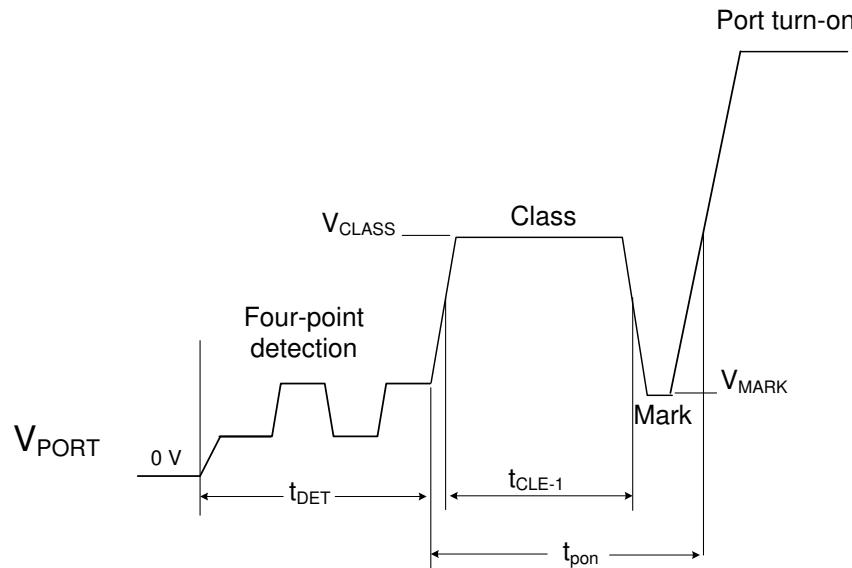


図 7-3. 2 ペア検出、1 イベント分類、ターンオン

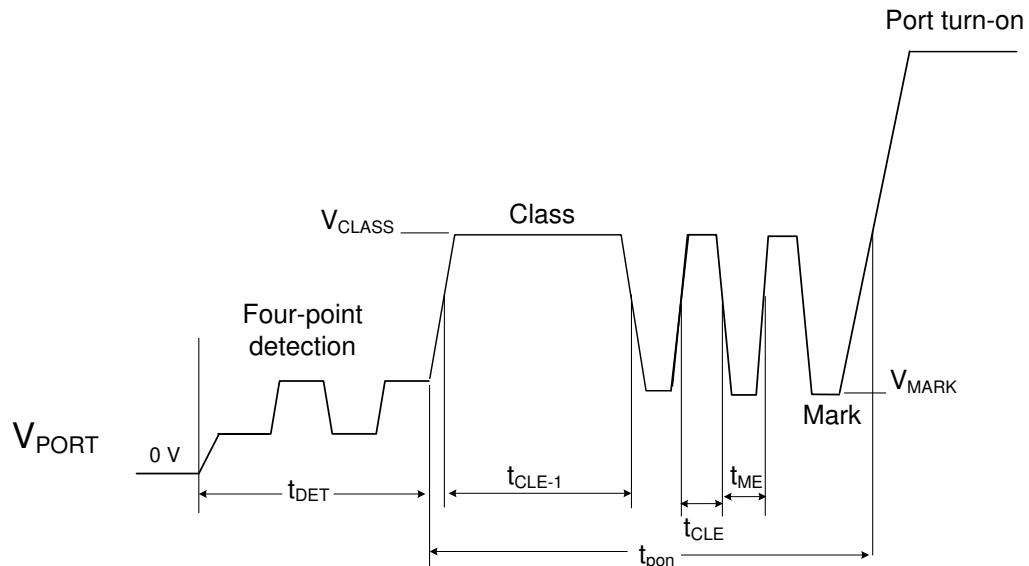


図 7-4. 2 ペア検出、3 イベント分類、ターンオン

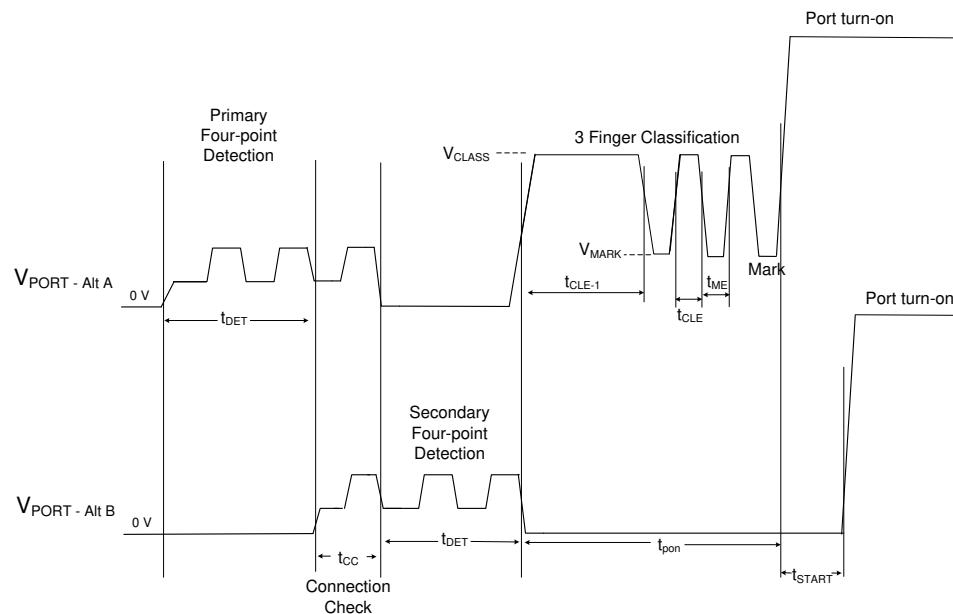


図 7-5.4 ペア シングル シグネチャ検出、3 イベント分類、およびターンオン

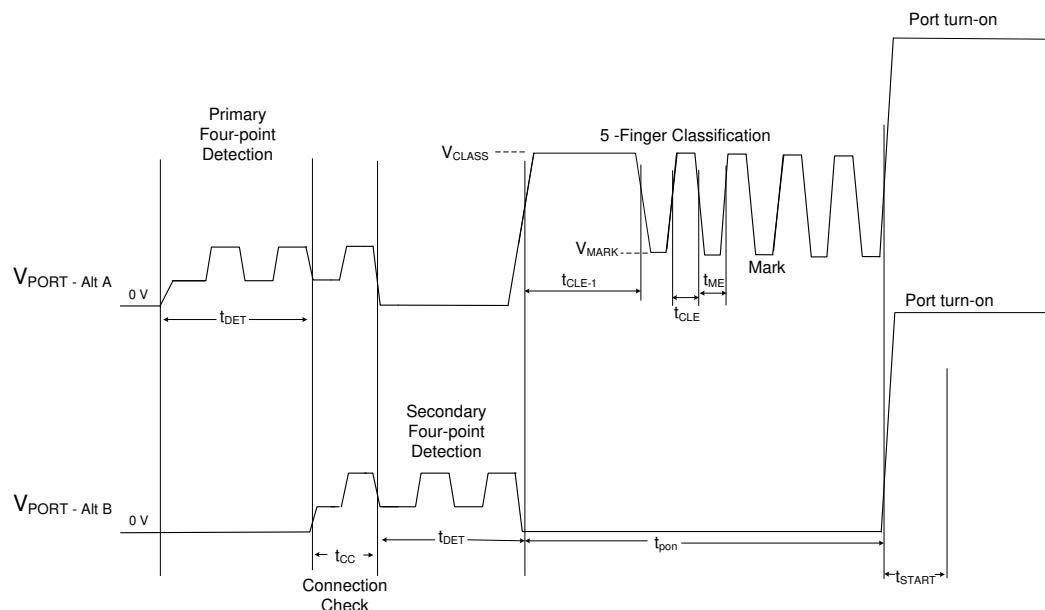


図 7-6.4 ペア シングル シグネチャ検出、5 イベント分類、およびターンオン

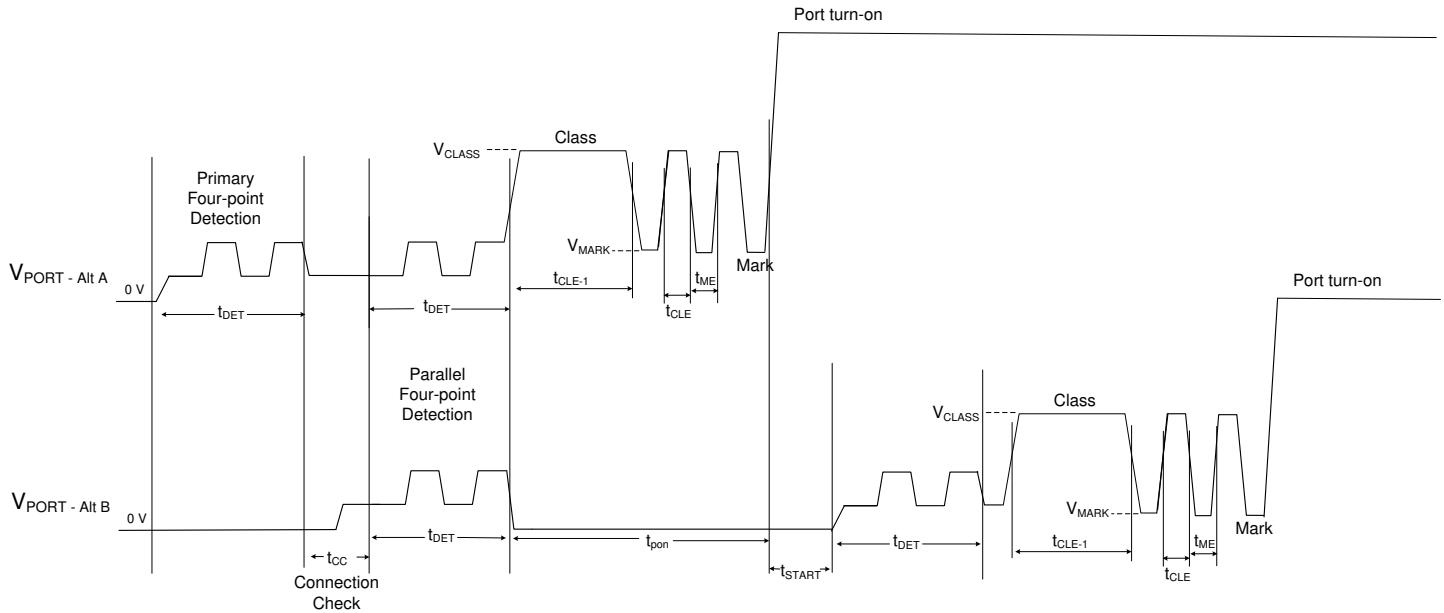


図 7-7.4 ペア デュアル シグネチャ検出、3 イベント分類、およびターンオン

8 詳細説明

8.1 概要

TPS23881B は、PoE (パワー オーバー イーサネット) アプリケーション用の 8 チャネル PSE です。8 つのチャネルのそれぞれに、IEEE 802.3bt 規格に準拠した検出、分類、保護、シャットダウンを提供します。

PoE の基本的な機能は次のとおりです。

- 高信頼性の 4 ポイント負荷検出を行います
- PoE 2 3/4 (3 本、4 本、5 本の指) を含め、最大クラス 8 の負荷に対応する相互識別分類を実行
- シングル シグニチャおよびデュアル シグニチャ PD を認識します
- 保護フォールドバック電流制限機能付き電力、および調整可能な P_{cut} スレッショルドを使用できます
- 過電流または出力短絡などのフォルト中にシャットダウンします
- 負荷が切断された際に電力が取り除かれるように、電力維持シグネチャ機能を実行します
- VPWR が V_{PUV_F} (標準値 26.5V) を下回ると、低電圧誤動作防止が発生します。

強化された機能には、以下のものがあります。

- プログラム可能な SRAM メモリ
- ポートごとに専用の 14 ビット積算電流 ADC
- ポートの再マッピング機能
- 8 ビットと 16 ビットのアクセス モードを選択可能
- 1 ビットおよび 3 ビットのポート シャットダウン優先度

8.1.1 動作モード

8.1.1.1 車載

ポートは、検出と分類を継続的に実行します (有効な検出が発生した場合)。レジスタは、検出または分類が発生するたびに更新されます。ポートの電力は、有効な分類が測定された場合、レジスタ 0x29 の「電力配分」設定に基づいて自動的にオンになります。

8.1.1.2 自律

この場合も、TPS23881B の動作を一連の I²C コマンドで初期化する必要がある自動モードとは異なり、デバイスが自律モードに構成されている場合、ホストや I²C 通信は必要ありません。

電源投入時、AUTO ピンの抵抗 (R_{AUTO}) を測定し、表 8-16 に従ってデバイスが事前構成されます。ポートは、すべてのポートで検出と分類を継続的に実行します (有効な検出が発生した場合)。有効な分類が測定された場合、レジスタ 0x29 の「電力割り当て」設定に基づいてポートの電力は自動的にオンになります。

引き続きポートの遠隔測定が必要なアプリケーションでは、I²C 機能は自律モードでもサポートされています。

注

自律モード選択で安定性を確保するため、 R_{AUTO} と並列に 10nF のコンデンサが必要です。

自動ピン抵抗 (R_{AUTO}) は、デバイスリセット後 (\overline{RESET} ピンまたはレジスタ 0x1A の RESAL ビットがアサートされた後) は測定されません。デバイスは、電源投入時 (V_{VPWR} および V_{VDD} がそれぞれの UVLO スレッショルド以上に上昇する) にのみ測定 (R_{AUTO})、内部レジスタを事前構成します。

注

自律モードで最初に電源を投入した後に自律モードからデバイスを削除するアプリケーションをサポートするために、デバイスの SRAM をプログラムする必要があります。

自律モードで内部 ROM (プログラムされていない SRAM) から実行されるデバイスは、RESET ピン、I²C レジスタ 0x1A RESAL または RESPn ビット、またはモード オフ コマンドのアサート後に、有効な負荷の検出と電源投入を自動的に再開します。プログラムされた SRAM を備えた自律モードで実行されているデバイスはオフになり、ホストが I²C バス経由でポートを再度イネーブルにするまで、非アクティブのままになります。

8.1.1.3 半自動

ポートは、検出と分類を継続的に実行します (有効な検出が発生した場合)。レジスタは、検出または分類が発生するたびに更新されます。ポートの電源が自動的にオンになることはありません。ポートをオンにするには、パワー イネーブル コマンドが必要です。

8.1.1.4 手動および診断

このモードは、半自動または自動モードの IEEE 802.3bt 規格に従ってポートに電力を供給できない場合にのみ、システム診断目的を目的としています。

ポートはレジスタの設定に従って機能を実行します。自動的な状態変更はありません。命令されたときに特異検出および分類測定が実行されます。ポートは、パワー イネーブル コマンドの直後にオンになり、検出または分類の測定は行われません。複数の分類イベントが実行される場合でも、ポート電圧は最後の指の直後にリセットされ、PD がリセットされます。

8.1.1.5 電源オフ

ポートの電源がオフになっており、検出、分類、または電源投入は実行されません。このモードでは、関連するポートのステータスビットとイネーブルビットがリセットされます。

8.1.2 PoE 適合性の用語

IEEE 802.3bt 規格の発表に伴い、シングルまたはデュアル シグネチャ構成で、2 ペアまたは 4 ペアを介した給電をサポートする 4 種類の「タイプ」のデバイスが追加され、0 ~ 8 の分類が可能になりました。各メーカーは、時間の経過とともにさまざまな用語を使用して機器の機能を説明してきましたが、特定の機器を正しく分類してブランド化する方法を特定することが困難になる可能性があります。このため、PoE 機器およびデバイスの業界をリードするプロバイダーは、Ethernet Alliance (EA) と協力して、次の表 [表 8-1](#) に従って「PoE 1」および「PoE 2」バンドを使用することに同意しました。

表 8-1. PoE 準拠用語のまとめ表

ブランド/頭字語	IEEE 規格	条項	条項タイトル	タイプ	クラス	EA 認定ロゴ
PoE 1	802.3af	33	2 ペア経由のパワー オーバー イーサネット	1	0 - 3	第 1 世代クラス 1-4
	802.3at			2	0 - 4	
PoE 2	802.3bt	145	パワー オーバー イーサネット	3	1-6 または 1-4 DS ⁽¹⁾	第 2 世代クラス 1-8
				4	7-8 または 5 DS ⁽¹⁾	

(1) 「DS」は「デュアル シグネチャ」PD を指定するために使用されます。

注

設計上、PoE 2 PSE は既存の PoE 1 機器と完全に相互運用可能です。すべての機能が有効になるとは限りませんが、PoE 1 PSE に接続された PoE 2 PD は、PSE が提供する電力機能に対する消費を制限する必要があります。[電源の割り当てと電源の降格](#)を参照してください。

8.1.3 チャネルとポートの関係の用語

このドキュメント全体を通して、ポートと チャネルという用語は定期的に使用されていますが、これらの用語は互換性がありません。代わりに、「ポート」という用語は、最も一般的に RJ45 コネクタに関連する PSE PI (Power Interface) を指し、「チャネル」という用語は各ポートに関連付けられた個別のパワー パスまたはパスを指すために使用されます。

従来の PSE デバイスは一般にポートとして制御される出力の数を同一にしていました。各出力は RJ45 ジャック/イーサネット ポートの ALT-A または Alt-B ペア セットへの電力供給専用であるためです。ただし、ALT-A と ALT-B の両方のペア セットをパワーダウンする 4 ペア電源供給を採用することで、2 ペアと 4 ペアの PoE ポートを区別する必要が生じています。さらに、ペア セットごとに個別の電流制限を提供する必要があるため、任意の 4 ペア ポートでは 4 ペア ポートごとに 2 チャネルを使用して、各ペア セットを安全かつ確実にパワーダウンします。

TPS23881B は 8 チャネルの PSE コントローラであるため、最大 8 つの 2 ペア PoE ポートまたは 4 つの 4 ペア PoE ポート、あるいはそれらの組み合わせ (各 2 ペア ポートが 1 つのチャネルに対応し、各 4 ペア ポートは 2 チャネルに対応します) をサポートするように構成できます。

8.1.4 要求されたクラスと割り当てられたクラス

要求されたクラスは、PSE がターンオンする前に相互識別を行う際に測定する分類です。割り当てられたクラスは、レジスタ **0x29h** の電力割り当て設定に基づいてチャネルが給電された分類レベルです。ほとんどの場合、電力割り当てが要求されたクラスと等しいかそれを超えると、要求されたクラスと割り当てられたクラスは同じになります。ただし、電力低下の場合、これらの値は異なります。

次に例を示します。クラス 8 PD が 60W (クラス 6) 制限付き PSE ポートに接続されている場合、要求されたクラスは「クラス 8」、割り当てられたクラスは「クラス 6」をレポートします。

要求された分類結果は、レジスタ **0x0C-0F** で入手可能です。

割り当てられた分類結果は、レジスタ **0x4C ~ 4F** で参照できます。

注

手動モードおよび診断モードからパワーアウトされたポートおよびチャネルに割り当てられたクラスはありません。

8.1.5 電源の割り当てと電源の降格

レジスタ **0x29** の電源割り当て設定は、A ポートがパワーオンする最大電力レベルを設定します。2 ペア 4W (クラス 1) から 4 ペア 90W (クラス 8) までの各クラス レベルの設定により、システム設計の柔軟性を最大限に高めることができます。

注

レジスタ **0x29** の「電力割り当て」設定は、特定のポートの電力制限を設定しません。ポートおよびチャネルの電力制限は、2P (レジスタ **0x1E-x21**) および 4P (**0x2A-x2B**) ポリシング レジスタで設定されます。

ターンオンの試行中に、PD がポートの電力割り当て設定よりも高い分類レベルを提示した場合、TPS23881B は、レジスタ **0x29** の電力割り当て設定に基づいてオンになる前に、PD に表示される分類フィンガーの数を制限します (電源切断と呼ばれます)。電源切断は、PD が無効にできるまでに引き込むことができる最大電力レベルを設定する、PD に提示されるフィンガーの数です。

注

IEEE 802.3 規格では、相互識別中に PSE が提示する指の数で設定されたタイプ/クラス レベル未満に総消費電力を制限するため、PSE が電力を降格する PD が必要です。

PSE から PD への唯一の通信方法は、電源をオンにする前の分類フィンガーの数であるため、ポートの電源切断はタイプ境界に制限されます。

- 1 フィンガー = 15.4W、3 フィンガー = 30W、4 フィンガー = 60W、5 フィンガー = 90W

表 8-2. シングル シグネチャ PD 電源切断テーブル

電力割り当て レジスタ 0x29	割り当てられたクラス値 (ポートで接続されている PD に基づく)					
	クラス 3 の PD	クラス 4 の PD	クラス 5 の PD	クラス 6 の PD	クラス 7 の PD	クラス 8 の PD
4 ペア 15W	クラス 3	クラス 3	クラス 3	クラス 3	クラス 3	クラス 3
4 ペア 30W	クラス 3	クラス 4				
4 ペア 45W	クラス 3	クラス 4	クラス 5	クラス 4	クラス 4	クラス 4
4 ペア 60W	クラス 3	クラス 4	クラス 5	クラス 6	クラス 6	クラス 6
4 ペア 75W	クラス 3	クラス 4	クラス 5	クラス 6	クラス 7	クラス 6
4 ペア 90W	クラス 3	クラス 4	クラス 5	クラス 6	クラス 7	クラス 8

表 8-3. デュアル シグネチャ PD 電源切断テーブル

電力割り当て レジスタ 0x29	割り当てられたクラス値 (ポートで接続されている PD に基づく)					
	クラス 3D PD		クラス 4D PD		クラス 5D PD	
	奇数チャネル (1 次 側)	偶数チャネル (2 次 側)	奇数チャネル (1 次 側)	偶数チャネル (2 次 側)	奇数チャネル (1 次 側)	偶数チャネル (2 次 側)
4 ペア 15W	クラス 3	電力不足	クラス 3	電力不足	クラス 3	電力不足
4 ペア 30W	クラス 3	クラス 3	クラス 4	電力不足	クラス 4	電力不足
4 ペア 45W	クラス 3	クラス 3	クラス 4	クラス 3	クラス 4 (1)	クラス 3 (1)
4 ペア 60W	クラス 3	クラス 3	クラス 4	クラス 4	クラス 4 (1)	クラス 4 (1)
4 ペア 75W	クラス 3	クラス 3	クラス 4	クラス 4	クラス 5D	クラス 4
4 ペア 90W	クラス 3	クラス 3	クラス 4	クラス 4	クラス 5D	クラス 5D

- (1) IEEE 802.3bt に準拠するため、タイプ 3 の構成済み PSE は、どのペアにも 30W (クラス 4) を超える電力を割り当てるなどを許可されています。注: SRAM リリース v05 で、この要件に準拠するよう変更を加えました。

注

クラス「X-D」デュアル シグネチャ PD は、各変更ペアでクラス「X」として表示されます。例えば、「クラス 4D」の PD は、代替 A ペアと代替 B ペアの両方でクラス 4 として提示されます。

8.1.6 プログラマブル SRAM

TPS23881B デバイスは、IEEE 802.3bt 標準のリリースに伴って新しい機器が導入される際に発生する可能性のある相互運用性やコンプライアンスの問題をサポートするため、将来のファームウェア アップデートに対応できるようにプログラム可能な SRAM を内蔵しています。

注

最新バージョンのファームウェアおよび SRAM リリース ノートは、[TI mySecure Software Web](#) ページからアクセスできます。

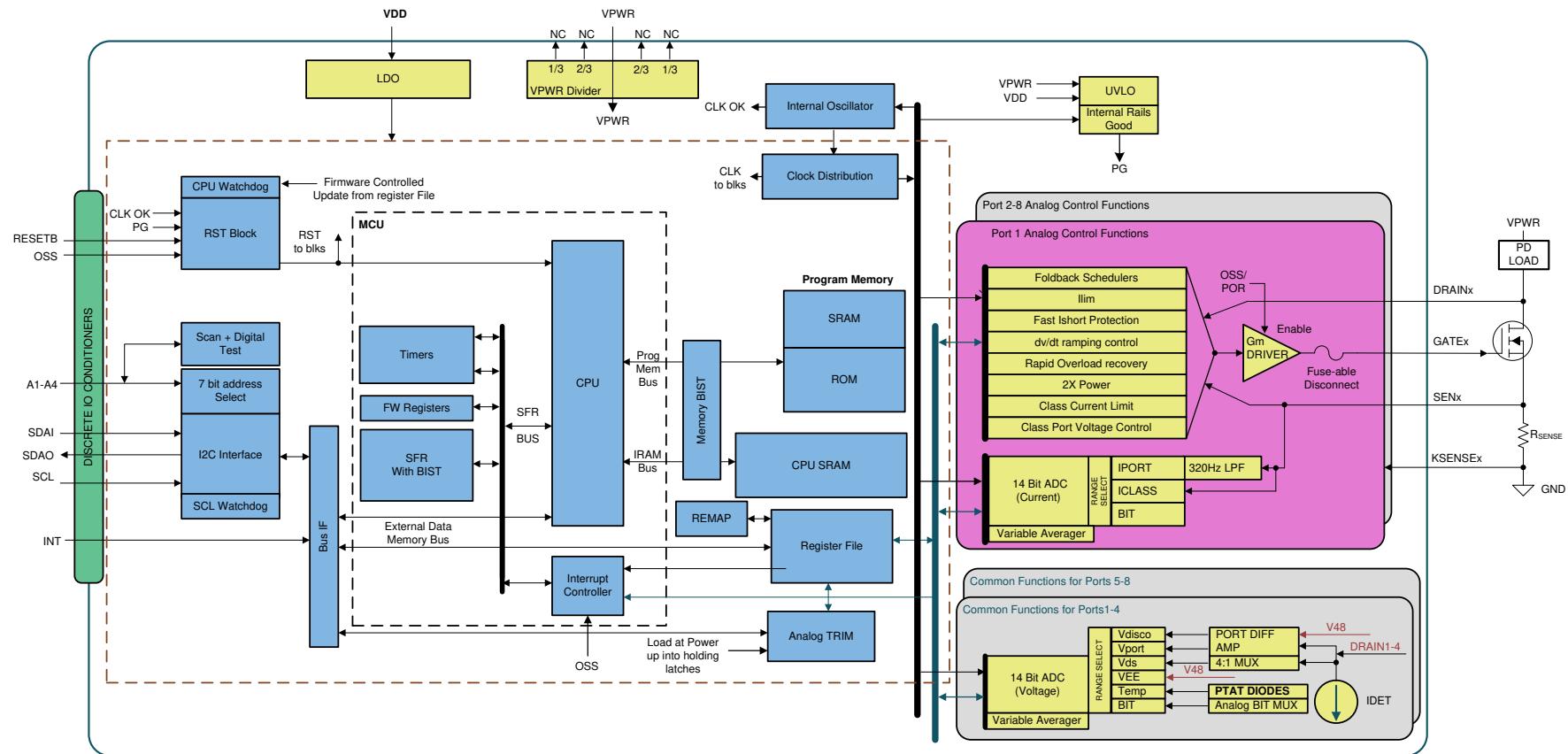
SRAM リリース ノートおよび ROM アドバイザリ ドキュメントには、各ファームウェア リリースに関連する既知の問題や変更に関する詳細情報が記載されています。

TI では、電源投入時に、TPS23881B デバイスの SRAM を最新バージョンの SRAM コードで I²C 経由でプログラムし、適切な動作と IEEE 準拠のパフォーマンスを確保することを推奨しています。SRAM のプログラムに必要なコマンドを除くすべての I²C トランザクションは、SRAM のプログラミング シーケンスが完了するまで延期する必要があります。

複数の TPS23881B デバイスを含むシステムでは、0x7F「グローバル」ブロードキャスト I²C アドレスを使用して、すべてのデバイスを同時にプログラムできます。

SRAM のプログラミング手順の詳細な手順については、『[SRAM 制御レジスタ](#)』および『[TPS2388x SRAM と I²C を介したパリティコードのロード方法](#)』アプリケーション概要 (Ti.com) を参照してください。

8.2 機能ブロック図



8.3 機能説明

8.3.1 ポートの再割り当て

TPS23881B は、論理ポートから物理チャネルおよびピンへのポートの再マッピング機能を備えています。

再マッピングは、4 ポートグループの任意のチャネル (1 ~ 4, 5 ~ 8) 間で行われます。

以下の例は、0x26 レジスタ = 00111001、00111001b に適用されます。

- 論理ポート 1 (5↔) 物理チャネル 2 (6)
- 論理ポート 2 (6↔) 物理チャネル 3 (7)
- 論理ポート 3 (7↔) 物理チャネル 4 (8)
- 論理ポート 4 (8↔) 物理チャネル 1 (5)

注

4 つのポートすべてが OFF モードでない限り、デバイスはリマッピングコマンドを無視します。

TPS23881B が誤った構成を受信した場合、誤った構成を無視し、以前の構成を保持します。ACK は通常どおり通信終了時に送信されます。たとえば、複数のポートについて同じ再マッピング コードが受信された場合、再マッピング レジスタ (0x26) のリードバックが最後の有効な構成になります。

IC リセット コマンド (1Ah レジスタ) を受信した場合、ポートのリマッピング設定は変更されません。ただし、パワーオン リセットが存在する場合や、RESET ピンがアクティブになっている場合、再マッピング レジスタはデフォルト値に再初期化されます。

8.3.2 ポート電力の優先度

TPS23881B は、1 ビットおよび 3 ビットのシャットダウン優先度をサポートしており、汎用マスク レジスタ (0x17) の MbitPrty ビットで選択します。

1 ビットのシャットダウン優先度はポート電源優先度 (0x15) レジスタと連携して機能します。値が 1 の OSSN ビットは、対応するポートが低優先度として扱われ、値が 0 の場合は高優先度に対応します。OSS 入力が high になると、すぐに低優先度のポートがオフになります。

3 ビットのシャットダウン優先度は、優先度設定を保持するマルチビットパワー優先度 (0x27/28) レジスタと連動します。このレジスタの「000」コードを持つポートは、最も高い優先度を持ちます。3 ビットの値が大きくなると、ポートの優先度が低下し、最大 8 つの優先度レベルが設定されます。[図 8-1](#) を参照してください。

マルチビット ポートの優先順位の実装は、次のように定義されます。

- OSS コード≤優先度設定 (0x27/28 レジスタ): ポートはディセーブルです
- OSS コード>優先度設定 (0x27/28 レジスタ): ポートはアクティブのままです

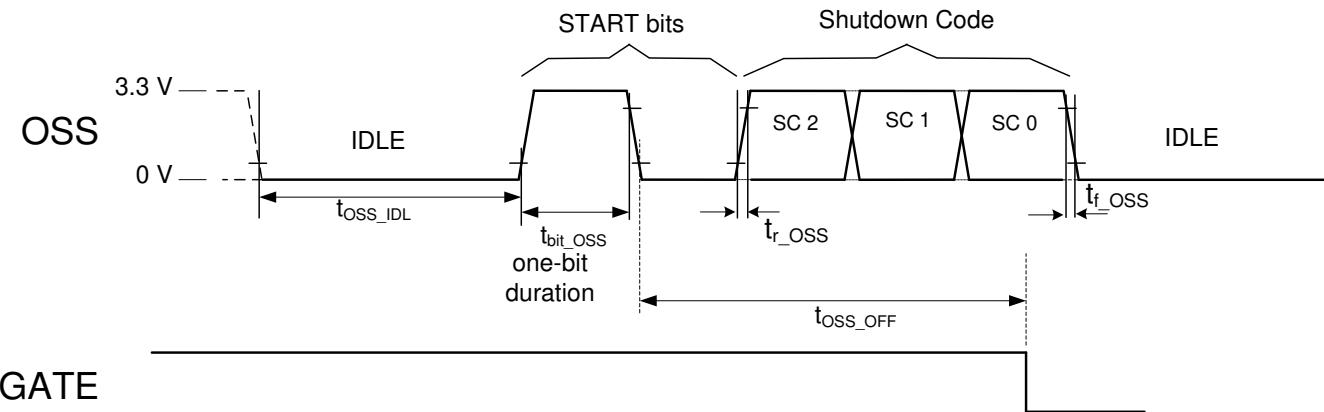


図 8-1. マルチビット優先ポートのシャットダウン (低優先度ポートの場合)

注

MbitPrty ビットを 0 から 1 に設定する前に、OSS ビットストリームとの同期が失われたことに関連してポートの誤動作を防止するため、OSS 入力が最小の 200 μ s の間アイドル (low) 状態になっていることを確認してください。

注

OSS 入力には、1 μ s から 5 μ s へのグリッチ除去フィルタが内蔵されています。アイドル状態から、より長い期間のパルスは、有効なスタートビットとして解釈されます。OSS 信号がノイズフリーであることを確認します。

注

OSS イベント中に 4 ペアポートの両方のチャネルが確実にディセーブルになるようにするには、0x15 または 0x27/28 レジスタの両方のチャネルの構成が同じであることを確認してください。

8.3.3 A/D コンバータ (ADC)

TPS23881B は、10 のマルチスロープ統合コンバータを搭載しています。最初に 8 個のコンバータはそれぞれ 1 つのチャネルの電流測定専用であり、独立して動作して分類時やチャネルの電源がオンになったときに測定を行います。チャネルに電力が供給されると、コンバータは電流 (平均 100ms) の監視、電力ポリシング、および DC 切断に使用されます。最後の 2 つのコンバータのそれぞれが、検出 (平均 16.6ms)、ポート電源電圧監視、パワー グッド ステータス、FET 短絡検出のための 4 つのチャネルからなるグループ内で共有されます。これらのコンバータは、入力電圧 (1ms) やダイ温度などの汎用の測定にも使用されます。

TPS23881B が使用している ADC タイプは、他の類似のコンバータとは異なり、入力信号が積分器によりサンプリングされている間、ADC が連続的に変換し、変換期間全体にわたって本質的にフィルタ処理を行うという点で異なります。電流コンバータの標準変換時間は 800 μ s であり、他のコンバータでは変換時間は 1ms です。受電側デバイス検出は、50Hz または 60Hz のライン周波数でのノイズの大幅な除去を実現する 16 の連続サンプルを平均化することによって実行されます。ポートに電力が供給されている間、デジタル平均化により、100ms の時間にわたって内蔵されたチャネル電流測定が行われます。電源電流監視用にアンチエイリアシング フィルタがあることに注意します。

注

電力モードでは、電流変換が連続的に実行されます。また、電力モードでは、電流または電圧の ADC 変換を開始できるようになる前に、 t_{START} タイマが満了しなければなりません。

8.3.4 I²C ウオッチドッグ

I²C ウオッチドッグ タイマは、TPS23881B デバイスで利用できます。タイマは、I²C、SCL ラインのクロック エッジを監視します。イネーブルにすると、ウォッチドoggのタイムアウトが発生すると、I²C インターフェイスとアクティブなポートがリセットされます。この機能により、ソフトウェアがハングした場合や、ターゲット デバイスによって I²C バスがハングアップした場合でも、保護が提供されます。後者の場合、コントローラがクロックの送信を停止したときに、ターゲットがデータビット 0 を送信しようとした場合、ターゲットは無期限にデータラインを low に駆動できます。データラインは low に駆動されるため、コントローラはストップを送信してバスをクリーンアップすることはできません。TPS23881B の I²C ウオッチドogg機能をアクティブ化すると、このデッドロック状態はクリアされます。2 秒のタイマが経過すると、ポートがラッチオフされ、WD ステータスビットがセットされます。ウォッチドoggがイネーブルではない場合でも WD ステータスが設定されることに注意してください。WD ステータスビットは、デバイスリセットまたは WDS ステータスビット位置に 0 の書き込みでのみクリアできます。4 ビットウォッチドogg ディセーブル フィールドでは、コード 1011b がロードされると、この機能がシャットダウンされます。TPS23881B の電源を最初に投入すると、このフィールドは 1011b にプリセットされます。詳細については、[I²C ウオッチドogg レジスタ](#)を参照してください。

8.3.5 電流フォールドバック保護

TPS23881B は、完全な MOSFET 保護のために 2 種類のフォールドバック メカニズムを備えています。

突入時、チャネル ターンオン時、フォールドバックはチャネル電圧に基づいて行われます (図 8-2 を参照)。レジスタ 0x40 の 2xFBn ビットの状態に関係なく、突入電流プロファイルは同じに維持されることに注意します。

チャネルに電源が供給され、パワー グッドが有効な後、デュアル スロープ動作フォールドバックが使用され、ポート出力での部分的および合計短絡から保護されながら、PSE 入力電圧での通常の過渡現象において、PD 電力を維持できます。2xFBn ビットをセットすると、2x 曲線が選択され、クリアすると 1x 曲線が選択されることに注意してください。図 8-3 を参照してください。

デフォルトのフォールドバック曲線に加えて、TPS23881B は、突入と電源動作の両方について個別にイネーブルされた代替フォールドバック曲線を使用可能です。これらの曲線は、IEEE 規格に完全に準拠しておらず、電源をオンにするか電源を入れたままにする必要がある特定の負荷に対応するように設計されています。図 8-2 と 図 8-3 を参照してください。

注

代替フォールドバック曲線 (ALTIRn または ALTFBn = 1) を使用する場合、設計者はこれらの条件のときに FET で発生する可能性のある追加の消費電力を考慮する必要があります。

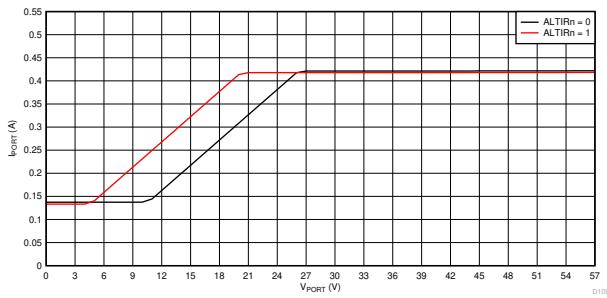


図 8-2. 突入時のフォールドバック (ポート電源オン時) : I_{LIM} と V_{port} との関係

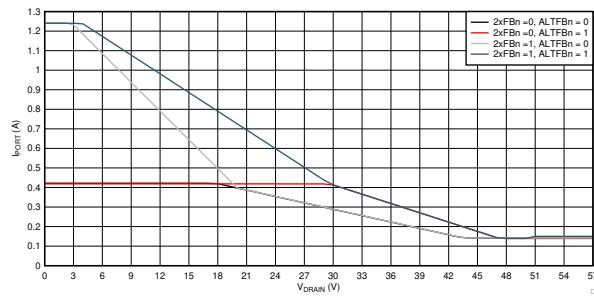


図 8-3. ポートがすでにオ n になっている場合のフォールドバック : I_{LIM} と V_{drain} との関係

8.4 デバイスの機能モード

8.4.1 検出

誤検出の可能性を排除するために、TPS23881B は TI 独自の 4 点検出法を採用して、PD デバイスのシグネチャ抵抗値を判定しています。ノイズの多い環境や負荷が高い容量性である場合、2 ポイント検出タイプの PSE で有効な 25kΩ シグネチャの誤検出が発生する可能性があります。

検出 1 と検出 2 は 1 つの検出機能に統合され、繰り返されます。検出 1 は I1 (160μA) をチャネルに適用し、約 60ms 待機してから、内蔵 ADC によるチャネル電圧 (V1) を測定します。次に検出 2 はチャネルに I2 (270μA) を印加し、約 60ms 待機した後、チャネル電圧 (V2) を再度測定します。その後、このプロセスを 2 回繰り返し、3 番目 (V3) と 4 番目 (V4) のチャネル電圧測定値をキャプチャします。非線形またはヒステリシス PD シグネチャの影響を排除するため、4 つの測定ポイントの組み合わせすべてに対して複数の比較と計算が実行されます。結果のチャネル シグネチャは、適切なカテゴリにソートされます。

注

検出抵抗測定結果は、チャネル検出抵抗レジスタ (0x44 ~ 0x47) にもあります。

8.4.2 接続チェック

4ペア構成のポートの場合、は、いずれかのチャネルで有効な検出を測定した直後に接続チェックを実行します。接続チェック中に、両方のチャネルをプローブしてポートにシングル シグニチャまたはデュアル シグネチャ負荷が存在するかどうかを判定し、この測定結果はレジスタ 0x1C の下側ニブル (4 ビット) に示します。シングル シグニチャまたはデュアル シグニチャを正確に決定することは、ポートの PSE 管理にとって重要です。

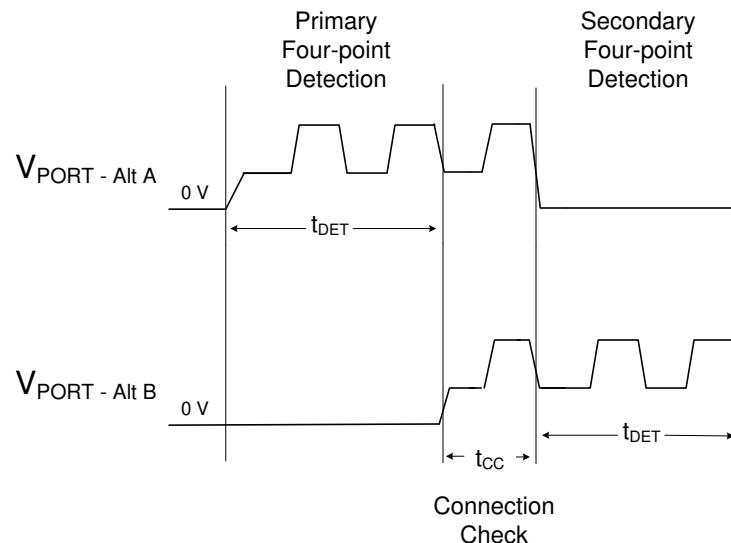


図 8-4. シングル シグニチャ負荷における 4 ペア ポート、検出および接続チェック波形

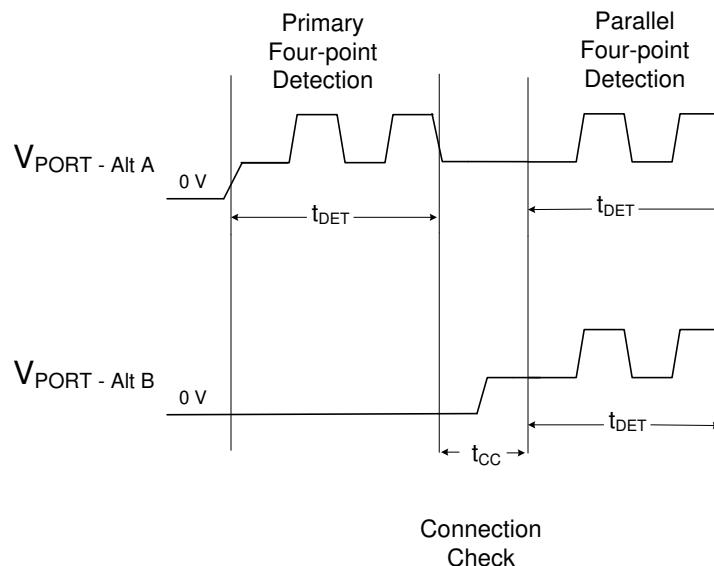


図 8-5. デュアル シグネチャ負荷における 4 ペア ポート、検出および接続チェック波形

8.4.3 分類

ハードウェア分類 (クラス) は、電圧を供給し、結果の電流をサンプリングすることで実行されます。電源コントローラ チップで大電力の分類イベントが発生しないように、TPS23881B は、外部パワー FET を使用して分類を行います。

分類中、外部 MOSFET のゲート ノードの電圧はリニア制御ループの一部です。制御ループは、VPWR とドレインの間の差動電圧を 18.5V に維持するために適切な MOSFET ドライブを印加します。分類の間に、MOSFET のソースにある

センサ抵抗の両端の電圧を測定し、TPS23881B でクラス レベルに変換します。分類中に負荷の短絡が発生した場合、クラス イベントが発生している間、MOSFET のゲート電圧は線形制御された短絡の値に低下します。

分類結果は、I²C 検出イベントおよびチャネル n 検出レジスタから読み取られます。The TPS23881B は、パワー イネーブルとポート電源割り当てレジスタを使用して、クラス 0 ~ クラス 8 の範囲の PD について、1、3、4、5 の指分類にも対応しています。

8.4.4 DC 接続解除

切断とは、ポートへの電源をオフにする自動プロセスです。ポートがアンロードされている場合、または最小負荷未満になっている場合は、ポートの電源をオフにして検出を再起動します。DC 切断では、検出抵抗の両端の電圧が測定されます。イネーブルにすると、DC 切断機能は電源ポートの検出抵抗電圧を監視して、ポートが少なくともアクティブ状態を維持するために必要な最小電流を消費していることを確認します。 T_{DIS} タイマは、ポート電流が切断スレッショルド(ポートの設定に応じて 6.5mA または 4.5mA) を下回るとカウントアップします。タイムアウトが発生すると、ポートがシャットダウンされ、フォルト イベント レジスタの対応する切断ビットがセットされます。MPS (電力シグネチャを維持) 電流パルスを実装している PD の場合、電流が 3ms 以上にわたって切断スレッショルドより超え続けていくたびに、 T_{DIS} カウンタがリセットされます。

T_{DIS} の期間は、タイミング構成レジスタ (0x16) の T_{MPDO} ビットによって設定されます。

注

クラス 4 以下の 4 ペア シングル シグネチャ PD が接続されている場合、TPS23881B (T_{MPDO} タイムアウトなし) すぐに 1 つのチャネルにパワーダウンします。その際、2 番目のチャネルに電力を供給したままにしている間、電流が切断スレッショルドを下回ってしまいます。残りのチャネルの電流が 75mA を超えると、このチャネルは再び給電されます。または、残りのチャネルの電流が、 T_{MPDO} タイムアウトよりも長く切断スレッショルドを下回ると、そのポートがシャットダウンされ、故障イベント レジスタの対応する切断ビットが設定されます。

注

4 ペア デュアル シグネチャ PD の両方のチャネルに電力が供給されている場合、電源オン後にレジスタ 0x2D の DCDTx ビットが自動的に設定され、IEEE 準拠の 4.5mA スレッショルドが使用されるようになります。

注

4 ペアのシングル シグネチャ クラス 5-8 PD に電力を供給する場合、電源オン後にレジスタ 0x2D の DCDTx ビットが自動的に設定され、IEEE 準拠の 4.5mA スレッショルドが使用されるようになります。

8.5 I²C プログラミング

8.5.1 I²C シリアルインターフェイス

TPS23881B は、SDAI、SDAO、SCL を使用した 3 線式 I²C インターフェイスを備えています。各送信には、コントローラから送信された START 条件、R/W ビット付きのデバイス アドレス (7 ビット)、レジスタ アドレス バイト、1 つまたは 2 つのデータ バイト、STOP 条件が含まれます。受信者は、送信される各バイトの後にアノリッジ ビットを送信します。SDAI/SDAO は、START 条件または STOP 条件を除いて、SCL が high の間安定しています。

図 8-6 および図 8-7 に、構成 A または B を使用した I²C インターフェイスによる読み取りおよび書き込み動作を示します (詳細については、表 8-26 を参照)。パラメータ読み取り動作は、ADC 変換結果に適用できます。TPS23881B は、I²C バスを介して最新のアドレス指定レジスタにすばやくアクセスできます。ストップ ビットを受信したとき、レジスタ ポインタは自動的にリセットされません。

また、多くの TPS23881B デバイスに対して同時に書き込み操作を実行することもできます。PIN ステータス レジスタに示されているように、このブロードキャスト アクセス中のターゲット アドレスは 0x7F です。選択されている構成 (A または B) に応じて、グローバル書き込みは次のように処理されます。

- 構成 A: 両方の 4 ポートデバイス (1~4 および 5~8) が同時にアドレス指定されます。
- 構成 B: デバイス全体のアドレス指定が行われます。

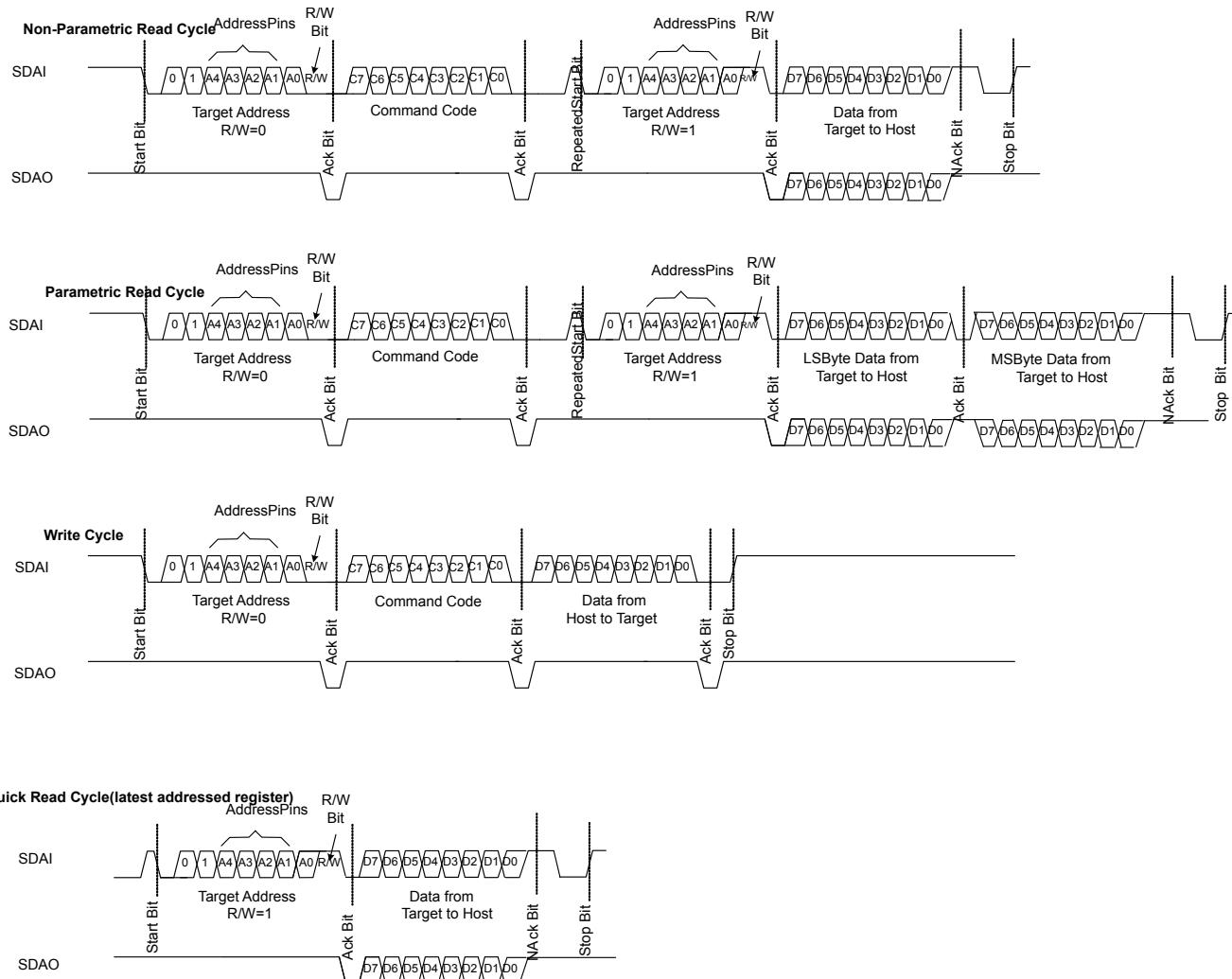
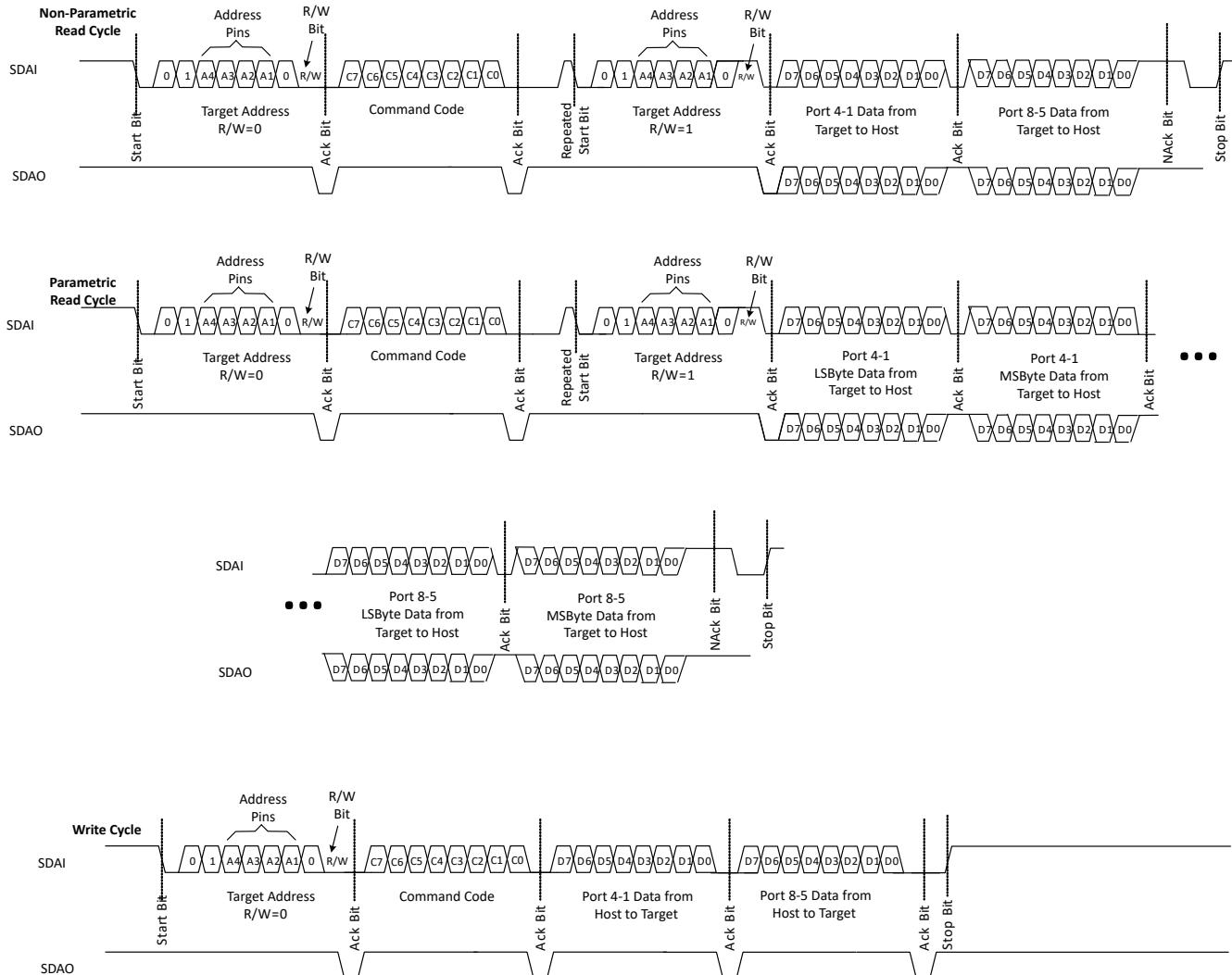


図 8-6. I²C インターフェイス読み取り/書き込みプロトコル – 構成 A

図 8-7. I²C インターフェイス読み取り/書き込みプロトコル – 構成 B

8.6 レジスタ マップ

8.6.1 レジスタ セット全体

表 8-4. メイン レジスタ

CMD コード	レジスタ コマンド名	I ² C R/W	データ パイト	RST 状態	ビットの詳細							
割り込み												
00h	割り込み	RO	1	1000,0000b (1)	SUPF	STRTF	FAULT	CLASC	DETC	DISF	PGC	PEC
01h	割り込みマスク	R/W	1	1000,0000b	SUMSK	STMSK	IFMSK	CLMSK	DEMSK	DIMSK	PGMSK	PEMSK
EVENT												
02h	パワー イベント	RO	1	0000, 0000b	パワー グッド ステータスの変更				電源イネーブルのステータス変更			
03h		CoR	1		PGC4	PGC3	PGC2	PGC1	PEC4	PEC3	PEC2	PEC1
04h	検出イベント	RO	1	0000, 0000b	分類				検出			
05h		CoR	1		CLSC4	CLSC3	CLSC2	CLSC1	DETC4	DETC3	DETC2	DETC1
06h	故障イベント	RO	1	0000, 0000b	切断が発生しました				PCUT 故障が発生しました			
07h		CoR	1		DISF4	DISF3	DISF2	DISF1	PCUT4	PCUT3	PCUT2	PCUT1
08h	開始 / ILIM イベント	RO	1	0000, 0000b	ILIM 故障が発生しました				START 故障が発生しました			
09h		CoR	1		ILIM4	ILIM3	ILIM2	ILIM1	STRT4	STRT3	STRT2	STRT1
0Ah	電源供給/故障イベント	RO	1	0111,0000b (2)	TSD	VDUV	VDWRN	VPUV	PCUT34	PCUT12	OSSE	RAMFLT
0Bh		CoR	1		SLA4	SLA3	SLA2	SLA1	SLA0	予約済み	予約済み	予約済み
STATUS												
0Ch	チャネル 1 検出	RO	1	0000, 0000b	要求されたクラス チャネル 1				チャネル 1 の検出			
0Dh	チャネル 2 検出	RO	1	0000, 0000b	要求されたクラス チャネル 2				チャネル 2 の検出			
0Eh	チャネル 3 検出	RO	1	0000, 0000b	要求されたクラス チャネル 3				チャネル 3 の検出			
0Fh	チャネル 4 検出	RO	1	0000, 0000b	要求されたクラス チャネル 4				チャネル 4 の検出			
10h	電源ステータス	RO	1	0000, 0000b	PG4	PG3	PG2	PG1	PE4	PE3	PE2	PE1
11h	ピン ステータス	RO	1	0, A[4:0], 0, 0	予約済み	SLA4	SLA3	SLA2	SLA1	SLA0	予約済み	予約済み
構成												
12h	動作モード	R/W	1	0000, 0000b	チャネル 4 モード	チャネル 3 モード		チャネル 2 モード	チャネル 1 モード			
13h	接続解除イネーブル	R/W	1	0000, 1111b	予約済み	予約済み	予約済み	予約済み	DCDE4	DCDE3	DCDE2	DCDE1
14h	検出 / クラス イネーブル	R/W	1	0000, 0000b	CLE4	CLE3	CLE2	CLE1	DETE4	DETE3	DETE2	DETE1
15h	PWRPR/PCUT ディセーブル	R/W	1	0000, 0000b	OSS4	OSS3	OSS2	OSS1	DCUT4	DCUT3	DCUT2	DCUT1
16h	タイミング構成	R/W	1	0000, 0000b	TLIM		TSTART		TOVLD		TMPDO	
17h	汎用マスク	R/W	1	1000, 0000b	INTEN	予約済み	nbitACC	MbitPrty	CLCHE	DECHE	予約済み	

表 8-4. メイン レジスタ (続き)

CMD コード	レジスタ コマンド名	I ² C R/W	データ バイト	RST 状態	ビットの詳細																		
プッシュ ボタン																							
18h	検出 / クラス再起動	WO	1	0000、0000b	RCL4	RCL3	RCL2	RCL1	RDET4	RDET3	RDET2	RDET1											
19h	パワー イネーブル	WO	1	0000、0000b	P OFF4	P OFF3	P OFF2	P OFF1	P WON4	P WON3	P WON2	P WON1											
1Ah	リセット	WO	1	0000、0000b	CLRAIN	CLINP	予約済み	RESAL	RESP4	RESP3	RESP2	RESP1											
一般/特殊																							
1Bh	ID	RO	1	0101、0101b	MFR ID						IC バージョン												
1Ch	AUTOCLASS および 接続チェック	RO	1	0000、0000b	AC4	AC3	AC2	AC1	CC34_2	CC34_1	CC12_2	CC12_1											
1Dh	予約済み	R/W	1	0000、0000b	Rsrvd																		
1Eh	2P POLICE 1 CONFIG	R/W	1	1111、1111b	2ペア POLICE チャンネル 1																		
1Fh	2P POLICE 2 CONFIG	R/W	1	1111、1111b	2ペア POLICE チャンネル 2																		
20h	2P POLICE 3 CONFIG	R/W	1	1111、1111b	2ペア POLICE チャンネル 3																		
21h	2P POLICE 4CONFIG	R/W	1	1111、1111b	2ペア POLICE チャンネル 4																		
22h	CAP 測定(3)	R/W	1	0000、0000b	予約済み	CDET4	予約済み	CDET3	予約済み	CDET2	予約済み	CDET1											
23h	予約済み	R/W	1	0000、0000b	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み	予約済み											
24h	電源オンの障害	RO	1	0000、0000b	PF チャネル 4		PF チャネル 3		PF チャネル 2		PF チャネル 1												
25h		CoR	1																				
26h	再マッピング	R/W	1	1110、0100b	物理再マップ論理ポート 4	物理再マップ論理ポート 3	物理再マップ論理ポート 2	物理再マップ論理ポート 1	物理再マップ論理ポート														
27h	マルチビット優先度 21	R/W	1	0000、0000b	予約済み	チャネル 2		予約済み	チャネル 1														
28h	マルチビット優先度 43	R/W	1	0000、0000b	予約済み	チャネル 4		予約済み	チャネル 3														
29h	ポート電力の割り当て	R/W	1	0000、0000b	4P34	MC34		4P12	MC12														
2Ah	4P POLICE 12 CONFIG	R/W	1	1111、1111b	4ペア POLICE チャネル 1 および 2																		
2Bh	4P POLICE 34 CONFIG	R/W	1	1111、1111b	4ペア POLICE チャネル 3 および 4																		
2Ch	温度	RO	1	0000、0000b	温度 (ビット 7 ~ 0)																		
2Dh	4P 障害設定	R/W	1	0000、0000b	NLM34	NLM12	NCT34	NCT12	4PPCT34	4PPCT12	DCDT34	DCDT12											
2Eh	入力電圧	RO	2	0000、0000b	入力電圧: LSByte																		
2Fh		RO		0000、0000b	予約済み	予約済み	入力電圧: MSByte (ビット 13 ~ 8)																
拡張レジスタ セット - パラメータ測定																							
30h	チャネル 1 電流	RO	2	0000、0000b	チャネル 1 電流: LSByte																		
31h		RO		0000、0000b	予約済み	予約済み	チャネル 1 電流: MSByte (ビット 13 ~ 8)																
32h	チャネル 1 電圧	RO	2	0000、0000b	チャネル 1 電圧: LSByte																		
33h		RO		0000、0000b	予約済み	予約済み	チャネル 1 電圧: MSByte (ビット 13 ~ 8)																

- (1) SUPF ビットのリセット状態は、電源オン時のみです
 (2) VDUV、VPUV、VDWRN ビットのリセット状態を示すのは、電源オン時のみです
 (3) 容量測定は、SRAM コードがプログラムされている場合のみサポートされます

表 8-5. メイン レジスタ

CMD コード	レジスタまたはコマンド名	I ² C R/W	データ バイト	RST 状態	ピットの詳細					
34h	チャネル 2 電流	RO	2	0000、0000b	チャネル 2 電流:LSByte					
35h		RO		0000、0000b	予約済み	予約済み	チャネル 2 電流:MSByte (ピット 13 ~ 8)			
36h	チャネル 2 電圧	RO	2	0000、0000b	チャネル 2 電圧:LSByte					
37h		RO		0000、0000b	予約済み	予約済み	チャネル 2 電圧:MSByte (ピット 13 ~ 8)			
38h	チャネル 3 電流	RO	2	0000、0000b	チャネル 3 電流:LSByte					
39h		RO		0000、0000b	予約済み	予約済み	チャネル 3 電流:MSByte (ピット 13 ~ 8)			
3Ah	チャネル 3 電圧	RO	2	0000、0000b	チャネル 3 電圧:LSByte					
3Bh		RO		0000、0000b	予約済み	予約済み	チャネル 3 電圧:MSByte (ピット 13 ~ 8)			
3Ch	チャネル 4 電流	RO	2	0000、0000b	チャネル 4 電流:LSByte					
3Dh		RO		0000、0000b	予約済み	予約済み	チャネル 4 電流:MSByte (ピット 13 ~ 8)			
3Eh	チャネル 4 電圧	RO	2	0000、0000b	チャネル 4 電圧:LSByte					
3Fh		RO		0000、0000b	予約済み	予約済み	チャネル 4 電圧:MSByte (ピット 13 ~ 8)			
構成/その他										
41h	ファームウェア リビジョン	RO	1	RRRR、 RRRRb	ファームウェア リビジョン					
42h	I ² C ウオッヂドッグ	R/W	1	0001、0110b	予約済み	予約済み	予約済み	ウォッヂドッグはディセーブル WDS		
43h	デバイス ID	RO	1	0010、0100b	デバイス ID 番号			シリコンのリビジョン番号		
シグネチャ測定値										
44h	CH1 検出抵抗	RO	1	0000、0000b	チャネル 1 の抵抗					
45h	CH2 検出抵抗	RO	1	0000、0000b	チャネル 2 の抵抗					
46h	CH3 検出抵抗	RO	1	0000、0000b	チャネル 3 の抵抗					
47h	CH4 検出抵抗	RO	1	0000、0000b	チャネル 4 の抵抗					
48h	Ch1 CAP 定 ⁽³⁾	RO	1	0000、0000b	チャネル 1 容量					
49h	Ch2 CAP 定 ⁽³⁾	RO	1	0000、0000b	チャネル 2 容量					
4Ah	Ch3 CAP 定 ⁽³⁾	RO	1	0000、0000b	チャネル 3 容量					
4Bh	Ch4 CAP 定 ⁽³⁾	RO	1	0000、0000b	チャネル 4 容量					

表 8-5. メイン レジスタ (続き)

CMD コード	レジスタまたはコマンド名	I ² C R/W	データ バイト	RST 状態	ビットの詳細							
割り当てられたチャネルステータス												
4Ch	クラス チャネル 1 を割り当てる	RO	1	0000、0000b	クラス チャネル 1 を割り当てる						前のクラス チャンネル 1	
4Dh	クラス チャネル 2 を割り当てる	RO	1	0000、0000b	クラス チャネル 2 を割り当てる						前のクラス チャンネル 2	
4Eh	クラス チャネル 3 を割り当てる	RO	1	0000、0000b	クラス チャネル 3 を割り当てる						前のクラス チャンネル 3	
4Fh	クラス チャネル 4 を割り当てる	RO	1	0000、0000b	クラス チャネル 4 を割り当てる						前のクラス チャンネル 4	
AUTOCLASS の構成/測定値												
50h	AUTOCLASS 制御	R/W	1	0000、0000b	MAC4	MAC3	MAC2	MAC1	AAC4	AAC3	AAC2	AAC1
51h	チャネル 1 AUTOCLASS PWR	RO	1	0000、0000b	Rsvd	チャネル 1 の自動クラス電力						
52h	チャネル 2 AUTOCLASS PWR	RO	1	0000、0000b	Rsvd	チャネル 2 の自動クラス電力						
53h	チャネル 3 AUTOCLASS PWR	RO	1	0000、0000b	Rsvd	チャネル 3 の自動クラス電力						
54h	チャネル 4 AUTOCLASS PWR	RO	1	0000、0000b	Rsvd	チャネル 4 の自動クラス電力						
その他												
55h	代替フォールドバック	R/W	1	0000、0000b	ALTFB4	ALTFB3	ALTFB2	ALTFB1	ALTIR4	ALTIR3	ALTIR2	ALTIR1
56h~5Fh	予約済み	R/W	1	0000、0000b	Rsvd	Rsvd	Rsvd	Rsvd	Rsvd	Rsvd	Rsvd	Rsvd
SRAM												
60h	SRAM 制御	R/W	1	0000、0000b	PROG_SEL	CPU_RST	Rsvd	PAR_EN	RAM_EN	PAR_SEL	RZ/W	CLR_PTR
61h	SRAM データ	R/W	-	-	SRAM データ - 読み取りおよび書き込み (連続)							
62h	開始アドレス	R/W	1	0000、0000b	開始アドレス (LSB) のプログラミング							
63h		R/W	1	0000、0000b	開始アドレス (MSB) のプログラミング							
64h~6Fh	予約済み	R/W	1	0000、0000b	Rsvd	Rsvd	Rsvd	Rsvd	Rsvd	Rsvd	Rsvd	Rsvd

8.6.2 レジスタの詳細説明

8.6.2.1 割り込みレジスタ

COMMAND = 00h、1 データ バイト、読み取り専用

アクティブ high。各ビットは、発生した特定のイベントに対応します。各ビットは、対応するイベント レジスタ アドレスから読み出しを行うか、リセット レジスタのビット 7 をセットすることで、個別にリセットできます。

割り込みマスク レジスタ (01h) の対応するマスク ビットと汎用マスク レジスタの INTEN ビットがセットされている場合、割り込み レジスタのいずれかのアクティブ ビットによって INT 出力がアクティブになります。

図 8-8. 割り込み レジスタ フォーマット

7	6	5	4	3	2	1	0
SUPF	STRTF	FAULT	CLASC	DETC	DISF	PGC	PEC
R-1	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-6. 割り込み レジスタ のフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SUPF	R	1	電源イベント フォルトまたは SRAM メモリ フォルトが発生したことを示します SUPF = TSD VDUV VDWRN VPUV RAMFLT 1 = 少なくとも 1 つの電源イベント フォルトまたは SRAM メモリ フォルトが発生しました 0 = このようなイベントは発生しませんでした
6	STRTF	R	0	少なくとも 1 つのチャネルで t _{START} フォルトが発生したことを示します。 STRTF = STRT1 STRT2 STRT3 STRT4 少なくとも 1 つのチャネルで 1 = t _{START} フォルトが発生しました 0 = t _{START} フォルトが発生していません
5	FAULT	R	0	少なくとも 1 つのチャネルで t _{OVDL} または t _{LIM} 障害が発生したことを示します。 FAULT = PCUT1 PCUT2 PCUT3 PCUT4 PCUT34 PCUT12 ILIM1 ILIM2 ILIM3 ILIM4 1 つ以上のチャネルで 1 = t _{OVDL} または t _{LIM} フォルトが発生しました 0 = に t _{OVDL} または t _{LIM} 障害が発生していません
4	CLASC	R	0	少なくとも 1 つのチャネルで少なくとも 1 つの分類サイクルが発生したことを示します CLASC = CLSC1 CLSC2 CLSC3 CLSC4 1 = 少なくとも 1 つのチャネルについて、少なくとも 1 つの分類サイクルが発生しました 0 = 分類サイクルが発生していません
3	DETC	R	0	少なくとも 1 つのチャネルで少なくとも 1 つの検出サイクルが発生したことを示します DETC = DETC1 DETC2 DETC3 DETC4 1 = 少なくとも 1 つのチャネルの間で少なくとも 1 つの検出サイクルが発生しました 0 = 検出サイクルが発生しませんでした
2	DISF	R	0	少なくとも 1 つのチャネルで切断イベントが発生したことを示します。 DISF = DISF1 DISF2 DISF3 DISF4 少なくとも 1 つのチャネルで 1 = 切断イベントが発生しました 0 = 接続解除イベントは発生していません

表 8-6. 割り込みレジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	リセット	説明
1	PGC	R	0	少なくとも 1 つのチャネルでパワー グッド ステータスが変化したことを示します。 $PGC = PGC1 \parallel PGC2 \parallel PGC3 \parallel PGC4$ 少なくとも 1 つのチャネルで 1 = パワー グッド ステータスの変更が発生しました 0 = パワー グッド ステータスの変化は発生しませんでした
0	PEC	R	0	少なくとも 1 つのチャネルで電源イネーブル ステータスが変更されたことを示します $PEC = PEC1 \parallel PEC2 \parallel PEC3 \parallel PEC4$ 1 つ以上のチャネルで 1 = 電源イネーブルス テータスの変更が発生しました 0 = 電源イネーブルのステータスが変化しませんでした

8.6.2.2 割り込みマスク レジスタ

COMMAND = 01h、1 データ バイト、読み取り/書き込み

各ビットは、割り込みレジスタで定義されている特定のイベントまたはフォルトに対応します。

ビットに 0 を書き込むと、対応するイベント/フォルトによって $\overline{\text{INT}}$ 出力がアクティブになることがマスクされます。

割り込みレジスタのビットは、割り込みマスクレジスタの状態に関係なく、イベントやフォルトに応じて常に変化することに注意してください。

イベントが $\overline{\text{INT}}$ 出力をアクティブにできるようにするには、汎用マスクレジスタの INTEN ビットもセットする必要があることに注意してください。

図 8-9. 割り込みマスク レジスタ フォーマット

7	6	5	4	3	2	1	0
SUMSK	STMSK	IFMSK	CLMSK	DEMSK	DIMSK	PGMSK	PEMSK
R/W-1	R/W-0						

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-7. 割り込みマスク レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SUMSK	R/W	1	電源イベント フォルト マスク ビット。 1 = 電源イベント フォルトにより、 $\overline{\text{INT}}$ 出力がアクティブになります。 0 = 電源イベント フォルトは、 $\overline{\text{INT}}$ 出力に影響を与えません。
6	STMSK	R/W	0	t_{START} フォルト マスク ビット。 1 = t_{START} フォルトにより、 $\overline{\text{INT}}$ 出力がアクティブになります。 0 = t_{START} フォルトは、 $\overline{\text{INT}}$ 出力に影響を与えません。
5	IFMSK	R/W	0	t_{OVLD} または t_{LIM} フォルト マスク ビット。 1 = t_{OVLD} または t_{LIM} フォルトの発生により、 $\overline{\text{INT}}$ 出力がアクティブになります 0 = t_{OVLD} や t_{LIM} フォルトの発生は、 $\overline{\text{INT}}$ 出力に影響を与えません
4	CLMSK	R/W	0	分類サイクル マスク ビット。 1 = 分類サイクルが発生すると、 $\overline{\text{INT}}$ 出力がアクティブになります。 0 = 分類サイクルが発生しても、 $\overline{\text{INT}}$ 出力に影響を与えません。
3	DEMSK	R/W	0	検出サイクル マスク ビット。 1 = 検出サイクルが発生すると、 $\overline{\text{INT}}$ 出力がアクティブになります。 0 = 検出サイクルの発生は、 $\overline{\text{INT}}$ 出力に影響を与えません。
2	DIMSK	R/W	0	切断イベント マスク ビット。 1 = 切断イベントが発生すると、 $\overline{\text{INT}}$ 出力がアクティブになります。 0 = 切断イベントの発生は、 $\overline{\text{INT}}$ 出力に影響を与えません。
1	PGMSK	R/W	0	パワー グッド ステータス 変更 マスク ビット。 1 = パワー グッド ステータスの変更により、 $\overline{\text{INT}}$ 出力がアクティブになります。 0 = パワー グッド ステータスの変更は、 $\overline{\text{INT}}$ 出力に影響を与えません。

表 8-7. 割り込みマスク レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	PEMSK	R/W	0	電力イネーブル ステータス変更マスク ビット。 1 = パワー イネーブル ステータスの変更により、 $\overline{\text{INT}}$ 出力がアクティブになります。 0 = 電源イネーブル ステータスの変更は、 $\overline{\text{INT}}$ 出力に影響を与えません。

8.6.2.3 電源イベント レジスタ

COMMAND = 02h、1 データ バイト、読み取り専用

COMMAND = 03h、1 データ バイト、読み取り専用

アクティブ high。各ビットは、発生した特定のイベントに対応します。

各ビット xxx1-4 は、個々のチャネルを表します。

各位置 (02h または 03h) を読み出すと、同じレジスタデータが返されますが、読み出し時クリアコマンドがレジスタのすべてのビットをクリアすることは例外です。

このレジスタによって INT ピンがアクティブになっている場合、読み出し時クリアすることにより、INT ピンは解放されます。

アクティブ ビットのいずれかは、て割り込みレジスタの説明に示されているように、て割り込みレジスタに影響を及ぼします。

図 8-10. 電源イベント レジスタ フォーマット

7	6	5	4	3	2	1	0
PGC4	PGC3	PGC2	PGC1	PEC4	PEC3	PEC2	PEC1
R-0							
CR-0							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、CR = 読み取り時にクリア、-n = リセット後の値

表 8-8. デバイス イベント レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 4	PGC4–PGC1	R または CR	0	パワー グッド ステータスが変化したことを示します。 1 = パワー グッド ステータスの変更が発生しました 0 = パワー グッド ステータスの変化は発生ませんでした
3-0	PEC4–PEC1	R または CR	0	電源イネーブル ステータスが変更されたことを示します。 1 = 電源イネーブル ステータスの変更が発生しました 0 = 電源イネーブルのステータスが変化しませんでした

注

4 ペアの有線ポートの場合、各チャネルのステータスが変化すると、PECn ビットが個別に更新されます。

4 ペア シングル シグネチャ デバイスの場合、両方のチャネルのステータスが変更された後にのみ PGCN ビットが設定されます。これは、2 番目のチャネルが最初のチャネルの直後に処理を完了するときに、デュアル割り込みが発生するというシナリオを回避するためです。

4 ペア デュアル シグネチャ デバイスの場合、各チャネルのステータス変化として PECn ビットと PGCN ビットが設定されます。

8.6.2.4 検出イベント レジスタ

COMMAND = 04h、1 データ バイト、読み取り専用

COMMAND = 05h、1 データ バイト、読み取り専用

アクティブ high。各ビットは、発生した特定のイベントに対応します。

各ビット xxx1-4 は、個々のチャネルを表します。

各位置 (04h または 05h) を読み出すと、同じレジスタデータが返されますが、読み出し時クリアコマンドがレジスタのすべてのビットをクリアすることは例外です。これらのビットは、チャネル n がオフになるとクリアされます。

このレジスタによって INT ピンがアクティブになっている場合、読み出し時クリアすることにより、INT ピンは解放されます。

アクティブ ビットのいづれかは、て割り込みレジスタの説明に示されているように、て割り込みレジスタに影響を及ぼします。

図 8-11. 検出イベント レジスタ フォーマット

7	6	5	4	3	2	1	0
CLSC4	CLSC3	CLSC2	CLSC1	DETC4	DETC3	DETC2	DETC1
R-0							
CR-0							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、CR = 読み取り時にクリア、-n = リセット後の値

表 8-9. 検出イベント レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 4	CLSC4–CLSC1	R または CR	0	<p>汎用マスクレジスタの CLCHE ビットが low の場合、少なくとも 1 つの分類サイクルが発生したことを示します。逆に、CLCHE ビットが設定されている場合、クラスの変更がいつ発生したかを示します。</p> <p>1 = 少なくとも 1 つの分類サイクルが発生したか (CLCHE = 0 の場合)、またはクラスが変更されました (CLCHE = 1)</p> <p>0 = 分類サイクルが発生していない (CLCHE = 0 の場合) またはクラスが変更されていません (CLCHE = 1)</p>
3-0	DETC4–DETC1	R または CR	0	<p>汎用マスクレジスタの DECHE ビットが low の場合、少なくとも 1 つの検出サイクルが発生したことを示します。逆に、DECHE ビットが設定されている場合、検出がいつ変化したかを示します。</p> <p>1 = 少なくとも 1 つの検出サイクルが発生したか (DECHE = 0 の場合)、または検出変化が発生した (DECHE = 1)</p> <p>0 = 検出サイクルが発生していない (DECHE = 0 の場合) または検出変化が発生していない (DECHE = 1)</p>

注

保留中の PWON コマンドのない 4 ペア動作ポートでは、これらのビットは両方のチャネルのステータスの準備ができた後にのみ設定されます。これは、最初のチャネルの後で 2 番目のチャネルが処理を完了するにつれて、考えられるシナリオでデュアル割り込みが発生するのを防ぐためです。

DET_{Cn} ビットは、両方のチャネルで検出および接続チェックが完了してから 5ms 以内に同時に設定されます。

4 ペアのシングル シグネチャ デバイスの場合、要求されたクラスはレジスタ 0x0C-0F の両方のチャネルに与えられていても、分類が完了したペアセットに対してのみ CLS_{Cn} ビットが設定されます。

半自動モードで検出のみを行う 4 ペアのデュアル シグニチャ デバイスの場合、CLS_{Cn} ビットは両方のチャネルで分類が完了してから 5ms 以内に同時に設定されます。マニュアル モードでは、CLS_{Cn} ビットは各チャネルで分類が完了してから 5ms 以内に個別に設定されます。

保留中の PWON コマンドを持つ 4 ペアのデュアル シグニチャ デバイスまたは自動モードでは、デュアル シグニチャ スタッガーワン手順中に各チャネルが検出部分を完了すると、DET_{Cn} ビットと CLS_{Cn} ビットが独立して設定されます。

8.6.2.5 フォルトイベント レジスタ

COMMAND = 06h、1 データ バイト、読み取り専用

COMMAND = 07h、1 データ バイト、読み取り専用

アクティブ high。各ビットは、発生した特定のイベントに対応します。

各ビット xxx1-4 は、個々のチャネルを表します。

各位置 (06h または 07h) を読み出すと、同じレジスタデータが返されますが、読み出し時クリアコマンドがレジスタのすべてのビットをクリアすることは例外です。これらのビットは、チャネル n がオフになるとクリアされます。

このレジスタによって INT ピンがアクティブになっている場合、読み出し時クリアすることにより、INT ピンは解放されます。

アクティブ ビットのいづれかは、て割り込みレジスタの説明に示されているように、て割り込みレジスタに影響を及ぼします。

図 8-12. フォルトイベント レジスタ フォーマット

7	6	5	4	3	2	1	0
DISF4	DISF3	DISF2	DISF1	PCUT4	PCUT3	PCUT2	PCUT1
R-0							
CR-0							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、CR = 読み取り時にクリア、-n = リセット後の値

表 8-10. フォルトイベント レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 4	DISF4–DISF1	R または CR	0	切断イベントが発生したことを示します。 1 = 切断イベントが発生しました 0 = 接続解除イベントは発生していません
3-0	PCUT4–PCUT1	R または CR	0	t_{OVLD} フォルトが発生したことを示します。 1 = t_{OVLD} フォルトが発生しました 0 = t_{OVLD} フォルトが発生していません

注

4 ペアの有線ポートの場合、チャネルごとのステータスが変化すると DISFn ビットと PCUTn ビットが個別に更新されます。

4 ペア シングル シグネチャ デバイスの切断イベントでは、対応する両方のビットが設定され、4 ペア デュアル シグネチャ デバイスではチャネルごとに独立した切断イベントがあります。

切断または 2 ペア Pcut フォルトなどの理由で 4 ペアのデュアル シグネチャ デバイス の单数チャネルがオフになった場合、検出と分類が有効であり、0x29 のパワー アロケーション設定がパワー チャネルの割り当てられた分類に基づいて十分である場合、0x19h の PWON ビットを設定することによって、そのチャネルに電力を再適用できます。

あるチャネルで PCUT がディセーブルになっている場合、PCUT フォルト状態が発生している間、このチャネルは自動的にオフになりません。ただし、PCUT フォルト フラグは引き続き動作し、フォルト タイムアウトは t_{OVLD} に等しくなります。

PCUT イベントのクリアは、TLIM または TOVLD カウンタには影響しません。

8.6.2.6 開始 / ILIM イベント レジスタ

COMMAND = 08h、1 データ バイト、読み取り専用

COMMAND = 09h、1 データ バイト、読み取り専用

アクティブ high。各ビットは、発生した特定のイベントに対応します。

各ビット xxx1-4 は、個々のチャネルを表します。

各位置 (08h または 09h) を読み出すと、同じレジスタデータが返されますが、読み出し時クリアコマンドがレジスタのすべてのビットをクリアすることは例外です。これらのビットは、チャネル n がオフになるとクリアされます。

このレジスタによって INT ピンがアクティブになっている場合、読み出し時クリアすることにより、INT ピンは解放されます。

アクティブ ビットのいづれかは、て割り込みレジスタの説明に示されているように、て割り込みレジスタに影響を及ぼします。

図 8-13. 開始 / ILIM イベント レジスタ フォーマット

7	6	5	4	3	2	1	0
ILIM4	ILIM3	ILIM2	ILIM1	STRT4	STRT3	STRT2	STRT1
R-0							
CR-0							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、CR = 読み取り時にクリア、-n = リセット後の値

表 8-11. START/ILIM イベントレジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 4	ILIM4–ILIM1	R または CR	0	t_{LIM} フォルトが発生したことを示します。これは、チャネルが出力電流を I_{LIM} に、またはフォールドバックされた I_{LIM} が t_{LIM} を超える時間制限されたことを意味します。 1 = t_{LIM} フォルトが発生 0 = t_{LIM} フォルトが発生していない
3-0	STRT4–STRT1	R または CR	0	電源オン中に t_{START} フォルトが発生したことを示します。 1 = t_{START} フォルトまたはクラス/検出エラーが発生しました 0 = t_{START} フォルトまたはクラス/検出エラーが発生していません

注

4 ペアの有線ポートの場合:

ILIM N ビットは、チャネルごとにステータスが変化すると個別に更新されます。

STRTN ビットは、チャネルごとにステータスが変化すると、個別に更新されます

スタート フォルトが通知され、パワー イベント レジスタの **PECn** ビットがセットされると、突入 フォルトが発生しています。

スタート フォルトが通知され、**PECn** ビットがセットされていない場合、パワーオン フォルト レジスタ (0x24h) は フォルトの原因を示します。

自動モードでは、**STRTn** フォルトは通知されず、無効な検出結果のためレジスタ 0x24h は更新されません。

ILIM フォルトまたは **STRT** フォルトにより 4 ペアのデュアル シグネチャ PD の单数チャネルがオフになった場合、検出および分類が引き続き有効であり、電源チャネルに割り当てられた分類に基づいて 0x29 の電源割り当て設定で十分である場合、0x19h の **PWON** ビットをセットすることによって、そのチャネルに電力を再印加できます。

4 ペアの有線ポートでの突入フォルト (STRTn) 処理:

単一のシグネチャ PD が接続された 4 ペアの有線ポートの場合、突入動作は、電源オン時に指定された割り当て分類によって異なります。

クラス 6 以下の分類が割り当てられた 4P SS PD の場合:

1 つ目のチャネルは突入電流を通過し、2 つ目のチャネルはアイドル状態に維持されます

突入終了時に **STRT** フォルトが検出されない場合は、第 2 のチャネルが直ちにオンになり、**PGN** ビットがセットされます

突入電流の終了時に **STRT** フォルトが検出されると、2 次チャネルはオフのままで 1 次側がディセーブルされ、両方のチャネルで 1 秒の冷却期間が開始されます。両方の **STRTN** ビットがセットされます。

クラス 7 または 8 のクラスが割り当てられた 4P SS PD の場合:

両方のチャネルは並列に突入します

いずれかのチャネルの突入終了時に **STRT** フォルトが検出されない場合、**PGN** ビットがセットされ、ポートの電源は維持されます。

どちらかのチャネルの突入終了時に **STRT** フォルトが検出されると、両方のチャネルがディセーブルされ、両方のチャネルで 1 秒間の冷却期間が開始されます。両方の **STRTN** ビットがセットされます。

デュアル シグネチャ PD が接続されている 4 ペアの有線ポートの場合、両方のチャネルは他方から独立して動作します。それぞれは起動時に突入制御を実行し、いずれかのチャネル障害が発生した場合には、残りのチャネルに影響を与えません。

8.6.2.7 電源およびフォルトイベントレジスタ

COMMAND = 0Ah、1 データバイト、読み取り専用

COMMAND = 0Bh、1 データバイト、読み取り専用

アクティブ high。各ビットは、発生した特定のイベントに対応します。

各位置 (0Ah または 0Bh) を読み出すと、同じレジスタデータが返されますが、読み出し時クリアコマンドがレジスタのすべてのビットをクリアすることは例外です。

このレジスタによって **INT** ピンがアクティブになっている場合、読み出し時クリアすることにより、**INT** ピンは解放されます。

アクティブ ビットのいずれかは、て割り込みレジスタの説明に示されているように、て割り込みレジスタに影響を及ぼします。

図 8-14. 電源およびフォルトイベントレジスタ フォーマット

7	6	5	4	3	2	1	0
TSD	VDUV	VDWRN	VPUV	PCUT34	PCUT12	OSSE	RAMFLT
R	R	R	R	R	R	R	R
CR	CR	CR	CR	CR	CR	CR	CR

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、CR = 読み取り時にクリア、-n = リセット後の値

表 8-12. 電源およびフォルトイベントレジスタのフィールドの説明

ビット	フィールド	タイプ	POR/R ST	説明
7	TSD	R または CR	0 / P	サーマルシャットダウンが発生したことを示します。サーマルシャットダウンがあると、すべてのチャネルがオフになります。ただし、TPS23881 の内部回路は、ADC を含めて引き続き動作します。内部温度が低いスレッショルドを下回るとすぐに、TSD ビットの状態に関係なく、チャネルをオンに戻すことが可能であることに注意してください。 1 = サーマルシャットダウンが発生しました 0 = サーマルシャットダウンが発生していませんでした
6	VDUV	R または CR	1 / P	VDD UVLO が発生したことを示します。 1 = VDD UVLO が発生しました 0 = VDD UVLO が発生していませんでした
5	VDWRN	R または CR	1 / P	VDD が UVLO 警告スレッショルドを下回ったことを示します。 1 = VDD の UV 警告が発生しました 0 = VDD UV 警告が発生していませんでした
4	VPUV	R または CR	1 / P	VPWR 低電圧が発生したことを示します。 1 = VPWR 低電圧が発生しました 0 = VPWR 電圧が発生していません
3	PCUT34	R または CR	0 / 0	チャネル 3 および 4 で 4 ペア加算 PCUT フォルトが発生したことを示します。 1 = 4 ペア合計 PCUT フォルトがチャネル 3 および 4 で発生しました 0 = 合計 PCUT 障害が発生していません
2	PCUT12	R または CR	0 / 0	チャネル 1 およびチャネル 2 で 4 ペア加算 PCUT フォルトが発生したことを示します。 1 = 4 ペア合計 PCUT フォルトがチャネル 1 およびチャネル 2 で発生しました 0 = 合計 PCUT 障害が発生していません

表 8-12. 電源およびフォルトイベントレジスタのフィールドの説明 (続き)

ピット	フィールド	タイプ	POR/R ST	説明
1	OSSE	R または CR	0 / 0	OSS イベントが発生したことを示します 1 = OSS ピンのアサートにより、または 3 ビットの OSS コードが供給されたため、1 つ以上のチャネルが 4 つの グループでディセーブルになりました 0 = OSS イベントは発生していません
0	RAMFLT	R または CR	0 / 0	SRAM 故障が発生したことを示します 1 = SRAM 故障が発生しました 0 = SRAM 故障が発生していませんでした

注

RST 状態が「P」である場合、RESET ピンを使用したデバイスリセット後も、これらのビットの以前の状態が維持されることを示します。そのため、RESET 入力を low にしても TSD、VDUV、VDWRN、VPUV ビットはクリアされません。

注

VPUV ビットがセットされている間、 $V_{VPWR} > 30V$ になるまで、PWONn コマンドはすべて無視されます

VPUV 低電圧状態では、VPWR も VPWR UVLO 立ち下がりスレッショルド（約 18V）を下回るまで、検出イベントレジスタ（CLSCn、DETn）はクリアされません。

VPWR 低電圧状態が維持されている限り、読み出し時にクリアしても、VDUV ビットは実質的にクリアされません。

注

1 ビット モード（レジスタ 0x17 で MbitPrty = 0）では、4 のグループ内のチャネルで OSS がイネーブルになり、OSS ピンがアサートされると、いつでも OSSE ビットが設定されます。

3 ビット モード（レジスタ 0x17 で MbitPrty = 1）では、4 チャネルのグループに対してレジスタ 0x27 および 0x28 チャネルの MBPn 設定と等しい、またはそれ以上の 3 ビット優先コードが送信されると、いつでも OSSE ビットが設定されます。

4 ペアの有線ポートの場合、4P PCUT がディセーブル（0x2D で 4PPCTxx = 0）の場合、4P-PCUT フォルト状態の間、ポートは自動的にオフになりません。ただし、PCUTnn FAULT ビットは、フォルトタイムアウトが t_{OVLD} に等しい状態で引き続き動作します。また、フォルトイベントレジスタで読み出し時のクリアが実行されると、PCUTnn ビットがリセットされ、関連する加算された PCUT カウンタがリセットされます。COR 動作によってカウンタがクリアされるのは、このような割り込みを報告しているチャネルのみです。また、PCUT フォルトのクリアは TLIM カウンタには影響しません。

8.6.2.7.1 検出された SRAM フォルトと「セーフ モード」

TPS23881B は、SRAM メモリのフォルト監視機能を内蔵しているため、SRAM メモリでエラーを検出した場合、デバイスは「セーフ モード」に移行します。「セーフ モード」では、レジスタ 0x41 の FW リビジョン値は 0xFFh に設定されます。

現在電力が供給されているすべてのチャネルは電力を供給され続けますが、SRAM をリロードできるまで、動作の大部分はディセーブルになります。電源チャネルの切断および電流フォールドバック機能に加えて、デバイスの UVLO およびサマーマル シャットダウン機能は「セーフ モード」に維持されます。

SRAM フォルト検出の前に電源が供給されていなかったチャネルは OFF モードに設定されます (OFF モードに変更することによるその他の変更については、レジスタ 0x12h の説明を参照)。ポートの再マッピング (0x26h) およびその他のチャネル構成設定 (パワー割り当て 0x29h) は保持されます。

SRAM フォルトが検出されると、0x60 の RAM_EN ビットがクリアされ、レジスタ 0x0A の RAMFLT ビットがセットされます。SRAM のリロードが完了するか、POR (パワー オンリセット) イベントが発生した後、ホストによってこのビットが再度設定されるまで、内部ファームウェアは「セーフ モード」で実行され続けます。「セーフ モード」との円滑な移行を確保するため、SRAM の再プログラム対象以外の I₂C コマンドは、SRAM のリロードが完了し「有効」と判定されるまで延期する必要があります (レジスタ 0x60 SRAM プログラミングの説明を参照)。

注

一度設定すると、本デバイスがセーフ モードから削除された後でも、RAMFLT ビットはセットされたままになります。SRAM のリロード後にレジスタ 0x60 の RAM_EN ビットをセットする前に、このビットをクリアすることをお勧めします。

注

SRAM フォルト監視がアクティブになるには、レジスタ 0x60 の PAR_EN ビットをセットし、対応する SRAM_Parity コード ([TI mySecure Software](#) Web ページからダウンロード可能) をデバイスにロードする必要があります。

推奨される SRAM プログラミング手順の詳細については、[『TPS2388x SRAM コードのロード方法』](#)ドキュメントを参照してください。

8.6.2.8 チャネル 1 検出レジスタ

COMMAND = 0Ch、1 データ バイト、読み取り専用

図 8-15. チャネル 1 検出レジスタ フォーマット

7	6	5	4	3	2	1	0
クラス Ch1 を要求				DETECT Ch1			
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.9 チャネル 2 検出レジスタ

COMMAND = 0Dh、1 データ バイト、読み取り専用

図 8-16. チャネル 2 検出レジスタ フォーマット

7	6	5	4	3	2	1	0
クラス Ch2 を要求				DETECT Ch2			
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.10 チャネル 3 検出レジスタ

COMMAND = 0Eh、1 データ バイト、読み取り専用

図 8-17. チャネル 3 検出レジスタ フォーマット

7	6	5	4	3	2	1	0
クラス Ch3 を要求				DETECT Ch3			
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.11 チャネル 4 検出レジスタ

COMMAND = 0Fh、1 データ バイト、読み取り専用

図 8-18. チャネル 4 検出レジスタ フォーマット

7	6	5	4	3	2	1	0
クラス Ch4 を要求				DETECT Ch4			
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

ビットの詳細:これらのビットは、最新の「要求済み」分類およびチャネル n の検出結果を表します。これらのビットは、チャネル n がオフになるとクリアされます。

表 8-13. チャネル n 検出レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明																																																																																					
7 ~ 4	RCLASS Ch-n	R	0	<p>チャネル n の最新の分類結果。 その選択は次のとおりです。</p> <table border="1"> <thead> <tr> <th colspan="4">RCLASS Ch-n</th> <th>要求されたクラス</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>不明</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>クラス 1</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>クラス 2</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>クラス 3</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>クラス 4</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>予約済み – クラス 0 として読み取られます</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>クラス 0</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>クラス過電流</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>クラス 5 ~ 4 ペアのシングル シグネチャ</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>クラス 6 ~ 4 ペアのシングル シグネチャ</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>クラス 7 ~ 4 ペアのシングル シグネチャ</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>クラス 8 ~ 4 ペアのシングル シグネチャ</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>クラス 4+ - タイプ 1 限定</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1</td><td>クラス 5 ~ 4 ペアのデュアル シグネチャ</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>予約済み</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1</td><td>クラスの不一致</td></tr> </tbody> </table>	RCLASS Ch-n				要求されたクラス	0	0	0	0	不明	0	0	0	1	クラス 1	0	0	1	0	クラス 2	0	0	1	1	クラス 3	0	1	0	0	クラス 4	0	1	0	1	予約済み – クラス 0 として読み取られます	0	1	1	0	クラス 0	0	1	1	1	クラス過電流	1	0	0	0	クラス 5 ~ 4 ペアのシングル シグネチャ	1	0	0	1	クラス 6 ~ 4 ペアのシングル シグネチャ	1	0	1	0	クラス 7 ~ 4 ペアのシングル シグネチャ	1	0	1	1	クラス 8 ~ 4 ペアのシングル シグネチャ	1	1	0	0	クラス 4+ - タイプ 1 限定	1	1	0	1	クラス 5 ~ 4 ペアのデュアル シグネチャ	1	1	1	0	予約済み	1	1	1	1	クラスの不一致
RCLASS Ch-n				要求されたクラス																																																																																					
0	0	0	0	不明																																																																																					
0	0	0	1	クラス 1																																																																																					
0	0	1	0	クラス 2																																																																																					
0	0	1	1	クラス 3																																																																																					
0	1	0	0	クラス 4																																																																																					
0	1	0	1	予約済み – クラス 0 として読み取られます																																																																																					
0	1	1	0	クラス 0																																																																																					
0	1	1	1	クラス過電流																																																																																					
1	0	0	0	クラス 5 ~ 4 ペアのシングル シグネチャ																																																																																					
1	0	0	1	クラス 6 ~ 4 ペアのシングル シグネチャ																																																																																					
1	0	1	0	クラス 7 ~ 4 ペアのシングル シグネチャ																																																																																					
1	0	1	1	クラス 8 ~ 4 ペアのシングル シグネチャ																																																																																					
1	1	0	0	クラス 4+ - タイプ 1 限定																																																																																					
1	1	0	1	クラス 5 ~ 4 ペアのデュアル シグネチャ																																																																																					
1	1	1	0	予約済み																																																																																					
1	1	1	1	クラスの不一致																																																																																					
3-0	チャネル n の検出	R	0	<p>チャネル n での最新の検出結果 その選択は次のとおりです。</p> <table border="1"> <thead> <tr> <th colspan="4">チャネル n の検出</th> <th>検出ステータス</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>不明</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>短絡</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>予約済み</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>低すぎます</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>有効</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>高すぎます</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>開路</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>予約済み</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>0</td><td>MOSFET フォルト</td></tr> </tbody> </table>	チャネル n の検出				検出ステータス	0	0	0	0	不明	0	0	0	1	短絡	0	0	1	0	予約済み	0	0	1	1	低すぎます	0	1	0	0	有効	0	1	0	1	高すぎます	0	1	1	0	開路	0	1	1	1	予約済み	1	1	1	0	MOSFET フォルト																																			
チャネル n の検出				検出ステータス																																																																																					
0	0	0	0	不明																																																																																					
0	0	0	1	短絡																																																																																					
0	0	1	0	予約済み																																																																																					
0	0	1	1	低すぎます																																																																																					
0	1	0	0	有効																																																																																					
0	1	0	1	高すぎます																																																																																					
0	1	1	0	開路																																																																																					
0	1	1	1	予約済み																																																																																					
1	1	1	0	MOSFET フォルト																																																																																					

「Requested」(要求済み) と「Assigned」(割り当て済み): 「要求済み」クラスは、電源を入れる前に相互識別の際に PSE が測定する分類です。「割り当て済み」クラスは、レジスタ 0x29h の電力割り当て設定に基づいてチャネルが電源を供給された分類レベルです。「割り当て済み」分類値は、レジスタ 0x4C-4F で参照できます

注

1 クラス フィンガーの後に電源を投入する必要があるため、クラス 4 以上の PD に 15.5W に設定されたレジスタ 0x29 が電源投入されると、「クラス 4+ - タイプ 1 制限付き」要求クラスが報告されます。

4 ペアのシングル シグネチャ デバイスの場合、分類が完了してから、両方のチャネルが要求された PD 分類を 5ms 以内に報告します。ただし、分類が測定されたチャネルのみに、レジスタ 0x04h の CLSCn ビットがセットされます

4 ペアのデュアル シグネチャ デバイスの場合、各チャネルは、各チャネルで分類が完了してから 5ms 以内に個別に要求された PD 分類を報告します

電源が投入されると、検出中にクラス 0 シグニチャを提示するデバイスには、「クラス 3」の割り当てられたクラスが与えられます。

手動/診断モードでは、分類が 1 つのチャネルでのみ有効な場合、クラス 8 4 ペアのシングル シグネチャ ロードは「クラス 5DS」として報告されます。

8.6.2.12 電源ステータス レジスタ

COMMAND = 10h、1 データ バイト、読み取り専用

各ビットは、チャネルの実際の電力ステータスを表します。

各ビット $xx1\text{-}4$ は、個々のチャネルを表します。

これらのビットは、チャネル n がオフになったときにクリアされます。オフがフォルト状態によって発生したかどうかも含めて決定します。

図 8-19. 電源ステータス レジスタ フォーマット

7	6	5	4	3	2	1	0
PG4	PG3	PG2	PG1	PE4	PE3	PE2	PE1
R-0							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-14. 電源ステータス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 4	PG4–PG1	R	0	各ビットが 1 のとき、チャネルがオンであり、DRAINn ピンの電圧がターンオン中にパワーグッドスレッショルドを下回ったことを示します。 これらのビットは、ターンオンが完了すると high にラッチされ、チャネルがオフまたは RESET/POR のときのみクリアできます。 1 = 電源が良好 0 = 電源が良好ではありません
3-0	PE4–PE1	R	0	各ビットは、対応するチャネルのオン/オフ状態を示します。 1 = チャネルがオン 0 = チャネルがオフ

4 ペアの有線ポートの場合、チャネルごとにステータスが変化すると、これらのビットは個別に更新されます

4 ペアのシングル シグネチャ デバイスの場合、両方のチャネルのステータスが変更された後にのみ PGN ビットが設定されます。これは、最初のチャネルの後で 2 番目のチャネルが処理を完了しているときに、デュアル割り込みの可能性があるシナリオを回避するためです。

4 ペア デュアル シグネチャ デバイスの場合、各チャネルのステータス変化として PECn ビットと PGCN ビットが設定されます。

8.6.2.13 ピン ステータス レジスタ

COMMAND = 11h、1 データ バイト、読み取り専用

図 8-20. ピン ステータス レジスタ フォーマット

7	6	5	4	3	2	1	0
0 AUTO	SLA4	SLA3	SLA2	SLA1	SLA0	0	0
0 AUTO ピン	A4 ピン	A3 ピン	A2 ピン	A1 ピン	0/1 ⁽¹⁾	0	0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

(1) 構成 A の場合、0 または 1 に設定できます。構成 B の場合は 0 です。

表 8-15. PIN ステータス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	自動	R	自動	自律モード イネーブル ビット。 0 = 自律モード無効 (自動ピンはフローティング) 1 = 自律モード イネーブル (自動ピンと GND との間に確定した有効な抵抗) 注: このビットは、下位 I2C レジスタ セット (チャネル 1 ~ 4) でのみセットされます。
6-3	SLA4-SLA1	R	上記を 参照し てくだ さい	I2C デバイス アドレス。ピン A4-A1 を使用して定義されます。
2	SLA0	R		SLA0 ビットは内部的に 0 または 1 に定義されています 0 = チャネル 1-4 1 = チャネル 5-8
7、1-0	-	R		予約済み

説明	パインアリ デバイス アドレス							アドレス ピン			
	6	5	4	3	2	1	0	A4	A3	A2	A1
プロードキャスト アクセス	1	1	1	1	1	1	1	X	X	X	X
ターゲット 0	0	1	0	0	0	0	0/1	GND	GND	GND	GND
	0	1	0	0	0	1	0/1	GND	GND	GND	High
	0	1	0	0	1	0	0/1	GND	GND	High	GND
	0	1	0	0	1	1	0/1	GND	GND	High	High
	0	1	0	1	0	0	0/1	GND	High	GND	GND
	0	1	0	1	0	1	0/1	GND	High	GND	High
	0	1	0	1	1	0	0/1	GND	High	High	GND
	0	1	0	1	1	1	0/1	GND	High	High	High
	0	1	1	0	0	0	0/1	High	GND	GND	GND
	0	1	1	0	0	1	0/1	High	GND	GND	High
	0	1	1	0	1	1	0/1	High	GND	High	High
	0	1	1	1	0	0	0/1	High	High	GND	GND
	0	1	1	1	0	1	0/1	High	High	GND	High
	0	1	1	1	1	0	0/1	High	High	High	GND
ターゲット 15	0	1	1	1	1	1	0/1	High	High	High	High

8.6.2.13.1 自律モード

自律モードでは、TPS23881B は、I²C 通信もホスト制御もなしに動作できます。自動モードと同様に、デバイスが自律モードで動作している場合、ポートは検出中に継続的にサイクルされ、有効な(脱走と分類)PD が接続されるたびにポートが自動的に電源を供給されます。

以下の表表 8-16に基づいて AUTO ピンと GND の間に抵抗を接続すると、自律モードが有効になり、すべてのポートを同じ電力割り当て設定に構成できます。PD が自律モード設定よりも高い要求クラスに接続されている場合、ポートは PD を選択した自律モード設定電力レベルに降格します。

表 8-16. ピンの自動プログラミング

AUTO ピン	自律モード設定	結果レジスタ設定		
		0x12h	0x14h	0x29h
オープン/フローティング	ディセーブル	0000, 0000b	0000, 0000b	0000, 0000b
124kΩ	2 ペア 15W	1111, 1111b	1111, 1111b	0000, 0000b
62kΩ	2 ペア 30W	1111, 1111b	1111, 1111b	0011 0011b
35.7kΩ	4 ペア 30W	1111, 1111b	1111, 1111b	1011 1011b
22.6kΩ	4 ペア 45W	1111, 1111b	1111, 1111b	1100, 1100b
15.8kΩ	4 ペア 60W	1111, 1111b	1111, 1111b	1101, 1101b
11kΩ	4 ペア 75W	1111, 1111b	1111, 1111b	1110, 1110b
7.7kΩ	4 ペア 90W	1111, 1111b	1111, 1111b	1111, 1111b

注

自律モード選択で安定性を確保するため、R_{AUTO} と並列に 10nF のコンデンサが必要です。

I²C インターフェイスは自律モードでも完全に動作し、すべてのポート遠隔測定と構成可能性もサポートされています

自動ピン抵抗 (R_{AUTO}) は、デバイスリセット後 (RESET ピンまたはレジスタ 0x1A の RESAL ビットがアサートされた後) は測定されません。デバイスは、電源投入時 (V_{VPPWR} および V_{VDD} がそれぞれの UVLO スレッショルド以上に上昇する) にのみ測定 (R_{AUTO})、内部レジスタを事前構成します。

注

自律モードで最初に電源を投入した後に自律モードからデバイスを削除するアプリケーションをサポートするために、デバイスの SRAM をプログラムする必要があります。

自律モードで内部 ROM (プログラムされていない SRAM) から実行されるデバイスは、RESET ピン、I²C レジスタ 0x1A RESAL または RESPn ビット、またはモード オフ コマンドのアサート後に、有効な負荷の検出と電源投入を自動的に再開します。プログラムされた SRAM を備えた自律モードで実行されているデバイスはオフになります。ホストが I²C バス経由でポートを再度イネーブルにするまで、非アクティブのままになります。

8.6.2.14 動作モード レジスタ

COMMAND = 12h、1 データ バイト、読み取り/書き込み

図 8-21. 動作モード レジスタ フォーマット

7	6	5	4	3	2	1	0
C4M1	C4M0	C3M1	C3M0	C2M1	C2M0	C1M1	C1M0
R/W-0							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-17. 動作モード レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明															
7-0	CnM1–CnM0	R/W	0	<p>ビットの各ペアは、チャネルごとの動作モードを設定します。 その選択は次のとおりです。</p> <table border="1"> <thead> <tr> <th>M1</th> <th>M0</th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>オフ</td> </tr> <tr> <td>0</td> <td>1</td> <td>診断/マニュアル</td> </tr> <tr> <td>1</td> <td>0</td> <td>半自動</td> </tr> <tr> <td>1</td> <td>1</td> <td>車載</td> </tr> </tbody> </table> <p>4 ペアの有線ポートの場合、両方のチャネルを同じ動作モードに設定する必要があります。そうしないと、ポートは検出を実行せず、ターンオン コマンドは無視されます。</p>	M1	M0	動作モード	0	0	オフ	0	1	診断/マニュアル	1	0	半自動	1	1	車載
M1	M0	動作モード																	
0	0	オフ																	
0	1	診断/マニュアル																	
1	0	半自動																	
1	1	車載																	

OFF モード:

OFF モードでは、チャネルは OFF になり、DETE、CLSE、または PWON ビットとは無関係に検出も分類も行われません。

以下の表に、チャネルが他の動作モードからオフモードに変更されたときにクリアされるビットを示します。

表 8-18. OFF モードへの遷移

登録	リセットするビット
0x04	CLSCn および DETCn
0x06	DISFn および PCUTn
0x08	STRTn および ILIMn
0x0A/B	PCUTnn
0x0C-0F	要求されたクラスと検出
0x10	PGN と PEn
0x14	CLEN と DETEn
0x1C	ACN および CCnn
0x1E-21	2P ポリシングは 0xFFh に設定されます
0x24	PFN
0x2A-2B	4P ポリシングは 0xFFh に設定されます
0x2D	NLMnn、NCTnn、4PPCTnn、DCDTnn
0x30-3F	チャンネル電圧および電流測定
0x40	2xFBn
0x44~47	検出抵抗測定
0x4C-4F	割り当てられたクラスと前のクラス
0x51-54	自動クラス測定

注

OFF モードへの変更後、すべてのレジスタがクリアされるまでに最大 5ms を要する場合があります。

OFF モードに設定されているチャネル/ポート (「n」) に対応しているビットのみがクリアされます。動作中のチャネル/ポートに関連するビットは変更されません。

PGN ビットまたは PEN ビットが 1 から 0 に変更された場合、パワーイベントレジスタ 0x02h の対応する PGCh および PECh ビットが設定されます。

また、モードを半自動から手動/診断モードまたはオフモードに変更すると、継続しているクールダウン時間はすべてキャンセルされます。

診断/マニュアルモード:

手動/診断モードでは、自動状態変更はありません。DETE、CLSE (0x14h または 0x18h)、または PWON コマンドが提供されるまで、チャネルはアイドル状態のままでです。DETE ビットおよび/または CLSE ビットを設定すると、チャネルは対応するチャネルで特異検出および/または分類サイクルを実行します。

注

レジスタ 0x19 の PWONN ビットをセットすると、そのチャネルは直ちにオンになります。

手動/診断モードで電源が供給されたポート/チャネルに割り当てられたクラスはありません。通常、割り当てられたクラス結果に基づいて設定されるポート電源ポリシングや 1x/2x フォールドバック選択などの設定は、ユーザが手動で設定する必要があります。

4 ペア有線ポート (0x29 の 4PWnn ビット= 1) の場合:

DETE ビットまたは CLSE ビットを 1 つのチャネルのみに設定すると、そのチャネルでのみ検出および分類が実行され、接続チェックは実行されません。

同じ I²C 動作中に両方のチャネルの DETE ビットを設定すると、両方のチャネルで検出サイクルが完了し、検出結果が有効な場合は接続チェックも完了します。

同じ I²C 動作中に両方のチャネルの CLSE ビットをセットすると、両方のチャネルで交互に分類測定が行われます

注

レジスタ 0x19 の PWONN ビットをセットすると、そのチャネルは直ちにオンになります。

注

手動/診断モードで電源投入された 4 ペアポートの DC 切断は、独立したチャネルとして動作します。したがって、どちらかのチャネル電流が t_{MPDO} よりも長く V_{imin} を下回ると、そのチャネルがディセーブルされ、切断フォルトがセットされます (レジスタ 0x06/7 の DISFn ビット)。

表 8-19. 診断/マニュアルモードでのチャネル動作

CLEn	DETn	PWONN	チャネル動作
0	0	0	アイドル
0	1	0	単一検出測定 (4P 有線ビットと DETE ビットが両方のチャネルに設定されている場合、接続チェックが完了)
1	0	0	単一分類測定
1	1	0	単一の検出と分類の測定が完了。(4P 有線および DETE ビットと CLE ビットの両方が両方のチャネルに設定されている場合、接続チェックが完了しました)
-	-	1	検出や分類を実行せずにチャネルが即時オンになります

半自動モード:

半自動モードでは、チャネルに電源が供給されていない限り、対応するクラスと検出イネーブルビットがセットされているかどうかに応じて、検出と分類を連続的に実行できます (レジスタ 0x14h)。

表 8-20. 半自動モードでのチャネル動作

CLEn	DETn	チャネル動作
0	0	アイドル
0	1	サイクリング検出測定のみ

表 8-20. 半自動モードでのチャネル動作 (続き)

CLEn	DETn	チャネル動作
1	0	アイドル
1	1	サイクリング検出と分類測定

注

2つのチャネルが 4ペアの有線ポートとして構成されている場合、いずれかのチャネルで有効な検出結果が確認されると、接続チェック測定が実行されます

チャネルに電力が供給されている 4ペアのデュアルシグネチャ PD の場合、電源が供給されていないチャネルは検出を再開し、そのチャネルの DETE ビットと CLE ビットが 0x14h で設定されている場合にクラスが設定されます。

自動モード:

自動モードでは、チャネルは 0x29 のポート電力割り当て設定に基づいて、有効な検出および分類シグネチャを自動的に起動します。DETE と CLSE (0x14 または 0x18) が設定されるか、または PWON コマンドが与えられるまで、チャネルはアイドル状態を維持します。

DETE および CLE を設定する前、または AUTO モードで PWON コマンドを送信する前に、システム要件および設定に応じて、次のレジスタを設定する必要があります。

登録	ビット
0x26	ポートの再マッピング
0x29	4 ペア有線およびポート電力割り当てレジスタ
0x50	AC 自動有効化
0x55	代替の突入および電源フォールドバック イネーブル

注

DETE ビットおよび CLE ビットを自動モードに設定した後で、これらのレジスタに変更を加えると、望ましくない、または IEEE 準拠以外の準拠動作が発生する場合があります。

電源オン後にデフォルト動作に変更が必要な場合は、以下のレジスタを設定または変更できます。これらの値は、ポート構成およびその結果割り当てられた PD クラスに基づいて電源オン時に内部で設定されるためです。

登録	ビット
0x1E-21	2 ペア ポリシング
0x2A-2B	4 ペア ポリシング
0x2D	4P Pcut イネーブルおよび DC 切断スレッショルド ビット
0x40	2x フォールドバック イネーブル

8.6.2.15 接続解除イネーブル レジスタ

COMMAND = 13h、1 データ バイト、読み取り/書き込み

ビットの詳細: 各チャネルの切断検出メカニズムを定義します。

図 8-22. 接続解除イネーブル レジスタ フォーマット

7	6	5	4	3	2	1	0
-	-	-	-	DCDE4	DCDE3	DCDE2	DCDE1
R/W-0	R/W-0	R/W-0	R/W-0	R/W-1	R/W-1	R/W-1	R/W-1

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-21. 接続解除イネーブル レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 4	—	R/W	0	
3-0	DCDE4–DCDE1	R/W	1	DC 切断イネーブル 1 = DC 切断イネーブル 0 = DC 切断ディセーブル TDIS 期間の定義方法の詳細については、タイミング構成レジスタを参照してください。

DC 切断は、SENn でのチャネル DC 電流の測定、この電流がスレッショルドを下回るとタイマ (T_{DIS}) を開始、タイムアウトが発生した場合にチャネルをオフにします。また、フォルト イベント レジスタの対応する切断ビット (DISFn) がそれに応じて設定されます。 T_{DIS} カウンタは、電流が接続解除スレッショルドを上回るたびに 3ms 以上リセットされます。カウンタはゼロを下回るまでデクリメントしません。

注

4P シングル シグニチャ デバイスでは、どちらかの DCDEx ビットが設定されている場合、切断タイマーの期限が切れると両方のチャネルがオフになります。

切断フォルトなどの理由で 4 ペアのデュアル シグネチャ PD の単数チャネルがオフになった場合、検出と分類が有効であり、0x29 のパワー アロケーション設定がパワー チャネルの割り当てられた分類に基づいて十分である場合、0x19h の PWON ビットを設定することによって、そのチャネルに電力を再適用できます。

注

0x2D の DCDTnn ビットは、切断スレッショルドを設定します。

電源オン時に DCDTnn ビットは、0x29 の 4PWnn ビットと、IEEE 準拠要件に基づいて割り当てられた分類結果 (0x4C-4F) に基づいて自動的に構成されます。

8.6.2.16 検出 / クラス イネーブル レジスタ

COMMAND = 14h、1 データ バイト、読み取り/書き込み

t_{OVLD} 、 t_{LIM} 、または t_{START} クール ダウン サイクルの間、そのチャネルの検出/クラス イネーブル コマンドはクールダウン期間が終了するまで遅延します。クラスおよび検出イネーブルビットが設定されている場合は、クールダウンサイクルの終了時に、前述のように 1 つ以上の検出/クラスサイクルが自動的に再起動されることに注意してください。

図 8-23. 検出 / クラス イネーブル レジスタ フォーマット

7	6	5	4	3	2	1	0
CLE4	CLE3	CLE2	CLE1	DETE4	DETE3	DETE2	DETE1
R/W-0							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-22. 検出 / クラス イネーブル レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7 ~ 4	CLE4-CLE1	R/W	0	分類イネーブル ビット。
3-0	DETE4-DETE1	R/W	0	検出イネーブル ビット。

ピットの詳細:

チャネルごとの検出と分類のイネーブル。

手動モードでビットを設定すると、対応するチャネルに対して 1 サイクル (検出または分類) のみが実行されます。このビットは、サイクルが完了すると自動的にクリアされます。

検出/クラス再起動レジスタ 0x18 に書き込むことで、同様の結果が得られることに注意してください。

このオプションは、電源オフ (パワー イネーブル レジスタ) コマンドが発行された場合にもクリアされます。

半自動モードでは、ポートがオフのままである限り、クラスと検出イネーブル ビットがセットされている限り、検出と分類は継続的に実行されますが、検出が有効な場合にのみクラスが実行されます。半自動モードの場合、検出 / クラス再始動 PB コマンドを使用して CLEn ビットと DETEn ビットを設定することもできます。

注

半自動または自動モードの 4 ペア有線ポートの場合、検出または分類をイネーブルにするには、両方のチャネルで DETEn ビットと CLEn ビットの両方をセットする必要があります

注

手動/診断モードでは、検出 (DETEn または CLEn) を有効にする前に、ポート リセット コマンド (レジスタ 0x1A セクション 8.6.2.22 を参照) を完了することを推奨します。

8.6.2.17 電力優先度 / 2 ペア PCUT ディセーブル レジスタ名

COMMAND = 15h、1 データ バイト、R/W

図 8-24. 電力優先度 / 2P-PCUT ディセーブル レジスタ フォーマット

7	6	5	4	3	2	1	0
OSS4	OSS3	OSS2	OSS1	DCUT4	DCUT3	DCUT2	DCUT1
R/W-0							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-23. 電力優先度/2P-PCUT ディスエーブル レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 4	OSS4-OSS1	R/W	0	電力優先度ビット: 0x17 の MBitPrty ビットが 0 の場合 = 0: 1 = OSS 信号がアサートされると、対応するチャネルがオフになります。 0 = OSS 信号はチャネルに影響を与えません。 4 ペアの有線ポートの場合、これらのビットが個別のチャネル応答を制御します。4 ペア有線ポートの両方のチャネルをディセーブルにするには、両方のチャネルを 1 に設定する必要があります。
3-0	DCUT4-DCUT1	R/W	0	各チャネルの 2 ペア PCUT ディスエーブル。タイミング構成レジスタのプログラミングステータスに関係なく、2 ペアの PCUT フォルトによって関連チャネルの電源が切断されることを防止するために使用します。ILIM フォルトは引き続き監視されていることに注意してください。 1: チャネルの PCUT がディセーブルになります。つまり、PCUT 障害だけではこのチャネルはオフになりません。 0: チャネルの PCUT がイネーブルになります。PCUT フォルトが発生している場合、チャネルがオフになります。

注

MbitPrty ビット = 1 (0x17h) の場合: 適切に動作させるには、OSSN ビットをクリアする必要があります。マルチビット優先シャットダウン機能の詳細については、レジスタ 0x27/28h を参照してください。

注

あるチャネルの DCUT = 1 の場合、PCUT フォルト状態中はチャネルは自動的にオフになりません。ただし、PCUT フォルト フラグは引き続き動作し、フォルト タイムアウトは t_{OVLD} に等しくなります。

DCUTN ビットの状態を変化させると、そのチャネルの T_{OVLD} タイマがリセットされます。

注

4 ペアの有線ポートの場合:

これらのビットは、2 ペア PCUT フォルトに対する個別のチャネルの応答を制御します。

0x2D = 1 の NCTnN ビットでありかつ 2 ペア Pcut がイネーブルの場合、過負荷状態が t_{OVLD} タイムアウトを超えると、両方のチャネルがオフになります。

加算された 4 ペア PCUT フォルトに対する応答は、レジスタ 0x2Dh に設定されます。

OSSN ビットは、OSS 高速シャットダウン信号の外部アサートに応答して、どのチャネルがシャットダウンされるかを決定するために使用されます。

OSS による電源オフ手順は、チャネルリセットまたはオフモードへの変更と似ていますが、OSS は進行中のフォルトクールダウンタイムをキャンセルしません。次の表に、OSS によってチャネルがディセーブルになったときにクリアされるビットを示します。

表 8-24. OSS によるチャネルターンオフ

登録	リセットするビット
0x04	CLSCn および DETCn
0x06	DISFn および PCUTn
0x08	STRTn および ILIMn
0x0A/B	PCUTnn
0x0C-0F	要求されたクラスと検出
0x10	PGN と PEn
0x14	CLEN と DETEn
0x1C	ACN および CCnn
0x1E-21	2P ポリシングは 0xFFh に設定されます
0x24	PFN
0x2A-2B	4P ポリシングは 0xFFh に設定されます
0x2D	NLMnn, NCTnn, 4PPCTnn, DCDTnn
0x30-3F	チャンネル電圧および電流測定
0x40	2xFBn
0x44~47	検出抵抗測定
0x4C-4F	割り当てられたクラスと前のクラス
0x51-54	自動クラス測定

注

OSS イベントの後、すべてのレジスタがクリアされるまでに最大 5ms を要する場合があります。

OSS がイネーブルになっているチャネル/ポート(「n」)に関連付けられているビットのみがクリアされます。動作中のチャネル/ポートに関連するビットは変更されません。

OSS または PCUT フォルトにより 4 ペアのデュアルシグネチャ PD の单数チャネルがオフになった場合、検出および分類が引き続き有効であり、電源チャネルに割り当てられた分類に基づいて 0x29 の電源割り当て設定で十分である場合、0x19h の PWON ビットをセットすることによって、そのチャネルに電力を再印加できます。

8.6.2.18 タイミング構成レジスタ

COMMAND = 16h、1 データ バイト、読み取り/書き込み

ビットの詳細:これらのビットは、**4** つのチャネルすべてのタイミング構成を定義します。

図 8-25. タイミング構成レジスタ フォーマット

7	6	5	4	3	2	1	0
TLIM		TSTART		TOVLD		TMPDO	
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-25. タイミング構成レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明										
7 - 6	TLIM	R/W	0	<p>ILIM の障害タイミング。これは、チャネルがオフになる前の出力電流制限時間です。レジスタ 0x40 が 2xFBN ビットを 0 にすると、関連するチャネルに使用される t_{LIM} は常に公称値(約 60ms)です。</p> <p>このタイマーはアクティブであり、TSTART 時間ウインドウが満了した後、およびチャネルが出力電流を I_{LIM} に制限しているときに、以下に定義された設定にインクリメントします。I_{LIM} カウンタが、以下に指定されたプログラムされたタイムアウト時間に達すると、チャネルは電源オフになります。その後、1 秒間のクールダウンタイマーが開始され、カウンタが完了するまでチャネルをオンにすることはできません。</p> <p>それ以外の状況 (I_{LIM} タイムアウトに達していません) では、チャネル電流が I_{LIM} を下回ると、同じカウンタがインクリメントレートの 1/16 のレートでデクリメントします。カウンタはゼロを下回るまでデクリメントしません。I_{LIM} カウンタは、電源イネーブルまたはリセットコマンド、DC 切断イベント、OSS 入力によってターンオフした場合にもクリアされます。</p> <p>このタイマーがチャネルですでにアクティブになっている間に TLIM 設定が変更された場合、このタイマーは自動的にリセットされ、新しいプログラムされたタイムアウト時間で再起動されます。</p> <p>半自動モードでは、クールダウンサイクルの終了時に検出イネーブルビットが設定されている場合、検出サイクルが自動的に再開されることに注意してください。また、「OFF」または「Manual」モードが選択されている場合は、「RESET」コマンドを使用して、冷却時間カウントがただちにキャンセルされます。</p> <p>レジスタ 0x40 で 2xFBN ビットがアサートされている場合、関連するチャネルの t_{LIM} は、次のように選択することができます。</p> <table border="1"> <thead> <tr> <th>TLIM</th> <th>最小 t_{LIM} (ms)</th> </tr> </thead> <tbody> <tr> <td>0 0</td> <td>58</td> </tr> <tr> <td>0 1</td> <td>15</td> </tr> <tr> <td>1 0</td> <td>10</td> </tr> <tr> <td>1 1</td> <td>6</td> </tr> </tbody> </table>	TLIM	最小 t_{LIM} (ms)	0 0	58	0 1	15	1 0	10	1 1	6
TLIM	最小 t_{LIM} (ms)													
0 0	58													
0 1	15													
1 0	10													
1 1	6													

表 8-25. タイミング構成レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明										
5-4	TSTART (または TINRUSH)	R/W	0	<p>起動フォルトタイミング。これは、突入中に許容される最大過電流時間です。TSTART期間の終了時に、電流がまだ $linrush_{Inrush}$ に制限されている場合、チャネルはオフになります。</p> <p>これに続く 1 秒間の冷却期間が続き、その間はチャネルをオンにできません</p> <p>クラスと検出イネーブルビットが設定されている場合、クールダウンサイクルの終了時に、半自動モードで検出サイクルが自動的に再起動されることに注意してください。</p> <p>このタイマーがチャネルに対してすでにアクティブになっている間に TSTART 設定が変更された場合、この新しい設定は無視され、次にチャネルがオンになったときにのみ適用されます。</p> <p>その選択は次のとおりです。</p> <table border="1"> <thead> <tr> <th>TSTART</th> <th>公称 t_{start} (ms)</th> </tr> </thead> <tbody> <tr> <td>0 0</td> <td>60</td> </tr> <tr> <td>0 1</td> <td>30</td> </tr> <tr> <td>1 0</td> <td>120</td> </tr> <tr> <td>1 1</td> <td>予約済み</td> </tr> </tbody> </table>	TSTART	公称 t_{start} (ms)	0 0	60	0 1	30	1 0	120	1 1	予約済み
TSTART	公称 t_{start} (ms)													
0 0	60													
0 1	30													
1 0	120													
1 1	予約済み													
3 ~ 2	TOVLD	R/W	0	<p>PCUT フォルトタイミング。これは、ターンオフ前の過電流時間です。このタイマーはアクティブであり、TSTART 時間ウインドウが終了した後、電流が PCUT に達したか、または現在のフォールドバックによって制限された場合に、以下に定義された設定に増分されます。PCUT カウンタが、以下に指定されたプログラムされたタイムアウト時間に達すると、チャネルは電源オフになります。その後、1 秒間のクールダウンタイマーが開始され、カウンタが完了するまでチャネルをオンにすることはできません。</p> <p>その他の状況 (PCUT タイムアウトに達していない) では、電流が PCUT を下回っている間、同じカウンタがインクリメント レートの 1/16 のレートでデクリメントします。カウンタはゼロを下回るまでデクリメントしません。</p> <p>電源イネーブルまたはリセットコマンド、DC 切断イベント、OSS 入力によって電源がオフになった場合も、PCUT カウンタはクリアされます</p> <p>このタイマーがチャネルでアクティブになっている間に TOVLD 設定が変更された場合、このタイマーは自動的にリセットされ、新しいプログラムされたタイムアウト時間で再起動されます。</p> <p>半自動モードでは、クールダウンサイクルの終了時に検出イネーブルビットが設定されている場合、検出サイクルが自動的に再開されることに注意してください。また、「OFF」または「Manual」モードが選択されている場合は、「RESET」コマンドを使用して、冷却時間カウントがただちにキャンセルされます。</p> <p>パワー プライオリティ/ PCUT ディスエーブル レジスタの DCUTN ビットが high の場合、関連するチャネルの PCUT フォルトタイミングは引き続きアクティブであることに注意してください。ただし、toVLD 時間が経過してもチャネルがオフになりませんが、PCUT フォルトビットはセットされ続けます。</p> <p>その選択は次のとおりです。</p> <table border="1"> <thead> <tr> <th>TOVLD</th> <th>公称 t_{ovld} (ms)</th> </tr> </thead> <tbody> <tr> <td>0 0</td> <td>60</td> </tr> <tr> <td>0 1</td> <td>30</td> </tr> <tr> <td>1 0</td> <td>120</td> </tr> <tr> <td>1 1</td> <td>240</td> </tr> </tbody> </table>	TOVLD	公称 t_{ovld} (ms)	0 0	60	0 1	30	1 0	120	1 1	240
TOVLD	公称 t_{ovld} (ms)													
0 0	60													
0 1	30													
1 0	120													
1 1	240													

表 8-25. タイミング構成レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明										
1-0	TMPDO	R/W	0	<p>切断遅延とは、切断状態が発生したとき、および DC 切断検出方法がイネーブルになっている場合の、チャネルをオフにする時間です。</p> <p>TDIS カウンタは、電流が公称 15ms にわたって接続解除スレッショルドよりも連続的に高くなるたびにリセットされます。</p> <p>カウンタはゼロを下回るまでデクリメントしません。</p> <p>その選択は次のとおりです。</p> <table border="1"> <thead> <tr> <th>TMPDO</th> <th>公称 t_{MPDO} (ms)</th> </tr> </thead> <tbody> <tr> <td>0 0</td> <td>360</td> </tr> <tr> <td>0 1</td> <td>90</td> </tr> <tr> <td>1 0</td> <td>180</td> </tr> <tr> <td>1 1</td> <td>180</td> </tr> </tbody> </table>	TMPDO	公称 t_{MPDO} (ms)	0 0	360	0 1	90	1 0	180	1 1	180
TMPDO	公称 t_{MPDO} (ms)													
0 0	360													
0 1	90													
1 0	180													
1 1	180													

注

TLIM、TOVLD、TMPDO、または TSTART 障害状態が発生すると、PGN ビットと PEN ビット (電源ステータス レジスタ) はクリアされます。

注

t_{LIM} の設定は、IEEE 準拠要件に基づいて最小タイムアウトを設定します。

注

4 ペア プリット フォルトの t_{OVLD} 時間は、 t_{OVLD} 設定 + 約 6ms と等しくなります

8.6.2.19 汎用マスク レジスタ

COMMAND = 17h、1 データ バイト、読み取り/書き込み

図 8-26. 汎用マスク レジスタ フォーマット

7	6	5	4	3	2	1	0
INTEN	-	nbitACC	MbitPrty	CLCHe	DECHe	-	-
R/W-1	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-26. 汎用マスク レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	INTEN	R/W	1	<p>INT ピン マスク ビット。0 を書き込むと、割り込みマスク レジスタの状態に関係なく、割り込み レジスタ のどのビットも INT 出力のアクティブ化からマスクされます。INTEN をアクティブにしても、イベント レジスタ には影響がないことに注意してください。</p> <p>1 = マスクされていない割り込み レジスタ のビットは、INT 出力をアクティブにできます</p> <p>0 = INT 出力をアクティブにできません</p>
6	-	R/W	0	
5	nbitACC	R/W	0	<p>I²C レジスタ アクセス構成ビット。</p> <p>1 = 構成。これは、1 つのデバイス アドレス (A0 = 0) から 16 ビット アクセスを意味します。</p> <p>0 = 構成 A。これは 8 ビットのアクセスを意味し、8 チャネル デバイスは 2 つの連続したターゲット アドレスを持つ 2 つの独立した 4 チャネル デバイスとして扱われます。</p> <p>I²C アドレス プログラミングの詳細については、レジスタ 0x11 を参照してください。</p>
4	MbitPrty	R/W	0	<p>マルチ ビット 優先度 ビット。1 ビットのシャットダウン 優先度 と 3 ビットのシャットダウン 優先度 を選択するため 使用します。</p> <p>1 = 3 ビットのシャットダウン 優先度。優先度と OSS の動作を行なうには、レジスタ 0x27 および 0x28 に従う必要があります。</p> <p>0 = 1 ビットのシャットダウン 優先度。優先度と OSS の動作のためには、レジスタ 0x15 に従う必要があります</p>
3	CLCHe	R/W	0	<p>クラス 変更 イネーブル ビット。検出イベント レジスタ の CLSCn ビットがセットされている場合は、最新の分類動作の結果が前の分類動作の結果と異なることのみを示します。</p> <p>1 = CLSCn ビットは、関連するチャネルに対してクラスの変更が発生したときにのみ設定されます。</p> <p>0 = CLSCn ビットは、関連するチャネルについて分類サイクルが発生するたびに設定されます。</p>
2	DECHe	R/W	0	<p>検出 変更 イネーブル ビット。セットされている場合、検出イベント レジスタ の DETCn ビットは、最新の検出動作の結果が前の検出動作の結果と異なることを示します。</p> <p>1 = DETCn ビットは、関連するチャネルで検出の変化が発生したときにのみ設定されます。</p> <p>0 = DETCn ビットは、関連するチャネルで検出サイクルが発生するたびに設定されます。</p>
1	-	R/W	0	
0	-	R/W	0	

注

MbitPrty ビットを 0 から 1 に変更する必要がある場合は、OSS ビットストリームとの同期喪失に関連して誤動作を防止するため、MbitPrty ビットを設定する前に、OSS 入力ピンが最小 200μs の間アイドル (low) 状態になっていることを確認してください。

注

16 ビットの I²C 動作をイネーブルにするには、チャネル 1 ~ 4 の nbitACC ビットのみを設定する必要があります。

表 8-27. nbitACC = 1: 8 ビット (構成 A) および 16 ビット (構成 B) の I²C モードでのレジスタ動作

CMD コード	レジスタ またはコマンド名	ビットの詳細	構成 A (8 ビット)	構成 B (16 ビット)
00h	割り込み	INT ビット P1-4、P5-8	4 チャネルのグループごとに、マスク結果と割り込み結果を分けます。	
01h	割り込みマスク	MSK ビット P1-4、P5-8	電源イベントビットは 2 回繰り返されます。	
02h	パワー イベント	PGC_PEC P4-1、P8-5		
03h				
04h	検出イベント	CLS_DET P4-1、P8-5		
05h				
06h	故障イベント	DIS_PCUT P4-1、P8-5		
07h				
08h	開始 / ILIM イベント	ILIM_STR P4-1、P8-5		
09h				
0Ah		TSD、VDUV、VDUV、VPUV、RAMFLT PCUT34、PCUT12、PCUT78、PCUT56、OSSE4-1、OSSE8-5	8 ビットレジスタ (チャネル 1 ~ 4 およびチャネル 5 ~ 8) はどちらも TSD、VDUV、VPUV、RAMFLT で同じ結果を示します。PCUTxx ビットと OSSEx ビットは、4 チャネルのグループごとに個別のステータスになります。	
0Bh	電源供給/故障イベント		少なくとも 1 つの VPUV/VDUV をクリアすると、もう 1 つの VPUV/VDUV もクリアされます。	
0Ch	チャネル 1 検出	CLS&DET1_CLS&DET5		
0Dh	チャネル 2 検出	CLS&DET2_CLS&DET6		
0Eh	チャネル 3 検出	CLS&DET3_CLS&DET7		
0Fh	チャネル 4 検出	CLS&DET4_CLS&DET8		
10h	電源ステータス	PG_PE P4-1、P8-5	4 チャネルのグループごとに個別のステータス バイト	
11h	ピン ステータス	A4-A1、A0	8 ビットレジスタ (チャネル 1 ~ 4 およびチャネル 5 ~ 8) はどちらも同じ結果を示します。ただし、A0 = 0 (チャネル 1 ~ 4) または 1 (チャネル 5 ~ 8) は除きます。	8 ビットレジスタ (チャネル 1 ~ 4 およびチャネル 5 ~ 8) は、A0 = 0 を含めて同じ結果を示します。
12h	動作モード	MODE P4-1、P8-5	4 チャネルのグループごとに個別のモード バイト。	
13h	接続解除イネーブル	DCDE P4-1、P8-5	4 チャネルのグループごとに個別の DC 切断イネーブル バイト。	
14h	検出 / クラス イネーブル	CLE_DETE P4-1、P8-5	4 チャネルのグループごとに個別の検出/クラス イネーブル バイト。	
15h	PWRPR/2P-PCUT ディセーブル	OSS_DCUT P4-1、P8-5	4 チャネルのグループごとに個別の OSS/DCUT バイト。	
16h	タイミング構成	TLIM_TSTRT_TOVLD_TMPD_O P4-1、P8-5	4 チャネルのグループごとに個別のタイミング バイト。	
17h	汎用マスク	P4-1、P8-5 (n ビット アクセスを含む)	4 チャネルのグループごとに個別のバイト。 n ビット アクセス:これを仮想クロックレジスタ空間の少なくとも 1 つに設定するだけで、構成 B モードに移行できます。設定 A に戻るには、両方をクリアします。 MbitPrty:これを仮想クロックレジスタ空間の少なくとも 1 つに設定すると、3 ビットのシャットダウン優先度を入力するのに十分です。1 ビットシャットダウンに戻るには、両方の MbitPrty ビットをクリアします。	
18h	検出 / クラス再起動	RCL_RDET P4-1、P8-5	4 チャネルのグループごとに個別の DET/CL RST バイト	
19h	パワー イネーブル	POF_PWON P4-1、P8-5	4 チャネルのグループごとに POF/PWON バイトを分離します	
1Ah	リセット	P4-1、P8-5	4 チャネルのグループごとに個別のバイト、Int ピンのクリア、および All Int のクリア。	4 チャネルのグループごとに個別のバイト。

表 8-27. nbitACC = 1: 8 ビット (構成 A) および 16 ビット (構成 B) の I²C モードでのレジスタ動作 (続き)

CMD コード	レジスタ またはコマンド名	ビットの詳細	構成 A (8 ビット)	構成 B (16 ビット)
1Bh	ID		8 ビットのレジスタ (チャネル 1 ~ 4 およびチャネル 5 ~ 8) は、I ² C を使用して変更しない限り、同じ結果を示します	
1Ch	自動クラスと接続チェック	AC4-1、CC34 - 12、AC8-5、CC78-56	4 チャネルのグループごとに個別のバイト。	
1Eh	2P POLITY 1/5 の設定	POL1、POL5		
1Fh	2P POLITY 2/6 の設定	POL2、POL6		
20h	2P POLITY 3/7 の設定	POL3、POL7	チャネルごとに個別のポリシング バイト。	
21h	2P POLITY 4/8 の設定	POL4、POL8		
22h	静電容量の測定	CDET4-1、CDET8-5	4 チャネルのグループごとに、個別の容量測定イネーブル バイト。	
24h				
25h	電源オンの障害	PF P4-1, P8-5	4 チャネルのグループごとに独立したパワーオン フォルト バイト	
26h	ポートの再割り当て	論理 P4-1、P8-5	4 チャネルのグループごとに個別のリマッピング バイト。 POR または RESET ピンの場合のみ再初期化されます。0x1A IC リセットまたは CPU ウオッチドッグ リセットの場合は、変更されないままにします。	
27h	マルチビット優先度 21/65	MBP2-1、MBP6-5	2 チャネルのグループごとに MBP バイトを分離します	
28h	マルチビット優先度 43/87	MBP4-3、MBP8-7	2 チャネルのグループごとに MBP バイトを分離します	
29h	ポート電力の割り当て	4PW34-12、MC34-12、4PW78-56、MC78-56	4 チャネルのグループごとに 4Pnn、MCnn バイトを分離します	
2Ah	4P POLICE 12 / 56 CONFIG	POL12、POL56	チャネルごとに 4P ポリシング バイトを分離します	
2Bh	4P POLICE 34 / 78CONFIG	POL34、POL78	チャネルごとに 4P ポリシング バイトを分離します	
2Ch	温度	TEMP P1-4, P5-8	8 ビットのレジスタ (チャネル 1 ~ 4 とチャネル 5 ~ 8) は、どちらも同じ結果を示す必要があります。	
2Dh	4P 障害設定	NLM4-1、NCT4-1、4PPCT4-1、DCDT4-1、NLM8-5、NCT8-5、4PPCT8-5、DCDT8-5	4 チャネルのグループごとに個別の障害処理 バイト	
2Eh				
2Fh	入力電圧	VPWR P1-4, P5-8	8 ビットのレジスタ (チャネル 1 ~ 4 とチャネル 5 ~ 8) は、どちらも同じ結果を示す必要があります。	
30h	チャネル 1 電流	I1、I5	4 チャネルのグループごとに 2 バイトを分離。 0x30 での 2 バイト読み出しにより、0x30 での I1 4 バイト読み出しにより I1、I5 が得られます。	
31h			該当なし	0x31 での 2 バイト読み出しにより I5 となります。
32h	チャネル 1 電圧	V1、V5	4 チャネルのグループごとに 2 バイトを分離	0x32 での 2 バイト読み出しにより、0x32 での V1 4 バイト読み出しにより V1、V5 が得られます。
33h			該当なし	0x33 からの 2 バイト読み出しにより V5 となります。
34h	チャネル 2 電流	I2、I6	4 チャネルのグループごとに 2 バイトを分離	0x34 での 2 バイト読み出しにより、0x34 での I2 4 バイト読み出しにより、I2、I6 となります。
35h			該当なし	0x35 での 2 バイト読み出しにより I6 となります。
36h	チャネル 2 電圧	V2、V6	4 チャネルのグループごとに 2 バイトを分離	0x36 での 2 バイト読み出しにより、0x36 での V2 の 4 バイト読み出しが行われた場合、V2、V6 となります。
37h			該当なし	0x37 での 2 バイト読み出しにより V6 となります。

表 8-27. nbitACC = 1: 8 ビット (構成 A) および 16 ビット (構成 B) の I²C モードでのレジスタ動作 (続き)

CMD コード	レジスタ またはコマンド名	ビットの詳細	構成 A (8 ビット)	構成 B (16 ビット)
38h	チャネル 3 電流	I3, I7	4 チャネルのグループごとに 2 バイトを分離	0x38 での 2 バイト読み出しにより、0x38 で I3 の 4 バイト読み出しが行われた場合、I3, I7 となります。
39h			該当なし	0x39 での 2 バイト読み出しにより I7 となります。
3Ah	チャネル 3 電圧	V3, V7	4 チャネルのグループごとに 2 バイトを分離	0x3A での 2 バイト読み出しにより、0x3A で V3 の 4 バイト読み出しが行われた場合、V3, V7 となります。
3Bh			該当なし	0x3B での 2 バイト読み出しにより V7 となります。
3Ch	チャネル 4 電流	I4, I8	4 チャネルのグループごとに 2 バイトを分離	0x3C での 2 バイト読み出しにより、0x3C で I4 の 4 バイト読み出しが行われた場合、I4, I8 となります。
3Dh			該当なし	0x3D での 2 バイト読み出しにより I8 となります。
3Eh	チャネル 4 電圧	V4, V8	4 チャネルのグループごとに 2 バイトを分離	0x3E での 2 バイト読み出しにより、0x3E で V4 の 4 バイト読み出しが行われた場合、V4, V8 となります。
3Fh			該当なし	0x3F での 2 バイト読み出しにより V8 となります。
40h	動作フォールドバック	2xFB4-1, 2xFB8-5	4 チャネルのグループごとに 2xFBn 構成バイトを分離します。	
41h	ファームウェア リビジョン	FRV P1-4, P5-8	8 ビットのレジスタ (チャネル 1 ~ 4 とチャネル 5 ~ 8) は、どちらも同じ結果を示す必要があります。	
42h	I2C ウオッチドッグ	P1-4, P5-8	IWD3-0:2 つの 4 ポート設定のうち少なくとも 1 つが 1011b と異なる場合、8 つのチャネルすべてでウォッチドッグがイネーブルになります。 WDS:8 ビットレジスタ (チャネル 1 ~ 4 およびチャネル 5 ~ 8) は、どちらも同じ WDS 結果を示す必要があります。各 WDS ビットは、I ² C によって個別にクリアする必要があります	
43h	デバイス ID	DID_SR P1-4, P5-8	8 ビットのレジスタ (チャネル 1 ~ 4 とチャネル 5 ~ 8) は、どちらも同じ結果を示します。	
44h	チャネル 1 の抵抗	RDET1, RDET5	チャネルごとに個別のバイト。 検出抵抗は常に更新、検出良好または不良	
45h	チャネル 2 の抵抗	RDET2, RDET6		
46h	チャネル 3 の抵抗	RDET3, RDET7		
47h	チャネル 4 の抵抗	RDET4, RDET8		
4Ch	チャネル 1 割り当てクラス	ACLS&PCLS1_ACLS&PCLS5	チャネルごとに独立したステータス バイト	
4Dh	チャネル 2 割り当てクラス レジスタ	ACLS&PCLS2_ACLS&PCLS6		
4Eh	チャネル 3 割り当てクラス	ACLS&PCLS3_ACLS&PCLS7		
4Fh	チャネル 4 割り当てクラス	ACLS&PCLS4_ACLS&PCLS8		
50h	AUTOCLASS 制御	MAC4-1, AAC4-1, MAC8-5, AAC8-5	4 つのチャネルごとに独立した自動クラス制御バイト	
51h	AUTOCLASS パワー 1/5	PAC1, PAC5	チャネルごとに独立した自動クラス電力測定バイト	
52h	AUTOCLASS パワー 2/6	PAC2, PAC6		
53h	AUTOCLASS パワー 3/7	PAC3, PAC7		
54h	AUTOCLASS パワー 4/8	PAC4, PAC8		
55h	代替フォールドバック	ALTFB4-1, ALTIR4-1, ALTFN8-5, ALTIR8-5	4 チャネルのグループごとに異なる代替フォールドバック バイト	
60h	SRAM 制御	SRAM CNTRL ビット	これらのビットは、下位仮想クワッド (A0 = 0, CH 1 ~ 4) 用に設定する必要があります。これらのビットには、上位仮想クワッド (A0 = 1, Ch 5 ~ 8) デバイス用の機能はありません	
61h	SRAM データ		ストリーミング データ入力は、I ² C 構成の影響を受けません	
62h	開始アドレス (LSB)		これらのビットは、下位仮想クワッド (A0 = 0, CH 1 ~ 4) 用に設定する必要があります。これらのビットには、上位仮想クワッド (A0 = 1, Ch 5 ~ 8) デバイス用の機能はありません	

表 8-27. nbitACC = 1: 8 ビット (構成 A) および 16 ビット (構成 B) の I²C モードでのレジスタ動作 (続き)

CMD コード	レジスタ またはコマンド名	ビットの詳細	構成 A (8 ビット)	構成 B (16 ビット)
63h	開始アドレス (MSB)		これらのビットは、下位仮想クワッド (A0 = 0, CH 1 ~ 4) 用に設定する必要があります。これらのビットには、上位仮想クワッド (A0 = 1, Ch 5 ~ 8) デバイス用の機能はありません	

8.6.2.20 検出 / クラス再起動レジスタ

COMMAND = 18h、1 データ バイト、書き込み専用

プッシュ ボタン レジスタ。

各ビットは、チャネルごとに特定のサイクル（検出またはクラス再起動）に対応しています。各サイクルは、そのビット位置に 1 を書き込むことによって個別にトリガできます。0 を書き込んでもそのイベントの内容は何も変更されません。

診断 / 手動モードでは、半自動モードでこれらのビットを設定すると 1 サイクル（検出またはクラス再起動）がトリガされ、検出/クラス イネーブル レジスタ 0x14 の対応するビットが設定されます。

読み出し動作は 00h を返します。

t_{OVLD} , t_{LIM} 、または t_{START} クール ダウン サイクルの間、そのチャネルの検出 / クラス再起動コマンドは受け付けられますが、対応する動作はクールダウン期間の終了まで遅延されます。

図 8-27. 検出 / クラス再起動レジスタ フォーマット

7	6	5	4	3	2	1	0
RCL4	RCL3	RCL2	RCL1	RDET4	RDET3	RDET2	RDET1
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、W = 書き込み専用、-n = リセット後の値

表 8-28. 検出 / クラス 再始動レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 4	RCL4–RCL1	W	0	再起動分類ビット
3-0	RDET4–RDET1	W	0	再起動検出ビット

これらのビットは、レジスタ 0x14 で「読み出し-変更-書き込み」シーケンスを完了する代わりに使用して、チャネルごとに検出と分類をイネーブルにできます。

半自動または自動モードの 4 ペアの有線ポートの場合、検出または分類をイネーブルにするには、両方のビットをセットする必要があります

8.6.2.21 パワー イネーブル レジスタ

COMMAND = 19h、1 データ バイト、書き込み専用

プッシュ ボタン レジスタ。

オフ モード以外の任意のモードで、チャネルをオン/オフするために使用します。

図 8-28. パワー イネーブル レジスタ フォーマット

7	6	5	4	3	2	1	0
POFF4	POFF3	POFF2	POFF1	PWON4	PWON3	PWON2	PWON1
W-0							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、W = 書き込み専用、-n = リセット後の値

表 8-29. パワー イネーブル レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 4	POFF4–POFF1	W	0	チャネル パワー オフ ビット
3-0	PWON4–PWON1	W	0	チャネル パワー オン ビット

注

同じ書き込み動作の間に同じチャネルの POFFn と PWONn に 1 を書き込むと、チャネルはオフになります。

注

t_{OVLD} 、 t_{LIM} 、 t_{START} 、および接続解除イベントは PWON コマンドよりも優先されます。 t_{OVLD} 、 t_{LIM} または t_{START} 、クール ダウン サイクル中、パワー イネーブル コマンドを使用したチャネルのターンオンは無視され、チャネルはオフに保持されます。

注

4 ペアの有線ポートの場合:

これらのビットは、各チャネルの個別のチャネルの応答を制御します。したがって、4 ペアのワイヤポートの場合は、両方のチャネルのビットを同時に設定することをお勧めします。

両方のチャネルで DETE = CLE = 1 の半自動モードでは、1 つの PWON ビットだけを設定して、その单一チャネルだけをオンにすることができます。

クラス 5-8 に分類された 4P シングル シグネチャ デバイスの場合、単一の PWON コマンドが失敗し、0x24 に書き込まれた「不十分な電源」コードで STRT フォルトが設定されます。

PD が自身をクラス 4 以下として提示している場合は、そのペアセットのみに電力が供給されます。

1 次側にすでに電源が供給された後に、単一のシグニチャ デバイスの 2 次チャネルの代替 PWON ビットを設定すると、DET または CLS が完了しないでチャネルがすぐにオンになります。

4 ペア デュアル シグネチャ デバイスにチャネルが 1 つしか電源を供給していない場合、電源が供給されていないチャネルの PWON ビットを設定すると、もう一方のチャネルに割り当てられた分類と、新しい PWON コマンドのときの電力割り当て設定 (0x29h) に基づいて、そのチャネルがオンになります。

診断/マニュアル モードの PWONn:

PSE コントローラが診断モードに構成されている場合、PWONN ビット位置に 1 を書き込むと、関連するチャネルが直ちにオンになります。

半自動モードの PWONn:

半自動モードでは、PWONN ビットに 1 を書き込むと、関連するチャネルがオンになります。検出結果またはクラス結果が無効な場合、チャネルはオンになりません。このプッシュボタンが再アサートされ、チャネルが設定された半自動モード動作を再開するまで、チャネルをオンにしようとする試みはこれ以上ありません。

注

半自動モードでは、PWON コマンドを発行する前に電力割り当て (0x29h) の値を設定する必要があります。PWON コマンドが与えられた後の電源割り当ての値の変更は、すべて無視できます。

表 8-30. 半自動モードでの PWONn コマンドに対するチャネル応答

CLEn	DETEn	チャネル動作	PWONn コマンドの結果
0	0	アイドル	完全な DET および CLS サイクルでシングルターンオンが試行されました

表 8-30. 半自動モードでの PWONn コマンドに対するチャネル応答 (続き)

CLEn	DETEn	チャネル動作	PWONn コマンドの結果
0	1	サイクリング検出測定のみ	完全な DET および CLS サイクルでシングルターンオンが試行されました
1	0	アイドル	完全な DET および CLS サイクルでシングルターンオンが試行されました
1	1	サイクリング検出と分類測定	次の (または現在の) DET および CLS サイクルの後に、特異な電源オンが試行されました

DETEn および CLEn が設定された半自動モードでは、分類開始前に PWONx コマンドを受信していれば、分類結果が有効で電力割り当て設定 (レジスタ 0x29h を参照) が十分であれば、分類が完了した直後にチャネルに電源が供給されます。

自動モードでの PWONn:

DETEn または CLEn を 0 に設定した Auto モードでは、PWONx コマンドによって単一検出および分類サイクルが開始され、分類結果が有効で電力割り当て設定 (レジスタ 0x29h を参照) が十分である場合は、分類が完了した直後にポート/チャネルに電源が供給されます。

DETEn および CLEn = 1 の自動モードでは、PWON コマンドは必要ありません。ポート/チャネルは、検出および分類サイクルが完了するたびに自動的にオンになります。

注

自動モードでは、PWON コマンドを発行する前に、パワー アロケーション (0x29h) の値を設定する必要があります。PWON コマンドが与えられた後の電源割り当ての値の変更は、すべて無視できます。

自動モードの 4 ペア有線ポートでは、単一 PWONn コマンドは無視されます。

表 8-31. 自動モードでの PWONn コマンドへのチャネル応答

CLEn	DETEn	チャネル動作	PWONn コマンドの結果
0	0	アイドル	完全な DET および CLS サイクルでシングルターンオンが試行されました
0	1	サイクリング検出測定のみ	完全な DET および CLS サイクルでシングルターンオンが試行されました
1	0	アイドル	完全な DET および CLS サイクルでシングルターンオンが試行されました
1	1	サイクリング検出と分類測定	NA チャネルは、有効な検出と分類が行われた後、自動的に電源が入ります

任意のモードの PWOFFn:

チャネルは即座にディセーブルされ、次のレジスタがクリアされます。

表 8-32. PWOFFn コマンドによりチャネルをオフにする

登録	リセットするビット
0x04	CLSCn および DETCn
0x06	DISFn および PCUTn
0x08	STRTn および ILIMn
0x0A/B	PCUTnn
0x0C-0F	要求されたクラスと検出
0x10	PGN と PEn
0x14	CLEN と DETEn
0x1C	ACN および CCnn
0x1E-21	2P ポリシングは 0xFFh に設定されます
0x24	PFN
0x2A-2B	4P ポリシングは 0xFFh に設定されます
0x2D	NLMnn, NCTnn, 4PPCTnn, DCDTnn
0x30-3F	チャンネル電圧および電流測定
0x40	2xFBn
0x44~47	検出抵抗測定
0x4C-4F	割り当てられたクラスと前のクラス
0x51-54	自動クラス測定

注

すべてのレジスタ値を更新するには、PWOFFn コマンドの後、最大 5ms を要する場合があります。

PWOFFn が設定されたチャネル/ポート（「n」）に関連付けられているビットのみがクリアされます。動作中のチャネル/ポートに関連するビットは変更されません。

これらのビットは、各チャネルの応答を個別に制御します。したがって、4 ペアのワイヤポートの場合は、両方のチャネルのビットを同時に設定することをお勧めします。

注

PWOFFn コマンドが与えられた 4 ペアの単一シグネチャロードのうち、クラス 5 以上のクラスが割り当てられた 1 つのチャネルのみが使用された場合、両方のチャネルはディセーブルになります。

PWOFFn コマンドのために 4 ペアのデュアルシグネチャ PD の单数チャネルがオフになった場合、検出と分類が引き続き有効であり、0x29 の電源割り当て設定がパワーチャネルの割り当てられた分類に基づいて十分である場合、0x19h の PWON ビットを設定することによって、そのチャネルに電力を再印加できます。

8.6.2.22 RESET レジスタ

COMMAND = 1Ah、1 データ バイト、書き込み専用

プッシュ ボタン レジスタ。

ビット位置に 1 を書き込むと、0 が影響を与えない間、イベントがトリガされます。セルフ クリア ビット。

図 8-29. RESET レジスタの形式

7	6	5	4	3	2	1	0
CLRAIN	CLINP	-	RESAL	RESP4	RESP3	RESP2	RESP1
W-0	W-0	W-0	W-0	W-0	W-0	W-0	W-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、W = 書き込み専用、-n = リセット後の値

表 8-33. RESET レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CLRAIN	W	0	すべての割り込みビットをクリアします。CLRAIN に 1 を書き込むと、割り込みレジスタのすべてのイベントレジスタとすべてのビットがクリアされます。また、INT ピンを解放します
6	CLINP	W	0	セットすると、イベントレジスタにも割り込みレジスタにも影響せず、INT ピンが解放されます。
5	-	W	0	
4	RESAL	W	0	RESAL がセットされているときは、すべてのビットをリセットします。その場合、パワーアップ リセットと同様の状態になります。VDUV ビットと VPUV ビット(電源イベント レジスタ)は、VDD および VPWR 電源 レールの状態に従うことに注意してください。
3-0	RESP4-RESP1	W	0	リセット チャネル ビット。対応する RESPn ビット位置に 1 を書き込むことにより、任意のモードで即時チャネルを強制的にオフにするために使用されます。 注: 4 ペアの有線ポートの場合、いずれかのチャネルの RESPn ビットをセットすると、両方のチャネルがリセットされます。

RESAL ビットをセットすると、以下の表に示すものを除くすべての I²C レジスタが RST 状態に復元されます。

登録	ビット	RESAL 結果
0x00	すべて	PRE RESAL 値は保持されます
0x0A/B	TSD、VPUV、VDWRN および VPUV	
0x26	すべて	
0x2C、0x2E	すべて	
0x41	すべて	

注

4 つのチャネル (1 ~ 4 または 5 ~ 8) の 1 グループのみに対して RESAL ビットをセットすると、これら 4 つのチャネルのみがリセットされます。

注

CLINP コマンドを使用した後で、すべての既存の割り込みがクリアされるまで、すべての割り込みに対して INT ピンが再アサートされません。

RESPn ビットをセットすると、関連するチャネルが直ちにオフになり、次の表に従ってレジスタがクリアされます。

表 8-34. RESPn コマンドによりチャネルをオフにする

登録	リセットするビット
0x04	CLSCn および DETCn
0x06	DISFn および PCUTn
0x08	STRTn および ILIMn
0x0A/B	PCUTnn
0x0C-0F	要求されたクラスと検出
0x10	PGN と PEn
0x14	CLEn と DETEn
0x1C	ACn および CCnn
0x1E-21	2P ポリシングは 0xFFh に設定されます
0x24	PFN
0x2A-2B	4P ポリシングは 0xFFh に設定されます
0x2D	NLMnn, NCTnn, 4PPCTnn, DCDTnn
0x30-3F	チャネル電圧および電流測定
0x40	2xFBn
0x44~47	検出抵抗測定
0x4C-4F	割り当てられたクラスと前のクラス
0x51-54	自動クラス測定

注

RESPn が設定されたチャネル/ポート（「n」）に関連付けられているビットのみがクリアされます。動作中のチャネル/ポートに関連するビットは変更されません。

RESPn コマンドの後ですべてのレジスタがクリアされるまでに、最大 5ms を要する場合があります。

RESPn コマンドは、進行中の冷却サイクルをキャンセルします。

ユーザは、RESPn コマンドの後にディスカバリを再度イネーブルにするか、ポートの電源をオンにする前に、少なくとも 3ms 待つ必要があります。

8.6.2.23 ID レジスタ

COMMAND = 1Bh、1 データ バイト、読み取り/書き込み

図 8-30. ID レジスタの形式

7	6	5	4	3	2	1	0
MFR ID					ICV		
R/W-0	R/W-1	R/W-0	R/W-1	R/W-0	R/W-1	R/W-0	R/W-1

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-35. ID レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 3	MFR ID	R/W	01010 b	メーカー識別番号 (0101, 0)
2-0	ICV	R/W	101b	IC バージョン番号 (011)

8.6.2.24 接続チェックおよび自動クラス ステータス レジスタ

COMMAND = 1Ch、1 データ バイト、読み取り専用

図 8-31. 接続チェックおよび自動クラス レジスタ フォーマット

7	6	5	4	3	2	1	0
AC4	AC3	AC2	AC1	CC34_2	CC34_1	CC12_2	CC12_1
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-36. 接続チェックおよび自動クラスフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 4	ACn	R	0000b	自動クラス検出ステータス 1 = PD は、自動クラスをサポートしています 0 = PD は、自動クラスをサポートしていません
3 ~ 2	CC34_2/1	R	00b	4 ペアポート (チャネル 3 および 4) の接続チェック結果
1-0	CC12_2/1	R	00b	4 ペアポート (チャネル 1 および 2) の接続チェック結果

自動クラス:

オート クラス検出測定は長分類指の最後に完了し、PD がオート クラスをサポートすると判断された場合は、電源投入後、IEEE オート クラスのタイミング要件に応じてオート クラスのパワー測定が自動的に完了します。

注

ポートを 2 ペアまたは 4 ペア動作用に配線しているかに関係なく、自動クラス機能は動作します。

4 ペアのシングル シグネチャ デバイスの場合、1 つのチャネルで分類測定が完了していても、両方の ACN ビットが同じ結果を報告します。

分類中に自動クラスをサポートするために検出されたすべてのチャネルの自動クラスの電源をオンにした直後に、自動クラスの電力測定が完了します。

これらの測定結果はレジスタ (0x51h ~ 0x54h) で利用でき、自動クラス電力測定は各チャネルごとに行われます。

接続チェック:

接続チェック測定は、少なくとも 1 つのチャネルが有効な検出結果を持つことが判明した後、4 ペアの有線ポートでのみ実行されます。

接続チェックの結果

CCnn_2	CCnn_1	CC 結果
0	0	「不明」または不完全
0	1	シングル シグネチャ
1	0	デュアル シグネチャ
1	1	予約済み

これらのビットは、接続チェックが完了した後、および検出イベント レジスタ (0x04h) の検出イベント ビットがセットされる前にセットされます。

8.6.2.25 2ペア ポリス Ch-1 構成レジスタ

COMMAND = 1Eh、1データバイト、読み取り/書き込み

図 8-32. 2ペア ポリス Ch-1 レジスタ フォーマット

7	6	5	4	3	2	1	0
POL1_7	POL1_6	POL1_5	POL1_5	POL1_3	POL1_2	POL1_1	POL1_0
R/W-1							

凡例:R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.26 2ペア ポリス Ch-2 構成レジスタ

COMMAND = 1Fh、1データバイト、読み取り/書き込み

図 8-33. 2ペア ポリス Ch-2 レジスタ フォーマット

7	6	5	4	3	2	1	0
POL2_7	POL2_6	POL2_5	POL2_4	POL2_3	POL2_2	POL2_1	POL2_0
R/W-1							

凡例:R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.27 2ペア ポリス Ch-3 構成レジスタ

COMMAND = 20h、1データバイト、読み取り/書き込み

図 8-34. 2ペア ポリス Ch-3 レジスタ フォーマット

7	6	5	4	3	2	1	0
POL3_7	POL3_6	POL3_5	POL3_5	POL3_3	POL3_2	POL3_1	POL3_0
R/W-1							

凡例:R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.28 2ペア ポリス Ch-4 構成レジスタ

COMMAND = 21h、1データバイト、読み取り/書き込み

図 8-35. 2ペア ポリス Ch-4 レジスタ フォーマット

7	6	5	4	3	2	1	0
POL4_7	POL4_6	POL4_5	POL4_4	POL4_3	POL4_2	POL4_1	POL4_0
R/W-1							

凡例:R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-37. 2ペア ポリシング レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-0	POLn_7-POLn_0	R/W	1	1バイトで 2ペア P_{CUT} 最小スレッショルドを定義。 P_{CUT} を定義する式は次のとおりです。 $P_{CUT} = (N \times P_{CSTEP})$ ここで、0.200Ω Rsense 抵抗が使用されると仮定すると、次のようにになります。 $P_{CSTEP} = 0.5W$

注

これらのビットは、設計の最小スレッショルドを設定します。内部的には、部品や温度の変動が原因でデバイスがこのレジスタに設定された値以下にカット フォルトを検出しないように、PCUT の標準スレッショルドはこの値よりもわずかに高く設定されます。

4 ペアの有線ポートの場合、2P ポリシング値は個々のチャネルに適用されます。4 ペア ポリシングの詳細については、レジスタ 0x2Ah および 0x2Bh の説明を参照してください。

フォルト条件またはユーザー コマンドにより、ポートがオフになったかディセーブルになったときは、常に、このレジスタの内容は 0xFFh にリセットされます

注

2W 未満のプログラム値はサポートされていません。これらのレジスタに 2W 未満の値がプログラムされる場合、デバイスは 2 ペアのポリシング値として 2W を使用します。

電力ポリシング：

TPS23881B には真の電力ポリシング制限が実装されており、信頼性の高い電力制限を確保するために、電圧と電流の両方の変動に基づいてポリシング制限を調整します。

半自動モードおよび自動モードでは、これらのビットは割り当てられたクラスに基づいて電源投入時に自動的に設定されます(以下の表を参照)。別の値を必要とする場合は、PEN ビットを 0x10h に設定した後に設定する必要があります。または、ポートをターンオンしてからレジスタ 0x40 の MPOLn ビットを使用する前に設定することもできます ([セクション 8.6.2.48](#) を参照)。

表 8-38. 2 ペア有線ポートおよび 4 ペア デュアル シグネチャ デバイスに割り当てられたクラスに基づく

割り当てられたクラス	POLn7-0 設定	最小電力
クラス 1	0000 1000	4W
クラス 2	0000 1110	7W
クラス 3	0001 1111	15.5W
クラス 4	0011 1100	30W
クラス 5 デュアル シグネチャ	0101 1010	45W

表 8-39. シングル シグネチャ デバイスの 4 ペア有線ポートの 2 ペア ポリシング設定

割り当てられたクラス	POLn7-0 設定	最小電力
クラス 1	0000 1000	4W ⁽¹⁾
クラス 2	0000 1110	7W ⁽¹⁾
クラス 3	0001 1111	15.5W ⁽¹⁾
クラス 4	0011 1100	30W ⁽¹⁾
クラス 5	0100 0000	32W ⁽²⁾
クラス 6	0100 1110	39W ⁽²⁾
クラス 7	0101 1001	44.5W ⁽²⁾
クラス 8	0110 1011	53.5W ⁽²⁾

- (1) ペア セットごとの完全な分類電流をサポートするには、単一のシグネチャ デバイスと割り当てられたクラス 1 ~ 4 の 4 ペア ポートの両方のチャネルが必要です。
- (2) 4 ペア受電デバイスの IEEE 負荷不均衡要件を満たすには、単一のシグニチャデバイスと割り当てられたクラス 5 ~ 8 の 4 ペア ポートが必要です。

8.6.2.29 静電容量 (レガシー PD) 検出

COMMAND = 22h、1 データ バイト、書き込み専用

手動モードによる容量測定を有効にするために使用します

図 8-36. 静電容量検出レジスタの形式

7	6	5	4	3	2	1	0
-	CDET4	-	CDET3	-	CDET2	-	CDET1
R/W-0							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、W = 書き込み専用、-n = リセット後の値

表 8-40. 静電容量検出レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7、5、 3、1	予約済み	R/W	0	
6、4、 2、0	CDETn	R/W	0	チャネル「n」の容量逸脱を実現する 0 = 容量たわみがディセーブル 1 = 容量検出がイネーブル

チャネルの容量測定を完了するには、まずチャネルを診断モードに設定する必要があります。レジスタ 0x22h のビットを設定して、必要なチャネルの容量検出を有効にします。次に、レジスタ 0x14h の DETE ビットを設定して、検出と処理を開始します。

注

容量測定が正常に動作するには、TPS23881B SRAM を設定する必要があります。

容量測定は、手動/診断モードでのみサポートされています。

抵抗検出の結果が「有効」として返された場合、容量測定は行われません。

4P 有線ポートの場合、各チャネルで静電容量測定を個別に完了する必要があります。

容量測定が完了すると、DETCn ビットはレジスタ 0x04h に分割され、抵抗値と容量値はレジスタ 0x44h ~ 0x4Bh に更新されます。

8.6.2.30 パワーオン フォルト レジスタ

COMMAND = 24h、1 データ バイト、読み取り専用

COMMAND = 25h、1 データ バイト、読み取り専用

図 8-37. パワーオン フォルト レジスタ フォーマット

7	6	5	4	3	2	1	0
PF4		PF3		PF2		PF1	
R-0							
CR-0							

凡例: R/W = 読み出し/書き込み、R = 読み出し専用、W = 書き込み専用、CR = 読み出し時にクリア、-n = リセット後の値

表 8-41. パワーオン フォルト レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明										
7-0	PF4-PF1	R または CR	0	<p>PWONn コマンドでのターンオン試行に失敗した後の、チャネル n の分類および検出の障害ステータスを表します。これらのビットは、チャネル n がオフになるとクリアされます。</p> <p>PFn: その選択は次のとおりです。</p> <table border="1"> <thead> <tr> <th>故障コード</th> <th>パワーオン フォルトの説明</th> </tr> </thead> <tbody> <tr> <td>0 0</td> <td>故障なし</td> </tr> <tr> <td>0 1</td> <td>無効な検出</td> </tr> <tr> <td>1 0</td> <td>分類エラー</td> </tr> <tr> <td>1 1</td> <td>電力不足</td> </tr> </tbody> </table>	故障コード	パワーオン フォルトの説明	0 0	故障なし	0 1	無効な検出	1 0	分類エラー	1 1	電力不足
故障コード	パワーオン フォルトの説明													
0 0	故障なし													
0 1	無効な検出													
1 0	分類エラー													
1 1	電力不足													

注

スタート フォルトが発生し、PECn ビットが設定されていない場合、このレジスタはフォルトの原因を示します。

レジスタ 0x29 の構成ではチャネルに電力が供給されないと、常に、不十分な電源フォルトが通知されます。
セクション [セクション 8.1.5](#) を参照してください。

4 ペアの有線ポートの場合:

これらのビットは、デュアルシグネチャ接続デバイス用に個別に更新されます

これらのビットは、単一のシグネチャ接続されたデバイスで同時に更新されます

8.6.2.31 ポート再割り当てレジスタ

COMMAND = 26h、1 データ バイト、読み取り/書き込み

図 8-38. ポート再マッピング レジスタ フォーマット

7	6	5	4	3	2	1	0
論理チャネル 4 の物理チャネル番号	論理チャネル 3 の物理チャネル番号	論理チャネル 2 の物理チャネル番号	論理チャネル 1 の物理チャネル番号				
R/W-1	R/W-1	R/W-1	R/W-0	R/W-0	R/W-1	R/W-0	R/W-0

凡例: R/W = 読み出し/書き込み、R = 読み出し専用、W = 書き込み専用、CR = 読み出し時にクリア、-n = リセット後の値

表 8-42. ポート再マッピング レジスタのフィールドの説明

ビット	フィールド	タイプ	POR / RST	説明															
7-0	論理チャネル n の物理チャネル番号	R/W	1110 0100b/ P	<p>物理的なボードの制約のために論理的にチャネルを再マップするために使用されます。再マッピングは、4 チャネルグループ内の任意のチャネル間 (1 ~ 4 または 5 ~ 8) です。4 つのグループのすべてのチャネルは、ポート再マッピング コマンドを受信する前に OFF モードにする必要があります。そうしないと、コマンドは無視されます。デフォルトでは、再マッピングは行われません。</p> <p>ビットの各ペアは、割り当てられた論理ポートに対応します。</p> <p>ポートごとの選択は次のとおりです。</p> <table border="1"> <thead> <tr> <th>最マップ コード</th> <th>物理チャネル</th> <th>パッケージピン</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1 Drain1, Gat1, Sen1</td> </tr> <tr> <td>0</td> <td>1</td> <td>2 Drain2, Gat2, Sen2</td> </tr> <tr> <td>1</td> <td>0</td> <td>3 Drain3, Gat3, Sen3</td> </tr> <tr> <td>1</td> <td>1</td> <td>4 Drain4, Gat4, Sen4</td> </tr> </tbody> </table> <p>再マッピングが行われていない場合、このレジスタのデフォルト値は 1110, 0100 です。値が 11 の 2 MSbits は、論理チャネル 4 が物理チャネル 4、次の 2 ビット、10 にマッピングされ、論理チャネル 3 が物理チャネル 3 にマッピングされることを示しています。</p> <p>注: コードの複製は許可されません。つまり、同じコードを複数のポートのリマッピングビットに書き込むことはできません。このような値を受信すると、その値は無視され、チップは既存のコンフィグレーションを保持します。</p> <p>注: 0xA IC リセット コマンドを受信した場合、ポートの再マッピング構成は変更されません。</p>	最マップ コード	物理チャネル	パッケージピン	0	0	1 Drain1, Gat1, Sen1	0	1	2 Drain2, Gat2, Sen2	1	0	3 Drain3, Gat3, Sen3	1	1	4 Drain4, Gat4, Sen4
最マップ コード	物理チャネル	パッケージピン																	
0	0	1 Drain1, Gat1, Sen1																	
0	1	2 Drain2, Gat2, Sen2																	
1	0	3 Drain3, Gat3, Sen3																	
1	1	4 Drain4, Gat4, Sen4																	

注

RST 状態が「P」である場合、RESET ピンを使用したデバイスリセット後も、これらのビットの以前の状態が維持されることを示します。そのため、RESET 入力を low にプルしても、このレジスタに対するユーザーの変更是上書きされません。

注

4 ペアポートとして配線できるのは、論理チャネル 3 と 4、および 1 と 2 のみです。論理チャネルの他の組み合わせが 4 ペア構成で配線されている場合、予測不可能な動作が発生します。

注

ポートの再マッピング後、スイッチをオンにする前に、少なくとも 1 つの検出分類サイクルを行うことを推奨します。

8.6.2.32 チャネル 1 および 2 マルチ ビット優先度レジスタ

COMMAND = 27h、1 データ バイト、読み取り/書き込み。

図 8-39. チャネル 1 および 2 MBP レジスタ フォーマット

7	6	5	4	3	2	1	0
-	MBP2_2	MBP2_1	MBP2_0	-	MBP1_2	MBP1_1	MBP1_0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.33 チャネル 3 および 4 マルチ ビット優先度レジスタ

COMMAND = 28h、1 データ バイト、読み取り/書き込み

図 8-40. チャネル 3 および 4 MBP レジスタ フォーマット

7	6	5	4	3	2	1	0
-	MBP4_2	MBP4_1	MBP4_0	-	MBP3_2	MBP3_1	MBP3_0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-43. チャネル n MBP レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明																																								
7-0	MBPn_2-0	R/W	0	<p>MBPn_2-0:3 ビットのシャットダウン優先度が選択されている場合は、マルチビットの優先度ビット(チャネルごとに 3 ビット)。一般マスク レジスタの MbitPrty が high の場合。OSS シャットダウン入力で受信されたシリアルシャットダウン コードに応答して、どのチャネルがシャットダウンされているかを判断するために使用されます。ターンオフの手順(レジスタビットのクリアを含む)は、進行中のフォルトクール ダウン時間カウントをキャンセルしないことを除いて、リセット コマンド(1Ah レジスタ)を使ったチャネル リセットと似ています。</p> <p>優先順位は、次のように定義されます。</p> <p>OSS コード ≤ MBPn_2-0: OSS コードを受信すると、対応するチャネルの電源がオフになります。</p> <p>OSS コード > MBPn_2-0: OSS コードはチャネルに影響しません</p> <table border="1"> <thead> <tr> <th colspan="3">MBPn_2-0 0x27/28 レジ スタ</th> <th>マルチ ビット優 先 度</th> <th>チャネル オフの OSS コード</th> </tr> </thead> <tbody> <tr> <td>0</td><td>0</td><td>0</td><td>最高</td><td>OSS = 「000」</td></tr> <tr> <td>0</td><td>0</td><td>1</td><td>2</td><td>OSS = 「000」または「001」</td></tr> <tr> <td>0</td><td>1</td><td>0</td><td>3</td><td>OSS ≤ 「010」</td></tr> <tr> <td>0</td><td>1</td><td>1</td><td>4</td><td>OSS ≤ 「011」</td></tr> <tr> <td>1</td><td>0</td><td>0</td><td>4</td><td>OSS ≤ 「100」</td></tr> <tr> <td>1</td><td>0</td><td>1</td><td>6</td><td>OSS = 「111」以外の任意のコード</td></tr> <tr> <td>1</td><td>1</td><td>1</td><td>最低</td><td>OSS = 任意のコード</td></tr> </tbody> </table>	MBPn_2-0 0x27/28 レジ スタ			マルチ ビット優 先 度	チャネル オフの OSS コード	0	0	0	最高	OSS = 「000」	0	0	1	2	OSS = 「000」または「001」	0	1	0	3	OSS ≤ 「010」	0	1	1	4	OSS ≤ 「011」	1	0	0	4	OSS ≤ 「100」	1	0	1	6	OSS = 「111」以外の任意のコード	1	1	1	最低	OSS = 任意のコード
MBPn_2-0 0x27/28 レジ スタ			マルチ ビット優 先 度	チャネル オフの OSS コード																																								
0	0	0	最高	OSS = 「000」																																								
0	0	1	2	OSS = 「000」または「001」																																								
0	1	0	3	OSS ≤ 「010」																																								
0	1	1	4	OSS ≤ 「011」																																								
1	0	0	4	OSS ≤ 「100」																																								
1	0	1	6	OSS = 「111」以外の任意のコード																																								
1	1	1	最低	OSS = 任意のコード																																								

3 ビット値が増加するにつれて、優先度は低下します。したがって、「000」設定のチャネルは最も優先度が高く、「111」設定のチャネルは最も低くなります。

複数のチャンネルに同じ設定を適用することができます。このようにすると、適切な OSS コードが提示されたときに、同じ設定のすべてのチャネルが無効になります。

4 ペアの有線ポートの場合、これらのビットが個別のチャネル応答を制御します。4 ペア ワイヤ ポートのペアセットを両方とも無効にするには、両方のチャネルで同じ MBP 設定が必要です。そうしないと、1 つのペアセットのみを無効にできます。

OSS などの理由で 4 ペアのデュアル シグネチャ PD の単数チャネルがオフになった場合、検出と分類が有効であり、0x29 のパワー アロケーション設定がパワー チャネルの割り当てられた分類に基づいて十分である場合、0x19h の PWON ビットを設定することによって、そのチャネルに電力を再適用できます。

OSS による電源オフ手順は、チャネルリセットまたはオフ モードへの変更と似ていますが、OSS は進行中のフォルト クール ダウン タイマをキャンセルしません。次の表に、OSS によってチャネルがディセーブルになったときにクリアされるビットを示します。

表 8-44. MBP OSS によるチャネル ターン オフ

登録	リセットするビット
0x04	CLSCn および DETCn
0x06	DISFn および PCUTn
0x08	STRTn および ILIMn
0x0A/B	PCUTnn
0x0C-0F	要求されたクラスと検出
0x10	PGN と PEn
0x14	CLEN と DETEn
0x1C	ACN および CCnn
0x1E-21	2P ポリシングは 0xFFh に設定されます
0x24	PFN
0x2A-2B	4P ポリシングは 0xFFh に設定されます
0x2D	NLMnn、NCTnn、4PPCTnn、DCDTnn
0x30-3F	チャンネル電圧および電流測定
0x40	2xFBn
0x44~47	検出抵抗測定
0x4C-4F	割り当てられたクラスと前のクラス
0x51-54	自動クラス測定

注

先行する 3 ビット OSS コマンドには、どのメモリもありません。各 3 ビット OSS コマンドは、各チャネルの MBPn 設定に基づいて、(最後の OSS MBP パルスが終了する前に) 直ちに処理されます。その後追加のチャネルをシャットダウンしようとすると、追加の 3 ビット OSS コマンドが必要になります。

8.6.2.34 4 ペア有線およびポート電力割り当てレジスタ

COMMAND = 29h、1 データ バイト、読み取り/書き込み

図 8-41. 4 ペア有線およびポート電力割り当てレジスタ フォーマット

7	6	5	4	3	2	1	0
4PW34	MC34_2	MC34_1	MC34_0	4PW12	MC12_2	MC12_1	MC12_0
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-45. 4 ペア有線およびポート電力割り当てレジスタフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7、3	4PWnn	R/W	0	4 ペア有線構成ビット 4PWnn = 1: チャネル 3/4 または 1/2 は 4 ペア構成で配線されています 4PWnn = 0: チャネル 3/4 または 1/2 は 2 ペア構成で配線されています
6 - 4、 2 - 0	MCnn_2-0	R/W	0	MCnn_2-0: ポート電源割り当てビット。これらのビットは、特定の ポート(2 ペアまたは 4 ペア)の電源オシにできる最大電力分類レベルを設定します 半自動モードでは、PWONn コマンドを発行する前に、これらのビットをセットする必要があります。自動モードでは、0x14 の DETE および CLE ビットを設定する前に、これらのビットをセットする必要があります。

表 8-46. 4 ペア有線およびポート電力割り当て設定

4PWnn	MCnn_2	MCnn_1	MCnn_0	電力割り当て
0	0	0	0	2 ペア 15.4W
0	0	0	1	予約済み
0	0	1	0	予約済み
0	0	1	1	2 ペア 30W
0	1	x	x	予約済み
1	0	0	0	4 ペア 15.4W
1	0	0	1	予約済み
1	0	1	0	予約済み
1	0	1	1	4 ペア 30W (クラス 4)
1	1	0	0	4 ペア 45W (クラス 5)
1	1	0	1	4 ペア 60W (クラス 6)
1	1	1	0	4 ペア 75W (クラス 7)
1	1	1	1	4 ペア 90W (クラス 8)

電力デモの適用、および電力割り当ての設定と結果の割り当てクラスの関係の詳細については、表 8-3 表 8-2 およびを参照してください。

注

4PWnn ビットの設定は、予期しない動作を防止するためにポートが OFF モードのままパワー オン リセット (POR) イベントの直後にのみ実行できます。

注

半自動モードまたは自動モードで PWON コマンドを発行する前、および DETE ビットと CLE ビットを自動モードに設定する前に、電力割り当て (0x29h) の値を設定する必要があります。PWON コマンドが与えられた後の電源割り当ての値の変更は、すべて無視できます。

注

4 ペアのデュアル シグネチャ PD の場合、奇数番号のチャネルが偶数番号のチャネルよりも優先されます。したがって、偶数番号のチャネルは、割り当てられた合計電力と奇数チャネルが分類されたものの差に基づいて電力が供給されます。

たとえば、デュアル シグニチャ PD に 2 つの 45W PD が含まれ、PSE の電力割り当てが 60W に設定されている場合、奇数番号のチャネルは 45W で電力が供給され、偶数番号のチャネルは 15W に制限されます。

注

2 ペア有線ポートの場合、MCnn_2-0 ビットは、チャネル 1 と 2、および 3 と 4 の両方の電力割り当て設定を同時に設定します。

チャネル 1 と 2 を 30W に設定して、チャネル 3 と 4 を 15.4W に設定することは可能ですが、チャネル 1 と 2、または 3 と 4 の間で異なる電力割り当て設定を行うことはできません

8.6.2.35 4 ペア ポリス Ch-1 および 2 構成レジスタ

COMMAND = 2Ah、1 データ バイト、読み取り/書き込み

図 8-42. 4 ペア ポリス Ch-1 および 2 構成レジスタ フォーマット

7	6	5	4	3	2	1	0
POL12_7	POL12_6	POL12_5	POL12_5	POL12_3	POL12_2	POL12_1	POL12_0
R/W-1							

凡例:R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.36 4 ペア ポリス Ch-3 および 4 構成レジスタ

COMMAND = 2Bh、1 データ バイト、読み取り/書き込み

図 8-43. 4 ペア ポリス Ch-3 および 4 構成レジスタ フォーマット

7	6	5	4	3	2	1	0
POL34_7	POL34_6	POL34_5	POL34_4	POL34_3	POL34_2	POL34_1	POL34_0
R/W-1							

凡例:R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-47. 4 ペアポリシー レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	POLnn_7-POLnn_0	R/W	1	1 パイトで、合計 4 ペア PCUT 最小スレッショルドを定義します。 PCUT を定義する式は次のとおりです。 $PC_{CUT} = (N \times PC_{STEP})$ ここで、0.200Ω Rsense 抵抗が使用されると仮定すると、次のようにになります。 $PC_{STEP} = 0.5 \text{ W}$

注

これらのビットは、設計の最小スレッショルドを設定します。内部的には、部品や温度の変動が原因でデバイスがこのレジスタに設定された値以下にカット フォルトを検出しないように、PCUT の標準スレッショルドはこの値よりもわずかに高く設定されます。

4 ペア有線の場合、2P ポリシング値は個々のチャネルに引き続き適用されます。2 ペア ポリシングの詳細については、レジスタ 0x1Eh ~ 0x21h の説明を参照してください。

フォルト条件またはユーザー コマンドにより、ポートがオフになったかディセーブルになったときは、常に、このレジスタの内容は 0xFFh にリセットされます

注

4W 未満のプログラム値はサポートされていません。これらのレジスタに 4W 未満の値がプログラムされる場合、デバイスは 4 ペアのポリシング値として 4W を使用します。

4 ペア電力ポリシング:

TPS23881 には真の電力ポリシング制限が実装されており、信頼性の高い電力制限を保証するために、電圧と電流の両方の変動に基づいてポリシング制限を調整します。

半自動モードおよび自動モードでは、これらのビットは、割り当てられたクラスに基づいて電源投入時に自動的に設定されます (表 8-48 を参照)。別の値を必要とする場合は、PEN ビットをレジスタ 0x10h で設定した後に設定する必要があります。または、ポートをオンにしてレジスタ 0x40 の MPOLn ビットと組み合わせて使用する前に設定することもできます (セクション 8.6.2.48 を参照)。

表 8-48. シングル シグニチャ デバイスの 4 ペア有線ポートの 4 ペア ポリシング設定

割り当てられたクラス	POLnn7-0 設定	最小電力
クラス 1	0000 1000	4W
クラス 2	0000 1110	7W
クラス 3	0001 1111	15.5W
クラス 4	0011 1100	30W
クラス 5	0101 1010	45W
クラス 6	0111 1000	60W
クラス 7	1001 0110	75W
クラス 8	1011 0100	90W

4 ペアのデュアル シグニチャ デバイスの場合、これらの値は両方のチャネルの割り当てられたクラスの合計に基づいて設定されますが、デュアル シグニチャ デバイスのプライマリ ポリシング方法はレジスタ 0x1Eh ~ 0x21h で定義されている 2 ペア値になるため、デフォルトで 4P PCut はディセーブルになります ($0x2D = 0$ の 4PPCTnn ビット)。

$0x2D$ で 4PPCTnn ビットをセットすると、必要に応じて 4P ポリシングがイネーブルになります。

注

4 ペア プカット フォルトの t_{OVLD} 時間は、 t_{OVLD} 設定 + 約 6ms と等しくなります

8.6.2.37 温度レジスタ

COMMAND = 2Ch、1 データ バイト、読み取り専用

図 8-44. 温度レジスタのフォーマット

7	6	5	4	3	2	1	0
TEMP7	TEMP6	TEMP5	TEMP4	TEMP3	TEMP2	TEMP1	TEMP0
R-0							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-49. 温度レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明						
7-0	TEMP7-TEMP0	R	0	<p>ビットの詳細: データ変換結果。I²C データ送信は、1 バイトの転送です。</p> <p>温度の 8 ビットデータ変換結果 (-20°C ~ 125°C)。更新レートは約 1 秒に 1 回です。</p> <p>測定温度を定義する式は次のとおりです。</p> $T = -20 + N \times T_{\text{STEP}}$ <p>ここで、T_{STEP} はフルスケール値だけでなく、次のように定義されています。</p> <table border="1"> <thead> <tr> <th>モード</th> <th>フルスケール値</th> <th>T_{STEP}</th> </tr> </thead> <tbody> <tr> <td>任意</td> <td>146.2°C</td> <td>0.652°C</td> </tr> </tbody> </table>	モード	フルスケール値	T_{STEP}	任意	146.2°C	0.652°C
モード	フルスケール値	T_{STEP}								
任意	146.2°C	0.652°C								

8.6.2.38 4 ペア フォルト構成レジスタ

COMMAND = 2Dh、1 データ バイト、読み取り/書き込み

図 8-45. 4 ペア フォルト構成レジスタ フォーマット

7	6	5	4	3	2	1	0
NLM34	NLM12	NCT34	NCT12	4PPCT34	4PPCT12	DCDT34	DCDT12
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-50. 4 ペアのフォルト レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7、6	NLMnn	R/W	0	<p>4 ペア ILIM フォルト管理ビット</p> <p>1 = いずれかのチャネルで ILIM フォルトが発生すると、4 ペア有線ポートの両方のチャネルがディセーブルになります</p> <p>0 = ILIM フォルトが発生したチャネルのみがディセーブルされます。変更チャネルは電力を供給されたままになります。</p> <p>自動モードでは、4 ペアのシングル シグネチャ デバイスに電源が供給されると、これらのビットはタンオン後に自動的にセットされます</p>
5、4	NCTnn	R/W	0	<p>4 ペア PCUT フォルト管理ビット</p> <p>1 = いずれかのチャネルで 2 ペアの PCUT フォルトが発生すると、4 ペア有線ポートの両方のチャネルがディセーブルになります</p> <p>0 = 2 ペア PCUT フォルトが発生したチャネルのみがディセーブルされます。変更チャネルは電力を供給されたままになります。</p> <p>自動モードでは、4 ペアのシングル シグネチャ デバイスに電源が供給されると、これらのビットはタンオン後に自動的にセットされます</p>
3、2	4PPCTnn	R/W	0	<p>4 ペア加算 PCUT イネーブル ビット</p> <p>1 = 合計 4 ペア PCut がイネーブル</p> <p>0 = 合計 4 ペア PCut がディセーブル</p> <p>ハードウェアは、これらのビットとは関係なく、ilim フォルトの監視を継続します</p> <p>自動および半自動モードのいずれかで、4 ペアのシングル シグネチャ デバイスに電源が供給されると、電源オン後にこれらのビットが自動的に「1」に設定されます</p>
1、0	DCDTnn	R/W	0	<p>DC 切断スレッショルドビット</p> <p>1 = DC 切断スレッショルドを 4.5mA (標準値) に設定</p> <p>0 = DC 切断スレッショルドを 6.5mA (標準値) に設定</p> <p>4 ペアのデュアル シグネチャ PD の場合、電源オン時に DCDTxx ビットが 1 に設定され、切断スレッショルドはチャネルごとに独立して適用されます。したがって、いずれかのチャネルが TMPDO + TMPS の期間中にわたって 4.5mA スレッショルドを下回ると、そのチャネルのみがディセーブルになり、代替チャネルが要件を満たしている限り、代替チャネルに電力が供給されたままになります。</p> <p>4 ペアのシングル シグネチャ PD (レジスタ 0x1Ch を参照) の場合、これらのビットは割り当てられたクラス (0x4C-4F) に応じて電力時に内部的にセットされます。</p> <p>割り当てられたクラス 1 ~ 4: DCDTxx = 0</p> <p>割り当てられたクラス 5 ~ 8: DCDTxx = 1</p>

注

部分的な切断: $DCDTxx = 0$ 、割り当てられた Class = 0 ~ 4 の 4 ペアのシングル シグネチャ PD の場合、いずれかのチャネルが DC 切断スレッショルドを下回ると、低電流測定精度を向上させるために 1 つのペア セット/チャネルが直ちにディセーブルになります。負荷に引き込まれる電流が MPS のタイミングおよび電流の要件を満たしている限り、2 番目のチャネルには電力が供給され続けます。1 チャネルの電流が 75mA を上回ると、ディセーブルされたチャネルが再度イネーブルされます。

注

4 ペア ポートが部分的切断状態にあるか、一方または両方のチャネル電流が 30mA (標準値) を下回った場合、4 ペア カットはディセーブルになります。

注

$DCDTxx = 1$ で、割り当てられたクラス = 5-8 の 4 ペア シングル シグネチャ PD の場合、TMPDO+TMPS の期間にわたって、両方のチャネルの電流が 4.5mA スレッショルドを下回るまで、両方のチャネルに電力が供給されたままになります。

注

4P デュアル シグネチャ PD または 4P シングル シグネチャ PD の割り当てられた class = 5-8 で $DCDTxx$ を「0」に設定すると、チャネルごとの 6.5mA スレッショルドが使用され、これは 802.3bt 規格に準拠していません。

注

4 ペア デュアル シグネチャ PD の場合、切断スレッショルドはチャネルごとに個別に適用されます。したがって、TMPDO + TMPS の間、いずれかのチャネルが接続解除スレッショルドを下回ると、MPS のタイミングと電流の要件を満たし続ける限り、別のチャネルには電力が供給されたままになりますが、そのチャネルのみがディセーブルになります。

注

手動/診断モードで電源投入された 4 ペアポートの DC 切断は、独立したチャネルとして動作します。したがって、どちらかのチャネル電流が t_{MPDO} よりも長く V_{imin} を下回ると、そのチャネルがディセーブルされ、切断フォルトがセットされます (レジスタ 0x06/7 の DISFn ビット)。

8.6.2.39 入力電圧レジスタ

COMMAND = 2Eh、2 データ バイト (LSB ファースト、MSB 秒)、読み取り専用

図 8-46. 入力電圧レジスタ フォーマット

7	6	5	4	3	2	1	0
LSB:							
VPWR7	VPWR6	VPWR5	VPWR4	VPWR3	VPWR2	VPWR1	VPWR0
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
MSB:							
-	-	VPWR13	VPWR12	VPWR11	VPWR10	VPWR9	VPWR8
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-51. 入力電圧レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明						
13-0	VPWR13- VPWR0	R	0	<p>ビットの詳細: データ変換結果。I²C データ送信は、2 バイトの転送です。 入力電圧の 14 ビット データ変換結果。 測定電圧を定義する式は次のとおりです。</p> $V = N \times V_{\text{STEP}}$ <p>ここで、V_{STEP} はフルスケール値だけでなく、次のように定義されます。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <th>モード</th> <th>フルスケール値</th> <th>V_{STEP}</th> </tr> <tr> <td>任意</td> <td>60V</td> <td>3.662mV</td> </tr> </table> <p>測定は、VPWR と AGND との間で行われることに注意してください。</p>	モード	フルスケール値	V_{STEP}	任意	60V	3.662mV
モード	フルスケール値	V_{STEP}								
任意	60V	3.662mV								

8.6.2.40 チャネル 1 電流レジスタ

2 データ バイトの COMMAND = 30h、(LSB ファースト、MSB 秒)、読み取り専用

図 8-47. チャネル 1 電流レジスタ フォーマット

7	6	5	4	3	2	1	0
LSB:							
I1_7	I1_6	I1_5	I1_4	I1_3	I1_2	I1_1	I1_0
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
MSB:							
-	-	I1_13	I1_12	I1_11	I1_10	I1_9	I1_8
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.41 チャネル 2 電流レジスタ

2 データ バイトの COMMAND = 34h、(LSB ファースト、MSB 秒)、読み取り専用

図 8-48. チャネル 2 電流レジスタ フォーマット

7	6	5	4	3	2	1	0
LSB:							
I2_7	I2_6	I2_5	I2_4	I2_3	I2_2	I2_1	I2_0
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
MSB:							
-	-	I2_13	I2_12	I2_11	I2_10	I2_9	I2_8
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.42 チャネル 3 電流レジスタ

2 データ バイトの COMMAND = 38h、(LSB ファースト、MSB 秒)、読み取り専用

図 8-49. チャネル 3 電流レジスタ フォーマット

7	6	5	4	3	2	1	0
LSB:							
I3_7	I3_6	I3_5	I3_4	I3_3	I3_2	I3_1	I3_0
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
MSB:							
-	-	I3_13	I3_12	I3_11	I3_10	I3_9	I3_8
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.43 チャネル 4 電流レジスタ

2 データ バイトの COMMAND = 3Ch、(LSB ファースト、MSB 秒)、読み取り専用

図 8-50. チャネル 4 電流レジスタ フォーマット

7	6	5	4	3	2	1	0
LSB:							
I4_7	I4_6	I4_5	I4_4	I4_3	I4_2	I4_1	I4_0

図 8-50. チャネル 4 電流レジスタ フォーマット (続き)

R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
MSB:							
-	-	I4_13	I4_12	I4_11	I4_10	I4_9	I4_8
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-52. チャネル n 電流レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明						
13-0	In_13- In_0	R	0	<p>ビットの詳細: データ変換結果。I²C データ送信は、2 バイトの転送です。 変換には、TI 独自のマルチスロープ統合コンバータが使用されています。</p> <p>チャネル n の電流の 14 ビットデータ変換結果。更新レートは電源状態で約 100ms に 1 回です。 測定電流を定義する式は次のとおりです。</p> $I = N \times I_{\text{STEP}}$ <p>ここで、I_{STEP} は、動作モードに応じてフルスケールの値とともに以下に定義されています。</p> <table border="1"> <thead> <tr> <th>モード</th> <th>フルスケール値</th> <th>I_{STEP}</th> </tr> </thead> <tbody> <tr> <td>電源検出および分類</td> <td>1.46A (0.200Ω RSENSE 搭載)</td> <td>89.5μA</td> </tr> </tbody> </table> <p>注: 以下のいずれかの場合、I²C インターフェイスの結果は自動的に 0000 になります</p> <p>チャネルはオフ モード</p> <p>セミオート モードではチャネルがオフになり、検出/クラスが有効になっていません</p> <p>セミオート モードではチャネルがオフになり、検出結果が正しくありません</p> <p>診断/マニュアル モードでは、検出/クラスが少なくとも 1 回イネーブルになっている場合、レジスタは最後の測定結果を保持します</p>	モード	フルスケール値	I_{STEP}	電源検出および分類	1.46A (0.200Ω RSENSE 搭載)	89.5μA
モード	フルスケール値	I_{STEP}								
電源検出および分類	1.46A (0.200Ω RSENSE 搭載)	89.5μA								

注

1.46A は、14 ビット* Istep に基づく ADC の理論的なフルスケール範囲です。ただし、1.25A のチャネル電流制限によって、電流が ILIM-2X スレッショルド ($V_{\text{LIM}2X}$) を超えると、チャネル電流はフォールドバックされ、ディセーブルされます。

注

4 ペアの有線ポートの場合でも、これらのレジスタはチャネルごとに個別の電流測定のみを行います。合計 4 ペアのポート電流読み取り値を得るには、両方のチャネルの値と一緒に追加する必要があります。

クラスの現在の読み取り値

チャネルで分類測定が完了すると、ポートの電源がオンになった後、またはポートがディセーブルになってから、測定された分類電流がこれらのレジスタに通知されます。

注

最後の分類フィンガーの現在の測定値のみが報告されます。したがって、単一のシグネ チャクラス 5、6、7、および 8 の PD に対して、報告された分類電流は、それぞれクラス 0、1、2、および 3 の電流レベルを報告します。

注

クラス電流測定値のスケーリング係数は、10 倍から 8.95 μ A/ビットの係数で減少します。

8.6.2.44 チャネル 1 電圧レジスタ

2 データ バイトの COMMAND = 32h、(LSB ファースト、MSB 秒)、読み取り専用

図 8-51. チャネル 1 電圧レジスタ フォーマット

7	6	5	4	3	2	1	0
LSB:							
V1_7	V1_6	V1_5	V1_4	V1_3	V1_2	V1_1	V1_0
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
MSB:							
-	-	V1_13	V1_12	V1_11	V1_10	V1_9	V1_8
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.45 チャネル 2 電圧レジスタ

2 データ バイトの COMMAND = 36h、(LSB ファースト、MSB 秒)、読み取り専用

図 8-52. チャネル 2 電圧レジスタ フォーマット

7	6	5	4	3	2	1	0
LSB:							
V2_7	V2_6	V2_5	V2_4	V2_3	V2_2	V2_1	V2_0
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
MSB:							
-	-	V2_13	V2_12	V2_11	V2_10	V2_9	V2_8
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.46 チャネル 3 電圧レジスタ

2 データ バイトの COMMAND = 3Ah、(LSB ファースト、MSB 秒)、読み取り専用

図 8-53. チャネル 3 電圧レジスタ フォーマット

7	6	5	4	3	2	1	0
LSB:							
V3_7	V3_6	V3_5	V3_4	V3_3	V3_2	V3_1	V3_0
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
MSB:							
-	-	V3_13	V3_12	V3_11	V3_10	V3_9	V3_8
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.47 チャネル 4 電圧レジスタ

2 データ バイトの COMMAND = 3Eh、(LSB ファースト、MSB 秒)、読み取り専用

図 8-54. チャネル 4 電圧レジスタ フォーマット

7	6	5	4	3	2	1	0
LSB:							
V4_7	V4_6	V4_5	V4_4	V4_3	V4_2	V4_1	V4_0

図 8-54. チャネル 4 電圧レジスタ フォーマット (続き)

R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
MSB:							
-	-	V4_13	V4_12	V4_11	V4_10	V4_9	V4_8
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-53. チャネル n 電圧レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明						
13-0	Vn_13- Vn_0	R	0	<p>ビットの詳細: データ変換結果。I²C データ送信は、2 バイトの転送です。 測定電圧を定義する式は次のとおりです。</p> $V = N \times V_{\text{STEP}}$ <p>ここで、V_{STEP} はフルスケール値だけでなく、次のように定義されます。</p> <table border="1"> <thead> <tr> <th>モード</th> <th>フルスケール値</th> <th>V_{STEP}</th> </tr> </thead> <tbody> <tr> <td>電源供給</td> <td>60V</td> <td>3.662mV</td> </tr> </tbody> </table> <p>VPWR と DRAINn の間で、電源の電圧測定が行われることに注意してください。 注: チャネルがオフの場合、I²C インターフェイス経由の結果は自動的に 0000 になります。</p>	モード	フルスケール値	V_{STEP}	電源供給	60V	3.662mV
モード	フルスケール値	V_{STEP}								
電源供給	60V	3.662mV								

8.6.2.48 2x フォールドバック選択レジスタ

COMMAND = 40h、1 データ バイト読み取り/書き込み

図 8-55. 2x フォールドバック選択レジスタ

7	6	5	4	3	2	1	0
2xFB4	2xFB3	2xFB2	2xFB1	MPOL4	MPOL3	MPOL2	MPOL1
R/W-0	R/W-0	R/W-0	R/W-0	R/W -0	R/W -0	R/W -0	R/W -0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-54. 2x フォールドバック選択レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 4	2xFB4- 2xFB1	R/W	0	<p>セットすると、図 8-3 に示すように、チャネルの 2x フォールドバック モードがアクティブになり、I_{LIM} と I_{SHORT} レベルの通常設定が増加します。I_{LIM} スレッショルドを超えると、フォルト タイマが開始されるごとに注意します。</p> <p>注:</p> <ul style="list-style-type: none"> 1) ターンオン時、図 8-2 に示すように、突入電流プロファイルはこれらのビットの影響を受けません。 2) 2xFBn ビットがデアサークトされると、関連するチャネルに使用される t_{LIM} 設定は、常に公称値(約 60ms)です。2xFBn ビットがアサークトされている場合、関連するチャネルの t_{LIM} は、タイミング構成レジスタ (0x16) で定義されているようにプログラム可能です。 3) チャネルに割り当てられたクラスがクラス 4 以上の場合、電源オン時に 2xFB ビットが自動的にセットされます。 <p>シングル シグネチャ 4 ペア電源 PD の場合、両方のビットがセットされます</p> <p>デュアル シグネチャ 4 ペア電源 PD では、各チャネルが個別に割り当てられた PD 分類に従つて設定されます</p>
3-0	MPOL4~MPOL1	R/W	0	<p>手動ポリシングおよびフォールドバック設定ビット</p> <p>0 = 内部デバイス フームウェアは、ポートの電源投入時に割り当てられたクラスに基づいて、ポリシング (P_{CUT}) および 2xFBn 設定を自動的に調整します</p> <p>1 = ポリシング (P_{CUT}) と 2xFBn の設定は、ポートの電源投入時に変更されません。</p> <p>注:これらの設定とは無関係に、ポートがオフになるとポリシング (P_{CUT}) および 2xFBn の設定がデフォルト値に戻ります。</p> <p>注:4P コンフィギュレーション済みポートのいずれかのビットを設定すると、両方のチャネルの自動コンフィギュレーションがディセーブルになります</p> <p>ポートがオフになると、MPOLn ビットがクリアされます。</p>

注

4 ペアの有線ポートの場合、2xFBn ビットによって各チャネルの動作が個別に制御されます。

その他のフォールドバックおよび突入構成オプションの詳細については、レジスタ 0x55h の説明を参照してください

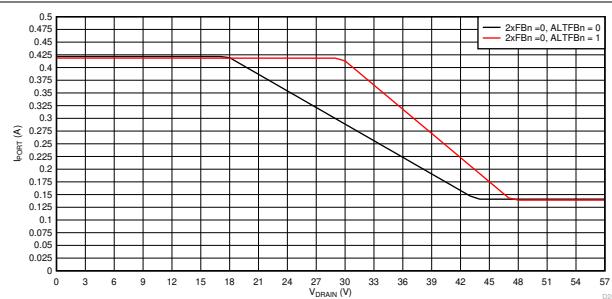


図 8-56. 1x モード (2xFBn = 0) フォールドバック曲線、I_{PORT} と V_{DRAIN} との関係

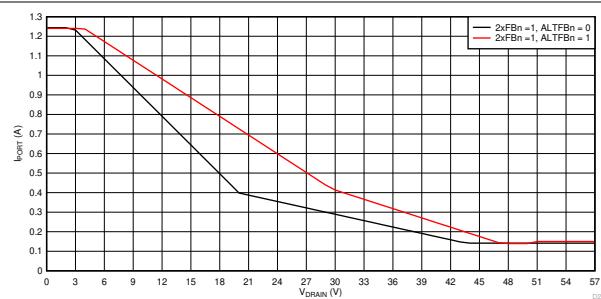


図 8-57. 2x モード (2xFBn = 1) フォールドバック曲線、I_{PORT} と V_{DRAIN} との関係

8.6.2.49 フームウェア リビジョンレジスタ

COMMAND = 41h、1 データバイト、読み取り専用

図 8-58. フームウェア リビジョンレジスタ フォーマット

7	6	5	4	3	2	1	0
FRV							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-55. フームウェア リビジョンレジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7-0	FRV	R		フームウェア リビジョン番号

リセットまたは POR フォルトの後、この値はデフォルトで 0000、0000b になりますが、「有効な」SRAM ロード時に、この値は対応する SRAM バージョン (0x01h ~ 0xFEh) を反映します。

注

このレジスタの値 = 0xFFh の場合、デバイスは「セーフ モード」で動作しており、通常動作を再開するには SRAM を再プログラムする必要があります。

8.6.2.50 I²C ウオッチドッグ レジスタ

COMMAND = 42h、1 データ バイト、読み取り/書き込み

I²C ウオッチドッグ タイマは、ポートが危険な状態に維持される可能性があるソフトウェアのハングアップを防止するため、I²C クロック ラインを監視します。このタイマは、SCL 入力のいずれかのエッジでリセットできます。ウォッチドッグ タイマが満了すると、すべてのチャネルがオフになり、WDS ビットがセットされます。公称ウォッチドッグ タイムアウト時間は 2 秒です。

図 8-59. I²C ウオッチドッグ レジスタ フォーマット

7	6	5	4	3	2	1	0
-	-	-	IWDD3	IWDD2	IWDD1	IWDD0	WDS
-	-	-	R/W-1	R/W-0	R/W-1	R/W-1	R/W-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-56. I²C ウオッチドッグ レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
4 ~ 1	IWDD3–IWDD0	R/W	1011b	I ² C ウオッチドッグ ディセーブル 1011b に等しい場合、ウォッチドッグはマスクされます。それ以外の場合は、マスクされず、ウォッチドッグは動作可能です。
0	WDS	R/W	0	I ² C ウオッチドッグ タイマのステータス (ウォッチドッグがマスクされている場合でも有効)。このビットがセットされているとき、ウォッチドッグ タイマは I ² C クロック ラインでアクティビティが発生しないまま期限切れになります。WDS ロケーションに 0 を書き込むと、クリアされます。 ウォッチドッグ タイマが満了すると、ウォッチドッグがマスクされていない場合、すべてのチャネルもオフになることに注意してください。

I²C ウオッチドッグによりチャネルがオフになると、対応するビットもクリアされます。

表 8-57. I²C ウオッチドッグ リセット

登録	リセットするビット
0x04	CLSCn および DETCn
0x06	DISFn および PCUTn
0x08	STRTn および ILIMn
0x0A/B	PCUTnn
0x0C-0F	要求されたクラスと検出
0x10	PGN と PEn
0x14	CLEN と DETEn
0x1C	ACN および CCnn
0x1E-21	2P ポリシングは 0xFFh に設定されます
0x24	PFN
0x2A-2B	4P ポリシングは 0xFFh に設定されます
0x2D	NLMnn、NCTnn、4PPCTnn、DCDTnn
0x30-3F	チャンネル電圧および電流測定
0x40	2xFBn
0x44~47	検出抵抗測定
0x4C-4F	割り当てられたクラスと前のクラス
0x51-54	自動クラス測定

変更が発生した場合、パワーイベントレジスタの対応する PGCh および PECh ビットもセットされます。パワー ステータス レジスターの対応する PEN ビットと PGN ビットもそれに応じて更新されます。

注

I²C ウオッチドッグ タイマが満了した場合、WDS ビットがクリアされるまで、温度および入力電圧レジスタの更新は停止します。その後で、これらのレジスタを正常に動作させるには、WDS ビットをクリアする必要があります。

8.6.2.51 デバイス ID レジスタ

COMMAND = 43h、1 データ バイト、読み取り専用

図 8-60. デバイス ID レジスタ フォーマット

7	6	5	4	3	2	1	0
DID				SR			

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-58. デバイス ID レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
7 ~ 4	DID	R	0010b	デバイス ID 番号
3-0	SR	R	0100b	シリコンのリビジョン番号

8.6.2.52 チャネル 1 検出抵抗レジスタ

COMMAND = 44h、1 データ バイト、読み取り専用

図 8-61. チャネル 1 検出抵抗レジスタ フォーマット

7	6	5	4	3	2	1	0
R1_7	R1_6	R1_5	R1_4	R1_3	R1_2	R1_1	R1_0
R-0							

凡例:R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.53 チャネル 2 検出抵抗レジスタ

COMMAND = 45h、1 データ バイト、読み取り専用

図 8-62. チャネル 2 検出抵抗レジスタ フォーマット

7	6	5	4	3	2	1	0
R2_7	R2_6	R2_5	R2_4	R2_3	R2_2	R2_1	R2_0
R-0							

凡例:R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.54 チャネル 3 検出抵抗レジスタ

COMMAND = 46h、1 データ バイト、読み取り専用

図 8-63. チャネル 3 検出抵抗レジスタ フォーマット

7	6	5	4	3	2	1	0
R3_7	R3_6	R3_5	R3_4	R3_3	R3_2	R3_1	R3_0
R-0							

凡例:R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.55 チャネル 4 検出抵抗レジスタ

COMMAND = 47h、1 データ バイト、読み取り専用

図 8-64. チャネル 4 検出抵抗レジスタ フォーマット

7	6	5	4	3	2	1	0
R4_7	R4_6	R4_5	R4_4	R4_3	R4_2	R4_1	R4_0
R-0							

凡例:R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-59. 検出抵抗レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明				
7-0	Rn_7- Rn_0	R	0	<p>チャネル n の検出抵抗の 8 ビットデータ変換結果 最新の 2 ポイント検出抵抗測定結果 I²C データ送信は、1 バイトの転送です。</p> <p>レジスタの内容は、電源オフ時にクリアされないことに注意してください。 測定抵抗を定義する式は次のとおりです。</p> $R = N \times R_{STEP}$ <p>ここで、R_{STEP} とフルスケールの値は次のように定義されています。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <th>使用可能抵抗範囲</th> <th>R_{STEP}</th> </tr> <tr> <td>2kΩ ~ 50kΩ</td> <td>195.3125 Ω</td> </tr> </table>	使用可能抵抗範囲	R _{STEP}	2kΩ ~ 50kΩ	195.3125 Ω
使用可能抵抗範囲	R _{STEP}							
2kΩ ~ 50kΩ	195.3125 Ω							

8.6.2.56 チャネル 1 検出静電容量レジスタ

COMMAND = 48h、1 データ バイト、読み取り専用

図 8-65. チャネル 1 検出静電容量レジスタ フォーマット

7	6	5	4	3	2	1	0
C1_7	C1_6	C1_5	C1_4	C1_3	C1_2	C1_1	C1_0
R-0							

凡例:R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.57 チャネル 2 検出静電容量レジスタ

COMMAND = 49h、1 データ バイト、読み取り専用

図 8-66. チャネル 2 検出静電容量レジスタ フォーマット

7	6	5	4	3	2	1	0
C2_7	C2_6	C2_5	C2_4	C2_3	C2_2	C2_1	C2_0
R-0							

凡例:R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.58 チャネル 3 検出静電容量レジスタ

COMMAND = 4Ah、1 データ バイト、読み取り専用

図 8-67. チャネル 3 検出静電容量レジスタ フォーマット

7	6	5	4	3	2	1	0
C3_7	C3_6	C3_5	C3_4	C3_3	C3_2	C3_1	C3_0
R-0							

凡例:R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.59 チャネル 4 検出静電容量レジスタ

COMMAND = 4Bh、1 データ バイト、読み取り専用

図 8-68. チャネル 4 検出静電容量レジスタ フォーマット

7	6	5	4	3	2	1	0
C4_7	C4_6	C4_5	C4_4	C4_3	R4_2C	C4_1	C4_0
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-60. 検出容量レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明				
7-0	Cn_7- Cn_0	R	0	<p>チャネル n の容量測定結果の 8 ビットデータ変換結果 最新の静電容量の測定結果 I²C データ送信は、1 バイトの転送です。 測定抵抗を定義する式は次のとおりです。</p> $C = N \times C_{STEP}$ <p>ここで、C_{STEP} とフルスケールの値は次のとおりです。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <th>使用可能抵抗範囲</th> <th>C_{STEP}</th> </tr> <tr> <td>1μF ~ 12μF</td> <td>0.05μF</td> </tr> </table> <p>レジスタの内容は、電源オフ時にクリアされないように注意してください。 注: 容量測定は、手動/診断モードでのみサポートされています。 注: 抵抗検出の結果が「有効」として返された場合、容量測定は行われません。 注: 容量測定が正常に動作するには、TPS23881 SRAM を設定する必要があります。</p>	使用可能抵抗範囲	C _{STEP}	1μF ~ 12μF	0.05μF
使用可能抵抗範囲	C _{STEP}							
1μF ~ 12μF	0.05μF							

8.6.2.60 チャネル 1 割り当てクラス レジスタ

COMMAND = 4ch、1 データ バイト、読み取り専用

図 8-69. チャネル 1 割り当てクラス レジスタ フォーマット

7	6	5	4	3	2	1	0
ACCLASS Ch1				PCLASS Ch1			
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.61 チャネル 2 割り当てクラス レジスタ

COMMAND = 4Dh、1 データ バイト、読み取り専用

図 8-70. チャネル 2 割り当てクラス レジスタ フォーマット

7	6	5	4	3	2	1	0
ACCLASS Ch2				PCLASS Ch2			
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.62 チャネル 3 割り当てクラス レジスタ

COMMAND = 4Eh、1 データ バイト、読み取り専用

図 8-71. チャネル 3 割り当てクラス レジスタ フォーマット

7	6	5	4	3	2	1	0
ACCLASS Ch3				PCLASS Ch3			
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.63 チャネル 4 割り当てクラス レジスタ

COMMAND = 4Fh、1 データ バイト、読み取り専用

図 8-72. チャネル 4 割り当てクラス レジスタ フォーマット

7	6	5	4	3	2	1	0
ACCLASS Ch4				PCLASS Ch4			
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

ビットの詳細:これらのビットは、チャネル n の「割り当てられた」および以前の分類結果を表します。これらのビットは、チャネル n がオフになるとクリアされます。

表 8-61. チャネル n 割り当てクラス レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 ~ 4	ACLASS Ch-n	R	0	チャネル n に分類が割り当てされました。 以下の表 8-62 を参照してください
3-0	PCLASS Ch-n	R	0	チャネル n での以前のクラスの結果。 以下の表 8-63 を参照してください

表 8-62. 割り当てられたクラス名称

ACCLASS-Chn				割り当てられたクラス
ビット 7	ビット 6	ビット 5	ビット 4	
0	0	0	0	不明
0	0	0	1	クラス 1
0	0	1	0	クラス 2
0	0	1	1	クラス 3
0	1	0	0	クラス 4
0	1	0	1	予約済み
0	1	1	0	予約済み
0	1	1	1	予約済み
1	0	0	0	クラス 5 ~ 4 ペアのシングル シグネチャ
1	0	0	1	クラス 6 ~ 4 ペアのシングル シグネチャ
1	0	1	0	クラス 7 ~ 4 ペアのシングル シグネチャ
1	0	1	1	クラス 8 ~ 4 ペアのシングル シグネチャ
1	1	0	0	予約済み
1	1	0	1	クラス 5 ~ 4 ペアのデュアル シグネチャ
1	1	1	0	予約済み
1	1	1	1	予約済み

表 8-63. 以前のクラス指定

PCLASS-Chn				前のクラス
ビット 7	ビット 6	ビット 5	ビット 4	
0	0	0	0	不明
0	0	0	1	クラス 1
0	0	1	0	クラス 2
0	0	1	1	クラス 3
0	1	0	0	クラス 4
0	1	0	1	予約済み
0	1	1	0	クラス 0
0	1	1	1	予約済み
1	0	0	0	クラス 5 ~ 4 ペアのシングル シグネチャ
1	0	0	1	クラス 6 ~ 4 ペアのシングル シグネチャ
1	0	1	0	クラス 7 ~ 4 ペアのシングル シグネチャ
1	0	1	1	クラス 8 ~ 4 ペアのシングル シグネチャ
1	1	0	0	予約済み
1	1	0	1	クラス 5 ~ 4 ペアのデュアル シグネチャ
1	1	1	0	予約済み

表 8-63. 以前のクラス指定 (続き)

PCLASS-Chn				前のクラス
1	1	1	1	予約済み

「Requested」(要求済み)と「Assigned」(割り当て済み):

「要求済み」クラスは、電源を入れる前に相互識別の際に PSE が測定する分類です。「割り当て済み」クラスは、レジスタ 0x29h の電力割り当て設定に基づいてチャネルが電源を供給された分類レベルです。「要求済み」分類値は、レジスタ 0x0C-0F で参照できます。

4 ペアのシングル シグネチャ デバイスの場合、分類が完了してから 5ms 以内に、両方のチャネルが割り当てられた同じ PD 分類を報告します。ただし、分類が測定されたチャネルのみに、レジスタ 0x04h の CLSCn ビットがセットされます。

4 ペアのデュアル シグネチャ デバイスの場合、各チャネルは、電源がオンになってから 5ms 以内に、個別に割り当てられた PD 分類をレポートします。

注

電源が投入されると、検出中にクラス 0 シグニチャを提示するデバイスには、「クラス 3」の割り当てられたクラスが与えられます。

注

手動/診断モードで電源が供給されたポート/チャネルに割り当てられたクラスはありません。通常、割り当てられたクラス結果に基づいて設定されるポート電源ポリシングや 1x/2x フォールドバック選択などの設定は、ユーザが手動で設定する必要があります。

以前の分類

特定の状況では、0x0C-0F の要求されたクラス結果は、ポート/チャネルに接続された PD の実際の分類を正しく反映できません。これは、ポートの電力割り当て制限が 15.4W で、PSE が電源投入時に 1 つの分類フィンガーしか提供できない場合に発生します。このような状況が発生し、デバイスが半自動モードで実行されるように構成されている場合は、電源投入検出および分類サイクルの前の 3 本指分類測定がここに保存されます。この情報は、電源投入時にシステムの電力制限以下になるようにポートを降格する必要があるが、後ほど追加の電力バジェットが利用できる場合に役立ちます。

注

前回の分類結果は、進行中の検出 (DETE および CLE = 1) で半自動モードで使用されているチャネルに対してのみ有効です。

8.6.2.64 自動クラス制御レジスタ

COMMAND = 50h、1 データ バイト、読み取り/書き込み

図 8-73. 自動クラス制御レジスタ フォーマット

7	6	5	4	3	2	1	0
MAC4	MAC3	MAC2	MAC1	AAC4	AAC3	AAC2	AAC1
R/W-0							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-64. AUTO CLASS CONTROL レジスタフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7 - 4	MACn	R/W	0	手動自動クラス測定ビット 1 = 手動自動クラス測定が有効 0 = 手動自動クラス測定が完了 自動クラスの測定は、このビットが設定されてから 10ms 以内に開始されます。 このビットは、更新された自動クラス測定結果 (0x51 ~ 54h) から 1ms 以内に内部ファームウェアによってクリアされます。
3 - 0	AACn	R/W	0	自動クラス自動調整のイネーブル ビット 1 = 自動クラスの自動調整が有効になり、測定された自動クラス電力に基づいて対応する PCUT 設定が自動的に調整されます 0 = 自動クラスの自動調整は無効になっており、必要に応じてユーザーが PCUT の値を調整する必要があります。

注

電源オンの前に設定された MACn ビットはすべて無視され、電源オン中にクリアされます。

自動クラス Pcut 調整:

ACX ビットがレジスタ 0x50h に設定されている場合、TPS23881B は、自動クラス電力測定 (レジスタ 0x51 ~ 54 の P_{AC}) に基づいて自動的に PCUT 値を調整し、自動クラス促進 (AACn = 1) PCut 調整は自動クラス測定期間の終了から 5ms 以内に行われます。

AACn ビットが設定されていない場合は、以下の表と式を使用して、自動クラス電力測定 (P_{AC}) に基づいて PCUT を調整します。

表 8-65. 測定された電力による一般的な自動クラス マージン

オートクラス測定電力 (P _{AC})	P _{AC_MARGIN}
P _{AC} < 18.5W	0.5W
19W < P _{AC} < 25.5W	1W
26W < P _{AC} < 36.5W	2W
36.5W < P _{AC} < 45W	3W
45W < P _{AC} < 51.5 W	4W
51.5W < P _{AC} < 58 W	5W
58W < P _{AC} < 63 W	6W
63W < P _{AC} < 68W	7W
68W < P _{AC} < 73 W	8W

表 8-65. 測定された電力による一般的な自動クラス マージン (続き)

オート クラス測定電力 (P_{AC})	P_{AC_MARGIN}
$P_{AC} > 73W$	9W

注

オート クラスをサポートする PSE にとって、 P_{AC_MARGIN} は、IEEE が自動クラスの間に測定した電力に対して余分な電力を供給することを要求し、時間の経過に伴う部品の劣化を許容します。

2ペアまたはデュアル シグネチャ 4ペア PD の場合、下の式にしたがって、各ペア セットで測定された PAC に基づいて 2P-PCut 値のみが更新されます。

$$2P-PCut = P_{AC} + P_{AC_MARGIN}$$

シングル シグネチャ 4ペア PD の場合、各ペア セットの自動クラス電力測定値の合計を使用して、次の式に従って 4P-PCut 設定を決定します。

$$4P-PCut = P_{AC_ALTA} + P_{AC_ALTB} + P_{AC_MARGIN}$$

シングル シグネチャの 4ペア PD の場合、自動クラス測定は 2P-PCut 設定に影響しません。これらの値は、自動クラス測定を開始する前の 2P-Pcut 設定から変更されません。

注

シングル シグニチャ接続デバイスを持つ 4ペアの有線ポートの場合:

AACn ビットが 1つしか設定されておらず、自動クラスの電力測定が完了した場合(手動または電源投入時)、電力測定に基づいて 4-PCut 値が更新されます

MACn ビットが 1つだけ設定されている場合、自動クラス測定は完了しません。

注

$P_{AC} + P_{AC_MARGIN}$ の結果がチャネルの割り当てられた分類範囲を上回っている場合、2P または 4P Pcut 設定は変更されません。

8.6.2.65 チャネル 1 自動クラス電源レジスタ

COMMAND = 51h、1 データ バイト、読み取り専用

図 8-74. チャネル 1 自動クラス電源レジスタ フォーマット

	7	6	5	4	3	2	1	0
-	PAC1_6	PAC1_5	PAC1_4	PAC1_3	PAC1_2	PAC1_1	PAC1_0	
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.66 チャネル 2 自動クラス電源レジスタ

COMMAND = 52h、1 データ バイト、読み取り専用

図 8-75. チャネル 2 自動クラス電源レジスタ フォーマット

	7	6	5	4	3	2	1	0
-	PAC2_6	PAC2_5	PAC2_4	PAC2_3	PAC2_2	PAC2_1	PAC2_0	
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.67 チャネル 3 自動クラス電源レジスタ

COMMAND = 53h、1 データ バイト、読み取り専用

図 8-76. チャネル 3 自動クラス電源レジスタ フォーマット

	7	6	5	4	3	2	1	0
-	PAC3_6	PAC3_5	PAC3_4	PAC3_3	PAC3_2	PAC3_1	PAC3_0	
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.68 チャネル 4 自動クラス電源レジスタ

COMMAND = 54h、1 データ バイト、読み取り専用

図 8-77. チャネル 4 自動クラス電源レジスタ フォーマット

	7	6	5	4	3	2	1	0
-	PAC4_6	PAC4_5	PAC4_4	PAC4_3	PAC4_2	PAC4_1	PAC4_0	
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

凡例:R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-66. 自動クラス パワー レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
6-0	PACn_6-PACn_0	R	0	チャネル n の自動クラス電力測定の 8 ビット データ 変換結果。 自動クラスの電力測定 ウィンドウで取得された、チャネル 電圧および電流データ変換の測定結果による ピーク平均電力計算。 自動クラス電力の測定値を定義する式は次のとおりです。 $P_{AC} = N \times P_{AC_STEP}$ ここで、0.200Ω Rsense 抵抗が使用されると仮定すると、次のようにになります。 $P_{C_STEP} = 0.5W$

注

IEEE では、時間の経過に伴う部品の劣化を考慮して、測定された自動クラス電力から余分な電力 (P_{AC_MARGIN} として定義) を利用できるようにする必要があります。 P_{AC} と P_{AC_MARGIN} の関係については、[表 8-65](#) を参照してください

8.6.2.69 代替フォールドバック レジスタ

COMMAND = 55h、1 データ バイト、読み取り/書き込み

図 8-78. 代替フォールドバック レジスタ フォーマット

7	6	5	4	3	2	1	0
ALTFB4	ALTFB3	ALTFB2	ALTFB1	ALTIR4	ALTIR3	ALTIR2	ALTIR1
R/W-0							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-67. 代替フォールドバック レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-4	ALTFBn	R	0	代替フォールドバック イネーブル ビット: 電源供給時の動作可能な変更フォールドバック曲線を有効にするために使用します。 1 = 代替フォールドバックが有効 0 = 代替フォールドバックが無効 目的のフォールドバック曲線が使用されるように、PWONn コマンドを発行する前に ALTFBn ビットを設定する必要があります。
3-0	ALTIRn	R	0	代替の突入イネーブル ビット: チャネル n の突入時の変動フォールドバック曲線をイネーブルにするために使用します。 1 = 代替インラッシュが有効 0 = 代替インラッシュが無効 注: 目的の突入電流動作が確実に行われるよう、PWONn コマンドを送信する前に、ALTIRn ビットを設定する必要があります

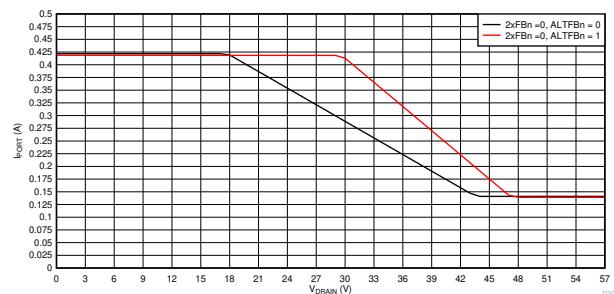


図 8-79. 1x モード (2xFBn = 0) フォールドバック曲線、 I_{PORT} と V_{DRAIN} との関係

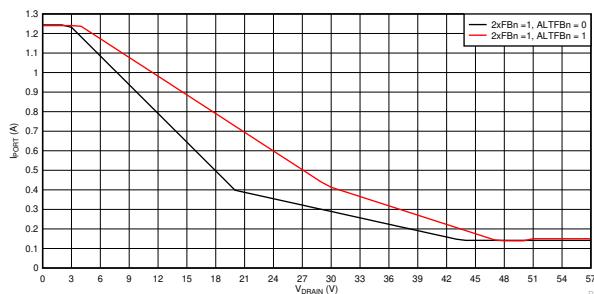


図 8-80. 2x モード (2xFBn = 1) フォールドバック曲線、 I_{PORT} と V_{DRAIN} との関係

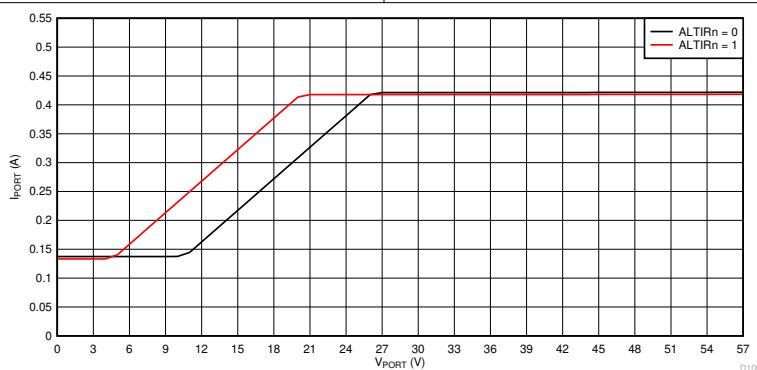


図 8-81. 突入フォールドバック曲線、 I_{PORT} と V_{PORT} との関係

8.6.2.70 SRAM 制御レジスタ

COMMAND = 60h、1 データ バイト、読み取り/書き込み

図 8-82. SRAM 制御レジスタ フォーマット

7	6	5	4	3	2	1	0
PROG_SEL	CPU_RST	-	PAR_EN	RAM_EN	PAR_SEL	R/WZ	CLR_PTR
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-68. SRAM 制御レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	PROG_SEL	R/W	0	I2C プログラミング選択ビット。 1 = SRAM I2C 読み取り/書き込みがイネーブル 0 = SRAM I2C 読み出し/書き込みが無効。
6	CPU_RST	R/W	0	CPU リセットビット 1 = 内部 CPU がリセット状態に保持されます 0 = 内部 CPU がアクティブ これは厳密に CPU リセットです。このビットをトグルすると CPU のみがリセットされ、I2C レジスタの内容は変更されません
5	予約済み	R/W	0	予約済み
4	PAR_EN	R/W	0	SRAM パリティイネーブルビット: 1 = SRAM パリティチェックが有効化されます 0 = SRAM パリティチェックが無効化されます SRAM を使用するときは、パリティ機能を有効化することを推奨します
3	RAM_EN	R/W	0	SRAM イネーブルビット 1 = SRAM がイネーブルになり、内部 CPU は SRAM と内部 ROM の両方から実行されます 0 = 内部 CPU は、内部 ROM からのみ実行されます SRAM コードを使用できるようにするには、SRAM プログラミングの後、このビットを 1 に設定する必要があります
2	PAR_SEL	R/W	0	SRAM パリティ選択ビット: このビットを 1 に設定し、RZ/W ビットと組み合わせて使用すると、SRAM パリティビットにアクセスできます。 1 = パリティビットの読み取り/書き込みがイネーブル 0 = パリティビットの読み取り/書き込みがディセーブル
1	R/WZ	R/W	0	SRAM 読み取り/書き込み選択ビット: 0 = SRAM 書き込み – SRAM データは、0x61h への書き込みで書き込まれます 1 = SRAM 読み取り – SRAM データは、0x61h から読み取られます SRAM データは、STOP ビットが送信されるまで、I2C を介して継続的に読み書きできます。
0	CLR_PTR	R/W	0	アドレス ポインタ ビットをクリア: 1 = メモリ アドレス ポインタをリセットします 0 = 使用するポインタを解放します 適切なプログラミングを行うためには、このビットを SRAM またはパリティメモリの書き込みまたは読み出しにトグルする必要があります (0-1-0)。

8.6.2.70.1 SRAM 開始アドレス (LSB) レジスタ

COMMAND = 62h、1 バイト、読み取り/書き込み

図 8-83. SRAM 開始アドレス (LSB) レジスタ フォーマット

7	6	5	4	3	2	1	0
SA_7	SA_6	SA_5	SA_4	SA_3	SA_2	SA_1	SA_0
R/W-0							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

8.6.2.70.2 SRAM 開始アドレス (MSB) レジスタ

COMMAND = 63h、1 バイト、読み取り/書き込み

図 8-84. SRAM 開始アドレス (MSB) レジスタ フォーマット

7	6	5	4	3	2	1	0
SA_15	SA_14	SA_13	SA_12	SA_11	SA_10	SA_9	SA_8
R/W-0							

凡例: R/W = 読み出し / 書き込み、R = 読み出し専用、-n = リセット後の値

表 8-69. SRAM スタート レジスタのフィールドの説明

ピット	フィールド	タイプ	リセット	説明
15-0	SA_15- SA_0	R/W	0	SRAM およびパリティプログラムの開始アドレス ピット: これらのレジスタに入力された値により、SRAM またはパリティプログラミングの開始アドレス位置が設定されます

SRAM プログラミング:

電源投入後に、適切な動作と IEEE 準拠の性能を確保するため、TPS23881B の SRAM に I²C を介して最新バージョンの SRAM コードをプログラムすることを推奨します。SRAM のプログラムに必要なコマンド以外のすべての I²C トライプは、SRAM のプログラミング シーケンスが完了するまで延期されます。

注

最新バージョンのファームウェアおよび SRAM リリース ノートは、[TI mySecure Software Web](#) ページからアクセスできます。

SRAM リリース ノートおよび ROM アドバイザリ ドキュメントには、各ファームウェア リリースに関連する既知の問題や変更に関する詳細情報が記載されています。

注

SRAM プログラミング制御は、下側の I²C アドレス (チャネル 1 ~ 4、A0 = 0) で完了する必要があります。このレジスタを上位 I²C デバイス アドレス (チャネル 5 ~ 8) 用に構成しても、SRAM はプログラムされません。

複数の TPS23881B デバイスを含むシステムでは、0x7F「グローバル」プロードキャスト I²C アドレスを使用して、すべてのデバイスを同時にプログラムできます。

注

SRAM プログラミングは、デバイスが内部ハードウェア初期化プロセスを完了できるように、デバイスの最初の電源オン (VPWR と VDD が UVLO を上回る) から少なくとも 50ms 遅延する必要があります。

注

SRAM のプログラミング手順の詳細については、[TI.com](#) にある『[TPS2388x SRAM コードのロード方法](#)』ドキュメントを参照してください。

SRAM プログラミングの 0x60h セットアップ SRAM のプログラミング/書き込みを行う前に、レジスタ 0x60h で次のビットシーケンスを完了する必要があります。

7	6	5	4	3	2	1	0
PROG_SEL	CPU_RST	-	PAR_EN	RAM_EN	PAR_SEL	R/WZ	CLR_PTR
0 → 1	0 → 1	0	0	0	0	1 → 0	0 → 1 → 0

SRAM を読み取るには、R/WZ ビットを 1 に設定する必要がある点以外は、同じシーケンスが必要です。

デバイスが「セーフ モード」の場合、上記と同じシーケンスを使用して SRAM を再プログラムできます。

このシーケンス後の I²C に 0x61h が書き込むと、レジスタ 0x62h および 63h に設定されたアドレスから、SRAM プログラム メモリがアクティブにプログラムされます。

SRAM パリティプログラミング用の 0x60h のセットアップ: SRAM プログラムメモリのプログラミング後、パリティメモリをプログラムするようにデバイスを構成するには、レジスタ 0x60h で次のビットシーケンスを完了する必要があります。

7	6	5	4	3	2	1	0
PROG_SEL	CPU_RST	-	PAR_EN	RAM_EN	PAR_SEL	R/WZ	CLR_PTR
0 → 1	0 → 1	0	0	0	0 → 1	1 → 0	0 → 1 → 0

パリティを読み取るには、R/WZ ビットを 1 に設定する必要がある点以外は、同じシーケンスが必要です。

このシーケンス後の I²C に 0x61h が書き込むと、レジスタ 0x62h および 63h に設定されたアドレスから、パリティメモリがアクティブにプログラムされます。

SRAM プログラムメモリから実行するための 0x60h セットアップ: プログラミングが完了すると、デバイスが SRAM から正しく実行できるようにするために、レジスタ 0x60h で次のビットシーケンスを完了する必要があります。

7	6	5	4	3	2	1	0
PROG_SEL	CPU_RST	-	PAR_EN	RAM_EN	PAR_SEL	R/WZ	CLR_PTR
1 → 0	1 → 0	0	0 → 1	0 → 1	1 → 0	0	0

上記シーケンスが完了してから 1ms 以内に、デバイスは SRAM の互換性チェックを完了します

SRAM 負荷が「有効」と判定された場合、: レジスタ 0x41h は 0x01h ~ 0xFEh の値を持ち、デバイスは通常動作に戻ります。

SRAM 負荷が「無効」と判定された場合:

- 0x41h は 0xFFh に設定されます
- RAM_EN ビットは内部でクリアされます
- 別のプログラミング試行が完了するまで、デバイスは「セーフモード」で動作します

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

TPS23881B は 8 チャネル、IEEE 802.3bt 準拠の PoE PSE コントローラで、ポート数の多い Semiauto または完全なマイクロコントローラ管理アプリケーションで使用できます (TI では、ほとんどのアプリケーションについて MSP430FR5969 マイクロコントローラを推奨します)。以降のセクションでは、ホスト制御を含む、さまざまな要件を持つアプリケーションの詳細な設計手順について説明します。

図 9-1 の回路図は、TPS23881B の半自動モードの動作を示しており、PoE 負荷に電力を供給する機能を提供します。TPS23881B は、次のことを実行できます。

1. 負荷検出を実行します。
2. タイプ 1 (1 フィンガー) からタイプ 4 (5 フィンガー) までの荷重の分類を行います。
3. 保護フォールドバック電流制限によるパワーオンおよびポート電力ポリシング (P_{CUT}) 値をイネーブルにします。
4. フォルト負荷および短絡が発生した場合にシャットダウンします。
5. 負荷が接続解除された場合に電力を遮断するため、電力シグネチャの維持機能を実行します。
6. VPWR が V_{PUV_F} (標準値 26.5V) を下回ると、低電圧ロックアウトが発生します。

電源切断コマンド、Start、 P_{CUT} 、または I_{LIM} 障害による切断またはシャットダウンの後、ポートは電源を切断します。切断によるポート電源がオフになった後、TPS23881B は、レジスタ 0x14 の DETE ビットと CLE ビットがセットされていると、検出および分類サイクルを直ちに再開します。シャットダウンが Start、 P_{CUT} 、または I_{LIM} フォルトに起因する場合、TPS23881B、クールダウン期間に移行し、その間にそのポートの検出/クラスイネーブルコマンドが遅延します。クールダウンサイクルの終了時に、クラス、検出、または両方のイネーブルビットが設定されている場合、1 つ以上の検出/クラスサイクルが自動的に再起動されます。電源オフコマンドを使用してポートをディセーブルにすると、DETE ビットと CLE ビットがクリアされ、検出と分類を再開するには、I²C を介してこれらのビットをリセットする必要があります。

9.1.1 PoE の概要

パワー オーバー イーサネット (PoE) は、データペアまたはスペアペアを使用してイーサネットケーブルを介してイーサネットデバイスに電力を分配するための手段です。PoE を使用すると、イーサネットデバイスで電源を供給する必要がなくなります。PoE の一般的なアプリケーションは、セキュリティカメラ、IP 電話、ワイヤレスアクセスポイント (WAP) です。電源を供給するホストまたはミッドスパン機器は、電源装置 (PSE) です。イーサネットコネクタの負荷は受電側 (PD) です。負荷への電力を制御する PSE と PD の間の PoE プロトコルは、IEEE 802.3bt 規格で規定されています。トランسفォーマーは、イーサネットホストポート、ミッドスパン、ハブで使用され、ケーブルにデータをインターフェイスします。トランスのセンター タップに DC 電圧を印加しても、データ信号に影響はありません。他の電力伝送ラインと同様に、比較的高い電圧 (約 50V) を使用して電流を低く保ち、ラインでの IR 電圧降下の影響を最小限に抑えて、負荷への電力供給を維持することができます。標準の 2 ペア PoE は、タイプ 1 PD へ約 13W、タイプ 2 PD へ 25.5W を供給できます。一方、標準の 4 ペア PoE は、タイプ 3 PD へ約 51W、タイプ 4 PD へ 71W を供給できます。

9.1.1.1.2 ペア電源と4ペア電源の比較と新しいIEEE802.3bt規格

IEEE 802.3at-2009 規格では、以前は、PoE 電力供給が 15.4W (一般に .af または Type-1 PoE と呼ばれる) から、2 ペアのイーサネット配線 (一般に Alt-A または Alt-B ペア セットとして知られる) 上で PSE (電力供給側) から供給される電力を 30W (.at または Type-2 PoE) に拡張されていました。IEEE 802.3bt 規格では、ALT-A と ALT-B の両方のペアを並列に電力を供給することで、PSE から供給される最大 90W の電力供給が可能になります。新しい標準の一部として、2 つの新しい PoE 機器「タイプ」も作成されました。タイプ 3 PSE 機器は、新しい MPS の要件をサポートしながら、4 ペアで最大 60W、または 2 ペアで最大 30W の電力を供給できます。タイプ 4 PSE 機器は、4 ペアを介して最大 90W の電力を供給できます。TPS23881B は、これらの構成のいずれかをサポートするように完全に構成できるように設計されています。

電源の維持 (MPS) 要件も、新しい規格に合わせて更新されました。以前のバージョンの規格では、PD (受電側) 電流が 300ms ~ 400ms ごとに少なくとも 60ms にわたって 10mA を超えた場合に、PSE にポートの電力を維持する必要のみがありました。これらの要件を 320ms ごとに 6ms から 400ms に減らすことで、PoE 電力を維持するための最小電力要件は 10 分の 1 近く低減されました。

9.2 代表的なアプリケーション

この代表的なアプリケーションでは、MSP430 や類似のマイクロ コントローラを使用した、8 個の(2 ペア)ポートの半自動モード アプリケーションを示しています。任意のモードで動作するには、I²C ホストのサポートが必要です。TPS23881B は、マルチポート アプリケーションで便利な遠隔測定機能を備えており、ポートの電力管理の実装に役立ちます。

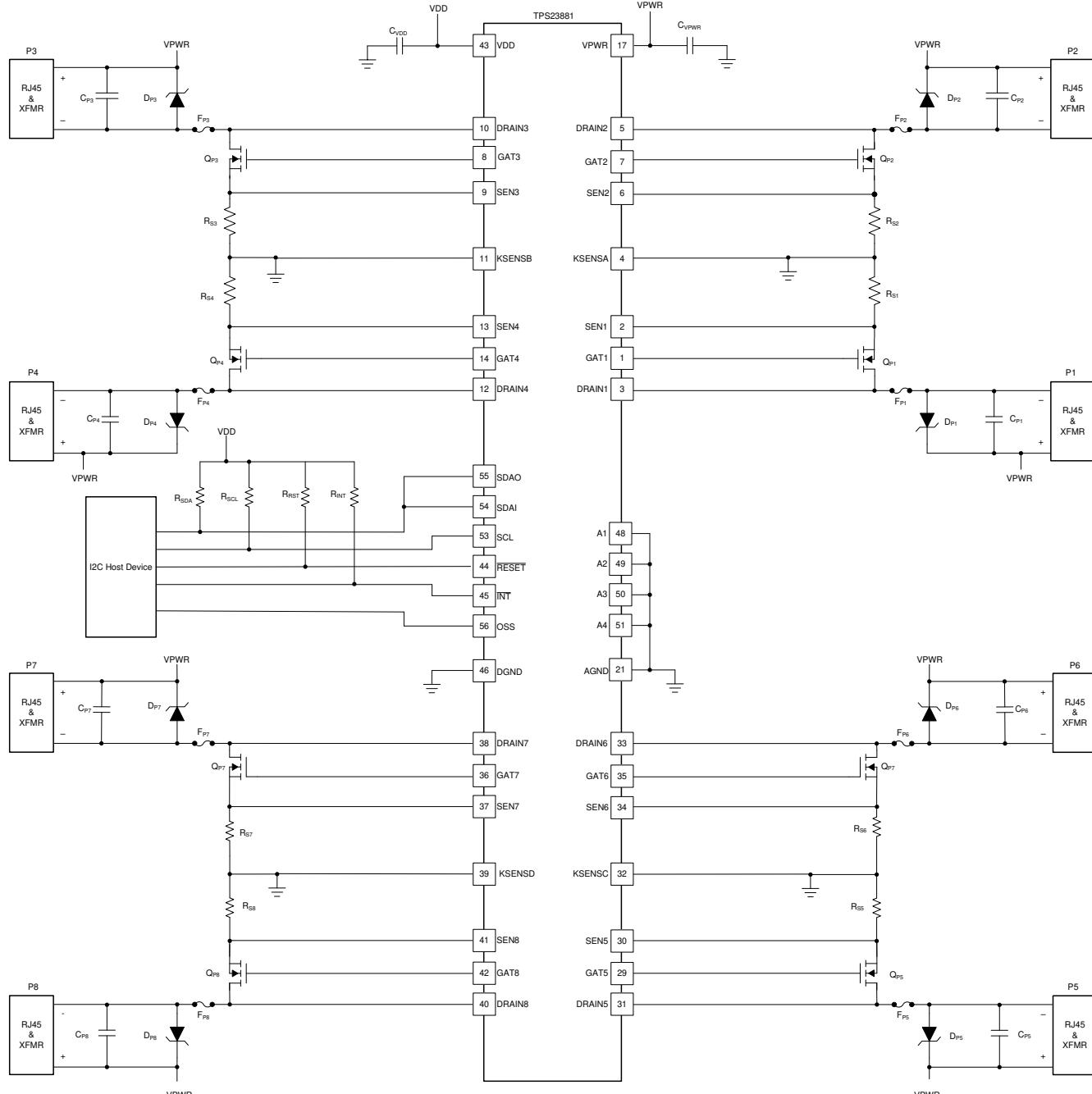


図 9-1. 8 つの 2 ペア ポート アプリケーション

この代表的なアプリケーションでは、MSP430 または類似のマイコンを使用した 4 つの(4 ペア)ポート、半自動モードのアプリケーションを示します。

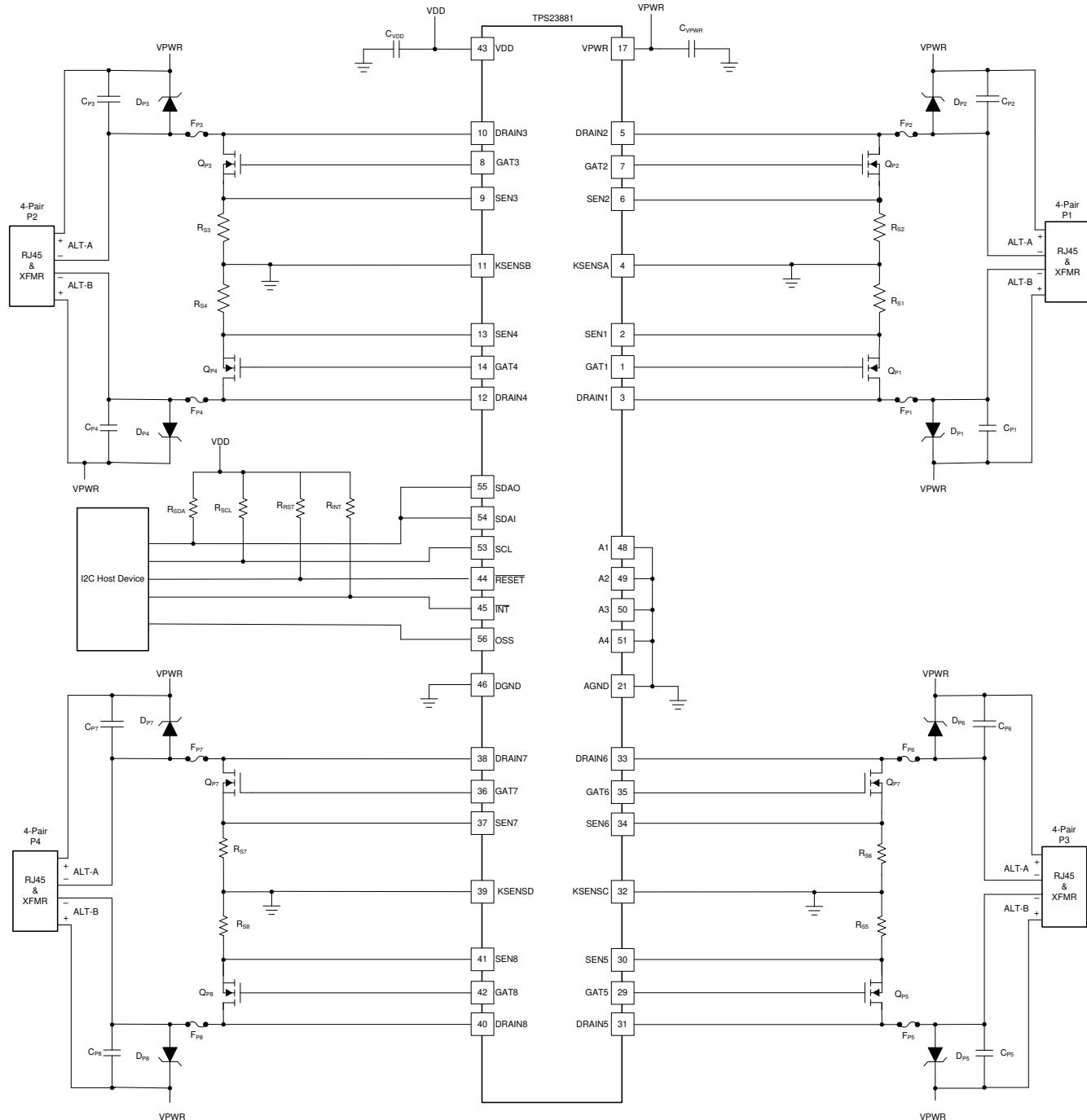


図 9-2. 4 つの 4 ペア ポート アプリケーション

9.2.1 設計要件

TPS23881B デバイスは、8 ポート構成で使用され、I²C ホスト デバイスによって管理されます。TPS23881B の I²C アドレスは、A4..A1 ピンを使用してプログラムされます。TPS23881B デバイスをシステムに複数使用する場合、各デバイスは一意の I²C アドレスを必要とします。TPS23881B I²C アドレスのプログラム方法の詳細については、[PIN ステータス レジスタ](#)を参照してください。

図 9-1 と図 9-2 に、2 ペアまたは 4 ペアのいずれかのポートの代表的なアプリケーションを示しますが、TPS23881B は 2 ペアまたは 4 ペアの PSE ポートの任意の組み合わせをサポートするようにも構成できます。4 ペア ポートでは、RJ45 端子で代替 A と代替 B のワイヤ ペア セットの両方を使用する必要がありますが、2 ペア ポートでは代替 A ペア セットを使用する必要があります。

TPS23881B デバイスを動作させるには MCU は必要ありませんが、内部 SRAM をプログラムし、TPS23881B の基本 I²C レジスタ構成を初期化するには、一部の種類の I²C ホスト コントローラ デバイスが必要です。

RESET ピンは、マイコンまたは他の外部回路に接続することを推奨します。

注

RESET ピンは、VPWR と VDD の両方が UVLO スレッショルドを上回るまで low に保持する必要があります。

[TPS23881EVM ユーザーガイド](#) で、詳細情報を参照してください。

9.2.2 詳細な設計手順

[TPS23881EVM ユーザーガイド](#) を参照してください。

9.2.2.1 未使用チャネルの接続

未使用チャネルでは、SENx ピンをグランドに接続し、GATx ピンをオープンのままにすることを推奨します。DRAINx ピンはグランドに接続するか、オープンのまにすることができます（オープンのまにするとき、消費電力が多少低減されます）。図 9-3 に、未使用の PORT2 の例を示します。

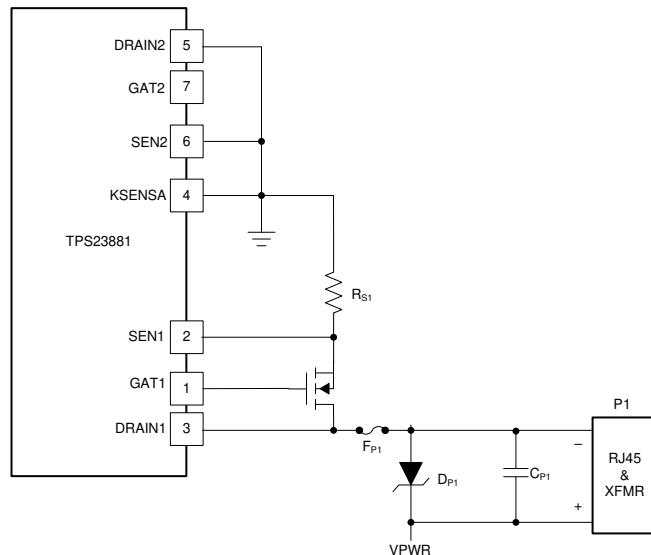


図 9-3. 未使用的 PORT2 接続

9.2.2.2 電源ピンのバイパス コンデンサ

- **C_{VPWR}**: 0.1- μ F、100-V、X7R セラミック (ピン 17) (VPWR)
- **C_{VDD}**: 0.1- μ F、5-V、X7R セラミック (ピン 43) (VDD)

9.2.2.3 ポートごとの部品

- **C_{Pn}**: VPWR と Pn- 間の 0.1 μ F、100V、X7R セラミック。
- **R_{Sn}**: 各チャネルの電流検出抵抗は 0.2 Ω です。0805 SMT パッケージ封止、1%、0.25W の抵抗を推奨します。90W ポリシング (P_{CUT}) スレッショルドを選択すると、抵抗の最大消費電力は約 140mW になります。
- **Q_{Pn}**: ポート MOSFET は、平均性能特性を持つ小型で安価なデバイスです。BV_{DSS} は 100V 最小値にする必要があります。50m Ω と 150m Ω の間の V_{GS} = 10V での MOSFET の R_{DS(on)} の目標値です。MOSFET のゲート電荷 (Q_G) と入力容量 (C_{iss}) はそれぞれ 50nC および 2000pF 未満である必要があります。640mA 公称ポリシング (I_{CUT}) スレッショルドでの R_{DS(on)} = 100m Ω を使用した Q_{Pn} の最大消費電力は約 45mW です。

注

システム設計でこれらの部品を選択する際には、MOSFET の R_{DS(on)} と BV_{DSS} 特性に加えて、パワー MOSFET の SOA 定格も考慮する必要があります。図 8-2 および図 8-3 に示すように、突入電流および動作 フォールドバック特性曲線を超える SOA 定格を持つ MOSFET を選択することを推奨します。標準電流フォールドバック オプション (ALTIRn または ALTFBn = 0) を使用する場合は、CSD19538Q3A 100V N チャネル MOSFET を推奨します。

- **F_{Pn}**: ポートヒューズは、定格 60VDC 以上、約 2 × P_{CUT} (最大) 以上のスローブロー タイプである必要があります。DC 損失を低減するには、低温抵抗を 200m Ω 未満にする必要があります。最大 P_{CUT} 時の低温抵抗 180m Ω の FPN の消費電力は約 150mW です。
- **D_{PnA}**: ポート TVS は、予想されるポート サージ環境に対応している必要があります。D_{PNA} は、最小逆スタンドオフ電圧が 58V で、最大クランプ電圧が予測されるピーク サージ電流で 95V 未満である必要があります。

9.2.2.4 システム レベルの部品 (回路図には未記載)

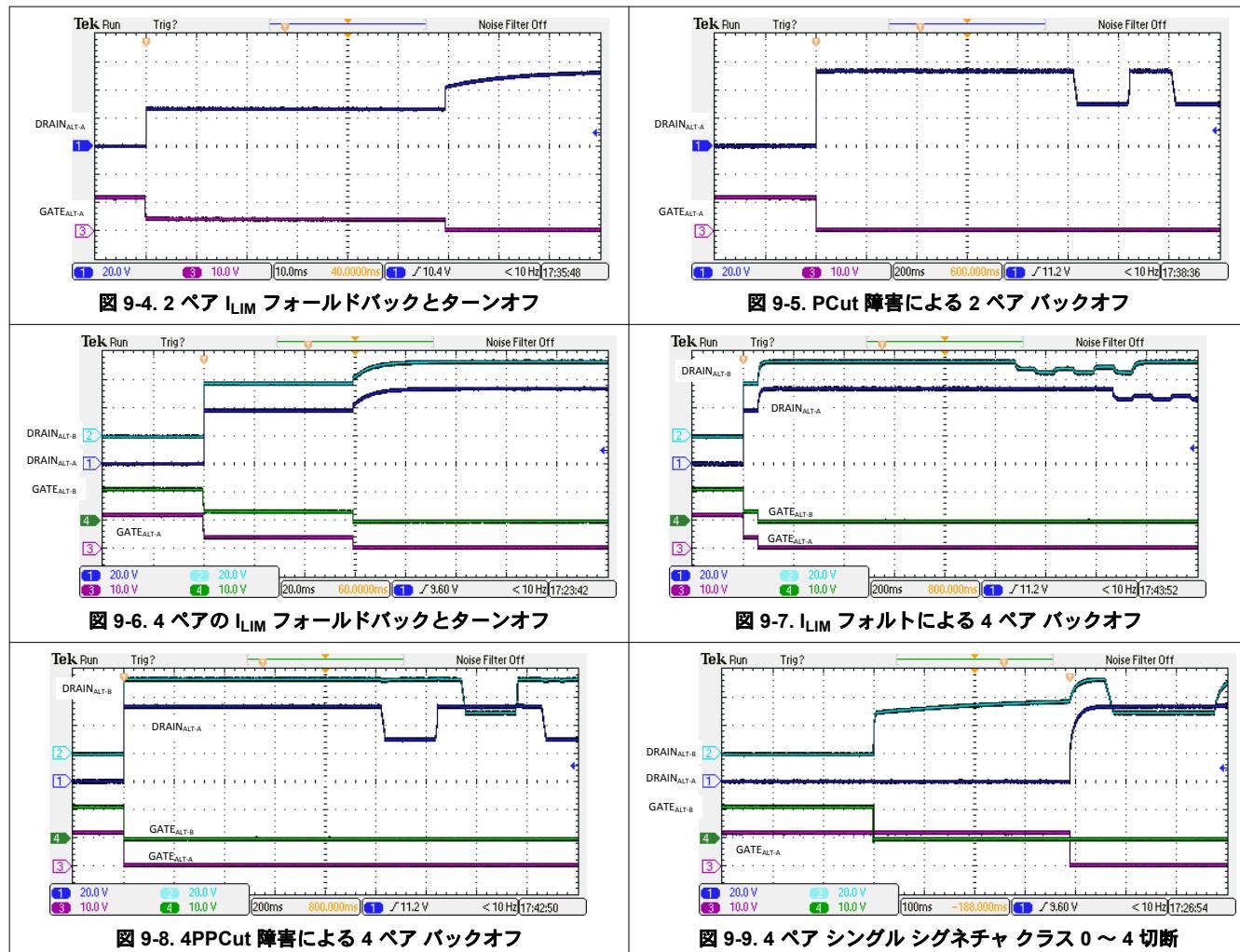
システムの TVS とバルク VPWR 容量は連携して動作し、VPWR を 70V を超えるサージ イベントから PSE システムを保護します。TPS23881B のすべてのポートが適切に保護されるように、TVS とバルク コンデンサを PCB 上に配置する必要があります。

- **TVS**: システム TVS は、システムの予測ピークサージ電力を定格としており、最小逆スタンドオフ電圧が 58V である必要があります。VPWR バルク容量と合わせて、VPWR レールが 70V を超えないように TVS を設定する必要があります
- **バルク コンデンサ**: システム バルク コンデンサは 100V の定格が必要で、アルミ電解タイプを使用することもできます。ボード上の各 TPS23881B には 2 つの 47 μ F コンデンサを使用できます。
- **分散容量**: ポート数が多いシステムでは、1 μ F、100-V、X7R のセラミック コンデンサを 54-V パワーバス間に配置する必要がある場合があります。テキサス インスツルメンツでは、TPS23881B のペアごとに 1 つのコンデンサを推奨します。
- **デジタル I/O プルアップ抵抗**: **RESET** および A1-A4 は内部で VDD にプルアップされます。OSS は内部でプルダウンされ、それぞれに 50-k Ω (標準値) 抵抗が付いています。SMT パッケージの 10k Ω 、1%、0.063W タイプなど、より強力なプルアップ/ダウン抵抗を外部に追加できます。SCL、SDAI、SDAO、INT には、バス上のデバイスの総数に応じて、1 k Ω から 10k Ω の範囲内の外部プルアップ抵抗が必要です。
- **イーサネット データトランス (ポートごと)**: イーサネット データトランスの定格は、DC ポート電流の状況が発生する状況で、IEEE802.3bt 規格内で動作する必要があります。また、イーサネット PHY と互換性があるように、このトランスも選定されています。トランスを RJ45 コネクタとケーブル終端に内蔵することもできます。
- **RJ45 コネクタ (ポートごと)**: RJ45 コネクタの要件の大部分は機械的な性質であり、タブの向き、ハウジングのタイプ (シールド付きまたはシールドなし)、または高集積が含まれます。内蔵の RJ45 は、イーサネット データトランスとケーブル終端で構成されています。統合型タイプには、ポート TVS と同相 EMI フィルタリングも含まれることがあります。

- **ケーブル終端 (ポートごと)**: ケーブル終端は通常、各データトランシスタータップから共通ノードまでの直列抵抗 (通常は 75Ω) とコンデンサ (通常は 10nF) 回路で構成され、その後、高電圧コンデンサ (通常は $1000\text{ pF} \sim 4700\text{ pF}$ 、 2kV) を使用してシャーシグランド (またはシステムアースグランド) にバイパスされます。

9.2.3 アプリケーション曲線

特に記述のない限り、TPS23881B EVM および Sifos PSA-3000 PowerSync アナライザと PSA3202 テストカードを使用して測定を行っています。テスト条件は、 $T_J = 25^\circ\text{C}$ 、 $V_{VDD} = 3.3\text{V}$ 、 $V_{VPWR} = 54\text{V}$ 、 $V_{DGND} = V_{AGND}$ 、DGND、KSENSA、KSENSB、KSENSC、KSENSD を AGND に接続し、すべての出力は無負荷、 $2\times FBn = 0$ です。正の電流はピンに流れます。 $R_s = 0.200\Omega$ 、KSENSA (SEN1 または SEN2) との間、KSENSB (SEN3 または SEN4) との間、KSENSC (SEN5 または SEN6) または KSENSD (SEN7 または SEN8) に接続。特に記述のない限り、すべての電圧は AGND を基準とします。特に記述のない限り、動作レジスタにはデフォルト値が書き込まれます。



9.2.3 アプリケーション曲線(続き)

特に記述のない限り、TPS23881B EVM および Sifos PSA-3000 PowerSync アナライザと PSA3202 テストカードを使用して測定を行っています。テスト条件は、 $T_J = 25^\circ\text{C}$ 、 $V_{VDD} = 3.3\text{V}$ 、 $V_{VPWR} = 54\text{V}$ 、 $V_{DGND} = V_{AGND}$ 、 $DGND$ 、KSENSA、KSENSB、KSENSC、KSENSD を AGND に接続し、すべての出力は無負荷、 $2xFBn = 0$ です。正の電流はピンに流れます。 $R_S = 0.200\Omega$ 、KSENSA (SEN1 または SEN2)との間、KSENSB (SEN3 または SEN4)との間、KSENSC (SEN5 または SEN6) または KSENSD (SEN7 または SEN8) に接続。特に記述のない限り、すべての電圧は AGND を基準とします。特に記述のない限り、動作レジスタにはデフォルト値が書き込まれます。

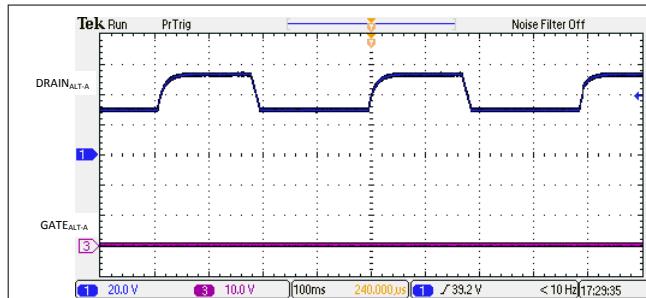


図 9-10.2 ペアの開路検出シグネチャ

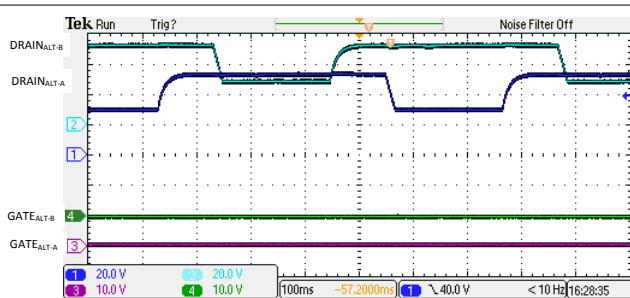


図 9-11.4 ペアの開路検出シグネチャ

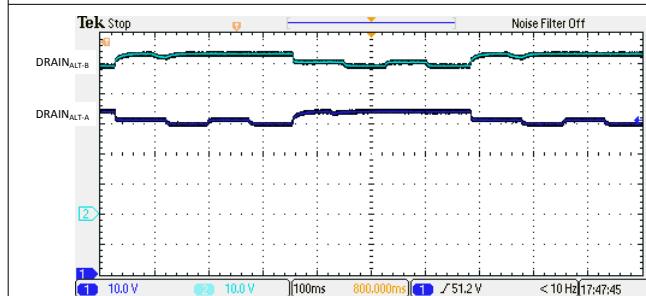


図 9-12.4 ペアの低抵抗 (11kΩ) 検出シグネチャ

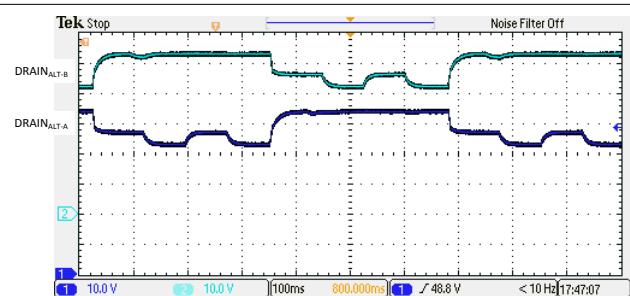


図 9-13.4 ペアの高抵抗 (36kΩ) 検出シグネチャ

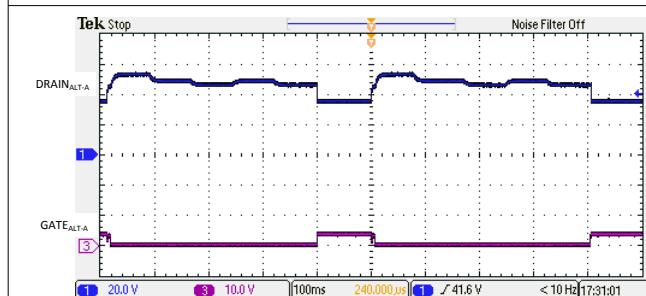


図 9-14. 有効なクラス 0-3 負荷の 2 ペア半自動モード検出

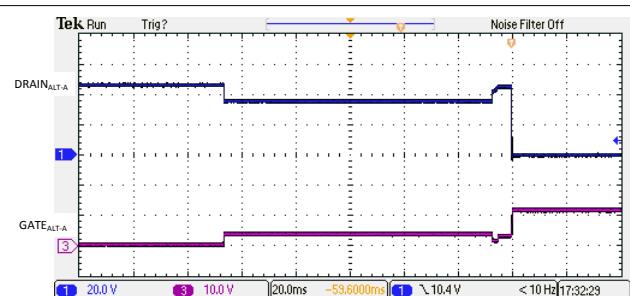


図 9-15.2 ペアの 1 フィンガー分類とターンオン

9.2.3 アプリケーション曲線(続き)

特に記述のない限り、TPS23881B EVM および Sifos PSA-3000 PowerSync アナライザと PSA3202 テストカードを使用して測定を行っています。テスト条件は、 $T_J = 25^\circ\text{C}$ 、 $V_{VDD} = 3.3\text{V}$ 、 $V_{VPWR} = 54\text{V}$ 、 $V_{DGND} = V_{AGND}$ 、 $DGND$ 、KSENSA、KSENSB、KSENSC、KSENSD を AGND に接続し、すべての出力は無負荷、 $2xFBn = 0$ です。正の電流はピンに流れます。 $R_S = 0.200\Omega$ 、KSENSA (SEN1 または SEN2) との間、KSENSB (SEN3 または SEN4) との間、KSENSC (SEN5 または SEN6) または KSENSD (SEN7 または SEN8) に接続。特に記述のない限り、すべての電圧は AGND を基準とします。特に記述のない限り、動作レジスタにはデフォルト値が書き込まれます。

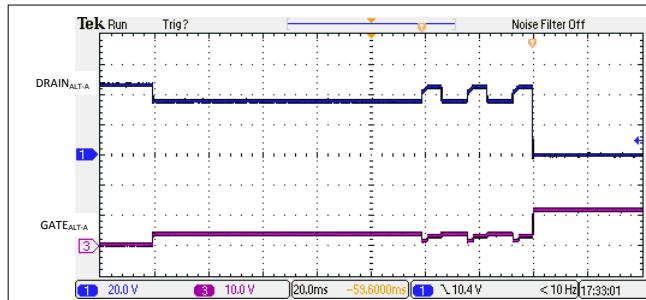


図 9-16.2 ペアの 3 フィンガー分類とターンオン

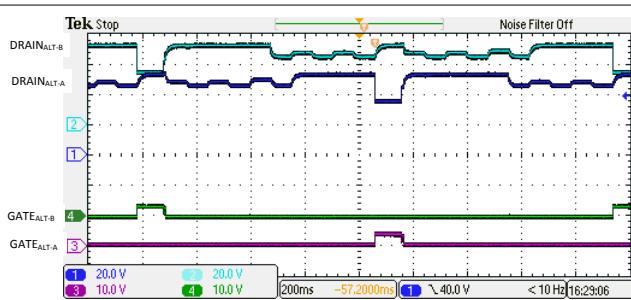


図 9-17.4 ペア半自動モード検出、有効なシングルシグネチャクラス 0 ~ 3 負荷あり

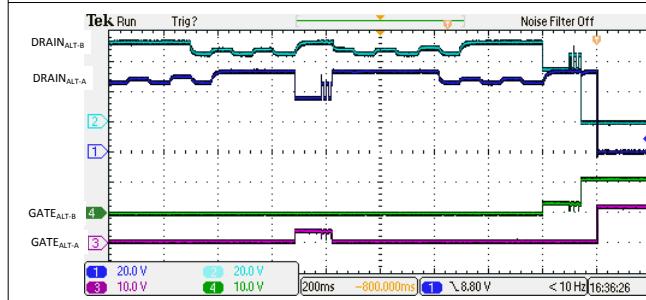


図 9-18.4 ペアのシングルシグネチャ検出を行い、半自動モードで
オンにします

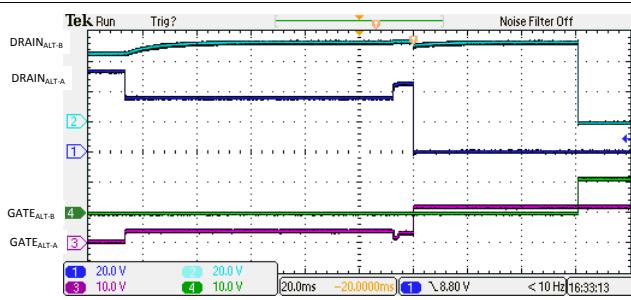


図 9-19.4 ペアのシングルシグネチャ 1 フィンガー分類とターン
オン

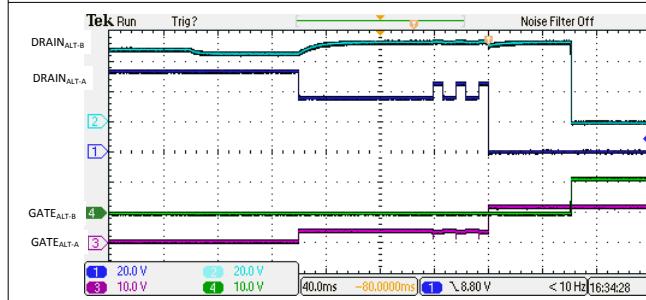


図 9-20.4 ペアのシングルシグネチャ 3 フィンガー分類とターンオ
ン

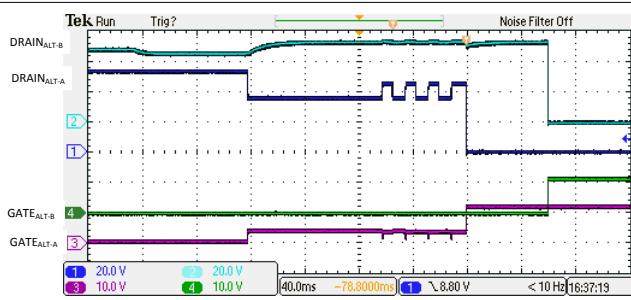


図 9-21.4 ペアのシングルシグネチャ 4 フィンガー分類とターンオ
ン

9.2.3 アプリケーション曲線(続き)

特に記述のない限り、TPS23881B EVM および Sifos PSA-3000 PowerSync アナライザと PSA3202 テストカードを使用して測定を行っています。テスト条件は、 $T_J = 25^\circ\text{C}$ 、 $V_{VDD} = 3.3\text{V}$ 、 $V_{VPWR} = 54\text{V}$ 、 $V_{DGND} = V_{AGND}$ 、 $DGND$ 、KSENSA、KSENSB、KSENSC、KSENSD を AGND に接続し、すべての出力は無負荷、 $2xFBn = 0$ です。正の電流はピンに流れます。 $R_S = 0.200\Omega$ 、KSENSA (SEN1 または SEN2) との間、KSENSB (SEN3 または SEN4) との間、KSENSC (SEN5 または SEN6) または KSENSD (SEN7 または SEN8) に接続。特に記述のない限り、すべての電圧は AGND を基準とします。特に記述のない限り、動作レジスタにはデフォルト値が書き込まれます。

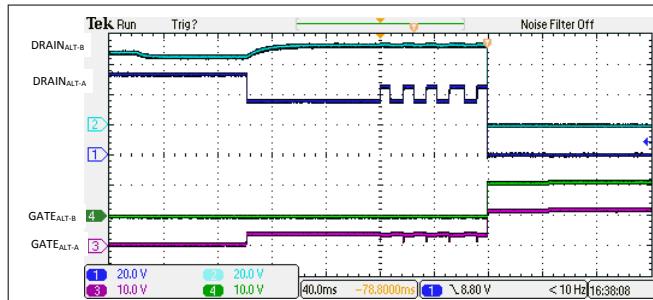


図 9-22. 4 ペアのシングルシグネチャ 5 フィンガー分類とターンオン

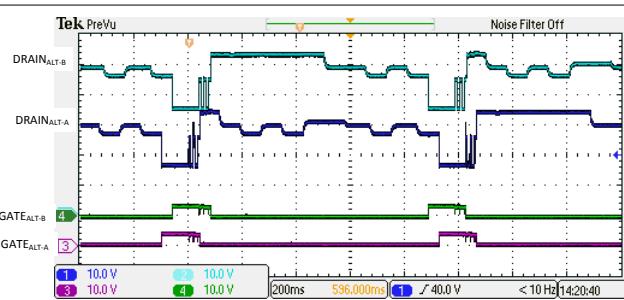


図 9-23. 4 ペア半自動モード検出、デュアルシグネチャクラス 4D 負荷有効

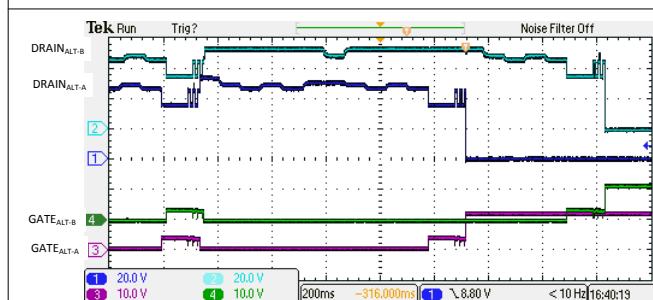


図 9-24. 4 ペア デュアルシグネチャ検出と半自動モードでターンオン

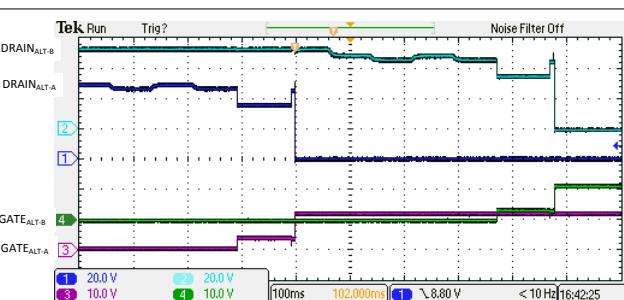


図 9-25. 4 ペア デュアルシグネチャ 1 フィンガー分類とターンオン

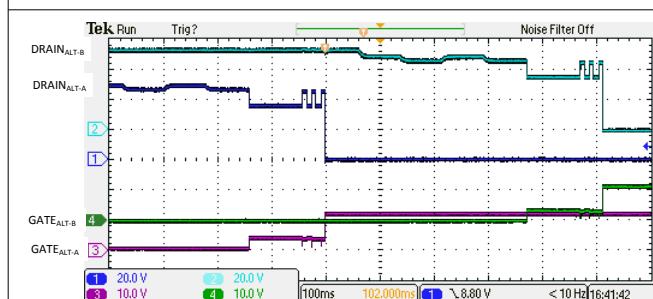


図 9-26. 4 ペア デュアルシグネチャ 3 フィンガー分類とターンオン

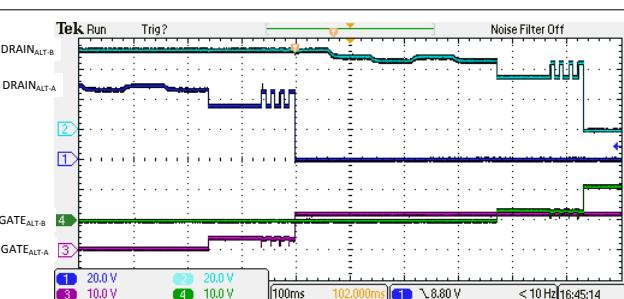


図 9-27. 4 ペア デュアルシグネチャ 4 フィンガー分類とターンオン

9.3 電源に関する推奨事項

9.3.1 VDD

VDD の推奨電源電圧要件は $3.3\text{V}, \pm 0.3\text{V}$ です。TPS23881B は、VDD 電源から約 6mA (標準値) と最大値 12mA を必要とします。VDD 電源は、降圧タイプ レギュレータを使用して VPWR から生成できます (TI は LM5017 ベースのデバイスを推奨)。これは、半自動モードで動作する複数の TPS23881B デバイスを使用して、ポート数が多い PSE 用に使用できます。電源設計では、負荷がオンになった際に、レールの両端に適切なバルク容量を印加することで、VDD UVLO スレッショルドによって VDD レールが単調に上昇するようにする必要があります。これは、ワーストケースの設計コーナーで想定される負荷電流ステップに対応できるように、VDD レールの両端に適切なバルク容量を印加することで実

現ささらに、電力を供給した後で予期される過渡的障害が発生しても、デカップリング容量とバルク保存容量の組み合せにより、VDD レールを UVLO_FALL スレッショルドよりも高く保持する必要があります。

9.3.2 VPWR

サポートされている VPWR 電源電圧範囲は 44V ~ 57V ですが、2 ペアおよび 4 ペアで 30W ~ 60W の PoE 電力レベルを供給するには最小出力 50V の電源が必要です。また、タイプ 4 (最大 90W) の IEEE 要件を満たすには最小 52V の電源が必要です。TPS23881B には、VPWR 電源から約 10mA (標準値)、12mA (最大値) が必要ですが、VPWR 電源から必要とされる総出力電流は、システムで必要とされるポートの数とタイプによって異なります。TPS23881B は、ポートごとに 15.5W、30W、45W、60W、75W、90W をサポートするように構成でき、電源オン時に比例して電力制限を設定できます。ポートの電力制限 P_{CUT} もプログラム可能で、システム設計の柔軟性をさらに高めることができます。ただし、TI は、サポート対象の PoE タイプに応じて VPWR 電源のサイズを設定することを推奨します。たとえば、TI は 8 つのタイプ 1 (各 15.5W) ポートには 130W 以上の電源を推奨します。また、4 ペアタイプ 3 (60W) ポートには 500W 以上の電源を推奨します。最大ポート電流とスタンバイ電流を想定しています。

注

IEEE 準拠アプリケーションでは、30W を超える電力レベルをサポートできるのは 4 ペア構成のポートのみです

9.4 レイアウト

9.4.1 レイアウトのガイドライン

9.4.1.1 ケルビン電流検出抵抗

各 PSE チャネルの負荷電流は、ロエンド電流検出抵抗の両端の電圧 ($200m\Omega$) として検出されます。より正確な電流センシングを実現するため、電流センス抵抗の下限側のケルビン センシングは、チャネル 1 および 2 には KSENSA、チャネル 3 および 4 には KSENSB、チャネル 5 および 6 には KSENSC、チャネル 7 と 8 には KSENSD を介して提供されます。

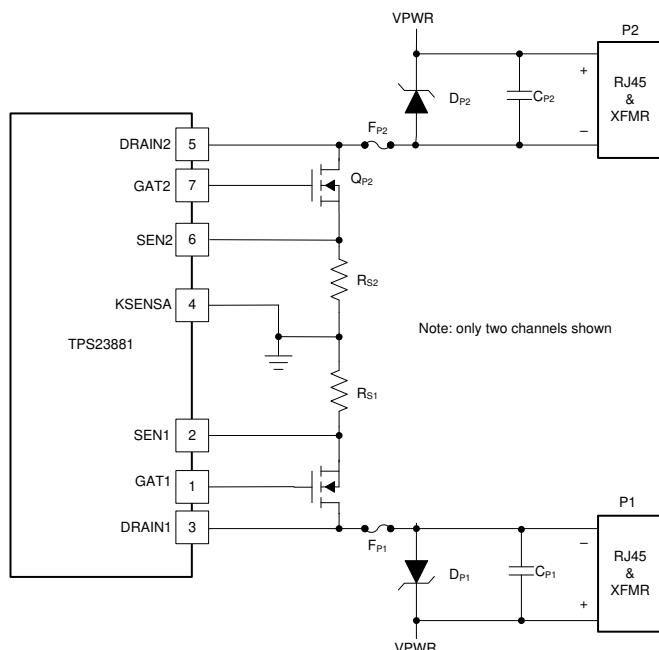


図 9-28. ケルビン電流検出接続

KSENSA は SEN1 と SEN2 で共有、KSENSB は SEN3 と SEN4 で共有、KENSENC は SEN5 と SEN6 で共有、KSENSD は SEN7 と SEN8 で共有されます。測定精度を最適化するには、PCB の配線抵抗の影響を最小限に抑えるため、PCB レイアウトを慎重に行う必要があります。例として、図 9-29 を参照してください。

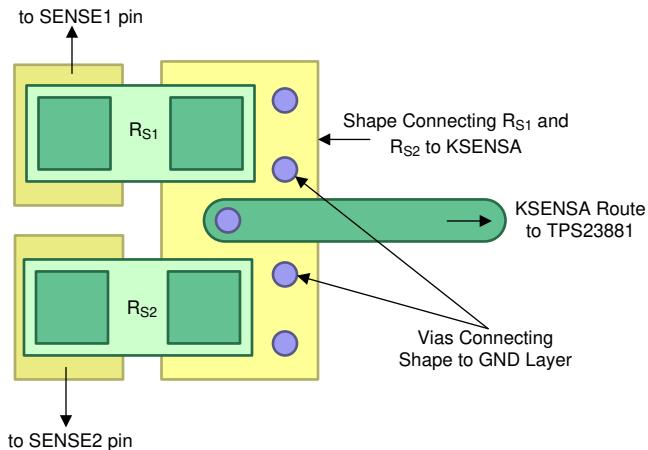


図 9-29. ケルビン検出のレイアウト例

9.4.2 レイアウト例

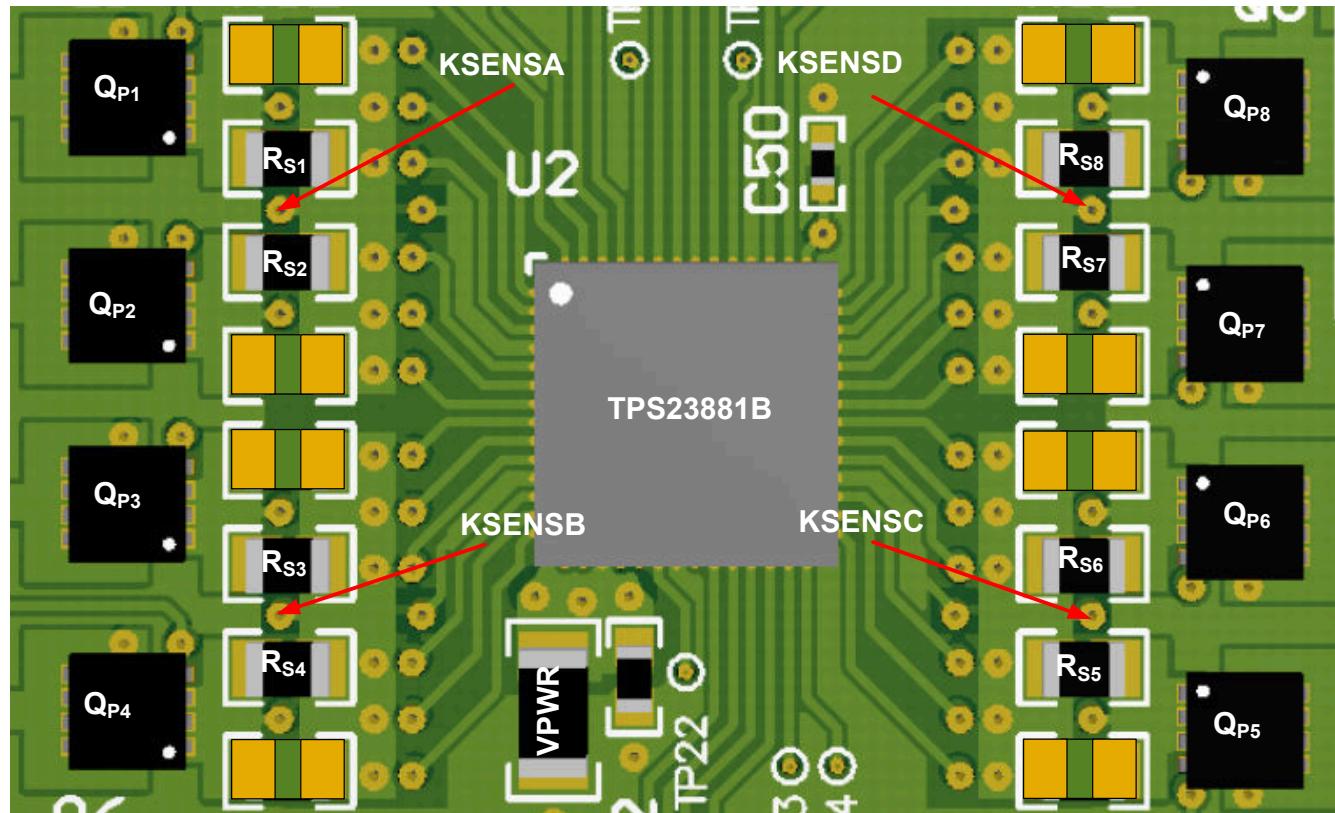


図 9-30. 8 ポートのレイアウト例 (上面)

9.4.2.1 部品の配置と配線のガイドライン

9.4.2.1.1 電源ピンのバイパス コンデンサ

- **C_{VPWR}**: ピン 17 (VPWR) の近くに配置し、図 9-30 に従って、低インダクタンスのパターンおよびビアで接続します。
- **C_{VDD}**: 図 12-3 に従って、ピン 43 (VDD) の近くに配置し、低インダクタンスのパターンおよびビアで接続します。

9.4.2.1.2 ポートごとの部品

- **R_{SnA} / R_{SnB}**: KSENSEA/B/C/D とのクリーンなケルビン接続を容易にするように、図 9-30 に従って配置します
- **Q_{Pn}**: 図 9-30 に示すように、Q_{Pn} は、TPS23881 の周囲に配置します。Q_{Pn} のドレインから F_{Pn} までの間に十分な銅領域を確保します。
- **F_{Pn}, C_{Pn}, D_{PnA}, D_{PnB}**: この回路グループは、RJ45 ポートコネクタ (または、ドーター ボード タイプのインターフェイスを使用する場合はポート電源インターフェイス) の近くに配置します (図 11-3 を参照)。この回路グループは、低インダクタンスのパターンを使用して Q_{Pn} ドレインまたは GND (TPS23881- AGND) に接続します。

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[TPS23881EVM ユーザー ガイド](#)』
- テキサス・インスツルメンツ、『[24 ポート PSE システム向けの IEEE 802.3bt 対応 PSE ドーターカード](#)』
- テキサス・インスツルメンツ、『[TPS2388x SRAM とパリティコードを I²C 経由でロードする方法](#)』アプリケーション ブリーフ
- [TI mySecure ソフトウェア](#)

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (April 2024) to Revision A (May 2025)	Page
• 超低アルファ (ULA) のパッケージ (TPS23881B1A) を追加.....	1
• 43h のデバイス ID 番号を「0010、0010b」から「0010、0100b」に更新.....	39
• ビット 7-4 のデバイス ID 番号を「0010b」から「0100b」に更新.....	115
• ビットを 4-0 から 3-0 に変更.....	115
• ビットを 7-5 から 7-4 に変更.....	115

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS23881B1ARTQR	Active	Production	QFN (RTQ) 56	2000 LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	TPS23881B1A
TPS23881B1RTQR	Active	Production	QFN (RTQ) 56	2000 LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	TPS23881B1
TPS23881B1RTQR.A	Active	Production	QFN (RTQ) 56	2000 LARGE T&R	Yes	NIPDAUAG	Level-3-260C-168 HR	-40 to 125	TPS23881B1

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

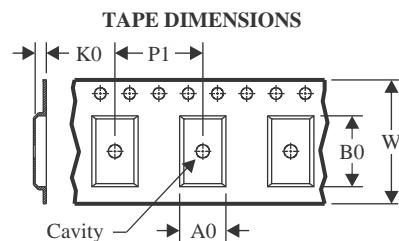
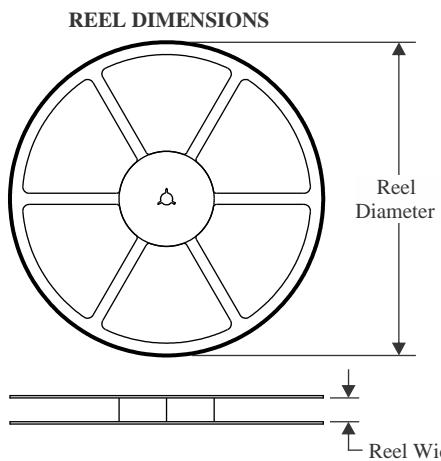
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

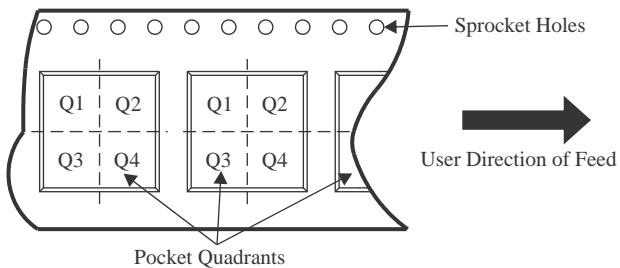
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

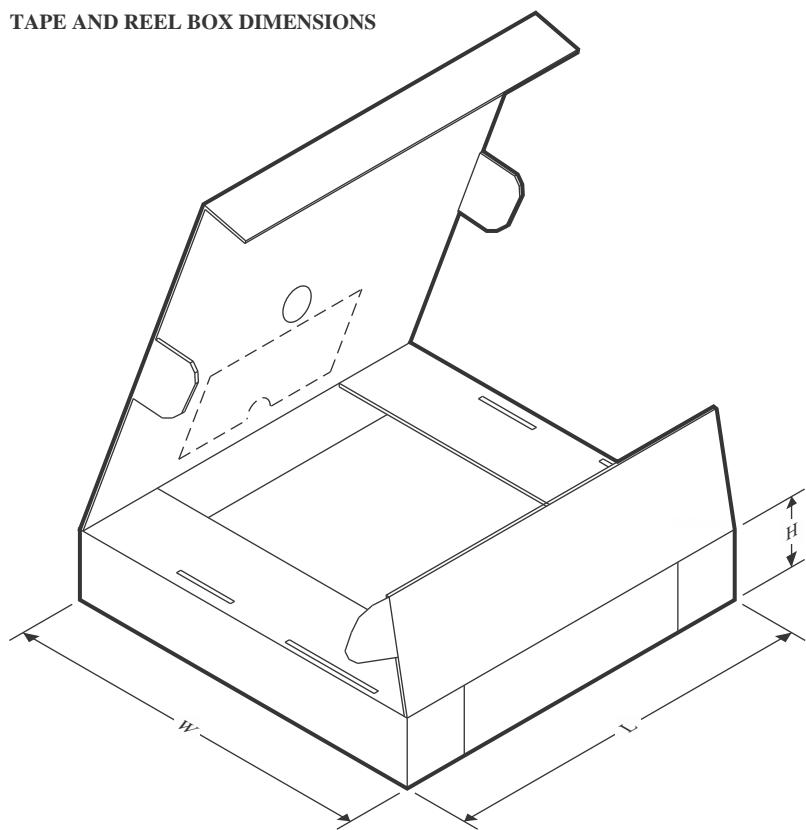
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS23881B1ARTQR	QFN	RTQ	56	2000	330.0	16.4	8.3	8.3	1.1	12.0	16.0	Q2
TPS23881B1RTQR	QFN	RTQ	56	2000	330.0	16.4	8.3	8.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS23881B1ARTQR	QFN	RTQ	56	2000	367.0	367.0	38.0
TPS23881B1RTQR	QFN	RTQ	56	2000	367.0	367.0	38.0

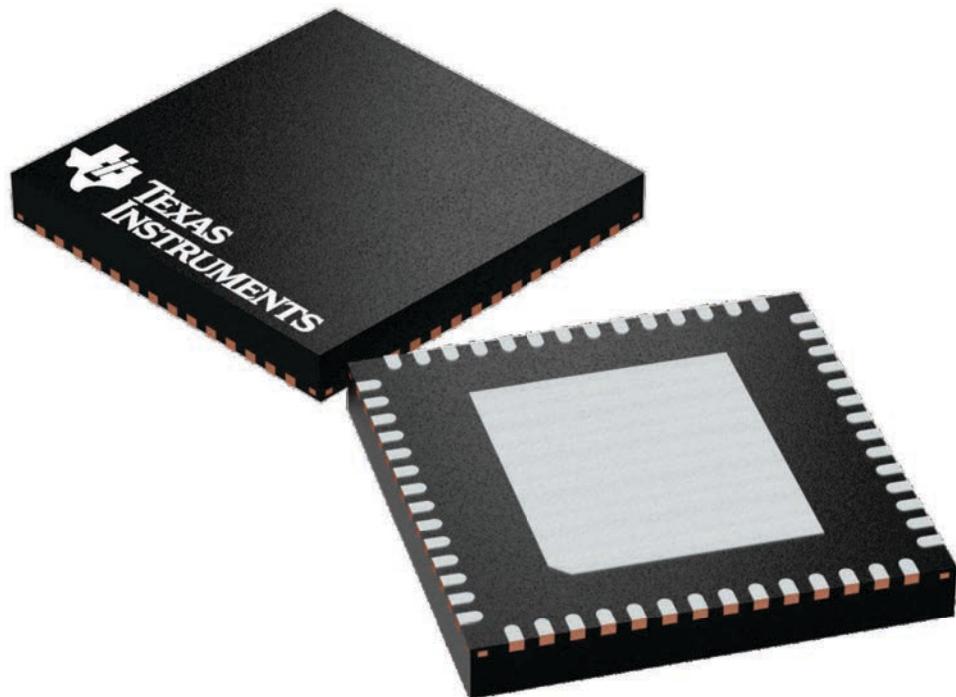
GENERIC PACKAGE VIEW

RTQ 56

VQFN - 1 mm max height

8 x 8, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

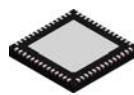


Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224653/A

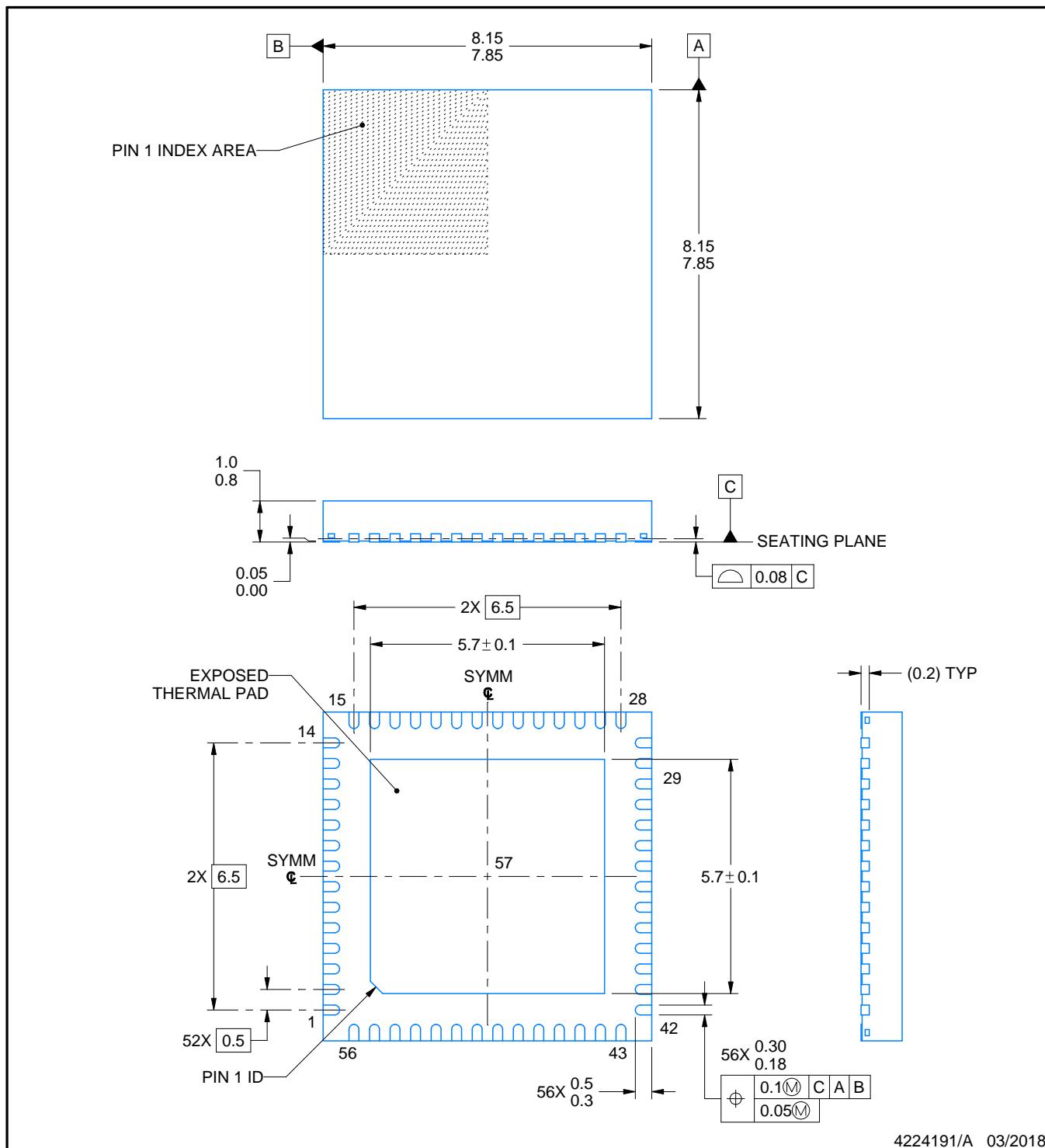
PACKAGE OUTLINE

RTQ0056E



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

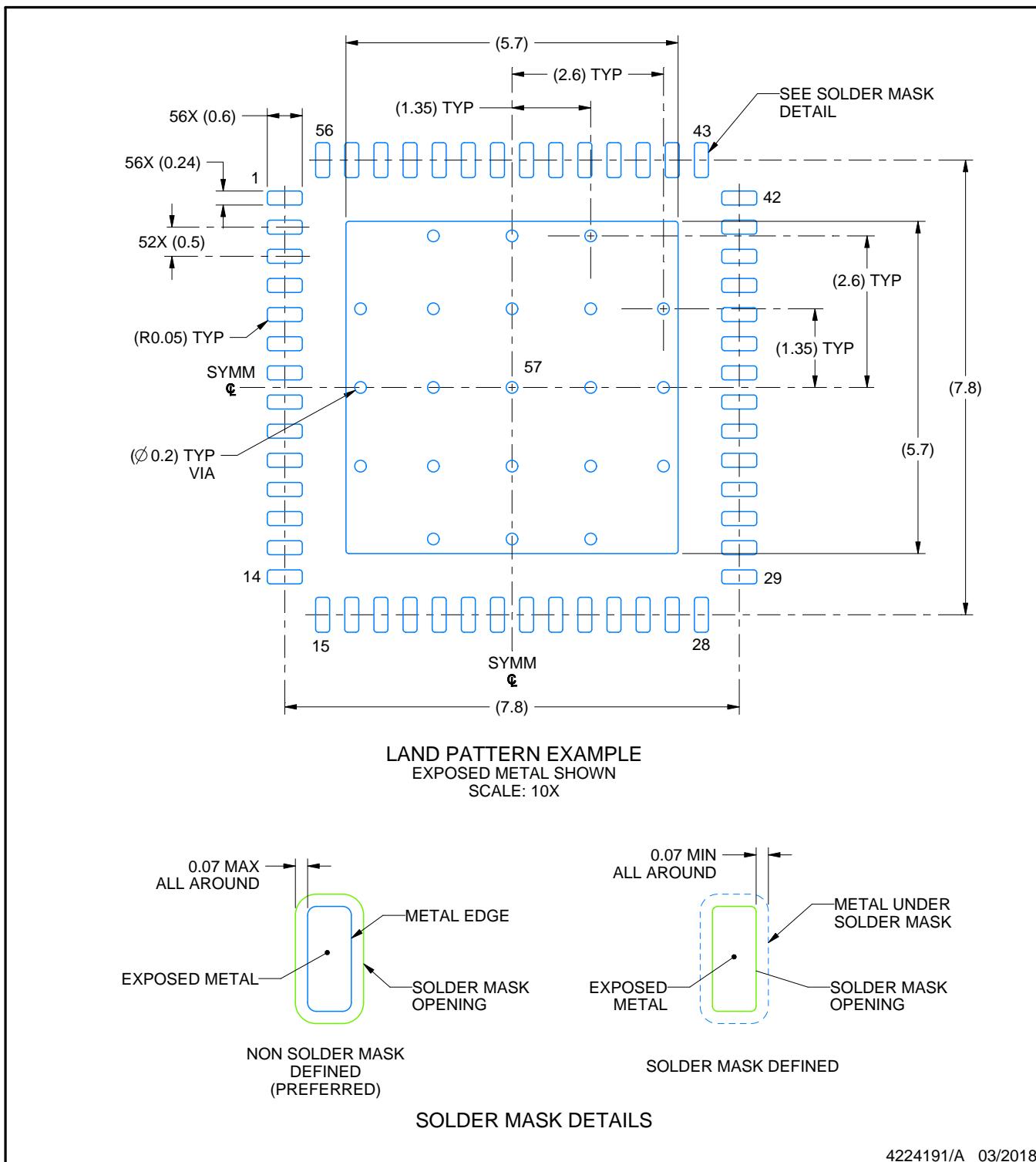
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RTQ0056E

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

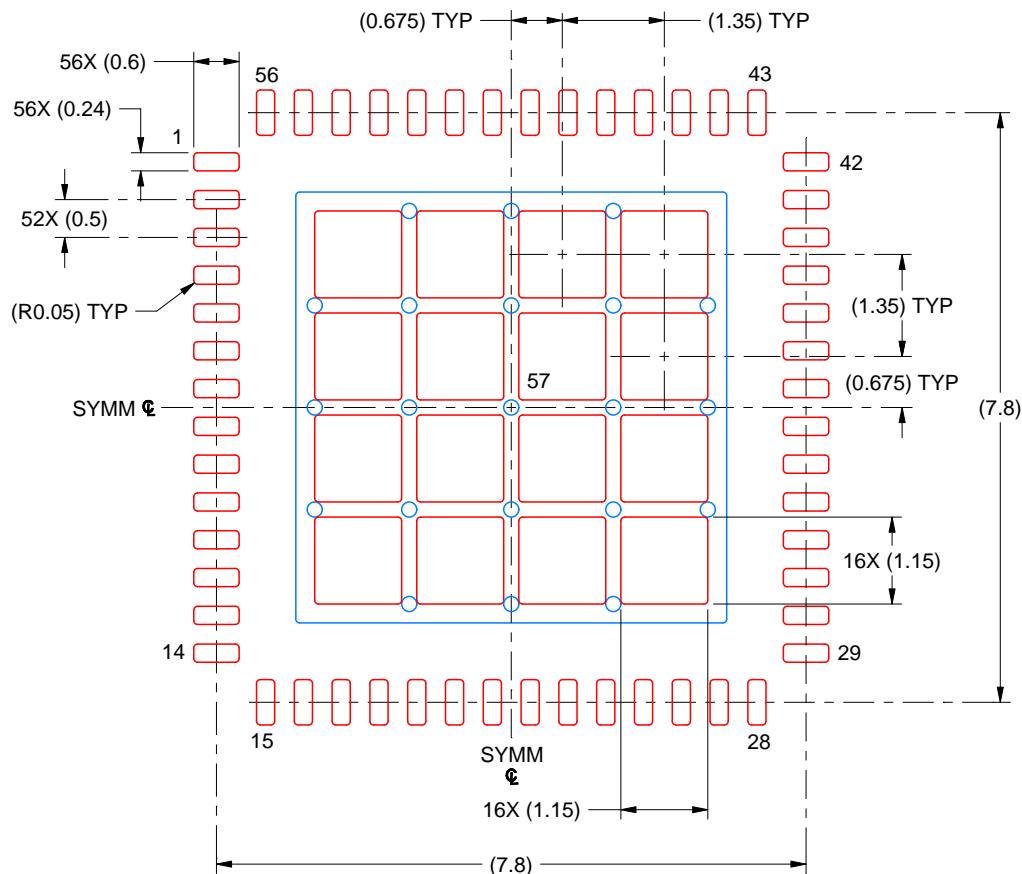
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RTQ0056E

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 10X

EXPOSED PAD 57
65% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4224191/A 03/2018

NOTES: (continued)

- Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月