

TPS16890、9V～80V、3.65mΩ、20A、スタッカブル内蔵型ホットスワップ (eFuse)、PMBus® デジタル遠隔測定搭載

1 特長

- 動作入力電圧範囲: 9V ~ 80V
 - 92V 絶対最大定格
 - 出力側で最大 -5V の負の過渡電圧に耐える
- 低い ON 抵抗の FET を内蔵
 - $R_{ON} = 3.65m\Omega$ (標準値)
- 遠隔測定、制御、構成、デバッグ用の PMBus インターフェイス
 - PIN/EIN/VIN/VOOUT/IIN 温度と故障監視
 - VIN/VOOUT 監視精度: $\pm 0.5\%$
 - プログラム可能な過電流保護
 - 調整可能な過電流スレッシュホールド: 2A ~ 20A
 - プログラマブルな過渡過電流タイム (OC_TIMER)
 - プログラマブルなスルー レート制御 (dvdt)
 - プログラマブルなパワー グッド / 故障 / アラート表示
 - プログラマブルな過熱保護
 - 構成値用の不揮発性構成メモリ
 - 外部 EEPROM への保存オプション付きのブラックボックス故障記録
- 重度の過電流 (短絡) に対する高速トリップ応答
- 高精度アナログ負荷電流監視 (IMON)
 - 誤差 3% 未満 (最大電流の 50% ~ 100% にわたり)
- 小さい占有面積: QFN 6mm × 5mm
 - 60V 対応の IPC9592B クリアランス

2 アプリケーション

- サーバーおよび高性能コンピューティング
- ネットワーク インターフェイス カード
- グラフィックスおよびハードウェア アクセラレータ カード
- データセンター スイッチおよびルータ
- 入力ホットスワップおよびホットプラグ
- ファントレイ

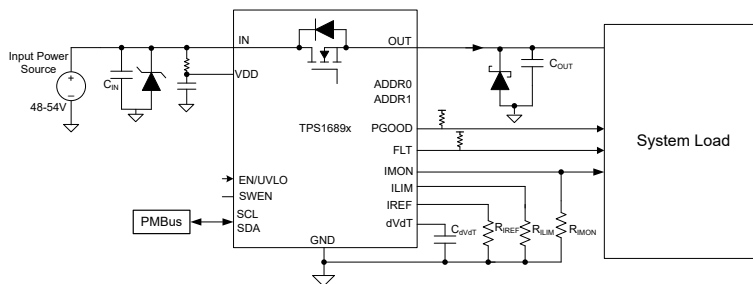
3 概要

TPS1689x は統合型大電流回路保護およびパワー マネージメント ソリューションであり、小型パッケージに封止されています。このデバイスは、非常に少数の外付け部品で複数の保護モードを提供し、過負荷、短絡、および過剰な突入電流に対して堅牢な保護を行います。内蔵 PMBus™ インターフェイスにより、ホスト コントローラはシステムをリアルタイムで監視、制御、および構成できます。リモートテレメトリの場合、主なシステム パラメータを読み戻すことができます。各種の保護、警告スレッシュホールドおよび係数は、PMBus を使用して構成することも、不揮発性コンフィギュレーション メモリに保存することもできます。高速で高精度の検出を行う内蔵のアナログ負荷電流モニタにより、予知保全と高度な動的プラットフォーム電力管理 (Intel® PSYS、PROCHOT など) が容易になり、サーバーおよびデータセンターの性能を最適化します。ブラックボックス フォルト記録機能は、フィールド障害のデバッグや返品時に役立ちます。より大きな電流をサポートするために、TPS1689x を TPS1685x と並列に接続できます。これらのデバイスは、-40°C ~ +125°C の接合部温度範囲で動作が規定されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
TPS16890	VMA (LQFN, 23)	5mm × 6mm

- 供給されているすべてのパッケージについては、[セクション 11](#) を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図



目次

1 特長.....	1	6.4 デバイスの機能モード.....	46
2 アプリケーション.....	1	7 アプリケーションと実装.....	47
3 概要.....	1	7.1 アプリケーション情報.....	47
4 ピン構成および機能.....	3	7.2 代表的なアプリケーション: データセンター サーバ の PMBus® インターフェイスによる 54V、2kW パ ワー パスの保護.....	53
5 仕様.....	5	7.3 電源に関する推奨事項.....	59
5.1 絶対最大定格.....	5	7.4 レイアウト.....	60
5.2 ESD 定格.....	5	8 アプリケーションの制限とエラッタ.....	63
5.3 推奨動作条件.....	5	9 デバイスおよびドキュメントのサポート.....	64
5.4 熱に関する情報.....	6	9.1 ドキュメントのサポート.....	64
5.5 電気的特性.....	6	9.2 ドキュメントの更新通知を受け取る方法.....	64
5.6 PMBus および GPIO の DC 特性.....	9	9.3 サポート・リソース.....	64
5.7 遠隔測定.....	9	9.4 商標.....	64
5.8 ロジック・インターフェイス.....	10	9.5 静電気放電に関する注意事項.....	64
5.9 タイミング要件.....	10	9.6 用語集.....	64
5.10 代表的特性.....	12	10 改訂履歴.....	64
6 詳細説明.....	14	11 メカニカル、パッケージ、および注文情報.....	64
6.1 概要.....	14	11.1 メカニカル データ.....	65
6.2 機能ブロック図.....	15		
6.3 機能説明.....	15		

4 ピン構成および機能

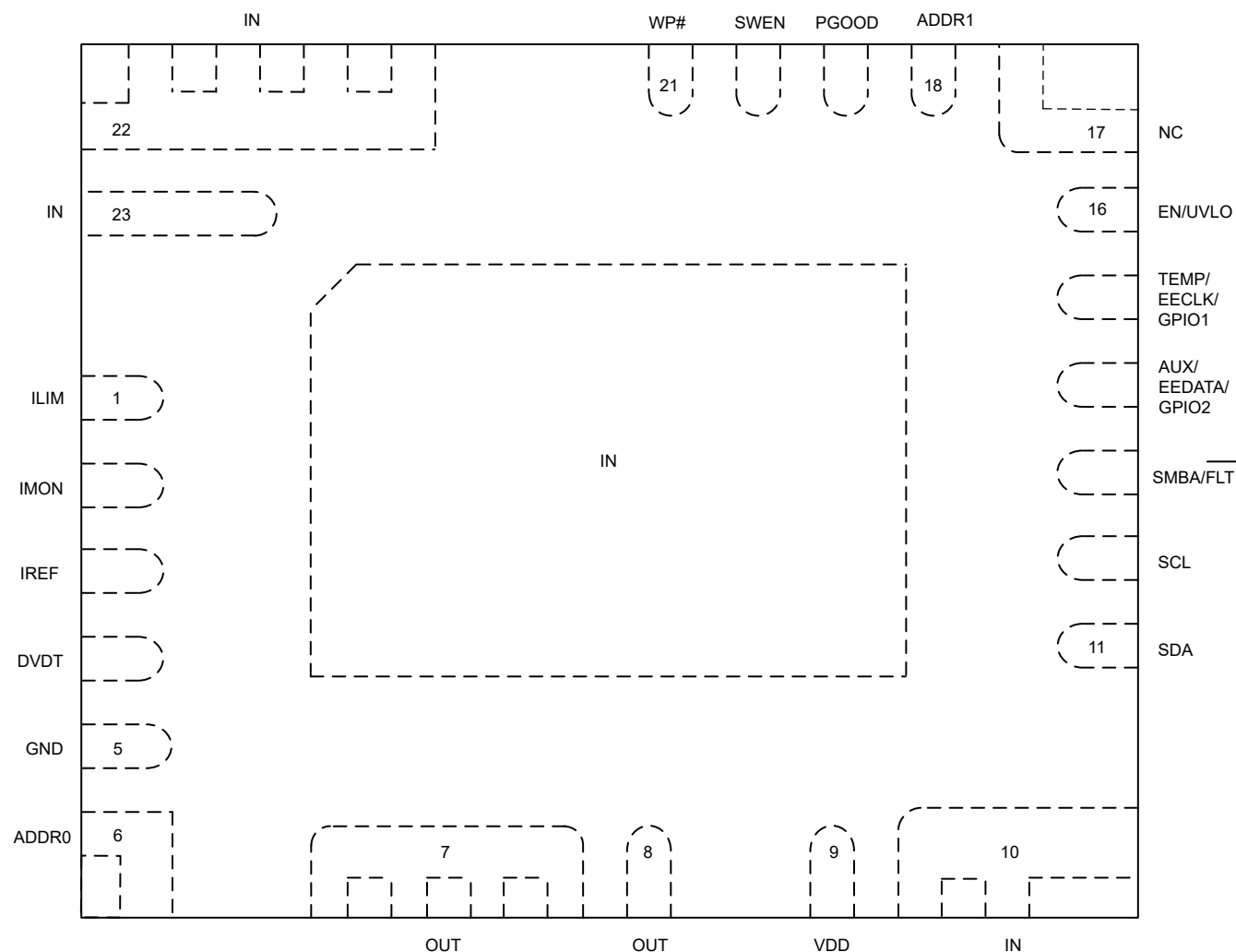


図 4-1. TPS16890 VMA パッケージ、23 ピン LQFN 上面図

表 4-1. ピンの機能

ピン		タイプ	説明
名称	番号		
ILIM	1	O	このピンと GND との間に外付け抵抗を接続することで、定常状態時のアクティブ電流共有スレッショルドが設定されます。このピンは、定常状態時の個別の eFuse 電流モニタ出力としても機能します。フローティングのままにしないでください。
IMON	2	O	このピンと GND の間に外付け抵抗を接続することで、定常状態時の過電流/サーキットブレーカ スレッショルドと高速トリップ スレッショルドが設定されます。このピンは、状態中の高速かつ高精度のアナログ出力負荷電流監視信号としても機能します。フローティングのままにしないでください。
IREF	3	O	内部 DAC を使用して生成される、過電流保護ブロック用のプログラマブル リファレンス電圧。プライマリ / セカンダリ並列構成の他のセカンダリ デバイスのリファレンス電圧を駆動するために使用できます。
DVDT	4	O	起動時出力スルー レート制御ピン。これをオープンのままにすると、最速の起動が可能です。コンデンサをグラウンドと接続することで、スルーレートを低速にし、突入電流を管理します。
GND	5	G	デバイス グラウンド リファレンス ピン。システム グラウンドに接続します。

表 4-1. ピンの機能 (続き)

ピン		タイプ	説明
名称	番号		
ADDR0	6	I	I ² C アドレス構成ピン。ピン ストラップをオープン / 接地短絡、または抵抗接地することで、各種アドレスの組み合わせを生成します。
OUT	7、8	P	電力出力。適切な放熱のため、出力電源プレーンに均一に半田付けする必要があります。
VDD	9	P	コントローラ電源入力ピン。システムの過渡現象の影響を受けない、フィルタリングされ安定した電源で内部制御回路に電力を供給するために使用できます。 このピンを直列抵抗を介して VIN に接続し、デカップリング コンデンサを GND 追加します。
IN	10、22、23、露出パッド	P	電源入力。適切な放熱を確保し、デバイスへの最適な電流分配を維持するため、入力電源プレーンに均一に半田付けする必要があります。
SDA	11	I/O	PMBus インターフェイス用の I ² C データライン。外部プルアップ抵抗が必要です。
SCL	12	I	PMBus インターフェイス用の I ² C クロックライン。外部プルアップ抵抗が必要です。
SMBA/FLT	13	O	FAULTB 出力。または SMBus アラート出力。外部プルアップ抵抗が必要です。
AUX/EEDATA/ GPIO2	14	I/O	ADC または外部 EEPROM データ IO または汎用デジタル IO 用の補助入力
TEMP/EECLK/ GPIO1	15	I/O	アナログ温度出力。複数のデバイスの TEMP 出力を並列構成で接続することで、チェーンのピーク温度を取得できます。または外部 EEPROM クロック出力、または汎用デジタル IO。
EN/UVLO	16	I	アクティブ High イネーブル入力。入力電源から抵抗分割器を接続して、低電圧スレッシュホールドを設定します。 フローティングのままにしないでください。
NC	17	-	内部接続なし。
ADDR1	18	I	I ² C アドレス構成ピン。ピン ストラップをオープン / 接地短絡、または抵抗接地することで、各種アドレスの組み合わせを生成します。
PGOOD	19	O	オープンドレインのアクティブ high パワーグッド出力。このピンには、内部電源電圧への弱いプルアップがあります。
SWEN	20	I/O	パワー スイッチのオン / オフ ステータスを示すオープンドレイン信号。これにより、並列チェーン内の複数のデバイスを簡単に同期できます。このピンには内部にプルアップ抵抗があります。
WP#	21	I	書き込み保護: このピンを GND に接続すると、デバイスへの PMBus 書き込みアクセスが完全に無効化されます。このピンがフローティングのとき、PMBuswrite アクセスは MFR_WRITE_PROTECT コマンドによって制御されます。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

パラメータ	ピン	最小値	最大値	単位
V _{INMAX} , V _{DDMAX}	最大入力および電源電圧 (−40°C ≤ T _J ≤ 125°C)	IN, VDD	−0.3 90	V
V _{INMAX} , 25, V _{DDMAX} , 25	最大入力および電源電圧 (25°C ≤ T _J ≤ 125°C)	IN, VDD	−0.3 92	V
V _{OUTMAX}	最大出力電圧	OUT	−5 ⁽²⁾ Min(92V, V _{IN} + 0.3)	
V _{IN} ~ V _{OUT}	IN と OUT の最大差	IN, OUT	−0.3 90	V
V _{ILIMMAX}	ILIM ピンの最大電圧	ILIM	−0.3 内部的に制限	V
V _{IMONMAX}	IMON ピンの最大電圧	IMON	−0.3 内部的に制限	V
V _{ADDRMAX}	ADDR1, ADDR0 ピンの最大電圧	ADDR1, ADDR0	−0.3 内部的に制限	V
V _{I2CMAX}	SCL, SDA ピンの最大電圧	SCL, SDA	−0.3 6	V
V _{IREFMAX}	IREF ピンの最大電圧	IREF	−0.3 6	V
V _{DVDTMAX}	DVDT ピンの最大電圧	DVDT	−0.3 6	V
V _{AUXMAX}	AUX/EEDATA/GPIO2 ピンの最大電圧	AUX/EEDATA/GPIO2	−0.3 6	V
V _{SWENMAX}	SWEN ピンの最大電圧	SWEN	−0.3 6	V
I _{SWENMAX}	SWEN ピンの最大シンク	SWEN	10	mA
V _{ENMAX}	EN/UVLO ピンの最大電圧	EN/UVLO	−0.3 6	V
V _{FLTBMAX}	SMBA/FLT ピンの最大電圧	SMBA/FLT	−0.3 6	V
I _{FLTBMAX}	SMBA/FLT ピンの最大シンク電流	SMBA/FLT	10	mA
V _{PGOODMAX}	PGOOD ピンの最大電圧	PGOOD	−0.3 6	V
I _{PGOODMAX}	PGOOD ピンの最大シンク電流	PGOOD	10	mA
V _{TEMPMAX}	TEMP/EECLK/GPIO1 ピンの最大電圧	TEMP/EECLK/GPIO1	−0.3 6	V
I _{MAX}	最大連続スイッチ電流	IN から OUT	内部的に制限	A
T _{JMAX}	接合部温度		内部的に制限	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) FET オフで最大 5μs の負の過渡状態。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±1500	V
		デバイス帯電モデル (CDM)、JEDEC 規格 JESD22-C101 準拠、すべてのピン ⁽²⁾	±500	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	ピン	最小値	最大値	単位
V _{IN}	入力電圧範囲	IN	9 80	V

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		ピン	最小値	最大値	単位
V _{DD}	電源電圧範囲	VDD	9	80	V
V _{OUT}	出力電圧範囲	OUT		V _{IN}	V
V _{EN/UVLO}	イネーブル ピン電圧範囲	EN/UVLO		5	V
V _{dVdT}	dVdT ピン コンデンサ電圧定格	dVdT	4		V
V _{PGOOD}	PGOOD ピンのプルアップ電圧範囲	PG		5	V
V _{I2C}	I ² C プルアップ電圧範囲	SCL、SDA	1.8	5	V
C _{I2C}	I ² C バスの容量	SCL、SDA		200	pF
V _{TEMP/EECLK/GPIO1}	TEMP/EECLK/GPIO1 ピンの電圧範囲	TEMP/EECLK/ GPIO1		5	V
V _{SMBA/FLTb}	SMBA/FLT ピンのプルアップ電圧範囲	SMBA/FLT		5	V
V _{SWEN}	SWEN ピンのプルアップ電圧範囲	SWEN		5	V
V _{AUX}	AUX ピンの電圧定格	AUX		1.2	V
V _{IREF}	IREF ピンの電圧範囲	IREF	0.3	1.2	V
V _{ILIM}	ILIM ピンの電圧範囲	ILIM		0.4	V
V _{IMON}	IMON ピンの電圧範囲	IMON		1.2	V
C _{IN}	IN ピン上のコンデンサ	IN	10		nF
C _{OUT}	OUT ピン上のコンデンサ	OUT	10		μF
dV _{IN} /dt	IN ピンのスルー レート	IN		500	V/μs
I _{MAX}	連続スイッチ電流	IN から OUT		20	A
I _{MAX} , パルス	持続時間 ≤10 ms、T _A ≤ 70 °C のピーク出力電流	IN から OUT		27	A
T _J	接合部温度		-40	125	°C

5.4 熱に関する情報

熱評価基準		TPS1689x	単位
		LQFN	
		ピン	
R _{θJA}	接合部から周囲への熱抵抗	22.8	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.1	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	10.7	°C/W

5.5 電気的特性

−40°C ≤ T_J ≤ +125°C、V_{IN} = V_{DD} = 45 V ∼ 60 V、OUT = Open、R_{ILIM} = 931 Ω R_{IMON} = 2.55 kΩ、V_{IREF} = 1 V、 $\overline{\text{FLT}}$ = 33 kΩ プルアップ (3.3 V)、PGOOD = 33 kΩ プルアップ (3.3 V)、C_{OUT} = 10 μF、C_{IN} = 10 nF、dVdT = Open、V_{EN/UVLO} = 2 V、TEMP/EECLK/GPIO1 = Open、AUX/EEEDATA/GPIO2 = Open、ADDR0 = Open、ADDR1 = Open、SCL = 330Ω プルアップ (3.3 V)、SDA = 330Ω プルアップ (3.3 V)。(特に記載がない限り、すべての電圧は GND を基準とする)

パラメータ	テスト条件	最小値	標準値	最大値	単位
入力電源 (VDD)					
V _{IN}	入力電圧範囲	9		80	V
V _{DD}	入力電圧範囲	V _{IN}		80	V
I _{QON(VDD)}	V _{DD} ON 状態静止電流	V _{DD} > V _{UVPR} 、V _{EN} ≥ V _{UVLOR} 、V _{OVP} < V _{OVPF}		4.5	mA
V _{UVPR}	V _{DD} 低電圧保護スレッシュホルド立ち上がり	V _{DD} 立ち上がり		8.5	V
V _{UVPF}	V _{DD} 低電圧保護スレッシュホルド立ち下がり	V _{DD} 立ち下がり		7.05	V

−40°C ≤ T_J ≤ +125°C, V_{IN} = V_{DD} = 45 V ~ 60 V, OUT = Open, R_{ILIM} = 931 Ω R_{IMON} = 2.55 kΩ, V_{IREF} = 1 V, $\overline{\text{FLT}}$ = 33 kΩ プルアップ (3.3 V), PGOOD = 33 kΩ プルアップ (3.3 V), C_{OUT} = 10 μF, C_{IN} = 10 nF, dVdT = Open, V_{EN/UVLO} = 2 V, TEMP/EECLK/GPIO1 = Open, AUX/EEData/GPIO2 = Open, ADDR0 = Open, ADDR1 = Open, SCL = 330Ω プルアップ (3.3 V), SDA = 330Ω プルアップ (3.3 V)。(特に記載がない限り、すべての電圧は GND を基準とする)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{UVPHYS}	UVP ヒステリシス VDD			1.45		V
入力電源 (IN)						
V _{UVLOR(VIN)}	VIN 低電圧スレッシュホールド立ち上がり	V _{IN} 立ち上がり, VIN_UV_FLT = 0x71		40.3		V
V _{UVLOF(VIN)}	VIN 低電圧スレッシュホールド立ち下がり	V _{IN} 立ち下がり, VIN_UV_FLT = 0x71		38.7		V
I _{QON(VIN)}	VIN ON 状態静止電流	V _{EN} ≥ V _{UVLOR}		1.38		mA
I _{QOFF(VIN)}	VIN OFF 状態電流	V _{SDR} < V _{EN} < V _{UVLO}		1.83		mA
I _{SD(VIN)}	VIN シャットダウン電流	V _{EN} < V _{SDF}		1.81		mA
イネーブル / 低電圧誤動作防止 (EN/UVLO)						
V _{UVLOR}	オンにするための EN/UVLO ピン電圧スレッシュホールド、立ち上がり	EN/UVLO 立ち上がり		1.2		V
V _{UVLOF}	オフにして QOD を作動させるための EN/UVLO ピン電圧スレッシュホールド、立ち下がり (プライマリ デバイス)	EN/UVLO 立ち下がり		1.12		V
V _{UVLOHYS}	UVLO ヒステリシス			94		mV
V _{SDF}	シャットダウン スレッシュホールド	EN/UVLO 立ち下がり		0.46		V
V _{SDR}	シャットダウン スレッシュホールド	EN/UVLO 立ち上がり		0.51		V
過電圧保護 (IN)						
V _{IN-OVPR}	IN 過電圧保護スレッシュホールド (立ち上がり)	VIN_OV_FLT = 0xb1		60.1		V
V _{IN-OVPF}	IN 過電圧保護スレッシュホールド (立ち下がり)	VIN_OV_FLT = 0xb1		57		V
V _{IN-OVPHYS}	IN 過電圧保護スレッシュホールド (ヒステリシス)	VIN_OV_FLT = 0xb1		3		V
オン抵抗 (IN - OUT)						
R _{ON}	オン状態抵抗	I _{OUT} = 12A		3.65		mΩ
電流制限基準 (IREF)						
V _{IREF}	電流制限リファレンス DAC 出力電圧	V _{IREF} = 0x32 (デフォルト)		1		V
V _{IREF}	電流制限リファレンス DAC 出力電圧	V _{IREF} = 0x00		0.3		V
V _{IREF}	電流制限リファレンス DAC 出力電圧	V _{IREF} = 0x3F		1.182		V
電流制限 (ILIM)						
G _{ILIM(LIN)}	電流モニタ ゲイン (ILIM:IOUT) 対 IOUT。	デバイスが定常状態 (PG アサート)、I _{OUT} = 12A		18.26		uA/A
I _{start-up}	IOUT 起動電流制限レギュレーション スレッシュホールド	V _{IN} - V _{OUT} = 350 mV		0.47		A
V _{FB}	フォールドバック電圧			2.11		V
出力電流モニタと過電流保護 (IMON)						
G _{IMON}	電流モニタ ゲイン (IMON:IOUT)	デバイスが定常状態 (PG アサート)、I _{OUT} = 12A		18.25		uA/A
G _{IMON}	電流モニタ ゲイン (IMON:IOUT)	デバイスが定常状態 (PG アサート)、I _{OUT} = 4A		18.28		uA/A
I _{TRIP}	IOUT 電流制限トリップ (回路ブレーカ) スレッシュホールド	R _{IMON} = 2.32 Ω, V _{IREF} = 1 V		21.52		A
電流故障タイマ (ITIMER)						

$-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$, $V_{\text{IN}} = V_{\text{DD}} = 45\text{ V} \sim 60\text{ V}$, $\text{OUT} = \text{Open}$, $R_{\text{ILIM}} = 931\ \Omega$, $R_{\text{IMON}} = 2.55\text{ k}\Omega$, $V_{\text{IREF}} = 1\text{ V}$, $\overline{\text{FLT}} = 33\text{ k}\Omega$ プルアップ (3.3 V), $\text{PGOOD} = 33\text{ k}\Omega$ プルアップ (3.3 V), $C_{\text{OUT}} = 10\ \mu\text{F}$, $C_{\text{IN}} = 10\text{ nF}$, $\text{dVdT} = \text{Open}$, $V_{\text{EN/UVLO}} = 2\text{ V}$, $\text{TEMP}/\text{EECLK}/\text{GPIO1} = \text{Open}$, $\text{AUX}/\text{EEDATA}/\text{GPIO2} = \text{Open}$, $\text{ADDR0} = \text{Open}$, $\text{ADDR1} = \text{Open}$, $\text{SCL} = 330\ \Omega$ プルアップ (3.3 V), $\text{SDA} = 330\ \Omega$ プルアップ (3.3 V)。 (特に記載がない限り、すべての電圧は GND を基準とする)

パラメータ		テスト条件	最小値	標準値	最大値	単位
短絡保護						
I_{FFT}	定常状態における固定高速トリップ スレッシュヨルド (プライマリ)	PG を High にアサート (MODE = Open)		87.27		A
I_{SFT}	スケーラブルな高速トリップ電流: I_{TRIP} 比	DEVICE_CONFIG [12:11] = 00		40		A
I_{SFT}	スケーラブルな高速トリップ電流: I_{TRIP} 比	DEVICE_CONFIG [12:11] = 01		2.5		A/A
I_{SFT}	スケーラブルな高速トリップ電流: I_{TRIP} 比	DEVICE_CONFIG [12:11] = 10		2		A/A
I_{SFT}	スケーラブルな高速トリップ電流: I_{TRIP} 比	DEVICE_CONFIG [12:11] = 11		1.5		A/A
アクティブ電流共有						
$R_{\text{ON(ACS)}}$	アクティブ電流共有時の R_{ON}	$V_{\text{ILIM}} > 1.1 \times (1/3) \times V_{\text{IREF}}$		4.67		m Ω
$G_{\text{IMON(ACS)}}$	アクティブ電流制限時の IMON:IOUT 比	PG を High にアサート、 $V_{\text{ILIM}} > 1.1 \times V_{\text{IREF}}$		18.7		$\mu\text{A/A}$
$\text{CL}_{\text{REF(ACS)}}$	アクティブ電流共有トリガ スレッシュヨルドと定常状態回路ブレーカ スレッシュヨルドの比	PG は High にアサート		36.80		%
突入電流保護 (DVDT)						
I_{DVDT}	dVdt ビン充電電流 (プライマリ / スタンドアロン モード)	DEVICE_CONFIG[10:9] = 11		3.15		μA
I_{DVDT}	dVdt ビン充電電流 (プライマリ / スタンドアロン モード)	DEVICE_CONFIG[10:9] = 10		2.1		μA
I_{DVDT}	dVdt ビン充電電流 (プライマリ / スタンドアロン モード)	DEVICE_CONFIG[10:9] = 01		1.05		μA
I_{DVDT}	dVdt ビン充電電流 (プライマリ / スタンドアロン モード)	DEVICE_CONFIG[10:9] = 00		0.53		μA
G_{DVDT}	dVdt ゲイン	$0.4\text{ V} < V_{\text{dVdt}} < 2.4\text{ V}$		24.9		V/V
R_{DVDT}	dVdt ビンから GND への放電抵抗			490		Ω
GHI						
$V_{\text{GS(GHI) 立ち上がり}}$	GHI/PG がアサートされている時の G-S スレッシュヨルド			7		V
$V_{\text{GS(GHI) 立ち下がり}}$	GHI/PG がデアサートされている時の G-S スレッシュヨルド			3.4		V
$R_{\text{ON(GHI)}}$	GHI/PG がアサートされている時の R_{on}			3.9		m Ω
クイック出力放電 (QOD)						
I_{QOD}	クイック出力放電プルダウン電流	$V_{\text{SD(R)}} < V_{\text{EN}} < V_{\text{UVLO}}$, $0 < T_J < 125^{\circ}\text{C}$, $V_{\text{IN}} = 51\text{ V}$		21		mA
過熱保護 (OTP)						
TSD	絶対サーマル シャットダウン立ち上がりスレッシュヨルド	T_J 立ち上がり, $V_{\text{IN}} = 51\text{ V}$		150		$^{\circ}\text{C}$
TSD_{HYS}	絶対サーマル シャットダウン ヒステリシス	T_J 立ち下がり, $V_{\text{IN}} = 51\text{ V}$		13		$^{\circ}\text{C}$
FET 正常性モニタ						
V_{DSFLT}	FET D-S 故障スレッシュヨルド	SWEN = L, $V_{\text{IN}} = 51\text{ V}$		0.5		V
アドレス選択 (ADDR0/ADDR1)						
I_{ADDRx}	ADDR0 ビン プルアップ電流			5.05		μA
	ADDR1 ビン プルアップ電流			5.05		μA

−40°C ≤ T_J ≤ +125°C, VIN = V_{DD} = 45 V ~ 60 V, OUT = Open, R_{ILIM} = 931 Ω R_{IMON} = 2.55 kΩ, V_{IREF} = 1 V, $\overline{\text{FLT}}$ = 33 kΩ プルアップ (3.3 V), PGOOD = 33 kΩ プルアップ (3.3 V), C_{OUT} = 10 μF, C_{IN} = 10 nF, dVdT = Open, V_{EN/UVLO} = 2 V, TEMP/EECLK/GPIO1 = Open, AUX/EEDATA/GPIO2 = Open, ADDR0 = Open, ADDR1 = Open, SCL = 330Ω プルアップ (3.3 V), SDA = 330Ω プルアップ (3.3 V)。(特に記載がない限り、すべての電圧は GND を基準とする)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _{OC_BKP}	バックアップ過電流保護スレッショルド	IMON はグラウンドへ短絡		39		A

5.6 PMBus および GPIO の DC 特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
GPIOx						
V _{OL}	GPIOx 出力ロジック Low	ピンは出力として構成され、Low にデアサート。シンク電流 = 20mA。		0.138	0.5	V
V _{OH}	GPIOx 出力ロジック high	ピンは出力として構成され、high にアサート	4.8	4.9		V
R _{GPIO}	GPIOx ピンのプルダウン抵抗	ピンは出力として構成され、Low にデアサート		6.8		Ω
I _{GPIO}	GPIOx ピンのリーク電流	ピンは出力として構成され、high にアサート			1	μA
V _{IH}	GPIOx 入力ロジック high	ピンは入力として構成	1.56			V
V _{IL}	GPIOx 入力ロジック low	ピンは入力として構成			0.82	V
PMBus (SCL/SDA)						
V _{IL_PMBus}	SDA 入力ロジック low				0.85	V
V _{IL_PMBus}	SCL 入力ロジック low				0.85	V
V _{IH_PMBus}	SCL 入力ロジック high		1.35			V
V _{IH_PMBus}	SDA 入力ロジック high		1.35			V
V _{OL_PMBus}	Low レベル出力電圧 - SCL	I _{OL} = -20mA			0.4	V
V _{OL_PMBus}	Low レベル出力電圧 - SDA	I _{OL} = -20mA			0.4	V

5.7 遠隔測定

T_A = 25°C ~ 85°C

パラメータ	テスト条件	最小値	標準値	最大値	単位
遠隔測定					
ADC 分解能			10		ビット
サンプリング レート	ADC 高性能モード		150		KHz
VAUX 絶対誤差	ADC 高性能モード、VAUX = 1.95V (フルスケール)、1 サンプル		0.4		%FS
VIN 絶対誤差	ADC 高性能モード、VIN = 48V、1 サンプル		0.4		%FS
VOUT 絶対誤差	ADC 高性能モード、VOUT = 48V、1 サンプル		0.4		%FS
VTEMP 絶対誤差	ADC 高性能モード		5		°C
VIMON 絶対誤差	ADC 高性能モード、VIMON = 0.8V、1 サンプル		0.4		%FS
PIN 絶対誤差	ADC 高性能モード、VIN = 48V、VIMON = 0.8V、1 サンプル		1		%FS
EIN 絶対誤差	5ms ウィンドウにおける累算エネルギー。VIN = 48V DC、VIMON = 0.8V		1.5		%

5.8 ロジック・インターフェイス

–40°C ≤ T_J ≤ +125°C, V_{IN} = V_{DD} = 45 V ~ 60 V, OUT = Open, R_{ILIM} = 931 Ω R_{IMON} = 2.55 kΩ, V_{IREF} = 1 V, $\overline{\text{FLT}}$ = 33 kΩ プルアップ (3.3 V), PGOOD = 33 kΩ プルアップ (3.3 V), C_{OUT} = 10 μF, C_{IN} = 10 nF, dVdT = Open, V_{EN/UVLO} = 2 V, TEMP/EECLK/GPIO1 = Open, AUX/EEEDATA/GPIO2 = Open, ADDR0 = Open, ADDR1 = Open, SCL = 330Ω プルアップ (3.3 V), SDA = 330Ω プルアップ (3.3 V)。(特に記載がない限り、すべての電圧は GND を基準とする)

パラメータ		テスト条件	最小値	標準値	最大値	単位
WPB						
I _{WPBLKG}	WPB ピンのリーク電流				1	μA
V _{IH_WPB}	WPB 入力ロジック high		2.5			V
V _{IL_WPB}	WPB 入力ロジック Low				0.5	V
SWEN						
R _{SWEN}	SWEN ピン プルダウン抵抗	SWEN が Low にデアサート		7		Ω
I _{SWENLKG}	SWEN ピンのリーク電流	SWEN が high にアサート、10kohms 経由で 5V にプルアップ			2	μA
故障表示 (FLT)						
R _{FLT}	FLT ピン プルダウン抵抗	FLT が Low にアサート		7		Ω
I _{FLTLKG}	FLT ピンのリーク電流	FLT が High にデアサート、10kΩ で 5V にプルアップ			2	μA
パワー グッド表示 (PG)						
R _{PG}	PG ピン プルダウン抵抗	PG が Low にデアサート		7		Ω
I _{PGKG}	PG ピンのリーク電流	PG が High にアサート、10kohms 経由で 5V にプルアップ			2	μA

5.9 タイミング要件

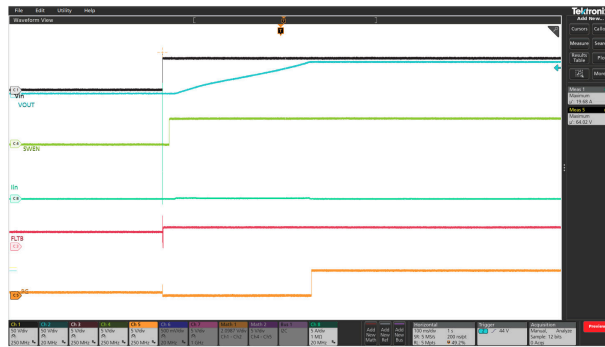
–40°C ≤ T_J ≤ +125°C, V_{IN} = V_{DD} = 45 V ~ 60 V, OUT = Open, R_{ILIM} = 931 Ω R_{IMON} = 2.55 kΩ, V_{IREF} = 1 V, $\overline{\text{FLT}}$ = 33 kΩ プルアップ (3.3 V), PGOOD = 33 kΩ プルアップ (3.3 V), C_{OUT} = 10 μF, C_{IN} = 10 nF, dVdT = Open, V_{EN/UVLO} = 2 V, TEMP/EECLK/GPIO1 = Open, AUX/EEEDATA/GPIO2 = Open, ADDR0 = Open, ADDR1 = Open, SCL = 330Ω プルアップ (3.3 V), SDA = 330Ω プルアップ (3.3 V)。(特に記載がない限り、すべての電圧は GND を基準とする)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t _{OVP}	過電圧保護応答時間	V _{OVP} > V _{OVP} V から SWEN ↓		1.5		μs
t _{Insdy}	挿入遅延	INS_DLY = 0x00, V _{EN/UVLO} > V _{UVLO(R)} から SWEN ↑		10		ms
		INS_DLY = 0x07, V _{EN/UVLO} > V _{UVLO(R)} から SWEN ↑		560		ms
t _{FFT}	固定高速トリップ応答時間ハード短絡	V _{DS} > 1.5 × V _{DSCOMP} から I _{OUT} ↓		200		ns
t _{SFT}	スケーラブルな高速トリップ応答時間	I _{OUT} > 3 × I _{TRIP} から I _{OUT} ↓		400		ns
t _{TIMER}	過電流ブランキング間隔	I _{OUT} = 1.5 × I _{TRIP} , OC_TIMER = 0x00		0		ms
t _{TIMER}	過電流ブランキング間隔	I _{OUT} = 1.5 × I _{TRIP} , OC_TIMER = 0x14 (デフォルト)		2.1		ms
t _{TIMER}	過電流ブランキング間隔	I _{OUT} = 1.5 × I _{TRIP} , OC_TIMER = 0xFF		27.3		ms
t _{RST}	自動再試行間隔	RETRY_CONFIG[2:0] = 100		800		ms
t _{EN(DG)}	EN/UVLO デグリッチ時間			10		μs
t _{SU_TMR}	起動タイムアウト間隔	SWEN ↑ から FLT ↓		8		s
t _{Discharge}	QOD 放電時間 (V _{OUT} の 90% から 10%)	V _{SD} < V _{EN/UVLO} < V _{UVLO} , C _{OUT} = 0.5 mF, V _{IN} = 51 V _o		1300		ms
t _{QOD}	QOD イネーブル タイマ	V _{SD} < V _{EN/UVLO} < V _{UVLO}		5.9		ms

$-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$, $V_{IN} = V_{DD} = 45\text{ V} \sim 60\text{ V}$, $\text{OUT} = \text{Open}$, $R_{ILIM} = 931\ \Omega$, $R_{IMON} = 2.55\text{ k}\Omega$, $V_{IREF} = 1\text{ V}$, $\overline{\text{FLT}} = 33\text{ k}\Omega$ プルアップ (3.3 V), $\text{PGOOD} = 33\text{ k}\Omega$ プルアップ (3.3 V), $C_{OUT} = 10\ \mu\text{F}$, $C_{IN} = 10\text{ nF}$, $\text{dVdT} = \text{Open}$, $V_{EN/UVLO} = 2\text{ V}$, $\text{TEMP}/\text{EECLK}/\text{GPIO1} = \text{Open}$, $\text{AUX}/\text{EEDATA}/\text{GPIO2} = \text{Open}$, $\text{ADDR0} = \text{Open}$, $\text{ADDR1} = \text{Open}$, $\text{SCL} = 330\ \Omega$ プルアップ (3.3 V), $\text{SDA} = 330\ \Omega$ プルアップ (3.3 V)。 (特に記載がない限り、すべての電圧は GND を基準とする)

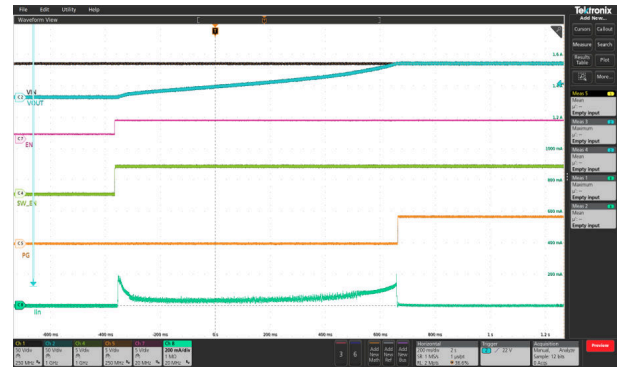
パラメータ		テスト条件	最小 値	標準 値	最大 値	単位
t_{PGA}	PG アサート遅延	DEVICE_CONFIG[15] = 0、デバイスは定常状態、 $V_{\text{OUT}} > V_{\text{OUT_PGTH}}$ から PG \uparrow		100		μs
t_{PGD}	PG デアサート遅延	デバイス定常状態、 $V_{\text{OUT}} < V_{\text{OUT_PGTH}}$ から PG \downarrow		3		μs

5.10 代表的特性



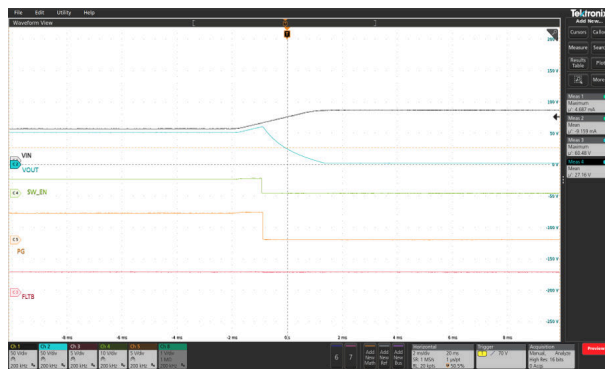
EN を high に保持し、IN 電源を 51V まで上昇。C_{OUT} = 1mF、C_{dVdt} = 68nF

図 5-1. 電源を使用したパワーアップ



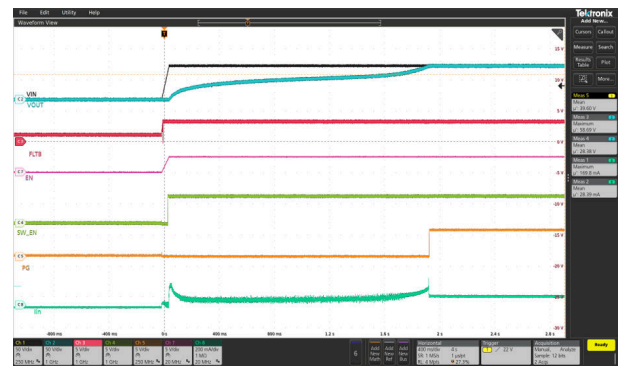
54V で安定している電源では、EN ピンを low から high に切り替え。C_{OUT} = 1mF、C_{dVdt} = 68nF

図 5-2. EN を使用したパワーアップ



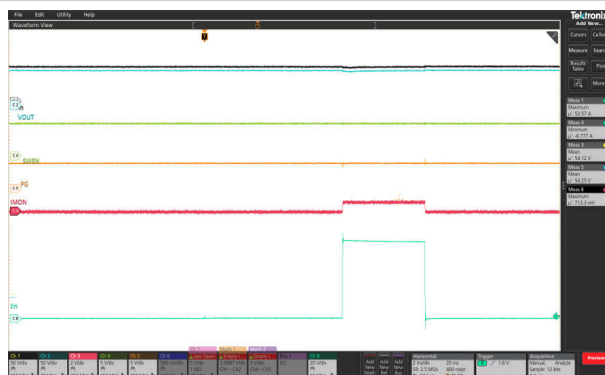
VIN 過電圧立ち上がりスレッシュホールドは 60.47V にプログラム、EN は high に保持、電源電圧は 54V から 80V へと上昇、ランプレートは 10V/ms に設定。C_{OUT} = 1mF、C_{dVdt} = 68nF

図 5-3. 入力過電圧保護



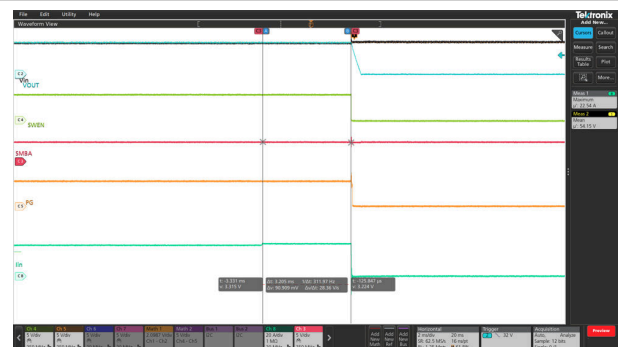
IN 電源は EN、C_{OUT} = 500μF、C_{dVdt} = 68nF、R_{OUT} = 820Ω DVDT スケーリング 100% で 54V に上昇

図 5-4. R と C による突入



定常状態のデバイス、48A の負荷電流を 3ms にわたって印加した後、削除。過電流ブランキング遅延を 3.2ms に設定。Vin = 54V

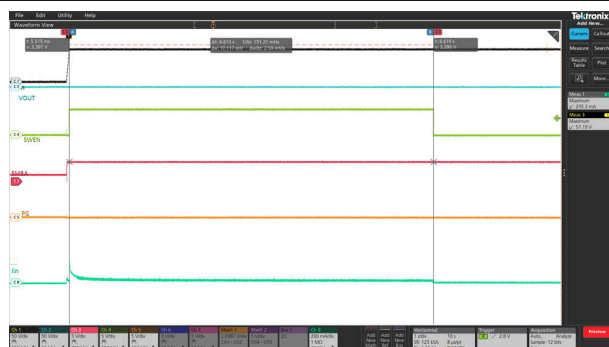
図 5-5. 過渡過電流ブランキング



定常状態のデバイス、負荷電流は 3.2ms を超えて 48A まで上昇。過電流ブランキング遅延を 3.2ms に設定

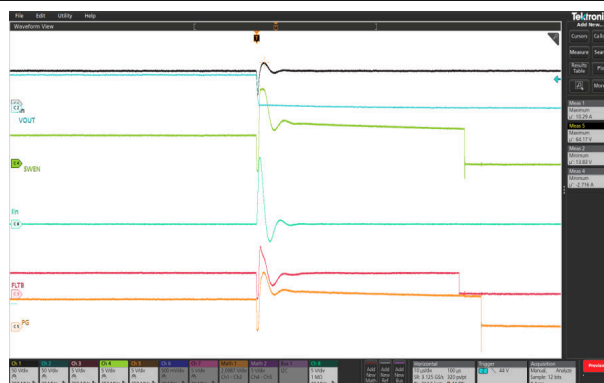
図 5-6. 過電流保護

5.10 代表的特性 (続き)



OUT は GND へ短絡。54V で安定している電源では、EN ピンを low から high に切り替え。

図 5-7. パワーアップ時の短絡保護



デバイスは定常状態、OUT を GND に短絡。Vin = 51V。
C_{out}=3uF. デバイスは 131ns でオフ

図 5-8. 定常状態での短絡保護

6 詳細説明

6.1 概要

TPS1689x は、負荷電圧と負荷電流を管理するために使用されるパワー スイッチ内蔵 eFuse です。TPS1689x は、PMBus 互換のデジタル インターフェイスを備えており、ホストがデバイスの制御、構成、監視、デバッグを行うことが可能です。デバイスは、VDD と IN バスを監視して、動作を開始します。VDD および VIN がそれぞれの低電圧保護 (UVP) スレッシュホルドを超えた場合、デバイスは挿入遅延タイム期間を待機して、起動前に電源が安定するようにします。次に、デバイスは EN/UVLO ピンをサンプリングします。EN/UVLO が Low に保持されている間は、内部 MOSFET とともに、内部制御/デジタル回路がオフになります。このピンが high レベルになると、内部制御回路が有効になり、ホストからコマンドを受信できるように PMBus エンジンが準備されます。

起動シーケンスが成功した後、TPS1689x デバイスは負荷電流と入力電圧をアクティブに監視し、内部 FET を制御して、プログラムされた過電流スレッシュホルド I_{TRIP} を超過しておらず、過電圧スパイクがカットオフされていることを確認します。これにより、有害なレベルの電圧や電流からシステムを安全な状態に保つことができます。同時に、ユーザー プログラマブル過電流ブランキング タイマを使用すると、システムは eFuse をトリップせずに、負荷電流の過渡ピークに対応できます。これにより、過渡耐性のある実際の故障に対する堅牢な保護が維持されるため、システムの稼働時間を最大限に延ばすことができます。

デバイスには推奨動作条件の下でデバイスの安全性と信頼性を維持するため、保護回路が内蔵されています。サーマルシャットダウン メカニズムを使用して常に内部 FET が保護されています。この機能により、接合部温度 (Tj) が過熱しすぎてデバイスの信頼性が高く動作できなくなると FET がオフになります。

TPS1689x には高精度で高帯域幅のアナログ負荷電流モニタが内蔵されているため、システムは定常状態と過渡時に負荷電流を正確に監視できます。これにより、高度な動的プラットフォーム パワー マネージメント手法を容易に実装でき、安全性や信頼性を損なうことなく、システムの電力使用率とスループットを最大化できます。

TPS1689x を使用すると、ホストは PMBus インターフェイス経由で各種のシステム パラメータとステータスを監視できます。また、PMBus 経由でデバイス構成を変更し、システムのニーズに応じてデバイスの動作を制御することもできます。これには、さまざまな警告/故障スレッシュホルド、タイマ、ピン機能が含まれます。構成値は、内部の不揮発性メモリに保存することもできるため、ホストの介入なしにデバイスを事前定義済みの構成で起動できます。

TPS1689x は、高速 ADC サンプル バッファリングやブラックボックス フォルト記録などの高度な遠隔測定機能も備えているため、システム設計とデバッグが容易になります。

より高い負荷電流のサポートを必要とするシステムの場合、TPS1689x を TPS1685x と並列に接続できます。TPS16890 はプライマリ コントローラとして動作し、PMBus 経由でチェーン全体の制御、遠隔測定、構成を可能にします。各デバイスは動作状態を同期し、適切な起動、シャットダウン、故障への応答を実現します。

6.2 機能ブロック図

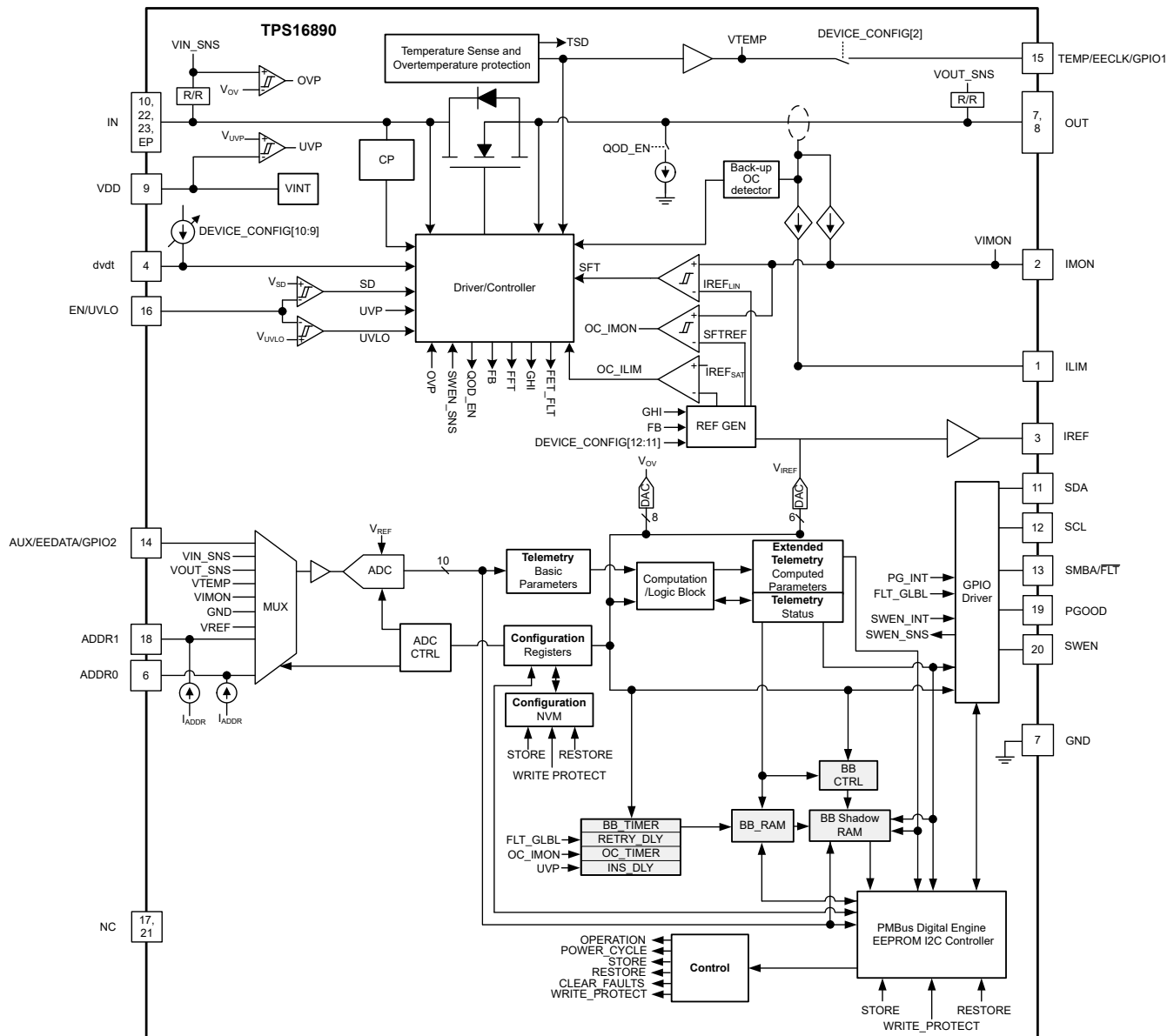


図 6-1. TPS1689 の機能ブロック図

6.3 機能説明

TPS1689 eFuse は、高集積かつ先進的な電力管理デバイスであり、システム故障発生時の監視、検出、保護、および報告を行います。

6.3.1 低電圧保護

TPS1689 は、印加された電圧が低くなりすぎて、システムまたはデバイスが正常に動作できない場合に備えて、VDD および VIN に低電圧誤動作防止を実装しています。低電圧誤動作防止には、VDD にデフォルトの内部スレッシュホールド (V_{UVP})、VIN にプログラム可能なスレッシュホールド (V_{UVLOIN}) があります。また、EN/UVLO ピンに UVLO コンパレータを搭載しているため、外部から低電圧保護スレッシュホールドをユーザー定義の値に調整することもできます。図 6-2 および式 1 に、抵抗デバイダを使用して、特定の電源電圧に対して UVLO 設定ポイントを設定する方法を示します。

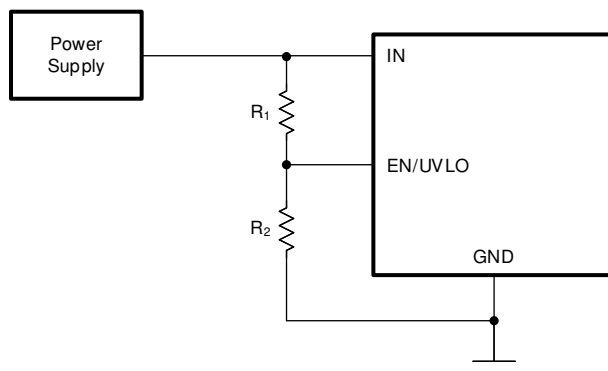


図 6-2. 可変低電圧保護

$$V_{IN(UV)} = V_{UVLO(R)} \frac{R_1 + R_2}{R_2} \quad (1)$$

VIN UVLO 故障スレッシュホールドは、PMBus® 書き込みを使って VIN_UV_FLT レジスタにもプログラムできます。

EN/UVLO ピンには双方向のスレッシュホールドが実装されており、外部ホストからデバイスを制御するために使用できます。

1. $V_{EN} > V_{UVLO(R)}$: デバイスは完全にオンです。
2. $V_{SD(F)} < V_{EN} < V_{UVLO(F)}$: 一部の重要なバイアスとデジタル回路を除き、FET とほとんどのコントローラ回路がオフになります。EN/UVLO ピンをこの状態に t_{QOD} を超える時間保持すると、出力放電機能が起動します。
3. $V_{EN} < V_{SD(F)}$: 部品内のすべてのアクティブ回路がオフになり、デバイスはデジタル状態メモリを保持しません。また、ラッチされた故障、ステータス フラグ、および PMBus® 書き込みによりレジスタに書き込まれた構成値もリセットします。

6.3.2 挿入遅延

TPS1689 は、デバイスが負荷への電力をオンにしようとする前に、電源が安定したことを確認するため、スタートアップ時に挿入遅延を実装しています。これは、ホットスワップアプリケーションで、カードが稼働中のバックプレーンにホットプラグされ、カードがコネクタにしっかりと接続される前に接触バウンスが発生する可能性がある場合に役立ちます。デバイスは最初に、VDD 電源が V_{UVP} スレッシュホールドを上回り、すべての内部バイアス電圧が安定するまで待機します。その後、EN/UVLO ピンの状態に関係なく、 t_{INSDLY} の追加遅延の間、デバイスはオフに維持されます。この操作により、カードがバックプレーンにしっかりと接触する前にデバイスが電源投入しようとした場合、または起動時に電源のリンギングやノイズが発生した場合に、システムで予期しない動作が発生するのを防ぐことができます。

挿入遅延は、PMBus® を使用して不揮発性メモリ/EEPROM の INS_DLY レジスタの値をプログラムすることで変更できます。

6.3.3 過電圧保護

TPS1689x は過電圧ロックアウト機能を実装しており、入力過電圧状態から負荷を保護します。IN の入力電圧が OVP 立ち上がりスレッシュホールドを超えると、 t_{OVP} 以内にパワー FET がオフになります。IN ピンの OVP コンパレータは、デフォルトの内部過電圧保護スレッシュホールドである $V_{OVP(R)}$ を使用しています。このスレッシュホールドは、不揮発性構成メモリのプログラムにより、または PMBus® レジスタから VIN_OV_FLT レジスタへの書き込みにより動的に変更できます。OVP コンパレータには、ノイズ耐性を高めるためのヒステリシスが内蔵されています。IN の電圧が OVP 立ち下がりスレッシュホールド ($V_{OVP(F)}$) を下回ると、FET は dVdt 制御された方法でオンになります。

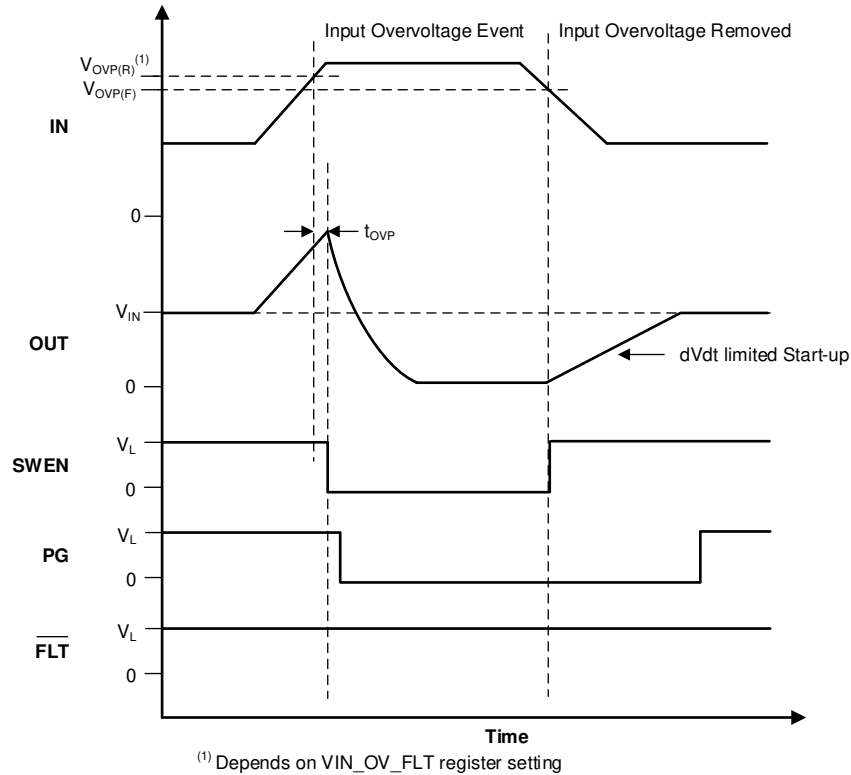


図 6-3. 入力過電圧保護応答

6.3.4 突入電流、過電流、および短絡保護

TPS1689 には、過電流に対する 4 つのレベルの保護が組み込まれています。

1. 突入電流制御のための調整可能なスルー レート (dVdt)
2. 起動時の過電流保護のための、調整可能なスレッショルド (I_{LIM}) を備えたアクティブ電流制限
3. 定常状態での過電流保護のための、調整可能なスレッショルド (I_{OCP}) とブランキング タイム (t_{OC_TIMER}) を備えた回路ブレーカ
4. あらゆる条件下での深刻な短絡から迅速に保護するためのプログラマブルなスレッショルド、および定常状態では固定スレッショルド (I_{FFT}) を備えた、深刻な過電流故障に対する高速トリップ応答

6.3.4.1 スルー レート (dVdt) および突入電流制御

ホットプラグ イベント時や大きな出力容量の充電中に、大きな突入電流が発生する可能性があります。突入電流を適切に管理しないと、システム電源に過剰なストレスが加わり、ドループが発生したり、入力コネクタが損傷したりする可能性があります。この動作により、システム内の他の場所で予期しない再起動が発生する可能性があります。ターンオン時の突入電流は、負荷容量と立ち上がりスルーレートに正比例します。式 2 を使用して、与えられた負荷容量 (C_{LOAD}) について突入電流 (I_{INRUSH}) を制限するのに必要なスルーレート (SR) を計算できます。

$$SR \left(\frac{V}{ms} \right) = \frac{I_{INRUSH} (mA)}{C_{OUT} (\mu F)} \quad (2)$$

DVDT ピンにコンデンサを追加することで、立ち上がりスルーレートを制御し、ターンオン時の突入電流を低減できます。これはまた dVdt レートのスケーリング係数の関数であり、DEVICE_CONFIGregister への PMBus® 書き込みによってデジタル的にプログラムできます。特定のスルーレートを生成するために必要な C_{dVdt} 容量は、式 3 を使用して計算できます。

$$C_{dVdt} (pF) = \frac{50000 \times k}{SR \left(\frac{V}{ms} \right)} \quad (3)$$

ここで、k = 0.25 (DEVICE_CONFIG[10:9] = 00 の場合 (デフォルト))

k = 0.5 (DEVICE_CONFIG[10:9] = 01 の場合)

k = 1 (DEVICE_CONFIG[10:9] = 10 の場合)

k = 1.5 (DEVICE_CONFIG[10:9] = 11 の場合)

dVdt ピンをオープンのままにし、DEVICE_CONFIG[10:9] = 11 を設定すると、最も高速な出力スルーレートを実現できます。

スルーレートは、スタートアップ時に消費されるエネルギーの関数でもあります。DVDT によるスルーレート制御は、スタートアップ電流制限 $I_{startup}$ のみを下回っています。dvdt ピンによるスタートアップ電流が $I_{startup}$ を超えると電流はクランプされ、スルーレートが遅くなります

注

高いターンオン スルーレートと高い入力パワー パスのインダクタンスの組み合わせにより、起動時に発振が発生する場合があります。これは、次の 1 つまたは複数の手順を使用して軽減できます。

1. 入力インダクタンスを小さくする。
2. VIN ピンの容量を増やす。
3. DVDT ピンのコンデンサ値を増やすか、DEVICE_CONFIG[10:9] レジスタビットを使用して DVDT スケーリング係数を変更することにより、スルーレートを低減したり、スタートアップ時間を長くしたりします。TI では最小スタートアップ時間は 30ms を推奨します。

6.3.4.1.1 起動タイムアウト

スタートアップが完了しない場合、つまり、SWEN がアサートされた後、特定のタイムアウト間隔 (t_{SU_TMR}) 内に FET が完全にオンにならない場合、デバイスはそれを故障として登録します。故障ステータスは STATUS_MFR_SPECIFIC レジスタのビット[6] で報告されます。 \overline{FLT} は Low にアサートされ、デバイスは RETRY_CONFIG レジスタ設定に応じてラッチオフまたは自動リトライモードに移行します。

6.3.4.2 定常状態の過電流保護 (サーキット ブレーカ)

TPS1689 は、定常状態時の出力過電流状態に応答して、ユーザーが調整可能な過渡故障ブランキング間隔の後に回路ブレーカ動作を実行します。この動作により、デバイスは短いユーザー定義間隔でより高いピーク電流をサポートできるだけでなく、持続的な出力障害が発生した場合にも堅牢な保護を保証します。

このデバイスは出力負荷電流を継続的に検出し、負荷電流に比例するアナログ電流出力 (I_{IMON}) を IMON ピンに提供します。これにより、式 4 に従って IMON ピン抵抗 (R_{IMON}) の両端に比例電圧 (V_{IMON}) が生成されます。

$$V_{IMON} = I_{OUT} \times G_{IMON} \times R_{IMON} \quad (4)$$

ここで、 G_{IMON} は電流モニタ ゲインです (I_{IMON} : I_{OUT})

この電圧を基準となる IREF ピンの電圧と比較することで、過電流状態が検出されます。リファレンス電圧 (V_{IREF}) は 2 つの方法で制御でき、それに応じて過電流保護スレッショルド (I_{OCP}) を設定します。

- リファレンス電圧 (V_{IREF}) は内部 DAC を使用して生成でき、不揮発性構成メモリをプログラムするか、VIREF レジスタへの PMBus® 書き込みにより動的に変更できます。
- また、外部の低インピーダンス高精度リファレンス電圧源から IREF ピンを駆動することも可能です。

定常状態 (I_{OCP}) 時の過電流保護スレッショルドは、式 5 を使用して計算できます。

$$I_{OCP} = \frac{V_{IREF}}{G_{IMON} \times R_{IMON}} \quad (5)$$

注

TI は、ノイズ耐性を向上させるため、IREF ピンと GND の間に 1nF のコンデンサを追加することを推奨します。

過電流状態、つまり負荷電流がプログラムされた電流制限スレッショルド (I_{OCP}) を上回るが、短絡スレッショルド (I_{SCP}) を下回る状態が検出されると、デバイスは内部の過電流ブランキング デジタル タイマ (OC_TIMER) の実行を開始します。OC_TIMER が期限切れになる前に負荷電流が電流制限スレッショルドを下回ると、回路ブレーカ動作は作動しません。この動作により、短い過負荷過渡パルスが回路をトリップせずにデバイスを通過できるようになります。同時に、OC_TIMER はリセットされ、次の過電流イベントの前にデフォルト状態になります。これにより、すべての過電流イベントに対して、完全なブランキング タイマ間隔が確保されます。

過電流状態が続く場合、OC_TIMER は実行を継続し、期限が切れた後、回路ブレーカの動作により FET が直ちにオフになります。

式 6 を使用して、目的の過電流スレッショルドに対する R_{IMON} 値を計算できます。

$$R_{IMON} = \frac{V_{IREF}}{G_{IMON} \times I_{OCP}} \quad (6)$$

過渡が許容される期間は、PMBus® 書き込みによる OC_TIMER レジスタ設定を使用してプログラムできます。

図 6-4 に、TPS1689 eFuse の過電流応答を示します。回路ブレーカの故障により部品がシャットダウンした後、部品はラッチ オフ状態を維持するか、RETRY_CONFIG レジスタの設定に基づいて自動的に再起動します。

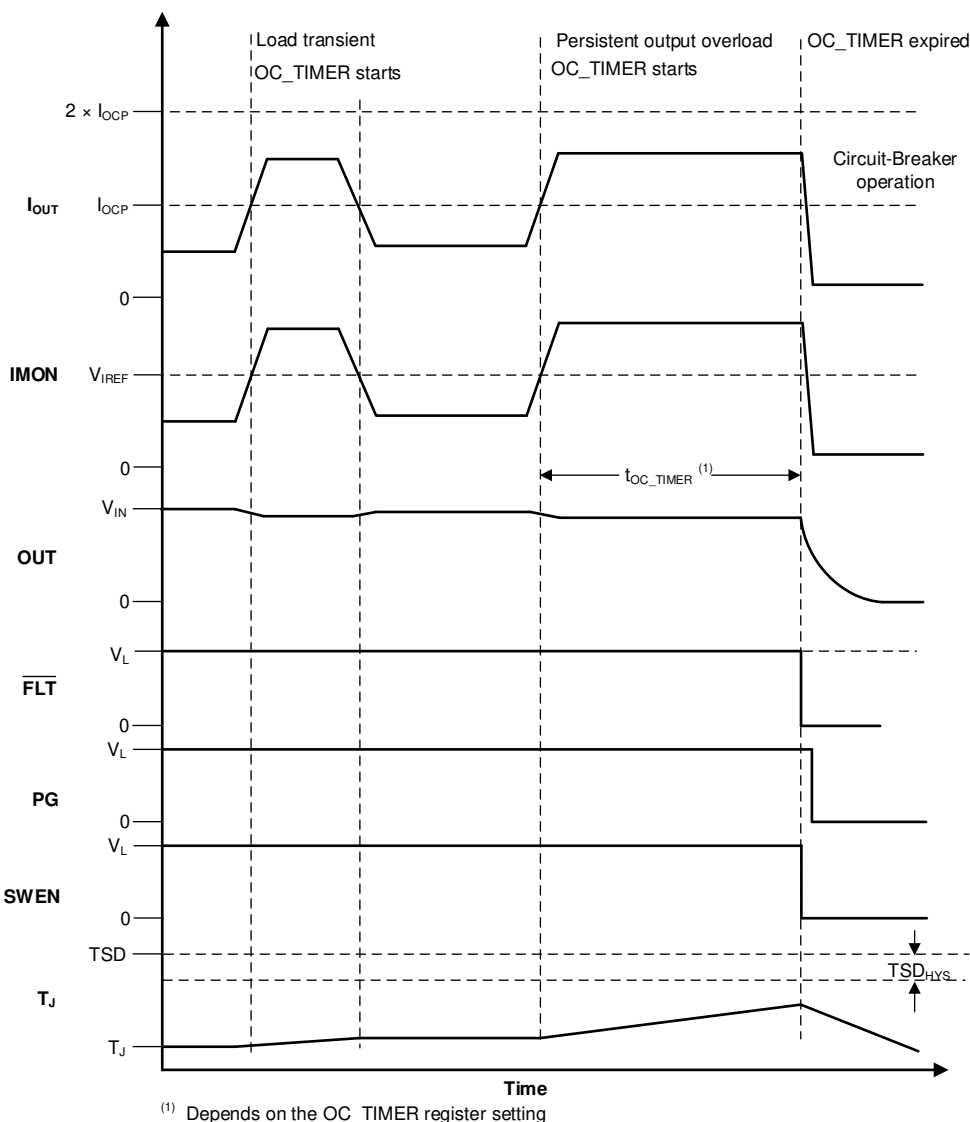


図 6-4. 定常状態の過電流 (回路ブレーカ) 応答

過渡過電流状態 (負荷電流がプログラムされた電流制限スレッシュホールドを超え、OC_TIMER が満了しない) が検出された場合、デバイスは次のように動作します。

- STATUS_MFR_SPECIFIC_2 レジスタの OC_DET ビットをセットする
- ブラックボックス RAM レジスタの 1 つにイベント識別子を OC_DET として書き込みを埋め (書き込み可能な場合)、相対タイムスタンプ情報として書き込みます
- BB_TIMER レジスタのブラックボックス RAM アドレス ポインタを、以前に 6 未満の場合は 1 増やし、それ以外の場合は 0 にリセットします。

注

VIN_UV_WARN、VIN_OV_WARN、VOUT_UV_WARN イベントは、ステップ負荷過渡のためにトリガされないと想定されます。

持続的な過電流状態 (負荷電流がプログラムされた電流制限スレッシュホールドを超え、OC_TIMER が満了) が検出された場合、デバイスは次のように動作します。

- STATUS_BYTE レジスタの FET_OFF ビットと NONE_OF_THE_ABOVE/UNKNOWN ビットを設定します

- STATUS_WORD レジスタの上位バイトの OUT_STATUS、INPUT_STATUS、PGOODB、NONE_OF_THE_ABOVE/UNKNOWN ビットを設定します
- STATUS_OUT レジスタの VOUT_UV_WARN ビットを設定します
- STATUS_INPUT レジスタの OC_FLT ビットを設定します
- STATUS_MFR_SPECIFIC_2 レジスタの PGOODB ビットを設定します
- ALERT_MASK レジスタの STATUS_IN、PGOODB、STATUS_OUT ビットがマスク設定されていない場合、 $\overline{\text{SMBA}}$ をアサートしてホストに通知します。
- 外部 PG 信号をデアサートします。
- FAULT_MASK レジスタの OC_FLT ビットが high に設定されており、マスクされていない場合、 $\overline{\text{FLT}}$ 信号をアサートします。

注

VIN_UV_WARN および VIN_OV_WARN イベントは、ステップ負荷過渡のためにトリガされないものと想定されます。

6.3.4.3 起動時のアクティブ電流制限

TPS1689 は、起動時に出力過電流状態に応答し、電流をアクティブに制限します。起動電流制限は、内部で $I_{\text{start-up}}$ に固定されています。このデバイスはデバイス (I_{DEVICE}) を流れる電流を継続的に検出し、ILIM ピンにアナログ電流出力 (I_{ILIM}) を供給します。その結果、式 7 に従って ILIM ピン抵抗 (R_{ILIM}) に比例した電圧 (V_{ILIM}) を生成します。

$$V_{\text{ILIM}} = I_{\text{DEVICE}} \times G_{\text{ILIM}} \times R_{\text{ILIM}} \quad (7)$$

ここで、 G_{ILIM} は電流モニタ ゲインです ($I_{\text{ILIM}}: I_{\text{DEVICE}}$)

電流レギュレーション中、出力電圧降下により FET 全体のデバイス消費電力が増加します。デバイスの内部温度 (T_J) がサーマル シャットダウン スレッショルドを超えると、FET がオフになります。TSD 故障により部品がシャットダウンした後、本部品はラッチオフされたままになるか、RETRY_CONFIG レジスタ設定に基づく遅延の後で自動的に再起動します。過熱に対するデバイスの応答の詳細については、「過熱保護」のセクションを参照してください。

注

アクティブ電流制限ブロックは、起動時に出力電圧 (V_{OUT}) に基づくフォールドバック機構を採用します。 V_{OUT} がフォールドバック スレッショルド (V_{FB}) を下回ると、電流制限スレッショルドはさらに低下します。

6.3.4.4 短絡保護

出力短絡発生中は、本デバイスを流れる電流が非常に急速に増加します。出力短絡が検出されると、内部高速トリップ コンパレータは高速保護シーケンスをトリガし、電流がそれ以上蓄積して損傷や過剰な入力電源ドループが発生するのを防止します。この操作により、ユーザーはすべてのシステムに適しているとは限らない高い固定スレッショルドを使用する代わりに、システム定格に従って高速トリップスレッショルドを調整できます。高速トリップコンパレータは、スケーラブルなスレッショルド (I_{SFT}) を採用しています。これは、サーキット ブレーカ スレッショルド (I_{OCP}) とデジタルでプログラム可能なスケーリング係数の関数です。デフォルトの高速トリップ スレッショルドは、定常状態時は $2 \times I_{\text{OCP}}$ 、突入時は $2 \times I_{\text{Startup}}$ と等しくなります。定常状態の高速トリップ スレッショルドのスケーリング係数は、DEVICE_CONFIG[12:11] レジスタビットを使用して、異なる値にプログラムできます。1.5×、2×、2.5×、8×のプログラミングオプションが利用可能です。電流が高速トリップ スレッショルドを超えると、TPS1689 は t_{SFT} 以内に FET をオフにします。

また、このデバイスは、より高い固定高速トリップ スレッショルド (I_{FFT}) を採用して、定常状態時 (リニア領域の FET) のハード短絡に対する高速保護を実現します。電流が I_{FFT} を超えると、FET は t_{FFT} 内で完全にオフになります。

高速トリップ イベント後のデバイスの応答は、PMBus® レジスタ書き込みまたは不揮発性構成メモリにより、DEVICE_CONFIG レジスタの SC_RETRY ビットを使用して設定できます。2 つのプログラミング オプションを利用可能です。

1. **SC_RETRY = 0 (デフォルト設定):** デバイスは故障をラッチし、RETRY_CONFIG レジスタ設定に従って、外部的にまたは内部の自動再試行メカニズムによって再起動がトリガされるまで、オフのまま維持されます。

DEVICE_CONFIG レジスタが Low で、SC_RETRY ビットで短絡故障が発生すると、デバイスは次のようになります。

- STATUS_BYTE レジスタの FET_OFF ビットと NONE_OF_THE_ABOVE/UNKNOWN ビットを設定します
- STATUS_WORD レジスタの上位バイト内の OUT_STATUS、PGOODB、および NONE_OF_THE_ABOVE/UNKNOWN ビットを設定します
- STATUS_OUT レジスタの VOUT_UV_WARN ビットを設定します
- STATUS_MFR_SPECIFIC_2 レジスタの PGOODB および SC_FLT ビットを設定します
- ALERT_MASK レジスタの PGOODB ビットと STATUS_OUT ビットを設定してマスクされていない場合、SMBA# をアサートしてホストに通知します。
- 外部 PG 信号をデアサートします。
- FAULT_MASK レジスタの SC_FLT ビットを high に設定してマスクされていない場合、 $\overline{\text{FLT}}$ 信号をアサートします。

2. **SC_RETRY = 1:** このデバイスは、短いデグリッチ期間 (30 μ s) の後で FET が完全にオンに戻るよう試みます。これにより、過渡過電流イベントが発生した後に FET は迅速に試行および回復し、出力電圧低下を最小化できます。ただし、障害が持続する場合、デバイスは電流制限に移行して接合部温度が上昇し、最終的にはサーマルシャットダウンに移行します。デバイスは故障をラッチし、RETRY_CONFIG レジスタ設定に従って、外部的にまたは内部の自動再試行メカニズムによって再起動がトリガされるまで、オフのまま維持されます。過熱に対するデバイスの応答の詳細については、「[過熱保護](#)」セクションを参照してください。

DEVICE_CONFIG レジスタの SC_RETRY ビットで短絡フォルトが発生すると、デバイスは次のようになります。

- STATUS_BYTE レジスタの FET_OFF、STATUS_TEMP、および NONE_OF_THE_ABOVE/UNKNOWN ビットを設定します
- STATUS_WORD レジスタの上位バイトの OUT_STATUS、MFR_STATUS、PGOODB、および NONE_OF_THE_ABOVE/UNKNOWN ビットを設定します
- STATUS_OUT レジスタの VOUT_UV_WARN ビットを設定します
- STATUS_TEMP レジスタの OT_FLT ビットを設定します
- STATUS_MFR_SPECIFIC レジスタの SOA_FLT ビットを設定します
- STATUS_MFR_SPECIFIC_2 レジスタの PGOODB ビットを設定します
- ALERT_MASK レジスタの PGOODB、MFR_STATUS、STATUS_TEMP、および STATUS_OUT ビットを設定してマスクされていない場合、SMBA# をアサートしてホストに通知します。
- 外部 PG 信号をデアサートします。
- FAULT_MASK レジスタの SOA_FLT ビットと TEMP_FLT ビットを high に設定してマスクされていない場合、 $\overline{\text{FLT}}$ 信号をアサートします。

図 6-5 に、TPS1689 eFuse の短絡応答を示します。

複数のホットプラグ可能ブレードまたは共通の電源バックプレーンに接続されたラインカードを搭載したブレードサーバーや通信機器などの一部のシステムでは、誘導バックプレーンを流れる大電流のスイッチングにより電源に過渡現象が発生する可能性があります。これによって、eFuse の高速トリップ コンパレータをトリガするのに十分な大きさの、隣接カードの電流スパイクが発生する可能性があります。TPS1689 は独自のアルゴリズムを使用して、このような場合の不要なトリップを防止し、中断のないシステム動作を実現しています。

注

- STATUS_MFR_SPECIFIC_2 レジスタの VIN_TRAN ステータス ビットが設定され、入力ライン過渡イベントが検出されてマスクされたかどうかを示します。

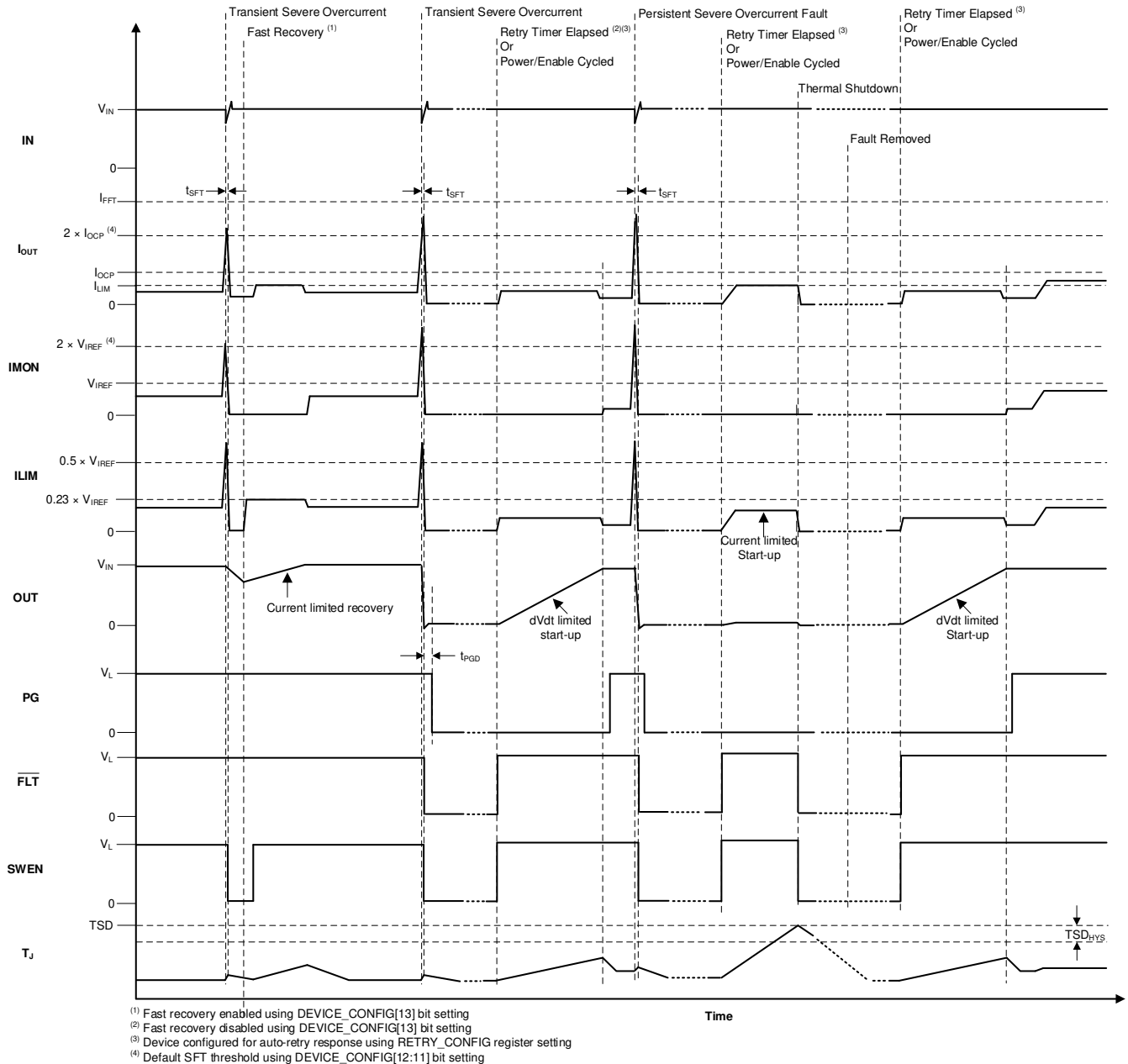


図 6-5. 短絡応答

6.3.5 アナログ負荷電流モニタ (IMON)

TPS1689 では、FET を流れる電流に比例したアナログ電流を IMON ピンに供給することで、システムが出力負荷電流を正確に監視できるようになります。電流出力の利点は、隣接するパターンからの電圧降下やノイズの結合による大きな誤差を発生させずに、信号を基板全体に配線できることです。この電流出力により、複数の eFuse デバイス (TPS1689 または TPS1685x) の IMON ピンを互いに接続して、並列構成で合計電流を得ることもできます。IMON 信号は、監視ポイントで抵抗を介して降下させることで電圧に変換できます。ユーザーは、 R_{IMON} の全体で電圧 (V_{IMON}) を検出し、式 8 を使用して出力負荷電流の測定値を取得できます。

$$I_{OUT} = \frac{V_{IMON}}{R_{IMON} \times R_{IMON}} \quad (8)$$

TPS1689 IMON 回路は、基板レイアウトやその他のシステム動作条件に関係なく、負荷や温度の条件にわたって高帯域と高精度を実現するように設計されています。この設計では、IMON 信号を Intel PSYS または PROCHOT などの高度な動的プラットフォーム パワー マネジメント手法に使用して、安全性や信頼性を犠牲にすることなく、システムの消費電力とプラットフォームのスループットを最大化できます。

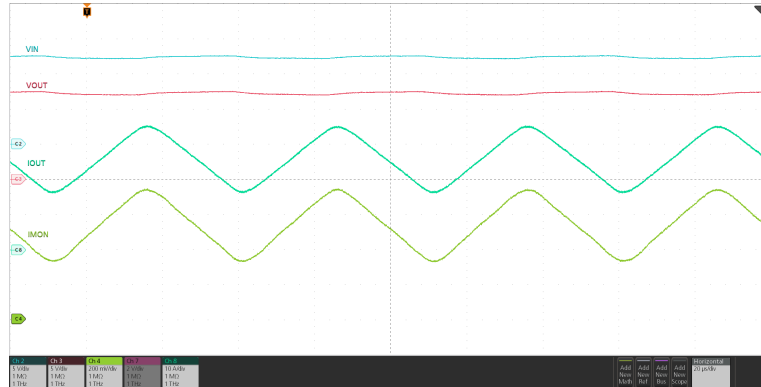


図 6-6. アナログ負荷電流モニタ応答

注

1. IMON ピンは、定常状態時にのみ負荷電流監視情報を提供します。突入電流時、IMON ピンはゼロ負荷電流を報告します。
2. ILIM ピンは個別のデバイス負荷電流を常に報告するため、各デバイスのアナログ負荷電流モニタとしても使用できます。
3. TI は、ノイズ フィルタリングのため、IMON ピンと GND の間に 22 個の pF コンデンサを追加することを推奨します。
4. 起動時の過電流および短絡保護タイミングへの影響を避けるため、ILIM ピンの寄生容量を最小限に抑えるように注意する必要があります。

6.3.6 過熱保護

TPS1689 は、安全に動作するために、内部 FET が過熱した場合にデバイス自体を保護する、内部サーマル シャットダウン メカニズムを採用しています。TPS1689 が熱過負荷を検出すると、デバイスはシャットダウンします。その後、デバイスは、パワー サイクルされるか再度イネーブルになるまでラッチオフ状態にとどまります。またはデバイスの自動再試行構成に基づく遅延後に自動的に再起動されます。

過熱スレッシュホールドにはデフォルトのスレッシュホールド (TSD) があり、システムの必要性に応じて OT_FLT レジスタを使用して低い値にデジタルでプログラムできます。

表 6-1. 過熱保護のまとめ

自動再試行構成	TSD 開始	TSD 終了
ラッチオフ	$V_{TEMP} \geq OT_FLT$ スレッシュホールドまたは $T_J \geq TSD$	$V_{TEMP} < OT_FLT - OT_{Hys}$ または $T_J < TSD - TSD_{Hys}$ VDD が 0V にサイクルされ、 $V_{UVP(R)}$ を上回る、または EN/UVLO が $V_{SD(F)}$ より低くトグルされる
自動再試行	$V_{TEMP} \geq OT_FLT$ スレッシュホールドまたは $T_J \geq TSD$	$V_{TEMP} < OT_FLT - OT_{Hys}$ または $T_J < TSD - TSD_{Hys}$ 再試行タイマが満了する、VDD が 0V にサイクルされ、 $V_{UVP(R)}$ を上回る、または EN/UVLO が $V_{SD(F)}$ より低くトグルされる

6.3.7 アナログ接合部温度モニタ (TEMP)

TPS1689 を使用すると、システムはダイの温度に比例するアナログ電圧を TEMP ピンに供給することで、接合部温度 (T_J) を正確に監視できます。この電圧は、ADC 入力により検出され、デジタル遠隔測定用に READ_TEMPERATURE_1 PMBus® コマンドを使用して通知されます。TPS1689 と TPS1685x を含むマルチデバイス並列構成では、すべてのデバイスの TEMP 出力を相互接続できます。この構成では、チェーン内で最も高温のデバイスの温度が TEMP 信号により報告されます。

注

- TEMP ピンの電圧は外部監視のみに使用され、純粋に内部温度監視に基づいている各個別デバイスの過熱保護方式には影響を与えません。
- TI は、システム過渡時のグリッチをフィルタして除去するため、TEMP ピンに 22pF の容量を追加することを推奨します。

6.3.8 FET の正常性監視

TPS1689 は、パワー パス FET の故障を示す特定の条件を検出して報告できます。検出または報告されない場合、これらの状態は、負荷に正しく電力を供給しないか、必要なレベルの保護を提供しないかのいずれかにより、システム性能を低下させる可能性があります。FET 故障が検出されると、TPS1689 はゲートを Low に引き下げることで内部 FET のオフを試み、FLT ピンをアサートします。指定の FET 故障タイプは、STATUS_MFR_SPECIFIC ステータス レジスタにも報告されます。

- D-S 短絡:** D-S 短絡は、基板アセンブリの欠陥または内部 FET 故障のいずれかにより、ソースから負荷まで、制御されない一定の電力供給経路を形成する可能性があります。この状態は、FET がオンになる前に $V_{IN-OUT} < V_{DSFLT}$ かどうかをチェックすることで、起動時に検出されます。もしそうであれば、デバイスは内部出力放電を作動させ、出力の放電を試みます。 V_{OUT} が特定の許容間隔内に V_{FB} を下回るまで放電されない場合、デバイスは FLT ピンをアサートし、STATUS_MFR_SPECIFIC ステータス レジスタの FET_FAULT_DS ビットを設定します。

注

DEVICE_CONFIG レジスタの DIS_VDSFLT ビットを設定することで、D-S 故障検出をデジタル的に無効化するオプションがあります。これにより、デバイスは D-S 故障をトリガすることなく、事前に充電された出力で起動できます。

- G-D 短絡:** TPS1689 は、内部制御ロジックが FET をオフ状態に保持しようとしても、ゲート電圧が V_{IN} に近いかどうかを常にチェックすることで、この種の FET 故障を常に検出します。この状態が検出されると、デバイスは FLT ピンをアサートし、STATUS_MFR_SPECIFIC ステータス レジスタの FET_FAULT_GD ビットを設定します。
- G-S 短絡:** TPS1689 は、ゲートドライバがオンになった後、FET G-S 電圧が特定のタイムアウト期間 (t_{SU_TMR}) 内に必要なオーバードライブ電圧に達しないかどうかをチェックすることで、起動時にこの種の FET 故障を検出します。定常状態では、コントローラロジックがゲートドライバに FET をオフにするように信号を送信する前に G-S 電圧が Low になると、故障としてラッチされます。この状態が検出されると、デバイスは FLT ピンをアサートし、STATUS_MFR_SPECIFIC ステータス レジスタの FET_FAULT_GS ビットを設定します。

6.3.9 シングル ポイント障害の軽減

TPS1689 は、あらゆる状況で過電流と短絡に対する保護を提供するため、IMON、ILIM、IREF ピンの適切な部品接続とバイアスを使用し、適切なスレッショルド デジタル構成を採用しています。安全対策の追加として、本デバイスは以下のメカニズムを使用して、これらのピンのいずれかがシステム内で正しく接続されなかった場合やフィールド内で関連部品に障害が発生した場合や、構成レジスタが正しくプログラムされていない場合でも、デバイスが何らかの過電流保護を実現するようにします。

6.3.9.1 IMON ピンのシングル ポイント障害

- **IMON ピン オープン:**この場合、IMON ピン電圧が内部的に高電圧にプルアップされ、スレッショルド (V_{IREF}) を超えてしまうため、デバイスに大きな電流が流れていない場合でも、部品が回路ブレーカ動作を実行してしまいます。
- **IMON ピンが直接または非常に低い抵抗を介して GND に短絡されている:**この場合、IMON ピンの電圧は低電圧に保持され、デバイスに大きな電流が流れる場合でもスレッショルド (V_{IREF}) を超えることは許可されず、プライマリ過電流保護メカニズムは無効になります。このデバイスは、バックアップとして何らかの保護を提供するために、内部の過電流検出メカニズムに依存しています。デバイスがバックアップ電流センス スレッショルド (I_{OC_BKP}) を超えたことを検出し、同時に IMON ピンのプライマリ過電流検出が失敗した場合、シングル ポイント障害検出がトリガされ、故障がラッチされます。FET はオフになり、 \overline{FLT} ピンがアサートされます。同時に、STATUS_MFR_SPECIFIC_2 レジスタの SPFAIL ステータス ビットが設定され、SMBA# 信号がアサートされます。

6.3.9.2 IREF ピンのシングル ポイント障害

- **IREF DAC の設定が不適切、または外部で強制的に高い電圧に設定されている:**この場合、IREF ピン (V_{IREF}) は、推奨される I_{OCP} または I_{LIM} の計算に従って目標値よりも高い電圧に内部または外部でプルアップされ、デバイスに大電流が流れている場合でも プライマリ サーキット ブレーカ、アクティブ電流制限、短絡保護がトリガされないようにしています。このデバイスは、内部過電流検出メカニズムに依存して、何らかの保護をバックアップとして実現します。デバイスが、負荷電流がバックアップ過電流スレッショルド (I_{OC_BKP}) を超えていることを検出したが、同時に I_{LIM} または IMON ピンのプライマリ過電流または短絡検出に失敗する場合、シングル ポイント障害検出がトリガされ、故障がラッチされます。FET はオフになり、 \overline{FLT} ピンがアサートされます。同時に、STATUS_MFR_SPECIFIC_2 レジスタの SPFAIL ステータス ビットが設定され、SMBA# 信号がアサートされます。
- **IREF ピンは GND へ短絡:**この場合、 V_{IREF} スレッショルドが 0V に設定されるため、デバイスに大きな電流が流れない場合でも、部品はアクティブ電流制限またはサーキット ブレーカ動作を実行します。

6.3.10 汎用デジタル入出力ピン

TPS1689 には、システムのニーズに応じて異なる機能に構成できる 2 つの汎用デジタル入出力ピンがあります。

1. TEMP/EECLK/GPIO1 (汎用デジタル出力)
2. Aux/EEDATA/GPIO2 (汎用デジタル出力)

これらのピンは、DEVICE_CONFIG レジスタ ビットを使用して構成できます。

6.3.10.1 フォルト応答および表示 (\overline{FLT})

表 6-2 は、各種故障条件に対するデバイスの応答をまとめたものです。

表 6-2. 故障のまとめ

イベントまたは状態	デバイスの応答	内部でラッチされた故障	\overline{FLT} ピンのステータス	ピン表示マスキング オプション	遅延
定常状態	なし	該当なし	H	該当なし	
突入電流	なし	該当なし	H	該当なし	
過熱	シャットダウン	Y	L	Y	
低電圧 (EN/UVLO)	シャットダウン	N	H	該当なし	
低電圧 (VDD UVP)	シャットダウン	N	H	該当なし	
低電圧 (VIN UVP)	シャットダウン	N	H	該当なし	
過電圧 (VIN OVP)	シャットダウン	N	H	該当なし	
過渡過電流	なし	N	H	該当なし	
持続的な過電流 (定常状態)	回路ブレーカ	Y	L	Y	t_{TIMER}
持続的な過電流 (起動時)	電流制限	N	H	該当なし	TSD 後
出力短絡	高速トリップ	Y	L	Y	t_{FT}

表 6-2. 故障のまとめ (続き)

イベントまたは状態	デバイスの応答	内部でラッチされた故障	FLT ピンのステータス	ピン表示マスキング オプション	遅延
出力短絡 (高速回復構成)	高速トリップ後の電流制限付き起動	N	H	該当なし	
IMON ピン オープン (定常状態)	シャットダウン	Y	L	Y	
IMON ピン短絡 (定常状態)	シャットダウン ($I_{OUT} > I_{OC_BKP}$ の場合)	Y	L	Y	45 μ s
IREF ピン オープン (起動時)	シャットダウン ($I_{OUT} > I_{OC_BKP}$ の場合)	Y	L	Y	
IREF ピン オープン (定常状態)	シャットダウン ($I_{OUT} > I_{OC_BKP}$ の場合)	Y	L	Y	t_{TIMER}
IREF ピン短絡 (定常状態)	シャットダウン	Y	L	Y	
IREF ピン短絡 (起動時)	シャットダウン	Y	L	Y	
起動タイムアウト	シャットダウン	Y	L	N	t_{SU_TMR}
FET 正常性故障 (G-S)	シャットダウン	Y	L	Y	10 μ s
FET 正常性故障 (G-D)	シャットダウン	Y	L	Y	
FET 正常性故障 (D-S)	シャットダウン	N	L	Y	t_{SU_TMR}
外部故障 (デバイスが UV でも OV でもないときに SWEN が外部で Low にプルされる)	シャットダウン	Y	L	Y	

故障後のデバイスの応答は、RETRY_CONFIG レジスタ設定によって異なります。デバイスは、上記の表に従って故障をラッチし、その後、自動再試行またはラッチオフ応答を実行します。自動再試行構成では、ラッチされた故障は、FLT ピンを Low に維持しながら、自動再試行タイマの開始もトリガします。タイマ期間 (t_{RETRY}) の満了時に、FLT ピンのプルダウンが解除され、デバイスは自動的に再起動する準備が整います。デバイスが再度オンになると、通常の DVDVT 制限付き起動シーケンスに従います。

これに対する唯一の例外は、DEVICE_CONFIG レジスタの SC_RETRY ビットを使用して高速回復が構成されている場合の短絡故障時です。この場合、デバイスは迅速にオフになり、その後、電流制限された方法で自動的にオンに戻ります。これにより、システムは過渡的な障害からの迅速な回復を試みることができます。詳細については、「[短絡保護](#)」のセクションを参照してください。

内部でラッチされた故障の場合、部品の電源を入れ直すか、EN/UVLO ピンの電圧を $V_{SD(F)}$ 未満に引き下げることで故障がクリアされ、FLT ピンはデアサートされます。この動作により、自動再試行タイマもクリアされます。この状況では、EN/UVLO を UVLO スレッシュホールドよりもわずかに低くしても、デバイスに影響はありません。これは、ラッチオフ構成および自動再試行構成の場合にも当てはまります。

TPS1689 と TPS1685x を含む並列 eFuse 構成では、故障応答はプライマリ デバイスである TPS1689 によって決定されます。ただし、プライマリ デバイスが故障を登録できない場合、セカンダリ デバイスにはフェイルセーフ機構が備わっており、SWEN ピンを Low に引き下げてチェーン全体をオフにし、ラッチオフ状態に移行することで制御を取得します。その後、デバイスは VDD の電源を $V_{UVP(F)}$ 未満にして入れ直すか、EN/UVLO ピンを $V_{SD(F)}$ 未満にサイクルさせることによってのみ、再度オンにできます。

6.3.10.2 パワー グッド表示 (PG)

パワー グッドは、デバイスが定常状態で最大電力を供給可能な場合に、high にアサートされるアクティブ high デジタル出力です。

表 6-3. PG 表示のまとめ

イベントまたは状態	FET のステータス	PG ピン ステータス	PG 遅延
デバイス無効化 ($V_{EN} < V_{UVLO}$)	オフ	L	t_{PGD}
VIN 低電圧 ($V_{IN} < V_{UVP}$ または $V_{IN} < V_{IN_UV_FLT}$)	オフ	L	
VDD 低電圧 ($V_{DD} < V_{UVP}$)	オフ	L	
VIN 過電圧 ($V_{IN} > V_{IN_OV_FLT}$)	オフ	L	t_{PGD}
定常状態	オン	H	t_{PGA}
突入電流	オン	L	t_{PGA}
過渡過電流	オン	H	該当なし
回路ブレーカ (持続的な過電流後に OC_TIMER 満了)	オフ	L	$t_{OC_TIMER} + t_{PGD}$
高速トリップ	オフ	L ($V_{OUT} < V_{OUT_PGTH}$) H ($V_{OUT} > V_{OUT_PGTH}$)	t_{PGD} 該当なし
過熱	シャットダウン	L	t_{PGD}

パワーアップ後、PG は初期状態で **Low** に引き下げられます。デバイスは突入シーケンスを開始し、ゲートドライバ回路が内部のチャージポンプからゲート容量の充電を開始します。FET ゲート電圧が最大オーバードライブに達し、突入シーケンスが完了し、デバイスが最大出力を供給できることを示すと、グリッチ除去時間 (t_{PGA}) の後、PG ピンが **high** にアサートされます。PG のアサート遅延は、DEVICE_CONFIG レジスタの PG_DVDT_DLY ビットを設定することで、オプションとして延長できます。

通常動作中に、いずれかの点で出力電圧がスレッショルドを下回ると、または、デバイスが故障 (短絡を除く) を検出すると、PG はデアサートされます。PG のデアサート スレッショルドは、VOUT_PGTH レジスタによりデジタル的にプログラムできます。PG のデアサート時のグリッチ除去時間は t_{PGD} です。

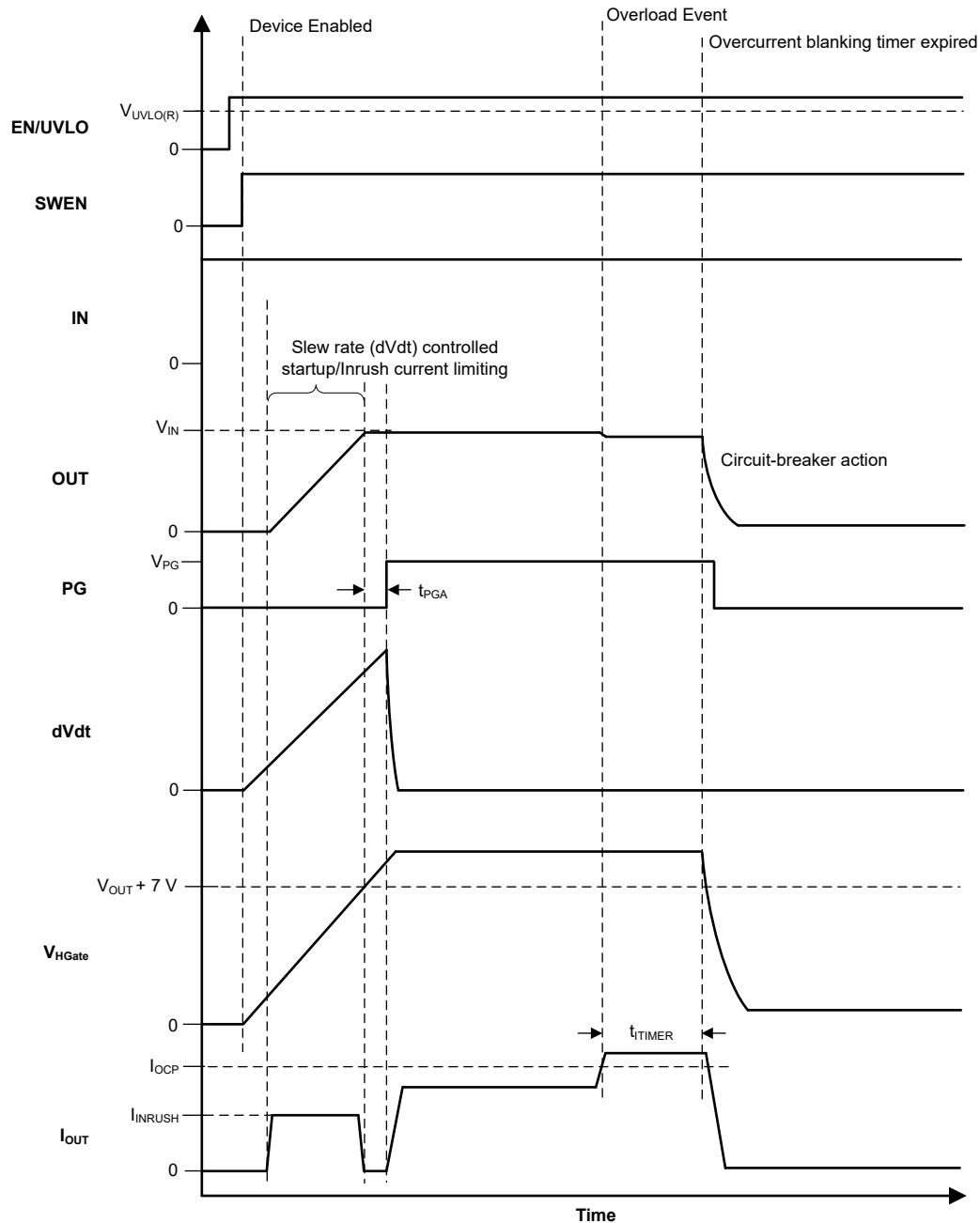


図 6-7. TPS1689 PG タイミング図

PG はオープンドレインのピンであり、外部電源にプルアップする必要があります。

注

デバイスに電源が供給されていない場合、PG ピンは Low のままであることが期待されています。ただし、この状態には、このピンを 0V まで完全に駆動するためのアクティブプルダウンはありません。デバイスに電力が供給されていない場合でも、PG ピンが存在する独立した電源にプルアップされると、プルアップ電源電圧と抵抗の関数であるピンのシンク電流に応じて、このピンに小さな電圧が印加される可能性があります。シンク電流を最小化して、この状態で関連する外部回路によってロジック HIGH として検出されないよう、このピン電圧を十分に低く維持します。

6.3.10.3 並列デバイス同期 (SWEN)

SWEN ピンは、FET をオン状態に駆動する必要がある場合に high に駆動される信号です。このピンを Low (内部または外部) に駆動すると、ドライバ回路で FET が強制的にオフ状態に維持されます。並列 eFuse システムでは、TPS1689 プライマリ コントローラがこのピンを使用して他の eFuse を制御します。また、複数のデバイスを並列構成で使用して、オン / オフの遷移を同期させることもできます。

表 6-4. SWEN のまとめ

デバイスの状態	FET ドライバ ステータス	SWEN
定常状態	オン	H
突入電流	オン	H
過熱シャットダウン	オフ	L
自動再試行タイマが動作しています	オフ	L
デバイス無効化 ($V_{EN} < V_{UVLO}$)	オフ	L
VIN 低電圧 ($V_{IN} < V_{UVP}$ または $V_{IN} < V_{IN_UV_FLT}$)	オフ	L
VDD 低電圧 ($V_{DD} < V_{UVP}$)	オフ	L
挿入遅延	オフ	L
VIN 過電圧 ($V_{IN} > V_{IN_OV_FLT}$)	オフ	L
過渡過電流	オン	H
回路ブレーカ (持続的な過電流後に OC_TIMER 満了)	オフ	L
高速トリップ	オフ	L
高速トリップ応答、モノラルショット実行 (DEVICE_CONFIG[13]= 1)	オフ	L
高速トリップ応答モノラルショットの期限切れ (DEVICE_CONFIG[13]= 1)	オン	H
FET 正常性故障	オフ	L
外部フォルト (並列チェーンでセカンダリ デバイスによって SWEN を Low にプル)	オフ	L (しばらくした後でセカンダリ デバイスがブルダウンをリリースしても、TPS1689 によって Low に保持)
シングル ポイント障害 (IMON/IREF)	オフ	L

SWEN はオープンドレインのピンであり、内部電源へのプルアップを備えています。

SWEN ピンには内部タイムアウト回路があります。SWEN が長時間 low (内部または外部) に保持されると (tSWENTO)、ロジックがリセットされ (FAST_REC = 0)、SWEN が high になった後で次にデバイスが起動するように、通常の突入シーケンスに従います。それ以外の場合は、突入シーケンスをバイパスして電流制限の起動を実行し、高速で回復することもあります。

プライマリとセカンダリの並列構成では、SWEN ピンをプライマリ デバイスで使用して、セカンダリ デバイスのオン / オフ遷移を制御します。同時に、セカンダリ デバイスが障害やその他の状態を通信できるようになり、プライマリ デバイスがオンになるのを防ぐことができます。

これらのデバイスは、ステートマシンの同期を維持するために SWEN レベルの遷移とハンドシェイクのタイミングに依存します。これにより、すべてのデバイスが同期および同じ方法でオン / オフできます (dVdt 制御や電流制限によるスタートアップなど)。また、故障発生時にプライマリ デバイスが制御を取得できない場合でもチェーン全体が安全にオフになるようにする、フェイルセーフ メカニズムを SWEN 制御とハンドシェイク ロジックに備えています。

注

TI は、同期タイミングの問題を回避するため、SWEN ピンの寄生負荷を最小限に抑えることを推奨します。

6.3.11 複数の eFuse をスタックして無制限のスケーラビリティを実現

単一の TPS1689 でサポートされるよりも高電流を必要とするシステムの場合は、TPS1689 を並列に接続して、1 つまたは複数の TPS1685x デバイスに接続し、目的の合計システム電流を供給することができます。従来型の eFuse は、パス抵抗のミスマッチ (個別デバイスの $R_{DS(on)}$ の部品間のバラツキや、PCB の寄生パターン抵抗を含む) により、定常状態時に電流を均等に共有しません。この事実は、システムの複数の問題につながる可能性があります。

- 一部のデバイスは、他のデバイスより大きい電流を常に流します。この結果、故障が発生してシステムの動作寿命が全体的に短縮される可能性があります。
- この結果、基板、デバイス、トレース、ビアにサーマル ホットスポットが形成され、大電流が流れ、PCB の信頼性の問題につながります。また、この問題により、熱モデル化と基板の熱管理は設計者にとって非常に困難になります。
- より大きな電流を伝送するデバイスは、システムの合計負荷電流が全体のサーキット ブレーカ スレッシュホールドより低くなっている間に、より早く個別のサーキット ブレーカ スレッシュホールドに達する可能性があります。この動作により、通常動作中に eFuse チェーンの誤ったトリップが発生する可能性があります。これは並列チェーンの電流搬送能力を低下させてしまいます。言い換えると、並列 eFuse チェーンの電流定格は、個別の eFuse の電流定格の合計と比較してデレーティングする必要があります。このデレーティング係数は、パス抵抗のミスマッチ、並列接続されるデバイスの数、個別の eFuse サーキット ブレーカの精度の関数です。

デレーティングの必要性は、システム設計に悪影響を及ぼします。設計者は、以下のいずれかのトレードオフを決定しなければなりません。

- システムの動作負荷電流が eFuse チェーンのデレーティング過電流スレッシュホールドを下回るように制限します。基本的に、これは、電源 (PSU) でサポートされているプラットフォーム機能よりも低くなることを意味します。
- 全体のサーキット ブレーカ スレッシュホールドを高くして、必要なシステム負荷電流がトリップせずに通過できるようにします。結果的に、サーキットブレーカ全体の精度の低下を考慮し、電源 (PSU) のサイズを大きくして、故障発生時により大きな電流を供給する必要があります。

いずれの場合も、システムの電源使用率が低下するため、システムのスループットが最適ではないか、設置コストと運用コストが増加するか、またはその両方が発生します。

TPS1689 および TPS1685x デバイスは、これらの問題に対処するために独自の技術を採用しており、必要に応じて多数の eFuse を並列接続することで、無制限の拡張性を実現します。これは、大きな電流不均衡や精度の低下を伴わずに組み込まれています。

この方式を正しく機能させるには、デバイスを次の方法で接続する必要があります。

- すべてのデバイスの SWEN ピンを互いに接続します。
- すべてのデバイスの IMON ピンを互いに接続する必要があります。結合した IMON ピンの R_{IMON} 抵抗の値は、式 9 を使用して計算できます。

$$R_{IMON} = \frac{V_{IREF}}{G_{IMON} \times I_{OCP(TOTAL)}} \quad (9)$$

- すべてのデバイスの IREF ピンを互いに接続する必要があります。TPS1689 は、VIREF レジスタへの PMBus® 書き込みを使用してプログラム可能な自らの内部 DAC を使用して、チェーン全体の V_{IREF} リファレンス電圧を生成します。これにより、システム動作中に過電流保護スレッシュホールドを動的に調整できます。また、低インピーダンスの外部高精度電圧リファレンスを使用して IREF ピンを駆動することも可能です。
- 各デバイスのスタートアップ電流制限およびアクティブ電流共有スレッシュホールドは、 $I_{start-up}$ に固定されています。電流が $I_{start-up}$ を超えようとする、各デバイスはこの値に制限されます。

注

1. アクティブ電流共有方式は、定常状態にある間に任意の eFuse を流れる電流が、式 10 に基づいて R_{ILIM} で設定された個別の電流共有スレッショルドを超えると、アクティブになります。

$$R_{ILIM} = \frac{1.1 \times V_{IREF}}{3 \times G_{ILIM} \times I_{LIM(ACS)}} \quad (10)$$

2. システムの合計電流がシステムの過電流 (サーキット ブレーカ) スレッショルド ($I_{OCP(TOTAL)}$) を上回ると、アクティブ電流共有方式は解除されます。

6.3.11.1 起動中の電流バランスの維持

TPS1689 は、起動時に独自の電流バランシング機構を実装しており、並列に接続された TPS1689 および TPS1685x デバイスが突入電流を共有し、すべてのデバイスに熱ストレスを分散できるようにします。この機能は、すべてのデバイスで正常な起動を完了し、一部の eFuse が早期にサーマル シャットダウンに至るシナリオを回避するのに役立ちます。これにより、並列チェーンの突入電流能力が実質的に向上します。突入電流性能の向上により、突入時間やシステムの信頼性を損なうことなく、大電流プラットフォーム上で非常に大きな負荷コンデンサをサポートすることが可能になります。

6.3.12 クイック出力放電 (QOD)

TPS1689 には出力放電機能が内蔵されており、GND への内部定電流 (I_{QOD}) シンク パスを使用して OUT ピンのコンデンサを放電します。出力放電機能は、EN/UVLO が最小期間 (t_{QOD}) にわたって Low ($V_{SD(F)} < V_{EN} < V_{UVLO(F)}$) に保持されているときにアクティブになります。出力放電機能により、大きな出力コンデンサに残っている残留電荷をすばやく除去し、バスが長時間にわたって特定の未定義電圧にとどまることを防止します。出力放電は、 $V_{OUT} < V_{FB}$ のとき、またはデバイスがフォルトを検出すると解除されます。

出力放電機能により、デバイス内部で過剰な電力消費が発生し、接合部温度 (T_J) が上昇する可能性があります。接合部温度 (T_J) がデバイスの過熱スレッショルド (TSD) を超えると、出力放電は無効になり、部品の長期的な劣化を防ぎます。

注

TI は、プライマリおよびセカンダリの並列 eFuse 構成では、EN/UVLO 電圧をセカンダリ eFuse の $V_{UVLO(F)}$ スレッショルドよりも低く保持して、チェーン内のすべての eFuse の出力放電をアクティブにすることを推奨します。

6.3.13 書き込み保護機能 (WP#)

WP# ではピン制御により PMBUS 書き込みアクセスを無効化し、保護機能を強化できます。PMBUS レジスタ MFR_WRITE_PROTECT を介したソフトウェア制御に加えて、PMBUS への書き込みアクセスを無効化するハードウェアピン制御が可能です。ピン制御は、MFR_WRITE_PROTECT レジスタよりも優先度が高くなっています。WP# ピンをグラウンドに接続すると、PMBUS レジスタへの書き込みアクセスが無効化されます。このピンがフローティング状態の場合、MFR_WRITE_PROTECT レジスタは PMBUS レジスタへの書き込みアクセスを制御します。

6.3.14 PMBus® デジタル インターフェイス

TPS1689 は、PMBus® ターゲット デバイスで、組込みデジタル遠隔測定コントローラ ブロックを備えています。これにより、事前定義された一連のコマンドを使用してシステムを制御、構成、監視、デバッグし、ホスト コントローラとの双方向通信が可能になります。

TPS1689 は、PMBus® 仕様バージョン 1.3 パート I およびパート II に準拠しています。

6.3.14.1 PMBus® デバイス アドレッシング

TPS1689 は、7 ビット I2C デバイス アドレッシングを使用します。表 6-5 に示すように、ADDR0 ピンと ADDR1 ピンの異なるピンストラップの組み合わせを使用して、最大 25 種類のアドレスを生成できます。これにより、複数のデバイスを同じ I2C バスに接続できます。

表 6-5. TPS1689 PMBus® アドレス デコード

ADDR0 ピン	ADDR1 ピン	PMBus® デバイス アドレス
オープン	オープン	0x40 (デフォルト)。Config NVM 空間の PMBUS_ADDR レジスタにプログラムされたユーザー定義アドレスで上書きできます。
オープン	GND	0x41
オープン	75kΩ から GND	0x42
オープン	150kΩ から GND	0x43
オープン	267kΩ から GND	0x44
GND	オープン	0x45
GND	GND	0x46
GND	75kΩ から GND	0x47
GND	150kΩ から GND	0x48
GND	267kΩ から GND	0x49
75kΩ から GND	オープン	0x4A
75kΩ から GND	GND	0x4B
75kΩ から GND	75kΩ から GND	0x4C
75kΩ から GND	150kΩ から GND	0x4D
75kΩ から GND	267kΩ から GND	0x4E
150kΩ から GND	オープン	0x50
150kΩ から GND	GND	0x51
150kΩ から GND	75kΩ から GND	0x52
150kΩ から GND	150kΩ から GND	0x53
150kΩ から GND	267kΩ から GND	0x54
267kΩ から GND	オープン	0x55
267kΩ から GND	GND	0x56
267kΩ から GND	75kΩ から GND	0x57
267kΩ から GND	150kΩ から GND	0x58
267kΩ から GND	267kΩ から GND	0x59

注

1. TI は、アドレス デコード エラーを回避するため、ADDR0 と ADDR1 には低公差抵抗を使用することを推奨します。
2. 正しいアドレス デコードのためのノイズ耐性を向上させるため、TI は ADDR0 および ADDR1 ピンの抵抗と並列に 10pF のコンデンサを接続することを推奨します。

6.3.14.2 SMBus™ プロトコル

TPS1689 PMBus® インターフェイスは、I2C 物理インターフェイス (SCL、SDA) を使用して SMBus プロトコル経由で実装され、堅牢なリンクを実現しています。以下の機能をサポートしています。

- 高速モードのサポート (最大 1MHz の I2C クロック速度)

- バス タイムアウト
- PEC の有無にかかわらず、バイト、ワード、ブロックの読み取り / 書き込みをサポート
- グループ コマンドのサポート
- 特定のシステム警告 / 故障イベント発生時にホストへアラート / 割り込みを行う SMBus アラート出力ピン (SMBA#)。
- アラート応答アドレス (ARA) のサポート

6.3.14.3 SMBus™ のメッセージ形式

TPS1689 は、以下の SMBus メッセージ形式をサポートしています。

注

これらコマンドはすべて、オプションの PEC バイトの有無にかかわらず使用できます。

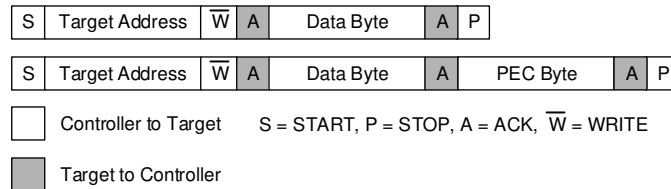


図 6-8. 送信バイト

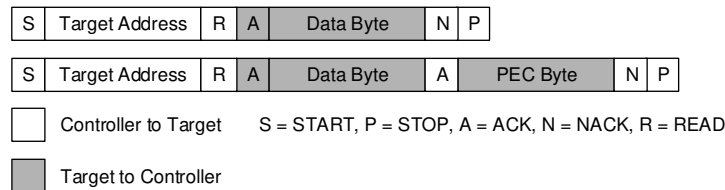


図 6-9. 受信バイト

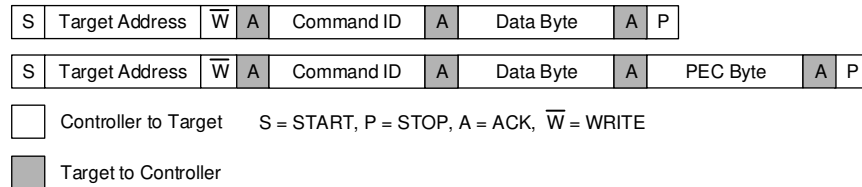


図 6-10. 書き込みバイト

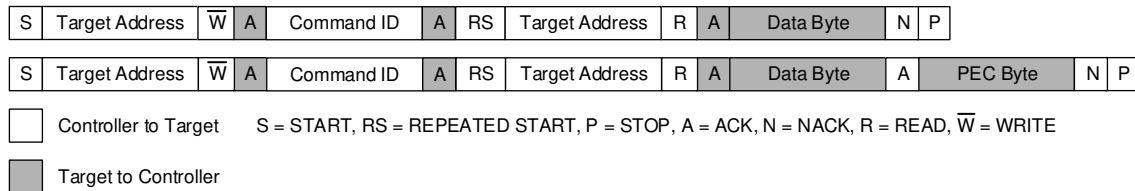


図 6-11. 読み出しバイト

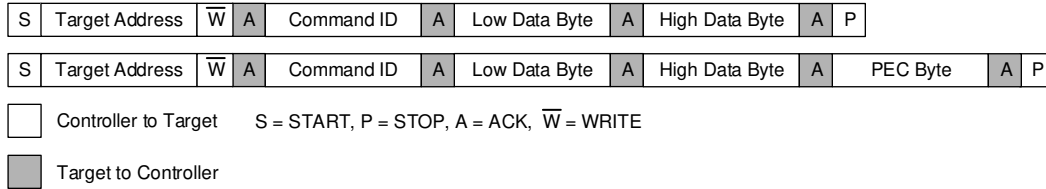


図 6-12. 書き込みワード

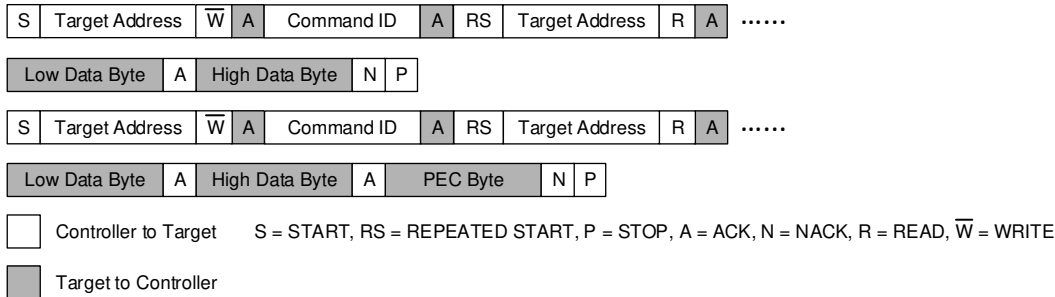


図 6-13. 読み出しワード

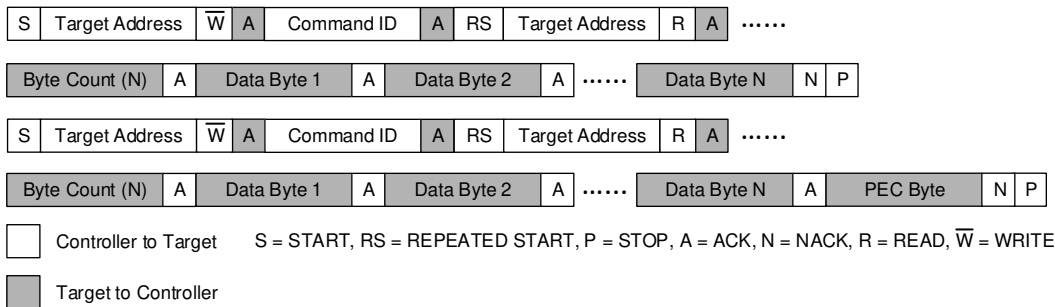


図 6-14. ブロック読み取り

6.3.14.4 パケット エラー チェック

TPS1689 は、すべての SMBus トランザクションでオプションの PEC をサポートしています。

パケットエラーチェックを使用すると、各トランザクションのストップビットの前に追加のバイトが追加されます。

読み取りの場合、PEC バイトはターゲットから読み取られ、コントローラがそれを独自の PEC バイト計算と比較します。書き込みの場合、PEC バイトはコントローラからターゲットに送信され、ターゲットはそれを独自の PEC バイト計算と比較します。

比較後、PEC バイト数が異なる場合、ターゲットは PEC エラーを検出します。その後、PMBus® 仕様に従って以下の動作が実行されます。

- コマンドに応答せず、そのコマンドに基づいて行動する
- コマンドコードと受信データをすべてフラッシュする
- STATUS_BYTE レジスタの CML_ERR ビットを設定する
- STATUS_CML レジスタの INV_PEC ビットを設定する

および

- SMBA# ラインを Low にプルして、故障条件をコントローラに通知する

6.3.14.5 グループ コマンド

PMBus® 仕様の要求に従い、TPS1689 はグループ コマンド プロトコルをサポートしています。グループ コマンド プロトコルは、複数の PMBus® ターゲット デバイスにコマンドを送信するために使用されます。コマンドは、1 回の連続した転送で送信されます。ターゲット デバイスは、コマンドの送信を終了する STOP 条件を検出すると、受信したコマンドの実行をすべて開始します。

すべてのターゲット デバイスが同じコマンドを受信する必要はありません。

1 つのグループ コマンド パケットで、1 つのデバイスに送信できるコマンドは 1 つまでです。

グループ コマンド プロトコルは、STATUS_BYTE コマンドなど、受信デバイスがデータで応答する必要のあるコマンドで使用してはなりません。

グループ コマンド プロトコルは、各デバイスのコマンドを分離するために REPEATED START 条件を使用します。グループ コマンド プロトコルは、START 条件で始まり、次にコマンドを受診する最初のターゲット デバイスの 7 ビット アドレス、そして書き込みビットのゼロ (0) が続きます。セカンダリ デバイスは ACK を返し、ホスト コントローラは関連するデータ バイトまたはバイトを伴うコマンドを送信します。

最後のデータ バイトが最初のデバイスに送信された後、ホスト コントローラは STOP 条件を送信しません。代わりに、REPEATED START 条件を送信し、次にコマンドを受信する 2 番目のデバイスの 7 ビット アドレス、書き込みビット、コマンド コード、および関連するデータ バイトが続きます。

これがコマンドを受信する最後のターゲット デバイスである場合に限り、ホスト コントローラは STOP 条件を送信します。それ以外の場合、ホスト コントローラは REPEATED START 条件を送信し、コマンドを受信する 3 番目のデバイスのアドレスの送信を開始します。

このプロセスは、すべてのターゲット デバイスがコマンド コード、データ バイト、および使用されサポートされている場合は PEC バイトを受信するまで続きます。その後、すべてのターゲット デバイスが情報を受信すると、ホスト コントローラは STOP 条件を送信します。

PEC を使用する場合、各ターゲット デバイスのサブパケットは、そのデバイスのサブパケットに対してのみ計算された独自の PEC バイトを持ち、そのターゲット デバイスのアドレスを含みます。

このプロトコル経由でコマンドを受信したターゲット デバイスは、STOP 条件を検出すると、受信したコマンドの実行を直ちに開始します。

グループ コマンド プロトコルでパケット エラー チェックを使用する場合、PEC バイトは各ターゲット デバイスのアドレス、コマンド、およびデータ バイトのみを使用して計算されます。たとえば、PEC 1 は、書き込みビットを含むデバイスアドレス 1、コマンド コード 1、コマンド コード 1 に関連付けられたデータを使用して計算されます。PEC 1 の計算は、デバイスアドレス 1 のデバイスによってのみ行われる必要があります。

同様に、PEC バイト 2 は、書き込みビットを含むデバイス アドレス 2、コマンド コード 2、およびコマンド コード 2 に関連付けられたデータを使用して計算されます。デバイス 1 は、Repeated Start を検出した後、PEC 1 の計算を続行してはなりません。

6.3.14.6 SMBus™ アラート応答アドレス (ARA)

SMBA# ピンも一緒に接続された複数のターゲットデバイスがバス上にある場合、1 つ以上のターゲットデバイスが SMBA# をアサートする場合、ホストコントローラはバス上のそれらのターゲットデバイスを識別する方法を必要とします。これは ARA メカニズムを使用して行われます。ARA メカニズムは、ARA ブロードキャストアドレス 0x0C に読み取りコマンドを送信することによって開始されます。

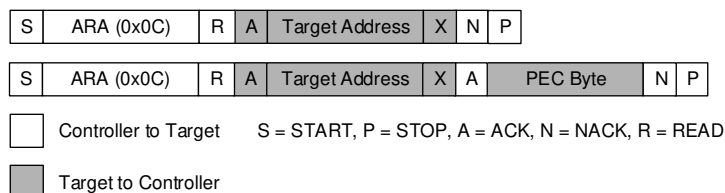


図 6-15. ARA メッセージプロトコル

ARA 自動マスクは、ARA 読み取りが成功したときの応答として設定されるマスクです。ARA 読み取り動作は、SMBA# がアサートされた、バス上でアドレスが最も低いターゲットデバイスの PMBus® アドレスを返します。ARA 読み取りが成功すると、このターゲットデバイスがアドレスを返したデバイスであることを意味します。ターゲットデバイスが ARA 読み取りに応答すると、SMBA# 信号がリリースされます。SMBA# が設定されているバス上の最後のターゲットデバイスがアドレスを正常に報告すると、SMBA# 信号のアサートがデアサートされます。

TPS1689 が SMBA# 信号をリリースするには、ARA 読み出し時に存在するすべての故障条件に対して ARA 自動マスク ビットを設定します。すべてのステータスレジスタには引き続き故障条件が示されますが、この部品に CLEAR_FAULTS コマンドを発行してホストが ARA 自動マスクをクリアするまで、その故障については SMBA# アラートは再び生成されません。これは、ARA 読み取りが行われていない場合でも、部品の SMBA# 条件を処理するルーチン部分として実行する必要があります。

PMBUS コマンドの一覧については、添付の PDF を参照してください

6.3.14.7 PMBus® コマンド

表 6-6 に、TPS1689 eFuse でサポートされる PMBus® コマンドのリストを示します。

表 6-6. TPS1689 PMBus® コマンド リスト

コマンド名	表記	タイプ	概要	PMBus® トランザクション	デフォルト値	オンチップの不揮発性メモリに格納	EEPROM に格納
動作	01h	制御	eFuse ON/OFF 制御	読み取り / 書き込みバイト、PEC 付き	0x80	該当なし	該当なし
CLEAR_FAULTS	03h	制御	すべての故障ステータスビットとブラックボックス RAM をクリアする	送信バイト、PEC 付き	該当なし	該当なし	該当なし
RESTORE_FACTORY_DEFAULTS	12h	制御	すべての構成レジスタを工場出荷時のデフォルト値に初期化 / リセットする	送信バイト、PEC 付き	該当なし	該当なし	該当なし
STORE_USER_ALL	15h	制御	構成値を NVM/EEPROM に格納する	送信バイト、PEC 付き	該当なし	該当なし	該当なし
RESTORE_USER_ALL	16h	制御	NVM/EEPROM に保存されている、ユーザーがプログラムした値を使用して、すべての構成レジスタを初期化する	送信バイト、PEC 付き	該当なし	該当なし	該当なし
BB_ERASE	F5h	制御	外部 EEPROM のブラックボックス データを消去する	送信バイト、PEC 付き	該当なし	該当なし	該当なし
FETCH_BB_EEPROM	F6h	制御	ブラックボックス EEPROM の内容を内部シャドウ レジスタにフェッチします	送信バイト、PEC 付き	該当なし	該当なし	該当なし
CLEAR_BB_RAM	FCh	制御	bbox RAM の内容をクリアする	送信バイト、PEC 付き	該当なし	該当なし	該当なし

表 6-6. TPS1689 PMBus® コマンド リスト (続き)

コマンド名	表記	タイプ	概要	PMBus® トランザクション	デフォルト値	オンチップの不揮発性メモリに格納	EEPROMに格納
POWER_CYCLE	D9h	制御	出力をパワーダウンし、RETRY_CONFIG レジスタでプログラムされた遅延時間の経過後に再起動する	送信バイト、PEC 付き	該当なし	該当なし	該当なし
MFR_WRITE_PROTECT	F8h	制御	OPERATION および POWER_CYCLE コマンド、構成レジスタ、NVM、EEPROM の書き込み保護を有効化 / 無効化する	読み取り / 書き込みバイト、PEC 付き	0x00	該当なし	該当なし
CAPABILITY	19h	遠隔測定	サポートされる PMBus® 機能	読み取りバイト、PEC 付き	0xD0	Y	N
STATUS_BYTE	78h	遠隔測定	ステータス レジスタ下位バイト	読み取りバイト、PEC 付き	未定義	N	N
STATUS_WORD	79h	遠隔測定	ステータス レジスタ ワード	ワード読み取り、PEC 付き	未定義	N	Y
STATUS_OUT	7Ah	遠隔測定	OUT バス ステータス	読み取りバイト、PEC 付き	未定義	N	N
STATUS_IOUT	7Bh	遠隔測定	OUT 電流ステータス	読み取りバイト、PEC 付き	未定義	N	N
STATUS_INPUT	7Ch	遠隔測定	IN バスのステータス	読み取りバイト、PEC 付き	未定義	N	Y
STATUS_TEMP	7Dh	遠隔測定	デバイスの温度ステータス	読み取りバイト、PEC 付き	未定義	N	N
STATUS_CML	7Eh	遠隔測定	通信、メモリ、ロジックのステータス	読み取りバイト、PEC 付き	未定義	N	N
STATUS_MFR_SPECIFIC	80h	遠隔測定	メーカー固有の故障ステータス	読み取りバイト、PEC 付き	未定義	N	Y
STATUS_MFR_SPECIFIC_2	F3h	遠隔測定	追加のメーカー固有故障ステータス	ワード読み取り、PEC 付き	未定義	N	N
PMBUS_REVISION	98h	遠隔測定	PMBus® 仕様パート I および II 改訂 1.3	読み取りバイト、PEC 付き	0x33	Y	N
MFR_ID	99h	遠隔測定	メーカー名	ブロック読み取り 2 バイト、PEC 付き	"TI"	Y	N
MFR_MODEL	9Ah	遠隔測定	デバイス名	ブロック読み取り 8 バイト、PEC 付き	"TPS1689"	Y	N
MFR_REVISION	9Bh	遠隔測定	デバイス リビジョン	ブロック読み取り 1 バイト、PEC 付き	0x01	Y	N
READ_VIN	88h	遠隔測定	入力電圧	ワード読み取り、PEC 付き	未定義	N	N
READ_VOUT	8Bh	遠隔測定	出力電圧	ワード読み取り、PEC 付き	未定義	N	N
READ_IIN	89h	遠隔測定	入力電流	ワード読み取り、PEC 付き	未定義	N	N
READ_TEMPERATURE_1	8Dh	遠隔測定	デバイス温度	ワード読み取り、PEC 付き	未定義	N	N
READ_VAUX	D0h	遠隔測定	補助アナログ入力電圧	ワード読み取り、PEC 付き	未定義	N	N

表 6-6. TPS1689 PMBus® コマンド リスト (続き)

コマンド名	表記	タイプ	概要	PMBus® トランザクション	デフォルト値	オンチップの揮発性メモリに格納	EEPROM に格納
READ_PIN	97h	遠隔測定	瞬時入力電力	ワード読み取り、PEC 付き	未定義	N	N
READ_EIN	86h	遠隔測定	累算入力エネルギー	ブロック読み取り 6 バイト、PEC 付き	未定義	N	N
READ_VIN_AVG	DCh	遠隔測定	平均入力電圧	ワード読み取り、PEC 付き	未定義	N	N
READ_VIN_MIN	D1h	遠隔測定	最小入力電圧	ワード読み取り、PEC 付き	未定義	N	N
READ_VIN_PEAK	D2h	遠隔測定	ピーク入力電圧	ワード読み取り、PEC 付き	未定義	N	Y
READ_VOUT_AVG	DDh	遠隔測定	平均出力電圧	ワード読み取り、PEC 付き	未定義	N	N
READ_VOUT_MIN	DAh	遠隔測定	最小出力電圧	ワード読み取り、PEC 付き	未定義	N	N
READ_IIN_AVG	DEh	遠隔測定	平均入力電流	ワード読み取り、PEC 付き	未定義	N	N
READ_IIN_PEAK	D4h	遠隔測定	ピーク入力電流	ワード読み取り、PEC 付き	未定義	N	Y
READ_TEMP_AVG	D6h	遠隔測定	デバイスの平均温度	ワード読み取り、PEC 付き	未定義	N	N
READ_TEMP_PEAK	D7h	遠隔測定	デバイスのピーク温度	ワード読み取り、PEC 付き	未定義	N	Y
READ_PIN_AVG	DFh	遠隔測定	平均入力電力	ワード読み取り、PEC 付き	未定義	N	N
READ_PIN_PEAK	D5h	遠隔測定	ピーク入力電力	ワード読み取り、PEC 付き	未定義	N	N
READ_SAMPLE_BUF	D8h	遠隔測定	ADC サンプル バッファ	ブロック読み取り 64 バイト、PEC 付き	未定義	N	N
READ_BB_RAM	FDh	遠隔測定	ブラックボックス RAM レジスタ	ブロック読み取り 7 バイト、PEC 付き	未定義	N	Y
READ_BB_EEPROM	F4h	遠隔測定	ブラックボックス EEPROM の内容	ブロック読み取り 16 バイト、PEC 付き	未定義	N	Y
BB_TIMER	FAh	遠隔測定	ブラックボックス ティック タイマ	読み取りバイト、PEC 付き	未定義	N	Y
PMBUS_ADDR	FBh	構成	ADDR0 = Open、ADDR1 = Open 設定時の PMBus® デバイス アドレス	読み取り / 書き込みバイト、PEC 付き	0x40	Y	Y
VIN_UV_WARN	58h	構成	入力低電圧警告スレッショルド	ワード読み取り / 書き込み、PEC 付き	0x0095	N	N
VIN_UV_FLT	59h	構成	入力低電圧故障スレッショルド	ワード読み取り / 書き込み、PEC 付き	0x008D	Y	Y
VIN_OV_WARN	57h	構成	入力過電圧警告スレッショルド	ワード読み取り / 書き込み、PEC 付き	0x00A5	N	N
VIN_OV_FLT	55h	構成	入力過電圧故障スレッショルド	ワード読み取り / 書き込み、PEC 付き	0x000E	Y	Y

表 6-6. TPS1689 PMBus® コマンド リスト (続き)

コマンド名	表記	タイプ	概要	PMBus® トランザクション	デフォルト値	オンチップの不揮発性メモリに格納	EEPROMに格納
VOUT_UV_WARN	43h	構成	出力低電圧警告スレッショルド	ワード読み取り / 書き込み、PEC 付き	0x0095	N	N
VOUT_PGTH	5Fh	構成	パワー グッド デアサートの出力スレッショルド	ワード読み取り / 書き込み、PEC 付き	0x008D	Y	Y
OT_WARN	51h	構成	過熱警告スレッショルド	ワード読み取り / 書き込み、PEC 付き	0x007E	N	N
OT_FLT	4Fh	構成	過熱故障スレッショルド	ワード読み取り / 書き込み、PEC 付き	0x0085	Y	Y
PIN_OP_WARN	6Bh	構成	入力過電力警告スレッショルド	ワード読み取り / 書き込み、PEC 付き	0x00FF	N	N
IIN_OC_WARN	5Dh	構成	入力過電流警告スレッショルド	ワード読み取り / 書き込み、PEC 付き	0x00FF	N	N
VIREF	E0h	構成	電流制御および保護ブロックのリファレンス電圧	読み取り / 書き込みバイト、PEC 付き	0x32	Y	Y
AUX/TEMP/ EEDATA/EECLK/ GPIOx 構成	E1h	構成	AUX/EEDATA/GPIO2 および AUX/EECLK/GPIO1 ピン構成	読み取り / 書き込みバイト、PEC 付き	0x00	Y	Y
SMBA_FLTb_CO NFIG	E2h	構成	SMBA/FLTb ピン構成	読み取り / 書き込みバイト、PEC 付き	0x00	Y	Y
ALERT_MASK	DBh	構成	SMB アラート アサート マスク	ワード読み取り / 書き込み、PEC 付き	0x0100	N	N
FAULT_MASK	E3h	構成	FLT アサート マスク	ワード読み取り / 書き込み、PEC 付き	0x0000	Y	Y
DEVICE_CONFIG	E4h	構成	デバイス構成	ワード読み取り / 書き込み、PEC 付き	0x1400	Y	Y
BB_CONFIG	E5h	構成	ブラックボックス構成	読み取り / 書き込みバイト、PEC 付き	0x00	Y	Y
OC_TIMER	E6h	構成	過渡過電流ブランキング タイマ	読み取り / 書き込みバイト、PEC 付き	0x14	N	N
RETRY_CONFIG	E7h	構成	自動再試行構成	読み取り / 書き込みバイト、PEC 付き	0x84	Y	Y
ADC_CONFIG_1	E8h	構成	ADC の構成	読み取り / 書き込みバイト、PEC 付き	0x00	N	N
ADC_CONFIG_2	E9h	構成	ADC の構成	読み取り / 書き込みバイト、PEC 付き	0x00	N	N
PK_MIN_AVG	EAh	構成	ピーク / 最小 / 平均構成	読み取り / 書き込みバイト、PEC 付き	0x00	N	N

表 6-6. TPS1689 PMBus® コマンド リスト (続き)

コマンド名	表記	タイプ	概要	PMBus® トランザクション	デフォルト値	オンチップの不揮発性メモリに格納	EEPROM に格納
PSU_VOLTAGE	ECh	構成	PSU 公称電圧	読み取り / 書き込みバイト、PEC 付き	0x9D	N	N
INS_DLY	F9h	構成	挿入遅延	読み取り / 書き込みバイト、PEC 付き	0x00	Y	Y
IMON オフセット キャリブレーション	F2h	構成	IMON オフセットの構成	バイトの読み取り / 書き込み	0x00	Y	Y
LOAD_IMON_OF FSET	CAh		該当なし		0x00	Y	Y
USER DATA	F7h	構成	ユーザー保存の汎用データ		0x00	Y	Y

6.3.14.8 A/D コンバータ

TPS1689 は、アナログ マルチプレクサに続く 10 ビット、460KSPS の逐次比較型 ADC を統合しています。以下の信号を ADC でサンプリングできます。

1. VIN
2. VOUT
3. VIMON
4. VTEMP
5. VAUX
6. ADDR0
7. ADDR1

ADC は入力時に 5kHz ローパス フィルタを使用して、高周波ノイズ (ADC ナイキスト帯域幅の範囲外) を抑制し、エイリアシングを防止します。

注

また、ADC は DNL と INL の改善と引き換えにサンプリング レートを優先する高性能モードもサポートします。このモードでは、サンプリングレートは 270KSPS に低下します。このモードは、DEVICE_CONFIG レジスタの ADC_HI_PERF ビットを設定することで選択できます。

通常動作中、ADC はチャンネルを自動的にシーケンシングします。ADC チャンネルシーケンサは、サンプリング用の MUX チャンネル選択を管理します。

注

- ADDR0 信号と ADDR1 信号は、起動時にのみサンプリングされ、PMBus® ターゲット アドレスをデコードします。
- ADC は、ADC 固有のオフセットとゲイン誤差を除去するため、バックグラウンドのセルフ キャリブレーションを実装しています。

このデバイスは、選択されたパラメータの複数サンプルの RAM 内へのバッファリングもサポートしており、ホストは ADC_SAMPLE_BUF ブロック読み取りコマンドを使用してこれを読み取ることができます。これにより、システム設計者は、特定の間隔でそのパラメータの時間ドメイン プロファイル / 波形を再構築できます。これは、内蔵の「デジタル オシロスコープ」のように機能することで、設計 / デバッグ時に役立ちます。バッファリング目的でサンプリングする ADC チャンネル

と、デシメーションレート / サンプルスキップ数は、ADC_CONFIG_2 レジスタへの PMBus® 書き込みを使用してユーザーが構成できます。

TPS1689 は、生の ADC サンプルング データを後処理して、次の派生パラメータを計算できます。

1. VIN 平均
2. VIN ピーク
3. VIN 最小
4. VOUT 平均
5. VOUT 最小
6. IIN 平均
7. IIN ピーク
8. PIN
9. PIN 平均
10. PIN ピーク
11. EIN
12. 温度平均
13. 温度ピーク

単一の ADC サンプルでは、内部ノイズにより誤差が大きくなる可能性があります。より多くのサンプルを平均化することで、ADC の信号対雑音比と遠隔測定の精度を改善できます。平均化するサンプル数は、PK_MIN_AVG レジスタを使用してユーザーがプログラム可能です。最小値、最大値、平均値は、PK_MIN_AVG レジスタを使用してリセットすることもできます。

TPS1689 は、ADC でサンプルングされたデータのデジタル比較を実行して、以下のシステム イベントを検出します。

1. VIN UV WARN
2. VIN UV FAULT
3. VIN OV WARN
4. VOUT PGOOD
5. IIN OC WARN
6. OT WARN
7. OT FAULT
8. PIN OP WARN

比較の結果は PMBus® ステータス レジスタに反映され、その他の動作 (例: FET のオフ (保護応答)、故障に対する FLT 出力アサート、フォルト / 警告の SMBA# 信号アサート、ブラックボックス RAM/EEPROM の更新) をトリガするように構成できます。

6.3.14.9 D/A コンバータ

TPS1689 には複数の DAC が内蔵されており、これらを使用して各種ブロックのスレッシュホールドやゲインを設定できます。

1. **VIREF:** これは、6 ビットのバッファ付き電圧出力 DAC であり、過電流保護、短絡保護、アクティブ電流共有ブロック用のプログラマブルなスレッシュホールドを実現します。これは、VIREF レジスタを使用してプログラムできます。この信号は、これらのブロックでは常に内部で利用可能であり、オプションとして、並列チェーンにある他のデバイスを駆動するために IREF ピンに出力することもできます。
2. **IDVDT:** これは 2 ビット電流出力 DAC で、DVDT ピンに電流を供給して、出力スルーレート (DVDT) 制御を行うことができます。これは、DEVICE_CONFIG[10:9] レジスタビットを使用してプログラムできます。
3. **VOV:** これは、VIN 過電圧保護コンパレータ用のプログラム可能なスレッシュホールドを提供する 8 ビット DAC です。これは、VIN_OV_FLT レジスタを使用してプログラムできます。

6.3.14.10 DIRECT 形式変換

遠隔測定と構成パラメータについては、TPS1689 は DIRECT 形式をサポートします。遠隔測定または構成パラメータのデジタルコードは、式 11 および 式 12 を使用して、相当する実世界単位に変換できます。

• 受信した値の解釈:

ホストシステムは、PMBus® デバイスから受信した値を V、A、°C、または W の読み取り値に変換するために 式 11 を使用します。

$$X = \frac{1}{m} (Y \times 10^{-R} - b) \quad (11)$$

ここで

- X は、適切な単位 (V、A、°C、または W) で計算された「実世界」の値です。
- m は傾き係数で、2 バイトの 2 の補数整数です。
- Y は、PMBus® デバイスから受信した 2 バイトの 2 の補数整数です。
- b はオフセットで、2 バイトの 2 の補数整数です。
- R は指数で、1 バイトの 2 の補数整数です。

• 値の送信:

値を送信するには、ホストが 式 12 を使用して Y の値を検出する必要があります。

$$Y = (mX + b) \times 10^R \quad (12)$$

ここで

- Y はユニットに送信される 2 バイトの 2 の補数整数です。
- m は傾き係数で、2 バイトの 2 の補数整数です。
- x は「実世界の」値で、V、A、°C、W などの単位で表され、転送用に変換されます。
- b はオフセットで、2 バイトの 2 の補数整数です。
- R は指数で、1 バイトの 2 の補数整数に相当する 10 進値です。

表 6-7. TPS1689 PMBus® DIRECT 形式変換ガイド

パラメータ	単位	ゼロコード アナログ値	フルスケール デジタルコード	フルスケール アナログ値	m	b	R
READ_VIN	V	0	0x3FF	87.75	1166	0	-2
VIN_UV_FLT	V	0	0xFF	87.75	2906	0	-3
VIN_UV_WARN	V	0	0xFF	87.75	2906	0	-3
VIN_OV_WARN	V	16	0xFF	87.75	3554	-56864	-3
VIN_OV_FLT	V	16	0xFF	80.00	3984	-63750	-3
READ_VOUT	V	0	0x3FF	87.75	1166	0	-2
VOUT_UV_WARN	V	0	0xFF	87.75	2906	0	-3
VOUT_PGTH	V	0	0xFF	87.75	2906	0	-3
VAUX	V	0	0x3FF	1.95	5251	0	-1
READ_VTEMP	°C	-229.3	0x3FF	501.40	140	32103	-2
OT_WARN	°C	-228.7	0xFF	499.80	35	8005	-2
OT_FLT	°C	-228.7	0xFF	499.80	35	8005	-2
VIMON	V	0	0x3FF	1.95	5251	0	-1
READ_IOUT	A	0	0x3FF	42.02	24347	0	-3

表 6-7. TPS1689 PMBus® DIRECT 形式変換ガイド (続き)

パラメータ	単位	ゼロコード アナログ値	フルスケール デジタルコード	フルスケール アナログ値	m	b	R
OC_WARN	A	0	0xFF	42.02	6069	0	- 3
VIREF	V	0.3	0x3F	1.19	7111	- 2133	- 2
PSU_VOLTAGE	V	0	0xFF	85.00	3000	0	- 3
READ_PIN	W	0	0x3FF	3687.06	2775	0	- 4
PIN_OP_WARN	W	0	0xFF	3687.06	6916	0	- 5
READ_EIN	J	0	0x7FFF	543.68	60	0	0

6.3.14.11 ブラックボックス フォルト記録

ブラックボックス機能により、システム設計者は設計時や開発時、および現場返品時に電源パス関連の問題をデバッグする能力が大幅に向上します。TPS1689 は、各種のステータス レジスタを介したパラメータ データとイベント情報のスナップショットに加えて、特定の時間間隔で発生したイベント シーケンスを再現するのに役立つ追加情報を提供します。この情報は、オンチップの揮発性メモリと外部 I2C EEPROM (EECLK/EEDATA ピンで接続) の両方から利用でき、PMBus® を介してアクセスできます。

注

PMBus® エンジン、VIN や他の関連する内部ノードとは関係なく、VDD で安定した電源が利用可能になるとすぐに起動して動作します。このため、VIN 側または Power FET に損傷があった場合でも、VDD ピンに電力を印加することにより、ブラックボックスの内容をフィールドリターン ユニットから読み戻すことができます。

デバイスの動作中、ブラックボックス情報は 7 バイトの深さのブラックボックスバッファ RAM 内に保存されます。いずれかの時点で、READ_BB_RAM コマンドを発行すると、シーケンス内の最新の 7 つのイベントが、相互に関連するタイムスタンプとともに取得されます。このバッファ RAM の各バイトには、1 つのイベントに関する次の情報が格納されています。

- 3 ビットのイベント識別子
- 前のイベントからの経過時間を示す 5 ビットの値。タイマ値の下位 4 ビットは、ブラックボックス RAM にイベントを登録した瞬間の、フリーランニング ブラックボックス ティック タイマのスナップショットを表します。5 番目のビットは、最後のイベント以降にタイマが少なくとも 1 回オーバーフローしたかどうかを示します。

イベント識別子と相対タイマ情報は、システム設計者がイベントの発生時にイベントのタイムラインを再構築するのに役立ち、ステータス レジスタの単一のスナップショットを表示する場合と比較して、デバッグ機能を強化します。ブラックボックス ティック タイマは、イベントごとにゼロにリセットされるフリーランニング タイマです。タイマ更新レートは、BB_CONFIG レジスタを通じて設定できます。これにより、ユーザーはデバッグのニーズに応じて、優れたタイミング分解能と、長い時間スパンとのトレードオフを行うことができます。BB_TIMER レジスタの BB_TMR_EXP ビットは、ブラックボックス ティック タイマが最後のイベント以降にオーバーフローしたかどうかを示します。このビットは、RAM 内のイベント エントリが比較的新しいものか古いものかを示します。このビットは、タイマがオーバーフローするとラッチされ、次のイベントが発生すると、フリーランニング タイマと一緒にゼロにリセットされます。

ブラックボックス RAM への書き込みをトリガするイベントは以下のとおりです。

- VIN_UV_WARN
- VIN_OV_WARN
- OC_WARN
- OT_WARN
- OC_DET
- IN_OP_WARN

デバイスがグローバル故障またはアラート イベント (ALERT_MASK に基づく) を検出すると、ブラックボックス RAM の内容とともに、ステータス レジスタ、ピーク入力電圧、ピーク入力電流、ピーク デバイス温度、およびブラックボックス タイマ値が、EECLK/EEDATA ピン経由で外部 EEPROM に書き込まれます。

注

EEPROM インターフェイスは標準の I2C コントローラで、400kHz のクロック速度で動作します。TI は、最小 1k ビットの容量と 16 バイトのページ アドレス指定を備えた I2C EEPROM の使用を推奨します。互換性のある EEPROM デバイスの例としては、24LC04、24AA04 などがあります。

次の条件が満たされると、ブラックボックス RAM の内容と、いくつかのステータス レジスタ (STATUS_WORD、STATUS_MFR_SPECIFIC、STATUS_INPUT)、および特定のパラメータ (VIN_PEAK、IIN_PEAK、TEMPERATURE_PEAK) が外部 EEPROM のページ 0 に保存されます。同時に、ブラックボックス RAM の内容とブラックボックス ティック タイマの値がロックされます。

1. DEVICE_CONFIG レジスタの EXT_EEPROM ビットを high にセットすると、外部 EEPROM が正常に接続されます。これら 2 つの選択した GPIO ピンが、ボード上の EEPROM クロックピンとデータピンに物理的に接続されていることを確認します。
2. BB_CONFIG レジスタには、3 つの BB EEPROM 書き込みトリガ ビットのいずれかが設定されます。

ブラックボックス EEPROM の内容:

1. BB_RAM_0 ~ BB_RAM_6 [7 バイト]
2. BB_TIMER [1 バイト]
3. STATUS_WORD [2 バイト]
4. STATUS_MFR_SPECIFIC [1 バイト]
5. STATUS_INPUT [1 バイト]
6. VIN_PEAK [1 バイト、10 ビット ADC 出力データからの 8 つの MSB]
7. IIN_PEAK [1 バイト、10 ビット ADC 出力データからの 8 つの MSB]
8. TEMPERATURE_PEAK [1 バイト、10 ビット ADC 出力データからの 8 つの MSB]
9. CHECKSUM [1 バイト]

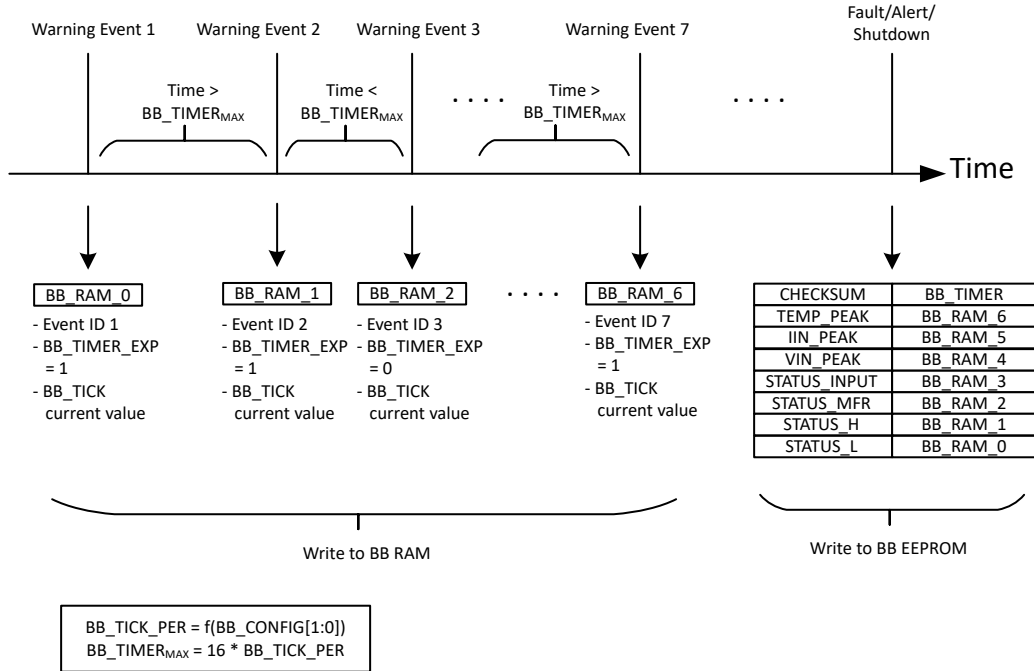


図 6-16. ブラックボックス操作の例

6.4 デバイスの機能モード

デバイスの機能は、動作モードによって異なります。表 6-8 は、デバイスの機能モードをまとめたものです。

表 6-8. EN/UVLO ピンに基づくデバイスの機能モード

ピンの状態	デバイスの状態	出力放電
$EN/UVLO > V_{UVLO(R)}$	完全にオン	ディセーブル
$V_{SD(F)} < EN/UVLO < V_{UVLO(F)}$ (時間 < t_{QOD})	FET オフ	ディセーブル
$V_{SD(F)} < EN/UVLO < V_{UVLO(F)}$ (時間 > t_{QOD})	FET オフ	イネーブル
$EN/UVLO < V_{SD(F)}$	シャットダウン	ディセーブル

7 アプリケーションと実装

7.1 アプリケーション情報

TPS1689 は、一般に入力電源レールの保護および監視用途に使用される大電流 eFuse です。このデバイスは 9V ~ 80V で動作し、ユーザーが調整可能かつプログラム可能なさまざまな保護オプションに対応しています。このデバイスは、突入電流を制御する機能を搭載しており、過電圧、過電流、短絡、過熱の各状況に対する保護を提供します。このデバイスは、サーバーのマザーボード、アドオン カード、グラフィックス カード、アクセラレータ カード、エンタープライズ スイッチ、ルータなど、さまざまなシステムで使用できます。以降のセクションで説明する設計手順を使用すると、アプリケーションの要件に基づいてサポート部品の値を選択できます。さらに、スプレッドシート設計ツールである [TPS1689x 設計カリキュレータ](#) を Web 製品フォルダで入手できます。

7.1.1 シングル デバイス、スタンドアロン動作

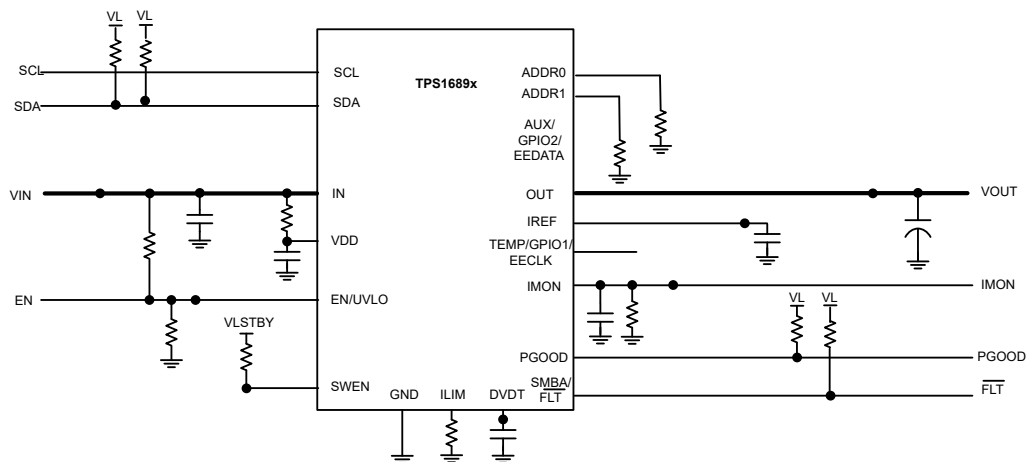


図 7-1. シングル デバイス、スタンドアロン動作

7.1.2 シングル TPS1689 デバイスと複数の TPS1685 デバイス、並列接続

大電流の入力保護と、遠隔測定、制御、構成のためのデジタル インターフェイスを必要とするアプリケーションでは、[図 7-2](#) に示すように、1 つまたは複数の TPS1685 デバイスを TPS1689 と並列に使用できます。

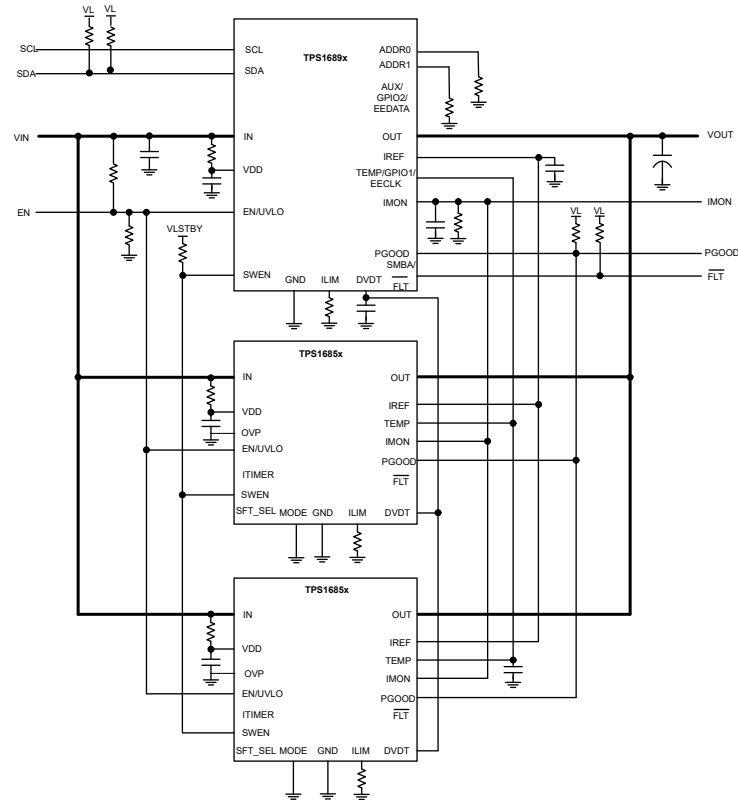


図 7-2. TPS1689 は TPS1685x と並列に接続され、PMBus® により大電流をサポートします

この構成では、TPS1689 がプライマリ デバイスとして動作し、チェーン内のセカンダリ デバイスとして指定されている他の TPS1685x デバイスを制御します。この構成は、次のようにプライマリ デバイスを接続することで実現されます。

1. VDD は、R-C フィルタを介して IN に接続します。
2. DVDT は、コンデンサを介して GND に接続します。
3. IREF は、コンデンサを介して GND に接続します。
4. IMON は抵抗を介して GND に接続します。
5. ILIM は抵抗を介して GND に接続します。

セカンダリ デバイスは、次の方法で接続する必要があります。

1. VDD は、R-C フィルタを介して IN に接続します。
2. MODE ピンは GND に接続します。
3. ITIMER ピンはオープンのままにします。
4. ILIM は抵抗を介して GND に接続します。

すべてのデバイスの以下のピンは互いに接続する必要があります。

1. IN
2. OUT
3. EN/UVLO
4. DVDT
5. SWEN
6. PGOOD
7. IMON
8. IREF
9. TEMP

この構成では、すべてのデバイスが同時に電源投入され、有効になります。

- TPS1689 は、VIN、VOUT、IMON、TEMP を組み合わせたものを監視し、PMBus® 遠隔測定インターフェイス経由で報告します。
- OVLO スレッシュホールドは、デフォルトで、すべてのデバイスで最大値に設定されます。TPS1685x デバイスの場合、OV スレッシュホールドはハードウェアで固定されているため変更できません。TPS1689 の OV スレッシュホールドは、PMBus® による VIN_OV_FLT レジスタへの書き込みにより下げることができます。この場合、TPS1689 は SWEN ピンを使用して、OV 状態のときに TPS1685x デバイスをオフにします。
- すべてのデバイスの UVLO スレッシュホールドは、EN/UVLO ピンで IN と GND の間の外付け抵抗デバイダによって設定されます。TPS1689 の UV スレッシュホールドは、PMBus® 書き込みにより VIN_UV_FLT レジスタへ変更できます。この場合、TPS1689 は SWEN ピンを使用して、UV 状態のときに TPS1685x デバイスをオフにします。
- 突入時に、すべてのデバイスの出力が DVDT コンデンサに基づいてともに上昇します。ただし、TPS1689 DVDT ソース電流は、PMBus® から DEVICE_CONFIG[10:9] レジスタへの書き込みを行うことで構成することにより、チェーン全体の突入動作を変更できます。TPS1689 は、チェーン全体の DVDT ランプ レートを制御し、セカンダリ デバイスは単純にランプ レートに従います。
- TPS1689 は、内蔵 DAC を使用して VIREF スレッシュホールド電圧を設定することで、並列チェーンの全体的な過電流スレッシュホールドを制御します。VIREF 電圧は、PMBus® を使ってプログラミングでき、過電流スレッシュホールドを変更できます。
- TPS1689 は、PMBus® から OC_TIMER レジスタへの書き込みにより、システム全体の過渡過電流ブランキング期間 (t_{OC_TIMER}) を制御します。デジタル タイマが満了すると、TPS1689 は SWEN ピンを Low にして、すべてのデバイスに信号を送信し、回路を同時に切断します。
- システムのパワー グッド (PGOOD) 表示は、すべての個別デバイスの PGOOD 表示の組み合わせです。すべてのデバイスは、パワー FET が完全にオンになるまで、それぞれの PGOOD ピンを Low に保持します。すべてのデバイスが定常状態に達すると、それぞれの PGOOD ピン プルダウンがリリースされ、チェーン全体の PGOOD 信号が high にアサートされます。TPS1685x セカンダリ デバイスは、スタートアップ時にのみシステムの PGOOD アサートを制御します。定常状態になると、TPS1689 のみが VOUT_PGTH レジスタ設定に基づいて PGOOD のアサート解除を制御します。
- システム全体の故障表示 ($\overline{\text{FLT}}$) は、TPS1689 により提供されます。ただし、各セカンダリ デバイスは独自の $\overline{\text{FLT}}$ を独立してアサートします。

パワーアップ: パワーアップまたはイネーブル後、すべての eFuse デバイスは最初は、内部ブロックが正しくバイアスされ初期化されるまで、SWEN を low に保持します。その後、各デバイスは独自の SWEN をリリースします。すべてのデバイスが SWEN をリリースすると、結合された SWEN が high になり、各デバイスはそれぞれの FET を同時にオンにする準備ができます。

突入電流: 突入時は、DVDT ピンが 1 つの DVDT コンデンサに接続されているため、すべてのデバイスが同じスルー レート (SR) で出力をオンにします。式 13 と式 14 に基づいて一般的な DVDT コンデンサ (C_{DVDT}) を選択します。

$$SR \left(\frac{V}{ms} \right) = \frac{I_{INRUSH} (mA)}{C_{OUT} (\mu F)} \quad (13)$$

$$C_{DVDT} (pF) = \frac{50000 \times k}{SR \left(\frac{V}{ms} \right)} \quad (14)$$

詳細については、[セクション 6.3.4.1](#) を参照してください。

内部のバランシング回路により、スタートアップ時に負荷電流がすべてのデバイスで共有されることが保証されます。この動作により、一部のデバイスが他のデバイスよりも高速にオンになる状況や、他のデバイスより大きな熱ストレスが発生する状況を防止できます。これにより、並列チェーンの早期または部分的なシャットダウン、またはデバイスの SOA 損傷を防止できます。電流バランシング方式により、並列に接続されるデバイスの数に応じてチェーンスケールの突入電流能力が保証されるため、起動時のより大きな出力キャパシタンスや高負荷でのスタートアップが確実に成功します。すべてのデバイスが、スタートアップ中はそれぞれの PGOOD 信号を low に保持します。出力が完全に上昇して定常状態に達すると、各デバイスは独自の PGOOD プルダウンをリリースします。すべてのデバイスの DVDT ピンは互いに接続されているた

め、すべてのデバイスの内部ゲート **high** 検出が同期されます。デバイス間に何らかのスレッシュホールドまたはタイミングの不一致がある場合、**PGOOD** は交互にアサートされます。ただし、すべてのデバイスの **PGOOD** ピンは互いに接続されているため、結合された **PGOOD** 信号は、すべてのデバイスが **PGOOD** プルダウンをリリースした後でのみ **high** になります。この結果、ダウンストリームの負荷に対して、電力引き込みに問題がないことが示されます。

定常状態: 定常状態では、すべてのデバイスはアクティブ電流共有メカニズムを使用して、ほぼ等しく電流を共有します。アクティブ電流共有メカニズムにより、個別のデバイスの $R_{DS(on)}$ をアクティブにレギュレートし、並列チェーン内のすべてのデバイスに電流を均等に分配します。**PGOOD** がアサートされると、デアサートは **TPS1689** によってのみ制御され、**VOUT_PGTH** レジスタ設定に基づいて制御されます。

定常状態での過電流: 並列チェーンのサーキット ブレーカのスレッシュホールドは、個々のデバイスを流れる電流ではなく、システム全体の電流に基づいています。このために、すべてのデバイスの **IMON** ピンを シングル抵抗 (R_{IMON}) に接続して **GND** に接続します。同様に、すべてのデバイスの **IREF** ピンを互いに接続します。**TPS1689** は、内部プログラマブル DAC (**VIREF**) を使用して、すべてのデバイスで過電流保護ブロックの共通基準電圧を生成します。この操作により、デバイス間の過電流スレッシュホールドの全体的なミスマッチに対する V_{IREF} の変動を最小限に抑えることができます。

この場合、次の式に従って R_{IMON} を選択します。

$$R_{IMON} = \frac{V_{IREF}}{I_{MON} \times I_{OCP(TOTAL)}} \quad (15)$$

各デバイスのスタートアップ電流制限およびアクティブ電流共有スレッシュホールドは、**ILIM** ピンを使って独立して設定されます。**TPS1689** および **TPS1685** の R_{ILIM} 値は、次の式に基づいて選択する必要があります。

$$R_{ILIM} = \frac{1.1 \times N \times R_{IMON}}{3} \quad (16)$$

ここで、 N = 並列チェーン接続されたデバイスの数 ($1 \times \text{TPS1689} + (N-1) \times \text{TPS1685x}$)

その他のバリエーション: **IREF** ピンは、低インピーダンスの外部高精度電圧リファレンスから駆動できます。

過電流イベントが発生すると、すべてのデバイスの過電流検出が同時にトリガされます。これにより、**TPS1689** の過電流ブランキング タイマ (**OC_TIMER**) がトリガされます。**TPS1689** は **OC_TIMER** 期限切れイベントをトリガとして使用し、すべてのデバイスの **SWEN** を **Low** にします。このようにしてチェーン全体で同時にサーキットブレーカ動作が開始されます。このメカニズムにより、デバイス間の電流分配、過電流スレッシュホールド、**OC_TIMER** 間隔の不一致が原因で、完全な並列チェーンのサーキット ブレーカ スレッシュホールドや過電流ブランキング期間の精度が低下しないことが保証されます。ただし、セカンダリ デバイスではバックアップ過電流タイマも維持されており、プライマリデバイスが特定の間隔内にそうした動作に失敗した場合に、チェーン全体のシャットダウンをトリガすることがあります。

重度の過電流 (短絡): 出力に重大な故障が発生した場合 (たとえば、低インピーダンスのパスで出力がグランドに短絡した場合)、電流は急速に大きな値に上昇し、各デバイス的高速トリップ応答をトリガします。これらのデバイスは、高速トリップ保護のために 2 つのスレッシュホールドを使用します。ユーザーが調整可能なスレッシュホールドと、固定スレッシュホールド (定常状態時 I_{FFT} のみ) です。高速トリップの後、**TPS1689** は、**DEVICE_CONFIG** レジスタの **SC_RETRY** 構成ビット設定に依存して、チェーン全体がラッチされたフォルトに移行するか、または電流制限方法で再起動することで高速回復を実行するかを判断します。ラッチされた故障に移行すると、デバイスをパワー サイクルするか、再度イネーブルにするか、または **RETRY_CONFIG** レジスタ設定に基づく遅延後に自動再試行するまで、デバイスはラッチオフ状態を維持します。

7.1.3 複数の TPS1689 デバイス : 個別遠隔測定との並列接続

各 **eFuse** の遠隔測定、制御、および構成のための個別のデジタル インターフェイスとともに、より高電流のサポートを必要とするアプリケーションでは、1 個の **TPS1689** と複数の **TPS1685x** の代わりに、必要に応じて複数の独立した **TPS1689** を使用できます。

複数の **TPS1685x** と並列接続された **TPS1689** に関して、いくつかの修正が必要であり、図 7-3 に示されています

- IMON ピンを分離する必要があります。各デバイスは、独自の OCP 応用に構成されます。個々の OCP スレッショルドは、システムの OCP スレッショルドの $1/N$ に設定する必要があります。ここで、 N は並列接続されたデバイスの総数です。
- 両方のデバイスの PMBus アドレスは、各デバイスに独立してアクセスできるように、異なる値に設定する必要があります。
- /FLT ピンは、どのデバイスが故障を検出したかを容易にデバッグできるように、分離しておく必要があります。

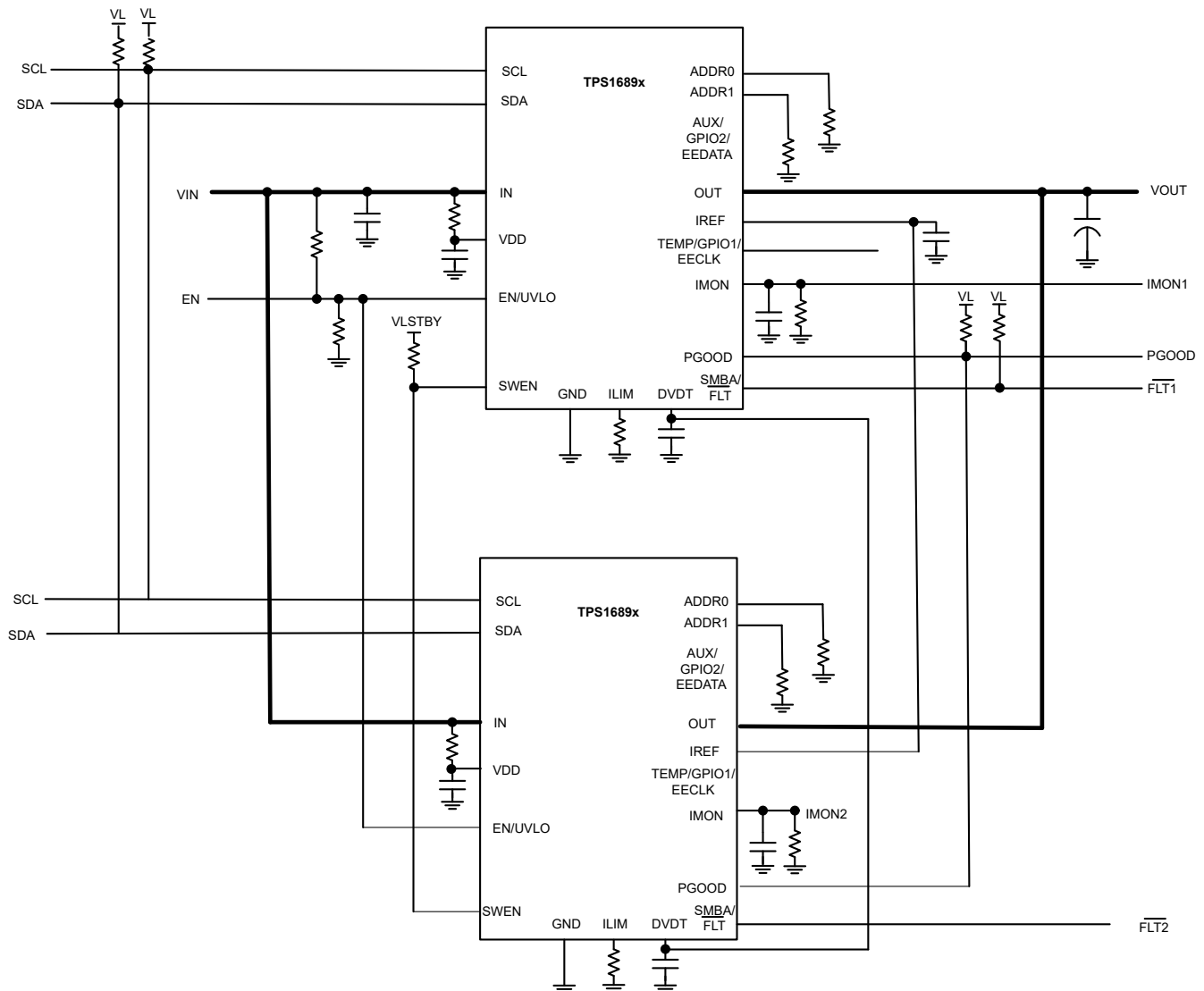


図 7-3. 複数の TPS1689 を使用する独立したスタック

7.1.4 複数デバイス、独立動作 (マルチゾーン)

共通の電源からの電力を別の電源ゾーンに分配する必要があるシステムでは、図 7-4 に示すように、複数の TPS1689 デバイスを使用して、各ゾーンに対して独立した監視と保護を提供できます。

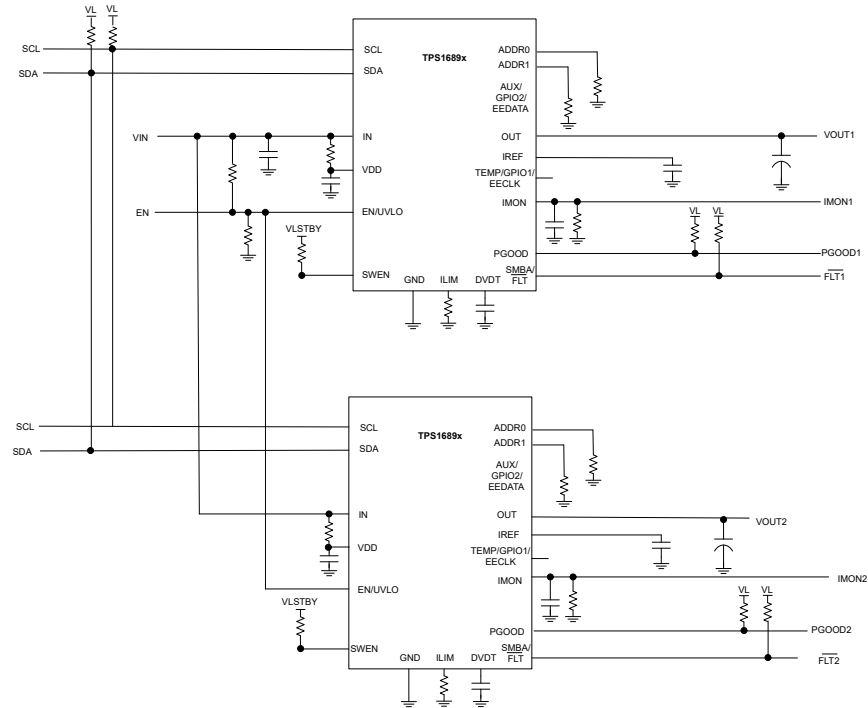


図 7-4. 複数の TPS1689 デバイスで、システム内のさまざまなゾーンに電力を供給

この構成では、各デバイスの以下のピンが、他のデバイスの対応するピンに接続されます。

1. IN
2. EN/UVLO
3. SCL
4. SDA

注

各ゾーンに異なるハードウェア制御信号または UVLO スレッショルドを持つ必要がある場合は、EN/UVLO ピンを分離できます。

この構成では、すべてのデバイスを PMBus® 経由で個別に監視および制御します。これらのデバイスは同じバスを共有するため、異なるデバイス アドレスを使用する必要があります。このアドレスは、ADDR0 ピンと ADDR1 ピンの異なるピンストラップの組み合わせを使用して設定できます。

7.2 代表的なアプリケーション：データセンター サーバーの PMBus® インターフェイスによる 54V、2kW パワーパスの保護

この設計例では、公差 $\pm 10\%$ の 54V システム動作電圧を想定しています。最大定常状態負荷電流は 40A です。負荷電流が 44A を超える場合、eFuse 回路は最大 4ms 間隔で過渡過負荷電流を許容する必要があります。それよりも長く持続的な過負荷が続く場合、eFuse 回路は回路を切断してからラッチオフする必要があります。eFuse 回路は、2mF のバルク容量を充電する必要があります。この設計例のアプリケーション回路図を 図 7-5 に示します。

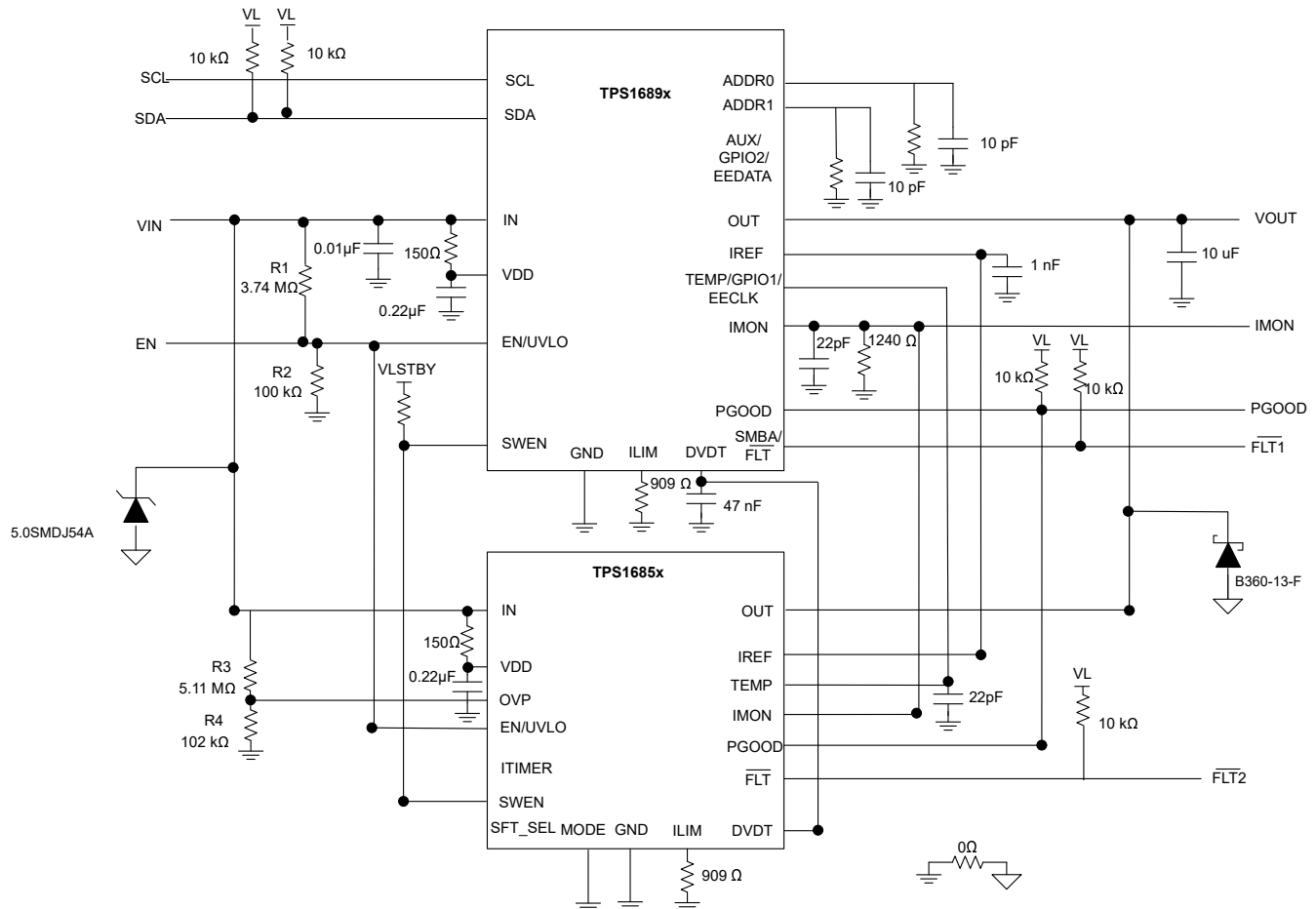


図 7-5. PMBus® インターフェイスを備えた 54V、2kW パワーパス保護回路のアプリケーション回路図

7.2.1 設計要件

このアプリケーション例の設計パラメータを、表 7-1 に示します。

表 7-1. 設計パラメータ

パラメータ	値
入力電圧範囲 (V_{IN})	43V~60V
最大 DC 負荷電流、($I_{OUT(max)}$)	40A
最大出力キャパシタンス (C_{LOAD})	2mF
最大周囲温度	55°C
過渡過負荷ブランキング タイマ	4ms
出力における「ホット短絡」に耐える必要があるか？	あり
「パワーアップ時の短絡」状態に耐える必要はあるか？	あり
基盤はホットプラグまたはパワー サイクルに対応しているか？	あり
負荷電流監視は必要か？	あり
遠隔測定、制御、構成可能性のために PMBus® インターフェイスが必要か？	あり
故障応答	ラッチオフ

7.2.2 詳細な設計手順

• 並列使用する eFuse デバイス数の決定

遠隔測定、制御、構成のために設計に PMBus® の機能またはインターフェイスが必要であるため、必要な定常状態熱設計電流に対応できるように、TPS1689 eFuse をプライマリ デバイスとして、TPS1685x eFuse をセカンダリ デバイスとして並列に使用する必要があります。接合部から周囲への熱抵抗 ($R_{\theta JA}$) のわずかな変動を考慮に入れることで、各 TPS1689 eFuse および TPS1685x eFuse は、最大接合部温度 125 °C で、それぞれ最大 RMS 電流 20A および 20A が定格とされます。したがって、式 17 を使用して、ソリューションを設計する必要がある最大定常状態 DC 負荷電流 ($I_{LOAD(max)}$) をサポートするために、TPS1689 eFuse と並列に接続する TPS1685x eFuse の数 ($N-1$) を計算できます。

$$(N - 1) \geq \frac{(I_{OUT(max)} - 20)}{20} \quad (17)$$

表 7-1 によると、 $I_{OUT(max)}$ は 40A です。したがって、目的の定常状態負荷電流をサポートするために、1 つの TPS1689 と 1 つの TPS1685x eFuse が並列に接続します。

• TPS1689 と TPS1685x eFuse の並列組み合わせにおけるプライマリとセカンダリ デバイスの設定

TPS1689 は、デフォルトでプライマリ デバイスとして機能します。すべての TPS1685x eFuse の MODE ピンを GND に接続することで、セカンダリ デバイスとして構成されます。

• V_{IREF} を選択して、過電流保護とアクティブ電流共有のリファレンス電圧を設定する

過電流保護とアクティブ電流共有のためのリファレンス電圧 (V_{IREF}) は、デフォルトで 1V です。ただし、0.3V ~ 1.2V の範囲内で別のリファレンス電圧が必要な場合は、 V_{IREF} レジスタを使用して PMBus® でプログラムできます。システム電流を監視したり、VR コントローラ内にプラットフォーム電力制御 (Intel PSYS) 機能を実装するために、IMON ピン (V_{IMON}) の電圧を ADC への入力として使用する場合、 V_{IREF} をコントローラの ISYS_IN 入力の最大電圧範囲の半分に設定する必要があります。この動作により、システムが高速トリップ スレッショルド ($2 \times I_{OCP(TOTAL)}$) までの負荷電流を正確に監視するために必要なヘッドルームとダイナミックレンジを確保します。ノイズ耐性を向上させるため、IREF ピンから GND に 1nF のセラミック コンデンサを配置します。

注

過電流検出回路の正常な動作を保証するために、 V_{IREF} を推奨電圧範囲内に維持します。

- 定常状態時における過電流 (回路ブレーカ) および高速トリップのスレッシュホールドを設定するための R_{IMON} 抵抗を選択する

TPS1689 eFuse は、定常状態における出力過電流状態に対し、ユーザーが調整可能な過渡フォルトのブランキング間隔の後に、出力をオフにすることで応答します。この eFuse は、合計システム電流 (I_{OUT}) 連続的に検出し、IMON ピンに比例したアナログ電流出力 (I_{IMON}) を生成します。これにより、負荷電流に応答して IMON ピン抵抗 (R_{IMON}) の両端に電圧 (V_{IMON}) が生成されます。これは、式 18 と定義されます。

$$V_{IMON} = I_{OUT} \times G_{IMON} \times R_{IMON} \quad (18)$$

G_{IMON} は電流モニタ ゲイン ($I_{IMON}: I_{OUT}$) で、その標準値は $18.23\mu A/A$ です。過電流状態は、 V_{IMON} をスレッシュホールドとして V_{IREF} と比較することで検出されます。定常状態における回路ブレーカのスレッシュホールド ($I_{OCP(TOTAL)}$) は、式 19 を使用して計算できます。

$$I_{OCP(TOTAL)} = \frac{V_{IREF}}{G_{IMON} \times R_{IMON}} \quad (19)$$

この設計例では、 $I_{OCP(TOTAL)}$ は約 44A と見なされます。したがって、 $I_{OCP(TOTAL)}$ は 44A に設定する必要があり、 G_{IMON} が $18.23\mu A/A$ 、 V_{IREF} が 1V のとき、 R_{IMON} は 1246.6Ω と計算できます。選択された R_{IMON} の値は、公差 0.1%、電力定格は 100mW で 1240Ω です。これにより、回路ブレーカのスレッシュホールドは 44.2A になります。ノイズ耐性を向上させるために、IMON ピンから GND に 22pF のセラミック コンデンサを配置してください。

注

R_{IMON} を選択する際は、個々のデバイスが流す電流ではなく、合計システム出力電流 (I_{OUT}) を考慮する必要があります。

- 定常状態時のアクティブ共有スレッシュホールドを設定するための R_{ILIM} 抵抗の選択

R_{ILIM} は、並列チェーン内のデバイス間における定常状態時でのアクティブ電流共有スレッシュホールドの設定に使用されます。各デバイスは、自身を流れる電流 (I_{DEVICE}) を継続的に監視し、自身の ILIM ピンに比例したアナログ出力電流を出力します。これにより、それぞれの ILIM ピン抵抗 (R_{ILIM}) の両端に比例した電圧 (V_{ILIM}) が生成されます。これは、式 20 と表されます。

$$V_{ILIM} = I_{DEVICE} \times G_{ILIM} \times R_{ILIM} \quad (20)$$

G_{ILIM} は電流モニタ ゲイン ($I_{ILIM}: I_{DEVICE}$) で、標準値は $18.24\mu A/A$ です。

- 定常状態でのアクティブ電流共有: このメカニズムは、デバイスが定常状態に達した後にのみ動作し、自身の負荷電流情報 (V_{ILIM}) を、アクティブ電流共有リファレンス ($CLREF_{LIN}$) スレッシュホールドと比較することで、独立して動作します。これは、式 21 と定義されます。

$$CLREF_{LIN} = \frac{1.1 \times V_{IREF}}{3} \quad (21)$$

したがって、並列接続されたデバイス数を N として、アクティブ電流共有スレッシュホールドを $I_{OCP(TOTAL)}/N$ と定義するために、 R_{ILIM} は式 22 を使用して計算する必要があります。 $N = 2$ 、 $R_{IMON} = 1240\Omega$ 、および式 22 を使用して、 R_{ILIM} は 909.3Ω と計算できます。各デバイスの R_{ILIM} として、公差 0.1%、定格電力 100mW の、最も近い標準値 909Ω の抵抗が選択されます。

$$R_{ILIM} = \frac{1.1 \times N \times R_{IMON}}{3} \quad (22)$$

注

R_{ILIM} の値を決定する際、アクティブ電流供給 ($I_{LIM(ACS)}$) に異なるスレッショルドが必要な場合は、式 23 を使用する必要があります。

$$R_{ILIM} = \frac{1.1 \times V_{IREF}}{3 \times G_{ILIM} \times I_{LIM(ACS)}} \quad (23)$$

• 過電流ブランキング タイマ期間 (t_{OC_TIMER}) を選択する

並列チェーン全体の過電流ブランキング タイマ期間 (t_{OC_TIMER}) は、TPS1689 によって制御され、デフォルトで 2.18ms に設定されています。ただし、OC_TIMER (E6h) レジスタを使用して、PMBus® 経由で別の値にプログラムすることもできます。すべてのセカンダリ TPS1685x デバイスの ITIMER ピンは、オープンのままにする必要があります。

• 低電圧誤動作防止スレッショルドを設定するための抵抗を選択する

低電圧誤動作防止 (UVLO) スレッショルドは、セクション 6.3.1 セクションに記載されているように、デバイスの IN、EN/UVLO、GND の各ピン間に接続された R1 と R2 の外部電圧分割回路網を使用して調整します。UVLO スレッショルドを設定するために必要な抵抗値は、式 24 を使用して計算します。TI は、電源から引き込まれた入力電流を最小限に抑えるため、R1 および R2 に高い抵抗値を使用することを推奨します。デバイスの電氣的仕様から、UVLO 立ち上がりスレッショルド $V_{UVLO(R)} = 1.2V$ となります。設計要件から、 $V_{INUVLO} = 46V$ です。最初に $R1 = 3.74M\Omega$ の値を選択し、式 24 を使用して $R2 = 100k\Omega$ を計算します。直近の標準的な 1% 抵抗値を使用: $R1 = 3.74M\Omega$ および $R2 = 100k\Omega$ 。ノイズを低減するため、EN/UVLO ピンと GND の間に 100pF のセラミック コンデンサを配置します。

$$V_{IN(UV)} = V_{UVLO(R)} \frac{R1 + R2}{R2} \quad (24)$$

• 過電圧誤動作防止スレッショルドを設定するための抵抗を選択する

「過電圧保護」セクションで説明されているように、過電圧誤動作防止 (OVLO) スレッショルドは、デバイスの IN、OVLO、GND ピン間に接続された R3 と R4 の外部電圧分割回路網を使用して調整します。OVLO スレッショルドの設定に必要な抵抗値は、以下の式を使用して計算します。

$$V_{IN(OV)} = V_{OVLO(R)} \frac{R1 + R2}{R2} \quad (25)$$

TI は、電源から引き込まれた入力電流を最小限に抑えるため、R3 および R4 に高い抵抗値を使用することを推奨します。デバイスの電氣的仕様から、OVLO 立ち上がりスレッショルド $V_{OVLO(R)} = 1.164V$ となります。設計要件から、 $V_{INOVLO} = 60V$ です。最初に $R1 = 5.11M\Omega$ の値を選択し、式 24 を使用して $R3 = 101k\Omega$ を計算します。直近の標準的な 1% 抵抗値を使用: $R3 = 5.11M\Omega$ および $R4 = 102k\Omega$ 。ノイズを低減するため、OVLO ピンと GND の間に 10pF のセラミック コンデンサを配置します。

• TPS1689 および TPS1685x における VIN と VDD 間の R-C フィルタの選択

VDD ピンは、システム過渡の影響を受けない、フィルタリングされ、安定した電源で eFuse の内部制御回路に電力を供給することを目的としています。このため、入力電源 (IN ピン) から VDD ピンに R (150Ω) – C (0.22μF) フィルタを使用してください。これは、電源ノイズをフィルタリングして、出力での短絡などの重大な故障が発生した場合にコントローラ電源を維持するのに役立ちます。並列チェーンでは、この R-C フィルタを各デバイスに採用する必要があります。

• PMBus® SCL、SDA、SMBA# ラインのプルアップ抵抗を選択する

一般に、SCL、SDA、SMBA# ラインは、10kΩ のプルアップ抵抗を使用して、5V 未満の電位にプルアップできます。ただし、これらのプルアップ抵抗の適切な値をシステムの仕様に基づいて求めるには、I2C バス プルアップ抵抗の計算を参照してください。

• PMBus® ターゲット デバイス アドレスを構成する

優先デバイス アドレスを設定するため、[セクション 6.3.14.1](#) に記載されているように、ADDR0 と ADDR1 の間で適切な抵抗を GND に配置するか、これらのピンをフローティング状態にするか GND に接続します。正しいアドレス デコードのためのノイズ耐性を向上させるために、ADDR0 および ADDR1 の抵抗と並列に 10pF のセラミック コンデンサを接続します。

• 入力側の TVS ダイオードと出力側のショットキー ダイオードの選択

デバイスが瞬間的に大量の電流を遮断する短絡および過負荷電流による制限が発生した場合、入力インダクタンスによって入力に正の電圧スパイクが生成され、出力インダクタンスによって出力に負の電圧スパイクが生成されます。これらの電圧スパイク (過渡現象) のピーク振幅は、デバイスの入力または出力と直列のインダクタンスの値に依存します。適切な手順を講じない場合、これらの過渡現象はデバイスの絶対最大定格を超え、最終的には電氣的オーバーストレス (EOS) による損傷につながる可能性があります。この問題に対処する一般的な方法は、以下のとおりです。

1. デバイスの入出力において、リード長を短くしインダクタンスを最小限に抑えます。
2. PCB には、大きい GND プレーンを使用します。
3. 入力側の正の過渡スパイクをクランプするために、過渡電圧サプレッサ (TVS) ダイオードを追加します。
4. 出力の両極間にショットキー ダイオードを配置して、負のスパイクを吸収します。

IN ピンの絶対最大定格 (90V) を下回るように入力側の正の過渡電圧を効果的にクランプするための適切な TVS ダイオードの選択および並列する TVS ダイオードの数の詳細については、「[ホットスワップ回路における TVS クランピング](#)」および「[ホットスワップおよび ORing アプリケーションにおける TVS ダイオードの選択](#)」を参照してください。これらの TVS ダイオードは、ホット プラグ イベント時の IN ピンでの過渡電圧を制限するのにも役立ちます。この設計例では、SMDJ54A を 2 個並列に使用しています。

注

eFuse の安全な動作のために、 I_{pp} (10/1000μs) (V) で選択された TVS ダイオードの最大クランプ電圧 V_C 仕様は、電力入力 (IN) ピンの絶対最大定格よりも低くなければなりません。

ショットキー ダイオードは、以下の基準に基づいて選択する必要があります。

- 選択したダイオードの非反復ピーク順方向サージ電流 (I_{FSM}) は、高速トリップ スレッショルドよりも大きくなければなりません。単一のショットキー ダイオードが必要な I_{FSM} 定格を満たすことができない場合は、2 つ以上のショットキー ダイオードを並列に使用する必要があります。[式 26](#) は、並列に使用する必要があるショットキー ダイオード ($N_{Schottky}$) の数を計算します。

$$N_{Schottky} > \frac{I_{SFT}}{I_{FSM}} \quad (26)$$

- I_{FSM} に近い順方向電圧降下 (V_F) は、できるだけ小さくする必要があります。理想的には、OUT ピンでの負の過渡電圧は、OUT ピンの絶対最大定格 (-5V) 内にクランプされる必要があります。
- DC ブロック電圧 (V_{RM}) は、最大入力動作電圧より高くなければなりません。
- リーク電流 (I_R) は、できるだけ小さくする必要があります。

この設計例では、B360-13-F を 2 個並列に使用しています。

• C_{IN} および C_{OUT} を選択

TI は、入力と出力の電圧を安定させるため、セラミック バイパス コンデンサを追加することを推奨します。ホットプラグ イベント時の電流スパイクを最小限に抑えるため、 C_{IN} の値を小さく保つ必要があります。各デバイスについて、0.1μF の C_{IN} が妥当な目標値です。 C_{OUT} はホットプラグ中に充電されないため、各デバイスの OUT ピンには 2.2μF などのより大きな値を使用できます。

7.2.3 アプリケーション特性の波形

以下のすべての波形は、1 個の TPS1689 eFuse と 1 個の TPS1685x eFuse を並列に接続した評価セットアップ時にキャプチャしたものです。すべてのプルアップ電源は、個別のスタンバイレールから求められます。

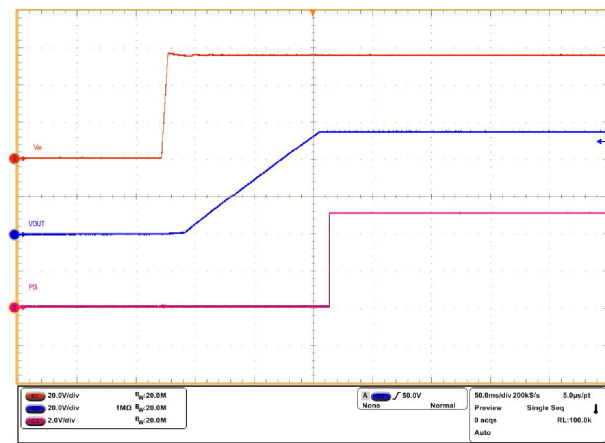


図 7-6. VIN は 0V から 54V に上昇

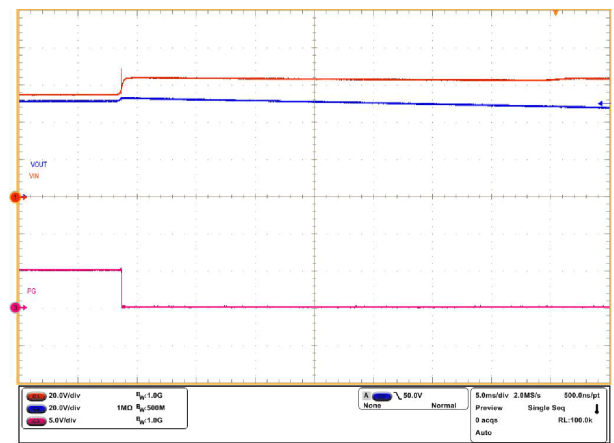


図 7-7. 過電圧保護

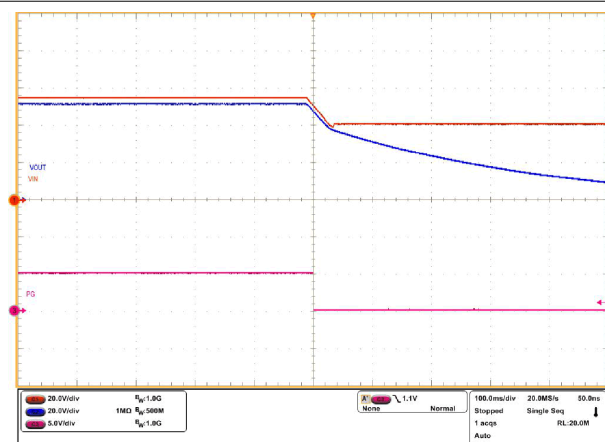


図 7-8. 低電圧保護

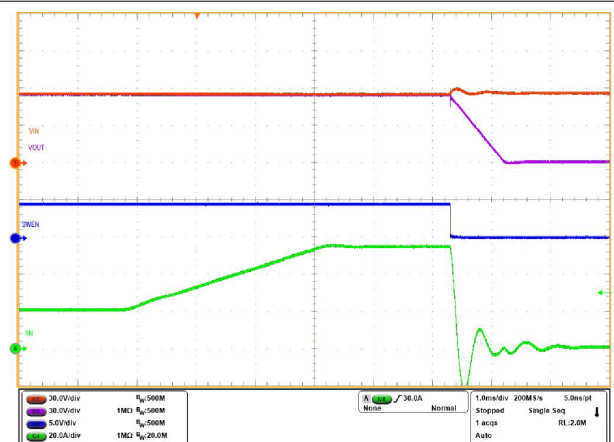


図 7-9. 過電流保護

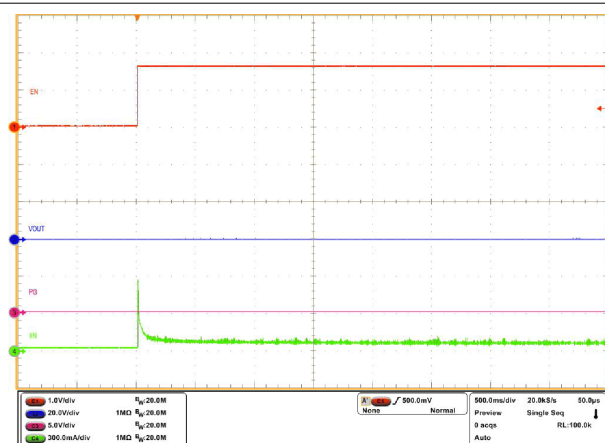


図 7-10. パワーアップ時の短絡: VIN = 54V、EN/ UVLO が 0V から 3V に昇圧

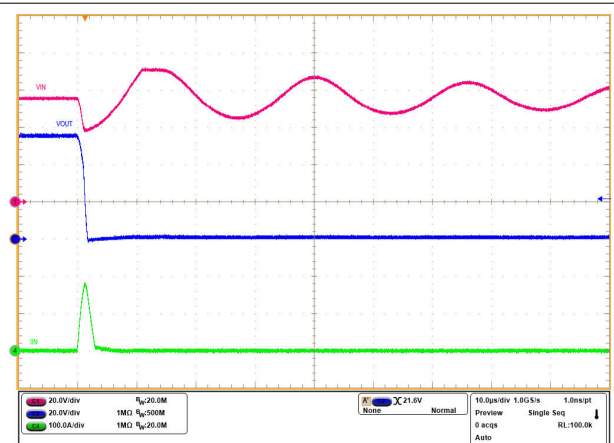


図 7-11. 出力ホット短絡応答

7.3 電源に関する推奨事項

TPS1689 デバイスは、IN ピンで 9V ~ 80V、VDD ピンで 9V ~ 80V の範囲の電源電圧用に設計されています。TI は、ホットプラグ イベント時の高スループートの結合を回避するため、各デバイスの IN ピンに 0.1μF の最小容量を並列チェーンで使用することを推奨します。TI は、電源ノイズをフィルタして、短絡などの重大な障害が発生したときにコントローラ電源を保持するために、IN 電源から VDD ピンに R-C フィルタを使用することも推奨します。

注

1. 構成レジスタ不揮発性メモリのインシステムプログラミングが必要な場合は、TI は VDD に最小電源電圧 10V を使用することを推奨します。

7.3.1 過渡保護

デバイスが電流フローに割り込むタイミングで、短絡または回路ブレーカ イベントによる制限が発生した場合、入力インダクタンスによって入力に正の電圧スパイクが生成され、出力インダクタンスによって出力に負の電圧スパイクが生成されます。電圧スパイク (過渡現象) のピーク振幅は、デバイスの入力または出力に存在する直列インダクタンスの値に依存します。この問題に何等かの策を講じない場合は、上記の過渡現象によって、デバイスの絶対最大定格を超える可能性があります。過渡現象に対処する一般的な方法は、以下のとおりです。

- デバイスの入出力において、リード長を短くしインダクタンスを最小限に抑えます。
- PCB には、大きい GND プレーンを使用します。
- 負のスパイクを吸収するために、OUT ピン接地からショットキー ダイオードを接続します。
- デバイスのすぐ近くの OUT ピンに 2.2μF 以上の低 ESR コンデンサを接続します。
- 入力過渡の立ち上がり時間を減衰させるため、デバイスのすぐ近くの IN ピンに $C_{IN} = 0.1\mu F$ 以上のセラミック コンデンサを接続します。誘導性リングング時の正の電圧変動に耐えるため、コンデンサの電圧定格は入力電源電圧の少なくとも 2 倍である必要があります。

入力容量の近似値は、式 27 を使用して推定できます。

$$V_{SPIKE(Absolute)} = V_{IN} + I_{LOAD} \times \sqrt{\frac{L_{IN}}{C_{IN}}} \quad (27)$$

V_{IN} は公称電源電圧です。

I_{LOAD} は負荷電流です。

L_{IN} はソースから見た実効インダクタンスに等しい値です。

C_{IN} は入力に存在する容量です。

- 一部のアプリケーションでは、過渡状態においてデバイスの絶対最大定格を超えないように、過渡電圧サプレッサ (TVS) の追加が必要になる場合があります。場合によっては、過渡の最大振幅がデバイスの絶対最大定格を下回った場合でも、TVS は過度のエネルギー ダンプを吸収し、IC の入力電源ピンに非常に高速な過渡電圧が生じて内部制御回路に結合し、予期しない動作を引き起こすのを防ぐのに役立ちます。

オプションの保護部品を使用した回路実装例を、図 7-12 に示します。

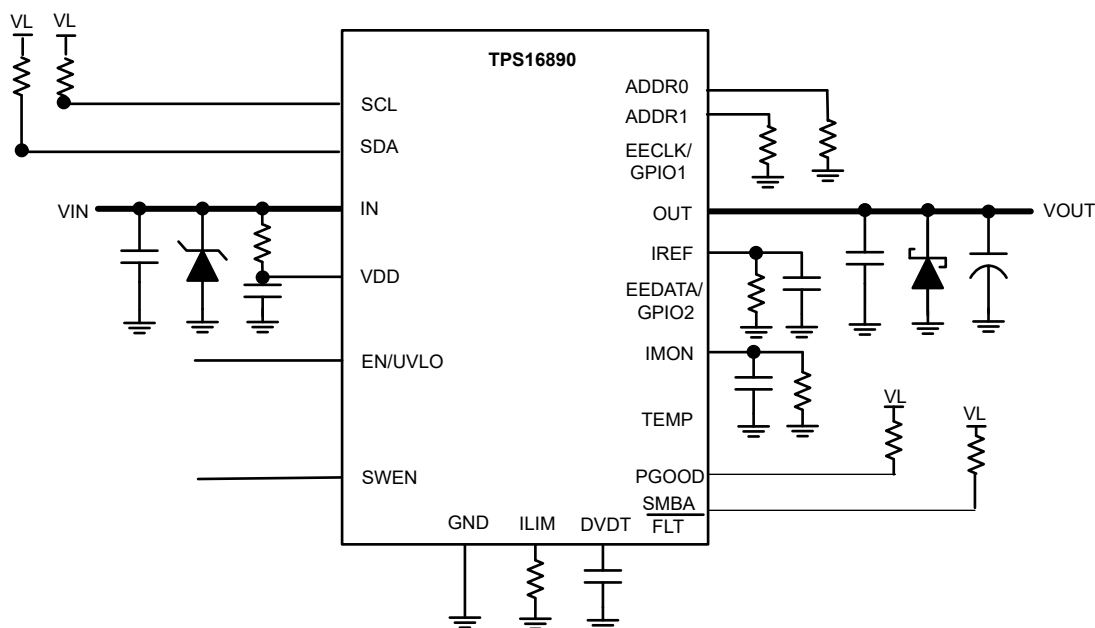


図 7-12. オプションの保護部品を使用した回路実装

7.3.2 出力短絡測定

再現可能で同様の短絡テスト結果を得るということは困難です。結果のばらつきの原因には、次のようなものがあります。

- ・ ソース バイパス
- ・ 入力リード線
- ・ 回路レイアウト
- ・ 部品選定
- ・ 出力短絡方法
- ・ 短絡の相対位置
- ・ 計測

実際の短絡は、微視的に跳ね返ったり弧を描いたりするため、ある程度のランダム性を示します。現実的な結果を得るために、設定と方法が使用されていることを確認します。すべての設定は異なっているため、このデータシートの波形とまったく同じような波形が見られることを期待しないでください。

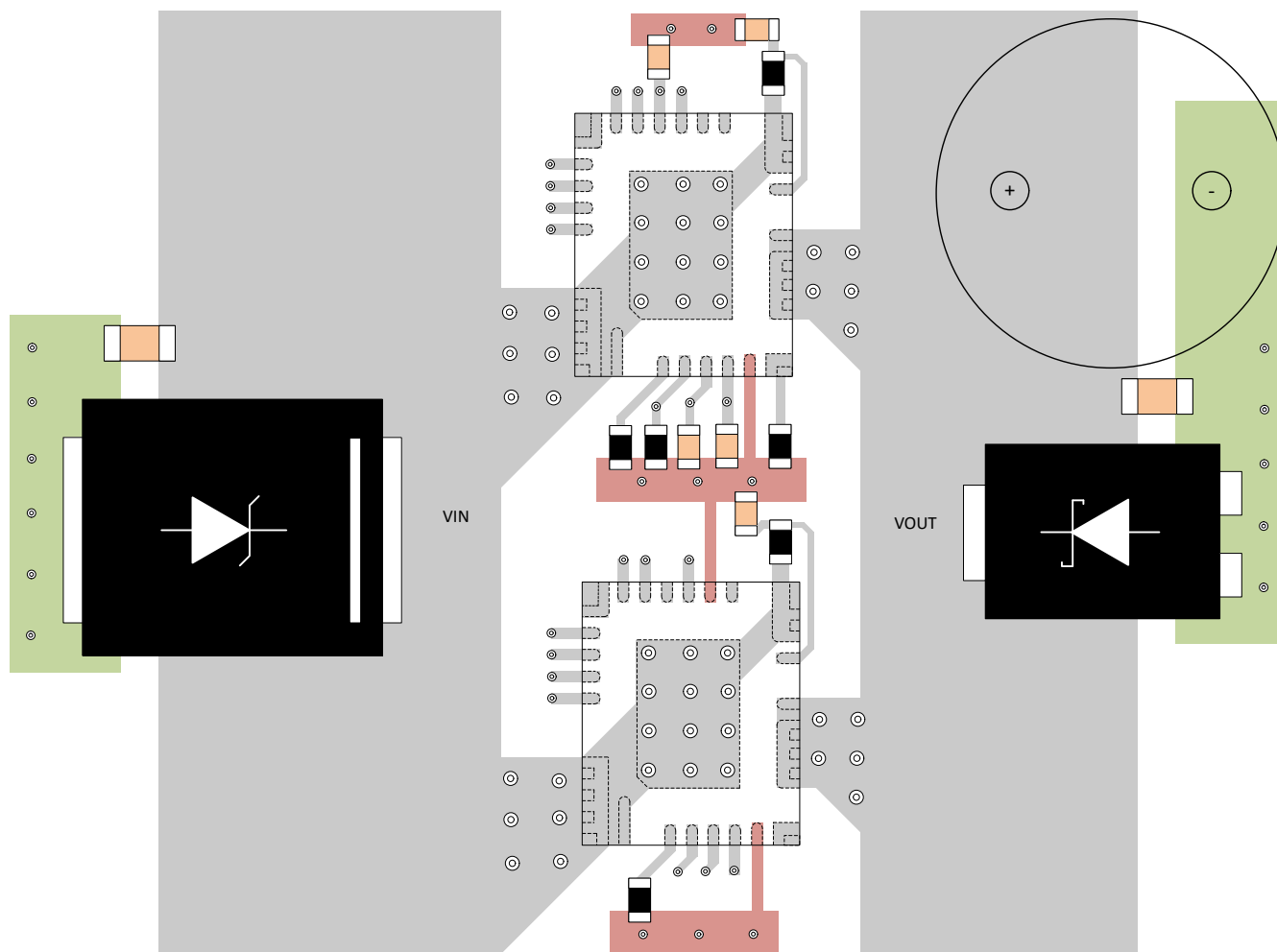
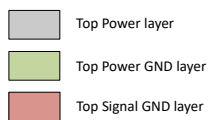
7.4 レイアウト

7.4.1 レイアウトのガイドライン

- ・ すべての用途に対して、TI は 0.1 μF 以上のセラミック デカップリング コンデンサを、IN 端子と GND 端子の間に使用することを推奨します。
- ・ すべての用途に対して、TI は 2.2 μF 以上のセラミック デカップリング コンデンサを、OUT 端子と GND 端子の間に使用することを推奨します。
- ・ デカップリング コンデンサの最適な配置は、デバイスの IN および GND 端子にできるだけ近づけて配置します。バイパス コンデンサ接続、IN 端子、および IC の GND 端子によって形成されるループ領域を最小限に抑えるように注意する必要があります。PCB レイアウト例については、以下の図を参照してください。
- ・ 大電流を流すパワー パス接続はできる限り短くし、全負荷電流の 2 倍以上が流れるようにサイズを調整する必要があります。
- ・ GND 端子は、IC の端子で PCB グランド プレーンに接続する必要があります。PCB の接地は、基板上の銅プレーンまたはアイランドである必要があります。
- ・ IN および OUT ピンを使用して放熱を行います。サーマル ビアでできるだけ多くの銅の面積に接続します。
- ・ 次のサポート部品を接続ピンの近くに配置します。
 - C_{IN}

- C_{OUT}
- C_{VDD}
- C_{TEMP}
- R_{ILIM}
- R_{IMON}
- C_{IREF}
- C_{DVDT}
- EN/UVLO ピン用の抵抗
- ADDR0、ADDR1 ピン用の抵抗
- 部品のもう一方の端を、最短のパターン長でデバイスの GND ピンに接続します。ADDR0、ADDR1、C_{IN}、C_{OUT}、C_{VDD}、C_{IREF}、R_{ILIM}、R_{IMON}、C_{TEMP}、C_{DVDT} 部品の配線は、電流制限およびソフトスタートタイミングに対する寄生効果を低減するために、できるだけ短くする必要があります。これらのトレースは基板上のスイッチング信号と結合しないください。
- IMON、ILIM、IREF ピンはデバイスの過電流保護動作を直接制御するため、これらのノードの PCB 配線はノイズの多い (スイッチング) 信号から遠ざける必要があります。
- TI は、同期の問題を回避するため、SWEN ピンの寄生負荷を最小限に抑えることを推奨します。
- TVS、スナバ、コンデンサ、ダイオードなどの保護デバイスは、物理的に保護対象のデバイスの近くに配置する必要があります。インダクタンスを減らすため、これらの保護デバイスは短いパターンで配線する必要があります。たとえば、誘導性負荷のスイッチングによる負の過渡事象に対処するために、TI は保護ショットキー ダイオードを推奨します。このダイオードは、物理的に OUT ピンの近くに配置する必要があります。

7.4.2 レイアウト例



8 アプリケーションの制限とエラッタ

以下に、デバイスのアプリケーション制限と回避方法を示します。

- **OVP スレッシュホールド構成動作**

パワーアップ時の OVP スレッシュホールドレジスタのデフォルト値は、NVM の保存レジスタ値の下位 4 ビットのみを使用します。これにより、NVM で OVP スレッシュホールドが焼き付けられた状態でシステム電源が立ち上がらなくなる可能性があります。

影響を受けるデバイス: 全バリエント。

推奨される回避方法:

パワーアップ時に OVP スレッシュホールドレジスタを目的の値で上書きします

- **SMBA ピンの極性反転**

SMBA の極性が反転します。これはデフォルトでは低く、アラートがあると高くなります。これにより、システムが SMBA ステータスを誤って読み取る可能性があります。

影響を受けるデバイス: ピン 13 が SMBA アラートピンとして構成されているすべてのバリエント

推奨される回避方法:

読み取り時に、SMBA ピン ステータスの極性を反転します。

- **シャドウレジスタで EEPROM データを利用できない**

EEPROM データの読み戻しは、シャドウレジスタに保存されません。システムは、PMBUS 経由で保存された EEPROM データを読み取れない可能性があります。

影響を受けるデバイス: 全バリエント。

推奨される回避方法:

I2C 経由で MCU から EEPROM データを直接読み取ります。

- **読み取りを試みたときに EEPROM タイムアウトが発生した場合のデバイスの動作**

期待される動作は、一度の通信確立に失敗した場合、デバイスが EEPROM デバイスとの通信を 100ms 間試行し、その後 EEPROM タイムアウトアラートをフラグ付けします。現在、デバイスは通信を試行する前に数 μ s だけ待機し、EEPROM タイムアウトエラーをフラグ付けします。

影響を受けるデバイス: 全バリエント。

- **EN が "Low" でも電源が存在する場合のデバイスの動作**

電源が存在するが、EN ピンが "Low" の場合、VOUT ピンにはかなりのリークがあります。放電する負荷がない場合、出力コンデンサがリークageによって充電されるため、VOUT ピンの電圧がゆっくりと上昇することがあります。

影響を受けるデバイス: 全バリエント。

推奨される回避方法:

Vout に適切なブリーダ抵抗を追加して、リーク電流によって出力電圧が目的の値を超えないようにします。

- **複数回のパワーサイクル後の NVM データロードが正しくない**

電源投入時の NVM 読み取り中にエラーが検出されることがあります。これにより、チェックサムエラーが発生し、デバイスはプログラムされた構成ではなく工場出荷時のデフォルト設定に戻ります。NVM エラーのフラグが付けられます。

影響を受けるデバイス: 全バリエント。

推奨される回避方法:

電源投入のたびに PMBUS レジスタを構成し、デフォルト設定を無効にします。

上記の制限事項はすべて、最終的なシリコンリビジョンで対処する予定です。

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[TPS1689EVM eFuse 評価ボード](#)』

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

SMBus™ is a trademark of Intel.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

PMBus® is a registered trademark of SMIF.

Intel® is a registered trademark of Intel.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
March 2025	*	初版

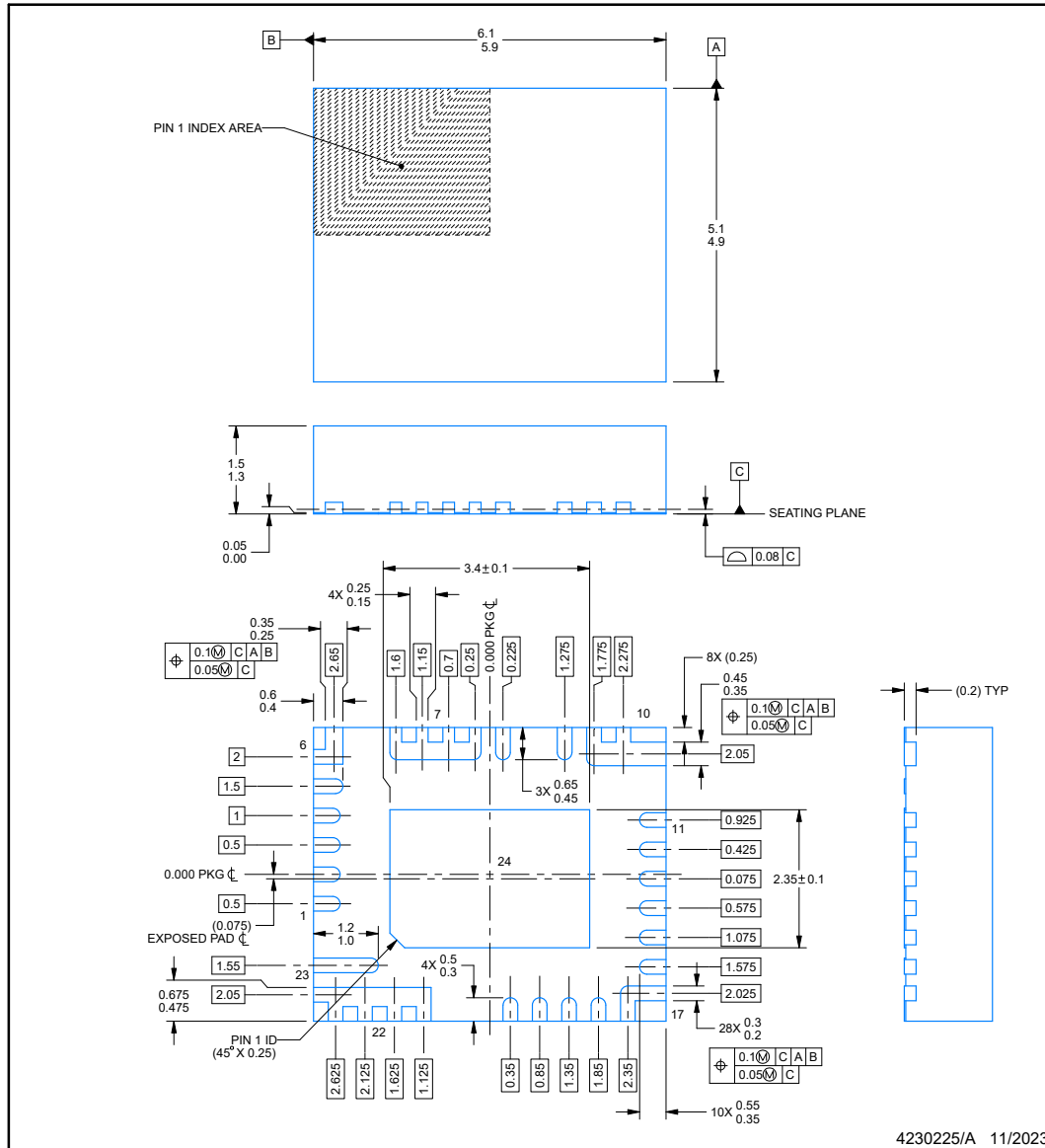
11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

11.1 メカニカル データ

VMA0023A

PACKAGE OUTLINE
LQFN-CLIP - 1.5 mm max height
PLASTIC QUAD FLATPACK - NO LEAD



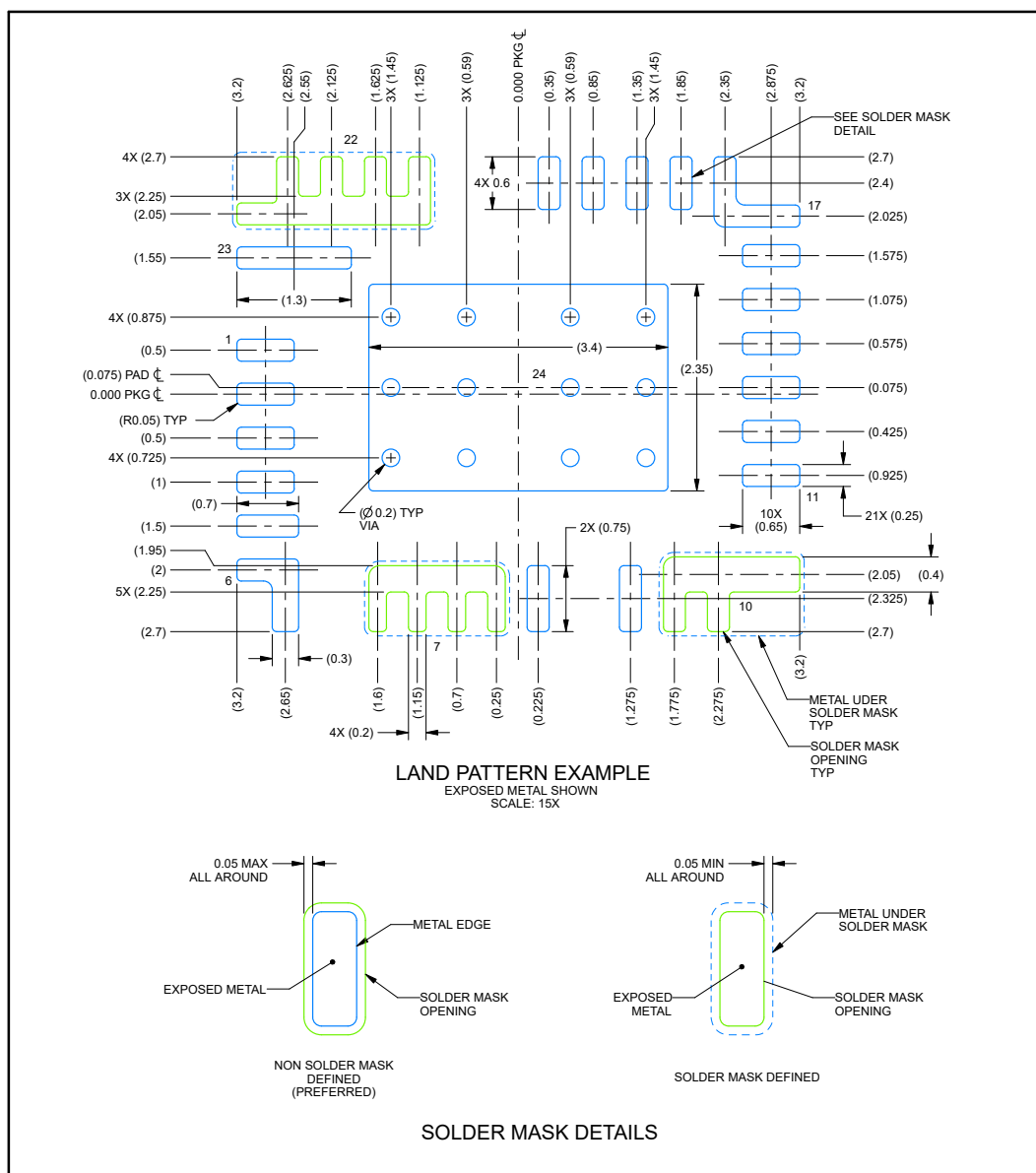
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

VMA0023A

LQFN-CLIP - 1.5 mm max height

ADVANCE INFORMATION



NOTES: (continued)

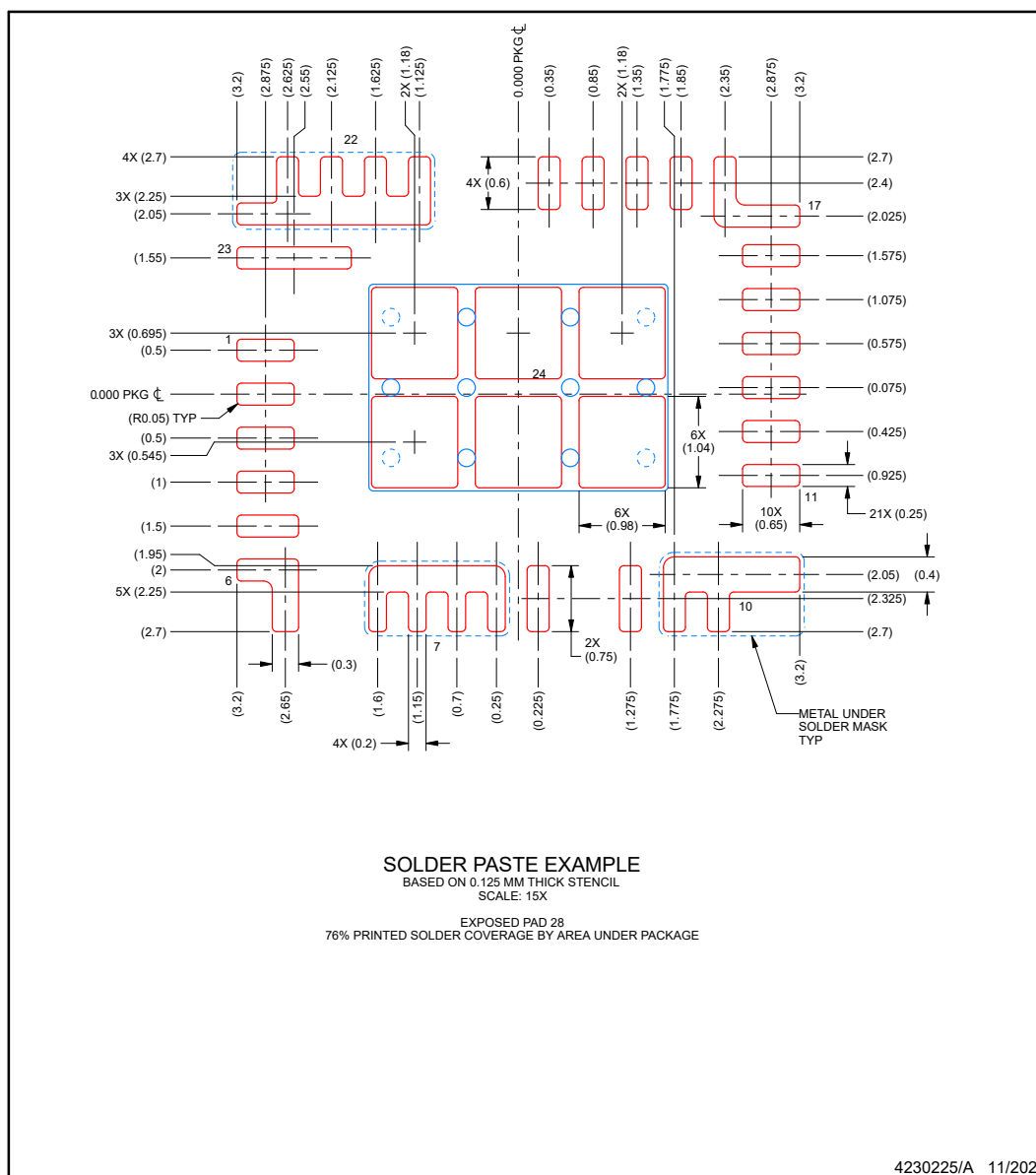
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

VMA0023A

LQFN-CLIP - 1.5 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTPS16890VMAR	Active	Preproduction	LQFN-CLIP (VMA) 23	2500 LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTPS16890VMAR.A	Active	Preproduction	LQFN-CLIP (VMA) 23	2500 LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTPS16890VMAR.B	Active	Preproduction	LQFN-CLIP (VMA) 23	2500 LARGE T&R	-	Call TI	Call TI	-40 to 125	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

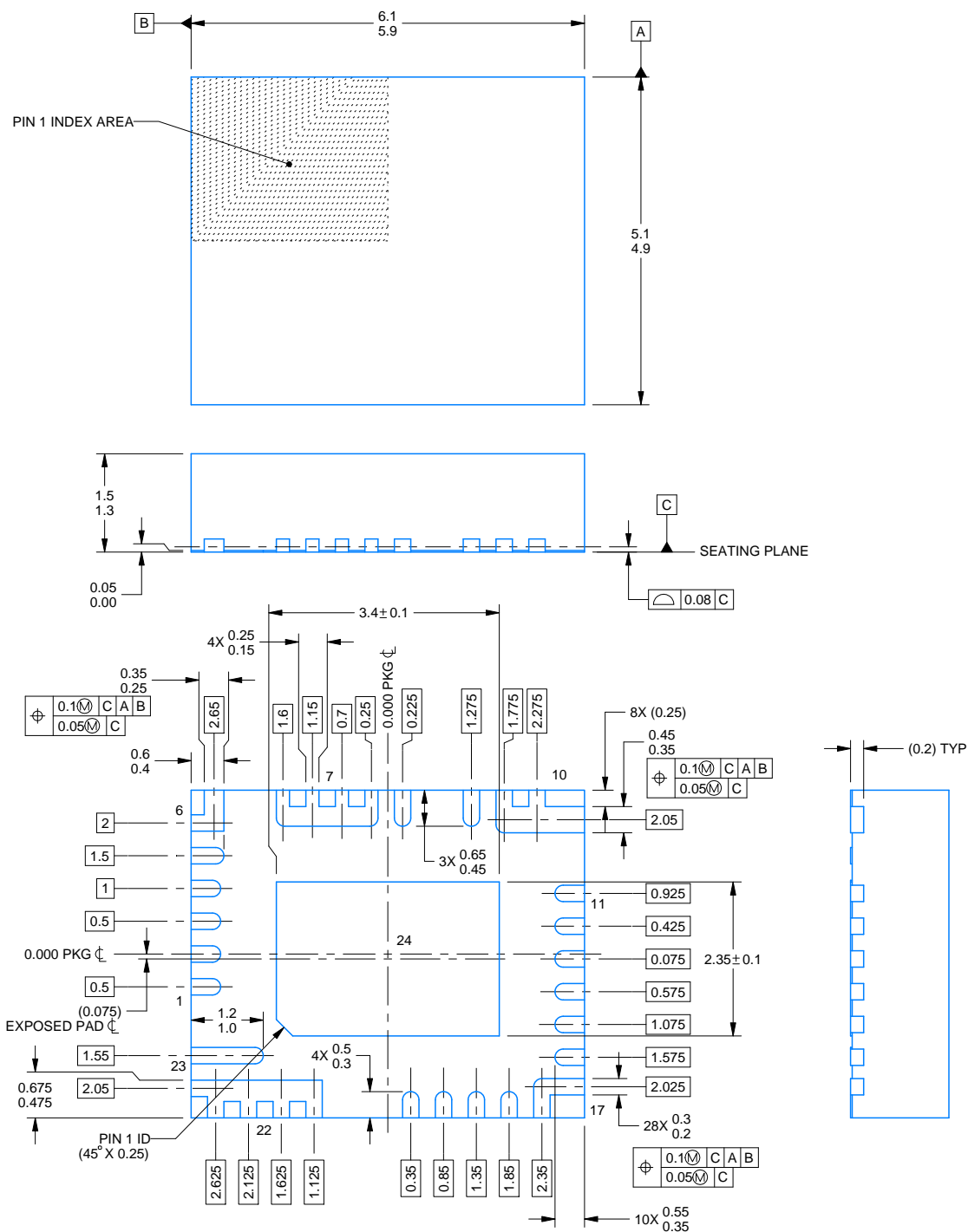
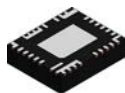
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



4230225/A 11/2023

NOTES:

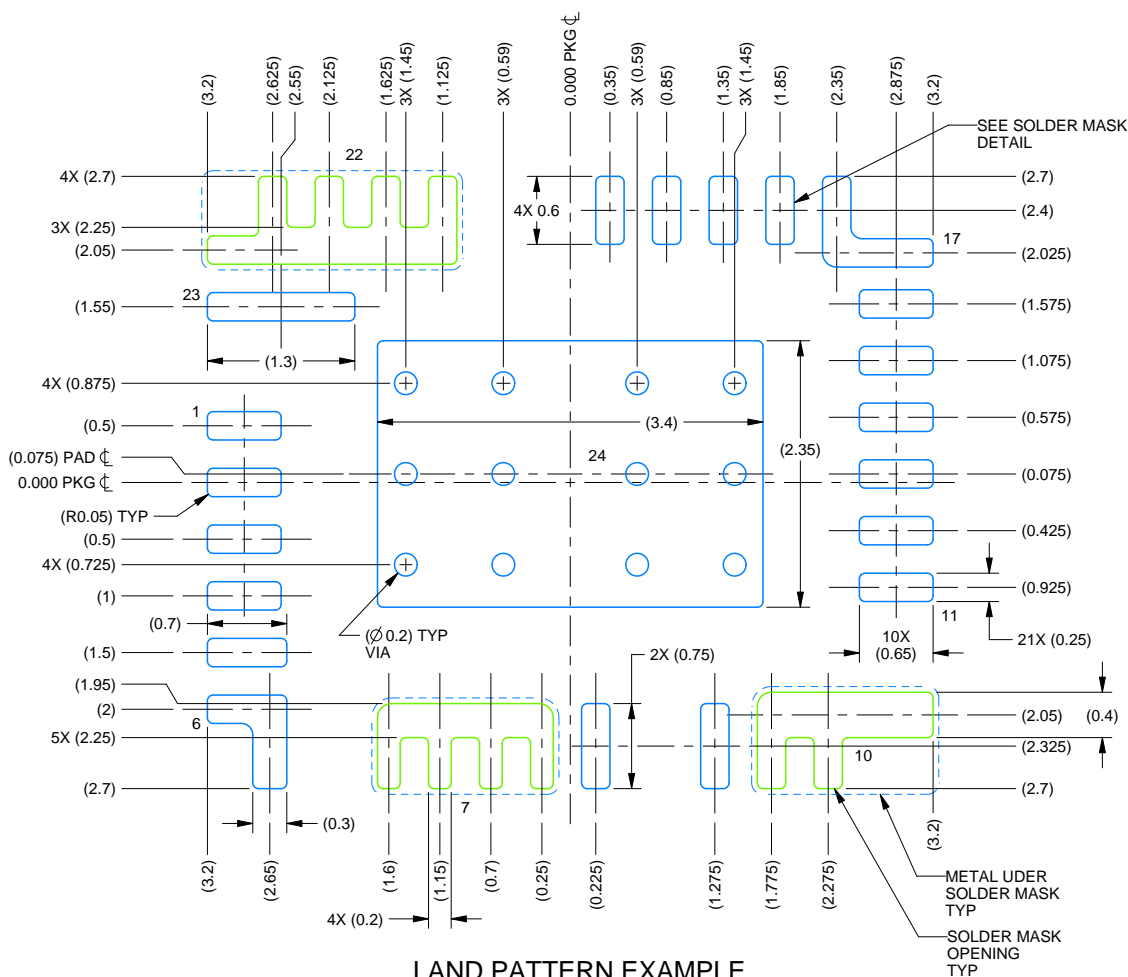
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

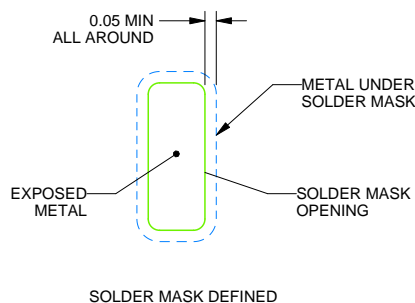
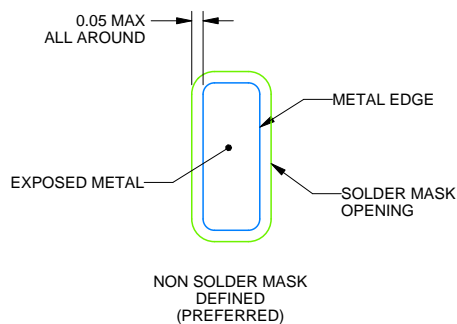
VMA0023A

LQFN-CLIP - 1.5 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

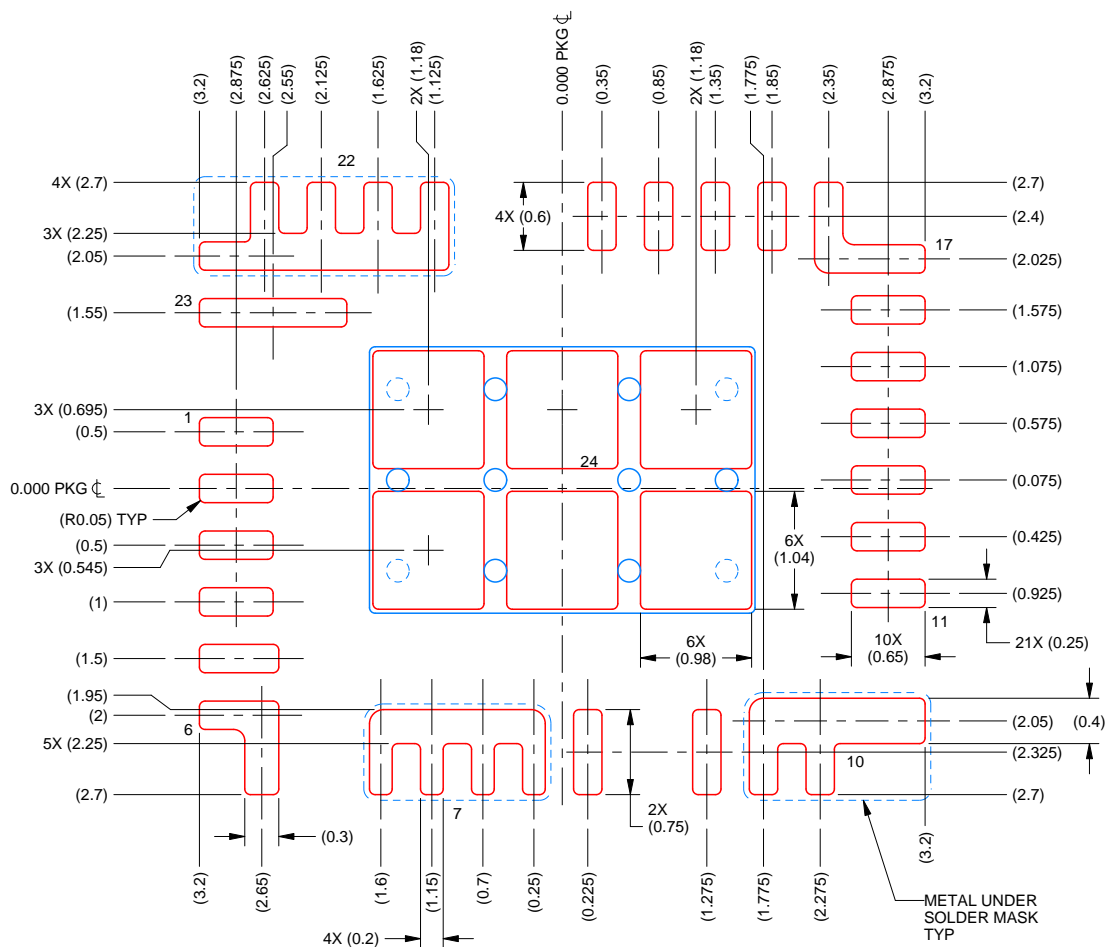
NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

VMA0023A

LQFN-CLIP - 1.5 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE

BASED ON 0.125 MM THICK STENCIL
SCALE: 15X

EXPOSED PAD 28
76% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4230225/A 11/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとしします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月