

# TPLD2001 プログラマブル ロジック デバイス、18 GPIO および選択可能な I<sup>2</sup> C/SPI を搭載

## 1 特長

- 動作特性
  - 拡張温度範囲: -40°C ~ 125°C
  - 広い電源電圧範囲: 1.71V ~ 5.5V
- マクロセルを構成可能
  - 2 ビット、3 ビット、および 4 ビットのルックアップ テーブル (LUT)
  - D タイプ フリップ フロップ および ラッチ、リセット / セット オプションありとなし
  - 8 ビット シフト レジスタ
  - 16 ビット パターン ジェネレータ
  - カウンタ および 遅延 ジェネレータ
  - PWM ジェネレータ
  - グリッチ除去フィルタまたはエッジ検出器をプログラム可能
  - ディスクリット アナログ コンパレータ
  - マルチ電圧リファレンスの選択機能を搭載した、マルチチャネル サンプリング アナログ コンパレータ
  - 電圧リファレンスとアナログ温度センサ
  - アナログ マルチプレクサ
  - 発振器
- 柔軟なデジタル I/O 機能
  - すべてのデジタル信号を任意の GPIO に配線可能
  - デジタル入力モード: デジタル入力、シュミットトリガあり / なし、低電圧デジタル入力
  - デジタル出力モード: プッシュプル、オープンドレイン NMOS、トライステート
- 開発ツール
  - TPLD2001 評価基板
  - TPLD プログラマ
  - InterConnect Studio

## 2 アプリケーション

- ウェアラブル
- PC、ノート PC
- パーソナル エレクトロニクス
- ファクトリ オートメーション / 制御
- ゲーム アプリケーション
- 通信機器

## 3 説明

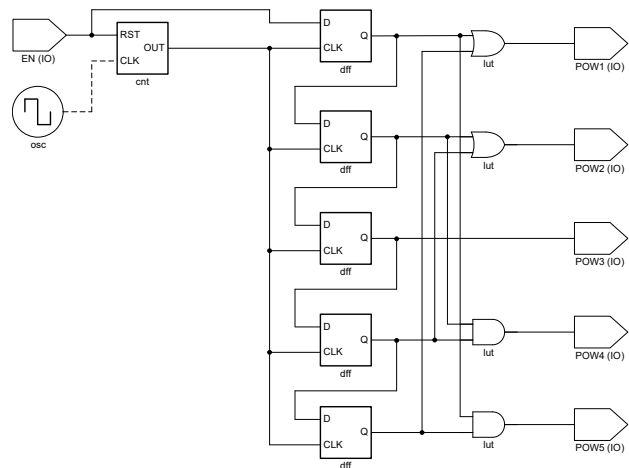
TPLD2001 は、組み合わせ論理、順序論理、およびアナログ ブロックを持つ多用途のプログラマブル ロジック IC を備えた TI のプログラマブル ロジック デバイス (TPLD) ファミリのデバイスです。TPLD は、タイミング遅延、電圧モニタ、システムリセット、電源シーケンス、I/O エクスパンダなどの共通のシステム機能を実装するための統合型で、コンパクトな低消費電力ソリューションを提供します。このコスト最適化デバイスは、小型フォーム ファクタに豊富な機能を備えており、-40°C ~ 125°C の拡張温度範囲に対応し、1.71V ~ 5.5V の電源電圧で動作します。

システム設計者は、不揮発性メモリを一時的にエミュレートするか、InterConnect Studio を通じてワンタイム プログラマブル (OTP) を永続的にプログラミングすることにより、回路を作成し、マクロセル、I/O ピン、および相互接続を構成できます。TPLD2001 は、アプリケーション ノート、リファレンス デザイン、設計例などを含む充実したハードウェアおよびソフトウェアのエコシステムによってサポートされています。詳細および設計ツールへのアクセスについては、[ti.com](http://ti.com) をご覧ください。

### 製品情報

部品番号	パッケージ <sup>(1)</sup>	本体サイズ (公称)
TPLD2001	DGS (VSSOP, 20)	5.10 mm × 3.00mm
	RJY (UQFN, 20)	3.00 mm × 2.00mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



アプリケーション概略図



## 目次

1 特長.....	1	7.3 機能説明.....	25
2 アプリケーション.....	1	7.4 デバイスの機能モード.....	95
3 説明.....	1	8 アプリケーションと実装.....	229
4 ピン構成および機能.....	3	8.1 アプリケーション情報.....	229
5 仕様.....	4	8.2 代表的なアプリケーション.....	229
5.1 絶対最大定格.....	4	8.3 電源に関する推奨事項.....	233
5.2 ESD 定格.....	4	8.4 レイアウト.....	233
5.3 推奨動作条件.....	5	9 デバイスおよびドキュメントのサポート.....	235
5.4 熱に関する情報.....	5	9.1 ドキュメントの更新通知を受け取る方法.....	235
5.5 電気的特性.....	6	9.2 サポート・リソース.....	235
5.6 電源電流特性.....	13	9.3 商標.....	235
5.7 スイッチング特性.....	14	9.4 静電気放電に関する注意事項.....	235
5.8 I <sup>2</sup> C バス タイミング要件.....	20	9.5 用語集.....	235
5.9 SPI のタイミング要件.....	20	10 改訂履歴.....	235
6 パラメータ測定情報.....	22	11 メカニカル、パッケージ、および注文情報.....	235
7 詳細説明.....	23	11.1 テープおよびリール情報.....	236
7.1 概要.....	23	11.2 メカニカル データ.....	238
7.2 機能ブロック図.....	24		

## 4 ピン構成および機能

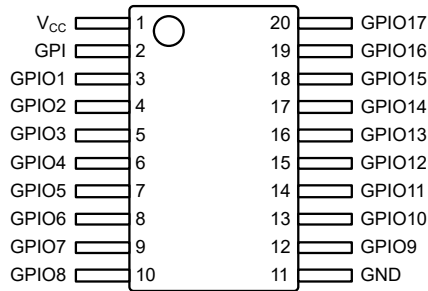


図 4-1. DGS パッケージ、  
20 ピン VSSOP (上面図)

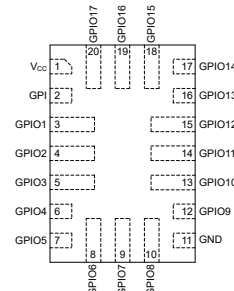


図 4-2. RJY パッケージ、  
20 ピン UQFN (上面図)

表 4-1. ピンの機能

ピン				説明			
名称	VSSOP (DGS)	UQFN (RJY)	タイプ <sup>(1)</sup>	主な機能	2 次的なアナログ機能 (ある場合)	2 次的なデジタル機能 (ある場合)	セカンダリ シリアル通信機能 (ある場合)
GPI	2	2	I	汎用入力			VPP
GPIO1	3	3	I/O	OE 付きの汎用 I/O	AMUX0 A / ACMP IN2		インターフェイスの選択
GPIO2	4	4	I/O	OE 付きの汎用 I/O	AMUX0 B / ACMP IN3		I <sup>2</sup> C アドレス 6
GPIO3	5	5	I/O	OE 付きの汎用 I/O	AMUX0 Y		I <sup>2</sup> C アドレス 5
GPIO4	6	6	I/O	汎用 I/O	ACMP IN0		I <sup>2</sup> C アドレス 4
GPIO5	7	7	I/O	汎用 I/O			SPI nCS / I <sup>2</sup> C アドレス 3
GPIO6	8	8	I/O	汎用 I/O			SPI SCLK / I <sup>2</sup> C SCL
GPIO7	9	9	I/O	汎用 I/O			SPI SDI / I <sup>2</sup> C SDA
GPIO8	10	10	I/O	汎用 I/O			SPI SDO
GND	11	11	P	グラウンド			
GPIO9	12	12	I/O	汎用 I/O	外部 VREF IN		
GPIO10	13	13	I/O	OE 付きの汎用 I/O	McACMP IN0		
GPIO11	14	14	I/O	OE 付きの汎用 I/O	McACMP IN1		
GPIO12	15	15	I/O	OE 付きの汎用 I/O	McACMP IN2		
GPIO13	16	16	I/O	OE 付きの汎用 I/O	McACMP IN3		
GPIO14	17	17	I/O	汎用 I/O	AMUX1 A	OSC0 Ext.CLK	
GPIO15	18	18	I/O	OE 付きの汎用 I/O	AMUX1 B	OSC1 Ext.CLK	
GPIO16	19	19	I/O	OE 付きの汎用 I/O	ACMP IN1		
GPIO17	20	20	I/O	OE 付きの汎用 I/O	AMUX1 Y	OSC2 Ext.CLK	
V <sub>CC</sub>	1	1	P	電源電圧			

(1) P = 電源、I/O = 入出力、I = 入力

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位	
$V_{CC}$	GND を基準とした $V_{CC}$ 電源電圧	-0.5	7	V	
$V_I$	入力電圧	-0.5	7	V	
$V_O$	出力電圧	-0.5	7	V	
$I_{IOK}$	入力 / 出力クランプ電流	$V_{IO} < 0$	-50	mA	
$I_O$	連続出力電流	$V_O = 0 \sim V_{CC}$	-50	50	mA
$I_{DC}$	平均または DC 電流 (各ピンを流れる電流) の最大値	プッシュプル 1X		12	mA
		プッシュプル 2X		17	
		オープンドレイン NMOS 1X		18	
		オープンドレイン NMOS 2X		28	
		オープンドレイン NMOS 4X		45	
$T_J$	接合部温度		150	°C	
$T_{stg}$	保存温度	-65	150	°C	

- (1) 絶対最大定格を超えた動作は、デバイスに恒久的な損傷を与える可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

### 5.2 ESD 定格

		値	単位	
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC 仕様 JS-002 に準拠、すべてのピン (2)	±1500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。  
 (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

### 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			V <sub>CC</sub>	最小値	最大値	単位
V <sub>CC</sub>	電源電圧			1.71	5.5	V
V <sub>I</sub>	入力電圧			0	5.5	V
V <sub>O</sub>	出力電圧			0	5.5	V
V <sub>IH</sub>	High レベル入力電圧	ロジック入力	1.71V ~ 5.5V	(0.7 × V <sub>CC</sub> )		V
		低電圧ロジック入力	1.8V ± 0.09V	0.90		
			3.3V ± 0.3V	1.08		
			5V ± 0.5V	1.22		
V <sub>IH</sub>	High レベル入力電圧	I <sup>2</sup> C SCL、SDA ピン SPI SDI、SCLK、nCS	1.71V ~ 5.5V	(0.7 × V <sub>CC</sub> )		V
V <sub>IL</sub>	Low レベル入力電圧	ロジック入力	1.71V ~ 5.5V	(0.3 × V <sub>CC</sub> )		V
		低電圧ロジック入力	1.8V ± 0.09V	0.47		
			3.3V ± 0.3V	0.52		
			5V ± 0.5V	0.56		
V <sub>IL</sub>	Low レベル入力電圧	I <sup>2</sup> C SCL、SDA ピン SPI SDI、SCLK、nCS	1.71V ~ 5.5V	(0.3 × V <sub>CC</sub> )		V
F <sub>(EXT_OSC)</sub>	外部発振器周波数	ロジック入力または ロジック入力付きのシュミットトリ ガ	1.8V ± 0.09V	10	MHz	
			3.3V ± 0.3V	25		
			5V ± 0.5V	25		
		低電圧ロジック入力	1.8V ± 0.09V	10	MHz	
			3.3V ± 0.3V	10		
			5V ± 0.5V	10		
T <sub>A</sub>	周囲温度			-40	125	°C

### 5.4 熱に関する情報

パッケージ	ピン	熱評価基準 <sup>(1)</sup>						単位
		R <sub>θJA</sub>	R <sub>θJC(top)</sub>	R <sub>θJB</sub>	ψ <sub>JT</sub>	ψ <sub>JB</sub>	R <sub>θJC(bot)</sub>	
DGS (VSSOP)	20	92.9	35.7	49.7	1.3	49.3		°C/W
RJY (UQFN)	20	108.3	39.4	50.7	1.0	50.7		°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

## 5.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	V <sub>CC</sub>	最小値	標準値	最大値	単位
<b>電源およびパワーオンリセット</b>							
V <sub>PORR</sub>	パワーオンリセット電圧、V <sub>CC</sub> 立ち上がり	V <sub>I</sub> = V <sub>CC</sub> または GND、I <sub>O</sub> = 0		1.27		1.39	V
V <sub>PORF</sub>	パワーオンリセット電圧、V <sub>CC</sub> 立ち下がり	V <sub>I</sub> = V <sub>CC</sub> または GND、I <sub>O</sub> = 0		1.14		1.26	V
t <sub>SU</sub>	起動時間	V <sub>CC</sub> 立ち上がりから V <sub>PORR</sub> を超えるまで、GPO がアクティブになります			0.76		ms
V <sub>PP</sub>	プログラミング電圧			7.5		8	V
<b>デジタル IO</b>							
V <sub>T+</sub>	正方向入力スレッショルド電圧	シュミットトリガ付きのロジック入力		1.8V ± 0.09V		1.27	V
				3.3V ± 0.3V		2.17	
				5V ± 0.5V		3.19	
V <sub>T-</sub>	負方向入力スレッショルド電圧	シュミットトリガ付きのロジック入力		1.8V ± 0.09V		0.94	V
				3.3V ± 0.3V		1.79	
				5V ± 0.5V		2.7	
V <sub>HYS</sub>	シュミットトリガ ヒステリシス (V <sub>T+</sub> - V <sub>T-</sub> )	シュミットトリガ付きのロジック入力		1.8V ± 0.09V	0.08	0.36	V
				3.3V ± 0.3V	0.15	0.66	
				5V ± 0.5V	0.22	1.00	
V <sub>OH</sub>	High レベル出力電圧	プッシュプル 1X	I <sub>OH</sub> = -100μA	1.8V ± 0.09V	1.68		V
		プッシュプル 2X			1.69		
		プッシュプル 1X	I <sub>OH</sub> = -3mA	3.3V ± 0.3V	2.47		
		プッシュプル 2X			2.63		
		プッシュプル 1X	I <sub>OH</sub> = -5mA	5V ± 0.5V	3.84		
		プッシュプル 2X			4.02		
V <sub>OH</sub>	High レベル出力電圧	SPI SDO	I <sub>OH</sub> = -2mA	1.71V ~ 5.5V	(0.8 × V <sub>CC</sub> )		V

## 5.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	V <sub>CC</sub>	最小値	標準値	最大値	単位
V <sub>OL</sub>	Low レベル出力電圧	プッシュプル 1X	I <sub>OL</sub> = 100μA	1.8V ± 0.09V		0.01	V
		プッシュプル 2X				0.01	
		オープンドレイン NMOS 1X				0.01	
		オープンドレイン NMOS 2X				0.01	
		プッシュプル 1X	I <sub>OL</sub> = 3mA	3.3V ± 0.3V		0.1	
		プッシュプル 2X				0.1	
		オープンドレイン NMOS 1X				0.1	
		オープンドレイン NMOS 2X				0.1	
		プッシュプル 1X	I <sub>OL</sub> = 5mA	5V ± 0.5V		0.12	
		プッシュプル 2X				0.12	
		オープンドレイン NMOS 1X				0.12	
		オープンドレイン NMOS 2X				0.12	
V <sub>OL</sub>	Low レベル出力電圧	I <sup>2</sup> C SCL、SDA ピン (オープンドレイン NMOS 4X)	I <sub>OL</sub> = 3mA	V <sub>CC</sub> > 2V		0.4	V
		I <sup>2</sup> C SCL、SDA ピン (オープンドレイン NMOS 4X)	I <sub>OL</sub> = 2mA	V <sub>CC</sub> ≤ 2V		(0.2 × V <sub>CC</sub> )	
		SPI SDO ピン	I <sub>OL</sub> = 2mA	1.71V ~ 5.5V		(0.2 × V <sub>CC</sub> )	
I <sub>OL</sub>	Low レベル出力電流	I <sup>2</sup> C SCL、SDA ピン (標準モード、ファストモード)	V <sub>OL</sub> = 0.4V	1.71V ~ 5.5V		3	mA
		I <sup>2</sup> C SCL、SDA ピン (ファストモードプラス)				20	
I <sub>I</sub>	入力リーク電流	すべてのピン	V <sub>I</sub> = V <sub>CC</sub> V <sub>I</sub> = GND	1.71V ~ 5.5V		±1	μA
I <sub>OZ</sub>	オフ状態 (高インピーダンス状態) の出力電流		V <sub>O</sub> = 0 ~ 5.5V	1.71V ~ 5.5V		±1	μA
I <sub>off</sub>	入力/出力電源オフリーク電流		V <sub>I</sub> または V <sub>O</sub> = 5.5V	0V		±5	μA
F <sub>OUT</sub>	最大出力周波数 (1)	すべての I <sub>O</sub> プッシュプル プッシュプル 1X またはプッシュプル 2X	C <sub>L</sub> = 15pF	1.8V ± 0.09V		8	MHz
				3.3V ± 0.3V		8	MHz
				5V ± 0.5V		8	MHz
F <sub>OUT</sub>	最大出力周波数 (1)	IO14、IO15、IO17 のみ プッシュプル 1X またはプッシュプル 2X	C <sub>L</sub> = 15pF	1.8V ± 0.09V		10	MHz
				3.3V ± 0.3V		12	MHz
				5V ± 0.5V		12	MHz
R <sub>pu(int)</sub>	内部プルアップ抵抗					1	MΩ
						100	kΩ
						10	kΩ
R <sub>pd(int)</sub>	内部プルダウン抵抗					1	MΩ
						100	kΩ
						10	kΩ

### 5.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			テスト条件	V <sub>CC</sub>	最小値	標準値	最大値	単位
C <sub>I</sub>	入力ピン容量	各入力ピン	V <sub>I</sub> = V <sub>CC</sub> または GND	1.71V ~ 5.5V		4	10	pF
C <sub>I</sub>	入力ピン容量	I <sup>2</sup> C SCL ピン SPI SDI、SCK、nCS ピン	V <sub>I</sub> = V <sub>CC</sub> または GND	1.71V ~ 5.5V		4	10	pF
C <sub>IO</sub>	入力 / 出力ピンの容量	各 I/O ピン	V <sub>IO</sub> = V <sub>CC</sub> または GND	1.71V ~ 5.5V		4	10	pF
C <sub>IO</sub>	入力 / 出力ピンの容量	I <sup>2</sup> C SDA ピン	V <sub>IO</sub> = V <sub>CC</sub> または GND	1.71V ~ 5.5V		4	10	pF
アナログ コンパレータ – ディスクリート アナログ コンパレータ								
t <sub>start</sub>	スタート時間	ACMP パワーオン 遅延	バンドギャップ強制オン、 発振器強制オン	1.71V ~ 5.5V		110		μs
			バンドギャップ強制オン、 発振器自動オン			110		
			バンドギャップ自動オン、 発振器強制オン			110		
			バンドギャップ自動オン、 発振器自動オン					
V <sub>AI</sub>	入力電圧	正入力		1.71V ~ 5.5V	0		V <sub>CC</sub>	V
		負入力			0		2.016	
V <sub>offset</sub>	入力オフセット電圧	T <sub>A</sub> = 25°C	V <sub>HYS</sub> = 0mV、 ゲイン = 1、 VREF = 32mV ~ 1504mV	1.71V ~ 5.5V	-12		12	mV
		-40°C < T <sub>A</sub> ≤ 125°C				-15		
		T <sub>A</sub> = 25°C	V <sub>HYS</sub> = 0mV、 ゲイン = 1、 VREF = 32mV ~ 2016mV	2.3V ~ 5.5V	-12		12	
		-40°C < T <sub>A</sub> ≤ 125°C				-15		
dV <sub>IO</sub> /dT	入力オフセット電圧ドリフト	-40°C < T <sub>A</sub> ≤ 125°C	V <sub>HYS</sub> = 0mV、 ゲイン = 1、 VREF = 32mV ~ 1504mV	1.71V ~ 5.5V		±7		μV/°C
			V <sub>HYS</sub> = 0mV、 ゲイン = 1、 VREF = 32mV ~ 2016mV	2.3V ~ 5.5V		±7		
I <sub>B</sub>	入力バイアス電流						1	μA
C <sub>ID</sub>	入力容量、差動					3		pF
C <sub>IM</sub>	入力容量、同相					3		pF

ADVANCE INFORMATION



## 5.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	V <sub>CC</sub>	最小値	標準値	最大値	単位	
PROP	伝搬遅延、 応答時間	Low から High、 低帯域幅イネーブル	ゲイン = 1、 V <sub>ref</sub> = 32mV ~ 1504mV、 オーバードライブ = 32mV	1.71V ~ 5.5V		11	μs	
		High から Low、 低帯域幅イネーブル				10		
		Low から High、 低帯域幅ディセーブル				2		
		High から Low、 低帯域幅ディセーブル				2		
		Low から High、 低帯域幅イネーブル	ゲイン = 1、 V <sub>ref</sub> = 32mV ~ 2016mV、 オーバードライブ = 32mV	2.3V ~ 5.5V		11		
		High から Low、 低帯域幅イネーブル				8		
		Low から High、 低帯域幅ディセーブル				2		
		High から Low、 低帯域幅ディセーブル				2		
アナログ コンパレータ — マルチチャネル アナログ コンパレータ								
t <sub>start</sub>	スタート時間	ACMP パワーオン 遅延	バンドギャップ強 制オン OSC 強制オン 1 チャネル、1- VREF	1.71V ~ 5.5V		130	μs	
					バンドギャップ強 制オン OSC0 強制オン マルチチャネル モード		2.9	ms
					バンドギャップ強 制オン OSC1 強制オン マルチチャネル モード		150	μs
V <sub>AI</sub>	入力電圧	正入力		1.71V ~ 5.5V	0	V <sub>CC</sub>	V	
		負入力			0	2.016		
V <sub>offset</sub>	入力オフセット電圧	T <sub>A</sub> = 25°C	V <sub>HYS</sub> = 0mV、 ゲイン = 1、 VREF = 32mV ~ 1504mV	1.71V ~ 5.5V	-12	12	mV	
		-40°C < T <sub>A</sub> ≤ 125°C			-15	15		
		T <sub>A</sub> = 25°C	V <sub>HYS</sub> = 0mV、 ゲイン = 1、 VREF = 32mV ~ 2016mV	2.3V ~ 5.5V	-12	12		
		-40°C < T <sub>A</sub> ≤ 125°C			-15	15		
dV <sub>IO</sub> /dT	入力オフセット電圧ドリフ ト	-40°C < T <sub>A</sub> ≤ 125°C	V <sub>HYS</sub> = 0mV、 ゲイン = 1、 VREF = 32mV ~ 1504mV	1.71V ~ 5.5V		±7	μV/°C	
			V <sub>HYS</sub> = 0mV、 ゲイン = 1、 VREF = 32mV ~ 2016mV	2.3V ~ 5.5V		±7		
I <sub>B</sub>	入力バイアス電流					1	μA	
C <sub>ID</sub>	入力容量、差動					3	pF	

## 5.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	V <sub>CC</sub>	最小値	標準値	最大値	単位		
C <sub>IM</sub>	入力容量、同相			3			pF		
PROP	伝搬遅延、 応答時間	Low から High、 低帯域幅イネーブル	1 チャンネル、 ゲイン = 1、 V <sub>ref</sub> = 32mV ~ 1504mV、 オーバードライブ = 32mV	1.71V ~ 5.5V		11	μs		
		High から Low、 低帯域幅イネーブル				10			
		Low から High、 低帯域幅ディセーブル	1 チャンネル、 ゲイン = 1、 V <sub>ref</sub> = 32mV ~ 1504mV、 オーバードライブ = 32mV	1.71V ~ 5.5V			2	μs	
		High から Low、 低帯域幅ディセーブル					2		
		Low から High、 低帯域幅イネーブル	1 チャンネル、 ゲイン = 1、 V <sub>ref</sub> = 32mV ~ 2016mV、 オーバードライブ = 32mV	2.3V ~ 5.5V			11	μs	
		High から Low、 低帯域幅イネーブル					8	μs	
		Low から High、 低帯域幅ディセーブル	1 チャンネル、 ゲイン = 1、 V <sub>ref</sub> = 32mV ~ 2016mV、 オーバードライブ = 32mV	2.3V ~ 5.5V			2	μs	
		High から Low、 低帯域幅ディセーブル					2	μs	
		Low から High	マルチチャンネル、 ゲイン = 1、 V <sub>ref</sub> = 32mV ~ 1504mV、 オーバードライブ = 32mV	1.71V ~ 5.5V			(t <sub>SMP_CLK</sub> × CH)	μs	
		High から Low					(t <sub>SMP_CLK</sub> × CH)	μs	
		Low から High	マルチチャンネル、 ゲイン = 1、 V <sub>ref</sub> = 32mV ~ 2016mV、 オーバードライブ = 32mV	2.3V ~ 5.5V			(t <sub>SMP_CLK</sub> × CH)	μs	
		High から Low					(t <sub>SMP_CLK</sub> × CH)	μs	
		<b>アナログ コンパレータ - ヒステリシス</b>							
		V <sub>HYS</sub>	ヒステリシス内蔵	-40°C < T <sub>A</sub> ≤ 125°C	V <sub>HYS</sub> = 64mV	1.71V ~ 5.5V	54.4	66.9	71.0
V <sub>HYS</sub> = 128mV	109.0				130.8		135.0		
V <sub>HYS</sub> = 192mV	190.0				194.8		199.2		
<b>アナログ コンパレータ - 入力ゲイン</b>									
R <sub>sin</sub>	直列入力抵抗	ゲイン = 0.5	1.71V ~ 5.5V	1			MΩ		
		ゲイン = 0.33		0.75					
		ゲイン = 0.25		1					
G <sub>err</sub>	ゲイン誤差	ゲイン = 0.5	1.71V ~ 5.5V	-0.3	2.7		%		
		ゲイン = 0.33		-0.7	5.0				
		ゲイン = 0.25		-0.7	4.7				
<b>電圧リファレンス</b>									

## 5.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	V <sub>CC</sub>	最小値	標準値	最大値	単位	
VREF	内部 VREF 誤差	T <sub>A</sub> = 25°C	VREF = 32mV ~ 512mV	1.71V ~ 5.5V	-6.0	1	6.0	%
		-40°C < T <sub>A</sub> ≤ 125°C			-6.0	1	6.0	
		T <sub>A</sub> = 25°C	VREF = 544mV ~ 1024mV		-6.0	0.95	6.0	
		-40°C < T <sub>A</sub> ≤ 125°C			-6.0	0.95	6.0	
		T <sub>A</sub> = 25°C	VREF = 1056mV ~ 1504mV		-6.0	0.9	6.0	
		-40°C < T <sub>A</sub> ≤ 125°C			-6.0	0.9	6.0	
		T <sub>A</sub> = 25°C	VREF = 1536mV ~ 2016mV		-6.0	0.85	6.0	
-40°C < T <sub>A</sub> ≤ 125°C	-6.0	0.85		6.0				
アナログ温度センサ								
T <sub>ERR</sub>	温度センサの精度	10°C ~ 45°C	1.71V ~ 5.5V	-1.8		4.3	°C	
		-40°C ~ 85°C		-4.9		5.2		
		-40°C ~ 105°C		-6.1		5.2		
		-40°C ~ 125°C		-9.4		5.2		
T <sub>OUT</sub>	温度センサ出力	-40°C	1.71V ~ 5.5V	1.232		1.254	V	
		-30°C		1.184		1.204		
		-20°C		1.138		1.158		
		-10°C		1.092		1.112		
		0°C		1.046		1.067		
		10°C		1.000		1.022		
		20°C		0.955		0.977		
		25°C		0.933		0.955		
		30°C		0.911		0.933		
		40°C		0.866		0.889		
		50°C		0.821		0.845		
		60°C		0.775		0.801		
		70°C		0.730		0.757		
		80°C		0.685		0.713		
		85°C		0.663		0.692		
		90°C		0.640		0.670		
		100°C		0.596		0.627		
110°C	0.552		0.584					
120°C	0.508		0.543					
125°C	0.486		0.522					
130°C	0.464		0.502					
t <sub>DELAY</sub>	温度センサのスタートアップ遅延		1.71V ~ 5.5V		70	100	μs	
アナログ マルチプレクサ								

## 5.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	V <sub>CC</sub>	最小値	標準値	最大値	単位
r <sub>on</sub>	オン状態スイッチ抵抗	-40°C < T <sub>A</sub> ≤ 125°C	V <sub>I</sub> = 0V、 I <sub>O</sub> = 4mA	1.8V ± 0.09V		35	Ω
			V <sub>I</sub> = 1.71V、 I <sub>O</sub> = -4mA			35	
			V <sub>I</sub> = 0V、 I <sub>O</sub> = 8mA	2.5V ± 0.2V		32.5	
			V <sub>I</sub> = 2.3V、 I <sub>O</sub> = -8mA			32.5	
			V <sub>I</sub> = 0V、 I <sub>O</sub> = 24mA	3.3V ± 0.3V		30	
			V <sub>I</sub> = 3V、 I <sub>O</sub> = -24mA			30	
			V <sub>I</sub> = 0V、 I <sub>O</sub> = 30mA	5V ± 0.5V		25	
			V <sub>I</sub> = 2.4V、 I <sub>O</sub> = -30mA			25	
			V <sub>I</sub> = 4.5V、 I <sub>O</sub> = -30mA			25	
r <sub>range</sub>	信号範囲にわたるオン状態スイッチ抵抗	0 ≤ V <sub>A</sub> , V <sub>B</sub> ≤ V <sub>CC</sub> -40°C < T <sub>A</sub> ≤ 125°C	I <sub>O</sub> = -4mA	1.8V ± 0.09V		205	Ω
			I <sub>O</sub> = -8mA	2.5V ± 0.2V		75	
			I <sub>O</sub> = -24mA	3.3V ± 0.3V		35	
			I <sub>O</sub> = -30mA	5V ± 0.5V		25	
Δr <sub>on</sub>	スイッチ間のオン状態抵抗の差	-40°C < T <sub>A</sub> ≤ 125°C	V <sub>A</sub> , V <sub>B</sub> = 1.15V -40°C < T <sub>A</sub> ≤ 125°C	I <sub>O</sub> = -4mA	1.8V ± 0.09V	0.5	Ω
			V <sub>A</sub> , V <sub>B</sub> = 1.6V -40°C < T <sub>A</sub> ≤ 125°C	I <sub>O</sub> = -8mA	2.5V ± 0.2V	0.3	
			V <sub>A</sub> , V <sub>B</sub> = 2.1V -40°C < T <sub>A</sub> ≤ 125°C	I <sub>O</sub> = -24mA	3.3V ± 0.3V	0.3	
			V <sub>A</sub> , V <sub>B</sub> = 3.15V -40°C < T <sub>A</sub> ≤ 125°C	I <sub>O</sub> = -30mA	5V ± 0.5V	0.2	
r <sub>on(flat)</sub>	オン状態抵抗の平坦性	0 ≤ V <sub>A</sub> , V <sub>B</sub> ≤ V <sub>CC</sub> -40°C < T <sub>A</sub> ≤ 125°C	I <sub>O</sub> = -4mA	1.8V ± 0.09V		110	Ω
			I <sub>O</sub> = -8mA	2.5V ± 0.2V		40	
			I <sub>O</sub> = -24mA	3.3V ± 0.3V		10	
			I <sub>O</sub> = -30mA	5V ± 0.5V		2	
I <sub>off</sub>	オフ状態スイッチリーク電流	0 ≤ V <sub>I</sub> , V <sub>O</sub> ≤ V <sub>CC</sub>	1.71V ~ 5.5V			±7.5	μA
I <sub>S(on)</sub>	オン状態スイッチリーク電流	V <sub>I</sub> = V <sub>CC</sub> または GND、 V <sub>O</sub> = オープン	5.5V		±0.1	±2.5	μA
C <sub>io(off)</sub>	スイッチ入力/出力容量	A, B		5V		9.5	pF
C <sub>io(on)</sub>	スイッチ入力/出力容量	A, B		5V		20	pF
		Y				20	

(1) オープンドレインのスイッチング性能は、使用するプルアップ抵抗によって制限されます。

## 5.6 電源電流特性

T<sub>A</sub> = 25°C (特に記述のない限り)

パラメータ		テスト条件	V <sub>CC</sub> = 1.8V ± 0.09V			V <sub>CC</sub> = 3.3V ± 0.3V			V <sub>CC</sub> = 5V ± 0.5V			単位
			最小値	標準値	最大値	最小値	標準値	最大値	最小値	標準値	最大値	
<b>スタンバイ</b>												
I <sub>CC</sub>	スタンバイ	入力 = 静止状態、 出力 = オープン、 I <sub>O</sub> = 0、 OSC 電源オフ、 ACMP 電源オフ	2.41			3.26			4.22			μA
I <sub>CC</sub>	スタンバイ、バンドギャップ有効	バンドギャップ強制オン	4.53			5.38			6.35			μA
<b>発振器</b>												
I <sub>CC</sub>	OSC0 イネーブル: 2kHz	事前分周 = 1	0.63			0.70			1.11			μA
		事前分周 = 2	0.62			0.72			1.12			
		事前分周 = 4	0.62			0.72			1.09			
		事前分周 = 8	0.64			0.72			1.06			
I <sub>CC</sub>	OSC1 イネーブル: 2MHz	事前分周 = 1	31.6			34.2			40.7			μA
		事前分周 = 2	28.5			31.1			37.7			
		事前分周 = 4	26.4			29.1			35.8			
		事前分周 = 8	25.4			28.1			34.9			
I <sub>CC</sub>	OSC2 イネーブル: 25MHz	事前分周 = 1	508			508			508			μA
		事前分周 = 2	349			349			349			
		事前分周 = 4	268			268			268			
		事前分周 = 8	228			228			228			
I <sub>CC</sub>	OSC2 イネーブル: 25MHz	通常の起動、 OSC 出力アイドル	15.5			15.7			16.0			μA
I <sub>CC</sub>	OSC2 イネーブル: 25MHz	高速起動が有効、 OSC 出力がアイドル	23.5			23.7			24.0			μA
<b>アナログ コンパレータ — ディスクリット アナログ コンパレータ</b>												
I <sub>CC</sub>	ディスクリット アナログ コンパレータ (ACMP)	外部 VREF (32mV)、 IN+ = 0V、 低帯域幅モード無効	3.46			3.56			3.63			μA
		外部 VREF (32mV)、 IN+ = VCC、 低帯域幅モード無効	4.09			4.17			4.31			
		外部 VREF (32mV)、 IN+ = 0V、 低帯域幅モード有効	0.82			0.83			0.83			
		外部 VREF (32mV)、 IN+ = VCC、 低帯域幅モード有効	0.81			0.81			0.83			
<b>アナログ コンパレータ — マルチチャンネル アナログ コンパレータ</b>												

$T_A = 25^\circ\text{C}$  (特に記述のない限り)

パラメータ	テスト条件	$V_{CC} = 1.8V \pm 0.09V$			$V_{CC} = 3.3V \pm 0.3V$			$V_{CC} = 5V \pm 0.5V$			単位	
		最小値	標準値	最大値	最小値	標準値	最大値	最小値	標準値	最大値		
$I_{CC}$	マルチチャネル サンプリング アナログ コンパレータ (McACMP)	1 チャネル、 外部 VREF (32mV)、 IN+ = 0V、 低帯域幅モード無効	3.32			3.44			3.53			$\mu\text{A}$
		1 チャネル、 外部 VREF (32mV)、 IN+ = VCC、 低帯域幅モード無効	3.93			4.06			4.19			
		1 チャネル、 外部 VREF (32mV)、 IN+ = 0V、 低帯域幅モード有効	0.78			0.81			0.83			
		1 チャネル、 外部 VREF (32mV)、 IN+ = VCC、 低帯域幅モード有効	0.79			0.82			0.85			
		4 チャネル連続サンプリング、 外部 VREF (32mV)、 IN+ = 0V、 OSC = 2kHz	1.36			1.47			1.83			
		4 チャネル連続サンプリング、 外部 VREF (32mV)、 IN+ = 0V、 OSC = 100kHz	35.4			38.0			44.7			
<b>電圧リファレンス</b>												
$I_{CC}$	電圧リファレンス (VREF)	内部 VREF (32mV ~ 2016mV)	6.92			7.04			7.14			$\mu\text{A}$
<b>アナログ温度センサ</b>												
$I_{CC}$	アナログ温度センサ (TS)	温度センサ イネーブル	3.93			4.05			4.14			$\mu\text{A}$
<b>アナログ マルチプレクサ</b>												
$I_{CC}$	アナログ マルチプレクサ (AMUX)	アナログ マルチプレクサがイ ネーブル										$\mu\text{A}$

## 5.7 スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	始点 (入力)	終点 (出力)	テスト 条件	$V_{CC}$	最小値	標準値	最大値	単位
<b>デジタル IO</b>								
$t_{pd}$	遅延	デジタル入力	プッシュプル出 力	立ち上がり	$1.8V \pm 0.09V$	32.4		ns
						立ち下がり	29.6	
				立ち上がり	$3.3V \pm 0.3V$		19.2	
						立ち下がり	17.0	
				立ち上がり	$5V \pm 0.5V$		15.2	
						立ち下がり	14.4	

自由気流での動作温度範囲内 (特に記述のない限り)

ADVANCE INFORMATION

パラメータ		始点 (入力)	終点 (出力)	テスト 条件	V <sub>CC</sub>	最小値 標準値 最大値	単位	
t <sub>pd</sub>	遅延	シュミットトリガ 付きデジタル入 力	プッシュプル出 力	立ち上がり	1.8V ± 0.09V	38.2	ns	
				立ち下がり		36.5		
				立ち上がり	3.3V ± 0.3V	23.4		
				立ち下がり		22.5		
				立ち上がり	5V ± 0.5V	19.2		
				立ち下がり		19.8		
t <sub>pd</sub>	遅延	低電圧デジタル 入力	プッシュプル出 力	立ち上がり	1.8V ± 0.09V	32.3	ns	
				立ち下がり		32.7		
				立ち上がり	3.3V ± 0.3V	21.3		
				立ち下がり		21.8		
				立ち上がり	5V ± 0.5V	18.5		
				立ち下がり		18.1		
t <sub>pd</sub>	遅延	デジタル入力	オープンドレ インの NMOS 出 力	立ち上がり	1.8V ± 0.09V		ns	
				立ち下がり		26.3		
				立ち上がり	3.3V ± 0.3V			
				立ち下がり		17.6		
				立ち上がり	5V ± 0.5V			
				立ち下がり		15.4		
t <sub>pd</sub>	遅延	ピンからの出力 イネーブル	OE	プッシュプル出 力	ハイインピーダ ンスを 1 に設定	1.8V ± 0.09V	ns	
						3.3V ± 0.3V		
						5V ± 0.5V		
					ハイインピーダ ンスを 0 に設定	1.8V ± 0.09V	ns	
						3.3V ± 0.3V		
						5V ± 0.5V		
<b>用途を構成可能なロジック</b>								
t <sub>pd</sub>	遅延	2 ビット LUT	IN	OUT	立ち上がり	1.8V ± 0.09V	1.0	ns
					立ち下がり		0.9	
					立ち上がり	3.3V ± 0.3V	1.0	
					立ち下がり		0.9	
					立ち上がり	5V ± 0.5V	1.0	
					立ち下がり		0.9	
t <sub>pd</sub>	遅延	3 ビット LUT	IN	OUT	立ち上がり	1.8V ± 0.09V	0.9	ns
					立ち下がり		0.7	
					立ち上がり	3.3V ± 0.3V	0.9	
					立ち下がり		0.7	
					立ち上がり	5V ± 0.5V	0.9	
					立ち下がり		0.7	
t <sub>pd</sub>	遅延	4 ビット LUT	IN	OUT	立ち上がり	1.8V ± 0.09V	1.1	ns
					立ち下がり		1.0	
					立ち上がり	3.3V ± 0.3V	1.1	
					立ち下がり		1.0	
					立ち上がり	5V ± 0.5V	1.1	
					立ち下がり		1.0	

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			始点 (入力)	終点 (出力)	テスト 条件	V <sub>CC</sub>	最小値 標準値 最大値	単位
t <sub>pd</sub>	遅延	DFF/ ラッチ	CLK	Q	立ち上がり	1.8V ± 0.09V	1.5	ns
					立ち下がり		1.6	
					立ち上がり	3.3V ± 0.3V	1.5	
					立ち下がり		1.6	
					立ち上がり	5V ± 0.5V	1.6	
					立ち下がり		1.7	
t <sub>pd</sub>	遅延	DFF/ ラッチ	nRST/nSET	Q	立ち上がり	1.8V ± 0.09V	4.6	ns
					立ち下がり		4.6	
					立ち上がり	3.3V ± 0.3V	4.7	
					立ち下がり		4.6	
					立ち上がり	5V ± 0.5V	4.7	
					立ち下がり		4.6	
t <sub>pd</sub>	遅延	パターン ジェネ レータ	CLK	OUT	立ち上がり	1.8V ± 0.09V	1.7	ns
					立ち下がり		1.7	
					立ち上がり	3.3V ± 0.3V	1.5	
					立ち下がり		1.6	
					立ち上がり	5V ± 0.5V	1.7	
					立ち下がり		1.7	
<b>カウンタ / 遅延</b>								
t <sub>pd</sub>	遅延	シフトレジスタ	CLK	OUT	立ち上がり	1.8V ± 0.09V	1.5	ns
					立ち下がり		1.6	
					立ち上がり	3.3V ± 0.3V	1.5	
					立ち下がり		1.6	
					立ち上がり	5V ± 0.5V	1.5	
					立ち下がり		1.6	
t <sub>pd</sub>	遅延	シフトレジスタ	nRST	OUT	立ち上がり	1.8V ± 0.09V	2.2	ns
					立ち下がり		2.2	
					立ち上がり	3.3V ± 0.3V	2.2	
					立ち下がり		2.2	
					立ち上がり	5V ± 0.5V	2.2	
					立ち下がり		2.2	
t <sub>pd</sub>	遅延	カウンタ - 遅延 モード	IN の立ち上がり エッジ	OUT の立ち上 がりエッジ	立ち下がりエッ ジをトリガ	1.8V ± 0.09V	3.7	ns
			IN の立ち下がり エッジ	OUT の立ち下 がりエッジ	立ち上がりエッ ジをトリガ		2.9	
			IN の立ち上がり エッジ	OUT の立ち上 がりエッジ	立ち下がりエッ ジをトリガ	3.3V ± 0.3V	3.7	
			IN の立ち下がり エッジ	OUT の立ち下 がりエッジ	立ち上がりエッ ジをトリガ		2.9	
			IN の立ち上がり エッジ	OUT の立ち上 がりエッジ	立ち下がりエッ ジをトリガ	5V ± 0.5V	3.7	
			IN の立ち下がり エッジ	OUT の立ち下 がりエッジ	立ち上がりエッ ジをトリガ		2.9	



自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ			始点 (入力)	終点 (出力)	テスト 条件	V <sub>CC</sub>	最小値	標準値	最大値	単位
t <sub>pw</sub>	パルス幅	カウンタ - エッジ検出モード	OUT の立ち上がりエッジ	OUT の立ち下がりエッジ	立ち上がりエッジ検出	1.8V ± 0.09V		19.7		ns
						3.3V ± 0.3V		19.8		
						5V ± 0.5V		19.8		
					立ち下がりエッジ検出	1.8V ± 0.09V		19.9		
						3.3V ± 0.3V		19.9		
						5V ± 0.5V		19.9		
					両方のエッジ検出	1.8V ± 0.09V		19.9		
						3.3V ± 0.3V		20.0		
						5V ± 0.5V		20.0		
ステートマシン										
t <sub>st_pw</sub>	状態遷移パルス幅					1.8V ± 0.09V		22.0		ns
						3.3V ± 0.3V		22.0		
						5V ± 0.5V		22.0		
t <sub>st_dly</sub>	状態遷移遅延					1.8V ± 0.09V		61.5		ns
						3.3V ± 0.3V		51.3		
						5V ± 0.5V		48.6		
発振器										
f <sub>err</sub>	発振器の周波数誤差				OSC0 2kHz	1.8V ± 0.09V	-5	5		%
						3.3V ± 0.3V	-5	5		
						5V ± 0.5V	-5	5		
					OSC1 2MHz	1.8V ± 0.09V	-5	5		
						3.3V ± 0.3V	-5	5		
						5V ± 0.5V	-5	5		
					OSC2 25MHz	1.8V ± 0.09V	-5	5		
						3.3V ± 0.3V	-5	5		
						5V ± 0.5V	-5	5		
t <sub>d_osc</sub>	発振器のスタートアップ遅延				OSC0 2kHz	1.8V ± 0.09V		364.2		μs
						3.3V ± 0.3V		315.8		
						5V ± 0.5V		319.9		
t <sub>d_osc</sub>	発振器のスタートアップ遅延				OSC1 2MHz、 バンドギャップ 強制オン	1.8V ± 0.09V		0.52		μs
						3.3V ± 0.3V		0.49		
						5V ± 0.5V		0.53		
t <sub>d_osc</sub>	発振器のスタートアップ遅延				OSC2 25MHz、 バンドギャップ 強制オン	1.8V ± 0.09V		2.80		μs
						3.3V ± 0.3V		2.69		
						5V ± 0.5V		2.58		
t <sub>d_osc</sub>	発振器のスタートアップ遅延				OSC2 25MHz、 高速スタートア ップが有効	1.8V ± 0.09V		0.38		μs
						3.3V ± 0.3V		0.37		
						5V ± 0.5V		0.34		
t <sub>d_bg</sub>	バンドギャップのスタートアップ遅延				バンドギャップ 自動オン	1.8V ± 0.09V		42.0		μs
						3.3V ± 0.3V		42.0		
						5V ± 0.5V		42.0		

自由気流での動作温度範囲内 (特に記述のない限り)

ADVANCE INFORMATION

パラメータ		始点 (入力)	終点 (出力)	テスト 条件	V <sub>CC</sub>	最小値 標準値 最大値	単位	
t <sub>set_osc</sub>	発振器のスタートアップ セトリング 時間			OSC0 2kHz	1.8V ± 0.09V	164.0	μs	
					3.3V ± 0.3V	165.2		
					5V ± 0.5V	166.1		
				OSC1 2MHz	1.8V ± 0.09V	0.8	μs	
					3.3V ± 0.3V	0.7		
					5V ± 0.5V	0.7		
				OSC2 25MHz	1.8V ± 0.09V	0.1	μs	
					3.3V ± 0.3V	0.1		
					5V ± 0.5V	0.1		
t <sub>d_err</sub>	遅延誤差			OSC (強制パワ ーオン)	1.71V ~ 5.5V	0 1	CLK サイク ル	
プログラム可能なフィルタ								
t <sub>pflt_pw</sub>	パルス幅	プログラム可能 なフィルタ - エッ ジ検出モード	OUT の立ち上 がりエッジ	OUT の立ち下 がりエッジ	1 セル	1.8V ± 0.09V	138.2	ns
						3.3V ± 0.3V	138.1	
						5V ± 0.5V	138.3	
					2 セル	1.8V ± 0.09V	238.4	ns
						3.3V ± 0.3V	238.2	
						5V ± 0.5V	238.0	
					3 セル	1.8V ± 0.09V	336.9	ns
						3.3V ± 0.3V	336.4	
						5V ± 0.5V	336.6	
					4 セル	1.8V ± 0.09V	434.3	ns
						3.3V ± 0.3V	434.2	
						5V ± 0.5V	434.5	
t <sub>pflt_pd</sub>	遅延	プログラム可能 なフィルタ - エッ ジ検出モード			任意のセル	1.8V ± 0.09V	63.4	ns
						3.3V ± 0.3V	63.4	
						5V ± 0.5V	63.4	
t <sub>pflt_d</sub>	遅延	プログラム可能 なフィルタ - 両 方のエッジ遅延 モード	IN の立ち上が り / 立ち下が りエッジ	OUT の立ち上 がり / 立ち下 がりエッジ	1 セル	1.8V ± 0.09V	153.4	ns
						3.3V ± 0.3V	153.5	
						5V ± 0.5V	153.6	
					2 セル	1.8V ± 0.09V	253.7	ns
						3.3V ± 0.3V	253.9	
						5V ± 0.5V	253.6	
					3 セル	1.8V ± 0.09V	352.4	ns
						3.3V ± 0.3V	352.2	
						5V ± 0.5V	352.7	
					4 セル	1.8V ± 0.09V	450.2	ns
						3.3V ± 0.3V	449.9	
						5V ± 0.5V	450.3	
アナログ マルチプレクサ								

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		始点 (入力)	終点 (出力)	テスト 条件	V <sub>CC</sub>	最小値	標準値	最大値	単位
周波数応答 (スイッチオン時)		Y、または A、B	A、B または Y	R <sub>L</sub> = 50Ω、 f <sub>in</sub> = サイン波	1.8V ± 0.09V				MHz
					2.5V ± 0.2V				
					3.3V ± 0.3V				
					5V ± 0.5V				
クロストーク (スイッチ間)		A または B	B または A	R <sub>L</sub> = 50Ω、 f <sub>in</sub> = 10MHz (サ イン波)	1.8V ± 0.09V				dB
					2.5V ± 0.2V				
					3.3V ± 0.3V				
					5V ± 0.5V				
フィードスルー減衰 (スイッチ オフ)		Y、または A、B	A、B または Y	C <sub>L</sub> = 5pF、 R <sub>L</sub> = 50Ω、 f <sub>in</sub> = 10MHz (サ イン波)	1.8V ± 0.09V				dB
					2.5V ± 0.2V				
					3.3V ± 0.3V				
					5V ± 0.5V				
電荷注入		IN	Y	C <sub>L</sub> = 0.1nF、 R <sub>L</sub> = 1MΩ	3.3V		1.17		pC
					5V		1.46		
全高調波歪		Y、または A、B	A、B または Y	V <sub>I</sub> = 0.5 × V <sub>pp</sub> 、 R <sub>L</sub> = 600Ω、 f <sub>in</sub> = 600Hz ~ 20kHz (サイン 波)	1.8V ± 0.09V		0.18		%
					2.5V ± 0.2V		0.02		
					3.3V ± 0.3V		0.01		
					5V ± 0.5V		0.01		
t <sub>pd</sub> <sup>(1)</sup>	遅延	Y、または A、B	A、B または Y		1.8V ± 0.09V			2.6	ns
					2.5V ± 0.2V			1.6	
					3.3V ± 0.3V			1.2	
					5V ± 0.5V			1.0	
t <sub>en</sub> <sup>(2)</sup>	イネーブル時間	IN	A または B		1.8V ± 0.09V	5.9		45.0	ns
					2.5V ± 0.2V	3.8		36.2	
					3.3V ± 0.3V	3.4		33.8	
					5V ± 0.5V	2.6		30.8	
t <sub>dis</sub> <sup>(3)</sup>	ディセーブル時間				1.8V ± 0.09V	6.0		45.7	ns
					2.5V ± 0.2V	4.7		36.4	
					3.3V ± 0.3V	3.7		33.3	
					5V ± 0.5V	3.2		30.8	
t <sub>B-M</sub>	ブレイク ビフォー メイク時間	IN	Y	IN = LOW から High ステップ A、B = V <sub>CC</sub> /2、 R <sub>L</sub> = 50Ω、 C <sub>L</sub> = 35pF	1.8V ± 0.09V	3.6			ns
					2.5V ± 0.2V	2.6			
					3.3V ± 0.3V	2.0			
					5V ± 0.5V	1.5			

- (1) t<sub>pd</sub> は t<sub>PLH</sub> または t<sub>PHL</sub> のうち遅い方です。遅延は、理想的な電圧源 (出力インピーダンス ゼロ) で駆動した場合に、スイッチの典型的なオン抵抗と指定された負荷コンデンサの RC 時定数から算出されます。
- (2) t<sub>en</sub> は t<sub>pZL</sub> と t<sub>pZH</sub> のうち遅い方です。
- (3) t<sub>dis</sub> は t<sub>PLZ</sub> と t<sub>PHZ</sub> のうち遅い方です。

## 5.8 I<sup>2</sup>C バス タイミング要件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		標準モード (Sm)		ファストモード (Fm)		ファストモードプラス (Fm+)		単位
		最小値	最大値	最小値	最大値	最小値	最大値	
f <sub>scl</sub>	I <sup>2</sup> C クロック周波数	0	100	0	400	0	1000	kHz
t <sub>sch</sub>	I <sup>2</sup> C クロックの High 時間	4		0.6		0.26		μs
t <sub>scl</sub>	I <sup>2</sup> C クロックの Low 時間	4.7		1.3		0.5		μs
t <sub>sp</sub>	I <sup>2</sup> C スパイク時間		50		50		50	ns
t <sub>sds</sub>	I <sup>2</sup> C シリアル データ セットアップ時間	250		100		50		ns
t <sub>sdh</sub>	I <sup>2</sup> C シリアル データ ホールド時間	0		0		0		ns
t <sub>icr</sub>	I <sup>2</sup> C 入力の立ち上がり時間		1000	20	300		120	ns
t <sub>icf</sub>	I <sup>2</sup> C 入力の立ち下がり時間		300	20 × (V <sub>CC</sub> /5.5V)	300	20 × (V <sub>CC</sub> /5.5V)	120	ns
t <sub>ocf</sub>	I <sup>2</sup> C 出力の立ち下がり時間		300		300		120	ns
t <sub>buf</sub>	STOP と START 間の I <sup>2</sup> C バスのブリーチ時間	4.7		1.3		0.5		μs
t <sub>sts</sub>	I <sup>2</sup> C START または反復 START 条件の設定	4.7		0.6		0.26		μs
t <sub>sth</sub>	I <sup>2</sup> C START または反復 START 条件ホールド	4		0.6		0.26		μs
t <sub>sps</sub>	I <sup>2</sup> C STOP 条件の設定	4		0.6		0.26		μs
t <sub>vd(data)</sub>	有効データ時間		3.45		0.9		0.45	μs
t <sub>vd(ack)</sub>	ACK 条件の有効データ時間		3.45		0.9		0.45	μs
C <sub>b</sub>	I <sup>2</sup> C バスの容量性負荷		400		400		550	pF

## 5.9 SPI のタイミング要件

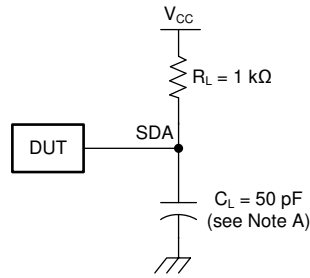
自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
f <sub>SCLK</sub>	SCLK, SPI クロック周波数				4	MHz
t <sub>SCLK</sub>	SCLK, SPI クロック周期		250			ns
t <sub>R</sub>	SDI, nCS, SCLK 信号の立ち上がり時間				40	ns
t <sub>F</sub>	SDI, nCS, SCLK 信号の立ち下がり時間				40	ns
t <sub>SCLKH</sub>	SCLK High 時間		125			ns
t <sub>SCLKL</sub>	SCLK Low 時間		125			ns
t <sub>nCS_SU</sub>	SCLK 立ち上がりエッジ前の nCS セットアップ時間		100			ns
t <sub>nCS_HOLD</sub>	SCLK 立ち下がりエッジ後の nCS ホールド時間		100			ns
t <sub>nCS_DIS</sub>	nCS ディセーブル時間		50			ns
t <sub>SDI_SU</sub>	SCLK 立ち上がりエッジ前の SDI セットアップ時間		50			ns
t <sub>SDI_HOLD</sub>	SCLK 立ち上がりエッジ後の SDI ホールド時間		50			ns
t <sub>SDO_VALID</sub>	SCLK 立ち下がりエッジから次の SDO データまでの時間				80	ns

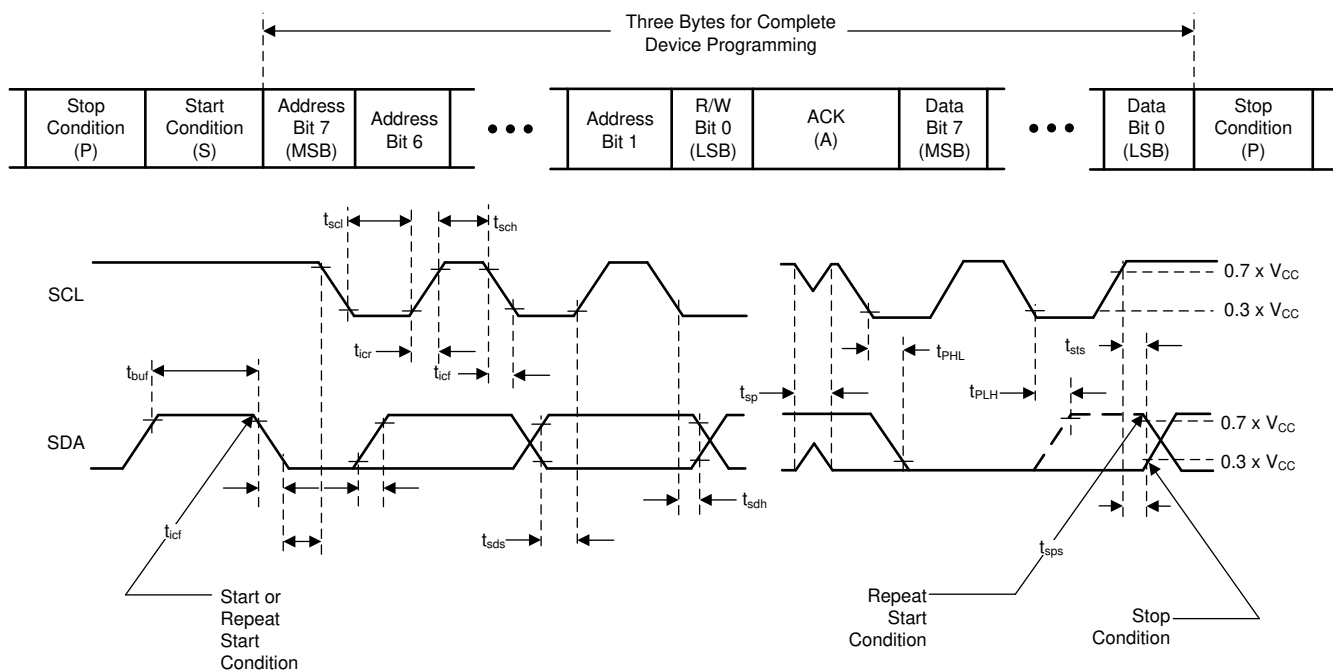
自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
t <sub>SDOR</sub>	SDO の立ち上がり時間				40	ns
t <sub>SDOF</sub>	SDO の立ち下がり時間				40	ns

## 6 パラメータ測定情報



SDA LOAD CONFIGURATION



VOLTAGE WAVEFORMS

- A.  $C_L$  にはプローブと治具の容量が含まれます。
- B. すべての入力、以下の特性を持つジェネレータから供給されます:  $PRR \leq 10\text{MHz}$ 、 $Z_O = 50\Omega$ 、 $t_r/t_f \leq 30\text{ns}$ 。
- C. すべてのパラメータと波形が、すべてのデバイスに適用できるわけではありません。

図 6-1. I<sup>2</sup>C インターフェイスの負荷回路と電圧波形

## 7 詳細説明

### 7.1 概要

TPLD2001 は、組み合わせ論理、順序論理、アナログ ブロックを内蔵した多用途なプログラマブル ロジック IC を特長とするテキサス・インスツルメンツ プログラマブル ロジック デバイス (TPLD) ファミリのデバイスであり、一般的なシステム機能を実装するためのコンパクトな統合型低消費電力ソリューションを提供します。

TPLD2001 は 17 個の GPIO と 1 個の GPI があり、それぞれを デジタル入力、デジタル出力、デジタル入出力、またはアナログ入出力として構成することができます。

TPLD2001 は、内部マクロセルと I/O ピンの配線を構成するための相互接続システムを備えています。ここでは、これを接続マルチプレクサと言います。それぞれの接続マルチプレクサ入力は、デジタル I/O、ルックアップ テーブル、アナログコンパレータ出力など、特定のデジタル マクロセル出力にハードワイヤ接続されています。接続マルチプレクサを使うと、各デジタル入力を 1 つの出力のみに接続できるため、バスの競合が発生しません。

TPLD2001 には、以下に示すマクロセルがあります。

- 14 個の構成可能な論理ブロックが用意されており、組み合わせ論理または順序論理を実装するために使用できます
  - 3 つの論理ユニットを、2 ビット LUT または D フリップ フロップ/ラッチとして選択可能
  - 1 つの論理ユニットを、2 ビット LUT またはパターン ジェネレータとして選択可能
  - 2 つの論理ユニットを、3 ビット LUT または D フリップ フロップ/ラッチとして選択可能
  - 4 つの論理ユニットを、3 ビット LUT、D フリップ フロップ/ラッチ、またはシフトレジスタとして選択可能
  - 4 つの論理ユニットを、4 ビット LUT または D フリップ フロップ/ラッチとして選択可能
- 6 つの構成可能なロジックおよびタイミング ブロック
  - 4 つの 3 ビット LUT または D フリップ フロップ/ラッチ、または 8 ビット カウンタ
  - 2 つの 3 ビット LUT または D フリップ フロップ/ラッチおよび/または 16 ビット カウンタ
- 2 つのプログラム可能なグリッチ除去フィルタまたはエッジ検出器
- 1 つのグリッチ除去フィルタまたはエッジ検出器
- 1 つの 8 ステート マシン、非同期または同期モード
- 4 つの 8 ビット カウンタ/有限ステート マシン
- 4 つの PWM ジェネレータ
- 1 つのウォッチドッグ タイマ
- 4 つのディスクリート アナログ コンパレータ
- 1 つのマルチチャネル アナログ コンパレータを備え、サンプリング エンジンと複数電圧リファレンス選択機能を内蔵
- 内部基準電圧
- アナログ温度センサ
- 2 個の Break-Before-Make アナログ マルチプレクサ
- 3 つの発振器: 2kHz、2MHz、25MHz
- 1 つのシリアル通信: I<sup>2</sup>C または SPI を選択可能

InterConnect Studio はドラッグ & ドロップによるシンプルなインターフェイスを通じて、カスタム回路設計を構築し、マクロセル、I/O ピン、インターコネクションを構成し、ワンタイム プログラマブル (OTP) の不揮発性メモリに書き込むことができます。回路の作成に加えて、InterConnect Studio にはデジタルおよびアナログ機能のシミュレーション機能があり、設計を検証し、標準的な消費電力の推定値を提供できます。回路設計が確定したら、OTP に書き込みを行い、内容の読み戻しを防ぐためにロックできます。

## 7.2 機能ブロック図

ADVANCE INFORMATION

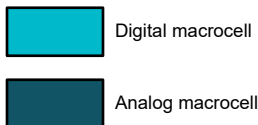
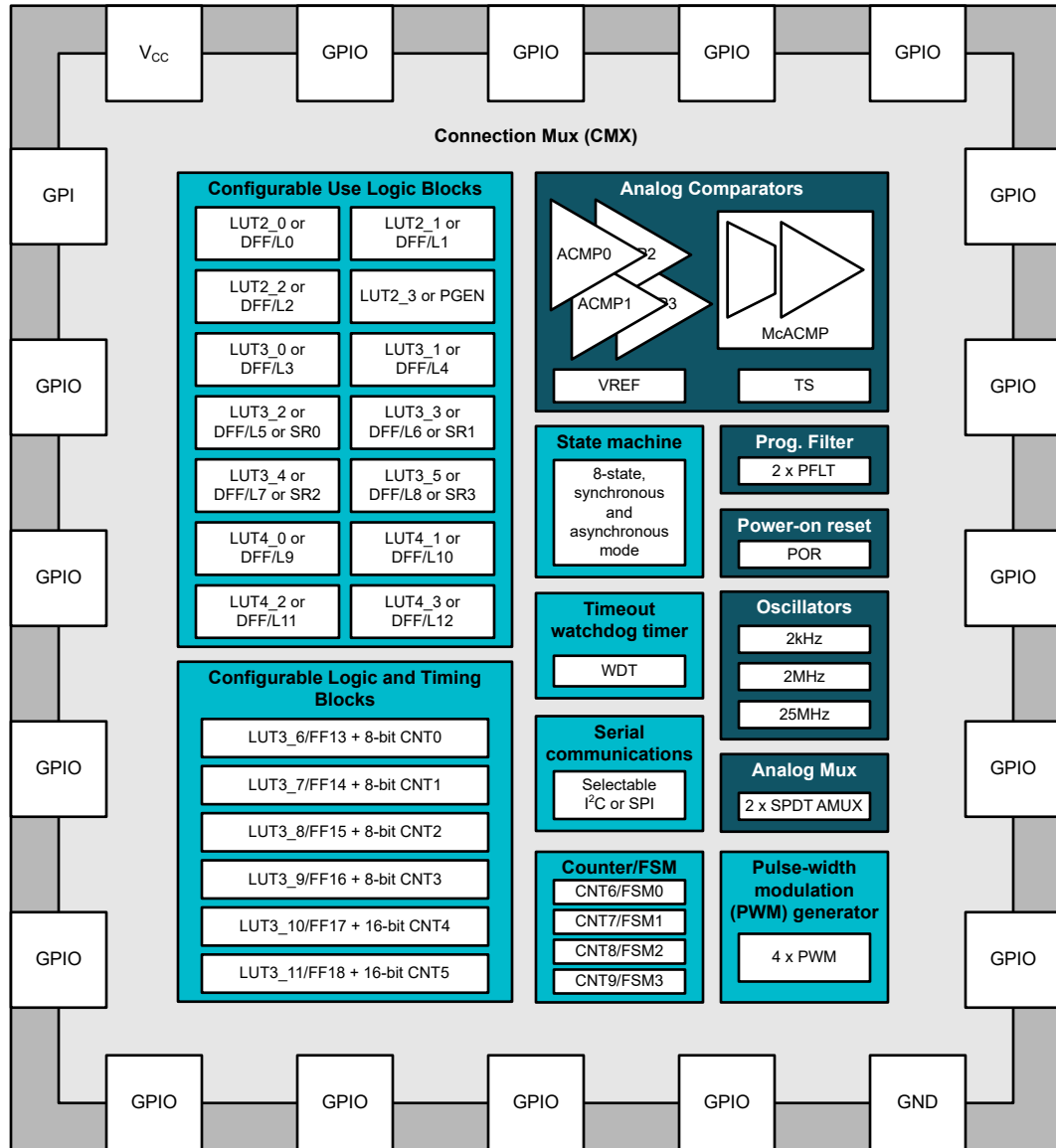


図 7-1. TPLD2001 機能ブロック図



## 7.3 機能説明

### 7.3.1 I/O ピン

TPLD2001 は 1 本の入力ピンと 17 本の多機能 I/O ピンを持っています。GPIO ピンは、ユーザー定義の入力、出力、または特殊機能のいずれかとして使用できます。

#### 7.3.1.1 入力モード

ピンを入力として構成する場合、以下のオプションを使用できます。

- シュミットトリガなしのデジタル入力
- シュミットトリガ付きデジタル入力
- 低電圧デジタル入力

低電圧デジタル入力は、シュミットトリガなしのデジタル入力よりも  $V_{IH}/V_{IL}$  の仕様が低くなっています。これにより、低電圧デジタル入力  $V_{IH}$  および  $V_{IL}$  仕様を満たす  $V_{CC}$  より低い任意の電圧ドメインからの昇圧変換が可能です。

デジタル入力オプションに加えて、複数の IO に特殊機能を持つことができます。3 つの IO を外部発振器入力として使用できます。

- IO14:OSC0 外部クロック
- IO15:OSC1 外部クロック
- IO17:OSC2 外部クロック

複数の IO を、内部アナログ コンパレータへのアナログ入力として機能させることもできます。

- IO4:ACMP IN0
- IO16:ACMP IN1
- IO1:ACMP IN2
- IO2:ACMP IN3
- IO9:外部 VREF IN
- IO10:McACMP IN0
- IO11:McACMP IN1
- IO12:McACMP IN2
- IO13:McACMP IN3

3 つの IO は、内部のブレイク ビフォー メイク方式のアナログ マルチプレクサ用に、双方向アナログ ピンとして構成することも可能です。

- IO1:AMUX0 A
- IO2:AMUX0 B
- IO3:AMUX0 Y
- IO14:AMUX1 A
- IO15:AMUX1 B
- IO17:AMUX1 Y

#### 7.3.1.2 出力モード

ピンを出力として構成する場合、ドライブ強度をプログラム可能な以下のオプションを利用できます：

- プッシュプル出力
- オープンドレインの NMOS 出力

### 7.3.1.3 プルアップまたはプルダウン抵抗

すべての I/O ピンには、ピン構造に接続できるユーザー選択可能な抵抗のオプションがあります。これらの抵抗で選択可能な値は、10kΩ、100kΩ、1MΩ です。これらの内部抵抗はプルアップとプルダウンのどちらかとして構成できます。InterConnect Studio で設計すると、設計で未使用のすべてのピンは、デフォルトで 1MΩ のプルダウンが接続されるように構成されます。さらに、パワーオン イベントの後、パワーオンリセットシーケンスが完了するまで、すべてのポートがハイインピーダンス状態になります。

表 7-1. ピン構成オプション

GPIO	IO の選択	OE	IO オプション	抵抗	抵抗値 (Ω)
IN0	使用されていないピン	—	—	プルダウン	1M
	デジタル入力	0	シュミットトリガなしのデジタル入力 シュミットトリガ付きデジタル入力 低電圧デジタル入力	フローティング プルダウン プルアップ	— 10k 100k 1M
IO6, IO7	使用されていないピン	—	—	プルダウン	1M
	デジタル入力	0	シュミットトリガなしのデジタル入力 シュミットトリガ付きデジタル入力 低電圧デジタル入力	フローティング プルダウン プルアップ	— 10k 100k 1M
	デジタル出力	1	プッシュプル出力 (1X、2X) オープンドレイン NMOS (1X、4X)	フローティング プルダウン プルアップ	— 10k 100k 1M
IO1、IO2、 IO3、IO10、 IO11、 IO12、 IO13、 IO15、 IO16、IO17	使用されていないピン	—	—	プルダウン	1M
	デジタル入力	0	シュミットトリガなしのデジタル入力 シュミットトリガ付きデジタル入力 低電圧デジタル入力	フローティング プルダウン プルアップ	— 10k 100k 1M
	デジタル出力	1	プッシュプル出力 (1X、2X)	フローティング	—
			オープンドレイン NMOS (1X、2X) 3 ステート出力 (1x、2x)	プルダウン プルアップ	10k 100k 1M
	デジタル入出力	0	シュミットトリガなしのデジタル入力 シュミットトリガ付きデジタル入力 低電圧デジタル入力	フローティング プルダウン プルアップ	— 10k 100k 1M
			1	プッシュプル出力 (1X、2X) オープンドレイン NMOS (1X、2X)	
アナログ入出力	—	アナログ入出力	フローティング プルダウン プルアップ	— 10k 100k 1M	

表 7-1. ピン構成オプション (続き)

GPIO	IO の選択	OE	IO オプション	抵抗	抵抗値 (Ω)
IO5、IO8	使用されていないピン	—	—	プルダウン	1M
	デジタル入力	0	シュミットトリガなしのデジタル入力 シュミットトリガ付きデジタル入力 低電圧デジタル入力	フローティング	—
				プルダウン	10k
				プルアップ	100k 1M
	デジタル出力	1	プッシュプル出力 (1X、2X) オープンドレイン NMOS (1X、2X)	フローティング	—
				プルダウン プルアップ	10k 100k 1M
	デジタル入出力	0	シュミットトリガなしのデジタル入力 シュミットトリガ付きデジタル入力 低電圧デジタル入力	フローティング	—
				プルダウン プルアップ	10k 100k 1M
1				プッシュプル出力 (1X、2X) オープンドレイン NMOS (1X、2X)	
IO4、IO9、IO14	使用されていないピン	—	—	プルダウン	1M
	デジタル入力	0	シュミットトリガなしのデジタル入力 シュミットトリガ付きデジタル入力 低電圧デジタル入力	フローティング	—
				プルダウン	10k
				プルアップ	100k 1M
	デジタル出力	1	プッシュプル出力 (1X、2X) オープンドレイン NMOS (1X、2X)	フローティング	—
				プルダウン プルアップ	10k 100k 1M
	アナログ入出力	—	アナログ入出力	フローティング	—
プルダウン プルアップ				10k 100k 1M	

注

CMX から制御された出力イネーブル (OE) を持つ IO を使用し、3 ステート出力のデジタル出力として構成する場合、入力モードをシュミットトリガでデジタル入力に構成することを推奨します。

### 7.3.2 接続マルチプレクサ

接続マルチプレクサは、本デバイスの内部機能用の内部配線がプログラムされた後に作成されます。これらのレジスタは、ワンタイム プログラマブル メモリ (OTP) からプログラムされます。

TPLD2001 内の各機能マクロセルの出力には、特定のデジタル ビット コードが割り当てられており、作成される設計に基づいて、アクティブ「High」または非アクティブ「Low」に設定されます。TPLD2001 内の 2048 レジスタ ビットがプログラムされると、完全なカスタム回路が作成されます。

接続マルチプレクサには 83 の入力と 157 の出力があります。接続マルチプレクサへの 83 個の入力のそれぞれは、I/O ピン、LUT、アナログ コンパレータ、その他のデジタル リソース、V<sub>CC</sub> および GND を含む特定のソース マクロセルにハードワイヤードされています。デジタル マクロセルへの入力は、7 ビット レジスタを使用して、これら 83 本の入力ラインのいずれかを選択します。

表 7-2. 接続マルチプレクサ入力表

接続マルチプレクサ入力	接続マルチプレクサ入力信号	マルチプレクサ デコード						
		6	5	4	3	2	1	0
0	GND	0	0	0	0	0	0	0
1	IN0 DIN	0	0	0	0	0	0	1
2	IO1 DIN/仮想 IN0	0	0	0	0	0	1	0
3	IO2 DIN/仮想 IN1	0	0	0	0	0	1	1
4	IO3 DIN/仮想 IN2	0	0	0	0	1	0	0
5	IO4 DIN/仮想 IN3	0	0	0	0	1	0	1
6	IO5 DIN/仮想 IN4	0	0	0	0	1	1	0
7	IO6 DIN/仮想 IN5	0	0	0	0	1	1	1
8	IO7 DIN/仮想 IN6	0	0	0	1	0	0	0
9	IO8 DIN/仮想 IN7	0	0	0	1	0	0	1
10	IO9 DIN	0	0	0	1	0	1	0
11	IO10 DIN	0	0	0	1	0	1	1
12	IO11 DIN	0	0	0	1	1	0	0
13	IO12 DIN	0	0	0	1	1	0	1
14	IO13 DIN	0	0	0	1	1	1	0
15	IO14 DIN	0	0	0	1	1	1	1
16	IO15 DIN	0	0	1	0	0	0	0
17	IO16 DIN	0	0	1	0	0	0	1
18	IO17 DIN	0	0	1	0	0	1	0
19	LUT2_0/DFF OUT	0	0	1	0	0	1	1
20	LUT2_1/DFF OUT	0	0	1	0	1	0	0
21	LUT2_2/DFF OUT	0	0	1	0	1	0	1
22	LUT2_3/PGEN OUT	0	0	1	0	1	1	0
23	LUT3_0/DFF OUT	0	0	1	0	1	1	1
24	LUT3_1/DFF OUT	0	0	1	1	0	0	0
25	LUT3_2/DFF/SR OUT	0	0	1	1	0	0	1
26	LUT3_3/DFF/SR OUT	0	0	1	1	0	1	0

表 7-2. 接続マルチプレクサ入力表 (続き)

接続マルチプレクサ入力	接続マルチプレクサ入力信号	マルチプレクサ デコード						
		6	5	4	3	2	1	0
27	LUT3_4/DFF/SR OUT	0	0	1	1	0	1	1
28	LUT3_5/DFF/SR OUT	0	0	1	1	1	0	0
29	LUT3_6/LDC OUT	0	0	1	1	1	0	1
30	LUT3_7/LDC OUT	0	0	1	1	1	1	0
31	LUT3_8/LDC OUT	0	0	1	1	1	1	1
32	LUT3_9/LDC OUT	0	1	0	0	0	0	0
33	LUT3_10/LDC OUT	0	1	0	0	0	0	1
34	LUT3_11/LDC OUT	0	1	0	0	0	1	0
35	LUT4_0/DFF OUT	0	1	0	0	0	1	1
36	LUT4_1/DFF OUT	0	1	0	0	1	0	0
37	LUT4_2/DFF OUT	0	1	0	0	1	0	1
38	LUT4_3/DFF OUT	0	1	0	0	1	1	0
39	PFLT0 OUT	0	1	0	0	1	1	1
40	PFLT1 OUT	0	1	0	1	0	0	0
41	FLT/EDET OUT	0	1	0	1	0	0	1
42	SM OUT0	0	1	0	1	0	1	0
43	SM OUT1	0	1	0	1	0	1	1
44	SM OUT2	0	1	0	1	1	0	0
45	SM OUT3	0	1	0	1	1	0	1
46	SM OUT4	0	1	0	1	1	1	0
47	SM OUT5	0	1	0	1	1	1	1
48	SM OUT6	0	1	1	0	0	0	0
49	SM OUT7	0	1	1	0	0	0	1
50	ACMP0 OUT	0	1	1	0	0	1	0
51	ACMP1 OUT	0	1	1	0	0	1	1
52	ACMP2 OUT	0	1	1	0	1	0	0
53	ACMP3 OUT	0	1	1	0	1	0	1
54	McACMP CH0_0 OUT	0	1	1	0	1	1	0
55	McACMP CH0_1 OUT	0	1	1	0	1	1	1
56	McACMP CH1_0 OUT	0	1	1	1	0	0	0
57	McACMP CH1_1 OUT	0	1	1	1	0	0	1
58	McACMP CH2_0 OUT	0	1	1	1	0	1	0
59	McACMP CH2_1 OUT	0	1	1	1	0	1	1
60	McACMP CH3_0 OUT	0	1	1	1	1	0	0
61	McACMP CH3_1 OUT	0	1	1	1	1	0	1
62	McACMP データ RDY	0	1	1	1	1	1	0

表 7-2. 接続マルチプレクサ入力表 (続き)

接続マルチプレクサ入力	接続マルチプレクサ入力信号	マルチプレクサ デコード						
		6	5	4	3	2	1	0
63	OSC0 OUT0	0	1	1	1	1	1	1
64	OSC0 OUT1	1	0	0	0	0	0	0
65	OSC1 OUT0	1	0	0	0	0	0	1
66	OSC1 OUT1	1	0	0	0	0	1	0
67	OSC2 OUT	1	0	0	0	0	1	1
68	CNT8 OUT	1	0	0	0	1	0	0
69	CNT9 OUT	1	0	0	0	1	0	1
70	CNT10 OUT	1	0	0	0	1	1	0
71	CNT11 OUT	1	0	0	0	1	1	1
72	PWM GEN0 OUTP	1	0	0	1	0	0	0
73	PWM GEN0 OUTN	1	0	0	1	0	0	1
74	PWM GEN1 OUTP	1	0	0	1	0	1	0
75	PWM GEN1 OUTN	1	0	0	1	0	1	1
76	PWM GEN2 OUTP	1	0	0	1	1	0	0
77	PWM GEN2 OUTN	1	0	0	1	1	0	1
78	PWM GEN3 OUTP	1	0	0	1	1	1	0
79	PWM GEN3 OUTN	1	0	0	1	1	1	1
80	WDT OUT	1	0	1	0	0	0	0
81	予約済み <sup>1</sup>	1	0	1	0	0	0	1
...	...	...	...	...	...	...	...	...
125	予約済み <sup>1</sup>	1	1	1	1	1	0	1
126	POR OUT	1	1	1	1	1	1	0
127	VCC	1	1	1	1	1	1	1

1. 予約済みオプションは、内部で VCC に接続されています。

表 7-3. 接続マルチプレクサの出力表

接続マルチプレクサの出力	接続マルチプレクサの出力信号
0	IO1 DOUT
1	IO1 OE
2	IO2 DOUT
3	IO2 OE
4	IO3 DOUT
5	IO3 OE
6	IO4 DOUT
7	IO5 DOUT
8	IO6 DOUT
9	IO7 DOUT
10	IO8 DOUT
11	IO9 DOUT
12	IO10 DOUT
13	IO10 OE
14	IO11 DOUT
15	IO11 OE
16	IO12 DOUT
17	IO12 OE
18	IO13 DOUT
19	IO13 OE
20	IO14 DOUT
21	IO15 DOUT
22	IO15 OE
23	IO16 DOUT
24	IO16 OE
25	IO17 DOUT
26	IO17 OE
27	LUT2_0 IN0/DFF CLK IN
28	LUT2_0 IN1/DFF D IN
29	LUT2_1 IN0/DFF CLK IN
30	LUT2_1 IN1/DFF D IN
31	LUT2_2 IN0/DFF CLK IN
32	LUT2_2 IN1/DFF D IN
33	LUT2_3 IN0/PGEN CLK IN
34	LUT2_3 IN1/PGEN RST IN
35	LUT3_0 IN0/DFF CLK IN
36	LUT3_0 IN1/DFF D IN

表 7-3. 接続マルチプレクサの出力表 (続き)

接続マルチプレクサの出力	接続マルチプレクサの出力信号
37	LUT3_0 IN2/DFF RST IN
38	LUT3_1 IN0/DFF CLK IN
39	LUT3_1 IN1/DFF D IN
40	LUT3_1 IN2/DFF RST IN
41	LUT3_2 IN0/DFF/SR CLK IN
42	LUT3_2 IN1/DFF/SR D IN
43	LUT3_2 IN2/DFF/SR RST IN
44	LUT3_3 IN0/DFF/SR CLK IN
45	LUT3_3 IN1/DFF/SR D IN
46	LUT3_3 IN2/DFF/SR RST IN
47	LUT3_4 IN0/DFF/SR CLK IN
48	LUT3_4 IN1/DFF/SR D IN
49	LUT3_4 IN2/DFF/SR RST IN
50	LUT3_5 IN0/DFF/SR CLK IN
51	LUT3_5 IN1/DFF/SR D IN
52	LUT3_5 IN2/DFF/SR RST IN
53	LUT3_6 IN0/DFF CLK IN OR LDC IN0
54	LUT3_6 IN1/DFF D IN OR LDC IN1
55	LUT3_6 IN2/DFF RST IN OR LDC IN2
56	LUT3_7 IN0/DFF CLK IN OR LDC IN0
57	LUT3_7 IN1/DFF D IN OR LDC IN1
58	LUT3_7 IN2/DFF RST IN OR LDC IN2
59	LUT3_8 IN0/DFF CLK IN OR LDC IN0
60	LUT3_8 IN1/DFF D IN OR LDC IN1
61	LUT3_8 IN2/DFF RST IN OR LDC IN2
62	LUT3_9 IN0/DFF CLK IN OR LDC IN0
63	LUT3_9 IN1/DFF D IN OR LDC IN1
64	LUT3_9 IN2/DFF RST IN OR LDC IN2
65	LUT3_10 IN0/DFF CLK IN OR LDC IN0
66	LUT3_10 IN1/DFF D IN OR LDC IN1
67	LUT3_10 IN2/DFF RST IN OR LDC IN2
68	LUT3_11 IN0/DFF CLK IN OR LDC IN0
69	LUT3_11 IN1/DFF D IN OR LDC IN1
70	LUT3_11 IN2/DFF RST IN OR LDC IN2
71	LUT4_0 IN0/DFF CLK IN
72	LUT4_0 IN1/DFF D IN
73	LUT4_0 IN2/DFF RST IN

ADVANCE INFORMATION



表 7-3. 接続マルチプレクサの出力表 (続き)

接続マルチプレクサの出力	接続マルチプレクサの出力信号
74	LUT4_0 IN3
75	LUT4_1 IN0/DFF CLK IN
76	LUT4_1 IN1/DFF D IN
77	LUT4_1 IN2/DFF RST IN
78	LUT4_1 IN3
79	LUT4_2 IN0/DFF CLK IN
80	LUT4_2 IN1/DFF D IN
81	LUT4_2 IN2/DFF RST IN
82	LUT4_2 IN3
83	LUT4_3 IN0/DFF CLK IN
84	LUT4_3 IN1/DFF D IN
85	LUT4_3 IN2/DFF RST IN
86	LUT4_3 IN3
87	PFLT0 IN
88	PFLT1 IN
89	FLT/EDET IN
90	SM ST0 EN0
91	SM ST0 EN1
92	SM ST0 EN2
93	SM ST1 EN0
94	SM ST1 EN1
95	SM ST1 EN2
96	SM ST2 EN0
97	SM ST2 EN1
98	SM ST2 EN2
99	SM ST3 EN0
100	SM ST3 EN1
101	SM ST3 EN2
102	SM ST4 EN0
103	SM ST4 EN1
104	SM ST4 EN2
105	SM ST5 EN0
106	SM ST5 EN1
107	SM ST5 EN2
108	SM ST6 EN0
109	SM ST6 EN1
110	SM ST6 EN2

表 7-3. 接続マルチプレクサの出力表 (続き)

接続マルチプレクサの出力	接続マルチプレクサの出力信号
111	SM ST7 EN0
112	SM ST7 EN1
113	SM ST7 EN2
114	SM CLK IN
115	SM RST IN
116	ACMP0 PWR UP
117	ACMP1 PWR UP
118	ACMP2 PWR UP
119	ACMP3 PWR UP
120	McACMP ENABLE
121	McACMP RST
122	OSC0 PWR DOWN
123	OSC1 PWR DOWN
124	OSC2 PWR DOWN
125	CNT6/FSM IN
126	CNT6/FSM UP
127	CNT6/FSM KEEP
128	CNT6/FSM CLK IN
129	CNT7/FSM IN
130	CNT7/FSM UP
131	CNT7/FSM KEEP
132	CNT7/FSM CLK IN
133	CNT8/FSM IN
134	CNT8/FSM UP
135	CNT8/FSM KEEP
136	CNT8/FSM CLK IN
137	CNT9/FSM IN
138	CNT9/FSM UP
139	CNT9/FSM KEEP
140	CNT9/FSM CLK IN
141	PWM GEN0 PWR UP
142	PWM GEN1 PWR UP
143	PWM GEN2 PWR UP
144	PWM GEN3 PWR UP
145	WDT EN
146	WDT IN
147	VIRTUAL OUT0

ADVANCE INFORMATION

表 7-3. 接続マルチプレクサの出力表 (続き)

接続マルチプレクサの出力	接続マルチプレクサの出力信号
148	VIRTUAL OUT1
149	VIRTUAL OUT2
150	VIRTUAL OUT3
151	VIRTUAL OUT4
152	VIRTUAL OUT5
153	VIRTUAL OUT6
154	VIRTUAL OUT7
155	AMUX0_SEL
156	AMUX1_SEL

### 7.3.3 使用論理ブロック数を構成可能

組み合わせロジックは、TPLD2001 内のルックアップ テーブル (LUT) を使用してサポートされています。組み合わせ機能マクロセルの入力と出力は、OTP ビットの状態によって定義される特定のロジック機能を持つように、接続マルチプレクサから設定されます。

TPLD2001 には 用途を設定可能なロジック ブロック (マクロ セル) が 16 個あり、組み合わせロジックまたはシーケンシャル ロジック機能として機能できます。いずれの場合も、これらはルックアップ テーブル (LUT)、または別のロジックまたはタイミング機能として機能できます。これらのロジック ブロックに実装可能な機能については、以下のリストを参照してください。

- 選択可能な 3 つの 2 入力 LUT または D フリップ フロップもしくはラッチ (DFF/L)
- 選択可能な 1 つの 2 入力 LUT またはパターン ジェネレータ (PGEN)
- 選択可能な 2 つの 3 入力 LUT またはリセット/セット付き DFF/L
- 選択可能な 4 つの 3 入力 LUT、DFF/L またはシフトレジスタ (SR)
- 選択可能な 4 つの 4 入力 LUT または DFF/L、リセット/セット付き

### 7.3.3.1 2 ビット LUT または D フリップ フロップ / ラッチ マクロセル

用途を設定可能なこのロジックブロックは、2 ビット LUT、または D フリップ フロップもしくはラッチとして機能できます。

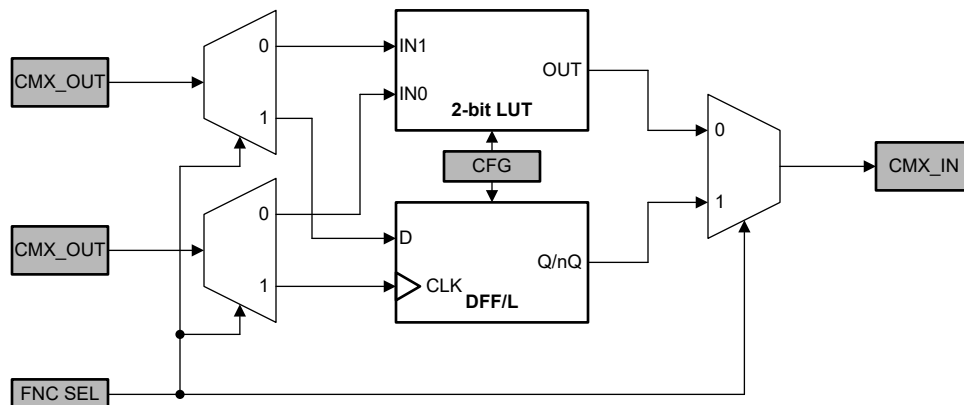


図 7-2. 2 ビット LUT または DFF / ラッチのブロック図

#### 7.3.3.1.1 2 ビット LUT

LUT 機能を実装するために使用する場合、2 ビット LUT は接続マルチプレクサから 2 つの入力信号を取り込み、1 つの出力を生成します。その出力は、接続マルチプレクサに戻ります。これらの LUT は、標準的なデジタル論理関数 (AND、NAND、OR、NOR、XOR、XNOR) を含む、任意のユーザー定義 2 入力関数に構成できます。

LUT 機能にプログラムされている場合、各マクロセルは 4 ビットレジスタを使用して出力関数を定義します。

表 7-4 に、2 ビット LUT の真理値表を示します。

表 7-4. 2 ビット LUT の真理値表

IN1	IN0	OUT
0	0	
0	1	
1	0	
1	1	

### 7.3.3.1.2 D フリップフロップ/ラッチ

シーケンシャル ロジック素子を実装するために使用する場合、接続マルチプレクサからの 2 つの入力信号は、フリップフロップまたはラッチのデータ (D) 入力およびクロック (CLK) 入力に送られ、出力は接続マルチプレクサに戻ります。このマクロセルには、初期状態パラメータとクロックおよび出力極性パラメータがあり、設定可能です。

D フリップフロップ/ラッチの動作は、以下の機能説明に従います。

- クロック極性は構成可能で、非反転 (CLK) または反転 (nCLK) に設定できます。
  - CLK を使用する DFF:CLK は立ち上がりエッジでトリガされて、 $Q = D$  になります。それ以外の場合、 $Q$  は変化しません。
  - nCLK を使用する DFF:CLK は立ち下がりエッジでトリガされて、 $Q = D$  になります。それ以外の場合、 $Q$  は変化しません。
  - CLK を使用するラッチ:CLK が Low のとき、 $Q = D$  になります。それ以外の場合、 $Q$  は前の値を保持します (CLK が High のとき、入力 D は出力に影響を与えません)。
  - nCLK を使用するラッチ:CLK が High のとき、 $Q = D$  になります。それ以外の場合、 $Q$  は前の値を保持します (CLK が Low のとき、入力 D は出力に影響を与えません)。
- 出力極性は構成可能で、非反転 (Q) または反転 (nQ) に設定できます。

表 7-5 および 表 7-6 に、それぞれ D フリップフロップおよび D ラッチの真理値表を示します。

表 7-5. D フリップフロップの真理値表

CLKPOL	CLK	D	Q	nQ
0	↓	0	$Q_0$	$nQ_0$
	↑	0	0	1
	↓	1	$Q_0$	$nQ_0$
	↑	1	1	0
1	↓	0	0	1
	↑	0	$Q_0$	$nQ_0$
	↓	1	1	0
	↑	1	$Q_0$	$nQ_0$

表 7-6. D ラッチの真理値表

CLKPOL	CLK	D	Q	nQ
0	0	0	0	1
	1	0	$Q_0$	$nQ_0$
	0	1	1	0
	1	1	$Q_0$	$nQ_0$
1	0	0	$Q_0$	$nQ_0$
	1	0	0	1
	0	1	$Q_0$	$nQ_0$
	1	1	1	0

### 7.3.3.2 2 ビット LUT またはパターン ジェネレータ マクロセル

用途を設定可能なこのロジックブロックは、2 ビット LUT またはパターンジェネレータとして機能できます。

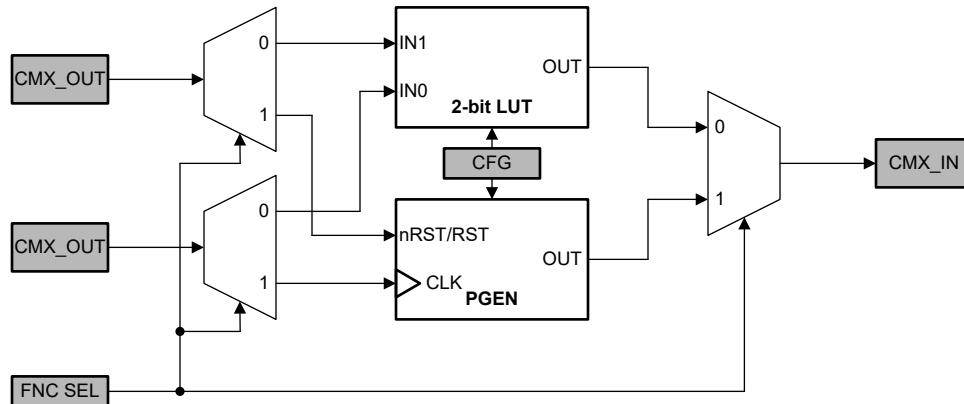


図 7-3. 2 ビット LUT またはパターン ジェネレータのブロック図

#### 7.3.3.2.1 2 ビット LUT

LUT 機能を実装するために使用する場合、2 ビット LUT は接続マルチプレクサから 2 つの入力信号を取り込み、1 つの出力を生成します。その出力は、接続マルチプレクサに戻ります。これらの LUT は、標準的なデジタル論理関数 (AND、NAND、OR、NOR、XOR、XNOR) を含む、任意のユーザー定義 2 入力関数に構成できます。

LUT 機能にプログラムされている場合、各マクロセルは 4 ビットレジスタを使用して出力関数を定義します。

表 7-7 に、2 ビット LUT の真理値表を示します。

表 7-7. 2 ビット LUT の真理値表

IN1	IN0	OUT
0	0	
0	1	
1	0	
1	1	

### 7.3.3.2.2 パターン ジェネレータ

パターン ジェネレータとして構成した場合、接続マルチプレクサからの 2 つの入力信号は、パターン ジェネレータのリセット ( $nRST/RST$ ) 入力とクロック (CLK) 入力に入力され、その出力は接続マルチプレクサに戻ります。このマクロセルにはパターン サイズ、ビット パターン、リセット信号極性のパラメータがあり、マクロセルがリセット中でない限り、CLK 入力の立ち上がりエッジで連続的にクロック出力される 16 ビットまでのパターンを生成するように構成できます。リセット中、マクロセルは、プログラムされたビット パターンの最初のビットを連続的に出力します。

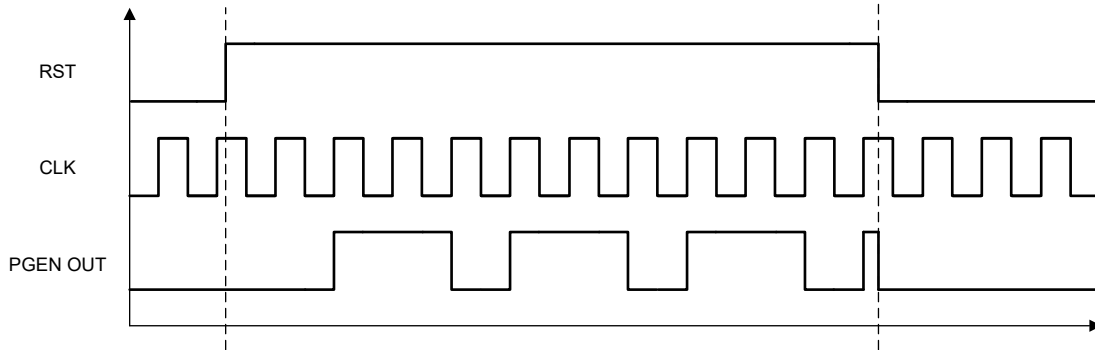


図 7-4. パターン ジェネレータ出力タイミング図の例 (サイズ = 3、パターン = 011、Low レベル RST)

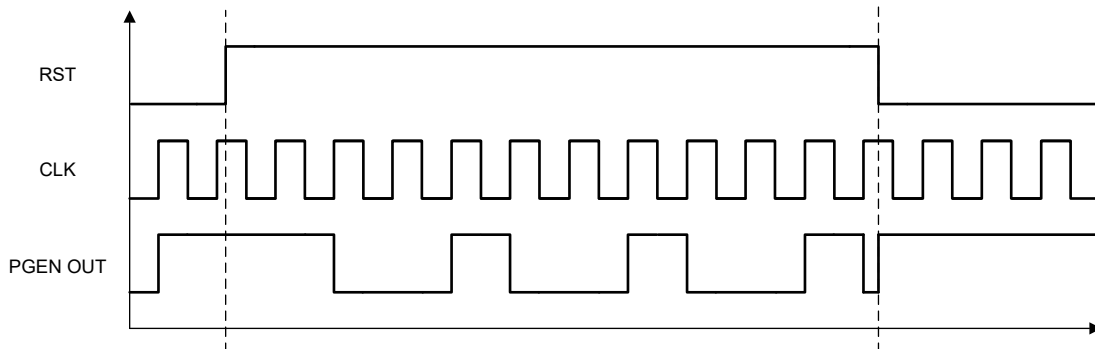


図 7-5. パターン ジェネレータ出力タイミング図の例 (サイズ = 3、パターン = 100、Low レベル RST)

出力パターンは、ユーザー レジスタを使用してシステム内で更新できます。パターン レジスタを更新する際は、パターン ジェネレータをリセット状態にしておくことが推奨されます。これにより、データの読み込み時にグリッチが発生するのを防ぐことができます。

### 7.3.3.3 3 ビット LUT または D フリップ フロップ / ラッチ (リセット / セット付き) マクロセル

用途を設定可能なこのロジック ブロックは、3 ビット LUT として、または D フリップ フロップもしくはラッチ (リセット / セット付き) として機能できます。

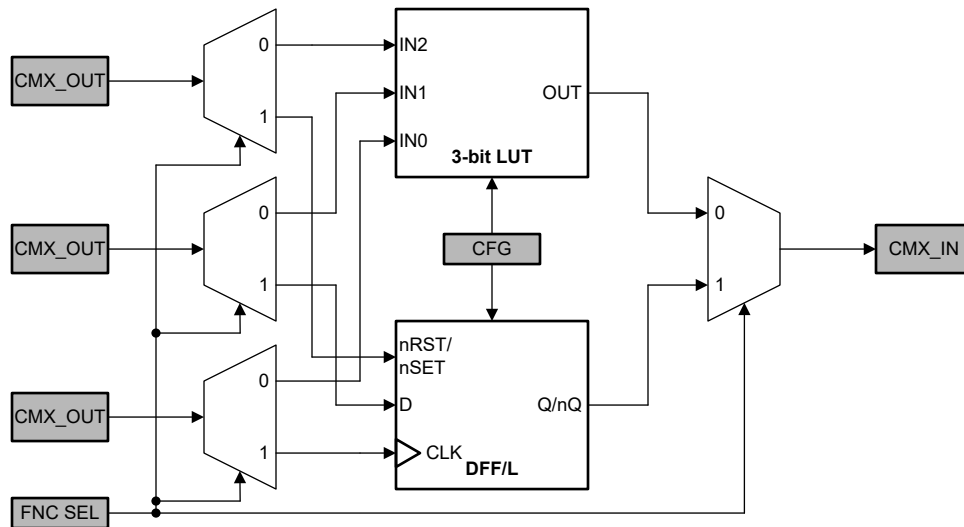


図 7-6. 3 ビット LUT または DFF / ラッチ (nRST/nSET 付き) のブロック図



### 7.3.3.3.1 3 ビット LUT

LUT 機能を実装するために使用する場合、3 ビット LUT は、それぞれ接続マルチプレクサから 3 つの入力信号を取り込み、1 つの出力を生成します。その出力は、接続マルチプレクサに戻ります。これらの LUT は、標準的なデジタル論理関数 (AND、NAND、OR、NOR、XOR、XNOR) を含む、任意のユーザー定義 3 入力関数に構成できます。

LUT 機能にプログラムされている場合、各マクロセルは 8 ビットレジスタを使用して出力機能を定義します。

表 7-8 に、3 ビット LUT の真理値表を示します。

表 7-8. 3 ビット LUT の真理値表

IN2	IN1	IN0	OUT
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

### 7.3.3.3.2 D フリップフロップ/ラッチ、リセット/セット付き

シーケンシャル ロジック素子を実装するために使用する場合、接続マルチプレクサからの 3 つの入力信号は、フリップフロップまたはラッチのデータ (D)、クロック (CLK)、リセット/セット (nRST/nSET) 入力に送られ、出力は接続マルチプレクサに戻ります。このマクロセルは、初期状態、クロック極性、リセット/設定極性、出力選択、出力極性のパラメータをユーザーが構成可能です。

D フリップフロップ/ラッチの動作は、以下の機能説明に従います。

- クロック極性は構成可能で、非反転 (CLK) または反転 (nCLK) に設定できます。
  - CLK を使用する DFF:CLK は立ち上がりエッジでトリガされて、 $Q = D$  になります。それ以外の場合、 $Q$  は変化しません。
  - nCLK を使用する DFF:CLK は立ち下がりエッジでトリガされて、 $Q = D$  になります。それ以外の場合、 $Q$  は変化しません。
  - CLK を使用するラッチ:CLK が Low のとき、 $Q = D$  になります。それ以外の場合、 $Q$  は前の値を保持します (CLK が High のとき、入力 D は出力に影響を与えません)。
  - nCLK を使用するラッチ:CLK が High のとき、 $Q = D$  になります。それ以外の場合、 $Q$  は前の値を保持します (CLK が Low のとき、入力 D は出力に影響を与えません)。
- これらの DFF / ラッチでは、アクティブ Low およびアクティブ High のリセット/セットを選択することができます。
  - nRST:High の場合、DFF / ラッチは通常動作します。Low の場合、 $Q$  は 0 にリセットされます。
  - RST:Low の場合、DFF / ラッチは通常動作します。High の場合、 $Q$  は 0 にリセットされます。
  - nSET:High の場合、DFF / ラッチは通常動作します。Low の場合、 $Q$  は 1 にセットされます。
  - SET:Low の場合、DFF / ラッチは通常動作します。High の場合、 $Q$  は 1 にセットされます。
- リセット/セットが不要な場合は、極性をアクティブ Low に設定して、この入力を  $V_{CC}$  または常に High になっている信号源に接続できます。
- これらの DFF / ラッチでは、2 番目の DFF / ラッチを使用して出力を入力からさらに分離し、CLK の立ち下がりエッジでサンプリングする「デュアル ステージ DFF」オプションを有効にすることができます。
- 出力極性は構成可能で、非反転 (Q) または反転 (nQ) に設定できます。

表 7-9 および 表 7-10 に、それぞれアクティブ Low のリセット/セット付き D フリップフロップおよび D ラッチの真理値表を示します。

表 7-9. D フリップフロップ (nRST/nSET 付き) の真理値表

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	0	X	X	0	1
—	0		X	X	1	0
1	1		↓	0	$Q_0$	$nQ_0$
			↑	0	0	1
			↓	1	$Q_0$	$nQ_0$
			↑	1	1	0
0	—	1	X	X	0	1
—	0		X	X	1	0
1	1		↓	0	0	1
			↑	0	$Q_0$	$nQ_0$
			↓	1	1	0
			↑	1	$Q_0$	$nQ_0$

表 7-10. D ラッチ (nRST/nSET 付き) の真理値表

nRST	nSET	CLKPOL	CLK	D	Q	nQ	
0	—	0	X	X	0	1	
—	0		X	X	1	0	
1	1		0	0	0	0	1
			1	0	0	Q <sub>0</sub>	nQ <sub>0</sub>
			0	1	1	0	0
1	1		1	1	1	Q <sub>0</sub>	nQ <sub>0</sub>
0	—	1	X	X	0	1	
—	0		X	X	1	0	
1	1		0	0	0	Q <sub>0</sub>	nQ <sub>0</sub>
			1	0	0	0	1
			0	1	Q <sub>0</sub>	nQ <sub>0</sub>	
1	1		1	1	1	0	

#### 7.3.3.4.3 ビット LUT または D フリップフロップ / ラッチ または シフトレジスタ マクロセル

用途を設定可能なこのロジックブロックは、3 ビット LUT、または D フリップフロップもしくはラッチ (リセット / セット付き)、または 8 ビット シフトレジスタのいずれかとして機能できます。

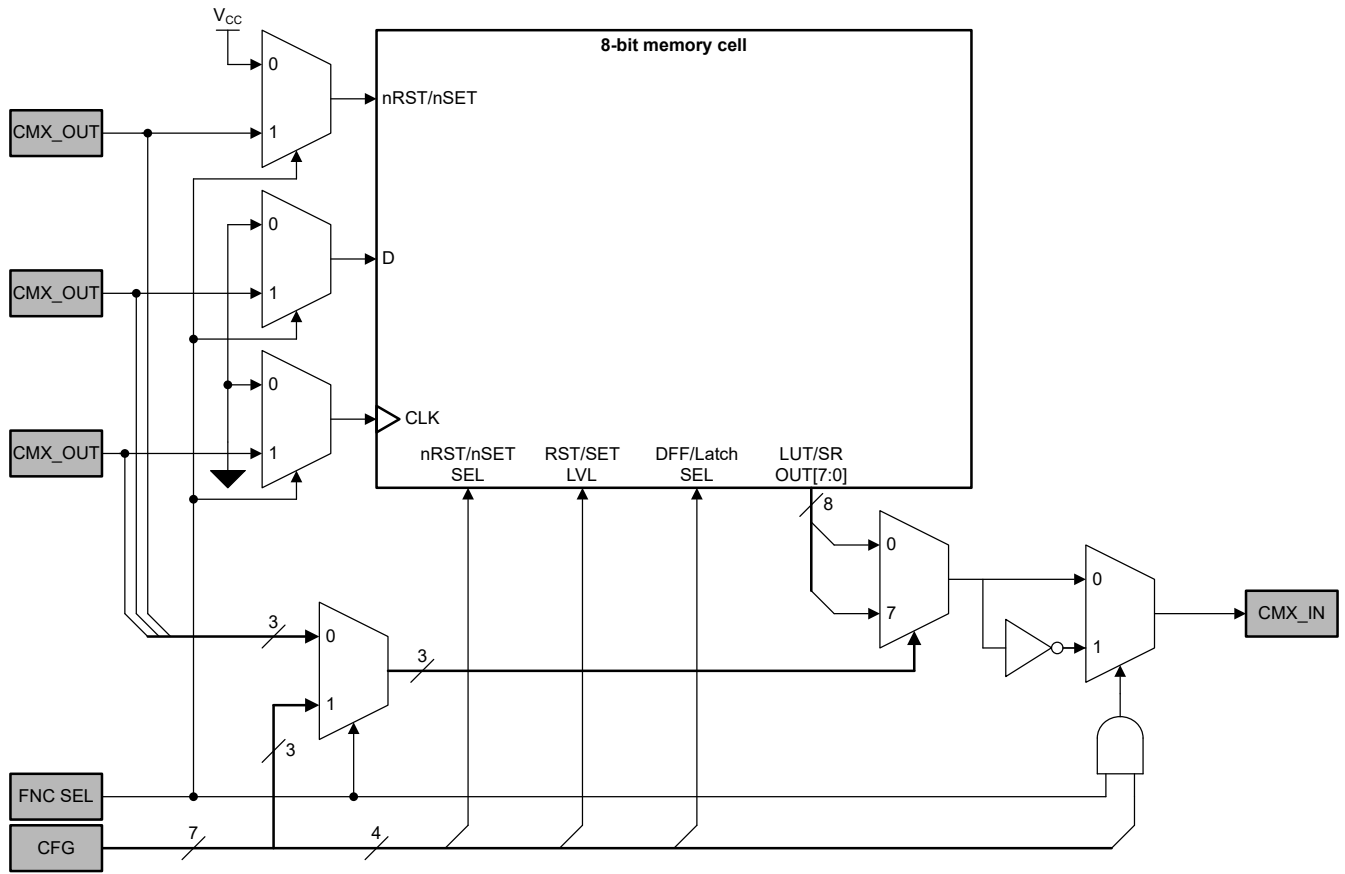


図 7-7.3 ビット LUT または DFF / ラッチ (nRST/nSET 付き) または 8 ビット SISO シフトレジスタのブロック図

### 7.3.3.4.1 3 ビット LUT

LUT 機能を実装するために使用する場合、3 ビット LUT は、それぞれ接続マルチプレクサから 3 つの入力信号を取り込み、1 つの出力を生成します。その出力は、接続マルチプレクサに戻ります。これらの LUT は、標準的なデジタル論理関数 (AND、NAND、OR、NOR、XOR、XNOR) を含む、任意のユーザー定義 3 入力関数に構成できます。

LUT 機能にプログラムされている場合、各マクロセルは 8 ビットレジスタを使用して出力機能を定義します。

表 7-11 に、3 ビット LUT の真理値表を示します。

表 7-11. 3 ビット LUT の真理値表

IN2	IN1	IN0	OUT
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

### 7.3.3.4.2 D フリップフロップ/ラッチ、リセット/セット付き

シーケンシャル ロジック素子を実装するために使用する場合、接続マルチプレクサからの 3 つの入力信号は、フリップフロップまたはラッチのデータ (D)、クロック (CLK)、リセット/セット (nRST/nSET) 入力に送られ、出力は接続マルチプレクサに戻ります。このマクロセルは、初期状態、クロック極性、リセット/セット極性、出力極性パラメータをユーザーが構成可能です。

D フリップフロップ/ラッチの動作は、以下の機能説明に従います。

- クロック極性は構成可能で、非反転 (CLK) または反転 (nCLK) に設定できます。
  - CLK を使用する DFF: CLK は立ち上がりエッジでトリガされて、Q = D になります。それ以外の場合、Q は変化しません。
  - nCLK を使用する DFF: CLK は立ち下がりエッジでトリガされて、Q = D になります。それ以外の場合、Q は変化しません。
  - CLK を使用するラッチ: CLK が Low のとき、Q = D になります。それ以外の場合、Q は前の値を保持します (CLK が High のとき、入力 D は出力に影響を与えません)。
  - nCLK を使用するラッチ: CLK が High のとき、Q = D になります。それ以外の場合、Q は前の値を保持します (CLK が Low のとき、入力 D は出力に影響を与えません)。
- これらの DFF / ラッチでは、アクティブ Low およびアクティブ High のリセット/セットを選択することができます。
  - nRST: High の場合、DFF / ラッチは通常動作します。Low の場合、Q は 0 にリセットされます。
  - RST: Low の場合、DFF / ラッチは通常動作します。High の場合、Q は 0 にリセットされます。
  - nSET: High の場合、DFF / ラッチは通常動作します。Low の場合、Q は 1 にセットされます。
  - SET: Low の場合、DFF / ラッチは通常動作します。High の場合、Q は 1 にセットされます。
- リセット/セットが不要な場合は、極性をアクティブ Low に設定して、この入力を V<sub>CC</sub> または常に High になっている信号源に接続できます。
- 出力極性は構成可能で、非反転 (Q) または反転 (nQ) に設定できます。

表 7-12 および表 7-13 に、それぞれアクティブ Low のリセット/セット付き D フリップフロップおよび D ラッチの真理値表を示します。

表 7-12. nRST/nSET 付き D フリップフロップの真理値表

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	0	X	X	0	1
—	0		X	X	1	0
1	1		↓	0	Q <sub>0</sub>	nQ <sub>0</sub>
			↑	0	0	1
			↓	1	Q <sub>0</sub>	nQ <sub>0</sub>
↑	1		1	1	0	
0	—	1	X	X	0	1
—	0		X	X	1	0
1	1		↓	0	0	1
			↑	0	Q <sub>0</sub>	nQ <sub>0</sub>
			↓	1	1	0
↑	1		Q <sub>0</sub>	nQ <sub>0</sub>		

表 7-13. nRST/nSET 付き D ラッチの真理値表

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	0	X	X	0	1
—	0		X	X	1	0
1	1		0	0	0	1
			1	0	Q <sub>0</sub>	nQ <sub>0</sub>
			0	1	1	0
1	1		1	1	Q <sub>0</sub>	nQ <sub>0</sub>
0	—	1	X	X	0	1
—	0		X	X	1	0
1	1		0	0	Q <sub>0</sub>	nQ <sub>0</sub>
			1	0	0	1
			0	1	Q <sub>0</sub>	nQ <sub>0</sub>
1	1		1	1	1	0

ADVANCE INFORMATION

### 7.3.3.4.3 8 ビットシフトレジスタ

シフトレジスタを実装するために使用する場合、初期状態、リセット / セット極性、出力極性、レジスタ長を構成できます。レジスタ長は、最小 2、最大 8 に設定できます。

図 7-8 に、シフトレジスタ マクロセルの動作例を示します。

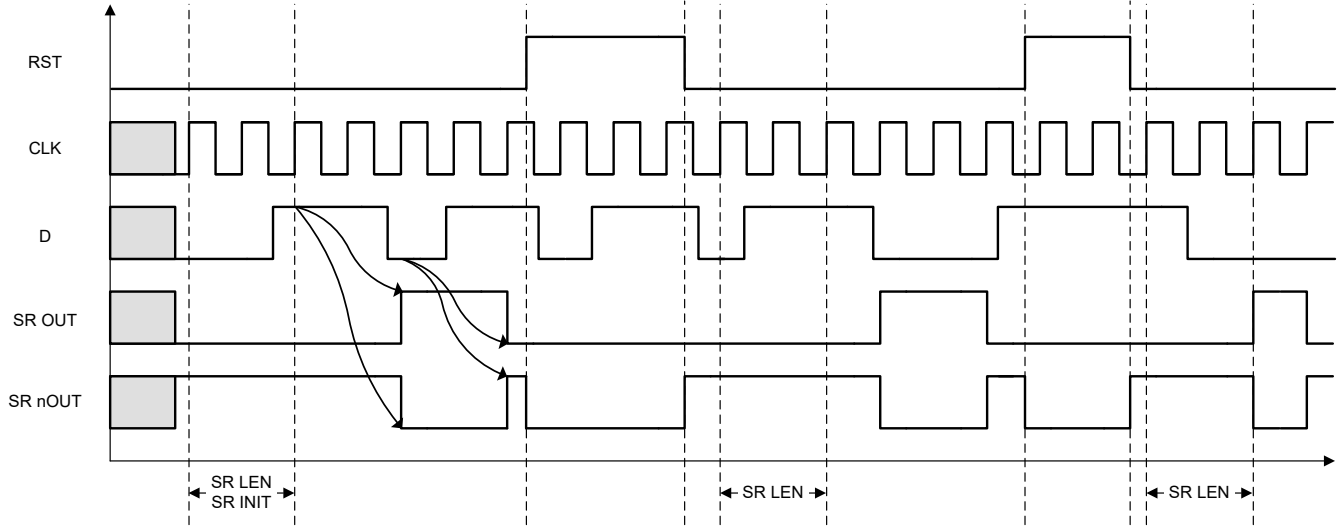


図 7-8. シフトレジスタ出力のタイミング図の例 (初期状態 = 00、レジスタ長 = 2、High レベル リセット)

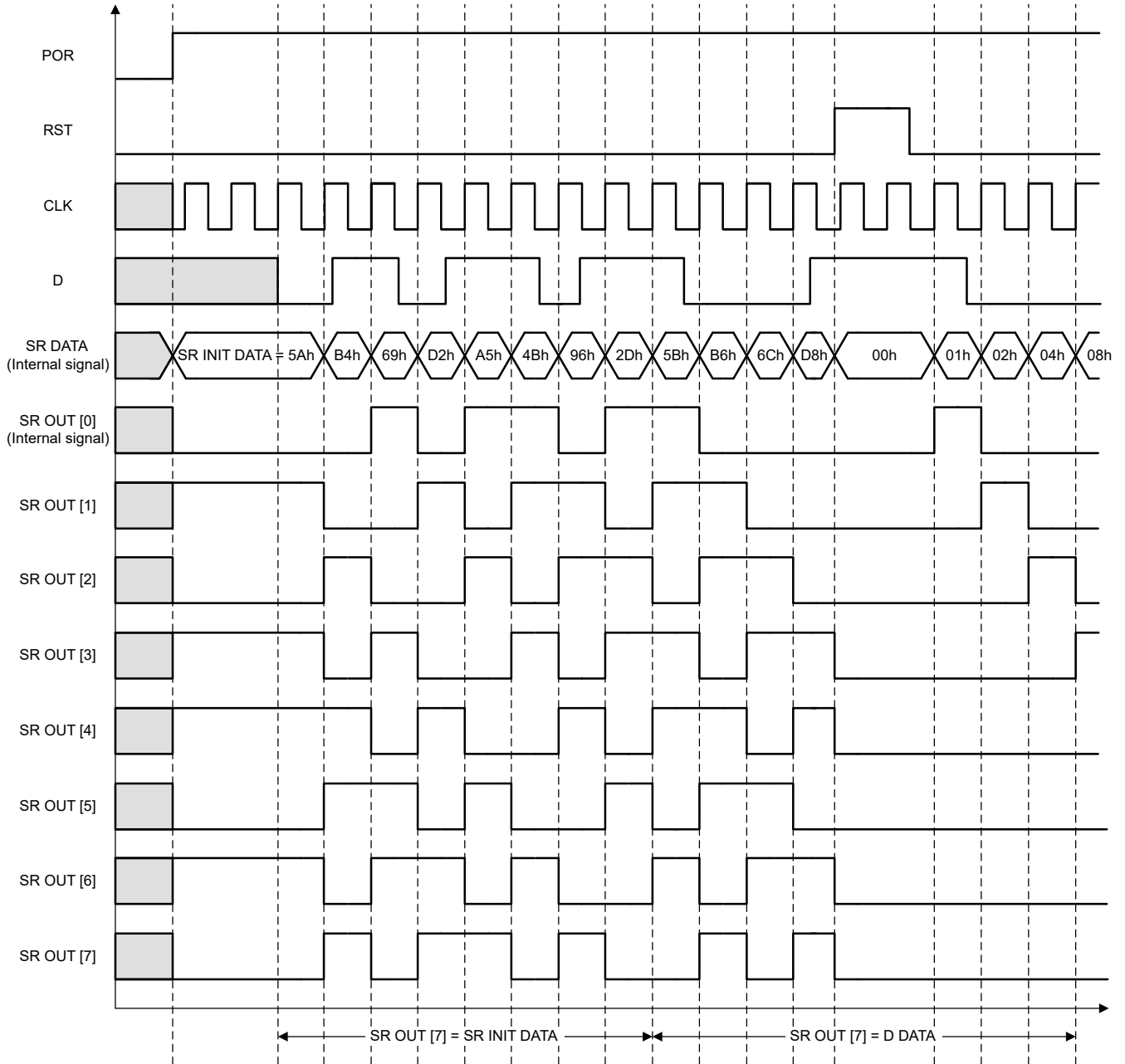


図 7-9. シフトレジスタ出力のタイミング図の例 (初期状態 = 5Ah、High レベル リセット)



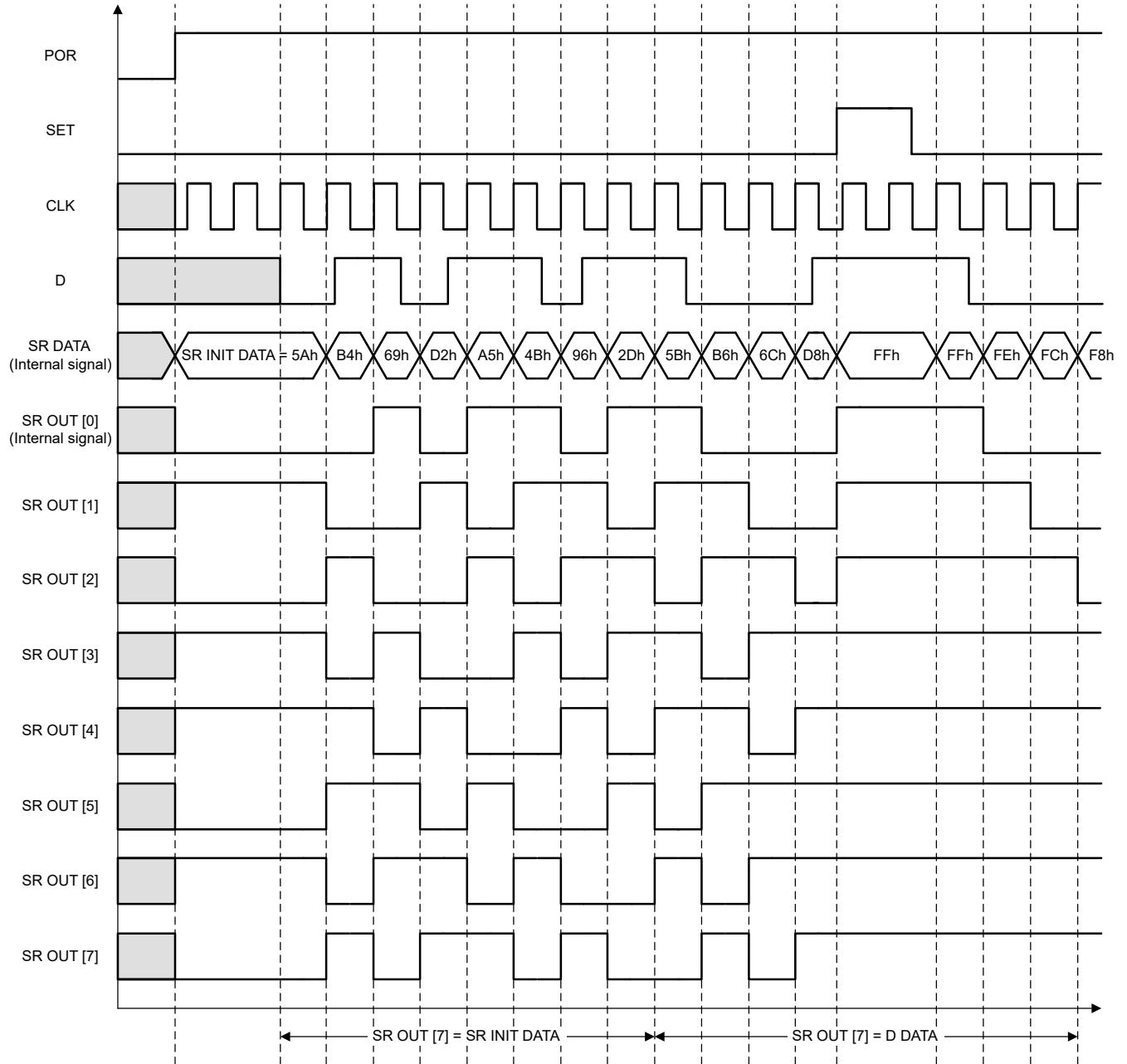


図 7-10. シフトレジスタ出力のタイミング図の例 (初期状態 = 5Ah、High レベルセット)

ADVANCE INFORMATION

### 7.3.3.5 4 ビット LUT または D フリップフロップ / ラッチ (リセット / セット付き) マクロセル

用途を設定可能なこのロジックブロックは、4 ビット LUT として、または D フリップフロップもしくはラッチ (リセット / セット付き) として機能できます。

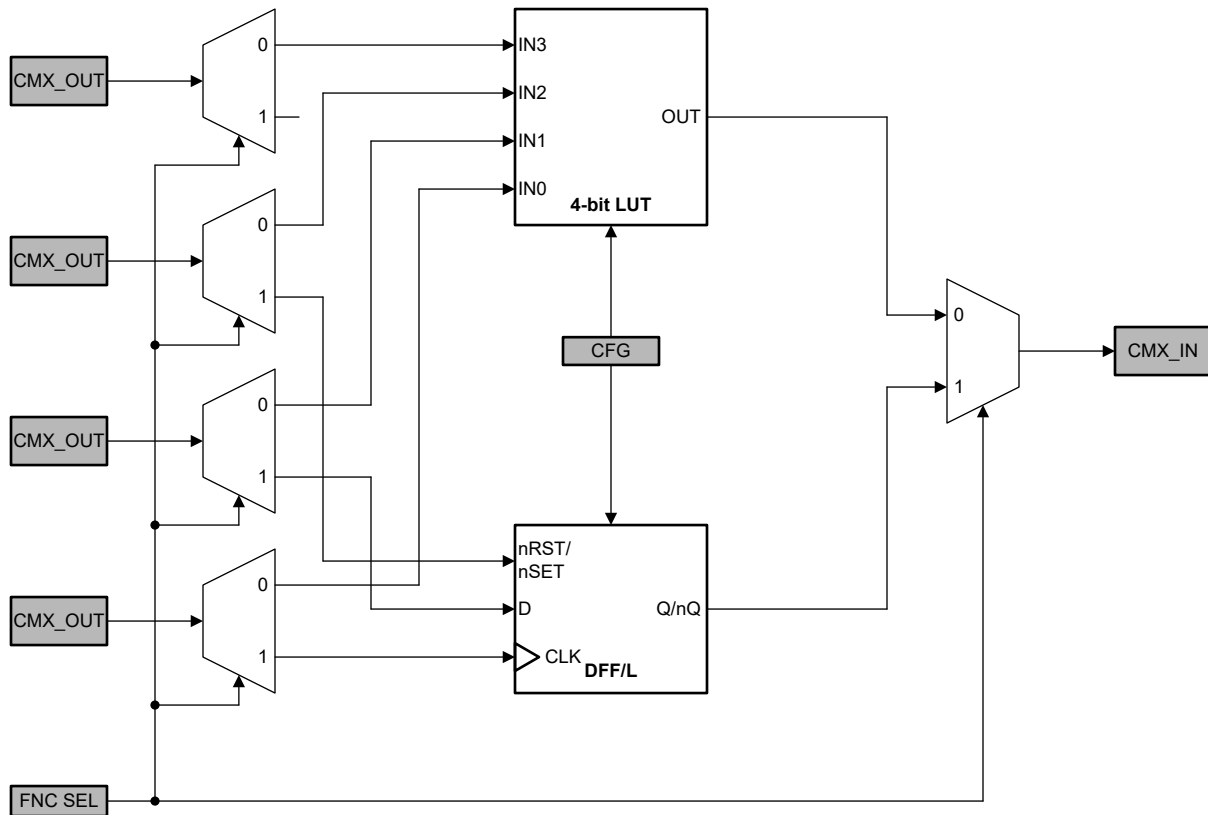


図 7-11. 4 ビット LUT または DFF / ラッチのブロック図

ADVANCE INFORMATION

### 7.3.3.5.1 4 ビット LUT

LUT 機能を実装するために使用する場合、4 ビット LUT は接続マルチプレクサから 4 つの入力信号を取り込み、1 つの出力を生成します。その出力は、接続マルチプレクサに戻ります。この LUT は、標準的なデジタル論理関数 (AND、NAND、OR、NOR、XOR、XNOR) を含む、任意のユーザー定義 4 入力関数に構成できます。

LUT 機能用にプログラムされている場合、このマクロセルは 16 ビットのレジスタを使用して出力関数を定義します。

表 7-14 に、4 ビット LUT の真理値表を示します。

**表 7-14. 4 ビット LUT の真理値表**

IN3	IN2	IN1	IN0	OUT
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

### 7.3.3.5.2 D フリップフロップ/ラッチ、リセット/セット付き

シーケンシャル ロジック素子を実装するために使用する場合、接続マルチプレクサからの 3 つの入力信号は、フリップフロップまたはラッチのデータ (D)、クロック (CLK)、リセット/セット (nRST/nSET) 入力に送られ、出力は接続マルチプレクサに戻ります。このマクロセルは、初期状態、クロック極性、リセット/設定極性、出力選択、出力極性のパラメータをユーザーが構成可能です。

D フリップフロップ/ラッチの動作は、以下の機能説明に従います。

- クロック極性は構成可能で、非反転 (CLK) または反転 (nCLK) に設定できます。
  - CLK を使用する DFF:CLK は立ち上がりエッジでトリガされて、 $Q = D$  になります。それ以外の場合、 $Q$  は変化しません。
  - nCLK を使用する DFF:CLK は立ち下がりエッジでトリガされて、 $Q = D$  になります。それ以外の場合、 $Q$  は変化しません。
  - CLK を使用するラッチ:CLK が Low のとき、 $Q = D$  になります。それ以外の場合、 $Q$  は前の値を保持します (CLK が High のとき、入力 D は出力に影響を与えません)。
  - nCLK を使用するラッチ:CLK が High のとき、 $Q = D$  になります。それ以外の場合、 $Q$  は前の値を保持します (CLK が Low のとき、入力 D は出力に影響を与えません)。
- これらの DFF / ラッチでは、アクティブ Low およびアクティブ High のリセット / セットを選択することができます。
  - nRST:High の場合、DFF / ラッチは通常動作します。Low の場合、 $Q$  は 0 にリセットされます。
  - RST:Low の場合、DFF / ラッチは通常動作します。High の場合、 $Q$  は 0 にリセットされます。
  - nSET:High の場合、DFF / ラッチは通常動作します。Low の場合、 $Q$  は 1 にセットされます。
  - SET:Low の場合、DFF / ラッチは通常動作します。High の場合、 $Q$  は 1 にセットされます。
- リセット / セットが不要な場合は、極性をアクティブ Low に設定して、この入力を  $V_{CC}$  または常に High になっている信号源に接続できます。
- これらの DFF / ラッチでは、2 番目の DFF / ラッチを使用して出力を入力からさらに分離し、CLK の立ち下がりエッジでサンプリングする「デュアル ステージ DFF」オプションを有効にすることができます。
- 出力極性は構成可能で、非反転 (Q) または反転 (nQ) に設定できます。

表 7-15 および 表 7-16 に、それぞれアクティブ Low のリセット / セット付き D フリップフロップおよび D ラッチの真理値表を示します。

**表 7-15. D フリップフロップ (nRST/nSET 付き) の真理値表**

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	0	X	X	0	1
—	0		X	X	1	0
1	1		↓	0	$Q_0$	$nQ_0$
			↑	0	0	1
			↓	1	$Q_0$	$nQ_0$
			↑	1	1	0
0	—	1	X	X	0	1
—	0		X	X	1	0
1	1		↓	0	0	1
			↑	0	$Q_0$	$nQ_0$
			↓	1	1	0
			↑	1	$Q_0$	$nQ_0$

表 7-16. D ラッチ (nRST/nSET 付き) の真理値表

nRST	nSET	CLKPOL	CLK	D	Q	nQ	
0	—	0	X	X	0	1	
—	0		X	X	1	0	
1	1		0	0	0	0	1
			1	0	0	Q <sub>0</sub>	nQ <sub>0</sub>
			0	1	1	0	
1	1		1	1	Q <sub>0</sub>	nQ <sub>0</sub>	
0	—	1	X	X	0	1	
—	0		X	X	1	0	
1	1		0	0	0	Q <sub>0</sub>	nQ <sub>0</sub>
			1	0	0	1	
			0	1	Q <sub>0</sub>	nQ <sub>0</sub>	
1	1		1	1	1	0	

### 7.3.4 構成可能なロジックおよびタイミングブロック

TPLD2001 は、組み合わせ論理またはシーケンス論理機能として機能する eight 構成可能ロジック ブロックおよびタイミング ブロック (マクロセル) を搭載しています。構成可能なロジックおよびタイミング ブロックは、nRST/nSET、an 8-bit Counter/Delay generator, or a 16-bit Counter/Delay generator 付きの 3 ビット LUT、D フリップフロップとして機能します。これらのマクロセルでは、上記の機能を組み合わせることもでき、LUT/DFF 出力を CNT/DLY 入力に、または CNT/DLY 出力をいずれかの LUT/DFF 入力に接続することもできます。

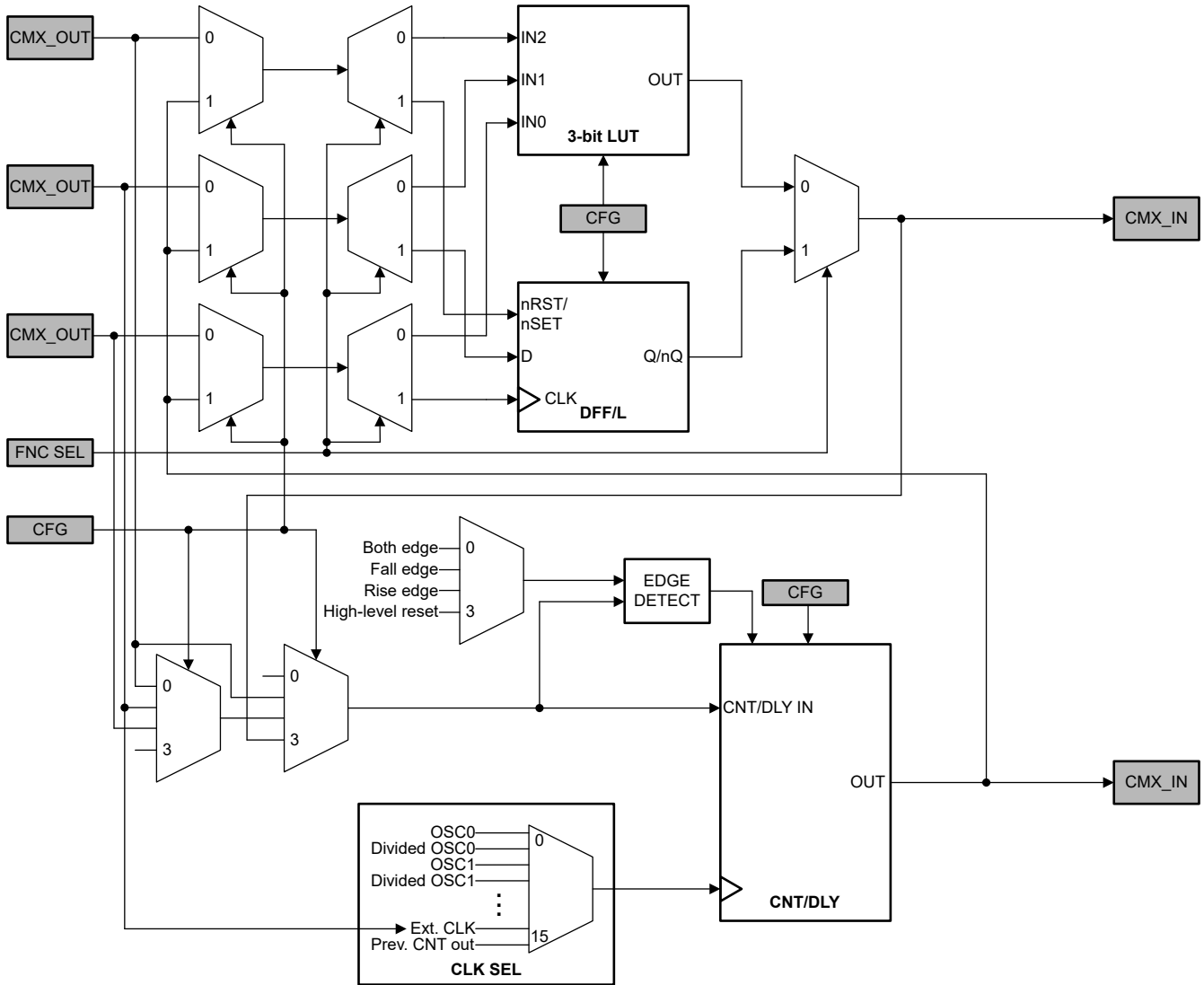


図 7-12. LUT/DFF + CNT/DLY のブロック図

ADVANCE INFORMATION

### 7.3.4.13 ビット LUT

LUT 機能を実装するために使用する場合、3 ビット LUT は、それぞれ接続マルチプレクサから 3 つの入力信号を取り込み、1 つの出力を生成します。その出力は、接続マルチプレクサに戻ります。これらの LUT は、標準的なデジタル論理関数 (AND、NAND、OR、NOR、XOR、XNOR) を含む、任意のユーザー定義 3 入力関数に構成できます。

LUT 機能にプログラムされている場合、各マクロセルは 8 ビットレジスタを使用して出力機能を定義します。

表 7-17 に、3 ビット LUT の真理値表を示します。

表 7-17. 3 ビット LUT の真理値表

IN2	IN1	IN0	OUT
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

### 7.3.4.2 D フリップフロップ/ラッチ、リセット/セット付き

シーケンシャル ロジック素子を実装するために使用する場合、接続マルチプレクサからの 3 つの入力信号は、フリップフロップまたはラッチのデータ (D)、クロック (CLK)、リセット/セット (nRST/nSET) 入力に送られ、出力は接続マルチプレクサに戻ります。このマクロセルは、初期状態、クロック極性、リセット/セット極性、出力極性パラメータをユーザーが構成可能です。

D フリップフロップ/ラッチの動作は、以下の機能説明に従います。

- クロック極性は構成可能で、非反転 (CLK) または反転 (nCLK) に設定できます。
  - CLK を使用する DFF: CLK は立ち上がりエッジでトリガされて、 $Q = D$  になります。それ以外の場合、 $Q$  は変化しません。
  - nCLK を使用する DFF: CLK は立ち下がりエッジでトリガされて、 $Q = D$  になります。それ以外の場合、 $Q$  は変化しません。
  - CLK を使用するラッチ: CLK が Low のとき、 $Q = D$  になります。それ以外の場合、 $Q$  は前の値を保持します (CLK が High のとき、入力 D は出力に影響を与えません)。
  - nCLK を使用するラッチ: CLK が High のとき、 $Q = D$  になります。それ以外の場合、 $Q$  は前の値を保持します (CLK が Low のとき、入力 D は出力に影響を与えません)。
- これらの DFF / ラッチでは、アクティブ Low およびアクティブ High のリセット/セットを選択することができます。
  - nRST: High の場合、DFF / ラッチは通常動作します。Low の場合、 $Q$  は 0 にリセットされます。
  - RST: Low の場合、DFF / ラッチは通常動作します。High の場合、 $Q$  は 0 にリセットされます。
  - nSET: High の場合、DFF / ラッチは通常動作します。Low の場合、 $Q$  は 1 にセットされます。
  - SET: Low の場合、DFF / ラッチは通常動作します。High の場合、 $Q$  は 1 にセットされます。
- リセット/セットが不要な場合は、極性をアクティブ Low に設定して、この入力を  $V_{CC}$  または常に High になっている信号源に接続できます。
- 出力極性は構成可能で、非反転 (Q) または反転 (nQ) に設定できます。

表 7-18 および表 7-19 に、それぞれアクティブ Low のリセット/セット付き D フリップフロップおよび D ラッチの真理値表を示します。

表 7-18. nRST/nSET 付き D フリップフロップの真理値表

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	0	X	X	0	1
—	0		X	X	1	0
1	1		↓	0	Q <sub>0</sub>	nQ <sub>0</sub>
			↑	0	0	1
			↓	1	Q <sub>0</sub>	nQ <sub>0</sub>
↑	1		1	1	0	
0	—	1	X	X	0	1
—	0		X	X	1	0
1	1		↓	0	0	1
			↑	0	Q <sub>0</sub>	nQ <sub>0</sub>
			↓	1	1	0
↑	1		Q <sub>0</sub>	nQ <sub>0</sub>		

表 7-19. nRST/nSET 付き D ラッチの真理値表

nRST	nSET	CLKPOL	CLK	D	Q	nQ
0	—	0	X	X	0	1
—	0		X	X	1	0
1	1		0	0	0	1
			1	0	Q <sub>0</sub>	nQ <sub>0</sub>
			0	1	1	0
1	1		1	1	Q <sub>0</sub>	nQ <sub>0</sub>
0	—	1	X	X	0	1
—	0		X	X	1	0
1	1		0	0	Q <sub>0</sub>	nQ <sub>0</sub>
			1	0	0	1
			0	1	Q <sub>0</sub>	nQ <sub>0</sub>
1	1		1	1	1	0

ADVANCE INFORMATION



### 7.3.4.3 カウンタ / 遅延ジェネレータ (CNT/DLY)

TPLD2001 は、6 個の 8 ビットおよび 2 個の 16 ビットのカウンタ/遅延ジェネレータを備えており、それぞれの最大 DATA 値は 255 および 65535 です。カウンタ数は読み取り可能で、ユーザー レジスタを使用してシステム内でデータを更新できます。現在のカウンタ値を読み取る際には、正確なデータを取得するために 2 回連続した読み取りトランザクションが必要です。カウンタのデータレジスタを更新する際には、データの読み込み中にグリッチが発生しないよう、カウンタをリセット状態にしておくことが推奨されます。新しいカウンタ データを書き込んだ後、カウンタをリセット状態から解除するにはクロックパルスが 2 回必要です。

それぞれのマクロセルのクロック ソースは、柔軟性を高めるために以下のいずれかに設定することができます。内部発振器 (OSC0、OSC1、または OSC2)、発振器から分周されたクロック(OSC0/8、/64、/512、/4096、/32768、/262144、または OSC1/8、/64、/512、あるいは OSC2/4)、または接続マルチプレクサを経由した外部クロック ソースが利用可能です。カウンタ/遅延マクロセルは立ち上がりエッジトリガであることに注意してください。つまり、カウンタは CLK 入力の立ち上がりエッジでカウントダウンします。

#### 注

使用しないカウンタ マクロセルについては、クロック選択 (CLK\_SEL) を「CMX からの外部 CLK」に設定することで、不要な電流の消費を抑えることができます。

ユーザーは、カウンタ/遅延ジェネレータ マクロセルを以下のモードで使用できます: 遅延モード、ワンショット モード、周波数比較モード、カウンタ モード、エッジ検出モード、遅延エッジ検出モード。

#### 7.3.4.3.1 遅延モード

遅延ジェネレータ (DLY) として構成されている場合、このマクロセルは、カウンタ DATA と CLK 入力周波数に基づいて入力を遅延させ、立ち上がり / 立ち下がりエッジを遅延します。デバイスの起動後のこのマクロセルの初期出力値は、初期値、初期値 Low、または初期値 High をバイパスするように設定することもできます。遅延するエッジは、エッジ選択パラメータで選択され、次のように設定できます。

- **立ち上がり:IN** の立ち上がりエッジでのみ遅延を発生させます。
- **立ち下がり:IN** の立ち下がりエッジでのみ遅延を発生させます。
- **両方:IN** の立ち上がりエッジと立ち下がりエッジの両方で遅延を発生させます。

遅延アプリケーションの場合、より大きなカウンタ DATA 値を使用して誤差を低減することを推奨します。入力パルス幅が指定の遅延時間より短い場合、パルスはフィルタで除去されます。この機能はグリッチ除去に役立ちます。

オンチップ発振器を使用する場合、OSC が「強制電源オン」と「自動電源オン」のどちらに設定されているかに応じて、遅延誤差またはオフセットが発生します。クロック同期のために、遅延計算には追加で 2 クロック サイクルが含まれており、

遅延時間は、2 段 DFF 同期を使用する場合は  $DELAY = (DATA + (t_{d\_err} \text{ または } t_{d\_os}) + 3)/f_{CLK}$ 、

OSC が「自動電源オン」に設定され、その後前の出力が存在する前に DLY マクロセルがトリガされると、OSC はクロックを継続し、DLY が次の立ち上がりエッジで開始します。したがって、それ以降の遅延は、OSC が「強制電源オン」に設定されているかのように計算できます。

図 7-13 に、両方のエッジ遅延 (both) と DATA = 1 に設定された遅延マクロセル動作の例を示します。

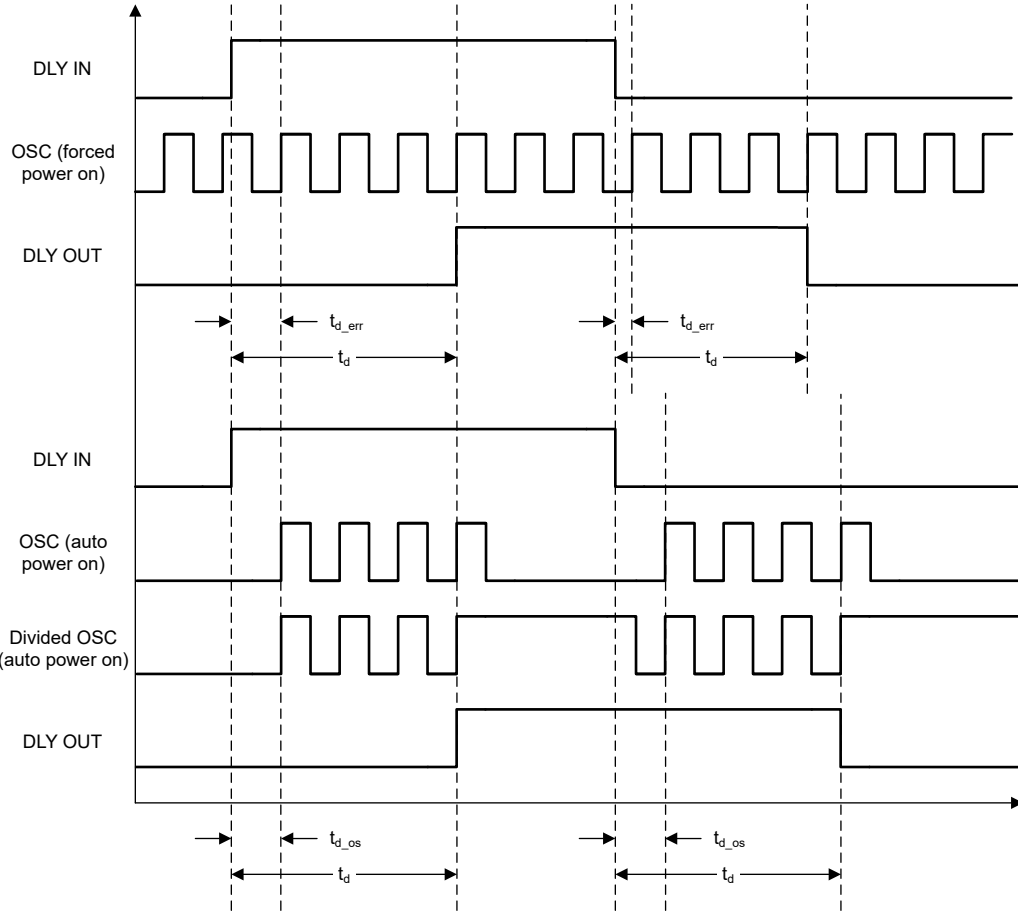


図 7-13. 遅延出力タイミングの例 (両方のエッジ遅延と DATA = 1)

図 7-14 に、エッジを選択した data = 3 に対する遅延マクロセルのタイミング例を示します。

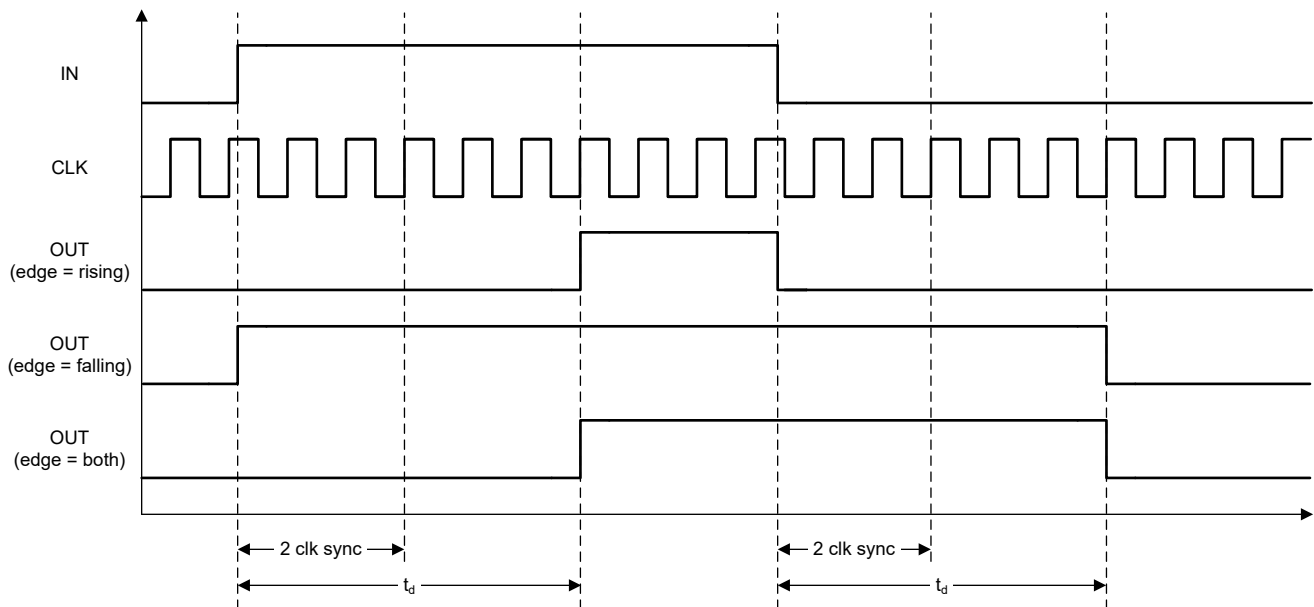


図 7-14. 遅延出力タイミングの例 (DATA = 3)

### 7.3.4.3.2 カウンタ モードのリセット

カウンタ (CNT) として構成し、IN 入力に有効なエッジが表示されると、このマクロセルは内部カウンタを 0 にリセットし、次の立ち上がりクロック エッジで DATA からカウントダウンを開始します。その後、カウントが 0 に達した時点で、マクロセルは 1 CLK 周期の間パルスを出力し、DATA の値にラップアラウンドします。カウンタは、別のリセットを受信するまで継続的に動作します。カウンタがリセットされるエッジは、エッジ選択パラメータによって決定され、次のように構成できます。

- **Rising:** IN の立ち上がりエッジのみがカウンタをリセットします。
- **Falling:** IN の立ち下がりエッジのみがカウンタをリセットします。
- **Both:** IN の立ち上がりエッジと立ち下がりエッジの両方で、カウンタがリセットされます。
- **High Level Reset:** IN が High のときは常にカウンタは 0 にリセットされ、リセット後、カウンタ出力は次の立ち上がり CLK エッジまで Low に維持され、その後は通常動作します。

カウンタ時間は、 $COUNT = (DATA + 1)/f_{CLK}$  によって計算されます。リセット後、バイパスのオプションを使用してクロック同期のためにさらに 2 クロック サイクルが追加されます。クロック同期をバイパスすると、カウンタが不明な値にリセットされる場合があることに注意してください。

#### 注

POR 後、カウンタは DATA = 0 で初期化されます。

図 7-15 および 図 7-16 に、それぞれ DATA=1 および DATA=3 でのエッジ選択パラメータごとのカウンタ出力タイミング図の例を示します。

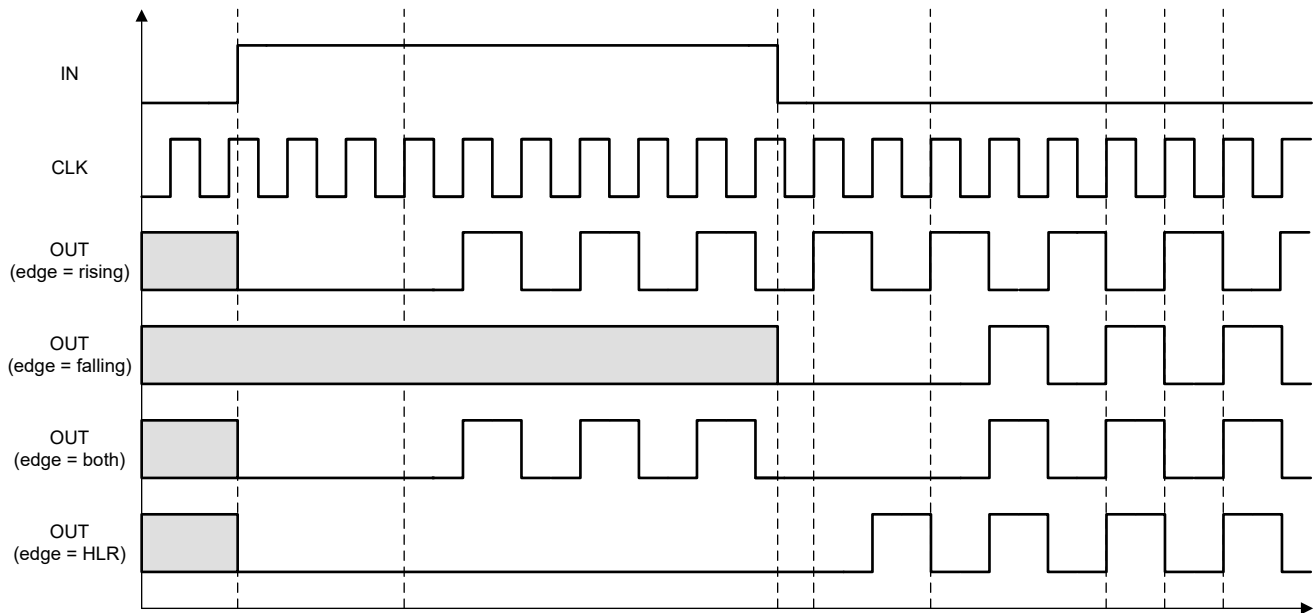


図 7-15. カウンタ出力タイミングの例 (DATA = 1)

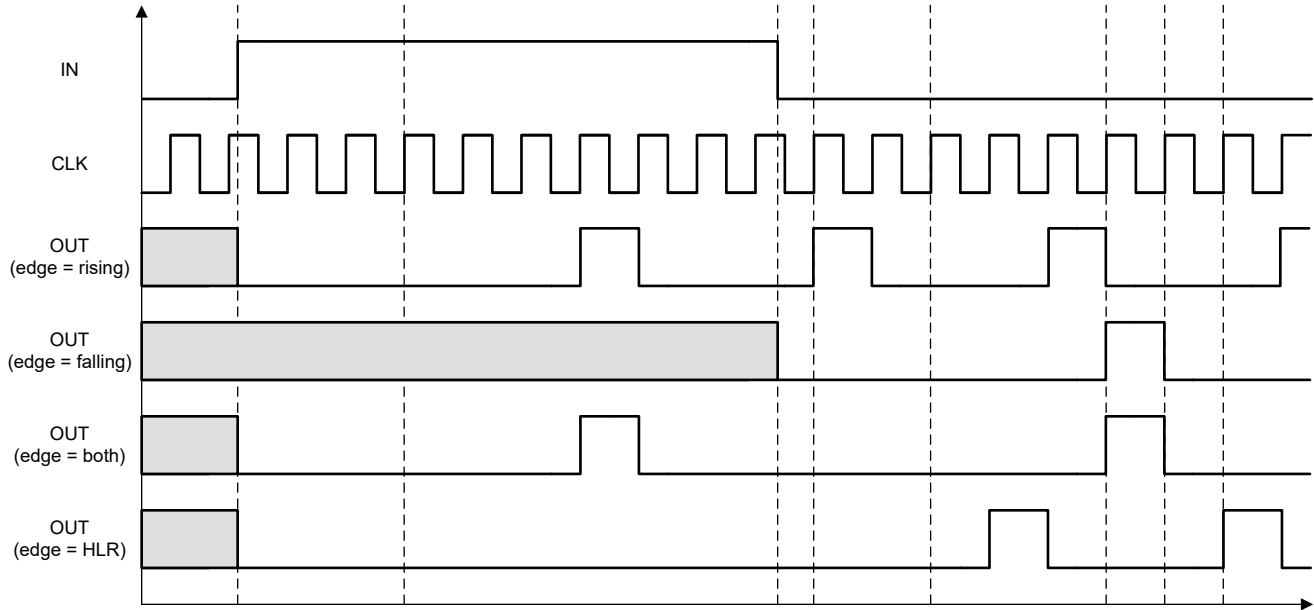


図 7-16. カウンタ出カタイミングの例 (DATA = 3)

図 7-17 に、IN 信号がカウンタの長さより短い場合のカウンタ マクロセルの動作の例を示します (エッジ選択パラメータが「Both」に設定されている場合に表示)。

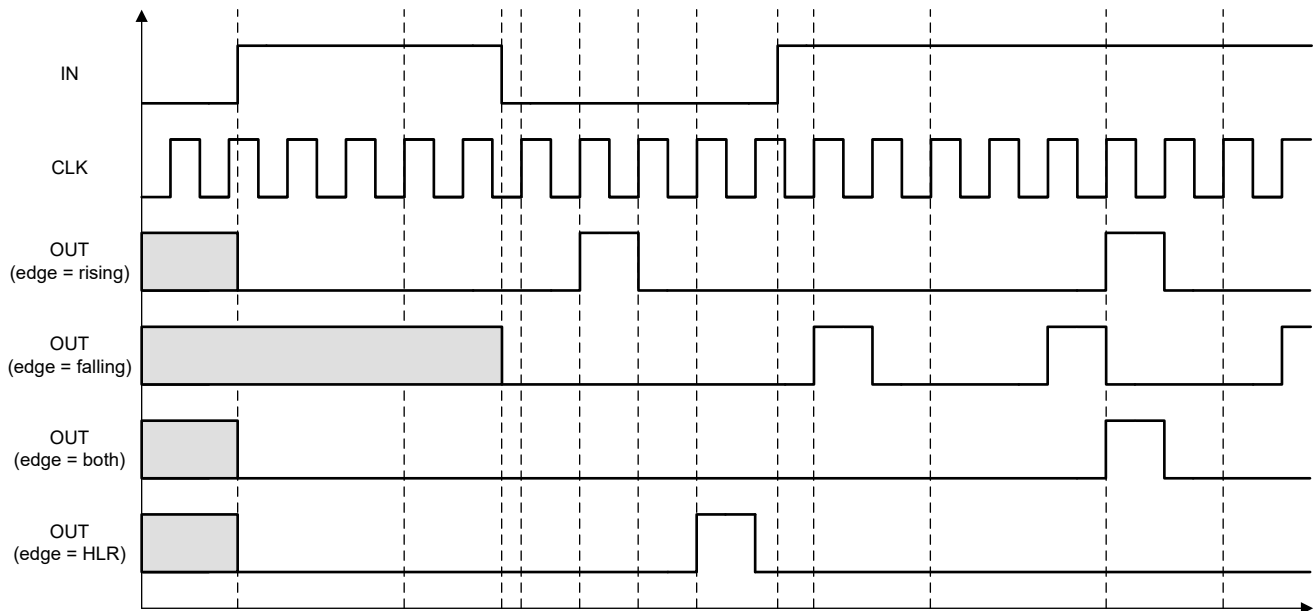


図 7-17. RST < DATA (DATA = 3) でのカウンタ出カタイミングの例

### 7.3.4.3.3 ワンショットモード

ワンショットとして構成した場合、このマクロセルは IN 入力に有効なエッジが現れたときに開始するパルスを生成します。これにより、カウンタは 2 CLK サイクル後にデータの値からカウントダウンを開始し、カウンタが 0 に達するとパルスは終了し、データの値がカウンタに再ロードされて次のトリガを待機します。カウンタがデクリメントしている間に受信されたトリガは無視されます。デバイスの起動後のこのマクロセルの初期出力値は、初期値、初期値 Low、または初期値 High をバイパスするように設定することもできます。ワンショットがリセットされるエッジは、エッジ選択パラメータによって決定され、次のように構成できます。

- **立ち上がり:** IN の立ち上がりエッジのみがワンショットをリセット。
- **立ち下がり:** IN の立ち下がりエッジのみがワンショットをリセット。
- **両方:** IN の立ち上がりエッジおよび立ち下がりエッジの両方がワンショットをリセット。

クロック同期のためのワンショットパルス幅計算には、追加の 2 クロック サイクルが含まれ、

ワンショットのパルス幅は、2 段 DFF 同期を使用する場合は  $ONESHOT = (DATA + 3)/f_{CLK}$

図 7-18 に、エッジ選択パラメータを基準にして、ワンショットマクロセルの動作の例を示します。

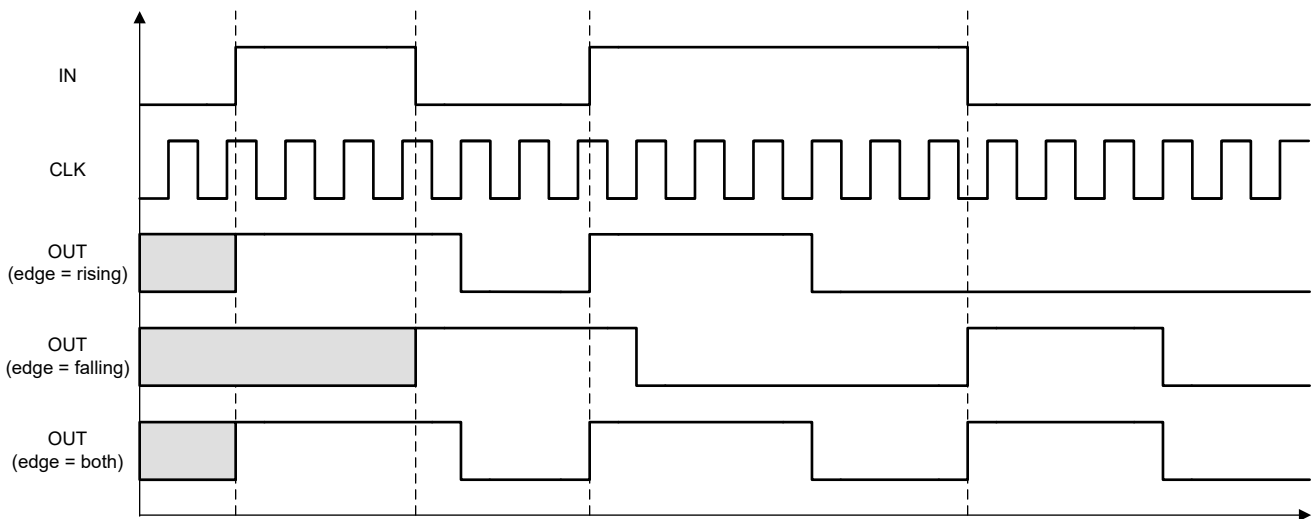


図 7-18. ワンショット出力タイミングの例 (データ = 2)

### 7.3.4.3.4 周波数コンパレータ モード

周波数コンパレータ (FCMP) として構成した場合、このマクロセルは、入力信号が、データで指定された周期よりも速いか遅いかを示します。デバイスの起動後のこのマクロセルの初期出力値は、初期値、初期値 **Low**、または初期値 **High** をバイパスするように設定することもできます。周波数コンパレータがリセットされるエッジは、エッジ選択パラメータによって決定され、次のように構成できます。

- **立ち上がり:IN** の立ち上がりエッジで、周波数コンパレータをトリガおよびリセット。
- **立ち下がり:IN** の立ち下がりエッジで、周波数コンパレータをトリガおよびリセット。
- **両方:IN** の立ち上がりエッジで周波数コンパレータがカウントを開始、**IN** の立ち下がりエッジで周波数コンパレータをリセット。

トリガを受信すると、さらに 2 クロック サイクルを使用して **IN** およびカウンタを **CLK** と同期させます。その後、**CLK** の次の立ち上がりエッジで、カウンタはデータの値からデクリメントを開始します。

内部カウンタが 0 に達すると、**FCMP** マクロセルは **Low** 信号を出力し、入力周波数がデータの値よりも遅いことを示します。それ以外の場合で、カウンタが 0 に達する前にリセットによって中断されると、**FCMP** マクロセルは **High** 信号を出力し、**IN** の信号のほうが速いことを示します。

図 7-19 に、エッジ選択パラメータに基づいて **FCMP** マクロセルがどのように動作するか例を示します。

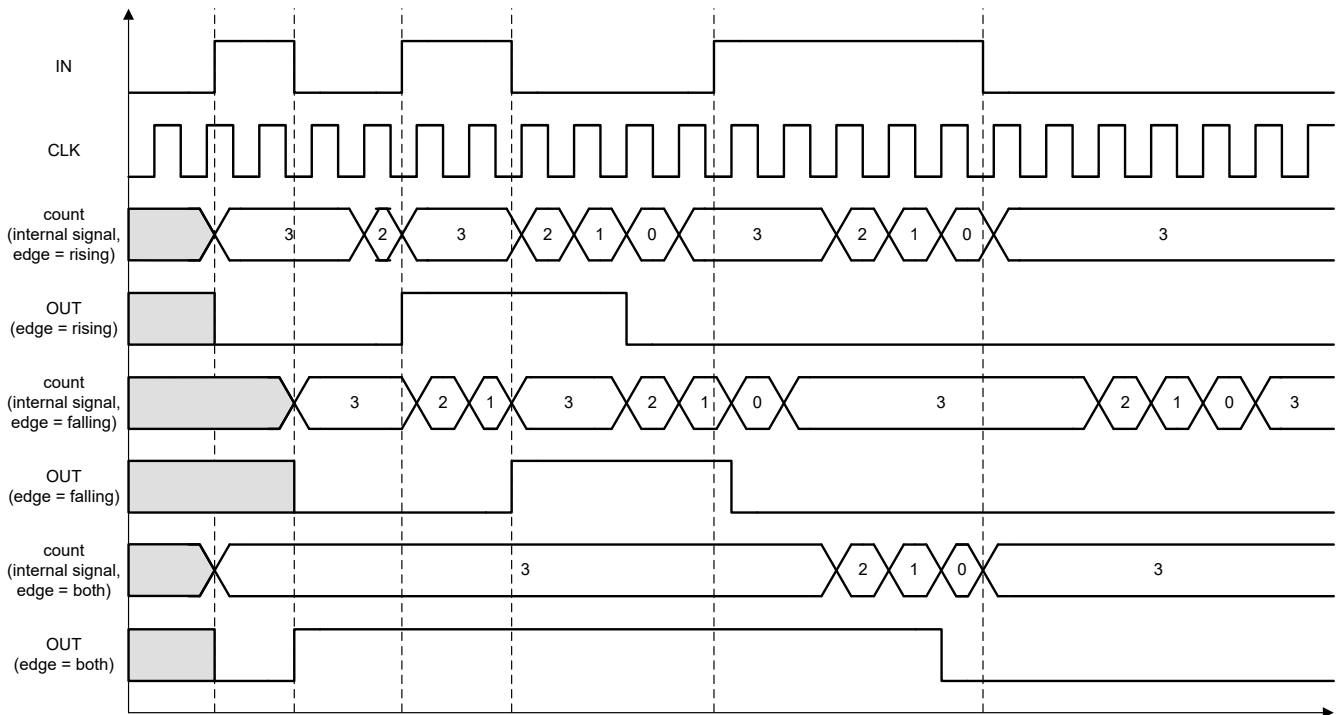


図 7-19. 周波数コンパレータの出力タイミングの例 (データ = 3)

### 7.3.4.3.5 エッジ検出器モード

エッジ検出器 (EDET) として構成した場合、このマクロセルは、有効なエッジが検出されたとき、約 20ns 幅のパルスを生成します。どちらのエッジでエッジ検出器がパルスを生成するかは、エッジ選択パラメータによって決定され、次のように設定できます。

- 立ち上がり:IN の立ち上がりエッジのみがパルスを生成します。
- 立ち下がり:IN の立ち下がりエッジのみがパルスを生成します。
- 両方:IN の立ち上がりエッジおよび立ち下がりエッジの両方でパルスが生成されます。

図 7-20 に、エッジ選択パラメータに基づいて EDET マクロセルがどのように動作するか例を示します。

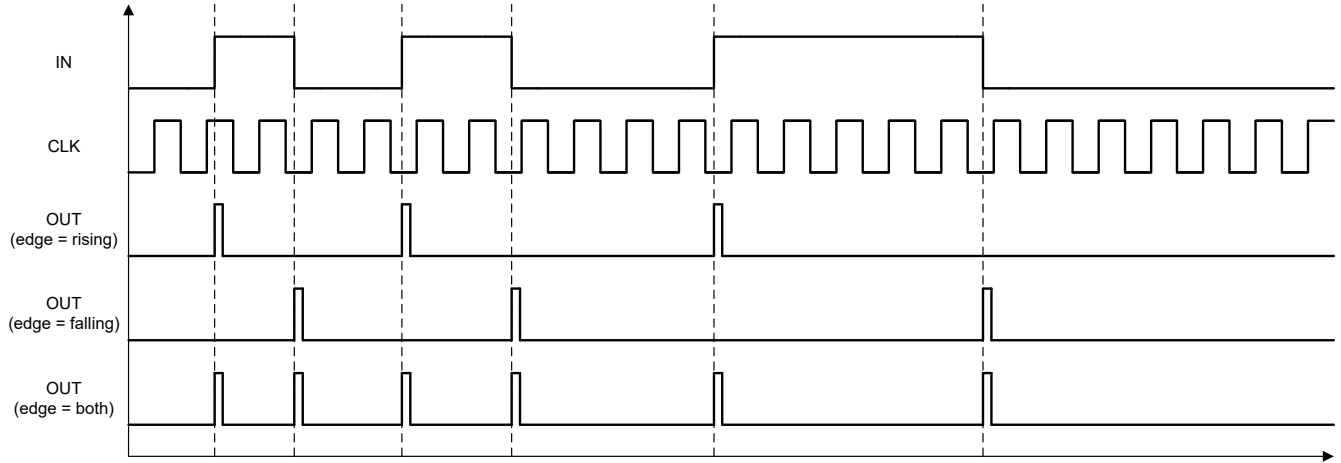


図 7-20. エッジ検出器の出カタイミングの例

### 7.3.4.3.6 遅延エッジ検出モード

遅延エッジ検出器 (遅延 EDET) として構成されている場合、このマクロセルは、遅延した入力上で選択したエッジが検出されるとデータの値だけ入力を遅延させ、その後、約 20ns 幅のパルスを生成します。デバイスの起動後のこのマクロセルの初期出力値は、初期値、初期値 **Low**、または初期値 **High** をバイパスするように設定することもできます。遅延を発生させてエッジ検出パルスを出力する対象となるエッジは、エッジ選択パラメータで選択し、次のように設定できます。

- **立ち上がり:** IN の立ち上がりエッジでのみ遅延を発生させます。
- **立ち下がり:** IN の立ち下がりエッジでのみ遅延を発生させます。
- **両方:** IN の立ち上がりエッジと立ち下がりエッジの両方で遅延を発生させます。

トリガを受信すると、さらに 2 クロック サイクルを使用して IN およびカウンタを CLK と同期させます。その後、CLK の次の立ち上がりエッジで、カウンタはデータの値からデクリメントを開始します。カウンタが 0 に達してデータの値に戻る場合、遅延 EDET マクロセルはパルスを出力します。それ以外の場合で、カウンタが 0 に達する前にリセットされて中断されると、遅延 EDET マクロセルは前のエッジを「フィルタ処理」して消去します。

図 7-21 に、エッジ選択パラメータを基準にして、遅延 EDET マクロセルの動作例を示します。

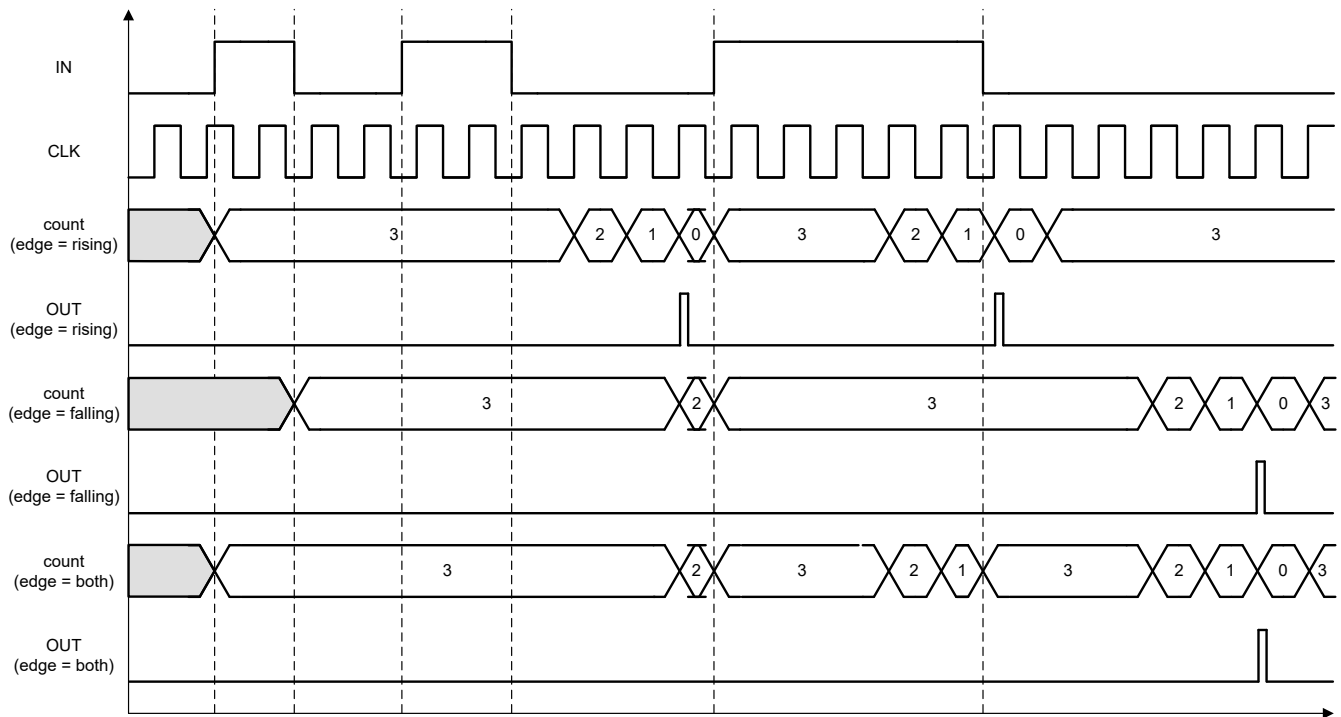


図 7-21. 遅延エッジ検出器の出力タイミングの例 (データ = 3)



### 7.3.4.4 LUT/DFF + CNT モード

構成可能なロジックブロックとタイミングブロックは、ディスクリート LUT、DFF / ラッチ、または前述のカウンタに加えて、次の 2 つのモードに構成できます。

- モード 1: LUT/DFF からカウンタへ。接続マルチプレクサからの 3 つの入力は LUT/DFF/LAT に入力され、最初の段の出力はカウンタの入力に接続されます。カウンタの出力は、接続マルチプレクサに戻ります。
- モード 2: カウンタから LUT/DFF へ。接続マルチプレクサからの 1 つの入力はカウンタ入力に入力され、その出力は LUT または DFF/LAT のいずれか 1 つの入力に接続されます。2 段目の出力は接続マルチプレクサに戻ります。

この機能により、設計において、より多くの LUT、DFF / ラッチ、カウンタを使用できます。ただし、1 つのブロック内では、LUT のみ、または DFF / ラッチのみを使用できます。さらに、これらのモードでは、カウンタに対する接続マルチプレクサからの外部クロックソースがディセーブルされるため、内部発振器から派生した周波数のみを使用できます。

### 7.3.5 プログラム可能なグリッチ除去フィルタまたはエッジ検出器

TPLD2001 には、プログラマブル フィルタ (PFLT) またはエッジ検出器 (EDET) として構成できる 2 つのマクロセルがあります。PFLT マクロセルを使用すると、 $t_{pflt\_pw}$  および  $t_{pflt\_pd}$  で特性を定義される遅延 ( $t_{pflt\_d}$ ) を生成できます。 $t_{pflt\_pw}$  は 125ns、250ns、375ns、または 500ns に設定でき、 $t_{pflt\_pd}$  は約 15ns の固定値です。さらに、マクロセルの出力は、立ち上がりエッジ検出、立ち下がりエッジ検出、両方のエッジ検出、または両方のエッジ遅延の 4 つのオプションのいずれかに構成できます。最後に、このフィルタは短いローパスフィルタとして動作し、出力を非反転または反転に設定できます。

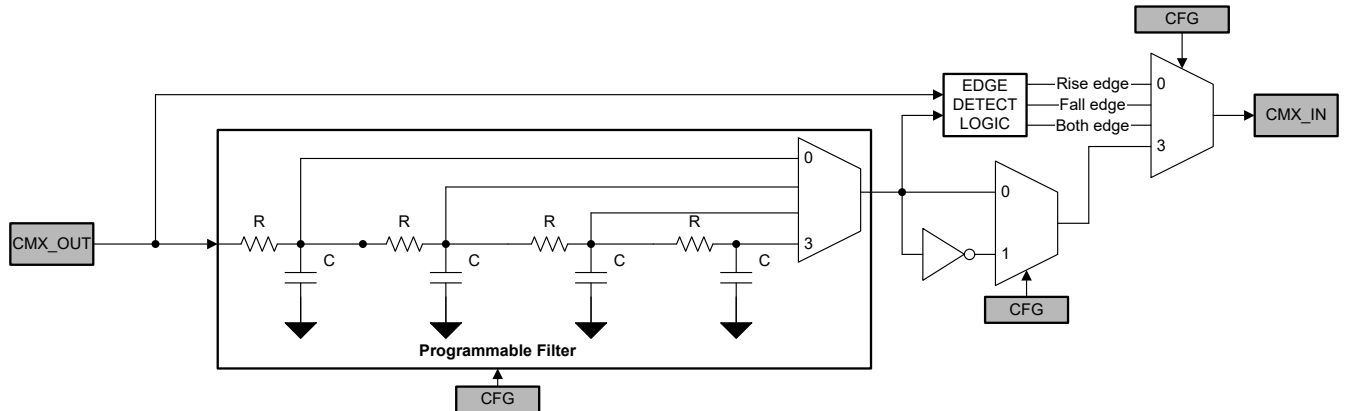


図 7-22. プログラム可能なフィルタ / エッジ検出器のブロック図

注

入力信号は  $t_{pflt\_d}$  よりも長くする必要があります。長くしないと、フィルタによって除去されます。

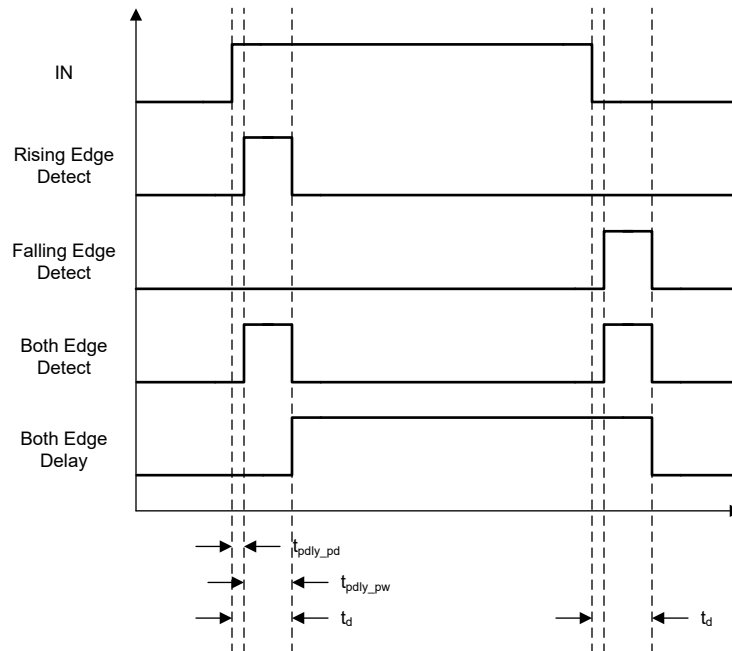


図 7-23. 遅延エッジ検出器出力のタイミング図

### 7.3.6 グリッチ除去フィルタまたはエッジ検出器

TPLD2001 には、グリッチ除去フィルタまたはエッジ検出器として構成できる 1 つのマクロセルがあります。

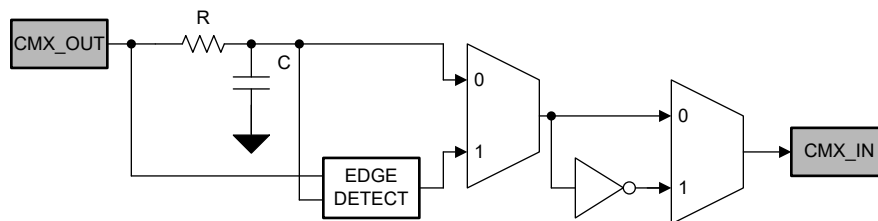


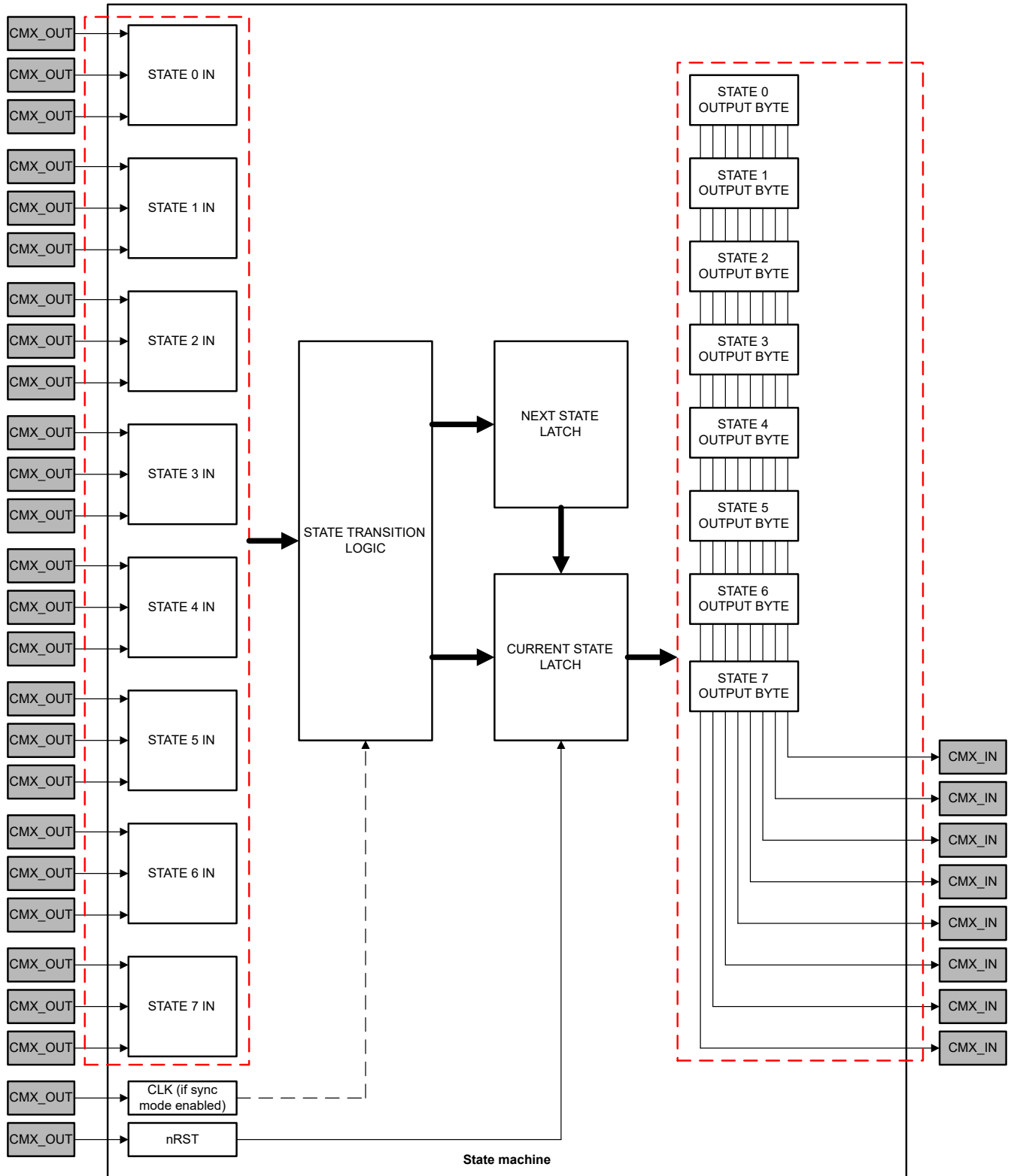
図 7-24. グリッチ除去フィルタまたはエッジ検出器のブロック図

グリッチ除去フィルタは、短いローパス フィルタとして動作し、フィルタ出力は非反転または反転に設定できます。

このマクロセルは、エッジ検出器として、立ち上がりエッジ、立ち下がりエッジ、両方のエッジでトリガされる短いパルスを出力するように構成できます。または、フィルタとして動作して両方のエッジを遅延させることもできます。エッジ検出器の出力は、非反転または反転に設定できます。

### 7.3.7 ステート マシン (SM)

TPLD2001 にはステート マシン マクロセルが搭載されており、24 の状態遷移入力、1 つのクロック入力、1 つのステート マシン リセット入力、8 つの出力を備え、同期または非同期で動作できます。このマクロセルは、2~8 個の状態を持つステート マシンを作成するように構成できます。状態、状態遷移条件、状態遷移入力、状態出力はユーザー定義です。各状態には最大 3 つの遷移条件があり、その特定の状態への遷移をトリガできます。この遷移条件は、接続マルチプレクサにハードワイヤ接続されている状態遷移入力に限定されます。



ADVANCE INFORMATION

図 7-25. ステート マシンのブロック図

### 7.3.7.1 ステート マシン入力

ステート マシン マクロセルには、接続マルチプレクサから 26 の入力があります。その内訳は、24 の状態遷移入力、1 つのクロック入力、1 つのリセット入力です。

24 の状態遷移入力は、それぞれアクティブ High 入力なので、タイミングに関する考慮事項が満たされていれば、High レベルの入力は状態遷移をトリガします。さらに、これら 24 の入力は、3 つの入力のセットが、ある特定の状態への遷移を駆動するものとしてグループ化されています。たとえば、いずれかの状態から状態 2 への遷移を駆動する 3 つの入力があります。したがって、これにより、ある特定の状態への遷移の最大数は 3 に制限されます。

ステート マシンを同期モードで動作させ、状態遷移条件が満たされると、クロック入力の次の立ち上がりエッジで状態遷移が発生します。非同期モードでは、状態遷移条件が満たされると、状態遷移は非同期に発生し、クロック入力は使用されず無視されます。

また、アクティブ Low の非同期リセット入力もあり、これがアサートされるとステート マシンはリセット状態になり、解除されたときステート マシンはユーザーが選択した初期状態になります。

### 7.3.7.2 ステート マシン出力

ステート マシン マクロセルには、接続マルチプレクサへの 8 つの出力があります。ユーザーは、定義済みの各状態に対して、8 バイト RAM を使って 8 個の出力の動作を設定できます。これらの出力は、現在の状態に応じて構成可能な 8 個の平行出力と見なすことができます。8 つの出力はそれぞれ接続マルチプレクサ入力であり、これらの入力は、LUT、D フリップ フロップ、カウンタへの入力、GPO ピンへの出力など、設計の他の場所に接続されている可能性があります。

ステート マシンの出力は、ユーザーレジスタを使用してシステム内で更新できます。グリッチのない動作を行うには、ステート マシンの出力ビットが変更されている間、ステート マシンをリセットにすることを推奨します。

### 7.3.7.3 ステート マシンの構成

動作しているステート マシンには、状態、初期状態、状態遷移、モード、クロック極性を設定できます。

- **状態:** 最大 8 つのステートを使用できます。
- **初期状態:** 使用される状態の 1 つを、ステート マシン マクロセルが非同期リセット後にリセットされる初期状態として選択できます。
- **状態遷移:** ユーザーは、状態遷移条件入力を指定して、ある状態から他の状態への遷移を設定できます。個々の状態に対する遷移として、最大 3 つの遷移を指定できます。状態遷移条件は、接続マルチプレクサからの入力であり、いずれかの GPI または他のマクロセル出力から取得するように構成できます。
- **モード:** ステート マシンの動作は、状態遷移条件がクロック入力に同期してラッチされる同期モード、または、非同期モードを選択できます。
- **クロック極性:** 同期モードでは、この設定により、ステート マシンが、立ち上がりエッジトリガ (すなわち、状態遷移入力と状態遷移がクロックの立ち上がりエッジでラッチされる)、または、立ち下がりエッジトリガのどちらでラッチされるかが決まります。

シリアル通信インターフェイスがイネーブルの場合、この通信を使って、アクティブなステート マシンの現在の状態を読み出ししたり、状態出力を再構成したりできます。シリアル通信インターフェイス経由でステート マシン構成に加えられた変更は、次の状態遷移の後、またはリセット イベントの後に初めて反映されます。したがって、望ましい動作を保証するために、マクロセルを再構成する間、ステート マシンをリセット状態に維持することがベスト プラクティスとなります。

### 7.3.7.4 ステート マシンのタイミングに関する考慮事項

ステート マシン マクロセルが動作中、特に非同期動作中は、状態遷移入力のタイミング要件、I/O の遅延、状態遷移入力パスで使用されるその他のマクロセルの遅延、および接続マルチプレクサの遅延を考慮して、入力が適切に処理され、状態遷移が確定的であることを確認する必要があります。

同期モードでは、状態遷移トリガ入力を少なくとも 2 クロック サイクルの間アサートする必要があります。そうでなければ、入力は無視されます。非同期モードでは、少なくとも状態遷移パルス幅  $t_{st\_pw}$  の間、状態遷移トリガ入力をアサートする必要があります。状態遷移条件が満たされた場合、状態遷移遅延  $t_{st\_dly}$  の後に遷移が発生します。

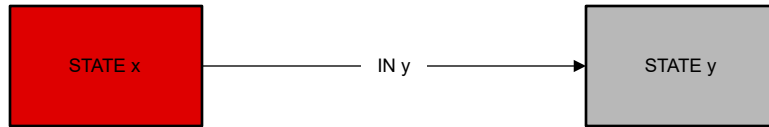


図 7-26. 状態遷移

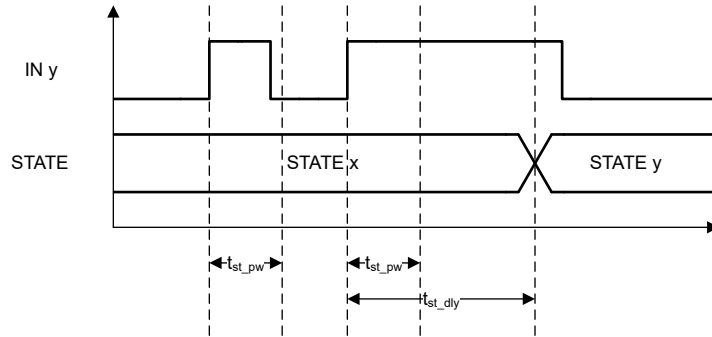


図 7-27. 状態遷移トリガ要件のタイミング例

状態遷移パルス幅  $t_{st\_pw}$  内に 2 つ以上の状態遷移入力トリガが存在する場合、次の状態は不定になります。このような状況を回避するために、状態遷移入力のタイミングを慎重に検討する必要があります。

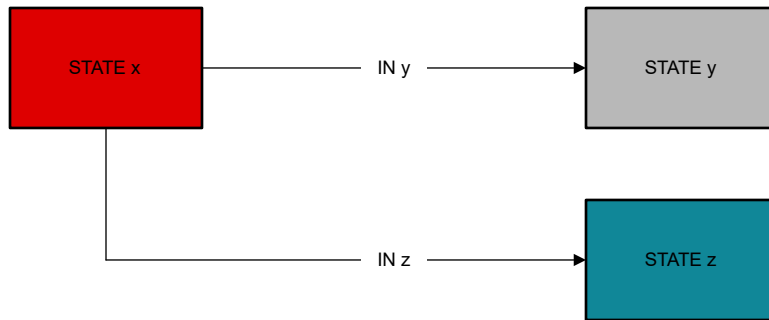


図 7-28. 競合するトリガによる状態遷移

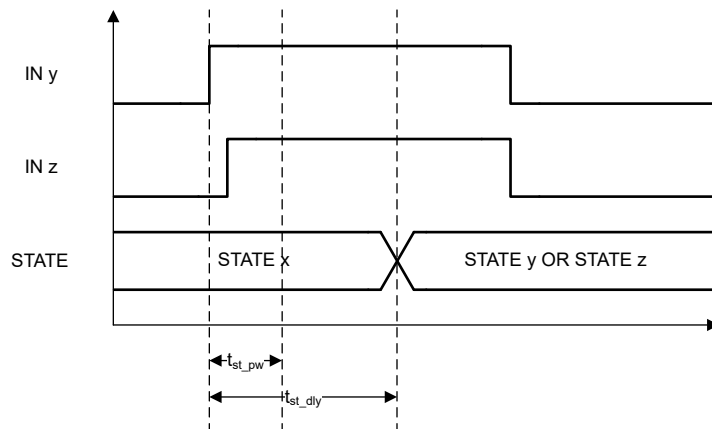


図 7-29. 競合するトリガによる状態遷移の考慮事項のタイミング例

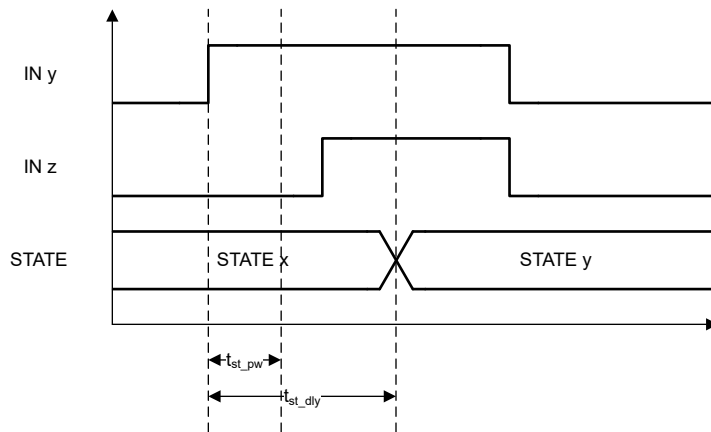


図 7-30. 確定的な遷移のための状態遷移の考慮事項のタイミング例

シーケンシャル状態遷移または閉ループ状態遷移では、ステートマシンを次の状態に移行させる状態遷移入力トリガがアサートされた場合、状態遷移遅延  $t_{st\_dly}$  の後で後続の状態へ遷移が発生します。このため、ステートマシンは、少なくとも  $t_{st\_dly}$  の間、現在の状態を維持します。



図 7-31. シーケンシャル状態遷移

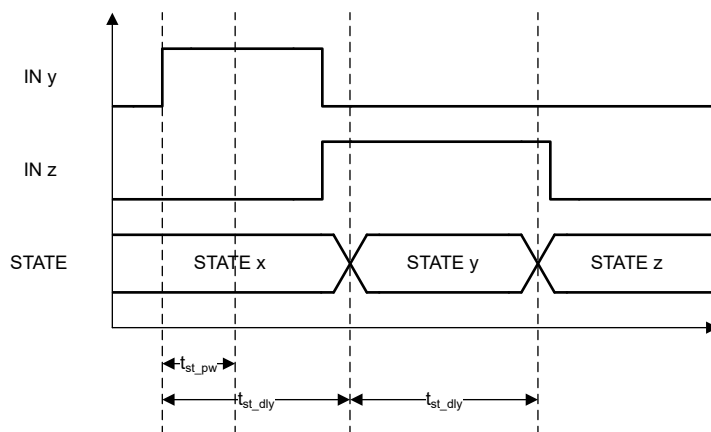


図 7-32. シーケンシャル状態遷移のタイミング例

ここに示す閉ループ状態遷移の例では、2つの状態のみを考慮していますが、2から最大8までの任意の数の状態で閉ループを作成できます。

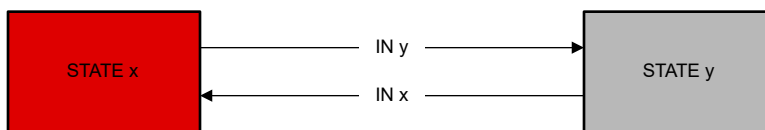


図 7-33. 閉ループ状態遷移

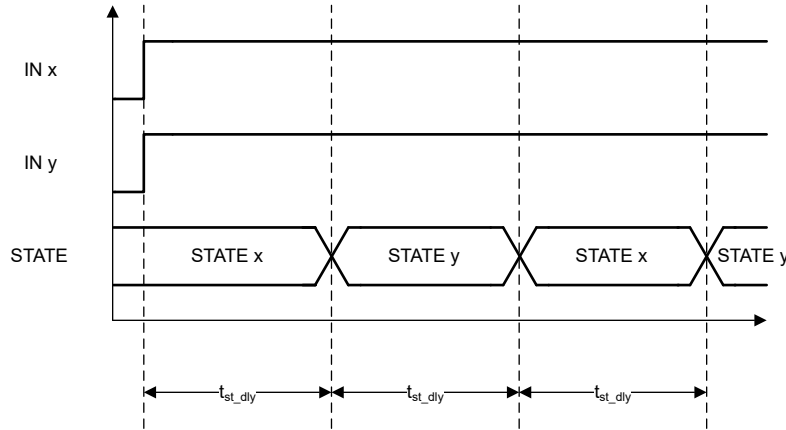


図 7-34. 閉ループ状態遷移のタイミング例

### 7.3.8.8 ビットカウンタ/遅延ジェネレータ/有限ステートマシン

TPLD2001 には 4 つの 8 ビット カウンタがあり、[セクション 7.3.4.3](#) に示すモードに加えて、リセット カウンタ モード中は有限ステートマシン (FSM) として動作できます。これらの 8 ビット カウンタ マクロセルには、接続マルチプレクサからの 4 つの入力 (カウンタ入力、FSM アップ/ダウン、FSM キープ、および外部クロック入力) と、接続マルチプレクサへの 1 つの出力 (カウンタ出力) があります。このマクロセルからは、現在のカウンタ値の 8 ビット パラレル出力もあり、この出力は、パルス幅変調 (PWM) ジェネレータ マクロセルに直接接続されます。

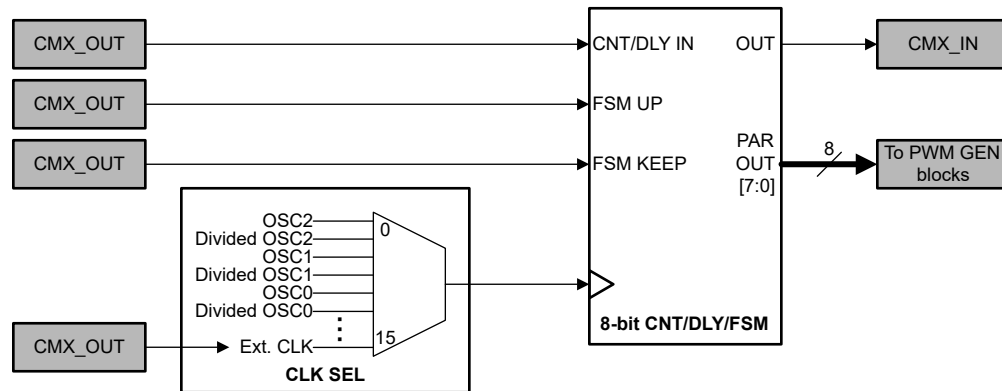


図 7-35. CNT/DLY/FSM のブロック図

動作している FSM には、カウンタリセット データおよびクロックを設定できます。

- カウンタリセット データ:リセット条件が満たされたときにカウンタがロードする値で、1 ~ 255 の任意の値に設定できます。カウンタ データは、ユーザー レジスタを使用してインシステムで更新できます。グリッチのないデータロードを確保するため、カウンタ データレジスタを更新するときはカウンタをリセット状態にすることを推奨します。
- エッジ選択。このエッジにおいて、カウンタを初期カウンタ データに非同期的にリセット。立ち上がり、立ち下がり、または High レベルでのリセット。
- クロック入力:OSC0、OSC0 から派生した分周クロック (/8、/64、/512、/4096、/32768、/262144)、OSC1、OSC1 から派生した分周クロック (/8、/64、/512)、OSC2、OSC2 から派生した分周クロック (/4)、または外部クロック。

#### 注

未使用のカウンタ マクロセルの場合、過剰な電流消費を減らすため、クロック選択 (CLK\_SEL) を CMX から外部 CLK に設定します。





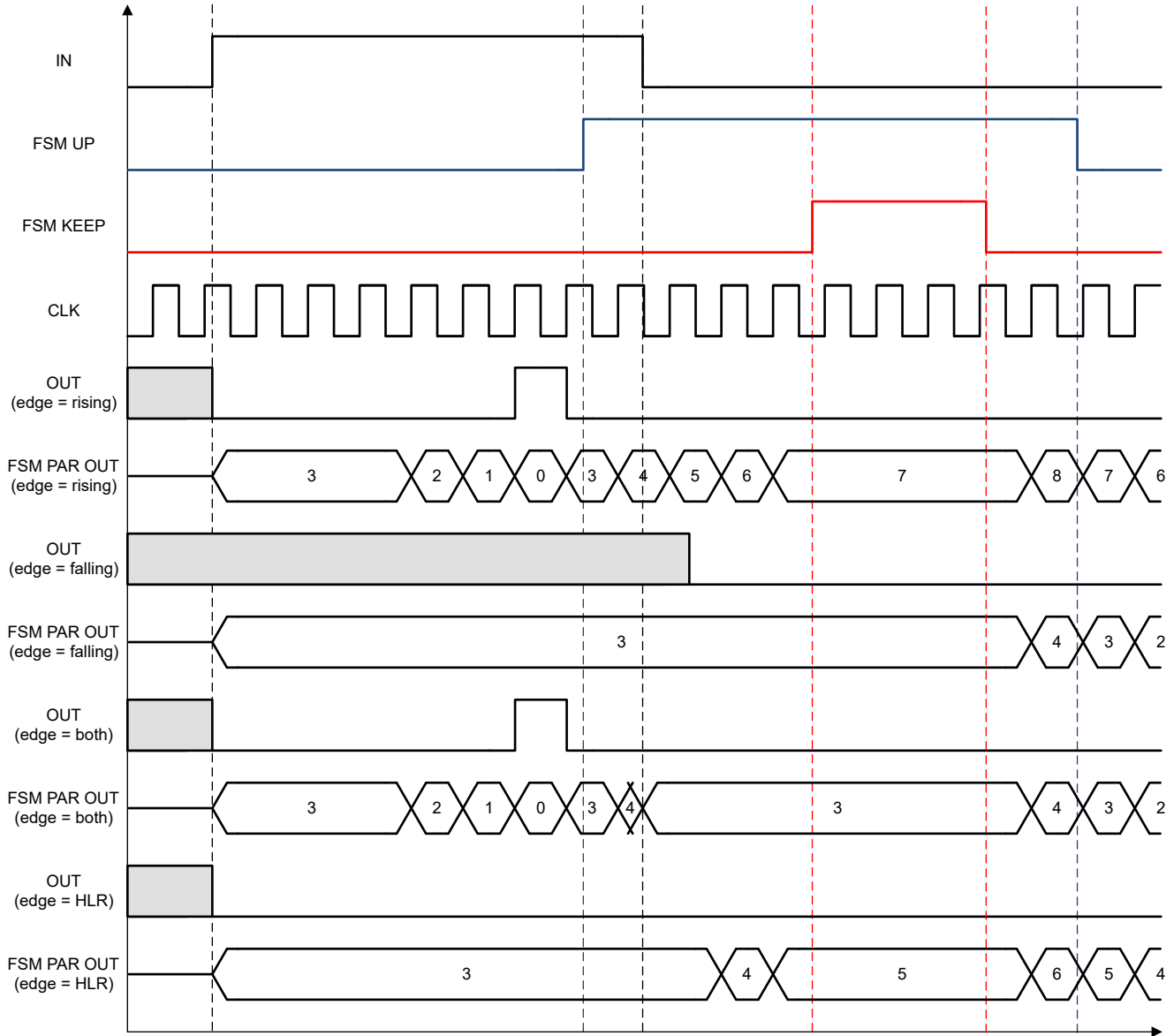


図 7-37. アップ / キープ付き CNT/FSM タイミング例 (DATA = 3)

### 7.3.9 PWM ジェネレータ

TPLD2001 には 4 つのパルス幅変調 (PWM) ジェネレータが搭載されており、選択した FSM のカウンタ値に比例するデューティサイクルを持つ方形波を出力します。これらの PWM ジェネレータ マクロセルには、マクロセルの電源投入を制御するための接続 MUX からの 1 つの入力、FSM ブロックからの直接入力 1 つ、および接続 MUX への 2 つの出力があります。

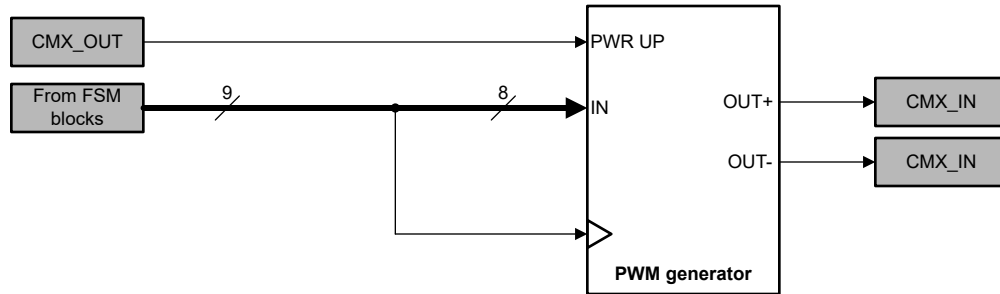


図 7-38. PWM ジェネレータのブロック図

動作している PWM ジェネレータには、入力信号源、デッドバンド時間、出力極性、クロックを構成できます。

- データ入力信号源 (IN): 4 つの FSM のいずれかを選択して、カウンタ値を供給できます。
- デッドバンド時間 ( $t_{db}$ ): 0 CLK (デッドバンドなし)、1 CLK、2 CLK、5 CLK。
- 出力極性: 各出力 (OUT+ および OUT-) の極性は、非反転または反転に構成できます。
- クロック OSC0、OSC0 から派生した分周クロック ( $/8$ 、 $/64$ 、 $/512$ 、 $/4096$ 、 $/32768$ 、 $/262144$ )、OSC1、OSC1 から派生した分周クロック ( $/8$ 、 $/64$ 、 $/512$ )、OSC2、または OSC2 から派生した分周クロック ( $/4$ )。

PWM ジェネレータ マクロセルは、256 クロック サイクルごとに、選択された FSM のカウント値を読み出します。したがって、PWM ジェネレータの出力周波数は  $f_{CLK}/256$  によって決定されます。さらに、PWM 信号のデューティサイクルは次の式で計算されます。デューティサイクル (%) =  $(IN / 256) * 100$ 、最小デューティサイクルは 0% (すなわち 0/256)、最大は 99.61% (すなわち 255/256) です。

PWM ジェネレータを起動するとき、マクロセルは、クロック同期に 2 クロック サイクルを必要とすることに注意します。選択したデッドバンド時間が FSM カウンタのデータ入力よりも長い場合、非反転 OUT- 出力に一定の Low が出力されます。さらに、PWM ジェネレータ マクロセルは、PWM PWR UP 入力に Low 信号を送信することで電源オフでき、アイドル状態での出力を防止できます。

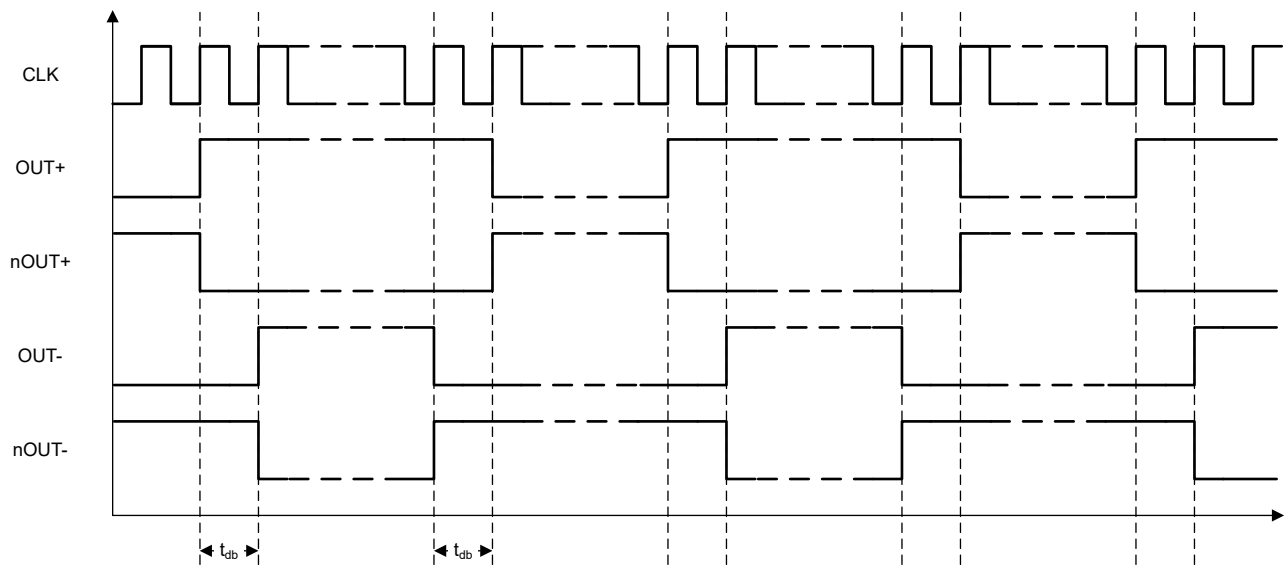


図 7-39. PWM ジェネレータのタイミング例

### 7.3.10 ウォッチドッグタイマ

ウォッチドッグ タイマ (WDT) マクロセルは、 $t_{WD}$  期間で定義された時間フレーム内の任意のエッジ (立ち上がりまたは立ち下がり) について、マクロセルへの入力を監視します。WDT マクロセルには、接続マルチプレクサからの 2 つの入力があります。1 つのアクティブ High イネーブルと 1 つのウォッチドッグ入力。また、内部発振器から直接 1 つのクロック入力もあります。

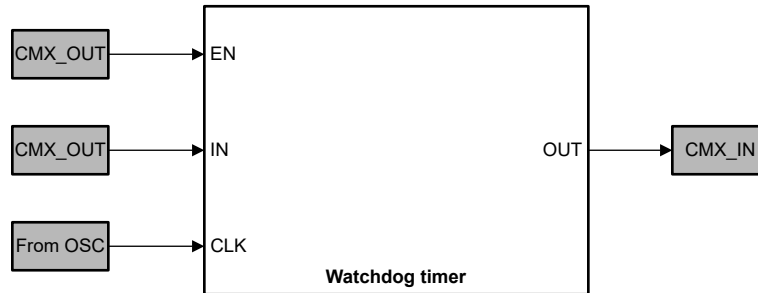


図 7-40. ウォッチドッグ タイマのブロック図

動作している WDT には、タイムアウト期間 ( $t_{WD}$ )、出力アサート時間 ( $t_{WDO}$ )、クロック ソース、追加のクロック分周オプション、ディセーブル時の WDT の動作を構成できます。

- タイムアウト期間 ( $t_{WD}$ ): WDT は 8 ビット カウンタで動作するので、5 ~ 255 のカウント データ値をサポートします。
- 出力アサート時間 ( $t_{WDO}$ ): 独立した 8 ビット カウンタが出力のアサート期間を制御し、1 ~ 255 のカウント データ値をサポートします。
- クロック ソース: OSC0、OSC0 から派生した分周クロック (/8、/64、/512、/4096、/32768、/262144)、OSC1、OSC1 から派生した分周クロック (/8、/64、/512)、OSC2、または OSC2 から派生した分周クロック (/4)。
- 追加のクロック分周: 100 で分周する追加のクロック分周を有効にすると、タイムアウト期間をさらに延長できます。
- ディセーブル時の動作: WDT がディセーブルになったときの動作として、カウンタを指定されたカウント データにリセットするか、または、カウンタを一時停止して WDT が再度イネーブルになったときに再開するか、どちらかを設定できません。

タイムアウト条件に達すると、WDT マクロセルは指定された時間の間 Low パルスを出力します。

#### 注

未使用のウォッチドッグ タイマ マクロセルの場合、過剰な電流消費を低減するため、クロック選択 (CLK\_SEL) を CMX からの外部 CLK に設定します。

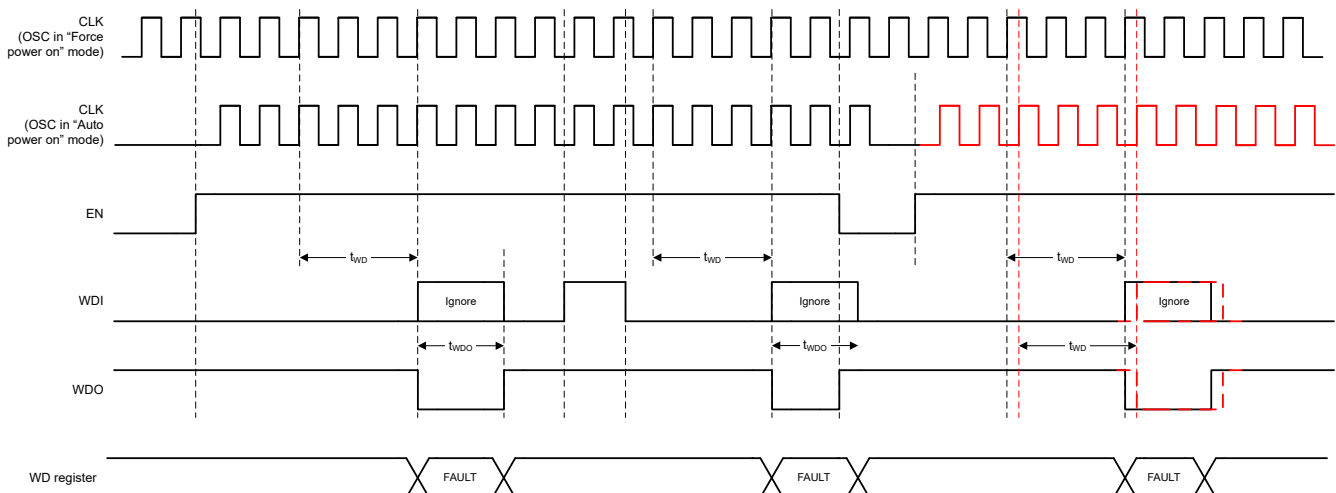


図 7-41. ウォッチドッグ タイマの出力タイミングの例 (ディセーブル時、カウントリセット)

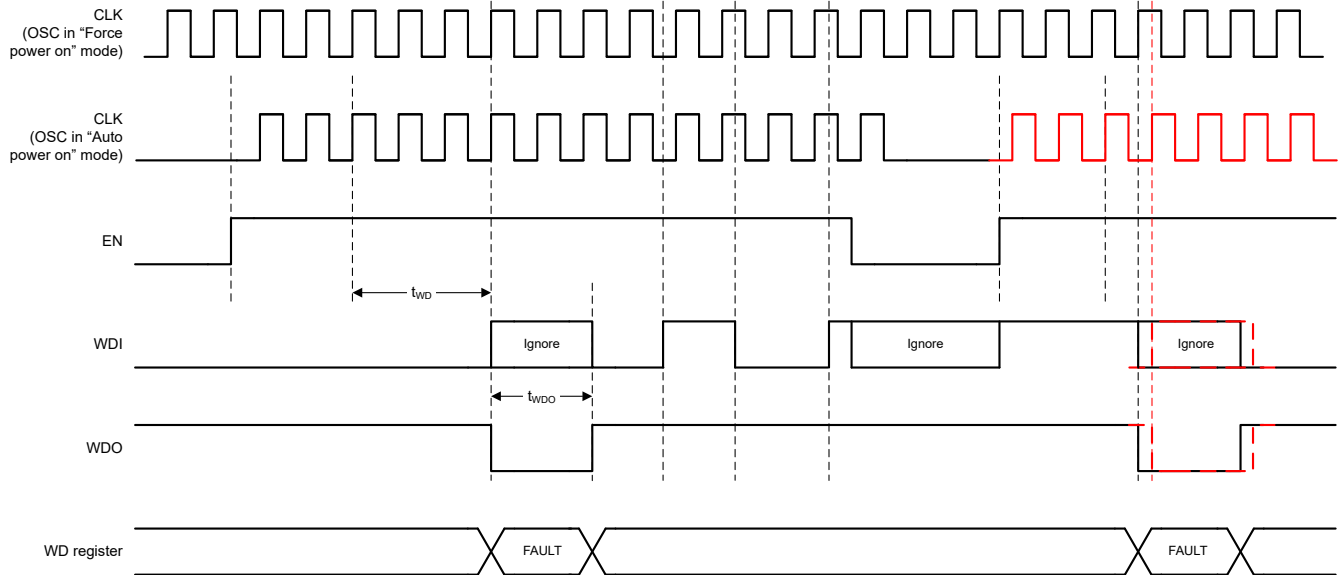


図 7-42. ウォッチドッグ タイマの出力タイミングの例 (ディセーブル時、カウンタ一時停止)

### 7.3.11 アナログ コンパレータ

TPLD2001 は、4 つの独立したアナログ コンパレータ (ACMP) と 1 つのマルチ チャネル サンプリング コンパレータ (McACMP) を搭載しています。ACP および McACMP は 2 つの電圧 (IN+ および IN-) を比較し、どちらが大きいかを示すデジタル信号 (OUT) を出力します。IN+ が大きければ High 信号、IN- が大きければ Low 信号になります。

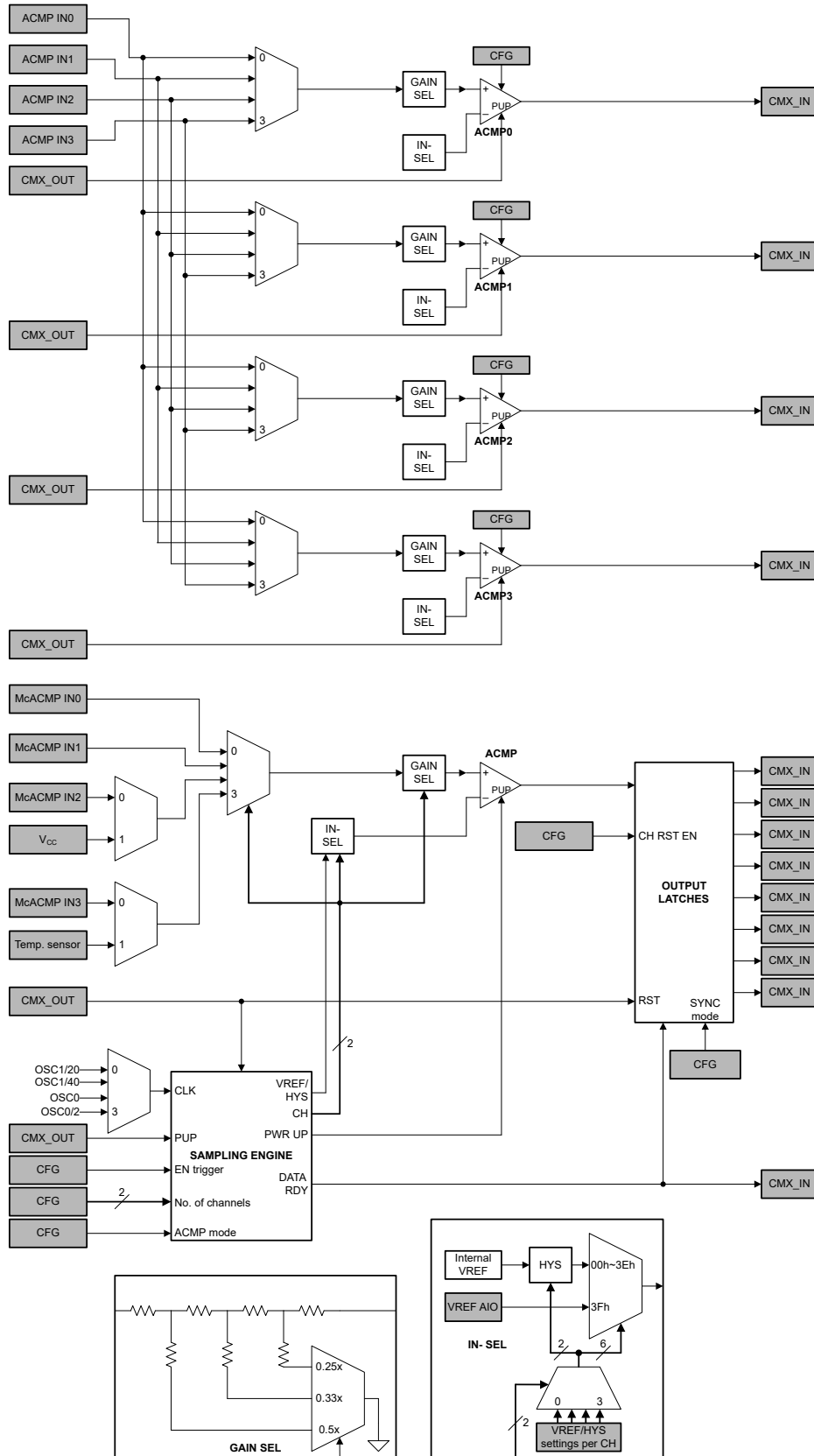


図 7-43. アナログ コンパレータのブロック図

ADVANCE INFORMATION

### 7.3.11.1 ディスクリート アナログ コンパレータ (ACMP)

ACMP マクロセルを TPLD デザインで使用するには、パワーアップ (PWR UP) ポートをロジック High 信号に接続する必要があります。接続マルチプレクサからの信号に接続することで、接続マルチプレクサからのデジタル信号に基づいて、常時オン、常時オフ、動的にオンのいずれかに ACMP を設定できます。

- PWR UP = 1 => ACMP の電源がオンになります。
- PWR UP = 0 => ACMP の電源がオフになります。

電源オフのとき、ACMP の出力は静的ロジック Low です。電源オン時、出力は Low に維持され、PWR UP 信号が high になった後で 110 $\mu$ s (max) が有効になります。この期間中は、OSC1 の電源がオフになっていないことを確認します。

ACMP マクロセルには、各種外部信号源から供給される正の入力信号があり、その信号をアナログ コンパレータに入力する前に増幅する選択可能なゲイン段を備えています。負入力信号は、内部 VREF またはすべてのコンパレータ チャンネルで共有される外部源のいずれかから供給できます。

表 7-20. ACMP 入力信号源

パラメータ	ソース
IN+ 信号源	ACMP IN0
	ACMP IN1
	ACMP IN2
	ACMP IN3

**IN+ ゲイン:** McACMP の正の入力は各種の外部信号源から供給でき、アナログ コンパレータに接続する前に選択可能なゲイン段 (1X、0.5X、0.33X、0.25X) も備えています。

**IN- 電圧範囲:** 内部 VREF で 32mV~2.016V、または外部ソースで最大 2.016V

ディスクリート アナログ コンパレータごとの VREF 選択は、ユーザー レジスタを使用してシステム内で更新できます。グリッチのない測定を行うには、VREF を変更するときすべてのアナログ コンパレータを無効/電源オフにすることを推奨します。VREF 選択が更新されている間にアナログ コンパレータが無効化されていない場合、アナログ コンパレータから有効なデータが出力されるのに最大 10 $\mu$ s が必要になることがあります。

**ヒステリシス:** 内部 VREF を使用する場合、対応する ACMP チャンネルには 0mV、32mV、64mV、192mV の 4 つのヒステリシス オプションがあります。

- **0mV:** 入力信号のヒステリシスをディセーブルにします。
- **64mV:** +32mV および -32mV のヒステリシスです。VREF = 1.024V の場合、トリガ ポイントは 1.056V および 0.992V になります。
- **128mV:** +64mV および -64mV のヒステリシスです。VREF = 1.024V の場合、トリガ ポイントは 1.088V および 0.960V になります。
- **192mV:** +96mV および -96mV のヒステリシスです。VREF = 1.024V の場合、トリガ ポイントは 1.120V および 0.928V になります。

ヒステリシスが必要な場合は、内部 VREF を使用する必要があります。さらに、制限がなければ VREF の範囲を超えてしまうヒステリシスの値は、デバイスで利用可能な最小値と最大値に制限されます。たとえば、IN- = 1.984V、VHYS =  $\pm$ 64mV の場合、下側のトリガ ポイントは 1.920V、上側のトリガ ポイントは 2.016V になります。

**低帯域幅:** ACMP セルは、入力信号の帯域幅を選択する機能を備えており、この機能を使って低帯域幅の信号を比較することで、消費電力を節約し、ノイズの影響を低減できます。

### 7.3.11.2 マルチチャンネル アナログ コンパレータ (McACMP)

McACMP マクロセルを TPLD 設計で使用するには、パワーアップ (PUP) ポートを論理 High 信号に接続する必要があります。接続マルチプレクサからの信号に接続することにより、接続マルチプレクサからのデジタル信号に基づいて、McACMP を常時オン、常時オフ、または動的に切り替えるようにできます。

- PUP = 1 のとき、McACMP は電源オンの状態になります。
- PUP = 0 のとき、McACMP は電源オフの状態になります。

電源投入時、出力は静的な状態を保ち、PUP 信号が High になった後  $t_{start}$  のタイミングで有効になります。その間、OSC1 の電源がオフにならないようにします。

McACMP マクロセルには、各種外部信号源から供給される正の入力信号があり、その信号をアナログ コンパレータに入力する前に増幅する選択可能なゲイン段を備えています。負入力信号は、内部の VREF または外部ソースのいずれかから供給され、すべてのコンパレータ チャンネルで共有されます。各チャンネルは、比較対象となる最大 4 つの負入力ポイントから選択することができます。

**表 7-21. McACMP 入力ソース**

パラメータ	1 次信号源	2 次信号源
IN+ 信号源	McACMP IN0	
	McACMP IN1	
	McACMP IN2	V <sub>CC</sub>
	McACMP IN3	温度センサ

**IN+ ゲイン:** McACMP の正の入力は各種の外部信号源から供給でき、アナログ コンパレータに接続する前に選択可能なゲイン段 (1X、0.5X、0.33X、0.25X) も備えています。

**IN- 電圧範囲:** 内部 VREF で 32mV~2.016V、または外部ソースで最大 2.016V

マルチチャンネル サンプリング アナログ コンパレータの各チャンネルにおける VREF の選択は、ユーザー レジスタを使用してシステム動作中に更新できます。グリッチのない測定を行うためには、VREF を変更する際にすべてのアナログ コンパレータを無効化または電源オフにすることが推奨されます。VREF の選択を更新する際にアナログ コンパレータを無効化していない場合、有効なデータが出力されるまでに最大で 10 $\mu$ s かかる可能性があります。

**ヒステリシス:** 内部 VREF を使用する場合、対応する McACMP チャンネルには 0mV、32mV、64mV、192mV の 4 つのヒステリシス オプションがあります。

- **0mV:** 入力信号のヒステリシスをディセーブルにします。
- **64mV:** +32mV および -32mV のヒステリシスです。VREF = 1.024V の場合、トリガ ポイントは 1.056V および 0.992V になります。
- **128mV:** +64mV および -64mV のヒステリシスです。VREF = 1.024V の場合、トリガ ポイントは 1.088V および 0.960V になります。
- **192mV:** +96mV および -96mV のヒステリシスです。VREF = 1.024V の場合、トリガ ポイントは 1.120V および 0.928V になります。

ヒステリシスが必要な場合は、内部 VREF を使用する必要があります。さらに、制限がなければ VREF の範囲を超えてしまうヒステリシスの値は、デバイスで利用可能な最小値と最大値に制限されます。たとえば、IN- = 1.984V、VHYS =  $\pm$ 64mV の場合、下側のトリガ ポイントは 1.920V、上側のトリガ ポイントは 2.016V になります。

1 つのチャンネルと 1 つの VREF のみが選択されている場合、McACMP はサンプリング エンジンが無効にし、ディスプレイアナログ コンパレータとして動作します。

マルチチャンネル サンプリング モードでは、最大 4 つのチャンネルをサンプリングするように TPLD2001 を構成できます。各チャンネルは、ゲイン、基準電圧、ヒステリシス (内部 VREF を使用する場合) をそれぞれ独自に選択できます。サンプリング クロックは、OSC0 または OSC1 の出力から選択でき、指定されたプレ分周器および McACMP 内の追加の分周器を

通じて生成されます。設定可能なその他の構成には、出力の同期方法、サンプルシーケンス開始のトリガー、シーケンスの再スタート、出力ラッチのリセット/クリア入力、およびチャンネルごとに最大 2 つの VREF を選択するオプションが含まれます。

マルチチャンネル モードでサンプリングを行う場合、McACMP は設定されたチャンネルを順番に (チャンネル 0 からチャンネル n まで) サンプリングし、サンプルを取得するクロックのエッジを選択できます。

クロック McACMP サンプリング クロックは、OSC1/20、OSC1/40、OSC0、OSC0/2 のいずれかを選択できます。

**表 7-22. McACMP クロック オプション**

ベース周波数	プレデバイダ	デバイダ
2kHz	1	1
	2	2
	4	
	8	
2MHz	1	20
	2	40
	4	
	8	

**イネーブルトリガ:**

- **エッジ センシティブ PUP モード:** McACMP は、PUP 入力で立ち上がりエッジが検出されると、1 回のサンプリング シーケンスを開始し、その後アイドル状態に移行します。
- **レベル センシティブ PUP モード:** McACMP は、PUP 入力で High 信号が検出されるとサンプリング シーケンスを開始し、PUP が High である限り連続的にサンプリングを行い、PUP が Low になると、McACMP はサンプリング シーケンスを完了してからアイドル状態に移行します。

**出力同期:**

- **同時:**最後のチャンネルがサンプリングされた後、サンプリングされた出力はラッチされ、それぞれのチャンネル出力に提示されます。
- **分散:**サンプリングされた出力は、サンプリングされたときに、対応するチャンネル出力に提示されます。

**サンプリング エッジの選択:**

- **負のエッジ:**クロックの負のエッジまたは立ち下がりエッジでサンプルがキャプチャされます。
- **正のエッジ:** サンプルはクロックの正のエッジまたは立ち上がりエッジで取得されます。

**シーケンスの再起動/出力ラッチ リセット:**McACMP が動作中でも、リスタート/リセット信号をアサートすることで、サンプリング シーケンスをチャンネル 0 から再開始できます。この信号がアサートされたときに、出力ラッチ データをクリアするように各チャンネルを個別に設定することも可能です。

また、すべての設定されたチャンネルのサンプリングが完了すると、ベース クロック周波数の 1 クロック分だけ High 信号をアサートするデータ準備完了出力も備えられています。たとえば、1kHz (2kHz/2) のサンプリング クロックが選択されている場合、データ準備完了パルスの幅は 500µs になります。

図 7-44 は、チャンネル 0 とチャンネル 1 がそれぞれ 2 つの VREF を用いてサンプリングされるように設定され、かつ出力ラッチのリセットが有効になっているのはチャンネル 0 のみである McACMP の設定例を示しています。



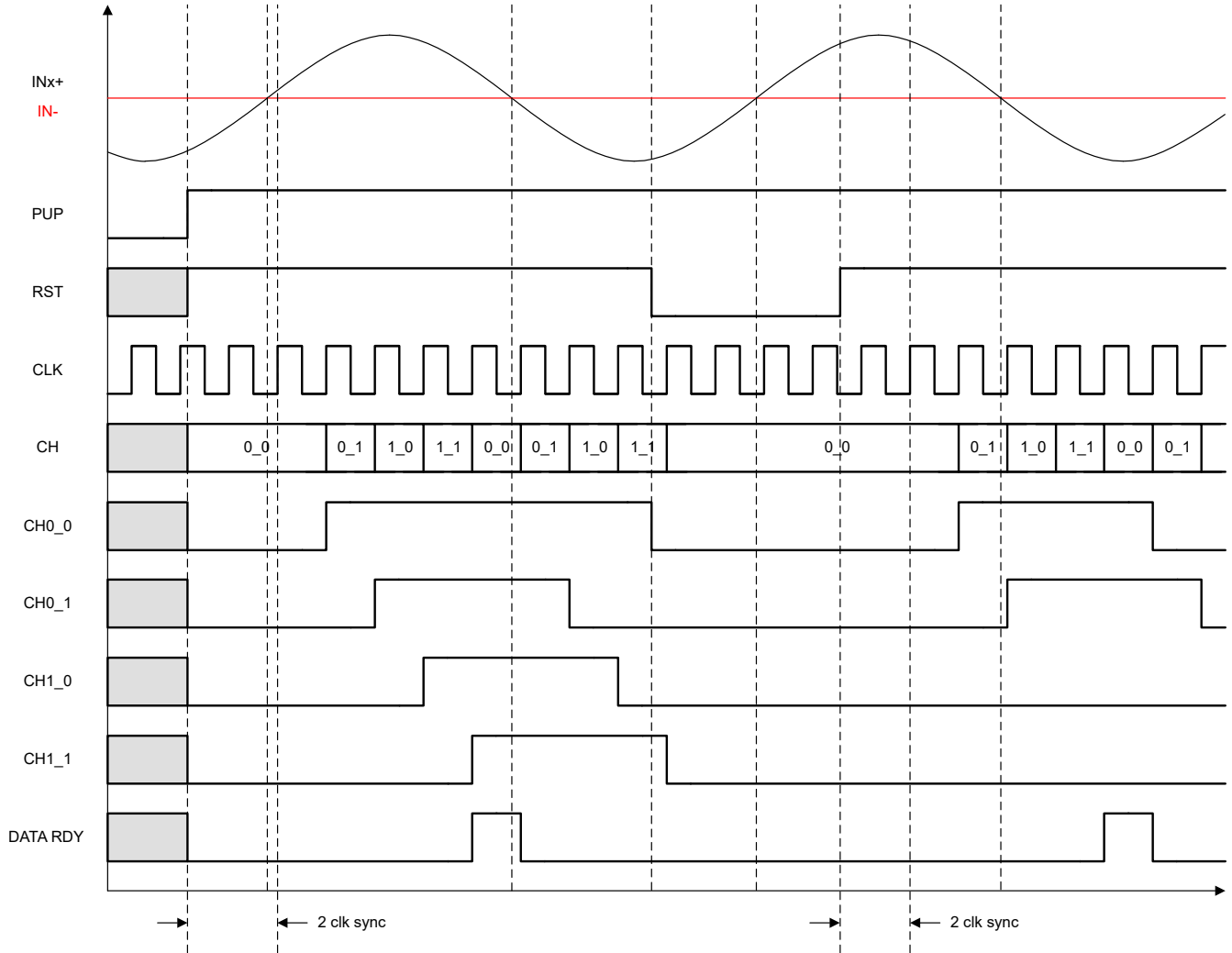


図 7-44. マルチチャネル サンプルング コンパレータのタイミング例

ADVANCE INFORMATION

### 7.3.12 電圧リファレンス (VREF)

TPLD2001 には、アナログ コンパレータへの基準電圧を提供する電圧リファレンス マクロセルがあります。このマクロセルでは、32mV 刻みで 32mV ~ 2.016V の範囲でユーザーが選択する固定電圧リファレンス、または、外部 VREF AIO からの外部供給電圧リファレンスを利用できます。外部 VREF オプションは、すべてのコンパレータと、McACMP のすべてのチャンネルで共有されます。

2.3V 未満の  $V_{CC}$  で動作している場合、最大 VREF オプションは  $V_{CC} - 0.3V$  に低下します。そのため、1.8V 電源で動作している場合の最大 VREF は 1.504V です。

ディスクリート アナログ コンパレータごと、またはマルチチャンネル サンプリング アナログ コンパレータのチャンネルごとに VREF の選択は、ユーザー レジスタを使用してインシステムで更新できます。グリッチのない測定を行うには、VREF を変更するときすべてのアナログ コンパレータを無効/電源オフにすることを推奨します。VREF 選択が更新されている間にアナログ コンパレータが無効化されていない場合、アナログ コンパレータから有効なデータが出力されるのに最大 10 $\mu$ s が必要になることがあります。

表 7-23. VREF の選択表

ビット列挙	VREF 出力
000000	32mV
000001	64mV
000010	96mV
000011	128mV
000100	160mV
000101	192mV
000110	224mV
000111	256mV
001000	288mV
001001	320mV
001010	352mV
001011	384mV
001100	416mV
001101	448mV
001110	480mV
001111	512mV
010000	544mV
010001	576mV
010010	608mV
010011	640mV
010100	672mV
010101	704mV
010110	736mV
010111	768mV
011000	800mV
011001	832mV
011010	864mV
011011	896mV
011100	928mV
011101	960mV
011110	992mV

表 7-23. VREF の選択表 (続き)

ビット列挙	VREF 出力
011111	1024mV
100000	1056mV
100001	1088mV
100010	1120mV
100011	1152mV
100100	1184mV
100101	1216mV
100110	1248mV
100111	1280mV
101000	1312mV
101001	1344mV
101010	1376mV
101011	1408mV
101100	1440mV
101101	1472mV
101110	1504mV
101111	1536mV
110000	1568mV
110001	1600mV
110010	1632mV
110011	1664mV
110100	1696mV
110101	1728mV
110110	1760mV
110111	1792mV
111000	1824mV
111001	1856mV
111010	1888mV
111011	1920mV
111100	1952mV
111101	1984mV
111110	2016mV
111111	外部 VREF AIO

表 7-24. VREF 範囲

V <sub>CC</sub>	VREF 範囲
1.71V ~ 2.3V	32mV ~ 1.504V
2.3V ~ 5.5V	32mV ~ 2.016V

### 7.3.13 アナログ温度センサ (TS)

TPLD2001 は、-40°C ~ +125°C で動作するアナログ温度センサー (TS) マクロセルを搭載しています。線形伝達関数の傾きは -0.00446V/°C (標準)、出力電圧は 0°C で 1.0536V (標準) です。TS マクロセルは、規定温度範囲全体で ±5°C の精度を備えています。

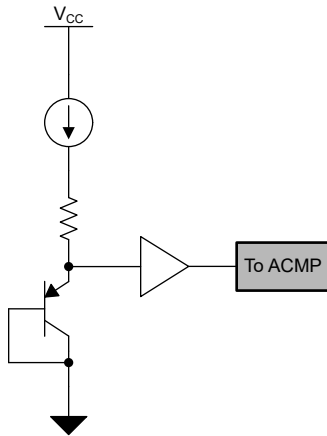


図 7-45. アナログ温度センサのブロック図

温度 (T、摂氏) からセンサ出力 ( $V_{out}$ 、ボルト) への変換式は次のとおりです。  $V_{out} = -0.00446 * T + 1.0536$ .

### 7.3.14 アナログ マルチプレクサ (AMUX)

TPLD2001 には、2 つのアナログ マルチプレクサ (AMUX) マクロセルがあり、ブレーク ビフォ アメイクの単極双投 (SPDT) アナログ スイッチとして動作します。この AMUX はアナログとデジタルの両方の信号を処理でき、最大で  $V_{CC}$  (ピーク) までの振幅の信号をどちらの方向にも転送できます。

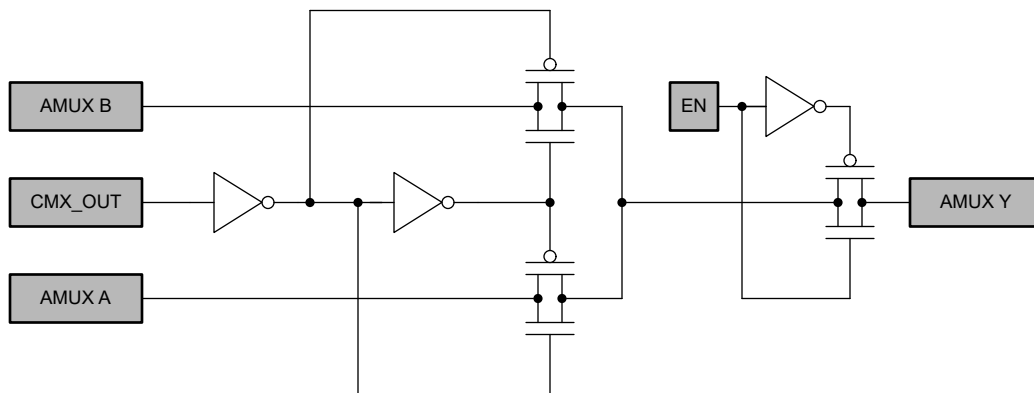


図 7-46. アナログ マルチプレクサのブロック図

接続 MUX からの制御入力に応じて、A チャンネルまたは B チャンネルのいずれかがアクティブになります。制御入力が Low の場合は A チャンネルが選択されます。制御入力が High の場合は B チャンネルが選択されます。

表 7-25. AMUX 機能表

制御入力 (CMX_OUT)	オン チャンネル
Low	AMUX Y = AMUX A
High	AMUX Y = AMUX B

### 7.3.15 発振器

TPLD2001 には 3 つの内部発振器があり、OSC0 は 2MHz に、OSC1 は 2kHz に、OSC2 は 25MHz に固定されています。ユーザーは内部発振器をバイパスすることもでき、動作周波数は IO からの外部クロック入力から取得できます。

#### 7.3.15.1 2kHz 固定周波数発振回路

TPLD2001 は、2kHz で動作する 1 つの内部発振器を備えています。ユーザーは、OSC マクロセルに対して、この動作周波数で発振器を使用できます。または、内部発振器をバイパスして、外部クロックから動作周波数を供給することもできます。

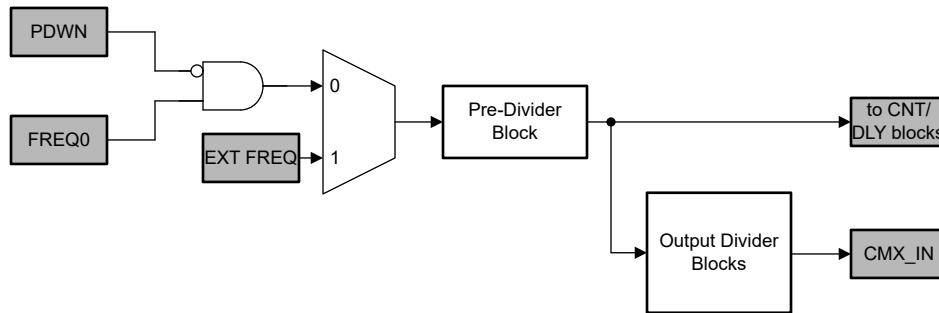


図 7-47. 固定周波数発振器のブロック図

動作クロック入力に続いて、2 つの分周段があり、さまざまなクロック周波数をデバイス全体で柔軟に使用できます。

第 1 段の分周器では、表 7-27 に示すように動作発振器の周波数として最大 4 つのオプションを選択できます。第 1 の分周段の出力は、カウンタ / 遅延ジェネレータのマクロセル CLK 入力に直接配線されています。ここでは、別の第 2 の分周段が利用可能です。

第 1 の分周段の出力は、発振器マクロセル内の第 2 の分周段にも配線されています。発振器マクロセルには、別の 2 段目の分周器があり、接続マルチプレクサへの出力 (OUT0) を備えています。表 7-28 を参照してください。

表 7-26. 周波数の選択肢および制限

周波数のオプション	最小値	標準値	最大値
FREQ0	1.9kHz	2kHz	2.1kHz
EXT	-	-	-

表 7-27. 発振器事前分周器

事前分周器のオプション	大きさ
P0	1
P1	2
P2	4
P3	8

表 7-28. 発振器出力分周器

出力分周器オプション	大きさ
OD0	1
OD1	2
OD2	3
OD3	4
OD4	8
OD5	12
OD6	24

表 7-28. 発振器出力分周器 (続き)

出力分周器 オプション	大きさ
OD7	64

### 7.3.15.2 2MHz 固定周波数発振回路

TPLD2001 は、2MHz で動作する 1 つの内部発振器を備えています。ユーザーは、OSC マクロセルに対して、この動作周波数で発振器を使用できます。または、内部発振器をバイパスして、外部クロックから動作周波数を供給することもできます。

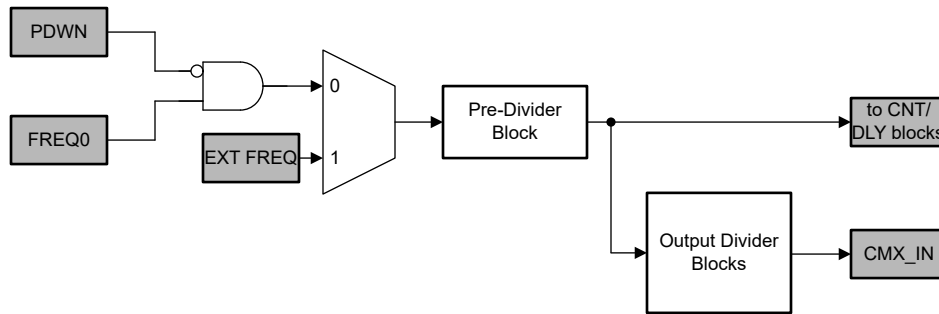


図 7-48. 固定周波数発振器のブロック図

動作クロック入力に続いて、2 つの分周段があり、さまざまなクロック周波数をデバイス全体で柔軟に使用できます。

第 1 段の分周器では、表 7-30 に示すように動作発振器の周波数として最大 4 つのオプションを選択できます。第 1 の分周段の出力は、カウンタ / 遅延ジェネレータのマクロセル CLK 入力に直接配線されています。ここでは、別の第 2 の分周段が利用可能です。

第 1 の分周段の出力は、発振器マクロセル内の第 2 の分周段にも配線されています。発振器マクロセルには、別の 2 段目の分周器があり、接続マルチプレクサへの出力 (OUT0) を備えています。表 7-31 を参照してください。

表 7-29. 周波数の選択肢および制限

周波数のオプション	最小値	標準値	最大値
FREQ0	1.9MHz	2MHz	2.1MHz
EXT	-	-	-

表 7-30. 発振器事前分周器

事前分周器のオプション	大きさ
P0	1
P1	2
P2	4
P3	8

表 7-31. 発振器出力分周器

出力分周器 オプション	大きさ
OD0	1
OD1	2
OD2	3
OD3	4
OD4	8
OD5	12

表 7-31. 発振器出力分周器 (続き)

出力分周器 オプション	大きさ
OD6	24
OD7	64

### 7.3.15.3 25MHz 固定周波数発振回路

TPLD2001 は、25MHz で動作する 1 つの内部発振器を備えています。ユーザーは、OSC マクロセルに対して、この動作周波数で発振器を使用できます。または、内部発振器をバイパスして、外部クロックから動作周波数を供給することもできます。

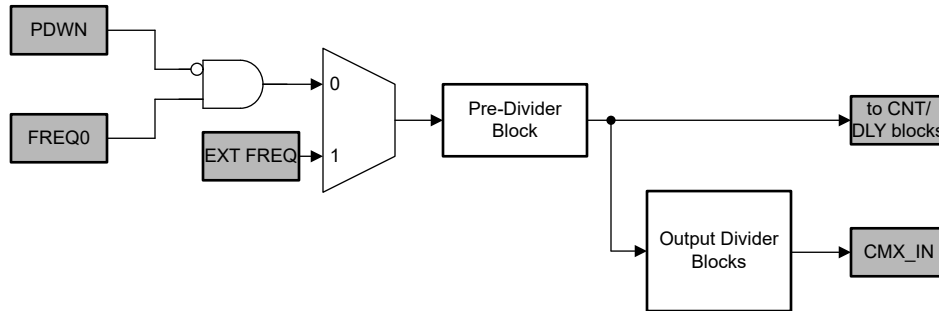


図 7-49. 固定周波数発振器のブロック図

動作クロック入力に続いて、2 つの分周段があり、さまざまなクロック周波数をデバイス全体で柔軟に使用できます。

第 1 段の分周器では、表 7-33 に示すように動作発振器の周波数として最大 4 つのオプションを選択できます。第 1 の分周段の出力は、カウンタ / 遅延ジェネレータのマクロセル CLK 入力に直接配線されています。ここでは、別の第 2 の分周段が利用可能です。

第 1 の分周段の出力は、発振器マクロセル内の第 2 の分周段にも配線されています。発振器マクロセルには、別の 2 段目の分周器があり、接続マルチプレクサへの出力 (OUT0) を備えています。表 7-34 を参照してください。

表 7-32. 周波数の選択肢および制限

周波数のオプション	最小値	標準値	最大値
FREQ0	23.75MHz	25MHz	26.25MHz
EXT	-	-	-

表 7-33. 発振器事前分周器

事前分周器のオプション	大きさ
P0	1
P1	2
P2	4
P3	8

表 7-34. 発振器出力分周器

出力分周器 オプション	大きさ
OD0	1
OD1	2
OD2	3
OD3	4
OD4	8

表 7-34. 発振器出力分周器 (続き)

出力分周器 オプション	大きさ
OD5	12
OD6	24
OD7	64

### 7.3.15.4 発振器の電力モード

デバイスの内部発振器のいずれかを使用する場合、それぞれの発振器には次の 3 つの電力モードが利用可能です:

- **自動電源オン (CTRL\_SRC = 0 および PWR\_MODE = 0):** 内部発振器は、発振器を必要とする任意のマクロセルが動作を開始すると起動し、タスクが完了すると電源がオフになります。
- **強制電源オン (CTRL\_SRC = 0 および PWR\_MODE = 1):** デバイスの電源がオンになっている間、内部発振器は連続的に動作します。
- **外部電源オン/オフ (CTRL\_SRC = 1, CTRL\_SEL = 0, PWR\_MODE = 1):** PDWN 入力に High を入力すると発振器の電源がオフになり、Low を入力すると発振器の電源がオンになります。

これらの電源モードは、内部発振器が選択されている場合にのみ適用され、外部クロック (SRC\_SEL = 1) が使用されている場合はバイパスされます。

### 7.3.16 シリアル通信

TPLD2001 には、シリアル通信マクロセルがあり、特定の構成レジスタをインシステムで更新できます。このマクロセルは、TPLD2001 を I<sup>2</sup>C または SPI ペリフェラル デバイスとして構成できます。

#### 7.3.16.1 I<sup>2</sup>C モード

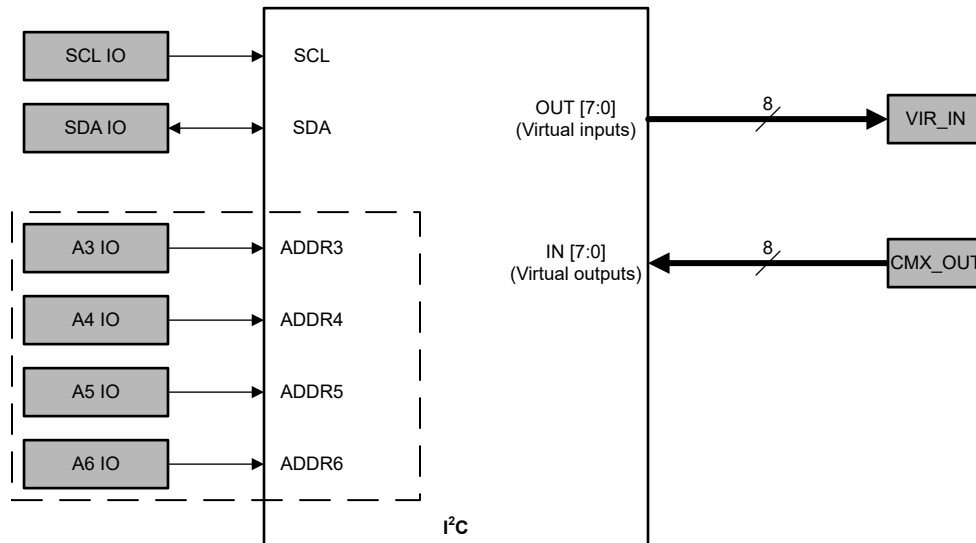


図 7-50. I<sup>2</sup>C シリアル通信 GPIO の割り当て

I<sup>2</sup>C に設定すると、マクロセルでは次の IO を使用します。

- IO6: SCL
- IO7: SDA
- IO5: HW 定義 ADDR 3, A3 (オプション)
- IO4: HW 定義 ADDR 4, A4 (オプション)
- IO3: HW 定義 ADDR 5, A5 (オプション)
- IO2: HW 定義 ADDR 6, A6 (オプション)





ーラはレスポンスのトランスミッタから受信した各バイトの後に **NACK** を生成する必要があります。適切な動作のためには、セットアップ時間とホールド時間の条件を満たす必要があります。

コントローラのレシーバは、最後のバイトがレスポンスからクロック出力された後、アクノリッジ (**NACK**) を生成せずに、データの終了をレスポンスのトランスミッタに通知します。これは、コントローラのレシーバで **SDA** ラインを **High** に保持することにより行われます。この場合、コントローラが **STOP** 条件を生成できるように、トランスミッタはデータラインを解放する必要があります。

TPLD2001 の書き込みまたは読み出しを行う際、アドレス **0x0FD** のビット **0** に論理 **0** を書き込むことで、自動アドレスのインクリメントを有効化するオプションがあります。これは、ロジック **1** を書き込むことで無効にできます。**I<sup>2</sup>C** の場合、アドレス自動インクリメントは特定の拡張アドレス、つまりページ アドレス内でのみ機能することに注意してください。したがって、バースト読み出しまたは書き込みを使う場合、**0x0FF** は **0x000** にロールオーバーされることに注意してください。



図 7-53. I<sup>2</sup>C 書き込みコマンドのフォーマット

TPLD2001 にデータを送信または書き込みするには、バス コントローラはデバイス ハードウェア アドレスを送信し、最下位ビット (LSB) をロジック **0** に設定する必要があります。次の 2 バイトはレジスタ アドレスを設定してから、書き込みデータが続きます。1 回の書き込みフレームで送信されるデータ バイト数に制限はありません。

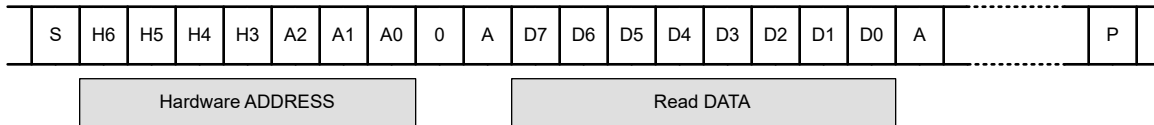


図 7-54. I<sup>2</sup>C 読み出しコマンドのフォーマット

TPLD2001 から読み取るには、バス コントローラは、最初に、ロジック **1** に設定した LSB を含めた TPLD2001 ハードウェアのアドレスを送信する必要があります。その後のバイトには、以前に書き込まれたアドレスにデータが含まれます。アドレスの自動インクリメントがイネーブルされている場合は、次のアドレスにデータが含まれます。

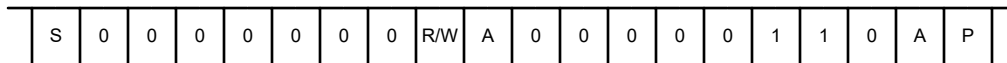


図 7-55. TPLD I<sup>2</sup>C ソフトウェア リセット コマンド

ソフトウェア リセット呼び出しは、**I<sup>2</sup>C** バス上のコントローラから送信されるコマンドで、このコマンドに対応しているすべてのデバイスに対して電源オンのデフォルト状態にリセットするよう指示を出します。想定どおりに機能させるためには、**I<sup>2</sup>C** バスの機能を有効にして、このバスにデバイスが接続されていない状態にする必要があります。

ソフトウェア リセット呼び出しは、以下の手順で定義されます。

1. **I<sup>2</sup>C** バスのコントローラから **START** 条件を送信します。
2. 使用するアドレスは、予約済みのゼネラル コールの **I<sup>2</sup>C** バス アドレス「**0000 000**」で、**R/W** ビットは **0** にセットします。送信されるバイトは、**0x00** です。
3. ジェネラル コール機能をサポートしているすべてのデバイスは、**ACK** を送信します。**R/W** ビットが **1** (読み出し) にセットされているなら、デバイスは **NACK** を送信します。
4. ジェネラル コール アドレスの送信が確認されると、コントローラは **0x06** に相当するデータの 1 バイトのみを送信します。データ バイトが他の値の場合、デバイスはアクノリッジを送信せず、リセットもしません。1 バイト以上が送信された場合、これ以上のバイトに応答は送信されず、デバイスは無効と判断して **I<sup>2</sup>C** メッセージを無視します。
5. データ (**0x06**) の 1 バイトが送信されると、コントローラはソフトウェア リセット呼び出しシーケンスを終了させるために **STOP** 条件を送信します。**START** 条件が繰り返し送信されてもデバイスは無視し、リセットは実行されません。

上記の手順が正常に完了すると、デバイスはリセットを実行し、すべてのレジスタ値はクリアされて電源オン時のデフォルト値に戻ります。

### 7.3.16.2 SPI モード

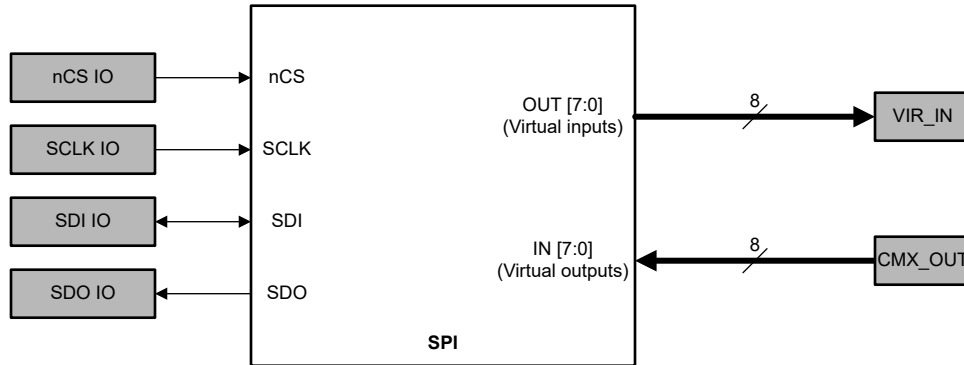


図 7-56. SPI シリアル通信 GPIO の割り当て

SPI に設定すると、マクロセルでは次の IO を使用します。

- IO5:nCS
- IO6:SCLK
- IO7:SDI
- IO8:SDO

TPLD2001 は以下をサポートしています。

- Peripheral/Target mode only
- SPI モード 0、すなわち SCLK はアイドル Low であり、SDI/SDO は SCLK の立ち上がりエッジで有効です
- 最大 4 MHz の SCLK
- 8 ビットのデータフレーム サイズ

SPI 通信では、標準の SPI インターフェイスを使用します。物理的には、デジタル インターフェイス ピンは nCS (チップセレクト Not)、SDI (シリアル データ入力)、SDO (シリアル データ出力)、SCLK (SPI クロック) です。

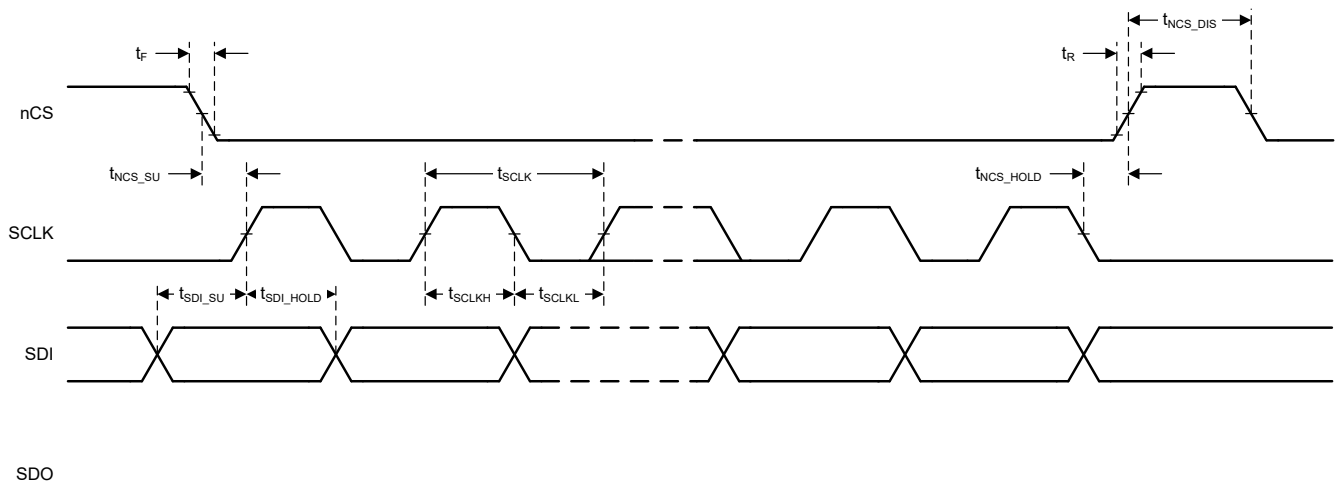


図 7-57. SPI 書き込みタイミング図

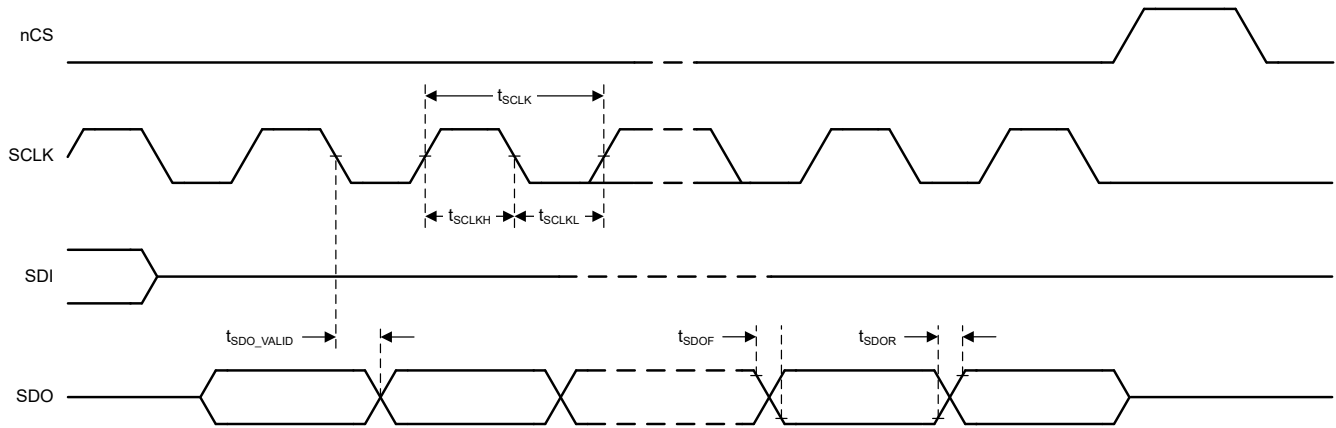


図 7-58. SPI 読み出しのタイミング図

TPLD2001 の SPI モジュールはモード 0 をサポートしているため、SDI ラインの入力データは SCLK の立ち上がりエッジでサンプリングされます。SDO ライン上の SPI 出力データは、SCLK の立ち下がりエッジで変化します。

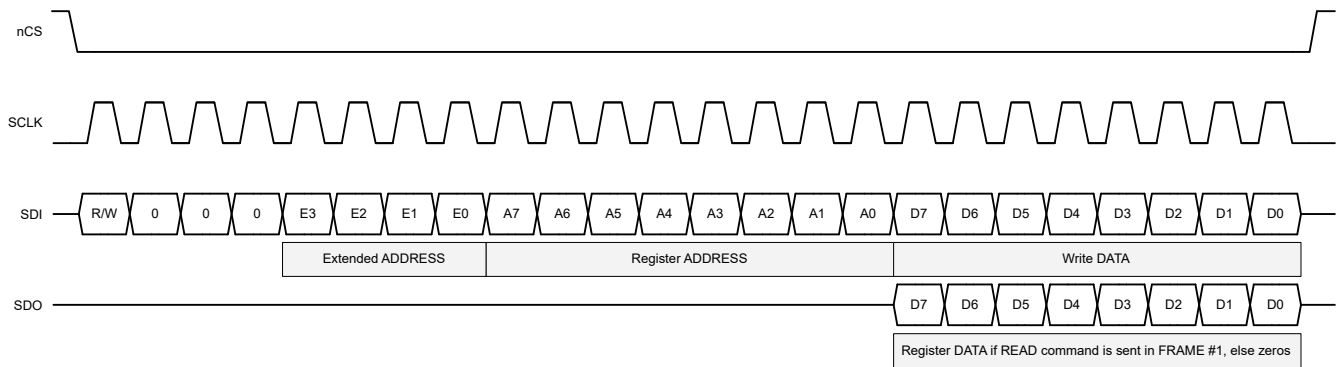


図 7-59. TPLD SPI のフレームとフォーマット

各 SPI トランザクションは、1 ビットのコマンド、7 ビットの拡張アドレス、8 ビットのターゲット レジスタ アドレス、および 8 ビットのデータ フィールドで構成されます。SDO ライン上でシフト アウトされたデータには、READ コマンドで設定されたアドレスに保存されたデータが含まれています。WRITE コマンド中にシフトアウトされるデータ バイトは、新しいデータが書き込まれる前のレジスタの内容です。

TPLD2001 の書き込みまたは読み出しを行う際、アドレス 0x0FD のビット 0 に論理 0 を書き込むことで、自動アドレスのインクリメントを有効化するオプションがあります。これは、ロジック 1 を書き込むことで無効にできます。

### 7.3.16.3 仮想 I/O

TPLD 内では、このマクロセルには 8 つの入力と 8 つの出力があり、最大 8 つのデジタル マクロセル出力を読み取ることができ、デバイス内で使用できる最大 8 つの仮想入力を提供します。

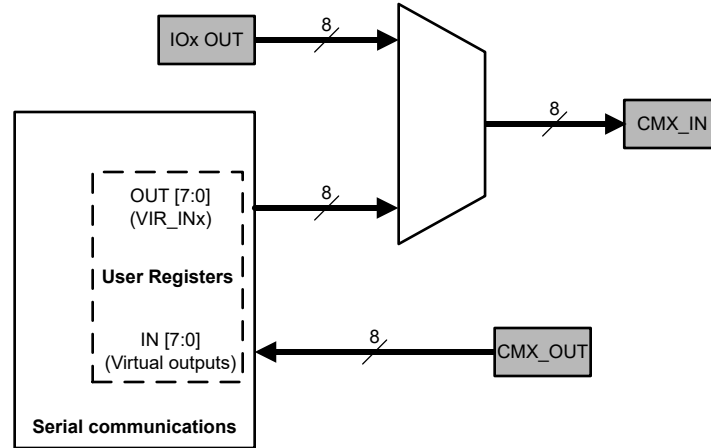


図 7-60. シリアル線通信のブロック図

このマクロセルの出力は、デバイスへの仮想入力として機能します。接続マルチプレクサへの信号の配線は、物理的なデジタル入力ピンと共有されるため、仮想入力を使用すると、デジタル入力ピンのリソースは使用できなくなり、接続 Mux 入力は仮想入力レジスタから供給されます。表 7-35 に、デジタル入力ピンと仮想入力間の共有リソースを示します。

表 7-35. 共有リソースのデジタル IO と仮想

仮想入力	VIR_IN0	VIR_IN1	VIR_IN2	VIR_IN3	VIR_IN4	VIR_IN5	VIR_IN6	VIR_IN7
デジタル入力ピン	IO1	IO2	IO3	IO4	IO5	IO6	IO7	IO8

仮想入力と仮想出力を使用して、TPLD を 8 ビットのシリアルからパラレルへの GPIO 拡張として、またはパラレルからシリアルへのバッファとしてに構成できます。

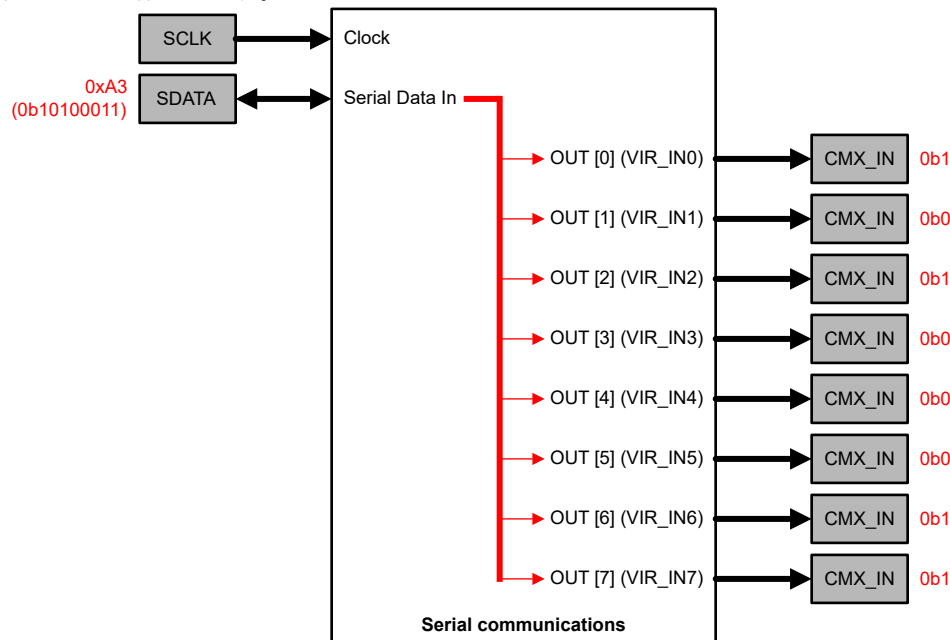


図 7-61. シリアル パラレル I/O エクスパンダーのシリアル通信ブロック図

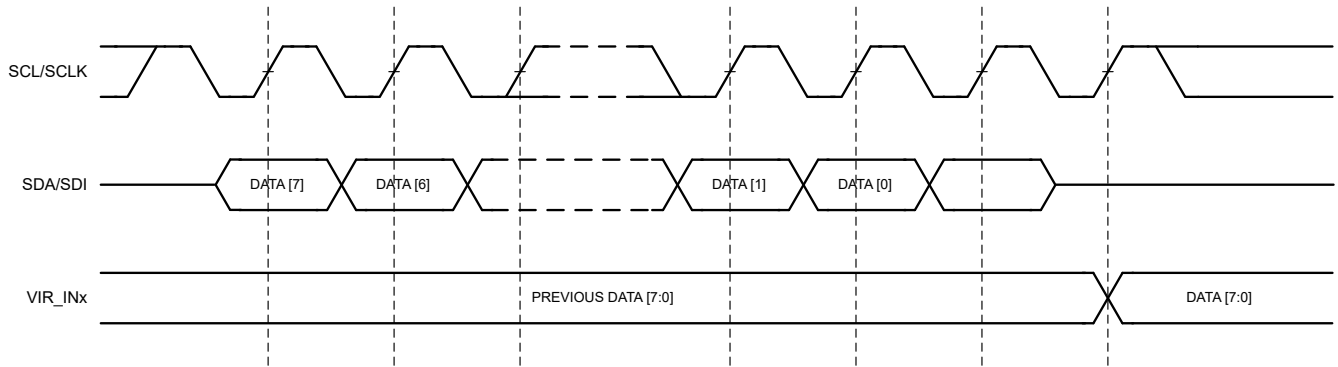


図 7-62. シリアル パラレル I/O エクスパンダのタイミング例におけるシリアル通信

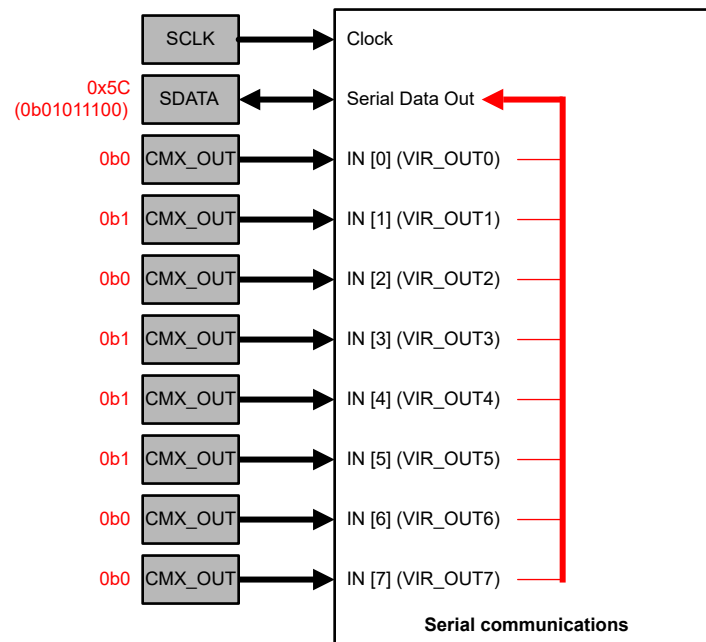


図 7-63. パラレル シリアルブロック図のシリアル通信

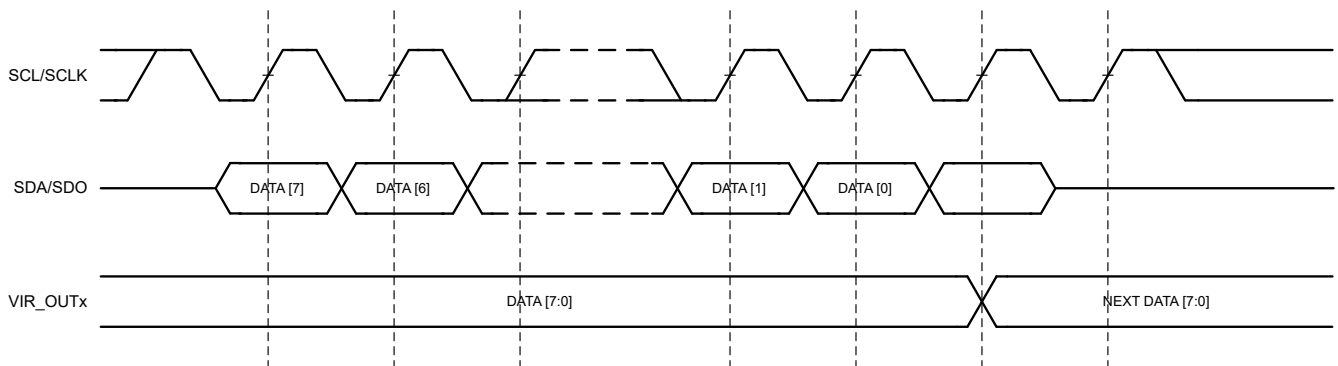


図 7-64. パラレル シリアル タイミング例のシリアル通信

ADVANCE INFORMATION

## 7.4 デバイスの機能モード

### 7.4.1 パワーオンリセット

TPLD2001 にはパワーオンリセット (POR) マクロセルがあり、デバイスを正しく初期化し、デバイス内のすべてのマクロセルが確実に動作するようにします。POR 回路の目的は、 $V_{CC}$  電源がデバイスで最初に上昇するとき、およびパワーダウンで  $V_{CC}$  が下降するときに、一貫性のある動作と予測可能な結果を得ることです。この目標を達成するために、POR は定義された一連の内部イベントを駆動して、デバイス内のさまざまなマクロセルの状態を変化させ、最終的には I/O ピンの状態を変化させます。

パワーオンリセット (POR) マクロセルは、デバイスの電源 ( $V_{CC}$ ) が  $V_{PORR}$  付近まで上昇し、デバイスが完全に起動すると、出力としてロジック High 信号を生成します。すべての出力が高インピーダンス状態になり、チップは OTP からデータのロードを開始します。内部マクロセルに対するリセット信号が解除され、すべてのレジスタがデフォルト状態に初期化されます。図 7-65 に、POR システムが、あるマクロセルをイネーブルする一連の信号を生成する様子を示します。

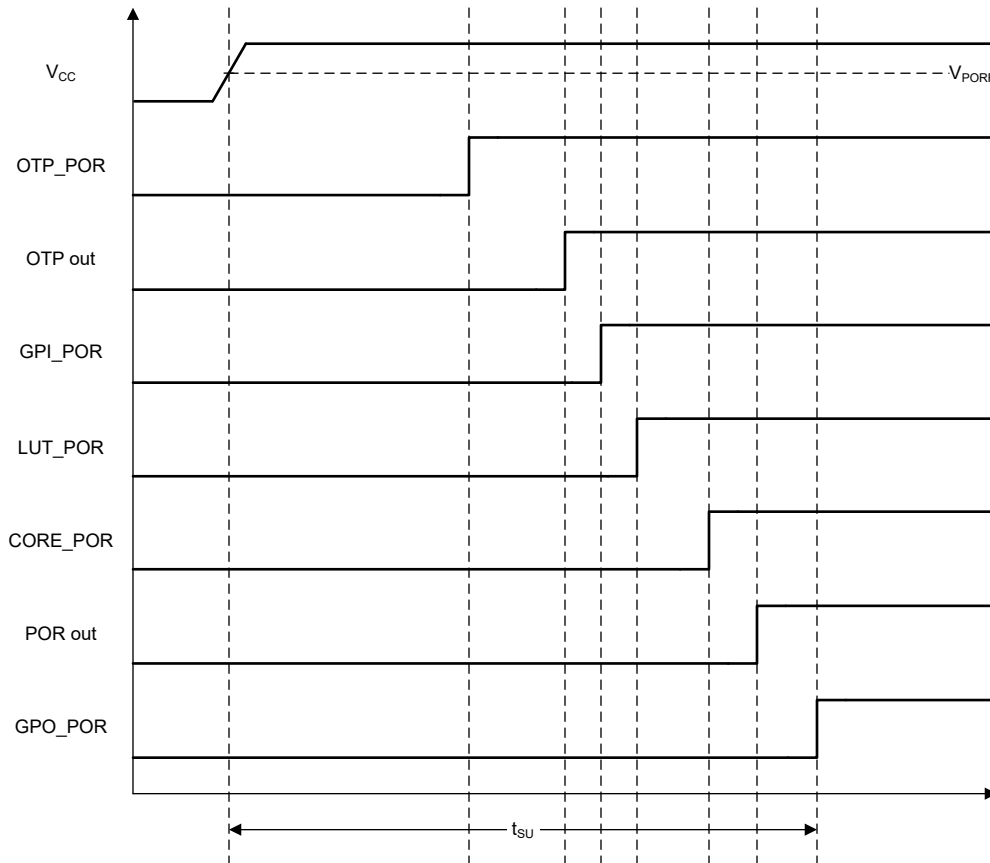


図 7-65. POR シーケンス

図 7-65 からわかるように、 $V_{CC}$  が上昇を開始し、 $V_{PORR}$  スレッシュホールドを上回った後、以下の動作を実行します。

- まず、オンチップ OTP メモリがリセットされます。
- 次に、チップ (TPLD2001) が OTP からデータを読み取り、この情報を各マクロセルを構成するための RAM (レジスタ) と、マクロセル間の信号をルーティングする接続マルチプレクサに転送します。
- 3 番目の段階では、入力ピン (入力として構成された GPIO) をリセットしてから、それらをイネーブルにします。
- その後、LUT がリセットされ、アクティブになります。LUT の後、遅延セル、RC OSC、DFF、ラッチ、およびパイプ遅延が初期化されます。
- すべてのマクロセルが初期化されると、内部 POR 信号 (POR マクロセル出力) が Low から High になります。
- このデバイスで最後に初期化される部分は、出力ピンであり、この時点で高インピーダンスからアクティブに遷移します。

遅延ブロックは、起動シーケンス中、構成に従って信号を遅延させることなく、入力を通過させます。したがって、DLY の入力の前に追加された LUT において DLY 入力と POR との AND をとることにより、チップの電源が完全にオンになるまで入力信号が提示されないことが保証され、遅延が強制されます。

**初期化:** デフォルトでは、すべての内部マクロセルは初期状態で Low レベルになっています。V<sub>CC</sub> > V<sub>PORR</sub> となった時点から、TPLD2001 のマクロセルに電源が投入され、強制的にリセット状態になります。すべての出力は Hi-Z で、チップが OTP からのデータのロードを開始します。その後、内部マクロセルに対してリセット信号が解除されて、以下の順序で内部マクロセルの初期化が開始されます。

- 入力ピン、アナログ コンパレータ、プルアップ / プルダウン抵抗
- LUT
- DFF、遅延 / カウンタ、パイプ遅延
- マトリクスへの POR 出力
- 内部ロジックに対応した出力ピン

POR 信号が High になると、前述の電源オン シーケンスが完了したことを示します。

### 7.4.2 電源制御モード

TPLD2001 では、バンドギャップ電圧およびプリバイアス電圧の電力モードを制御するオプションがあります。これらのビットを 00 (自動電源オン/オフ) に維持することを推奨しますが、アナログ マクロセル (発振器、アナログ コンパレータなど) を使用しない場合は、これらの設定を使用してバンドギャップおよびプリバイアス電圧を電源オフにし、デバイスの消費電力をさらに減らすことができます。

**表 7-36. 電力制御モード**

制御コード	ビットの詳細
00	車載
01	外部クロックを使用する DFF およびカウンタは除外します
10	常時オン
11	常にオフ

### 7.4.3 保護機能

TPLD2001 は、デバイス構成ビットの読み取り / 書き込み保護や、内部 OTP の CRC エラー検出などの保護機能を備えています。

#### 7.4.3.1 デバイス読み取り/書き込みロック

TPLD2001 にはロック機能が実装されており、セキュア アプリケーションのためのデバイス リードバック保護を可能にするとともに、TPLD2001 レジスタへの偶発的または意図しない書き込みを防止します。OTP には次の 3 つのビットがあり、ユーザーはシリアル通信インターフェイス経由で読み書きのルールを定義できます。

- **構成レジスタ (CFG) 読み取りロック:** CFG 読み取りロックがセットされている場合、シリアル通信インターフェイス経由の構成レジスタのすべての読み取りコマンドをブロックし、0 で応答します。
- **ユーザー レジスタ (USER) ロック:** USER ロックは 2 ビットで構成され、ビット設定に応じて、特定のレジスタ アドレスへのシリアル通信インターフェイスを介してユーザー レジスタ空間への書き込みコマンドがブロックされ、要求された変更はすべて拒否されます (構成レジスタは変更されません)。

レジスタとアクセス タイプ	ロック ビット				
CFG RD ロック = 0b0	CFG RD ロック = 0b0	CFG RD ロック = 0b0	CFG RD ロック = 0b0	CFG RD ロック = 0b0	CFG RD ロック = 0b1
ユーザー ロック = 0b00	ユーザー ロック = 0b01	ユーザー ロック = 0b10	ユーザー ロック = 0b11	ユーザー ロック = 0b11	ユーザー ロック = 0bXX



レジスタとアクセス タイプ	ロック ビット				
デバイス ID (0x000 - 0x003)	R	R	R	R	R
ID のプログラミング (0x004 - 0x007)	R	R	R	R	R
カウンター COUNT (0x010 - 0x01F)	R	R	R	R	—
カウンター DATA (0x020 - 0x02F)	R/W	R/W	R	R	—
ウォッチドッグ タイマのデータ (0x030 - 0x031)	R/W	R/W	R	R	—
ウォッチドッグ タイマ ステータス (0x032)	R	R	R	R	R
パターン ジェネレータ (0x040 - 0x041)	R/W	R/W	R	R	—
ステート マシン (0x050 - 0x05F)	R/W	R	R/W	R	—
アナログ コンパレータ用の電圧リ ファレンスの選択 (0x070 - 0x07F)	R/W	R	R	R/W	—
仮想入力 (0x0E0)	R/W	R/W	R/W	R/W	R/W
仮想出力 (0x0E1)	R	R	R	R	R
CRC のステータス (0x0FE)	R	R	R	R	R
構成レジスタ (0x200 - 0x3FF)	R	R	R	R	—

シリアル通信インターフェイス経由のデバイスに対する書き込みコマンドで、保護ビットに基づいてブロックされていない場合には、OTP ビットをミラーリングする構成レジスタの内容が変更されます。これらの書き込みコマンドによって OTP ビット自体は変更されません。POR イベントがあると、このレジスタビットは OTP の元のプログラムされた内容に復元されます。

#### 7.4.3.2 OTP 巡回冗長検査 (CRC)

巡回冗長検査 (CRC) は、OTP 領域のエラー チェックを実行し、このメモリのデータ整合性を確保するための一般的な方法です。OTP は、TPLD2001 のマクロセルと接続マルチプレクサの配線を構成するために使用されます。OTP はワンタイム プログラマブルであり、デバイス構成データを保持します。OTP メモリは、デバイスの電源投入時に読み込まれ、TPLD2001 接続マルチプレクサに転送されます。

保存された構成を OTP からデバイスのレジスタにロードする前に、OTP メモリのビット整合性を確保するために、安全対策として、TPLD2001 は OTP に巡回冗長検査 (CRC) 機能を実装しており、OTP に保存されたデータが破損していないことを確認します。起動時に、OTP は内部的に読み取られ、CRC が有効であることを確認します。CRC が有効でない場合、このプロセスは、さらに合計 7 回実行されます。8 回目の試行でもまだ有効でない場合、デバイスは OTP からの内容のロードを続行しますが、以下に示すステータス ビットを設定します。

### CRC\_ERR\_CNT ビット :

レジスタ 0x0FEh[7:5] の CRC\_ERR\_CNT ビットは、OTP の内容をデバイスの構成にロードするまでの CRC 試行失敗回数を示します。このステータス ビットを 0 にリセットするには、ソフトウェア リセット コマンドを発行するか、TPLD2001 の電源を入れ直します。

### CRC\_ERR\_FLAG ビット :

レジスタ 0x0FEh[0] の CRC\_ERR\_FLAG ビットは、OTP の内容をデバイス構成へロードする際に、CRC 計算の失敗が 8 回以上あったことを示しています。このステータス ビットを 0 にリセットするには、ソフトウェア リセット コマンドを発行するか、TPLD2001 の電源を入れ直します。

#### 7.4.4 プログラミング

TPLD2001 は、I<sup>2</sup>C または SPI インターフェースを通じてプログラムされます。

TPLD2001 デバイスのプログラムされた事例では、ユーザーが行った構成の選択は OTP 内のビット設定として保存され、この情報が、起動時に接続マルチプレクサ レジスタへ転送されます。接続マルチプレクサ レジスタを使うと、マクロセルの構成と、接続マルチプレクサ内の接続を設定するための構成が可能であり、ユーザー アプリケーションに最適な方法で信号を転送できます。

##### 7.4.4.1 選択可能な I<sup>2</sup>C/SPI インターフェイス

プログラムされていない TPLD2001 デバイスでは、インターフェイス選択ピン (IO1) がデバイスの電源投入時にサンプリングされ、t<sub>SU</sub> (最大) 経過後に TPLD がどのインターフェイスで起動するかが決定されます。

このピンが GND (ロジック Low) に接続されているか、またはフローティングの場合、TPLD2001 は I<sup>2</sup>C インターフェイスで構成されます。このとき、ターゲット アドレスの上位 4 ビットは対応する HW Addr IO によって決定され、下位 3 ビットはデフォルトで 001b または ADDR = [A6][A5][A4][A3][0][0][1] となります。

このピンを VCC (ロジック High) に接続すると TPLD2001 は SPI インターフェイスで構成されます。

プログラムされたデバイス (OTP が書き込み済みのデバイス) では、OTP メモリに保存されている選択によって、この設定が上書きされます。

I2C_EN	SPI_EN	インターフェイス有効
0	0	デバイスがプログラムされていない (ブランク)
0	1	SPI
1	0	I <sup>2</sup> C
1	1	I <sup>2</sup> C と SPI のどちらでもなく、ピンは GPIO

##### 7.4.4.2 ワンタイム プログラマブル メモリ (OTP)

TPLD2001 はワンタイム プログラマブル (OTP) メモリを搭載しています。これらのメモリ ビットは、電源がない状態でも設定値を保持し、TPLD デバイスの構成に使用されます。また、最大で 1 回のみ書き込みが可能です。TPLD2001 のすべての構成レジスタのデフォルト値は、POR イベントが発行された後、OTP から読み込まれます。

##### 構成レジスタを一時的に設定する手順:

1. 目的のシリアル通信プロトコルでデバイスを起動した後、レジスタ 0x000 および 0x001 から DEVICE\_ID を読み取り、デバイスとの通信が確立されていることを確認します
2. その後:
  - a. SPI の場合、フレーム間で、少なくとも 200μs を持つ次の 4 フレームを送信します: 0x9000B9、0x90003E、0x9000AF、0x900058

- b. I<sup>2</sup>C の場合、4 つの書き込みトランザクションにおいて、トランザクション間に少なくとも 500μs を指定して以下を送信します:
  - i. トランザクション 1: BYTE0 = ADDR、BYTE1 = 0x01、BYTE2 = 0xB9
  - ii. トランザクション 2: BYTE0 = ADDR、BYTE1 = 0x01、BYTE2 = 0x3E
  - iii. トランザクション 3: BYTE0 = ADDR、BYTE1 = 0x01、BYTE2 = 0xAF
  - iv. トランザクション 4: BYTE0 = ADDR、BYTE1 = 0x01、BYTE2 = 0x58
3. 最後のフレームが送信された後、1ms 待ちます。
4. レジスタ 0x400 から 0x10 を読み取ることで、設定モードに正しく入っていることを確認します。
5. レジスタ 0x400 に 0x02 を書き込みます。
6. 構成ビットを 0x200~0x3FF に送信します。
7. オプションとして、構成ビットを送信した後、読み出しコマンドを使用して、デバイスに書き込まれた正しいデータを確認できます。
8. その後:
  - a. SPI の場合、以下のフレームを送信します: 0x90004B
  - b. I<sup>2</sup>C の場合、次の書き込みトランザクションを送信します: BYTE0 = ADDR、BYTE1 = 01、BYTE2 = 0x4B
9. 最後に、構成を有効にするには、レジスタ 0x400 に 0x00 を書き込みます。
10. デバイスが一時的に設定されました。

#### 注

I<sup>2</sup>C マクロセルが有効になって TPLD を一時的に設定すると、ターゲット アドレスの最初の 4 ビットは 0000b に設定され、次の 3 ビットは構成ビット、または ADDR = [0][0][0][0][A2][A1][A0] から供給されます。ターゲット アドレスの最初の 4 ビット、または MSB を変更するには、OTP 書き込みが必要です。

一時的な構成を変更するには、デバイスの電源を入れ直し、手順を繰り返して構成レジスタを一時的に設定することをお勧めします。

I<sup>2</sup>C マクロセルが有効化された状態でデバイスがすでに一時的に設定されている場合、I2C\_ADDR レジスタ (SER\_COMM\_CFG1) に書き込みは即座に有効になります。したがって、それ以降の I<sup>2</sup>C トランザクションは、更新されたターゲット アドレスに対処する必要があります。

#### OTP の書き込み手順:

1. デバイスが一時的に構成されている場合は、処理を続行する前に電源を再投入して構成レジスタをクリアします。
2. 構成レジスタを一時的に設定するには、手順のステップ 1~7 に従います。
3. GPI ピンに VPP を印加します。
4. OTP のプログラミングを開始するには、レジスタ 0x401 に 0x01 を書き込みます。
5. プログラミングが完了するまで 50ms 待ちます。
6. GPI ピンから VPP を削除。
7. これで、デバイス OTP が書き込まれました。

#### 7.4.4.3 Intel HEX ファイル形式

InterConnect Studio は、構成ビットを Intel HEX 形式で生成します。.hex ファイルを解析することで、TPLD デバイスを構成するためのデータストリームを抽出できます。Intel HEX レコード、またはテキスト行の構造を以下に示します。

表 7-37. レコード構造の例

:	10	0200	00	000102030405060708090A0B0C0D0E0F	76
---	----	------	----	----------------------------------	----

表 7-37. レコード構造の例 (続き)

開始コード	バイト数	アドレス	レコードタイプ	データ	チェックサム
-------	------	------	---------	-----	--------

- **開始コード:** 1 文字、ASCII コロン (:)。
- **バイト数:** データフィールドのバイト数を示す 2 桁の 16 進数。
- **アドレス:** 最初のデータ バイトの開始アドレス オフセットを表す 4 桁の 16 進数。
- **レコードタイプ:** データフィールドの意味を定義する 2 桁の 16 進数。Intel HEX 形式には 6 つの標準レコードタイプがありますが、.hex ファイルの生成で使用されるのはそのうちの 2 つだけです。
  - **16 進コード 00:** これはデータレコードタイプを示しています。上記のレコード構造の例では、バイト数は 0x10 (16 バイト)、開始アドレスは 0x0200、データは 0x00、0x01、0x02、0x03、0x04、0x05、0x06、0x07、0x08、0x09、0x0A、0x0B、0x0C、0x0D、0x0E、0x0F となります。
  - **16 進コード 01:** ファイル終了のレコードタイプを示します。バイト数は 0x00、アドレスは通常 0x0000 で、データフィールドは省略されます。
- **データ:** バイト数で指定されたバイト数分のデータ列を含みます。
- **チェックサム:** チェックサムは、それ以前のすべてのバイトを加算し、その合計の下位 1 バイトに対して 2 の補数を取ることで算出された 2 桁の 16 進数です。この値を使用して、レコードにエラーがないことを確認できます。

#### 7.4.4.4 TPLD2001 レジスタ

以下のセクションでは、TPLD2001 でアクセス可能なレジスタについて説明します。

#### 注

デバイスからの読み出しおよびデバイスへの書き込みは、非同期である可能性があるため、カウンタに使用されるクロックの速度およびシリアル通信インターフェイスの速度に応じて、読み出しが発生するまでに、現在のカウンタ データが変化する可能性があります。

#### 7.4.4.4.1 TPLD2001\_User のレジスタ

TPLD2001\_User レジスタのメモリマップされたレジスタを、表 7-38 に示します。表 7-38 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-38. TPLD2001\_USER のレジスタ

オフセット	略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
0h	DEVICE_ID0					DEVICE_ID_MSB			
1h	DEVICE_ID1					DEVICE_ID_LSB			
2h	DEVICE_ID2					DEVICE_ID_RSVD			
3h	DEVICE_ID3					DEVICE_ID_REV			
4h	DEVICE_ID4					DEVICE_ID4			
5h	DEVICE_ID5					DEVICE_ID5			
6h	DEVICE_ID6					DEVICE_ID6			
7h	DEVICE_ID7					DEVICE_ID7			
10h	CNT0_COUNT					CNT0_COUNT			
11h	CNT1_COUNT					CNT1_COUNT			
12h	CNT2_COUNT					CNT2_COUNT			
13h	CNT3_COUNT					CNT3_COUNT			
14h	CNT4_COUNT_LSB					CNT4_COUNT_LSB			
15h	CNT4_COUNT_MSB					CNT4_COUNT_MSB			
16h	CNT5_COUNT_LSB					CNT5_COUNT_LSB			
17h	CNT5_COUNT_MSB					CNT5_COUNT_MSB			
18h	CNT6_COUNT					CNT6_COUNT			
19h	CNT7_COUNT					CNT7_COUNT			
1Ah	CNT8_COUNT					CNT8_COUNT			
1Bh	CNT9_COUNT					CNT9_COUNT			
20h	CNT0_DATA					CNT0_DATA			
21h	CNT1_DATA					CNT1_DATA			
22h	CNT2_DATA					CNT2_DATA			
23h	CNT3_DATA					CNT3_DATA			
24h	CNT4_DATA_LSB					CNT4_DATA_LSB			
25h	CNT4_DATA_MSB					CNT4_DATA_MSB			
26h	CNT5_DATA_LSB					CNT5_DATA_LSB			
27h	CNT5_DATA_MSB					CNT5_DATA_MSB			
28h	CNT6_DATA					CNT6_DATA			
29h	CNT7_DATA					CNT7_DATA			
2Ah	CNT8_DATA					CNT8_DATA			
2Bh	CNT9_DATA					CNT9_DATA			
30h	WDT_TIMEOUT_DATA					WATCHDOG_TIMEOUT_DATA			
31h	WDT_OUTPUT_DATA					WATCHDOG_OUTPUT_DATA			
32h	WDT_STATUS					予約済み			WDT_STATUS
40h	PGEN_DATA_LSB					PGEN_DATA_LSB			
41h	PGEN_DATA_MSB					PGEN_DATA_MSB			
50h	STATE_MACHINE					予約済み			CURRENT_STATE
51h	STATE0_OUT					STATE0_OUT			
52h	STATE1_OUT					STATE1_OUT			
53h	STATE2_OUT					STATE2_OUT			
54h	STATE3_OUT					STATE3_OUT			
55h	STATE4_OUT					STATE4_OUT			
56h	STATE5_OUT					STATE5_OUT			
57h	STATE6_OUT					STATE6_OUT			
58h	STATE7_OUT					STATE7_OUT			
70h	VREF_ACMP0		予約済み			VREF_ACMP0			
71h	VREF_ACMP1		予約済み			VREF_ACMP1			
72h	VREF_ACMP2		予約済み			VREF_ACMP2			
73h	VREF_ACMP3		予約済み			VREF_ACMP3			

表 7-38. TPLD2001\_USER のレジスタ (続き)

オフセット	略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
74h	VREF_McACMP0_0	予約済み			VREF_McACMP0_0				
75h	VREF_McACMP0_1	予約済み			VREF_McACMP0_1				
76h	VREF_McACMP1_0	予約済み			VREF_McACMP1_0				
77h	VREF_McACMP1_1	予約済み			VREF_McACMP1_1				
78h	VREF_McACMP2_0	予約済み			VREF_McACMP2_0				
79h	VREF_McACMP2_1	予約済み			VREF_McACMP2_1				
7Ah	VREF_McACMP3_0	予約済み			VREF_McACMP3_0				
7Bh	VREF_McACMP3_1	予約済み			VREF_McACMP3_1				
E0h	VIRTUAL_INPUT	VIRTUAL_IN							
E1h	VIRTUAL_OUTPUT	VIRTUAL_OUT							
FDh	SER_COMM_CFG	予約済み						ADDR_INC	
FEh	CRC_STATUS	ERR_CNT			予約済み				ERR_FLAG
FFh	SER_COMM_WR_MASK	SER_COMM_WR_MASK							

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-39 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-39. TPLD2001\_User のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

#### 7.4.4.4.1.1 DEVICE\_ID0 レジスタ (オフセット = 0h) [リセット = 20h]

DEVICE\_ID0 を表 7-40 に示します。

概略表に戻ります。

表 7-40. DEVICE\_ID0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	DEVICE_ID_MSB	R	20h	

#### 7.4.4.4.1.2 DEVICE\_ID1 レジスタ (オフセット = 1h) [リセット = 01h]

DEVICE\_ID1 を表 7-41 に示します。

概略表に戻ります。

表 7-41. DEVICE\_ID1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	DEVICE_ID_LSB	R	1h	

#### 7.4.4.4.1.3 DEVICE\_ID2 レジスタ (オフセット = 2h) [リセット = 00h]

DEVICE\_ID2 を表 7-42 に示します。

概略表に戻ります。

**表 7-42. DEVICE\_ID2 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	DEVICE_ID_RSVD	R	0h	

#### 7.4.4.4.1.4 DEVICE\_ID3 レジスタ (オフセット = 3h) [リセット = 00h]

DEVICE\_ID3 を表 7-43 に示します。

[概略表](#)に戻ります。

**表 7-43. DEVICE\_ID3 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	DEVICE_ID_REV	R	0h	

#### 7.4.4.4.1.5 DEVICE\_ID4 レジスタ (オフセット = 4h) [リセット = X0h]

DEVICE\_ID4 を表 7-44 に示します。

[概略表](#)に戻ります。

**表 7-44. DEVICE\_ID4 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	DEVICE_ID4	R	Xh	

#### 7.4.4.4.1.6 DEVICE\_ID5 レジスタ (オフセット = 5h) [リセット = X0h]

DEVICE\_ID5 を表 7-45 に示します。

[概略表](#)に戻ります。

**表 7-45. DEVICE\_ID5 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	DEVICE_ID5	R	Xh	

#### 7.4.4.4.1.7 DEVICE\_ID6 レジスタ (オフセット = 6h) [リセット = X0h]

DEVICE\_ID6 を表 7-46 に示します。

[概略表](#)に戻ります。

**表 7-46. DEVICE\_ID6 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	DEVICE_ID6	R	Xh	

#### 7.4.4.4.1.8 DEVICE\_ID7 レジスタ (オフセット = 7h) [リセット = X0h]

DEVICE\_ID7 を表 7-47 に示します。

[概略表](#)に戻ります。

**表 7-47. DEVICE\_ID7 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	DEVICE_ID7	R	Xh	

#### 7.4.4.4.1.9 CNT0\_COUNT レジスタ (オフセット = 10h) [リセット = X0h]

CNT0\_COUNT を表 7-48 に示します。

[概略表](#)に戻ります。

**表 7-48. CNT0\_COUNT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT0_COUNT	R	Xh	

#### 7.4.4.4.1.10 CNT1\_COUNT レジスタ (オフセット = 11h) [リセット = X0h]

CNT1\_COUNT を表 7-49 に示します。

[概略表](#)に戻ります。

**表 7-49. CNT1\_COUNT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT1_COUNT	R	Xh	

#### 7.4.4.4.1.11 CNT2\_COUNT レジスタ (オフセット = 12h) [リセット = X0h]

CNT2\_COUNT を表 7-50 に示します。

[概略表](#)に戻ります。

**表 7-50. CNT2\_COUNT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT2_COUNT	R	Xh	

#### 7.4.4.4.1.12 CNT3\_COUNT レジスタ (オフセット = 13h) [リセット = X0h]

CNT3\_COUNT を表 7-51 に示します。

[概略表](#)に戻ります。

**表 7-51. CNT3\_COUNT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT3_COUNT	R	Xh	

#### 7.4.4.4.1.13 CNT4\_COUNT\_LSB レジスタ (オフセット = 14h) [リセット = X0h]

CNT4\_COUNT\_LSB を表 7-52 に示します。

[概略表](#)に戻ります。

**表 7-52. CNT4\_COUNT\_LSB レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT4_COUNT_LSB	R	Xh	

#### 7.4.4.4.1.14 CNT4\_COUNT\_MSB レジスタ (オフセット = 15h) [リセット = X0h]

CNT4\_COUNT\_MSB を表 7-53 に示します。

[概略表](#)に戻ります。



**表 7-53. CNT4\_COUNT\_MSB レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT4_COUNT_MSB	R	Xh	

#### 7.4.4.4.1.15 CNT5\_COUNT\_LSB レジスタ (オフセット = 16h) [リセット = X0h]

CNT5\_COUNT\_LSB を表 7-54 に示します。

[概略表](#)に戻ります。

**表 7-54. CNT5\_COUNT\_LSB レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT5_COUNT_LSB	R	Xh	

#### 7.4.4.4.1.16 CNT5\_COUNT\_MSB レジスタ (オフセット = 17h) [リセット = X0h]

CNT5\_COUNT\_MSB を表 7-55 に示します。

[概略表](#)に戻ります。

**表 7-55. CNT5\_COUNT\_MSB レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT5_COUNT_MSB	R	Xh	

#### 7.4.4.4.1.17 CNT6\_COUNT レジスタ (オフセット = 18h) [リセット = X0h]

CNT6\_COUNT を表 7-56 に示します。

[概略表](#)に戻ります。

**表 7-56. CNT6\_COUNT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT6_COUNT	R	Xh	

#### 7.4.4.4.1.18 CNT7\_COUNT レジスタ (オフセット = 19h) [リセット = X0h]

CNT7\_COUNT を表 7-57 に示します。

[概略表](#)に戻ります。

**表 7-57. CNT7\_COUNT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT7_COUNT	R	Xh	

#### 7.4.4.4.1.19 CNT8\_COUNT レジスタ (オフセット = 1Ah) [リセット = X0h]

CNT8\_COUNT を表 7-58 に示します。

[概略表](#)に戻ります。

**表 7-58. CNT8\_COUNT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT8_COUNT	R	Xh	

#### 7.4.4.4.1.20 CNT9\_COUNT レジスタ (オフセット = 1Bh) [リセット = X0h]

CNT9\_COUNT を表 7-59 に示します。

[概略表](#)に戻ります。

**表 7-59. CNT9\_COUNT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT9_COUNT	R	Xh	

#### 7.4.4.4.1.21 CNT0\_DATA レジスタ (オフセット = 20h) [リセット = X0h]

CNT0\_DATA を表 7-60 に示します。

[概略表](#)に戻ります。

**表 7-60. CNT0\_DATA レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT0_DATA	R/W	Xh	

#### 7.4.4.4.1.22 CNT1\_DATA レジスタ (オフセット = 21h) [リセット = X0h]

CNT1\_DATA を表 7-61 に示します。

[概略表](#)に戻ります。

**表 7-61. CNT1\_DATA レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT1_DATA	R/W	Xh	

#### 7.4.4.4.1.23 CNT2\_DATA レジスタ (オフセット = 22h) [リセット = X0h]

CNT2\_DATA を表 7-62 に示します。

[概略表](#)に戻ります。

**表 7-62. CNT2\_DATA レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT2_DATA	R/W	Xh	

#### 7.4.4.4.1.24 CNT3\_DATA レジスタ (オフセット = 23h) [リセット = X0h]

CNT3\_DATA を表 7-63 に示します。

[概略表](#)に戻ります。

**表 7-63. CNT3\_DATA レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT3_DATA	R/W	Xh	

#### 7.4.4.4.1.25 CNT4\_DATA\_LSB レジスタ (オフセット = 24h) [リセット = X0h]

CNT4\_DATA\_LSB を表 7-64 に示します。

[概略表](#)に戻ります。

**表 7-64. CNT4\_DATA\_LSB レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT4_DATA_LSB	R/W	Xh	

#### 7.4.4.4.1.26 CNT4\_DATA\_MSB レジスタ (オフセット = 25h) [リセット = X0h]

CNT4\_DATA\_MSB を表 7-65 に示します。

[概略表](#)に戻ります。

**表 7-65. CNT4\_DATA\_MSB レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT4_DATA_MSB	R/W	Xh	

#### 7.4.4.4.1.27 CNT5\_DATA\_LSB レジスタ (オフセット = 26h) [リセット = X0h]

CNT5\_DATA\_LSB を表 7-66 に示します。

[概略表](#)に戻ります。

**表 7-66. CNT5\_DATA\_LSB レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT5_DATA_LSB	R/W	Xh	

#### 7.4.4.4.1.28 CNT5\_DATA\_MSB レジスタ (オフセット = 27h) [リセット = X0h]

CNT5\_DATA\_MSB を表 7-67 に示します。

[概略表](#)に戻ります。

**表 7-67. CNT5\_DATA\_MSB レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT5_DATA_MSB	R/W	Xh	

#### 7.4.4.4.1.29 CNT6\_DATA レジスタ (オフセット = 28h) [リセット = X0h]

CNT6\_DATA を表 7-68 に示します。

[概略表](#)に戻ります。

**表 7-68. CNT6\_DATA レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT6_DATA	R/W	Xh	

#### 7.4.4.4.1.30 CNT7\_DATA レジスタ (オフセット = 29h) [リセット = X0h]

CNT7\_DATA を表 7-69 に示します。

[概略表](#)に戻ります。

**表 7-69. CNT7\_DATA レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT7_DATA	R/W	Xh	

**7.4.4.4.1.31 CNT8\_DATA レジスタ (オフセット = 2Ah) [リセット = X0h]**

CNT8\_DATA を表 7-70 に示します。

概略表に戻ります。

**表 7-70. CNT8\_DATA レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT8_DATA	R/W	Xh	

**7.4.4.4.1.32 CNT9\_DATA レジスタ (オフセット = 2Bh) [リセット = X0h]**

CNT9\_DATA を表 7-71 に示します。

概略表に戻ります。

**表 7-71. CNT9\_DATA レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT9_DATA	R/W	Xh	

**7.4.4.4.1.33 WDT\_TIMEOUT\_DATA レジスタ (オフセット = 30h) [リセット = X0h]**

表 7-72 に、WDT\_TIMEOUT\_DATA を示します。

概略表に戻ります。

**表 7-72. WDT\_TIMEOUT\_DATA レジスタフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	WATCHDOG_TIMEOUT_DATA	R/W	Xh	

**7.4.4.4.1.34 WDT\_OUTPUT\_DATA レジスタ (オフセット = 31h) [リセット = X0h]**

表 7-73 に、WDT\_OUTPUT\_DATA を示します。

概略表に戻ります。

**表 7-73. WDT\_OUTPUT\_DATA レジスタフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	WATCHDOG_OUTPUT_DATA	R/W	Xh	

**7.4.4.4.1.35 WDT\_STATUS レジスタ (オフセット = 32h) [リセット = X0h]**

表 7-74 に、WDT\_STATUS を示します。

概略表に戻ります。

**表 7-74. WDT\_STATUS レジスタ フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R	0h	予約済み
0	WDT_STATUS	R/W	Xh	ウォッチドッグの故障/ タイムアウト出力

**7.4.4.4.1.36 PGEN\_DATA\_LSB レジスタ (オフセット = 40h) [リセット = X0h]**

表 7-75 に、PGEN\_DATA\_LSB を示します。

概略表に戻ります。

**表 7-75. PGEN\_DATA\_LSB レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	PGEN_DATA_LSB	R/W	Xh	

#### 7.4.4.4.1.37 PGEN\_DATA\_MSB レジスタ (オフセット = 41h) [リセット = X0h]

表 7-76 に、PGEN\_DATA\_MSB を示します。

概略表に戻ります。

**表 7-76. PGEN\_DATA\_MSB レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	PGEN_DATA_MSB	R/W	Xh	

#### 7.4.4.4.1.38 STATE\_MACHINE レジスタ (オフセット = 50h) [リセット = X0h]

表 7-77 に、STATE\_MACHINE を示します。

概略表に戻ります。

**表 7-77. STATE\_MACHINE レジスタ フィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:3	予約済み	R	0h	予約済み
2:0	CURRENT_STATE	R/W	Xh	

#### 7.4.4.4.1.39 STATE0\_OUT レジスタ (オフセット = 51h) [リセット = X0h]

STATE0\_OUT を表 7-78 に示します。

概略表に戻ります。

**表 7-78. STATE0\_OUT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	STATE0_OUT	R/W	Xh	

#### 7.4.4.4.1.40 STATE1\_OUT レジスタ (オフセット = 52h) [リセット = X0h]

STATE1\_OUT を表 7-79 に示します。

概略表に戻ります。

**表 7-79. STATE1\_OUT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	STATE1_OUT	R/W	Xh	

#### 7.4.4.4.1.41 STATE2\_OUT レジスタ (オフセット = 53h) [リセット = X0h]

STATE2\_OUT を表 7-80 に示します。

概略表に戻ります。

**表 7-80. STATE2\_OUT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	STATE2_OUT	R/W	Xh	

#### 7.4.4.4.1.42 STATE3\_OUT レジスタ (オフセット = 54h) [リセット = X0h]

STATE3\_OUT を表 7-81 に示します。

[概略表](#)に戻ります。

**表 7-81. STATE3\_OUT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	STATE3_OUT	R/W	Xh	

#### 7.4.4.4.1.43 STATE4\_OUT レジスタ (オフセット = 55h) [リセット = X0h]

STATE4\_OUT を表 7-82 に示します。

[概略表](#)に戻ります。

**表 7-82. STATE4\_OUT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	STATE4_OUT	R/W	Xh	

#### 7.4.4.4.1.44 STATE5\_OUT レジスタ (オフセット = 56h) [リセット = X0h]

STATE5\_OUT を表 7-83 に示します。

[概略表](#)に戻ります。

**表 7-83. STATE5\_OUT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	STATE5_OUT	R/W	Xh	

#### 7.4.4.4.1.45 STATE6\_OUT レジスタ (オフセット = 57h) [リセット = X0h]

STATE6\_OUT を表 7-84 に示します。

[概略表](#)に戻ります。

**表 7-84. STATE6\_OUT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	STATE6_OUT	R/W	Xh	

#### 7.4.4.4.1.46 STATE7\_OUT レジスタ (オフセット = 58h) [リセット = X0h]

STATE7\_OUT を表 7-85 に示します。

[概略表](#)に戻ります。

**表 7-85. STATE7\_OUT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	STATE7_OUT	R/W	Xh	

#### 7.4.4.4.1.47 VREF\_ACMP0 レジスタ (オフセット = 70h) [リセット = X0h]

VREF\_ACMP0 を表 7-86 に示します。

[概略表](#)に戻ります。

**表 7-86. VREF\_ACMP0 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_ACMP0	R/W	Xh	

#### 7.4.4.4.1.48 VREF\_ACMP1 レジスタ (オフセット = 71h) [リセット = X0h]

VREF\_ACMP1 を表 7-87 に示します。

[概略表](#)に戻ります。

**表 7-87. VREF\_ACMP1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_ACMP1	R/W	Xh	

#### 7.4.4.4.1.49 VREF\_ACMP2 レジスタ (オフセット = 72h) [リセット = X0h]

VREF\_ACMP2 を表 7-88 に示します。

[概略表](#)に戻ります。

**表 7-88. VREF\_ACMP2 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_ACMP2	R/W	Xh	

#### 7.4.4.4.1.50 VREF\_ACMP3 レジスタ (オフセット = 73h) [リセット = X0h]

VREF\_ACMP3 を表 7-89 に示します。

[概略表](#)に戻ります。

**表 7-89. VREF\_ACMP3 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_ACMP3	R/W	Xh	

#### 7.4.4.4.1.51 VREF\_McACMP0\_0 レジスタ (オフセット = 74h) [リセット = X0h]

VREF\_McACMP0\_0 を表 7-90 に示します。

[概略表](#)に戻ります。

**表 7-90. VREF\_McACMP0\_0 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_McACMP0_0	R/W	Xh	

#### 7.4.4.4.1.52 VREF\_McACMP0\_1 レジスタ (オフセット = 75h) [リセット = X0h]

VREF\_McACMP0\_1 を表 7-91 に示します。

[概略表](#)に戻ります。

**表 7-91. VREF\_McACMP0\_1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_McACMP0_1	R/W	Xh	

#### 7.4.4.4.1.53 VREF\_McACMP1\_0 レジスタ (オフセット = 76h) [リセット = X0h]

VREF\_McACMP1\_0 を表 7-92 に示します。

[概略表](#)に戻ります。

**表 7-92. VREF\_McACMP1\_0 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_McACMP1_0	R/W	Xh	

#### 7.4.4.4.1.54 VREF\_McACMP1\_1 レジスタ (オフセット = 77h) [リセット = X0h]

VREF\_McACMP1\_1 を表 7-93 に示します。

[概略表](#)に戻ります。

**表 7-93. VREF\_McACMP1\_1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_McACMP1_1	R/W	Xh	

#### 7.4.4.4.1.55 VREF\_McACMP2\_0 レジスタ (オフセット = 78h) [リセット = X0h]

VREF\_McACMP2\_0 を表 7-94 に示します。

[概略表](#)に戻ります。

**表 7-94. VREF\_McACMP2\_0 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_McACMP2_0	R/W	Xh	

#### 7.4.4.4.1.56 VREF\_McACMP2\_1 レジスタ (オフセット = 79h) [リセット = X0h]

VREF\_McACMP2\_1 を表 7-95 に示します。

[概略表](#)に戻ります。

**表 7-95. VREF\_McACMP2\_1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_McACMP2_1	R/W	Xh	

#### 7.4.4.4.1.57 VREF\_McACMP3\_0 レジスタ (オフセット = 7Ah) [リセット = X0h]

VREF\_McACMP3\_0 を表 7-96 に示します。

[概略表](#)に戻ります。



**表 7-96. VREF\_McACMP3\_0 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_McACMP3_0	R/W	Xh	

#### 7.4.4.4.1.58 VREF\_McACMP3\_1 レジスタ (オフセット = 7Bh) [リセット = X0h]

VREF\_McACMP3\_1 を表 7-97 に示します。

[概略表](#)に戻ります。

**表 7-97. VREF\_McACMP3\_1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_McACMP3_1	R/W	Xh	

#### 7.4.4.4.1.59 VIRTUAL\_INPUT レジスタ (オフセット = E0h) [リセット = X0h]

表 7-98 に、VIRTUAL\_INPUT を示します。

[概略表](#)に戻ります。

**表 7-98. VIRTUAL\_INPUT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	VIRTUAL_IN	R/W	Xh	

#### 7.4.4.4.1.60 VIRTUAL\_OUTPUT レジスタ (オフセット = E1h) [リセット = X0h]

表 7-99 に、VIRTUAL\_OUTPUT を示します。

[概略表](#)に戻ります。

**表 7-99. VIRTUAL\_OUTPUT レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	VIRTUAL_OUT	R/W	Xh	

#### 7.4.4.4.1.61 SER\_COMM\_CFG レジスタ (オフセット = FDh) [リセット = X0h]

表 7-100 に、SER\_COMM\_CFG を示します。

[概略表](#)に戻ります。

**表 7-100. SER\_COMM\_CFG レジスタフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R	0h	予約済み
0	ADDR_INC	R/W	Xh	アドレスの自動インクリメントを無効化 0h = イネーブル 1h = ディセーブル

#### 7.4.4.4.1.62 CRC\_STATUS レジスタ (オフセット = FEh) [リセット = X0h]

表 7-101 に、CRC\_STATUS を示します。

[概略表](#)に戻ります。

表 7-101. CRC\_STATUS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	ERR_CNT	R/W	0h	
4:1	予約済み	R	0h	予約済み
0	ERR_FLAG	R/W	Xh	

## 7.4.4.4.1.63 SER\_COMM\_WR\_MASK レジスタ (オフセット = FFh) [リセット = X0h]

表 7-102 に、SER\_COMM\_WR\_MASK を示します。

概略表に戻ります。

表 7-102. SER\_COMM\_WR\_MASK レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	SER_COMM_WR_MASK	R/W	Xh	

#### 7.4.4.4.2 TPLD2001\_Cfg\_0 のレジスタ

TPLD2001\_Cfg\_0 レジスタのメモリマップされたレジスタを、表 7-103 に示します。表 7-103 にないレジスタ オフセットアドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

**表 7-103. TPLD2001\_CFG\_0 のレジスタ**

オフセット	略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
200h	CMX_0	予約済み				IO1_DOUT_CMX			
201h	CMX_1	予約済み				IO1_OE_CMX			
202h	CMX_2	予約済み				IO2_DOUT_CMX			
203h	CMX_3	予約済み				IO2_OE_CMX			
204h	CMX_4	予約済み				IO3_DOUT_CMX			
205h	CMX_5	予約済み				IO3_OE_CMX			
206h	CMX_6	予約済み				IO4_DOUT_CMX			
207h	CMX_7	予約済み				IO5_DOUT_CMX			
208h	CMX_8	予約済み				IO6_DOUT_CMX			
209h	CMX_9	予約済み				IO7_DOUT_CMX			
20Ah	CMX_10	予約済み				IO8_DOUT_CMX			
20Bh	CMX_11	予約済み				IO9_DOUT_CMX			
20Ch	CMX_12	予約済み				IO10_DOUT_CMX			
20Dh	CMX_13	予約済み				IO10_OE_CMX			
20Eh	CMX_14	予約済み				IO11_DOUT_CMX			
20Fh	CMX_15	予約済み				IO11_OE_CMX			
210h	CMX_16	予約済み				IO12_DOUT_CMX			
211h	CMX_17	予約済み				IO12_OE_CMX			
212h	CMX_18	予約済み				IO13_DOUT_CMX			
213h	CMX_19	予約済み				IO13_OE_CMX			
214h	CMX_20	予約済み				IO14_DOUT_CMX			
215h	CMX_21	予約済み				IO15_DOUT_CMX			
216h	CMX_22	予約済み				IO15_OE_CMX			
217h	CMX_23	予約済み				IO16_DOUT_CMX			
218h	CMX_24	予約済み				IO16_OE_CMX			
219h	CMX_25	予約済み				IO17_DOUT_CMX			
21Ah	CMX_26	予約済み				IO17_OE_CMX			
21Bh	CMX_27	予約済み			LUT2_0_IN0_/DFF_CLK_IN_CMX				
21Ch	CMX_28	予約済み			LUT2_0_IN1_/DFF_D_IN_CMX				
21Dh	CMX_29	予約済み			LUT2_1_IN0_/DFF_CLK_IN_CMX				
21Eh	CMX_30	予約済み			LUT2_1_IN1_/DFF_D_IN_CMX				
21Fh	CMX_31	予約済み			LUT2_2_IN0_/DFF_CLK_IN_CMX				
220h	CMX_32	予約済み			LUT2_2_IN1_/DFF_D_IN_CMX				
221h	CMX_33	予約済み			LUT2_3_IN0_/PGEN_CLK_IN_CMX				
222h	CMX_34	予約済み			LUT2_3_IN1_/PGEN_RST_IN_CMX				
223h	CMX_35	予約済み			LUT3_0_IN0_/DFF_CLK_IN_CMX				
224h	CMX_36	予約済み			LUT3_0_IN1_/DFF_D_IN_CMX				
225h	CMX_37	予約済み			LUT3_0_IN2_/DFF_RST_IN_CMX				
226h	CMX_38	予約済み			LUT3_1_IN0_/DFF_CLK_IN_CMX				
227h	CMX_39	予約済み			LUT3_1_IN1_/DFF_D_IN_CMX				
228h	CMX_40	予約済み			LUT3_1_IN2_/DFF_RST_IN_CMX				
229h	CMX_41	予約済み			LUT3_2_IN0_/DFF/SR_CLK_IN_CMX				
22Ah	CMX_42	予約済み			LUT3_2_IN1_/DFF/SR_D_IN_CMX				
22Bh	CMX_43	予約済み			LUT3_2_IN2_/DFF/SR_RST_IN_CMX				
22Ch	CMX_44	予約済み			LUT3_3_IN0_/DFF/SR_CLK_IN_CMX				
22Dh	CMX_45	予約済み			LUT3_3_IN1_/DFF/SR_D_IN_CMX				
22Eh	CMX_46	予約済み			LUT3_3_IN2_/DFF/SR_RST_IN_CMX				
22Fh	CMX_47	予約済み			LUT3_4_IN0_/DFF/SR_CLK_IN_CMX				
230h	CMX_48	予約済み			LUT3_4_IN1_/DFF/SR_D_IN_CMX				
231h	CMX_49	予約済み			LUT3_4_IN2_/DFF/SR_RST_IN_CMX				

表 7-103. TPLD2001\_CFG\_0 のレジスタ (続き)

オフセット	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
232h	CMX_50	予約済み					LUT3_5_IN0/_DFF/SR_CLK_IN_CMX		
233h	CMX_51	予約済み					LUT3_5_IN1/_DFF/SR_D_IN_CMX		
234h	CMX_52	予約済み					LUT3_5_IN2/_DFF/SR_RST_IN_CMX		
235h	CMX_53	予約済み					LUT3_6_IN0/_DFF_CLK_IN_OR_LDC_IN0_CMX		
236h	CMX_54	予約済み					LUT3_6_IN1/_DFF_D_IN_OR_LDC_IN1_CMX		
237h	CMX_55	予約済み					LUT3_6_IN2/_DFF_RST_IN_OR_LDC_IN2_CMX		
238h	CMX_56	予約済み					LUT3_7_IN0/_DFF_CLK_IN_OR_LDC_IN0_CMX		
239h	CMX_57	予約済み					LUT3_7_IN1/_DFF_D_IN_OR_LDC_IN1_CMX		
23Ah	CMX_58	予約済み					LUT3_7_IN2/_DFF_RST_IN_OR_LDC_IN2_CMX		
23Bh	CMX_59	予約済み					LUT3_8_IN0/_DFF_CLK_IN_OR_LDC_IN0_CMX		
23Ch	CMX_60	予約済み					LUT3_8_IN1/_DFF_D_IN_OR_LDC_IN1_CMX		
23Dh	CMX_61	予約済み					LUT3_8_IN2/_DFF_RST_IN_OR_LDC_IN2_CMX		
23Eh	CMX_62	予約済み					LUT3_9_IN0/_DFF_CLK_IN_OR_LDC_IN0_CMX		
23Fh	CMX_63	予約済み					LUT3_9_IN1/_DFF_D_IN_OR_LDC_IN1_CMX		
240h	CMX_64	予約済み					LUT3_9_IN2/_DFF_RST_IN_OR_LDC_IN2_CMX		
241h	CMX_65	予約済み					LUT3_10_IN0/_DFF_CLK_IN_OR_LDC_IN0_CMX		
242h	CMX_66	予約済み					LUT3_10_IN1/_DFF_D_IN_OR_LDC_IN1_CMX		
243h	CMX_67	予約済み					LUT3_10_IN2/_DFF_RST_IN_OR_LDC_IN2_CMX		
244h	CMX_68	予約済み					LUT3_11_IN0/_DFF_CLK_IN_OR_LDC_IN0_CMX		
245h	CMX_69	予約済み					LUT3_11_IN1/_DFF_D_IN_OR_LDC_IN1_CMX		
246h	CMX_70	予約済み					LUT3_11_IN2/_DFF_RST_IN_OR_LDC_IN2_CMX		
247h	CMX_71	予約済み					LUT4_0_IN0/_DFF_CLK_IN_CMX		
248h	CMX_72	予約済み					LUT4_0_IN1/_DFF_D_IN_CMX		
249h	CMX_73	予約済み					LUT4_0_IN2/_DFF_RST_IN_CMX		
24Ah	CMX_74	予約済み					LUT4_0_IN3_CMX		
24Bh	CMX_75	予約済み					LUT4_1_IN0/_DFF_CLK_IN_CMX		
24Ch	CMX_76	予約済み					LUT4_1_IN1/_DFF_D_IN_CMX		
24Dh	CMX_77	予約済み					LUT4_1_IN2/_DFF_RST_IN_CMX		
24Eh	CMX_78	予約済み					LUT4_1_IN3_CMX		
24Fh	CMX_79	予約済み					LUT4_2_IN0/_DFF_CLK_IN_CMX		
250h	CMX_80	予約済み					LUT4_2_IN1/_DFF_D_IN_CMX		
251h	CMX_81	予約済み					LUT4_2_IN2/_DFF_RST_IN_CMX		
252h	CMX_82	予約済み					LUT4_2_IN3_CMX		
253h	CMX_83	予約済み					LUT4_3_IN0/_DFF_CLK_IN_CMX		
254h	CMX_84	予約済み					LUT4_3_IN1/_DFF_D_IN_CMX		
255h	CMX_85	予約済み					LUT4_3_IN2/_DFF_RST_IN_CMX		
256h	CMX_86	予約済み					LUT4_3_IN3_CMX		
257h	CMX_87	予約済み					PFLT0_IN_CMX		
258h	CMX_88	予約済み					PFLT1_IN_CMX		
259h	CMX_89	予約済み					FILT_IN_CMX		
25Ah	CMX_90	予約済み					SM_ST0_EN0_CMX		
25Bh	CMX_91	予約済み					SM_ST0_EN1_CMX		
25Ch	CMX_92	予約済み					SM_ST0_EN2_CMX		
25Dh	CMX_93	予約済み					SM_ST1_EN0_CMX		
25Eh	CMX_94	予約済み					SM_ST1_EN1_CMX		
25Fh	CMX_95	予約済み					SM_ST1_EN2_CMX		
260h	CMX_96	予約済み					SM_ST2_EN0_CMX		
261h	CMX_97	予約済み					SM_ST2_EN1_CMX		
262h	CMX_98	予約済み					SM_ST2_EN2_CMX		
263h	CMX_99	予約済み					SM_ST3_EN0_CMX		
264h	CMX_100	予約済み					SM_ST3_EN1_CMX		
265h	CMX_101	予約済み					SM_ST3_EN2_CMX		
266h	CMX_102	予約済み					SM_ST4_EN0_CMX		
267h	CMX_103	予約済み					SM_ST4_EN1_CMX		

表 7-103. TPLD2001\_CFG\_0 のレジスタ (続き)

オフセット	略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
268h	CMX_104	予約済み				SM_ST4_EN2_CMX			
269h	CMX_105	予約済み				SM_ST5_EN0_CMX			
26Ah	CMX_106	予約済み				SM_ST5_EN1_CMX			
26Bh	CMX_107	予約済み				SM_ST5_EN2_CMX			
26Ch	CMX_108	予約済み				SM_ST6_EN0_CMX			
26Dh	CMX_109	予約済み				SM_ST6_EN1_CMX			
26Eh	CMX_110	予約済み				SM_ST6_EN2_CMX			
26Fh	CMX_111	予約済み				SM_ST7_EN0_CMX			
270h	CMX_112	予約済み				SM_ST7_EN1_CMX			
271h	CMX_113	予約済み				SM_ST7_EN2_CMX			
272h	CMX_114	予約済み				SM_CLK_IN_CMX			
273h	CMX_115	予約済み				SM_RST_IN_CMX			
274h	CMX_116	予約済み				ACMP0_PWR_UP_CMX			
275h	CMX_117	予約済み				ACMP1_PWR_UP_CMX			
276h	CMX_118	予約済み				ACMP2_PWR_UP_CMX			
277h	CMX_119	予約済み				ACMP3_PWR_UP_CMX			
278h	CMX_120	予約済み				McACMP_ENABLE_CMX			
279h	CMX_121	予約済み				McACMP_RST_CMX			
27Ah	CMX_122	予約済み				OSC0_PWR_DOWN_CMX			
27Bh	CMX_123	予約済み				OSC1_PWR_DOWN_CMX			
27Ch	CMX_124	予約済み				OSC2_PWR_DOWN_CMX			
27Dh	CMX_125	予約済み				CNT6_FSM0_IN_CMX			
27Eh	CMX_126	予約済み				CNT6_FSM0_UP_CMX			
27Fh	CMX_127	予約済み				CNT6_FSM0_KEEP_CMX			
280h	CMX_128	予約済み				CNT6_FSM0_CLK_IN_CMX			
281h	CMX_129	予約済み				CNT7_FSM1_IN_CMX			
282h	CMX_130	予約済み				CNT7_FSM1_UP_CMX			
283h	CMX_131	予約済み				CNT7_FSM1_KEEP_CMX			
284h	CMX_132	予約済み				CNT7_FSM1_CLK_IN_CMX			
285h	CMX_133	予約済み				CNT8_FSM2_IN_CMX			
286h	CMX_134	予約済み				CNT8_FSM2_UP_CMX			
287h	CMX_135	予約済み				CNT8_FSM2_KEEP_CMX			
288h	CMX_136	予約済み				CNT8_FSM2_CLK_IN_CMX			
289h	CMX_137	予約済み				CNT9_FSM3_IN_CMX			
28Ah	CMX_138	予約済み				CNT9_FSM3_UP_CMX			
28Bh	CMX_139	予約済み				CNT9_FSM3_KEEP_CMX			
28Ch	CMX_140	予約済み				CNT9_FSM3_CLK_IN_CMX			
28Dh	CMX_141	予約済み				PWM_GEN0_PWR_UP_CMX			
28Eh	CMX_142	予約済み				PWM_GEN1_PWR_UP_CMX			
28Fh	CMX_143	予約済み				PWM_GEN2_PWR_UP_CMX			
290h	CMX_144	予約済み				PWM_GEN3_PWR_UP_CMX			
291h	CMX_145	予約済み				WDT_EN_CMX			
292h	CMX_146	予約済み				WDT_IN_CMX			
293h	CMX_147	予約済み				VIRTUAL_OUT0_CMX			
294h	CMX_148	予約済み				VIRTUAL_OUT1_CMX			
295h	CMX_149	予約済み				VIRTUAL_OUT2_CMX			
296h	CMX_150	予約済み				VIRTUAL_OUT3_CMX			
297h	CMX_151	予約済み				VIRTUAL_OUT4_CMX			
298h	CMX_152	予約済み				VIRTUAL_OUT5_CMX			
299h	CMX_153	予約済み				VIRTUAL_OUT6_CMX			
29Ah	CMX_154	予約済み				VIRTUAL_OUT7_CMX			
29Bh	CMX_155	予約済み				AMUX0_SEL_CMX			
29Ch	CMX_156	予約済み				AMUX1_SEL_CMX			

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-104 に、このセクションでアクセス タイプに使用しているコードを示します。

**表 7-104. TPLD2001\_Cfg\_0 のアクセス タイプ コード**

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

#### 7.4.4.4.2.1 CMX\_0 レジスタ (オフセット = 200h) [リセット = X0h]

CMX\_0 を表 7-105 に示します。

[概略表](#)に戻ります。

IO1 DOUT 接続マルチプレクサの配線選択

**表 7-105. CMX\_0 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

表 7-105. CMX\_0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6:0	IO1_DOUT_CMX	R/W	Xh	0h = GND 1h = IO1 DIN 2h = IO1 / VIO_0 DIN 3h = IO2 / VIO_1 DIN 4h = IO3 / VIO_2 DIN 5h = IO4 / VIO_3 DIN 6h = IO5 / VIO_4 DIN 7h = IO6 / VIO_5 DIN 8h = IO7 / VIO_6 DIN 9h = IO8 / VIO_7 DIN Ah = IO9 DIN Bh = IO10 DIN Ch = IO11 DIN Dh = IO12 DIN Eh = IO13 DIN Fh = IO14 DIN 10h = IO15 DIN 11h = IO16 DIN 12h = IO17 DIN 13h = LUT2_0 OUT 14h = LUT2_1 OUT 15h = LUT2_2 OUT 16h = LUT2_3 OUT 17h = LUT3_0 OUT 18h = LUT3_1 OUT 19h = LUT3_2 OUT 1Ah = LUT3_3 OUT 1Bh = LUT3_4 OUT 1Ch = LUT3_5 OUT 1Dh = LUT3_6 / LDC OUT 1Eh = LUT3_7 / LDC OUT 1Fh = LUT3_8 / LDC OUT 20h = LUT3_9 / LDC OUT 21h = LUT3_10 / LDC OUT 22h = LUT3_11 / LDC OUT 23h = LUT4_0 OUT 24h = LUT4_1 OUT 25h = LUT4_2 OUT 26h = LUT4_3 OUT 27h = PFLT0 OUT 28h = PFLT1 OUT 29h = FLT / EDET OUT 2Ah = SM OUT0 2Bh = SM OUT1 2Ch = SM OUT2 2Dh = SM OUT3 2Eh = SM OUT4 2Fh = SM OUT5 30h = SM OUT6 31h = SM OUT7 32h = ACMP0 OUT 33h = ACMP1 OUT 34h = ACMP2 OUT 35h = ACMP3 OUT 36h = McACMP CH0_0 OUT 37h = McACMP CH0_1 OUT 38h = McACMP CH1_0 OUT 39h = McACMP CH1_1 OUT 3Ah = McACMP CH2_0 OUT 3Bh = McACMP CH2_1 OUT 3Ch = McACMP CH3_0 OUT 3Dh = McACMP CH3_1 OUT 3Eh = McACMP DATA RDY 3Fh = OSC0 OUT0 40h = OSC0 OUT1 41h = OSC1 OUT0 42h = OSC1 OUT1 43h = OSC2 OUT 44h = CNT6 OUT 45h = CNT7 OUT 46h = CNT8 OUT 47h = CNT9 OUT 48h = PWM GEN0 OUTP 49h = PWM GEN0 OUTN 4Ah = PWM GEN1 OUTP 4Bh = PWM GEN1 OUTN 4Ch = PWM GEN2 OUTP 4Dh = PWM GEN2 OUTN 4Eh = PWM GEN3 OUTP 4Fh = PWM GEN3 OUTN 50h = WDT OUT 51h = 予約済み 52h = 予約済み 53h = 予約済み 54h = 予約済み 55h = 予約済み

表 7-105. CMX\_0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
				56h = 予約済み 57h = 予約済み 58h = 予約済み 59h = 予約済み 5Ah = 予約済み 5Bh = 予約済み 5Ch = 予約済み 5Dh = 予約済み 5Eh = 予約済み 5Fh = 予約済み 60h = 予約済み 61h = 予約済み 62h = 予約済み 63h = 予約済み 64h = 予約済み 65h = 予約済み 66h = 予約済み 67h = 予約済み 68h = 予約済み 69h = 予約済み 6Ah = 予約済み 6Bh = 予約済み 6Ch = 予約済み 6Dh = 予約済み 6Eh = 予約済み 6Fh = 予約済み 70h = 予約済み 71h = 予約済み 72h = 予約済み 73h = 予約済み 74h = 予約済み 75h = 予約済み 76h = 予約済み 77h = 予約済み 78h = 予約済み 79h = 予約済み 7Ah = 予約済み 7Bh = 予約済み 7Ch = 予約済み 7Dh = 予約済み 7Eh = POR OUT 7Fh = VCC

7.4.4.4.2.2 CMX\_1 レジスタ (オフセット = 201h) [リセット = X0h]

CMX\_1 を表 7-106 に示します。

[概略表](#)に戻ります。

IO1 OE 接続マルチプレクサの配線選択

表 7-106. CMX\_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO1_OE_CMX	R/W	Xh	CMX_0 と同じオプション

7.4.4.4.2.3 CMX\_2 レジスタ (オフセット = 202h) [リセット = X0h]

CMX\_2 を表 7-107 に示します。

[概略表](#)に戻ります。

IO2 DOUT 接続マルチプレクサの配線選択

表 7-107. CMX\_2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み



**表 7-107. CMX\_2 レジスタのフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
6:0	IO2_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.2.4 CMX\_3 レジスタ (オフセット = 203h) [リセット = X0h]

CMX\_3 を表 7-108 に示します。

概略表に戻ります。

IO2 OE 接続マルチプレクサの配線選択

**表 7-108. CMX\_3 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO2_OE_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.2.5 CMX\_4 レジスタ (オフセット = 204h) [リセット = X0h]

CMX\_4 を表 7-109 に示します。

概略表に戻ります。

IO3 DOUT 接続マルチプレクサの配線選択

**表 7-109. CMX\_4 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO3_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.2.6 CMX\_5 レジスタ (オフセット = 205h) [リセット = X0h]

CMX\_5 を表 7-110 に示します。

概略表に戻ります。

IO3 OE 接続マルチプレクサの配線選択

**表 7-110. CMX\_5 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO3_OE_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.2.7 CMX\_6 レジスタ (オフセット = 206h) [リセット = X0h]

CMX\_6 を表 7-111 に示します。

概略表に戻ります。

IO4 DOUT 接続マルチプレクサの配線選択

**表 7-111. CMX\_6 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO4_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.8 CMX\_7 レジスタ (オフセット = 207h) [リセット = X0h]

CMX\_7 を表 7-112 に示します。

[概略表](#)に戻ります。

IO5 DOUT 接続マルチプレクサの配線選択

**表 7-112. CMX\_7 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO5_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.9 CMX\_8 レジスタ (オフセット = 208h) [リセット = X0h]

CMX\_8 を表 7-113 に示します。

[概略表](#)に戻ります。

IO6 DOUT 接続マルチプレクサの配線選択

**表 7-113. CMX\_8 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO6_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.10 CMX\_9 レジスタ (オフセット = 209h) [リセット = X0h]

CMX\_9 を表 7-114 に示します。

[概略表](#)に戻ります。

IO7 DOUT 接続マルチプレクサの配線選択

**表 7-114. CMX\_9 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO7_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.11 CMX\_10 レジスタ (オフセット = 20Ah) [リセット = X0h]

CMX\_10 を表 7-115 に示します。

[概略表](#)に戻ります。

IO8 DOUT 接続マルチプレクサの配線選択

**表 7-115. CMX\_10 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO8_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.12 CMX\_11 レジスタ (オフセット = 20Bh) [リセット = X0h]

CMX\_11 を表 7-116 に示します。

[概略表](#)に戻ります。

IO9 DOUT 接続マルチプレクサの配線選択

**表 7-116. CMX\_11 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO9_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.2.13 CMX\_12 レジスタ (オフセット = 20Ch) [リセット = X0h]

CMX\_12 を表 7-117 に示します。

[概略表](#)に戻ります。

IO10 DOUT 接続マルチプレクサの配線選択

**表 7-117. CMX\_12 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO10_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.2.14 CMX\_13 レジスタ (オフセット = 20Dh) [リセット = X0h]

CMX\_13 を表 7-118 に示します。

[概略表](#)に戻ります。

IO10 OE 接続マルチプレクサの配線選択

**表 7-118. CMX\_13 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO10_OE_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.2.15 CMX\_14 レジスタ (オフセット = 20Eh) [リセット = X0h]

CMX\_14 を表 7-119 に示します。

[概略表](#)に戻ります。

IO11 DOUT 接続マルチプレクサの配線選択

**表 7-119. CMX\_14 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO11_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.2.16 CMX\_15 レジスタ (オフセット = 20Fh) [リセット = X0h]

CMX\_15 を表 7-120 に示します。

[概略表](#)に戻ります。

IO11 OE 接続マルチプレクサの配線選択

**表 7-120. CMX\_15 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

**表 7-120. CMX\_15 レジスタのフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
6:0	IO11_OE_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.2.17 CMX\_16 レジスタ (オフセット = 210h) [リセット = X0h]**

CMX\_16 を表 7-121 に示します。

[概略表](#)に戻ります。

IO12 DOUT 接続マルチプレクサの配線選択

**表 7-121. CMX\_16 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO12_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.2.18 CMX\_17 レジスタ (オフセット = 211h) [リセット = X0h]**

CMX\_17 を表 7-122 に示します。

[概略表](#)に戻ります。

IO12 OE 接続マルチプレクサの配線選択

**表 7-122. CMX\_17 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO12_OE_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.2.19 CMX\_18 レジスタ (オフセット = 212h) [リセット = X0h]**

CMX\_18 を表 7-123 に示します。

[概略表](#)に戻ります。

IO13 DOUT 接続マルチプレクサの配線選択

**表 7-123. CMX\_18 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO13_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.2.20 CMX\_19 レジスタ (オフセット = 213h) [リセット = X0h]**

CMX\_19 を表 7-124 に示します。

[概略表](#)に戻ります。

IO13 OE 接続マルチプレクサの配線選択

**表 7-124. CMX\_19 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO13_OE_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.21 CMX\_20 レジスタ (オフセット = 214h) [リセット = X0h]

CMX\_20 を表 7-125 に示します。

[概略表](#)に戻ります。

IO14 DOUT 接続マルチプレクサの配線選択

**表 7-125. CMX\_20 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO14_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.22 CMX\_21 レジスタ (オフセット = 215h) [リセット = X0h]

CMX\_21 を表 7-126 に示します。

[概略表](#)に戻ります。

IO15 DOUT 接続マルチプレクサの配線選択

**表 7-126. CMX\_21 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO15_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.23 CMX\_22 レジスタ (オフセット = 216h) [リセット = X0h]

CMX\_22 を表 7-127 に示します。

[概略表](#)に戻ります。

IO15 OE 接続マルチプレクサの配線選択

**表 7-127. CMX\_22 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO15_OE_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.24 CMX\_23 レジスタ (オフセット = 217h) [リセット = X0h]

CMX\_23 を表 7-128 に示します。

[概略表](#)に戻ります。

IO16 DOUT 接続マルチプレクサの配線選択

**表 7-128. CMX\_23 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO16_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.25 CMX\_24 レジスタ (オフセット = 218h) [リセット = X0h]

CMX\_24 を表 7-129 に示します。

[概略表](#)に戻ります。

IO16 OE 接続マルチプレクサの配線選択

**表 7-129. CMX\_24 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO16_OE_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.26 CMX\_25 レジスタ (オフセット = 219h) [リセット = X0h]

CMX\_25 を表 7-130 に示します。

[概略表](#)に戻ります。

IO17 DOUT 接続マルチプレクサの配線選択

**表 7-130. CMX\_25 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO17_DOUT_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.27 CMX\_26 レジスタ (オフセット = 21Ah) [リセット = X0h]

CMX\_26 を表 7-131 に示します。

[概略表](#)に戻ります。

IO17 OE 接続マルチプレクサの配線選択

**表 7-131. CMX\_26 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	IO17_OE_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.28 CMX\_27 レジスタ (オフセット = 21Bh) [リセット = X0h]

CMX\_27 を表 7-132 に示します。

[概略表](#)に戻ります。

LUT2\_0 IN0/DFF CLK IN 接続マルチプレクサの配線選択

**表 7-132. CMX\_27 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT2_0_IN0_/DFF_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.29 CMX\_28 レジスタ (オフセット = 21Ch) [リセット = X0h]

CMX\_28 を表 7-133 に示します。

[概略表](#)に戻ります。

LUT2\_0 IN1/DFF D IN 接続マルチプレクサ配線選択

**表 7-133. CMX\_28 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

**表 7-133. CMX\_28 レジスタのフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
6:0	LUT2_0_IN1/_DFF_D_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.2.30 CMX\_29 レジスタ (オフセット = 21Dh) [リセット = X0h]

CMX\_29 を表 7-134 に示します。

[概略表](#)に戻ります。

LUT2\_1 IN0/DFF CLK IN 接続マルチプレクサの配線選択

**表 7-134. CMX\_29 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT2_1_IN0/_DFF_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.2.31 CMX\_30 レジスタ (オフセット = 21Eh) [リセット = X0h]

CMX\_30 を表 7-135 に示します。

[概略表](#)に戻ります。

LUT2\_1 IN1/DFF D IN 接続マルチプレクサ配線選択

**表 7-135. CMX\_30 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT2_1_IN1/_DFF_D_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.2.32 CMX\_31 レジスタ (オフセット = 21Fh) [リセット = X0h]

CMX\_31 を表 7-136 に示します。

[概略表](#)に戻ります。

LUT2\_2 IN0/DFF CLK IN 接続マルチプレクサの配線選択

**表 7-136. CMX\_31 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT2_2_IN0/_DFF_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.2.33 CMX\_32 レジスタ (オフセット = 220h) [リセット = X0h]

CMX\_32 を表 7-137 に示します。

[概略表](#)に戻ります。

LUT2\_2 IN1/DFF D IN 接続マルチプレクサ配線選択

**表 7-137. CMX\_32 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT2_2_IN1/_DFF_D_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.34 CMX\_33 レジスタ (オフセット = 221h) [リセット = X0h]

CMX\_33 を表 7-138 に示します。

[概略表](#)に戻ります。

LUT2\_3 IN0/PGEN CLK IN 接続マルチプレクサの配線選択

**表 7-138. CMX\_33 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT2_3_IN0/_PGEN_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.35 CMX\_34 レジスタ (オフセット = 222h) [リセット = X0h]

CMX\_34 を表 7-139 に示します。

[概略表](#)に戻ります。

LUT2\_3 IN1/PGEN RST IN 接続マルチプレクサの配線選択

**表 7-139. CMX\_34 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT2_3_IN1/_PGEN_RST_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.36 CMX\_35 レジスタ (オフセット = 223h) [リセット = X0h]

CMX\_35 を表 7-140 に示します。

[概略表](#)に戻ります。

LUT3\_0 IN0/DFF CLK IN 接続マルチプレクサの配線選択

**表 7-140. CMX\_35 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_0_IN0/_DFF_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.37 CMX\_36 レジスタ (オフセット = 224h) [リセット = X0h]

CMX\_36 を表 7-141 に示します。

[概略表](#)に戻ります。

LUT3\_0 IN1/DFF D IN 接続マルチプレクサ配線選択

**表 7-141. CMX\_36 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_0_IN1/_DFF_D_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.38 CMX\_37 レジスタ (オフセット = 225h) [リセット = X0h]

CMX\_37 を表 7-142 に示します。



[概略表](#)に戻ります。

LUT3\_0 IN2/DFF RST IN 接続マルチプレクサの配線選択

**表 7-142. CMX\_37 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_0_IN2/_DFF_RST_IN_CMx	R/W	Xh	CMX_0と同じオプション

#### 7.4.4.4.2.39 CMX\_38 レジスタ (オフセット = 226h) [リセット = X0h]

CMX\_38 を表 7-143 に示します。

[概略表](#)に戻ります。

LUT3\_1 IN0/DFF CLK IN 接続マルチプレクサの配線選択

**表 7-143. CMX\_38 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_1_IN0/_DFF_CLK_IN_CMx	R/W	Xh	CMX_0と同じオプション

#### 7.4.4.4.2.40 CMX\_39 レジスタ (オフセット = 227h) [リセット = X0h]

CMX\_39 を表 7-144 に示します。

[概略表](#)に戻ります。

LUT3\_1 IN1/DFF D IN 接続マルチプレクサ配線選択

**表 7-144. CMX\_39 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_1_IN1/_DFF_D_IN_CMx	R/W	Xh	CMX_0と同じオプション

#### 7.4.4.4.2.41 CMX\_40 レジスタ (オフセット = 228h) [リセット = X0h]

CMX\_40 を表 7-145 に示します。

[概略表](#)に戻ります。

LUT3\_1 IN2/DFF RST IN 接続マルチプレクサの配線選択

**表 7-145. CMX\_40 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_1_IN2/_DFF_RST_IN_CMx	R/W	Xh	CMX_0と同じオプション

#### 7.4.4.4.2.42 CMX\_41 レジスタ (オフセット = 229h) [リセット = X0h]

CMX\_41 を表 7-146 に示します。

[概略表](#)に戻ります。

LUT3\_2 IN0/DFF/CLK SR IN 接続マルチプレクサ配線選択

**表 7-146. CMX\_41 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_2_IN0/_DFF/ SR_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.43 CMX\_42 レジスタ (オフセット = 22Ah) [リセット = X0h]**

CMX\_42 を表 7-147 に示します。

[概略表](#)に戻ります。

LUT3\_2 IN1/DFF/ SR D IN 接続マルチプレクサ配線選択

**表 7-147. CMX\_42 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_2_IN1/_DFF/ SR_D_IN_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.44 CMX\_43 レジスタ (オフセット = 22Bh) [リセット = X0h]**

CMX\_43 を表 7-148 に示します。

[概略表](#)に戻ります。

LUT3\_2 IN2/DFF/RST SR IN 接続マルチプレクサ配線選択

**表 7-148. CMX\_43 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_2_IN2/_DFF/ SR_RST_IN_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.45 CMX\_44 レジスタ (オフセット = 22Ch) [リセット = X0h]**

CMX\_44 を表 7-149 に示します。

[概略表](#)に戻ります。

LUT3\_3 IN0/DFF/CLK SR IN 接続マルチプレクサ配線選択

**表 7-149. CMX\_44 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_3_IN0/_DFF/ SR_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.46 CMX\_45 レジスタ (オフセット = 22Dh) [リセット = X0h]**

CMX\_45 を表 7-150 に示します。

[概略表](#)に戻ります。

LUT3\_3 IN1/DFF/ SR D IN 接続マルチプレクサ配線選択

**表 7-150. CMX\_45 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

表 7-150. CMX\_45 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6:0	LUT3_3_IN1/_DFF/ SR_D_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.47 CMX\_46 レジスタ (オフセット = 22Eh) [リセット = X0h]

CMX\_46 を表 7-151 に示します。

[概略表](#)に戻ります。

LUT3\_3 IN2/DFF/RST SR IN 接続マルチプレクサ配線選択

表 7-151. CMX\_46 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_3_IN2/_DFF/ SR_RST_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.48 CMX\_47 レジスタ (オフセット = 22Fh) [リセット = X0h]

CMX\_47 を表 7-152 に示します。

[概略表](#)に戻ります。

LUT3\_4 IN0/DFF/CLK SR IN 接続マルチプレクサ配線選択

表 7-152. CMX\_47 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_4_IN0/_DFF/ SR_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.49 CMX\_48 レジスタ (オフセット = 230h) [リセット = X0h]

CMX\_48 を表 7-153 に示します。

[概略表](#)に戻ります。

LUT3\_4 IN1/DFF/ SR D IN 接続マルチプレクサ配線選択

表 7-153. CMX\_48 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_4_IN1/_DFF/ SR_D_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.50 CMX\_49 レジスタ (オフセット = 231h) [リセット = X0h]

CMX\_49 を表 7-154 に示します。

[概略表](#)に戻ります。

LUT3\_4 IN2/DFF/RST SR IN 接続マルチプレクサ配線選択

表 7-154. CMX\_49 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

**表 7-154. CMX\_49 レジスタのフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
6:0	LUT3_4_IN2/_DFF/ SR_RST_IN_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.51 CMX\_50 レジスタ (オフセット = 232h) [リセット = X0h]**

CMX\_50 を表 7-155 に示します。

[概略表](#)に戻ります。

LUT3\_5 IN0/DFF/CLK SR IN 接続マルチプレクサ配線選択

**表 7-155. CMX\_50 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_5_IN0/_DFF/ SR_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.52 CMX\_51 レジスタ (オフセット = 233h) [リセット = X0h]**

CMX\_51 を表 7-156 に示します。

[概略表](#)に戻ります。

LUT3\_5 IN1/DFF/ SR D IN 接続マルチプレクサ配線選択

**表 7-156. CMX\_51 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_5_IN1/_DFF/ SR_D_IN_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.53 CMX\_52 レジスタ (オフセット = 234h) [リセット = X0h]**

CMX\_52 を表 7-157 に示します。

[概略表](#)に戻ります。

LUT3\_5 IN2/DFF/RST SR IN 接続マルチプレクサ配線選択

**表 7-157. CMX\_52 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_5_IN2/_DFF/ SR_RST_IN_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.54 CMX\_53 レジスタ (オフセット = 235h) [リセット = X0h]**

CMX\_53 を表 7-158 に示します。

[概略表](#)に戻ります。

LUT3\_6 IN0 / DFF CLK IN OR LDC IN0 接続マルチプレクサの配線選択

**表 7-158. CMX\_53 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

**表 7-158. CMX\_53 レジスタのフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
6:0	LUT3_6_IN0 / _DFF_CLK_IN_OR_LDC_IN0_CM X	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.55 CMX\_54 レジスタ (オフセット = 236h) [リセット = X0h]**

CMX\_54 を表 7-159 に示します。

[概略表](#)に戻ります。

LUT3\_6 IN1 / DFF D IN OR LDC IN1 接続マルチプレクサの配線選択

**表 7-159. CMX\_54 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_6_IN1 / _DFF_D_IN_OR_LDC_IN1_CM X	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.56 CMX\_55 レジスタ (オフセット = 237h) [リセット = X0h]**

CMX\_55 を表 7-160 に示します。

[概略表](#)に戻ります。

LUT3\_6 IN2 / DFF RST IN OR LDC IN2 接続マルチプレクサの配線選択

**表 7-160. CMX\_55 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_6_IN2 / _DFF_RST_IN_OR_LDC_IN2_CM X	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.57 CMX\_56 レジスタ (オフセット = 238h) [リセット = X0h]**

CMX\_56 を表 7-161 に示します。

[概略表](#)に戻ります。

LUT3\_7 IN0 / DFF CLK IN OR LDC IN0 接続マルチプレクサの配線選択

**表 7-161. CMX\_56 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_7_IN0 / _DFF_CLK_IN_OR_LDC_IN0_CM X	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.58 CMX\_57 レジスタ (オフセット = 239h) [リセット = X0h]**

CMX\_57 を表 7-162 に示します。

[概略表](#)に戻ります。

LUT3\_7 IN1 / DFF D IN OR LDC IN1 接続マルチプレクサの配線選択

表 7-162. CMX\_57 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_7_IN1 / _DFF_D_IN_OR_LDC_IN1_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.59 CMX\_58 レジスタ (オフセット = 23Ah) [リセット = X0h]

CMX\_58 を表 7-163 に示します。

[概略表](#)に戻ります。

LUT3\_7 IN2 / DFF RST IN OR LDC IN2 接続マルチプレクサの配線選択

表 7-163. CMX\_58 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_7_IN2 / _DFF_RST_IN_OR_LDC_IN2_CM X	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.60 CMX\_59 レジスタ (オフセット = 23Bh) [リセット = X0h]

CMX\_59 を表 7-164 に示します。

[概略表](#)に戻ります。

LUT3\_8 IN0 / DFF CLK IN OR LDC IN0 接続マルチプレクサの配線選択

表 7-164. CMX\_59 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_8_IN0 / _DFF_CLK_IN_OR_LDC_IN0_CM X	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.61 CMX\_60 レジスタ (オフセット = 23Ch) [リセット = X0h]

CMX\_60 を表 7-165 に示します。

[概略表](#)に戻ります。

LUT3\_8 IN1 / DFF D IN OR LDC IN1 接続マルチプレクサの配線選択

表 7-165. CMX\_60 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_8_IN1 / _DFF_D_IN_OR_LDC_IN1_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.62 CMX\_61 レジスタ (オフセット = 23Dh) [リセット = X0h]

CMX\_61 を表 7-166 に示します。

[概略表](#)に戻ります。

LUT3\_8 IN2 / DFF RST IN OR LDC IN2 接続マルチプレクサの配線選択

**表 7-166. CMX\_61 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_8_IN2 / _DFF_RST_IN_OR_LDC_IN2_CM X	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.63 CMX\_62 レジスタ (オフセット = 23Eh) [リセット = X0h]**

CMX\_62 を表 7-167 に示します。

[概略表](#)に戻ります。

LUT3\_9 IN0 / DFF CLK IN OR LDC IN0 接続マルチプレクサの配線選択

**表 7-167. CMX\_62 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_9_IN0 / _DFF_CLK_IN_OR_LDC_IN0_CM X	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.64 CMX\_63 レジスタ (オフセット = 23Fh) [リセット = X0h]**

CMX\_63 を表 7-168 に示します。

[概略表](#)に戻ります。

LUT3\_9 IN1 / DFF D IN OR LDC IN1 接続マルチプレクサの配線選択

**表 7-168. CMX\_63 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_9_IN1 / _DFF_D_IN_OR_LDC_IN1_CM X	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.65 CMX\_64 レジスタ (オフセット = 240h) [リセット = X0h]**

CMX\_64 を表 7-169 に示します。

[概略表](#)に戻ります。

LUT3\_9 IN2 / DFF RST IN OR LDC IN2 接続マルチプレクサの配線選択

**表 7-169. CMX\_64 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_9_IN2 / _DFF_RST_IN_OR_LDC_IN2_CM X	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.66 CMX\_65 レジスタ (オフセット = 241h) [リセット = X0h]**

CMX\_65 を表 7-170 に示します。

[概略表](#)に戻ります。

LUT3\_10 IN0 / DFF CLK IN OR LDC IN0 接続マルチプレクサの配線選択

**表 7-170. CMX\_65 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_10_IN0 / _DFF_CLK_IN_OR_LDC_IN0_CM X	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.67 CMX\_66 レジスタ (オフセット = 242h) [リセット = X0h]**

CMX\_66 を表 7-171 に示します。

[概略表](#)に戻ります。

LUT3\_10 IN1 / DFF D IN OR LDC IN1 接続マルチプレクサの配線選択

**表 7-171. CMX\_66 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_10_IN1 / _DFF_D_IN_OR_LDC_IN1_CM X	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.68 CMX\_67 レジスタ (オフセット = 243h) [リセット = X0h]**

CMX\_67 を表 7-172 に示します。

[概略表](#)に戻ります。

LUT3\_10 IN2 / DFF RST IN OR LDC IN2 接続マルチプレクサの配線選択

**表 7-172. CMX\_67 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_10_IN2 / _DFF_RST_IN_OR_LDC_IN2_CM X	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.69 CMX\_68 レジスタ (オフセット = 244h) [リセット = X0h]**

CMX\_68 を表 7-173 に示します。

[概略表](#)に戻ります。

LUT3\_11 IN0 / DFF CLK IN OR LDC IN0 接続マルチプレクサの配線選択

**表 7-173. CMX\_68 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_11_IN0 / _DFF_CLK_IN_OR_LDC_IN0_CM X	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.70 CMX\_69 レジスタ (オフセット = 245h) [リセット = X0h]**

CMX\_69 を表 7-174 に示します。

[概略表](#)に戻ります。

LUT3\_11 IN1 / DFF D IN OR LDC IN1 接続マルチプレクサの配線選択



**表 7-174. CMX\_69 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_11_IN1 / _DFF_D_IN_OR_LDC_IN1_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.71 CMX\_70 レジスタ (オフセット = 246h) [リセット = X0h]

CMX\_70 を表 7-175 に示します。

[概略表](#)に戻ります。

LUT3\_11 IN2 / DFF RST IN OR LDC IN2 接続マルチプレクサの配線選択

**表 7-175. CMX\_70 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT3_11_IN2 / _DFF_RST_IN_OR_LDC_IN2_CM X	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.72 CMX\_71 レジスタ (オフセット = 247h) [リセット = X0h]

CMX\_71 を表 7-176 に示します。

[概略表](#)に戻ります。

LUT4\_0 IN0/DFF CLK IN 接続マルチプレクサの配線選択

**表 7-176. CMX\_71 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_0_IN0 /_DFF_CLK_IN_CM X	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.73 CMX\_72 レジスタ (オフセット = 248h) [リセット = X0h]

CMX\_72 を表 7-177 に示します。

[概略表](#)に戻ります。

LUT4\_0 IN1/DFF D IN 接続マルチプレクサ配線選択

**表 7-177. CMX\_72 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_0_IN1 /_DFF_D_IN_CM X	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.74 CMX\_73 レジスタ (オフセット = 249h) [リセット = X0h]

CMX\_73 を表 7-178 に示します。

[概略表](#)に戻ります。

LUT4\_0 IN2/DFF RST IN 接続マルチプレクサの配線選択

**表 7-178. CMX\_73 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

**表 7-178. CMX\_73 レジスタのフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
6:0	LUT4_0_IN2/_DFF_RST_IN_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.75 CMX\_74 レジスタ (オフセット = 24Ah) [リセット = X0h]**

CMX\_74 を表 7-179 に示します。

[概略表](#)に戻ります。

LUT4\_0 IN3 接続マルチプレクサの配線選択

**表 7-179. CMX\_74 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_0_IN3_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.76 CMX\_75 レジスタ (オフセット = 24Bh) [リセット = X0h]**

CMX\_75 を表 7-180 に示します。

[概略表](#)に戻ります。

LUT4\_1 IN0/DFF CLK IN 接続マルチプレクサの配線選択

**表 7-180. CMX\_75 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_1_IN0/_DFF_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.77 CMX\_76 レジスタ (オフセット = 24Ch) [リセット = X0h]**

CMX\_76 を表 7-181 に示します。

[概略表](#)に戻ります。

LUT4\_1 IN1/DFF D IN 接続マルチプレクサ配線選択

**表 7-181. CMX\_76 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_1_IN1/_DFF_D_IN_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.78 CMX\_77 レジスタ (オフセット = 24Dh) [リセット = X0h]**

CMX\_77 を表 7-182 に示します。

[概略表](#)に戻ります。

LUT4\_1 IN2/DFF RST IN 接続マルチプレクサの配線選択

**表 7-182. CMX\_77 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_1_IN2/_DFF_RST_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.79 CMX\_78 レジスタ (オフセット = 24Eh) [リセット = X0h]

CMX\_78 を表 7-183 に示します。

[概略表](#)に戻ります。

LUT4\_1 IN3 接続マルチプレクサの配線選択

**表 7-183. CMX\_78 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_1_IN3_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.80 CMX\_79 レジスタ (オフセット = 24Fh) [リセット = X0h]

CMX\_79 を表 7-184 に示します。

[概略表](#)に戻ります。

LUT4\_2 IN0/DFF CLK IN 接続マルチプレクサの配線選択

**表 7-184. CMX\_79 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_2_IN0/_DFF_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.81 CMX\_80 レジスタ (オフセット = 250h) [リセット = X0h]

CMX\_80 を表 7-185 に示します。

[概略表](#)に戻ります。

LUT4\_2 IN1/DFF D IN 接続マルチプレクサ配線選択

**表 7-185. CMX\_80 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_2_IN1/_DFF_D_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.82 CMX\_81 レジスタ (オフセット = 251h) [リセット = X0h]

CMX\_81 を表 7-186 に示します。

[概略表](#)に戻ります。

LUT4\_2 IN2/DFF RST IN 接続マルチプレクサの配線選択

**表 7-186. CMX\_81 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_2_IN2/_DFF_RST_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.83 CMX\_82 レジスタ (オフセット = 252h) [リセット = X0h]

CMX\_82 を表 7-187 に示します。

[概略表](#)に戻ります。

**LUT4\_2 IN3 接続マルチプレクサの配線選択**
**表 7-187. CMX\_82 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_2_IN3_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.84 CMX\_83 レジスタ (オフセット = 253h) [リセット = X0h]**

CMX\_83 を表 7-188 に示します。

[概略表](#)に戻ります。

**LUT4\_3 IN0/DFF CLK IN 接続マルチプレクサの配線選択**
**表 7-188. CMX\_83 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_3_IN0 / _DFF_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.85 CMX\_84 レジスタ (オフセット = 254h) [リセット = X0h]**

CMX\_84 を表 7-189 に示します。

[概略表](#)に戻ります。

**LUT4\_3 IN1/DFF D IN 接続マルチプレクサ配線選択**
**表 7-189. CMX\_84 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_3_IN1 / _DFF_D_IN_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.86 CMX\_85 レジスタ (オフセット = 255h) [リセット = X0h]**

CMX\_85 を表 7-190 に示します。

[概略表](#)に戻ります。

**LUT4\_3 IN2/DFF RST IN 接続マルチプレクサの配線選択**
**表 7-190. CMX\_85 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_3_IN2 / _DFF_RST_IN_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.87 CMX\_86 レジスタ (オフセット = 256h) [リセット = X0h]**

CMX\_86 を表 7-191 に示します。

[概略表](#)に戻ります。

**LUT4\_3 IN3 接続マルチプレクサの配線選択**

**表 7-191. CMX\_86 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	LUT4_3_IN3_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.88 CMX\_87 レジスタ (オフセット = 257h) [リセット = X0h]

CMX\_87 を表 7-192 に示します。

[概略表](#)に戻ります。

PFLT0 IN 接続マルチプレクサの配線選択

**表 7-192. CMX\_87 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	PFLT0_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.89 CMX\_88 レジスタ (オフセット = 258h) [リセット = X0h]

CMX\_88 を表 7-193 に示します。

[概略表](#)に戻ります。

PFLT1 IN 接続マルチプレクサの配線選択

**表 7-193. CMX\_88 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	PFLT1_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.90 CMX\_89 レジスタ (オフセット = 259h) [リセット = X0h]

CMX\_89 を表 7-194 に示します。

[概略表](#)に戻ります。

FLT/EDET IN 接続マルチプレクサの配線選択

**表 7-194. CMX\_89 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	FILT_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.91 CMX\_90 レジスタ (オフセット = 25Ah) [リセット = X0h]

CMX\_90 を表 7-195 に示します。

[概略表](#)に戻ります。

SM ST0 EN0 接続マルチプレクサの配線選択

**表 7-195. CMX\_90 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST0_EN0_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.92 CMX\_91 レジスタ (オフセット = 25Bh) [リセット = X0h]**

CMX\_91 を表 7-196 に示します。

[概略表](#)に戻ります。

SM ST0 EN1 接続マルチプレクサの配線選択

**表 7-196. CMX\_91 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST0_EN1_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.93 CMX\_92 レジスタ (オフセット = 25Ch) [リセット = X0h]**

CMX\_92 を表 7-197 に示します。

[概略表](#)に戻ります。

SM ST0 EN2 接続マルチプレクサの配線選択

**表 7-197. CMX\_92 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST0_EN2_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.94 CMX\_93 レジスタ (オフセット = 25Dh) [リセット = X0h]**

CMX\_93 を表 7-198 に示します。

[概略表](#)に戻ります。

SM ST1 EN0 接続マルチプレクサの配線選択

**表 7-198. CMX\_93 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST1_EN0_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.95 CMX\_94 レジスタ (オフセット = 25Eh) [リセット = X0h]**

CMX\_94 を表 7-199 に示します。

[概略表](#)に戻ります。

SM ST1 EN1 接続マルチプレクサの配線選択

**表 7-199. CMX\_94 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST1_EN1_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.96 CMX\_95 レジスタ (オフセット = 25Fh) [リセット = X0h]**

CMX\_95 を表 7-200 に示します。

[概略表](#)に戻ります。

SM ST1 EN2 接続マルチプレクサの配線選択

**表 7-200. CMX\_95 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST1_EN2_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.97 CMX\_96 レジスタ (オフセット = 260h) [リセット = X0h]**

CMX\_96 を表 7-201 に示します。

[概略表](#)に戻ります。

SM ST2 EN0 接続マルチプレクサの配線選択

**表 7-201. CMX\_96 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST2_EN0_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.98 CMX\_97 レジスタ (オフセット = 261h) [リセット = X0h]**

CMX\_97 を表 7-202 に示します。

[概略表](#)に戻ります。

SM ST2 EN1 接続マルチプレクサの配線選択

**表 7-202. CMX\_97 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST2_EN1_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.99 CMX\_98 レジスタ (オフセット = 262h) [リセット = X0h]**

CMX\_98 を表 7-203 に示します。

[概略表](#)に戻ります。

SM ST2 EN2 接続マルチプレクサの配線選択

**表 7-203. CMX\_98 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST2_EN2_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.100 CMX\_99 レジスタ (オフセット = 263h) [リセット = X0h]**

CMX\_99 を表 7-204 に示します。

[概略表](#)に戻ります。

SM ST3 EN0 接続マルチプレクサの配線選択

**表 7-204. CMX\_99 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

**表 7-204. CMX\_99 レジスタのフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
6:0	SM_ST3_EN0_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.2.101 CMX\_100 レジスタ (オフセット = 264h) [リセット = X0h]**

CMX\_100 を表 7-205 に示します。

[概略表](#)に戻ります。

SM ST3 EN1 接続マルチプレクサの配線選択

**表 7-205. CMX\_100 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST3_EN1_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.2.102 CMX\_101 レジスタ (オフセット = 265h) [リセット = X0h]**

CMX\_101 を表 7-206 に示します。

[概略表](#)に戻ります。

SM ST3 EN2 接続マルチプレクサの配線選択

**表 7-206. CMX\_101 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST3_EN2_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.2.103 CMX\_102 レジスタ (オフセット = 266h) [リセット = X0h]**

CMX\_102 を表 7-207 に示します。

[概略表](#)に戻ります。

SM ST4 EN0 接続マルチプレクサの配線選択

**表 7-207. CMX\_102 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST4_EN0_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.2.104 CMX\_103 レジスタ (オフセット = 267h) [リセット = X0h]**

CMX\_103 を表 7-208 に示します。

[概略表](#)に戻ります。

SM ST4 EN1 接続マルチプレクサの配線選択

**表 7-208. CMX\_103 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST4_EN1_CMX	R/W	Xh	CMX_0 と同じオプション



#### 7.4.4.4.2.105 CMX\_104 レジスタ (オフセット = 268h) [リセット = X0h]

CMX\_104 を表 7-209 に示します。

[概略表](#)に戻ります。

SM ST4 EN2 接続マルチプレクサの配線選択

**表 7-209. CMX\_104 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST4_EN2_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.106 CMX\_105 レジスタ (オフセット = 269h) [リセット = X0h]

CMX\_105 を表 7-210 に示します。

[概略表](#)に戻ります。

SM ST5 EN0 接続マルチプレクサの配線選択

**表 7-210. CMX\_105 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST5_EN0_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.107 CMX\_106 レジスタ (オフセット = 26Ah) [リセット = X0h]

CMX\_106 を表 7-211 に示します。

[概略表](#)に戻ります。

SM ST5 EN1 接続マルチプレクサの配線選択

**表 7-211. CMX\_106 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST5_EN1_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.108 CMX\_107 レジスタ (オフセット = 26Bh) [リセット = X0h]

CMX\_107 を表 7-212 に示します。

[概略表](#)に戻ります。

SM ST5 EN2 接続マルチプレクサの配線選択

**表 7-212. CMX\_107 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST5_EN2_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.109 CMX\_108 レジスタ (オフセット = 26Ch) [リセット = X0h]

CMX\_108 を表 7-213 に示します。

[概略表](#)に戻ります。

## SM ST6 EN0 接続マルチプレクサの配線選択

**表 7-213. CMX\_108 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST6_EN0_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.2.110 CMX\_109 レジスタ (オフセット = 26Dh) [リセット = X0h]**

CMX\_109 を表 7-214 に示します。

[概略表](#)に戻ります。

## SM ST6 EN1 接続マルチプレクサの配線選択

**表 7-214. CMX\_109 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST6_EN1_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.2.111 CMX\_110 レジスタ (オフセット = 26Eh) [リセット = X0h]**

CMX\_110 を表 7-215 に示します。

[概略表](#)に戻ります。

## SM ST6 EN2 接続マルチプレクサの配線選択

**表 7-215. CMX\_110 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST6_EN2_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.2.112 CMX\_111 レジスタ (オフセット = 26Fh) [リセット = X0h]**

CMX\_111 を表 7-216 に示します。

[概略表](#)に戻ります。

## SM ST7 EN0 接続マルチプレクサの配線選択

**表 7-216. CMX\_111 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST7_EN0_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.2.113 CMX\_112 レジスタ (オフセット = 270h) [リセット = X0h]**

CMX\_112 を表 7-217 に示します。

[概略表](#)に戻ります。

## SM ST7 EN1 接続マルチプレクサの配線選択

**表 7-217. CMX\_112 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

**表 7-217. CMX\_112 レジスタのフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
6:0	SM_ST7_EN1_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.2.114 CMX\_113 レジスタ (オフセット = 271h) [リセット = X0h]

CMX\_113 を表 7-218 に示します。

[概略表](#)に戻ります。

SM ST7 EN2 接続マルチプレクサの配線選択

**表 7-218. CMX\_113 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_ST7_EN2_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.2.115 CMX\_114 レジスタ (オフセット = 272h) [リセット = X0h]

CMX\_114 を表 7-219 に示します。

[概略表](#)に戻ります。

SM CLK IN 接続マルチプレクサの配線選択

**表 7-219. CMX\_114 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.2.116 CMX\_115 レジスタ (オフセット = 273h) [リセット = X0h]

CMX\_115 を表 7-220 に示します。

[概略表](#)に戻ります。

SM RST IN 接続マルチプレクサの配線選択

**表 7-220. CMX\_115 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	SM_RST_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.2.117 CMX\_116 レジスタ (オフセット = 274h) [リセット = X0h]

CMX\_116 を表 7-221 に示します。

[概略表](#)に戻ります。

ACMP0 PWR UP 接続マルチプレクサ配線選択

**表 7-221. CMX\_116 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	ACMP0_PWR_UP_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.118 CMX\_117 レジスタ (オフセット = 275h) [リセット = X0h]**

CMX\_117 を表 7-222 に示します。

[概略表](#)に戻ります。

ACMP1 PWR UP 接続マルチプレクサ配線選択

**表 7-222. CMX\_117 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	ACMP1_PWR_UP_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.119 CMX\_118 レジスタ (オフセット = 276h) [リセット = X0h]**

CMX\_118 を表 7-223 に示します。

[概略表](#)に戻ります。

ACMP2 PWR UP 接続マルチプレクサ配線選択

**表 7-223. CMX\_118 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	ACMP2_PWR_UP_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.120 CMX\_119 レジスタ (オフセット = 277h) [リセット = X0h]**

CMX\_119 を表 7-224 に示します。

[概略表](#)に戻ります。

ACMP3 PWR UP 接続マルチプレクサ配線選択

**表 7-224. CMX\_119 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	ACMP3_PWR_UP_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.121 CMX\_120 レジスタ (オフセット = 278h) [リセット = X0h]**

CMX\_120 を表 7-225 に示します。

[概略表](#)に戻ります。

McACMP イネーブル接続マルチプレクサ配線選択

**表 7-225. CMX\_120 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	McACMP_ENABLE_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.122 CMX\_121 レジスタ (オフセット = 279h) [リセット = X0h]**

CMX\_121 を表 7-226 に示します。

[概略表](#)に戻ります。

McACMP RST 接続マルチプレクサ配線選択

**表 7-226. CMX\_121 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	McACMP_RST_CMX	R/W	Xh	CMX_0と同じオプション

**7.4.4.4.2.123 CMX\_122 レジスタ (オフセット = 27Ah) [リセット = X0h]**

CMX\_122 を表 7-227 に示します。

[概略表](#)に戻ります。

OSC0 PWR DOWN 接続マルチプレクサ配線選択

**表 7-227. CMX\_122 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	OSC0_PWR_DOWN_CMX	R/W	Xh	CMX_0と同じオプション

**7.4.4.4.2.124 CMX\_123 レジスタ (オフセット = 27Bh) [リセット = X0h]**

CMX\_123 を表 7-228 に示します。

[概略表](#)に戻ります。

OSC1 PWR DOWN 接続マルチプレクサ配線選択

**表 7-228. CMX\_123 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	OSC1_PWR_DOWN_CMX	R/W	Xh	CMX_0と同じオプション

**7.4.4.4.2.125 CMX\_124 レジスタ (オフセット = 27Ch) [リセット = X0h]**

CMX\_124 を表 7-229 に示します。

[概略表](#)に戻ります。

OSC2 PWR DOWN 接続マルチプレクサ配線選択

**表 7-229. CMX\_124 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	OSC2_PWR_DOWN_CMX	R/W	Xh	CMX_0と同じオプション

**7.4.4.4.2.126 CMX\_125 レジスタ (オフセット = 27Dh) [リセット = X0h]**

CMX\_125 を表 7-230 に示します。

[概略表](#)に戻ります。

CNT6/FSM IN 接続マルチプレクサ配線選択

**表 7-230. CMX\_125 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

**表 7-230. CMX\_125 レジスタのフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
6:0	CNT6_FSM0_IN_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.127 CMX\_126 レジスタ (オフセット = 27Eh) [リセット = X0h]**

CMX\_126 を表 7-231 に示します。

[概略表](#)に戻ります。

CNT6/FSM UP 接続マルチプレクサ配線選択

**表 7-231. CMX\_126 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT6_FSM0_UP_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.128 CMX\_127 レジスタ (オフセット = 27Fh) [リセット = X0h]**

CMX\_127 を表 7-232 に示します。

[概略表](#)に戻ります。

CNT6/FSM KEEP 接続マルチプレクサ配線選択

**表 7-232. CMX\_127 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT6_FSM0_KEEP_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.129 CMX\_128 レジスタ (オフセット = 280h) [リセット = X0h]**

CMX\_128 を表 7-233 に示します。

[概略表](#)に戻ります。

CNT6/FSM CLK IN 接続マルチプレクサ配線選択

**表 7-233. CMX\_128 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT6_FSM0_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.130 CMX\_129 レジスタ (オフセット = 281h) [リセット = X0h]**

CMX\_129 を表 7-234 に示します。

[概略表](#)に戻ります。

CNT7/FSM IN 接続マルチプレクサ配線選択

**表 7-234. CMX\_129 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT7_FSM1_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.131 CMX\_130 レジスタ (オフセット = 282h) [リセット = X0h]

CMX\_130 を表 7-235 に示します。

[概略表](#)に戻ります。

CNT7/FSM UP 接続マルチプレクサ配線選択

**表 7-235. CMX\_130 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT7_FSM1_UP_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.132 CMX\_131 レジスタ (オフセット = 283h) [リセット = X0h]

CMX\_131 を表 7-236 に示します。

[概略表](#)に戻ります。

CNT7/FSM KEEP 接続マルチプレクサ配線選択

**表 7-236. CMX\_131 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT7_FSM1_KEEP_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.133 CMX\_132 レジスタ (オフセット = 284h) [リセット = X0h]

CMX\_132 を表 7-237 に示します。

[概略表](#)に戻ります。

CNT7/FSM CLK IN 接続マルチプレクサ配線選択

**表 7-237. CMX\_132 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT7_FSM1_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.134 CMX\_133 レジスタ (オフセット = 285h) [リセット = X0h]

CMX\_133 を表 7-238 に示します。

[概略表](#)に戻ります。

CNT8/FSM IN 接続マルチプレクサ配線選択

**表 7-238. CMX\_133 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT8_FSM2_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.135 CMX\_134 レジスタ (オフセット = 286h) [リセット = X0h]

CMX\_134 を表 7-239 に示します。

[概略表](#)に戻ります。

CNT8/FSM UP 接続マルチプレクサ配線選択

表 7-239. CMX\_134 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT8_FSM2_UP_CMX	R/W	Xh	CMX_0 と同じオプション

7.4.4.4.2.136 CMX\_135 レジスタ (オフセット = 287h) [リセット = X0h]

CMX\_135 を表 7-240 に示します。

[概略表](#)に戻ります。

CNT8/FSM KEEP 接続マルチプレクサ配線選択

表 7-240. CMX\_135 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT8_FSM2_KEEP_CMX	R/W	Xh	CMX_0 と同じオプション

7.4.4.4.2.137 CMX\_136 レジスタ (オフセット = 288h) [リセット = X0h]

CMX\_136 を表 7-241 に示します。

[概略表](#)に戻ります。

CNT8/FSM CLK IN 接続マルチプレクサ配線選択

表 7-241. CMX\_136 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT8_FSM2_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

7.4.4.4.2.138 CMX\_137 レジスタ (オフセット = 289h) [リセット = X0h]

CMX\_137 を表 7-242 に示します。

[概略表](#)に戻ります。

CNT9/FSM IN 接続マルチプレクサ配線選択

表 7-242. CMX\_137 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT9_FSM3_IN_CMX	R/W	Xh	CMX_0 と同じオプション

7.4.4.4.2.139 CMX\_138 レジスタ (オフセット = 28Ah) [リセット = X0h]

CMX\_138 を表 7-243 に示します。

[概略表](#)に戻ります。

CNT9/FSM UP 接続マルチプレクサ配線選択

表 7-243. CMX\_138 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み



**表 7-243. CMX\_138 レジスタのフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
6:0	CNT9_FSM3_UP_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.2.140 CMX\_139 レジスタ (オフセット = 28Bh) [リセット = X0h]

CMX\_139 を表 7-244 に示します。

[概略表](#)に戻ります。

CNT9/FSM KEEP 接続マルチプレクサ配線選択

**表 7-244. CMX\_139 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT9_FSM3_KEEP_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.2.141 CMX\_140 レジスタ (オフセット = 28Ch) [リセット = X0h]

CMX\_140 を表 7-245 に示します。

[概略表](#)に戻ります。

CNT9/FSM CLK IN 接続マルチプレクサ配線選択

**表 7-245. CMX\_140 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	CNT9_FSM3_CLK_IN_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.2.142 CMX\_141 レジスタ (オフセット = 28Dh) [リセット = X0h]

CMX\_141 を表 7-246 に示します。

[概略表](#)に戻ります。

PWM GEN0 PWR UP 接続マルチプレクサ ルーティング選択

**表 7-246. CMX\_141 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	PWM_GEN0_PWR_UP_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.2.143 CMX\_142 レジスタ (オフセット = 28Eh) [リセット = X0h]

CMX\_142 を表 7-247 に示します。

[概略表](#)に戻ります。

PWM GEN1 PWR UP 接続マルチプレクサ ルーティング選択

**表 7-247. CMX\_142 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	PWM_GEN1_PWR_UP_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.144 CMX\_143 レジスタ (オフセット = 28Fh) [リセット = X0h]**

CMX\_143 を表 7-248 に示します。

[概略表](#)に戻ります。

PWM GEN2 PWR UP 接続マルチプレクサ ルーティング選択

**表 7-248. CMX\_143 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	PWM_GEN2_PWR_UP_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.145 CMX\_144 レジスタ (オフセット = 290h) [リセット = X0h]**

CMX\_144 を表 7-249 に示します。

[概略表](#)に戻ります。

PWM GEN3 PWR UP 接続マルチプレクサ ルーティング選択

**表 7-249. CMX\_144 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	PWM_GEN3_PWR_UP_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.146 CMX\_145 レジスタ (オフセット = 291h) [リセット = X0h]**

CMX\_145 を表 7-250 に示します。

[概略表](#)に戻ります。

WDT EN 接続マルチプレクサ配線選択

**表 7-250. CMX\_145 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	WDT_EN_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.147 CMX\_146 レジスタ (オフセット = 292h) [リセット = X0h]**

CMX\_146 を表 7-251 に示します。

[概略表](#)に戻ります。

WDT IN 接続マルチプレクサ配線選択

**表 7-251. CMX\_146 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	WDT_IN_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.148 CMX\_147 レジスタ (オフセット = 293h) [リセット = X0h]**

CMX\_147 を表 7-252 に示します。

[概略表](#)に戻ります。

VIRTUAL OUT0 接続マルチプレクサ配線選択

**表 7-252. CMX\_147 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	VIRTUAL_OUT0_CMX	R/W	Xh	CMX_0と同じオプション

**7.4.4.2.149 CMX\_148 レジスタ (オフセット = 294h) [リセット = X0h]**

CMX\_148 を表 7-253 に示します。

[概略表](#)に戻ります。

VIRTUAL OUT1 接続マルチプレクサ配線選択

**表 7-253. CMX\_148 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	VIRTUAL_OUT1_CMX	R/W	Xh	CMX_0と同じオプション

**7.4.4.2.150 CMX\_149 レジスタ (オフセット = 295h) [リセット = X0h]**

CMX\_149 を表 7-254 に示します。

[概略表](#)に戻ります。

VIRTUAL OUT2 接続マルチプレクサ配線選択

**表 7-254. CMX\_149 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	VIRTUAL_OUT2_CMX	R/W	Xh	CMX_0と同じオプション

**7.4.4.2.151 CMX\_150 レジスタ (オフセット = 296h) [リセット = X0h]**

CMX\_150 を表 7-255 に示します。

[概略表](#)に戻ります。

VIRTUAL OUT3 接続マルチプレクサ配線選択

**表 7-255. CMX\_150 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	VIRTUAL_OUT3_CMX	R/W	Xh	CMX_0と同じオプション

**7.4.4.2.152 CMX\_151 レジスタ (オフセット = 297h) [リセット = X0h]**

CMX\_151 を表 7-256 に示します。

[概略表](#)に戻ります。

VIRTUAL OUT4 接続マルチプレクサ配線選択

**表 7-256. CMX\_151 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

**表 7-256. CMX\_151 レジスタのフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
6:0	VIRTUAL_OUT4_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.153 CMX\_152 レジスタ (オフセット = 298h) [リセット = X0h]**

CMX\_152 を表 7-257 に示します。

[概略表](#)に戻ります。

VIRTUAL OUT5 接続マルチプレクサ配線選択

**表 7-257. CMX\_152 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	VIRTUAL_OUT5_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.154 CMX\_153 レジスタ (オフセット = 299h) [リセット = X0h]**

CMX\_153 を表 7-258 に示します。

[概略表](#)に戻ります。

VIRTUAL OUT6 接続マルチプレクサ配線選択

**表 7-258. CMX\_153 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	VIRTUAL_OUT6_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.155 CMX\_154 レジスタ (オフセット = 29Ah) [リセット = X0h]**

CMX\_154 を表 7-259 に示します。

[概略表](#)に戻ります。

VIRTUAL OUT7 接続マルチプレクサ配線選択

**表 7-259. CMX\_154 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	VIRTUAL_OUT7_CMX	R/W	Xh	CMX_0 と同じオプション

**7.4.4.4.2.156 CMX\_155 レジスタ (オフセット = 29Bh) [リセット = X0h]**

CMX\_155 を表 7-260 に示します。

[概略表](#)に戻ります。

AMUX0\_SEL 接続マルチプレクサ配線選択

**表 7-260. CMX\_155 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	AMUX0_SEL_CMX	R/W	Xh	CMX_0 と同じオプション

#### 7.4.4.4.2.157 CMX\_156 レジスタ (オフセット = 29Ch) [リセット = X0h]

CMX\_156 を表 7-261 に示します。

[概略表](#)に戻ります。

AMUX1\_SEL 接続マルチプレクサ配線選択

**表 7-261. CMX\_156 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:0	AMUX1_SEL_CMX	R/W	Xh	CMX_0 と同じオプション

7.4.4.4.3 TPLD2001\_Cfg\_1 のレジスタ

TPLD2001\_Cfg\_1 レジスタのメモリマップされたレジスタを、表 7-262 に示します。表 7-262 にないレジスタ オフセットアドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 7-262. TPLD2001\_CFG1 のレジスタ

オフセット	略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
300h	IN0_CFG	予約済み	PULL_UP_EN	RES_SEL		予約済み		IN_CTRL	
301h	IO1_CFG	予約済み	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
302h	IO2_CFG	予約済み	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
303h	IO3_CFG	予約済み	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
304h	IO4_CFG	OE	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
305h	IO5_CFG	OE	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
306h	IO6_CFG	OE	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
307h	IO7_CFG	OE	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
308h	IO8_CFG	OE	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
309h	IO9_CFG	OE	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
30Ah	IO10_CFG	予約済み	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
30Bh	IO11_CFG	予約済み	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
30Ch	IO12_CFG	予約済み	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
30Dh	IO13_CFG	予約済み	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
30Eh	IO14_CFG	OE	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
30Fh	IO15_CFG	予約済み	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
310h	IO16_CFG	予約済み	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
311h	IO17_CFG	予約済み	PULL_UP_EN	RES_SEL		OUT_CTRL		IN_CTRL	
320h	VIO_SEL_0	V_IN7	V_IN6	V_IN5	V_IN4	V_IN3	V_IN2	V_IN1	V_IN0
324h	LUT_FS_0	予約済み				LUT2_3_FS	LUT2_2_FS	LUT2_1_FS	LUT2_0_FS
325h	LUT_FS_1	予約済み		LUT3_5_FS	LUT3_4_FS	LUT3_3_FS	LUT3_2_FS	LUT3_1_FS	LUT3_0_FS
327h	LUT_FS_3	予約済み				LUT4_3_FS	LUT4_2_FS	LUT4_1_FS	LUT4_0_FS
328h	LUT2_0_CFG	予約済み				BIT3	BIT2	BIT1	BIT0
329h	LUT2_1_CFG	予約済み				BIT3	BIT2	BIT1	BIT0
32Ah	LUT2_2_CFG	予約済み				BIT3	BIT2	BIT1	BIT0
32Eh	LUT2_3_CFG0	予約済み		PGEN_RST	予約済み	BITS3_0			
32Fh	LUT2_3_CFG1	PGEN_DATA_LSB							
330h	LUT2_3_CFG2	PGEN_DATA_MSB							
334h	LUT3_0_CFG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
335h	LUT3_1_CFG	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
336h	LUT3_2_CFG0	BIT7	BITS6_4			BIT3	BIT2	BIT1	BIT0
337h	LUT3_2_CFG1	BITS15_8							
338h	LUT3_3_CFG0	BIT7	BITS6_4			BIT3	BIT2	BIT1	BIT0
339h	LUT3_3_CFG1	BITS15_8							
33Ah	LUT3_4_CFG0	BIT7	BITS6_4			BIT3	BIT2	BIT1	BIT0
33Bh	LUT3_4_CFG1	BITS15_8							
33Ch	LUT3_5_CFG0	BIT7	BITS6_4			BIT3	BIT2	BIT1	BIT0
33Dh	LUT3_5_CFG1	BITS15_8							
344h	LUT4_0_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
345h	LUT4_0_CFG1	BITS15_8							
346h	LUT4_1_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
347h	LUT4_1_CFG1	BITS15_8							
348h	LUT4_2_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
349h	LUT4_2_CFG1	BITS15_8							
34Ah	LUT4_3_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
34Bh	LUT4_3_CFG1	BITS15_8							
354h	LUT3_6_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0
355h	LUT3_6_CFG1	CNT_DATA							
356h	LUT3_6_CFG2	CLK_SEL				MODE_SEL			
357h	LUT3_6_CFG3	予約済み		RST_SYNC	予約済み	CNT_INIT		OUT_POL	DLY_EDET

表 7-262. TPLD2001\_CFG\_1 のレジスタ (続き)

オフセット	略称	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	
358h	LUT3_6_CFG4	予約済み			LDC_FS	LDC_CMX_IN_SEL		LDC_CMX_MODE		
359h	LUT3_7_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
35Ah	LUT3_7_CFG1	CNT_DATA								
35Bh	LUT3_7_CFG2	CLK_SEL				MODE_SEL				
35Ch	LUT3_7_CFG3	予約済み		RST_SYNC	予約済み	CNT_INIT		OUT_POL	DLY_EDET	
35Dh	LUT3_7_CFG4	予約済み			LDC_FS	LDC_CMX_IN_SEL		LDC_CMX_MODE		
35Eh	LUT3_8_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
35Fh	LUT3_8_CFG1	CNT_DATA								
360h	LUT3_8_CFG2	CLK_SEL				MODE_SEL				
361h	LUT3_8_CFG3	予約済み		RST_SYNC	予約済み	CNT_INIT		OUT_POL	DLY_EDET	
362h	LUT3_8_CFG4	予約済み			LDC_FS	LDC_CMX_IN_SEL		LDC_CMX_MODE		
363h	LUT3_9_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
364h	LUT3_9_CFG1	CNT_DATA								
365h	LUT3_9_CFG2	CLK_SEL				MODE_SEL				
366h	LUT3_9_CFG3	予約済み		RST_SYNC	予約済み	CNT_INIT		OUT_POL	DLY_EDET	
367h	LUT3_9_CFG4	予約済み			LDC_FS	LDC_CMX_IN_SEL		LDC_CMX_MODE		
372h	LUT3_10_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
373h	LUT3_10_CFG1	CNT_DATA_7:0								
374h	LUT3_10_CFG2	CNT_DATA_15:8								
375h	LUT3_10_CFG3	CLK_SEL				MODE_SEL				
376h	LUT3_10_CFG4	予約済み		RST_SYNC	予約済み	CNT_INIT		OUT_POL	DLY_EDET	
377h	LUT3_10_CFG5	予約済み			LDC_FS	LDC_CMX_IN_SEL		LDC_CMX_MODE		
378h	LUT3_11_CFG0	BIT7	BIT6	BIT5	BIT4	BIT3	BIT2	BIT1	BIT0	
379h	LUT3_11_CFG1	CNT_DATA_7:0								
37Ah	LUT3_11_CFG2	CNT_DATA_15:8								
37Bh	LUT3_11_CFG3	CLK_SEL				MODE_SEL				
37Ch	LUT3_11_CFG4	予約済み		RST_SYNC	予約済み	CNT_INIT		OUT_POL	DLY_EDET	
37Dh	LUT3_11_CFG5	予約済み			LDC_FS	LDC_CMX_IN_SEL		LDC_CMX_MODE		
37Eh	CNT6_FSM0_CFG0	CNT_DATA								
37Fh	CNT6_FSM0_CFG1	CLK_SEL				MODE_SEL				
380h	CNT6_FSM0_CFG2	UP_SYNC	KEEP_SYNC	RST_SYNC	予約済み	CNT_INIT		OUT_POL	DLY_EDET	
381h	CNT7_FSM1_CFG0	CNT_DATA								
382h	CNT7_FSM1_CFG1	CLK_SEL				MODE_SEL				
383h	CNT7_FSM1_CFG2	UP_SYNC	KEEP_SYNC	RST_SYNC	予約済み	CNT_INIT		OUT_POL	DLY_EDET	
384h	CNT8_FSM2_CFG0	CNT_DATA								
385h	CNT8_FSM2_CFG1	CLK_SEL				MODE_SEL				
386h	CNT8_FSM2_CFG2	UP_SYNC	KEEP_SYNC	RST_SYNC	予約済み	CNT_INIT		OUT_POL	DLY_EDET	
387h	CNT9_FSM3_CFG0	CNT_DATA								
388h	CNT9_FSM3_CFG1	CLK_SEL				MODE_SEL				
389h	CNT9_FSM3_CFG2	UP_SYNC	KEEP_SYNC	RST_SYNC	予約済み	CNT_INIT		OUT_POL	DLY_EDET	
38Ah	PWM_GEN0_CFG	予約済み				TDB_SEL		OUTP_POL	OUTN_POL	
38Bh	PWM_GEN1_CFG	予約済み				TDB_SEL		OUTP_POL	OUTN_POL	
38Ch	PWM_GEN2_CFG	予約済み				TDB_SEL		OUTP_POL	OUTN_POL	
38Dh	PWM_GEN3_CFG	予約済み				TDB_SEL		OUTP_POL	OUTN_POL	
38Eh	PWM_SRC_CFG	PWM_GEN3_DATA_SEL		PWM_GEN2_DATA_SEL		PWM_GEN1_DATA_SEL		PWM_GEN0_DATA_SEL		
38Fh	SM_CFG0	予約済み		SM_S1_IN0		予約済み		SM_S0_IN0		
390h	SM_CFG1	予約済み		SM_S1_IN1		予約済み		SM_S0_IN1		
391h	SM_CFG2	予約済み		SM_S1_IN2		予約済み		SM_S0_IN2		
392h	SM_CFG3	予約済み		SM_S3_IN0		予約済み		SM_S2_IN0		
393h	SM_CFG4	予約済み		SM_S3_IN1		予約済み		SM_S2_IN1		
394h	SM_CFG5	予約済み		SM_S3_IN2		予約済み		SM_S2_IN2		
395h	SM_CFG6	予約済み		SM_S5_IN0		予約済み		SM_S4_IN0		
396h	SM_CFG7	予約済み		SM_S5_IN1		予約済み		SM_S4_IN1		
397h	SM_CFG8	予約済み		SM_S5_IN2		予約済み		SM_S4_IN2		

表 7-262. TPLD2001\_CFG\_1 のレジスタ (続き)

オフセット	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
398h	SM_CFG9	予約済み		SM_S7_IN0		予約済み		SM_S6_IN0		
399h	SM_CFG10	予約済み		SM_S7_IN1		予約済み		SM_S6_IN1		
39Ah	SM_CFG11	SM_SYNC_EN	SM_S7_IN2		予約済み		SM_S6_IN2			
3A7h	SM_CFG12	SM_CLK_SEL				SM_MODE	SM_INIT_STATE			
3A8h	SM_CFG13	S0_OUT_CFG								
3A9h	SM_CFG14	S1_OUT_CFG								
3AAh	SM_CFG15	S2_OUT_CFG								
3ABh	SM_CFG16	S3_OUT_CFG								
3ACh	SM_CFG17	S4_OUT_CFG								
3ADh	SM_CFG18	S5_OUT_CFG								
3AEh	SM_CFG19	S6_OUT_CFG								
3AFh	SM_CFG20	S7_OUT_CFG								
3B8h	WDT_CFG0	WDT_TIMEOUT_DATA								
3B9h	WDT_CFG1	WDT_OUT_DATA								
3BAh	WDT_CFG2	WDT_CLK_SEL				予約済み		WDT_100X_EN	WDT_EN_SEL	
3BBh	PFLT0_CFG	予約済み		PFLT_DLY_SEL		PFLT_POL	予約済み		PFLT_EDGE_SEL	
3BCh	PFLT1_CFG	予約済み		PFLT_DLY_SEL		PFLT_POL	予約済み		PFLT_EDGE_SEL	
3BDh	FILT_CFG	予約済み				FLT_POL	OTP_SPARE	FLT_EDGE_SEL		
3BEh	OSC0_CFG0	予約済み	CTRL_SRC	CTRL_SEL	SRC_SEL	PDIV		予約済み	PWR_MODE	
3BFh	OSC0_CFG1	OUT1_EN	OUT1_DIV			OUT0_EN	OUT0_DIV			
3C0h	OSC1_CFG0	予約済み	CTRL_SRC	CTRL_SEL	SRC_SEL	PDIV		予約済み	PWR_MODE	
3C1h	OSC1_CFG1	OUT1_EN	OUT1_DIV			OUT0_EN	OUT0_DIV			
3C2h	OSC2_CFG0	SU_DLY	CTRL_SRC	CTRL_SEL	SRC_SEL	PDIV		予約済み	PWR_MODE	
3C3h	OSC2_CFG1	予約済み				OUT_EN	OUT_DIV			
3C6h	ACMP0_CFG0	BW_SEL		INP_SEL		GAIN_SEL		HYS_SEL		
3C7h	ACMP0_CFG1	予約済み		INP_SEL		VREF_SEL		HYS_SEL		
3C8h	ACMP1_CFG0	BW_SEL		INP_SEL		GAIN_SEL		HYS_SEL		
3C9h	ACMP1_CFG1	予約済み		INP_SEL		VREF_SEL		HYS_SEL		
3CAh	ACMP2_CFG0	BW_SEL		INP_SEL		GAIN_SEL		HYS_SEL		
3CBh	ACMP2_CFG1	予約済み		INP_SEL		VREF_SEL		HYS_SEL		
3CCh	ACMP3_CFG0	BW_SEL		INP_SEL		GAIN_SEL		HYS_SEL		
3CDh	ACMP3_CFG1	予約済み		INP_SEL		VREF_SEL		HYS_SEL		
3CFh	MCACMP_CFG0	TS_INP_EN	VCC_INP_EN	SYNC_EN	MCS_MODE	CH_EN		予約済み	MCS_EN	
3D0h	MCACMP_CFG1	BW_SEL		予約済み			EDGE_SEL	MCS_CLK_SEL		
3D1h	MCACMP_CH0_CFG0	予約済み	RST_EN	INP_SEL		GAIN_SEL		HYS_SEL		
3D2h	MCACMP_CH0_CFG1	CH_VREF_SEL			VREF_SEL					
3D3h	MCACMP_CH0_CFG2	予約済み			VREF_SEL1					
3D6h	MCACMP_CH1_CFG0	予約済み	RST_EN	INP_SEL		GAIN_SEL		HYS_SEL		
3D7h	MCACMP_CH1_CFG1	CH_VREF_SEL			VREF_SEL					
3D8h	MCACMP_CH1_CFG2	予約済み			VREF_SEL1					
3DBh	MCACMP_CH2_CFG0	予約済み	RST_EN	INP_SEL		GAIN_SEL		HYS_SEL		
3DCh	MCACMP_CH2_CFG1	CH_VREF_SEL			VREF_SEL					
3DDh	MCACMP_CH2_CFG2	予約済み			VREF_SEL1					
3E0h	MCACMP_CH3_CFG0	予約済み	RST_EN	INP_SEL		GAIN_SEL		HYS_SEL		
3E1h	MCACMP_CH3_CFG1	CH_VREF_SEL			VREF_SEL					
3E2h	MCACMP_CH3_CFG2	予約済み			VREF_SEL1					
3E5h	AMUX0_CFG	予約済み						AMUX_EN		
3E6h	AMUX1_CFG	予約済み						AMUX_EN		
3F2h	SER_COMM_CFG0	I2C_ADDR_SRC_SEL				I2C_IO_LAT	I2C_RST_EN	I2C_EN	SPI_EN	
3F3h	SER_COMM_CFG1	I2C_ADDR_MSB				I2C_ADDR_LSB				予約済み
3F7h	MISC_CFG0	GPIO_QC	CFG_RD_LCK	CFG_WR_LCK	OTP_WR_LCK	USER_LCK		予約済み		
3FAh	DEVICE_ID4	DEVICE_ID4								
3FBh	DEVICE_ID5	DEVICE_ID5								
3FCh	DEVICE_ID6	DEVICE_ID6								

ADVANCE INFORMATION



表 7-262. TPLD2001\_CFG\_1 のレジスタ (続き)

オフセット	略称	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
3FDh	DEVICE_ID7	DEVICE_ID7							
3FEh	CRC_LSB	CRC_LSB							
3FFh	CRC_MSB	CRC_MSB							

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 7-263 に、このセクションでアクセス タイプに使用しているコードを示します。

表 7-263. TPLD2001\_Cfg\_1 のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

#### 7.4.4.4.3.1 IN0\_CFG レジスタ (オフセット = 300h) [リセット = XXh]

IN0\_CFG を表 7-264 に示します。

[概略表](#)に戻ります。

GPI による構成

表 7-264. IN0\_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	PULL_UP_EN	R/W	Xh	0h = プルダウン 1h = プルアップ
5:4	RES_SEL	R/W	Xh	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	予約済み	R	0h	予約済み
1:0	IN_CTRL	R/W	Xh	0h = シュミットトリガなしのデジタル入力 1h = シュミットトリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = 予約済み

#### 7.4.4.4.3.2 IO1\_CFG レジスタ (オフセット = 301h) [リセット = XXh]

IO1\_CFG を表 7-265 に示します。

[概略表](#)に戻ります。

GPIO1 構成

表 7-265. IO1\_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	PULL_UP_EN	R/W	Xh	0h = プルダウン 1h = プルアップ
5:4	RES_SEL	R/W	Xh	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ

表 7-265. IO1\_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープンドレイン NMOS 1X 3h = オープンドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミットトリガなしのデジタル入力 1h = シュミットトリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = アナログ I/O

#### 7.4.4.4.3.3 IO2\_CFG レジスタ (オフセット = 302h) [リセット = XXh]

IO2\_CFG を表 7-266 に示します。

概略表に戻ります。

GPIO2 構成

表 7-266. IO2\_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	PULL_UP_EN	R/W	Xh	0h = フルダウン 1h = プルアップ
5:4	RES_SEL	R/W	Xh	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープンドレイン NMOS 1X 3h = オープンドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミットトリガなしのデジタル入力 1h = シュミットトリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = アナログ I/O

#### 7.4.4.4.3.4 IO3\_CFG レジスタ (オフセット = 303h) [リセット = XXh]

IO3\_CFG を表 7-267 に示します。

概略表に戻ります。

GPIO3 構成

表 7-267. IO3\_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	PULL_UP_EN	R/W	Xh	0h = フルダウン 1h = プルアップ
5:4	RES_SEL	R/W	Xh	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープンドレイン NMOS 1X 3h = オープンドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミットトリガなしのデジタル入力 1h = シュミットトリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = アナログ I/O

#### 7.4.4.4.3.5 IO4\_CFG レジスタ (オフセット = 304h) [リセット = X0h]

IO4\_CFG を表 7-268 に示します。

[概略表](#)に戻ります。

GPIO4 構成

表 7-268. IO4\_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	OE	R/W	0h	0h = 入力 1h = 出力
6	PULL_UP_EN	R/W	0h	0h = プルダウン 1h = プルアップ
5:4	RES_SEL	R/W	0h	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープンドレイン NMOS 1X 3h = オープンドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミットトリガなしのデジタル入力 1h = シュミットトリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = アナログ I/O

#### 7.4.4.4.3.6 IO5\_CFG レジスタ (オフセット = 305h) [リセット = X0h]

IO5\_CFG を表 7-269 に示します。

[概略表](#)に戻ります。

GPIO5 構成

表 7-269. IO5\_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	OE	R/W	0h	0h = 入力 1h = 出力
6	PULL_UP_EN	R/W	0h	0h = プルダウン 1h = プルアップ
5:4	RES_SEL	R/W	0h	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープンドレイン NMOS 1X 3h = オープンドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミットトリガなしのデジタル入力 1h = シュミットトリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = 予約済み

#### 7.4.4.4.3.7 IO6\_CFG レジスタ (オフセット = 306h) [リセット = X0h]

IO6\_CFG を表 7-270 に示します。

[概略表](#)に戻ります。

GPIO6 構成

**表 7-270. IO6\_CFG レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	OE	R/W	0h	0h = 入力 1h = 出力
6	PULL_UP_EN	R/W	0h	0h = プルダウン 1h = プルアップ
5:4	RES_SEL	R/W	0h	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープンドレイン NMOS 1X 3h = オープンドレイン NMOS 4X
1:0	IN_CTRL	R/W	Xh	0h = シュミットトリガなしのデジタル入力 1h = シュミットトリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = 予約済み

#### 7.4.4.3.8 IO7\_CFG レジスタ (オフセット = 307h) [リセット = X0h]

IO7\_CFG を表 7-271 に示します。

[概略表](#)に戻ります。

GPIO7 構成

**表 7-271. IO7\_CFG レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	OE	R/W	0h	0h = 入力 1h = 出力
6	PULL_UP_EN	R/W	0h	0h = プルダウン 1h = プルアップ
5:4	RES_SEL	R/W	0h	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープンドレイン NMOS 1X 3h = オープンドレイン NMOS 4X
1:0	IN_CTRL	R/W	Xh	0h = シュミットトリガなしのデジタル入力 1h = シュミットトリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = 予約済み

#### 7.4.4.3.9 IO8\_CFG レジスタ (オフセット = 308h) [リセット = X0h]

IO8\_CFG を表 7-272 に示します。

[概略表](#)に戻ります。

GPIO8 構成

**表 7-272. IO8\_CFG レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	OE	R/W	0h	0h = 入力 1h = 出力
6	PULL_UP_EN	R/W	0h	0h = プルダウン 1h = プルアップ
5:4	RES_SEL	R/W	0h	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ

**表 7-272. IO8\_CFG レジスタのフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープンドレイン NMOS 1X 3h = オープンドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミットトリガなしのデジタル入力 1h = シュミットトリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = 予約済み

#### 7.4.4.3.10 IO9\_CFG レジスタ (オフセット = 309h) [リセット = X0h]

IO9\_CFG を表 7-273 に示します。

[概略表](#)に戻ります。

GPIO9 構成

**表 7-273. IO9\_CFG レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	OE	R/W	0h	0h = 入力 1h = 出力
6	PULL_UP_EN	R/W	0h	0h = プルダウン 1h = プルアップ
5:4	RES_SEL	R/W	0h	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープンドレイン NMOS 1X 3h = オープンドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミットトリガなしのデジタル入力 1h = シュミットトリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = アナログ I/O

#### 7.4.4.3.11 IO10\_CFG レジスタ (オフセット = 30Ah) [リセット = XXh]

IO10\_CFG を表 7-274 に示します。

[概略表](#)に戻ります。

GPIO10 構成

**表 7-274. IO10\_CFG レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	PULL_UP_EN	R/W	Xh	0h = プルダウン 1h = プルアップ
5:4	RES_SEL	R/W	Xh	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープンドレイン NMOS 1X 3h = オープンドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミットトリガなしのデジタル入力 1h = シュミットトリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = アナログ I/O

**7.4.4.4.3.12 IO11\_CFG レジスタ (オフセット = 30Bh) [リセット = XXh]**

IO11\_CFG を表 7-275 に示します。

[概略表](#)に戻ります。

GPIO11 構成

**表 7-275. IO11\_CFG レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	PULL_UP_EN	R/W	Xh	0h = プルダウン 1h = プルアップ
5:4	RES_SEL	R/W	Xh	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープンドレイン NMOS 1X 3h = オープンドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミットトリガなしのデジタル入力 1h = シュミットトリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = アナログ I/O

**7.4.4.4.3.13 IO12\_CFG レジスタ (オフセット = 30Ch) [リセット = XXh]**

IO12\_CFG を表 7-276 に示します。

[概略表](#)に戻ります。

GPIO12 構成

**表 7-276. IO12\_CFG レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	PULL_UP_EN	R/W	Xh	0h = プルダウン 1h = プルアップ
5:4	RES_SEL	R/W	Xh	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープンドレイン NMOS 1X 3h = オープンドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミットトリガなしのデジタル入力 1h = シュミットトリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = アナログ I/O

**7.4.4.4.3.14 IO13\_CFG レジスタ (オフセット = 30Dh) [リセット = XXh]**

IO13\_CFG を表 7-277 に示します。

[概略表](#)に戻ります。

GPIO13 構成

**表 7-277. IO13\_CFG レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	PULL_UP_EN	R/W	Xh	0h = プルダウン 1h = プルアップ

**表 7-277. IO13\_CFG レジスタのフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
5:4	RES_SEL	R/W	Xh	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープンドレイン NMOS 1X 3h = オープンドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミットトリガなしのデジタル入力 1h = シュミットトリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = アナログ I/O

#### 7.4.4.4.3.15 IO14\_CFG レジスタ (オフセット = 30Eh) [リセット = X0h]

IO14\_CFG を表 7-278 に示します。

[概略表](#)に戻ります。

GPIO14 構成

**表 7-278. IO14\_CFG レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	OE	R/W	0h	0h = 入力 1h = 出力
6	PULL_UP_EN	R/W	0h	0h = プルダウン 1h = プルアップ
5:4	RES_SEL	R/W	0h	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープンドレイン NMOS 1X 3h = オープンドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミットトリガなしのデジタル入力 1h = シュミットトリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = アナログ I/O

#### 7.4.4.4.3.16 IO15\_CFG レジスタ (オフセット = 30Fh) [リセット = XXh]

IO15\_CFG を表 7-279 に示します。

[概略表](#)に戻ります。

GPIO15 構成

**表 7-279. IO15\_CFG レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	PULL_UP_EN	R/W	Xh	0h = プルダウン 1h = プルアップ
5:4	RES_SEL	R/W	Xh	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープンドレイン NMOS 1X 3h = オープンドレイン NMOS 2X

表 7-279. IO15\_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1:0	IN_CTRL	R/W	Xh	0h = シュミットトリガなしのデジタル入力 1h = シュミットトリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = アナログ I/O

#### 7.4.4.4.3.17 IO16\_CFG レジスタ (オフセット = 310h) [リセット = XXh]

IO16\_CFG を表 7-280 に示します。

概略表に戻ります。

GPIO16 構成

表 7-280. IO16\_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	PULL_UP_EN	R/W	Xh	0h = プルダウン 1h = プルアップ
5:4	RES_SEL	R/W	Xh	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープンドレイン NMOS 1X 3h = オープンドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミットトリガなしのデジタル入力 1h = シュミットトリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = アナログ I/O

#### 7.4.4.4.3.18 IO17\_CFG レジスタ (オフセット = 311h) [リセット = XXh]

IO17\_CFG を表 7-281 に示します。

概略表に戻ります。

GPIO17 構成

表 7-281. IO17\_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	PULL_UP_EN	R/W	Xh	0h = プルダウン 1h = プルアップ
5:4	RES_SEL	R/W	Xh	0h = フローティング 1h = 10kΩ 2h = 100kΩ 3h = 1MΩ
3:2	OUT_CTRL	R/W	Xh	0h = プッシュプル 1X 1h = プッシュプル 2X 2h = オープンドレイン NMOS 1X 3h = オープンドレイン NMOS 2X
1:0	IN_CTRL	R/W	Xh	0h = シュミットトリガなしのデジタル入力 1h = シュミットトリガ付きデジタル入力 2h = 低電圧デジタル入力 3h = アナログ I/O

#### 7.4.4.4.3.19 VIO\_SEL\_0 レジスタ (オフセット = 320h) [リセット = X0h]

VIO\_SEL\_0 を表 7-282 に示します。



[概略表](#)に戻ります。

IO8 から IO1 の仮想 IO の選択

表 7-282. VIO\_SEL\_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	V_IN7	R/W	0h	0h = IO8 1h = V_IN7
6	V_IN6	R/W	0h	0h = IO7 1h = V_IN6
5	V_IN5	R/W	0h	0h = IO6 1h = V_IN5
4	V_IN4	R/W	0h	0h = IO5 1h = V_IN4
3	V_IN3	R/W	Xh	0h = IO4 1h = V_IN3
2	V_IN2	R/W	Xh	0h = IO3 1h = V_IN2
1	V_IN1	R/W	Xh	0h = IO2 1h = V_IN1
0	V_IN0	R/W	Xh	0h = IO1 1h = V_IN0

#### 7.4.4.4.3.20 LUT\_FS\_0 レジスタ (オフセット = 324h) [リセット = 0Xh]

LUT\_FS\_0 を表 7-283 に示します。

[概略表](#)に戻ります。

LUT2\_3 to LUT2\_0 機能選択

表 7-283. LUT\_FS\_0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3	LUT2_3_FS	R/W	Xh	0h = LUT 1h = PGEN
2	LUT2_2_FS	R/W	Xh	0h = LUT 1h = DFF
1	LUT2_1_FS	R/W	Xh	0h = LUT 1h = DFF
0	LUT2_0_FS	R/W	Xh	0h = LUT 1h = DFF

#### 7.4.4.4.3.21 LUT\_FS\_1 レジスタ (オフセット = 325h) [リセット = XXh]

LUT\_FS\_1 を表 7-284 に示します。

[概略表](#)に戻ります。

LUT3\_5 to LUT3\_0 機能選択

表 7-284. LUT\_FS\_1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	LUT3_5_FS	R/W	Xh	0h = LUT 1h = DFF/SR
4	LUT3_4_FS	R/W	Xh	0h = LUT 1h = DFF/SR
3	LUT3_3_FS	R/W	Xh	0h = LUT 1h = DFF/SR
2	LUT3_2_FS	R/W	Xh	0h = LUT 1h = DFF/SR

表 7-284. LUT\_FS\_1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	LUT3_1_FS	R/W	Xh	0h = LUT 1h = DFF
0	LUT3_0_FS	R/W	Xh	0h = LUT 1h = DFF

#### 7.4.4.4.3.22 LUT\_FS\_3 レジスタ (オフセット = 327h) [リセット = 0Xh]

LUT\_FS\_3 を表 7-285 に示します。

[概略表](#)に戻ります。

LUT4\_3 to LUT4\_0 機能選択

表 7-285. LUT\_FS\_3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3	LUT4_3_FS	R/W	Xh	0h = LUT 1h = DFF
2	LUT4_2_FS	R/W	Xh	0h = LUT 1h = DFF
1	LUT4_1_FS	R/W	Xh	0h = LUT 1h = DFF
0	LUT4_0_FS	R/W	Xh	0h = LUT 1h = DFF

#### 7.4.4.4.3.23 LUT2\_0\_CFG レジスタ (オフセット = 328h) [リセット = X0h]

LUT2\_0\_CFG を表 7-286 に示します。

[概略表](#)に戻ります。

LUT2\_0/DFF0 構成

表 7-286. LUT2\_0\_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3	BIT3	R/W	Xh	LUT2[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT2[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT2[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT2[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

#### 7.4.4.4.3.24 LUT2\_1\_CFG レジスタ (オフセット = 329h) [リセット = X0h]

LUT2\_1\_CFG を表 7-287 に示します。

[概略表](#)に戻ります。

LUT2\_1/DFF1 構成

表 7-287. LUT2\_1\_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み

**表 7-287. LUT2\_1\_CFG レジスタのフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
3	BIT3	R/W	Xh	LUT2[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT2[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT2[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT2[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

#### 7.4.4.4.3.25 LUT2\_2\_CFG レジスタ (オフセット = 32Ah) [リセット = X0h]

LUT2\_2\_CFG を表 7-288 に示します。

[概略表](#)に戻ります。

LUT2\_2/DFF2 構成

**表 7-288. LUT2\_2\_CFG レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3	BIT3	R/W	Xh	LUT2[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT2[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT2[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT2[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

#### 7.4.4.4.3.26 LUT2\_3\_CFG0 レジスタ (オフセット = 32Eh) [リセット = XXh]

LUT2\_3\_CFG0 を表 7-289 に示します。

[概略表](#)に戻ります。

LUT2\_3/PGEN 構成 0

**表 7-289. LUT2\_3\_CFG0 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	PGEN_RST	R/W	Xh	OTP_SPARE または PGEN RST LVL 0h = Low 1h = High
4	予約済み	R	0h	予約済み

表 7-289. LUT2\_3\_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3:0	BITS3_0	R/W	Xh	LUT2[3:0] または PGEN SIZE 0h = 1 1h = 2 2h = 3 3h = 4 4h = 5 5h = 6 6h = 7 7h = 8 8h = 9 9h = 10 Ah = 11 Bh = 12 Ch = 13 Dh = 14 Eh = 15 Fh = 16

#### 7.4.4.4.3.27 LUT2\_3\_CFG1 レジスタ (オフセット = 32Fh) [リセット = X0h]

LUT2\_3\_CFG1 を表 7-290 に示します。

[概略表](#)に戻ります。

PGEN 構成 1

表 7-290. LUT2\_3\_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	PGEN_DATA_LSB	R/W	Xh	PGEN_DATA[7:0]

#### 7.4.4.4.3.28 LUT2\_3\_CFG2 レジスタ (オフセット = 330h) [リセット = X0h]

LUT2\_3\_CFG2 を表 7-291 に示します。

[概略表](#)に戻ります。

PGEN 構成 2

表 7-291. LUT2\_3\_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	PGEN_DATA_MSB	R/W	Xh	PGEN_DATA[15:8]

#### 7.4.4.4.3.29 LUT3\_0\_CFG レジスタ (オフセット = 334h) [リセット = X0h]

LUT3\_0\_CFG を表 7-292 に示します。

[概略表](#)に戻ります。

LUT3\_0/DFF3 構成

表 7-292. LUT3\_0\_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT3[7]
6	BIT6	R/W	0h	LUT3[6] または DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT3[5] または DFF RST LVL 0h = Low 1h = High
4	BIT4	R/W	0h	LUT3[4] または DFF RST/SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)

表 7-292. LUT3\_0\_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	BIT3	R/W	Xh	LUT3[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT3[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT3[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT3[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

#### 7.4.4.4.3.30 LUT3\_1\_CFG レジスタ (オフセット = 335h) [リセット = X0h]

LUT3\_1\_CFG を表 7-293 に示します。

[概略表](#)に戻ります。

LUT3\_1/DFF4 構成

表 7-293. LUT3\_1\_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT3[7]
6	BIT6	R/W	0h	LUT3[6] または DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT3[5] または DFF RST LVL 0h = Low 1h = High
4	BIT4	R/W	0h	LUT3[4] または DFF RST/SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
3	BIT3	R/W	Xh	LUT3[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT3[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT3[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT3[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

#### 7.4.4.4.3.31 LUT3\_2\_CFG0 レジスタ (オフセット = 336h) [リセット = X0h]

LUT3\_2\_CFG0 を表 7-294 に示します。

[概略表](#)に戻ります。

LUT3\_2/DFF5/SR0 構成 0

表 7-294. LUT3\_2\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT3[7]

表 7-294. LUT3\_2\_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6:4	BITS6_4	R/W	0h	LUT3[6:4] または SR SIZE 0h = 1 (DFF) 1h = 2 2h = 3 3h = 4 4h = 5 5h = 6 6h = 7 7h = 8
3	BIT3	R/W	Xh	LUT3[3] または DFF / SR RST LVL 0h = Low 1h = High
2	BIT2	R/W	Xh	LUT3[2] または DFF / SR RST / SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
1	BIT1	R/W	Xh	LUT3[1] または DFF/ SR OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT3[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

7.4.4.4.3.32 LUT3\_2\_CFG1 レジスタ (オフセット = 337h) [リセット = X0h]

LUT3\_2\_CFG1 を表 7-295 に示します。

[概略表](#)に戻ります。

LUT3\_2/DFF5/SR0 構成 1

表 7-295. LUT3\_2\_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	BITS15_8	R/W	Xh	DFF / SR INIT VAL

7.4.4.4.3.33 LUT3\_3\_CFG0 レジスタ (オフセット = 338h) [リセット = X0h]

LUT3\_3\_CFG0 を表 7-296 に示します。

[概略表](#)に戻ります。

LUT3\_3/DFF6/SR1 構成 0

表 7-296. LUT3\_3\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT3[7]
6:4	BITS6_4	R/W	0h	LUT3[6:4] または SR SIZE 0h = 1 (DFF) 1h = 2 2h = 3 3h = 4 4h = 5 5h = 6 6h = 7 7h = 8
3	BIT3	R/W	Xh	LUT3[3] または DFF / SR RST LVL 0h = Low 1h = High
2	BIT2	R/W	Xh	LUT3[2] または DFF / SR RST / SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
1	BIT1	R/W	Xh	LUT3[1] または DFF/ SR OUT POL 0h = 非反転出力 1h = 反転出力

表 7-296. LUT3\_3\_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	BIT0	R/W	Xh	LUT3[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

#### 7.4.4.4.3.34 LUT3\_3\_CFG1 レジスタ (オフセット = 339h) [リセット = X0h]

LUT3\_3\_CFG1 を表 7-297 に示します。

[概略表](#)に戻ります。

LUT3\_3/DFF6/SR1 構成 1

表 7-297. LUT3\_3\_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	BITS15_8	R/W	Xh	DFF / SR INIT VAL

#### 7.4.4.4.3.35 LUT3\_4\_CFG0 レジスタ (オフセット = 33Ah) [リセット = X0h]

LUT3\_4\_CFG0 を表 7-298 に示します。

[概略表](#)に戻ります。

LUT3\_4/DFF7/SR2 構成 0

表 7-298. LUT3\_4\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT3[7]
6:4	BITS6_4	R/W	0h	LUT3[6:4] または SR SIZE 0h = 1 (DFF) 1h = 2 2h = 3 3h = 4 4h = 5 5h = 6 6h = 7 7h = 8
3	BIT3	R/W	Xh	LUT3[3] または DFF / SR RST LVL 0h = Low 1h = High
2	BIT2	R/W	Xh	LUT3[2] または DFF / SR RST / SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
1	BIT1	R/W	Xh	LUT3[1] または DFF / SR OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT3[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

#### 7.4.4.4.3.36 LUT3\_4\_CFG1 レジスタ (オフセット = 33Bh) [リセット = X0h]

LUT3\_4\_CFG1 を表 7-299 に示します。

[概略表](#)に戻ります。

LUT3\_4/DFF7/SR2 構成 1

表 7-299. LUT3\_4\_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	BITS15_8	R/W	Xh	DFF / SR INIT VAL

**7.4.4.4.3.37 LUT3\_5\_CFG0 レジスタ (オフセット = 33Ch) [リセット = X0h]**

LUT3\_5\_CFG0 を表 7-300 に示します。

[概略表](#)に戻ります。

LUT3\_5/DFF8/SR3 構成 0

**表 7-300. LUT3\_5\_CFG0 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT3[7]
6:4	BITS6_4	R/W	0h	LUT3[6:4] または SR SIZE 0h = 1 (DFF) 1h = 2 2h = 3 3h = 4 4h = 5 5h = 6 6h = 7 7h = 8
3	BIT3	R/W	Xh	LUT3[3] または DFF / SR RST LVL 0h = Low 1h = High
2	BIT2	R/W	Xh	LUT3[2] または DFF / SR RST / SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
1	BIT1	R/W	Xh	LUT3[1] または DFF / SR OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT3[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

**7.4.4.4.3.38 LUT3\_5\_CFG1 レジスタ (オフセット = 33Dh) [リセット = X0h]**

LUT3\_5\_CFG1 を表 7-301 に示します。

[概略表](#)に戻ります。

LUT3\_5/DFF8/SR3 構成 1

**表 7-301. LUT3\_5\_CFG1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	BITS15_8	R/W	Xh	DFF / SR INIT VAL

**7.4.4.4.3.39 LUT4\_0\_CFG0 レジスタ (オフセット = 344h) [リセット = X0h]**

LUT4\_0\_CFG0 を表 7-302 に示します。

[概略表](#)に戻ります。

LUT4\_0/DFF15 構成 0

**表 7-302. LUT4\_0\_CFG0 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT4[7]
6	BIT6	R/W	0h	LUT4[6] または DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT4[5] または DFF RST LVL 0h = Low 1h = High
4	BIT4	R/W	0h	LUT4[4] または DFF RST/SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)



表 7-302. LUT4\_0\_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	BIT3	R/W	Xh	LUT4[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT4[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT4[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT4[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

#### 7.4.4.3.40 LUT4\_0\_CFG1 レジスタ (オフセット = 345h) [リセット = X0h]

LUT4\_0\_CFG1 を表 7-303 に示します。

[概略表](#)に戻ります。

LUT4\_0/DFF15 構成 1

表 7-303. LUT4\_0\_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	BITS15_8	R/W	Xh	LUT4[15:8]

#### 7.4.4.3.41 LUT4\_1\_CFG0 レジスタ (オフセット = 346h) [リセット = X0h]

LUT4\_1\_CFG0 を表 7-304 に示します。

[概略表](#)に戻ります。

LUT4\_1/DFF16 構成 0

表 7-304. LUT4\_1\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT4[7]
6	BIT6	R/W	0h	LUT4[6] または DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT4[5] または DFF RST LVL 0h = Low 1h = High
4	BIT4	R/W	0h	LUT4[4] または DFF RST/SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
3	BIT3	R/W	Xh	LUT4[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT4[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT4[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT4[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

**7.4.4.4.3.42 LUT4\_1\_CFG1 レジスタ (オフセット = 347h) [リセット = X0h]**

LUT4\_1\_CFG1 を表 7-305 に示します。

[概略表](#)に戻ります。

LUT4\_1/DFF16 構成 1

**表 7-305. LUT4\_1\_CFG1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	BITS15_8	R/W	Xh	LUT4[15:8]

**7.4.4.4.3.43 LUT4\_2\_CFG0 レジスタ (オフセット = 348h) [リセット = X0h]**

LUT4\_2\_CFG0 を表 7-306 に示します。

[概略表](#)に戻ります。

LUT4\_2/DFF17 構成 0

**表 7-306. LUT4\_2\_CFG0 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT4[7]
6	BIT6	R/W	0h	LUT4[6] または DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT4[5] または DFF RST LVL 0h = Low 1h = High
4	BIT4	R/W	0h	LUT4[4] または DFF RST/SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
3	BIT3	R/W	Xh	LUT4[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT4[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT4[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT4[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

**7.4.4.4.3.44 LUT4\_2\_CFG1 レジスタ (オフセット = 349h) [リセット = X0h]**

LUT4\_2\_CFG1 を表 7-307 に示します。

[概略表](#)に戻ります。

LUT4\_2/DFF17 構成 1

**表 7-307. LUT4\_2\_CFG1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	BITS15_8	R/W	Xh	LUT4[15:8]

**7.4.4.4.3.45 LUT4\_3\_CFG0 レジスタ (オフセット = 34Ah) [リセット = X0h]**

LUT4\_3\_CFG0 を表 7-308 に示します。

[概略表](#)に戻ります。

LUT4\_3/DFF18 構成 0

表 7-308. LUT4\_3\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT4[7]
6	BIT6	R/W	0h	LUT4[6] または DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT4[5] または DFF RST LVL 0h = Low 1h = High
4	BIT4	R/W	0h	LUT4[4] または DFF RST/SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
3	BIT3	R/W	Xh	LUT4[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT4[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT4[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT4[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

7.4.4.4.3.46 LUT4\_3\_CFG1 レジスタ (オフセット = 34Bh) [リセット = X0h]

LUT4\_3\_CFG1 を表 7-309 に示します。

[概略表](#)に戻ります。

LUT4\_3/DFF18 構成 1

表 7-309. LUT4\_3\_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	BITS15_8	R/W	Xh	LUT4[15:8]

7.4.4.4.3.47 LUT3\_6\_CFG0 レジスタ (オフセット = 354h) [リセット = X0h]

LUT3\_6\_CFG0 を表 7-310 に示します。

[概略表](#)に戻ります。

LDC0 構成 0

表 7-310. LUT3\_6\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT3[7]
6	BIT6	R/W	0h	LUT3[6] または DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT3[5] または DFF RST LVL 0h = Low 1h = High
4	BIT4	R/W	0h	LUT3[4] または DFF RST/SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
3	BIT3	R/W	Xh	LUT3[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック

表 7-310. LUT3\_6\_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	BIT2	R/W	Xh	LUT3[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT3[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT3[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

#### 7.4.4.4.3.48 LUT3\_6\_CFG1 レジスタ (オフセット = 355h) [リセット = X0h]

LUT3\_6\_CFG1 を表 7-311 に示します。

[概略表](#)に戻ります。

LDC0 構成 1

表 7-311. LUT3\_6\_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT_DATA	R/W	Xh	CNT データ

#### 7.4.4.4.3.49 LUT3\_6\_CFG2 レジスタ (オフセット = 356h) [リセット = X0h]

LUT3\_6\_CFG2 を表 7-312 に示します。

[概略表](#)に戻ります。

LDC0 構成 2

表 7-312. LUT3\_6\_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC2 (25MHz) 1h = OSC2 / 4 2h = OSC1 (2MHz) 3h = OSC1 / 8 4h = OSC1 / 64 5h = OSC1 / 512 6h = OSC0 (2kHz) 7h = OSC0 / 8 8h = OSC0 / 64 9h = OSC0 / 512 Ah = OSC0 / 4096 Bh = OSC0 / 32768 Ch = OSC0 / 262144 Dh = 予約済み Eh = 予約済み Fh = CMX からの外部 CLK
3:0	MODE_SEL	R/W	Xh	CNT MODE とエッジ SEL 0h = 遅延 / 両方のエッジ 1h = 遅延 / 立ち下がりエッジ 2h = 遅延 / 立ち上がりエッジ 3h = ワンショット / 両方のエッジ 4h = ワンショット / 立ち下がりエッジ 5h = ワンショット / 立ち上がりエッジ 6h = 周波数検出 / 両方のエッジ 7h = 周波数検出 / 立ち下がりエッジ 8h = 周波数検出 / 立ち上がりエッジ 9h = エッジ検出 / 両方のエッジ Ah = エッジ検出 / 立ち下がりエッジ Bh = エッジ検出 / 立ち上がりエッジ Ch = カウンタ / 両方のエッジ Dh = カウンタ / 立ち下がりエッジ Eh = カウンタ / 立ち上がりエッジ Fh = カウンタ / High レベル リセット

#### 7.4.4.4.3.50 LUT3\_6\_CFG3 レジスタ (オフセット = 357h) [リセット = X0h]

LUT3\_6\_CFG3 を表 7-313 に示します。

概略表に戻ります。

LDC0 構成 3

表 7-313. LUT3\_6\_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	RST_SYNC	R/W	0h	CNT RST SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
4	予約済み	R	0h	予約済み
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 初期 バイパス 1h = 初期 Low 2h = 初期 High 3h = 初期 High (予約済み)
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 非反転型 1h = 反転
0	DLY_EDET	R/W	Xh	DLY エッジ検出オプション 0h = 遅延機能 1h = 遅延機能でエッジ検出を有効にする

#### 7.4.4.4.3.51 LUT3\_6\_CFG4 レジスタ (オフセット = 358h) [リセット = XXh]

LUT3\_6\_CFG4 を表 7-314 に示します。

概略表に戻ります。

LDC0 構成 4

表 7-314. LUT3\_6\_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済み
4	LDC_FS	R/W	Xh	LUT3/DFF 機能選択 0h = LUT 1h = DFF
3:2	LDC_CMX_IN_SEL	R/W	Xh	LUT3/DFF 入力配線選択 0h = CNT OUT から LUT IN2/DFF RST IN 1h = CNT OUT から LUT IN1/DFF D IN 2h = CNT OUT から LUT IN0/DFF CLK IN 3h = 予約済み
1:0	LDC_CMX_MODE	R/W	Xh	LUT3/DFF + CNT モード選択 0h = LUT/DFF のみ 1h = CNT のみ 2h = CNT OUT から LUT/DFF IN 3h = LUT/DFF OUT から CNT IN

#### 7.4.4.4.3.52 LUT3\_7\_CFG0 レジスタ (オフセット = 359h) [リセット = X0h]

LUT3\_7\_CFG0 を表 7-315 に示します。

概略表に戻ります。

LDC1 構成 0

表 7-315. LUT3\_7\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT3[7]

表 7-315. LUT3\_7\_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	BIT6	R/W	0h	LUT3[6] または DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT3[5] または DFF RST LVL 0h = Low 1h = High
4	BIT4	R/W	0h	LUT3[4] または DFF RST/SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
3	BIT3	R/W	Xh	LUT3[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT3[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT3[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT3[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

#### 7.4.4.4.3.53 LUT3\_7\_CFG1 レジスタ (オフセット = 35Ah) [リセット = X0h]

LUT3\_7\_CFG1 を表 7-316 に示します。

[概略表](#)に戻ります。

LDC1 構成 1

表 7-316. LUT3\_7\_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT_DATA	R/W	Xh	CNT データ

#### 7.4.4.4.3.54 LUT3\_7\_CFG2 レジスタ (オフセット = 35Bh) [リセット = X0h]

LUT3\_7\_CFG2 を表 7-317 に示します。

[概略表](#)に戻ります。

LDC1 構成 2

表 7-317. LUT3\_7\_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC2 (25MHz) 1h = OSC2 / 4 2h = OSC1 (2MHz) 3h = OSC1 / 8 4h = OSC1 / 64 5h = OSC1 / 512 6h = OSC0 (2kHz) 7h = OSC0 / 8 8h = OSC0 / 64 9h = OSC0 / 512 Ah = OSC0 / 4096 Bh = OSC0 / 32768 Ch = OSC0 / 262144 Dh = 予約済み Eh = 予約済み Fh = CMX からの外部 CLK

表 7-317. LUT3\_7\_CFG2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3:0	MODE_SEL	R/W	Xh	CNT MODE とエッジ SEL 0h = 遅延 / 両方のエッジ 1h = 遅延 / 立ち下がりエッジ 2h = 遅延 / 立ち上がりエッジ 3h = ワンショット / 両方のエッジ 4h = ワンショット / 立ち下がりエッジ 5h = ワンショット / 立ち上がりエッジ 6h = 周波数検出 / 両方のエッジ 7h = 周波数検出 / 立ち下がりエッジ 8h = 周波数検出 / 立ち上がりエッジ 9h = エッジ検出 / 両方のエッジ Ah = エッジ検出 / 立ち下がりエッジ Bh = エッジ検出 / 立ち上がりエッジ Ch = カウンタ / 両方のエッジ Dh = カウンタ / 立ち下がりエッジ Eh = カウンタ / 立ち上がりエッジ Fh = カウンタ / High レベルリセット

#### 7.4.4.4.3.55 LUT3\_7\_CFG3 レジスタ (オフセット = 35Ch) [リセット = X0h]

LUT3\_7\_CFG3 を表 7-318 に示します。

[概略表](#)に戻ります。

LDC1 構成 3

表 7-318. LUT3\_7\_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	RST_SYNC	R/W	0h	CNT RST SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
4	予約済み	R	0h	予約済み
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 初期バイパス 1h = 初期 Low 2h = 初期 High 3h = 初期 High (予約済み)
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 非反転型 1h = 反転
0	DLY_EDET	R/W	Xh	DLY エッジ検出オプション 0h = 遅延機能 1h = 遅延機能でエッジ検出を有効にする

#### 7.4.4.4.3.56 LUT3\_7\_CFG4 レジスタ (オフセット = 35Dh) [リセット = XXh]

LUT3\_7\_CFG4 を表 7-319 に示します。

[概略表](#)に戻ります。

LDC1 構成 4

表 7-319. LUT3\_7\_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済み
4	LDC_FS	R/W	Xh	LUT3/DFF 機能選択 0h = LUT 1h = DFF
3:2	LDC_CMX_IN_SEL	R/W	Xh	LUT3/DFF 入力配線選択 0h = CNT OUT から LUT IN2/DFF RST IN 1h = CNT OUT から LUT IN1/DFF D IN 2h = CNT OUT から LUT IN0/DFF CLK IN 3h = 予約済み

表 7-319. LUT3\_7\_CFG4 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1:0	LDC_CMX_MODE	R/W	Xh	LUT3/DFF + CNT モード選択 0h = LUT/DFF のみ 1h = CNT のみ 2h = CNT OUT から LUT/DFF IN 3h = LUT/DFF OUT から CNT IN

#### 7.4.4.4.3.57 LUT3\_8\_CFG0 レジスタ (オフセット = 35Eh) [リセット = X0h]

LUT3\_8\_CFG0 を表 7-320 に示します。

[概略表](#)に戻ります。

LDC2 構成 0

表 7-320. LUT3\_8\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT3[7]
6	BIT6	R/W	0h	LUT3[6] または DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT3[5] または DFF RST LVL 0h = Low 1h = High
4	BIT4	R/W	0h	LUT3[4] または DFF RST/SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
3	BIT3	R/W	Xh	LUT3[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT3[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT3[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT3[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

#### 7.4.4.4.3.58 LUT3\_8\_CFG1 レジスタ (オフセット = 35Fh) [リセット = X0h]

LUT3\_8\_CFG1 を表 7-321 に示します。

[概略表](#)に戻ります。

LDC2 構成 1

表 7-321. LUT3\_8\_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT_DATA	R/W	Xh	CNT データ

#### 7.4.4.4.3.59 LUT3\_8\_CFG2 レジスタ (オフセット = 360h) [リセット = X0h]

LUT3\_8\_CFG2 を表 7-322 に示します。

[概略表](#)に戻ります。

LDC2 構成 2



表 7-322. LUT3\_8\_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC2 (25MHz) 1h = OSC2 / 4 2h = OSC1 (2MHz) 3h = OSC1 / 8 4h = OSC1 / 64 5h = OSC1 / 512 6h = OSC0 (2kHz) 7h = OSC0 / 8 8h = OSC0 / 64 9h = OSC0 / 512 Ah = OSC0 / 4096 Bh = OSC0 / 32768 Ch = OSC0 / 262144 Dh = 予約済み Eh = 予約済み Fh = CMX からの外部 CLK
3:0	MODE_SEL	R/W	Xh	CNT MODE とエッジ SEL 0h = 遅延 / 両方のエッジ 1h = 遅延 / 立ち下がりエッジ 2h = 遅延 / 立ち上がりエッジ 3h = ワンショット / 両方のエッジ 4h = ワンショット / 立ち下がりエッジ 5h = ワンショット / 立ち上がりエッジ 6h = 周波数検出 / 両方のエッジ 7h = 周波数検出 / 立ち下がりエッジ 8h = 周波数検出 / 立ち上がりエッジ 9h = エッジ検出 / 両方のエッジ Ah = エッジ検出 / 立ち下がりエッジ Bh = エッジ検出 / 立ち上がりエッジ Ch = カウンタ / 両方のエッジ Dh = カウンタ / 立ち下がりエッジ Eh = カウンタ / 立ち上がりエッジ Fh = カウンタ / High レベルリセット

#### 7.4.4.4.3.60 LUT3\_8\_CFG3 レジスタ (オフセット = 361h) [リセット = X0h]

LUT3\_8\_CFG3 を表 7-323 に示します。

[概略表](#)に戻ります。

LDC2 構成 3

表 7-323. LUT3\_8\_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	RST_SYNC	R/W	0h	CNT RST SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
4	予約済み	R	0h	予約済み
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 初期バイパス 1h = 初期 Low 2h = 初期 High 3h = 初期 High (予約済み)
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 非反転型 1h = 反転
0	DLY_EDET	R/W	Xh	DLY エッジ検出オプション 0h = 遅延機能 1h = 遅延機能でエッジ検出を有効にする

#### 7.4.4.4.3.61 LUT3\_8\_CFG4 レジスタ (オフセット = 362h) [リセット = XXh]

LUT3\_8\_CFG4 を表 7-324 に示します。

[概略表](#)に戻ります。

LDC2 構成 4

表 7-324. LUT3\_8\_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済み
4	LDC_FS	R/W	Xh	LUT3/DFF 機能選択 0h = LUT 1h = DFF
3:2	LDC_CMx_IN_SEL	R/W	Xh	LUT3/DFF 入力配線選択 0h = CNT OUT から LUT IN2/DFF RST IN 1h = CNT OUT から LUT IN1/DFF D IN 2h = CNT OUT から LUT IN0/DFF CLK IN 3h = 予約済み
1:0	LDC_CMx_MODE	R/W	Xh	LUT3/DFF + CNT モード選択 0h = LUT/DFF のみ 1h = CNT のみ 2h = CNT OUT から LUT/DFF IN 3h = LUT/DFF OUT から CNT IN

7.4.4.4.3.62 LUT3\_9\_CFG0 レジスタ (オフセット = 363h) [リセット = X0h]

LUT3\_9\_CFG0 を表 7-325 に示します。

[概略表](#)に戻ります。

LDC3 構成 0

表 7-325. LUT3\_9\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT3[7]
6	BIT6	R/W	0h	LUT3[6] または DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT3[5] または DFF RST LVL 0h = Low 1h = High
4	BIT4	R/W	0h	LUT3[4] または DFF RST/SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
3	BIT3	R/W	Xh	LUT3[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT3[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT3[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT3[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

7.4.4.4.3.63 LUT3\_9\_CFG1 レジスタ (オフセット = 364h) [リセット = X0h]

LUT3\_9\_CFG1 を表 7-326 に示します。

[概略表](#)に戻ります。

LDC3 構成 1

表 7-326. LUT3\_9\_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT_DATA	R/W	Xh	CNT データ

#### 7.4.4.4.3.64 LUT3\_9\_CFG2 レジスタ (オフセット = 365h) [リセット = X0h]

LUT3\_9\_CFG2 を表 7-327 に示します。

[概略表](#)に戻ります。

LDC3 構成 2

表 7-327. LUT3\_9\_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC2 (25MHz) 1h = OSC2 / 4 2h = OSC1 (2MHz) 3h = OSC1 / 8 4h = OSC1 / 64 5h = OSC1 / 512 6h = OSC0 (2kHz) 7h = OSC0 / 8 8h = OSC0 / 64 9h = OSC0 / 512 Ah = OSC0 / 4096 Bh = OSC0 / 32768 Ch = OSC0 / 262144 Dh = 予約済み Eh = 予約済み Fh = CMX からの外部 CLK
3:0	MODE_SEL	R/W	Xh	CNT MODE とエッジ SEL 0h = 遅延 / 両方のエッジ 1h = 遅延 / 立ち下がりエッジ 2h = 遅延 / 立ち上がりエッジ 3h = ワンショット / 両方のエッジ 4h = ワンショット / 立ち下がりエッジ 5h = ワンショット / 立ち上がりエッジ 6h = 周波数検出 / 両方のエッジ 7h = 周波数検出 / 立ち下がりエッジ 8h = 周波数検出 / 立ち上がりエッジ 9h = エッジ検出 / 両方のエッジ Ah = エッジ検出 / 立ち下がりエッジ Bh = エッジ検出 / 立ち上がりエッジ Ch = カウンタ / 両方のエッジ Dh = カウンタ / 立ち下がりエッジ Eh = カウンタ / 立ち上がりエッジ Fh = カウンタ / High レベルリセット

#### 7.4.4.4.3.65 LUT3\_9\_CFG3 レジスタ (オフセット = 366h) [リセット = X0h]

LUT3\_9\_CFG3 を表 7-328 に示します。

[概略表](#)に戻ります。

LDC3 構成 3

表 7-328. LUT3\_9\_CFG3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	RST_SYNC	R/W	0h	CNT RST SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
4	予約済み	R	0h	予約済み
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 初期バイパス 1h = 初期 Low 2h = 初期 High 3h = 初期 High (予約済み)
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 非反転型 1h = 反転
0	DLY_EDET	R/W	Xh	DLY エッジ検出オプション 0h = 遅延機能 1h = 遅延機能でエッジ検出を有効にする

**7.4.4.4.3.66 LUT3\_9\_CFG4 レジスタ (オフセット = 367h) [リセット = XXh]**

LUT3\_9\_CFG4 を表 7-329 に示します。

[概略表](#)に戻ります。

LDC3 構成 4

**表 7-329. LUT3\_9\_CFG4 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済み
4	LDC_FS	R/W	Xh	LUT3/DFF 機能選択 0h = LUT 1h = DFF
3:2	LDC_CMX_IN_SEL	R/W	Xh	LUT3/DFF 入力配線選択 0h = CNT OUT から LUT IN2/DFF RST IN 1h = CNT OUT から LUT IN1/DFF D IN 2h = CNT OUT から LUT IN0/DFF CLK IN 3h = 予約済み
1:0	LDC_CMX_MODE	R/W	Xh	LUT3/DFF + CNT モード選択 0h = LUT/DFF のみ 1h = CNT のみ 2h = CNT OUT から LUT/DFF IN 3h = LUT/DFF OUT から CNT IN

**7.4.4.4.3.67 LUT3\_10\_CFG0 レジスタ (オフセット = 372h) [リセット = X0h]**

LUT3\_10\_CFG0 を表 7-330 に示します。

[概略表](#)に戻ります。

LDC4 構成 0

**表 7-330. LUT3\_10\_CFG0 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT3[7]
6	BIT6	R/W	0h	LUT3[6] または DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT3[5] または DFF RST LVL 0h = Low 1h = High
4	BIT4	R/W	0h	LUT3[4] または DFF RST/SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
3	BIT3	R/W	Xh	LUT3[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT3[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT3[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT3[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

**7.4.4.4.3.68 LUT3\_10\_CFG1 レジスタ (オフセット = 373h) [リセット = X0h]**

LUT3\_10\_CFG1 を表 7-331 に示します。

[概略表](#)に戻ります。

LDC4 構成 1

**表 7-331. LUT3\_10\_CFG1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT_DATA_7:0	R/W	Xh	CNT DATA[7:0]

#### 7.4.4.4.3.69 LUT3\_10\_CFG2 レジスタ (オフセット = 374h) [リセット = X0h]

LUT3\_10\_CFG2 を表 7-332 に示します。

[概略表](#)に戻ります。

LDC4 構成 2

**表 7-332. LUT3\_10\_CFG2 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT_DATA_15:8	R/W	Xh	CNT_DATA[15:8]

#### 7.4.4.4.3.70 LUT3\_10\_CFG3 レジスタ (オフセット = 375h) [リセット = X0h]

LUT3\_10\_CFG3 を表 7-333 に示します。

[概略表](#)に戻ります。

LDC4 構成 3

**表 7-333. LUT3\_10\_CFG3 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC2 (25MHz) 1h = OSC2 / 4 2h = OSC1 (2MHz) 3h = OSC1 / 8 4h = OSC1 / 64 5h = OSC1 / 512 6h = OSC0 (2kHz) 7h = OSC0 / 8 8h = OSC0 / 64 9h = OSC0 / 512 Ah = OSC0 / 4096 Bh = OSC0 / 32768 Ch = OSC0 / 262144 Dh = 予約済み Eh = 予約済み Fh = CMX からの外部 CLK
3:0	MODE_SEL	R/W	Xh	CNT MODE とエッジ SEL 0h = 遅延 / 両方のエッジ 1h = 遅延 / 立ち下がりエッジ 2h = 遅延 / 立ち上がりエッジ 3h = ワンショット / 両方のエッジ 4h = ワンショット / 立ち下がりエッジ 5h = ワンショット / 立ち上がりエッジ 6h = 周波数検出 / 両方のエッジ 7h = 周波数検出 / 立ち下がりエッジ 8h = 周波数検出 / 立ち上がりエッジ 9h = エッジ検出 / 両方のエッジ Ah = エッジ検出 / 立ち下がりエッジ Bh = エッジ検出 / 立ち上がりエッジ Ch = カウンタ / 両方のエッジ Dh = カウンタ / 立ち下がりエッジ Eh = カウンタ / 立ち上がりエッジ Fh = カウンタ / High レベルリセット

#### 7.4.4.4.3.71 LUT3\_10\_CFG4 レジスタ (オフセット = 376h) [リセット = X0h]

LUT3\_10\_CFG4 を表 7-334 に示します。

[概略表](#)に戻ります。

LDC4 構成 4

表 7-334. LUT3\_10\_CFG4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	RST_SYNC	R/W	0h	CNT RST SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
4	予約済み	R	0h	予約済み
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 初期 バイパス 1h = 初期 Low 2h = 初期 High 3h = 初期 High (予約済み)
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 非反転型 1h = 反転
0	DLY_EDET	R/W	Xh	DLY エッジ検出オプション 0h = 遅延機能 1h = 遅延機能でエッジ検出を有効にする

7.4.4.4.3.72 LUT3\_10\_CFG5 レジスタ (オフセット = 377h) [リセット = XXh]

LUT3\_10\_CFG5 を表 7-335 に示します。

[概略表](#)に戻ります。

LDC4 構成 5

表 7-335. LUT3\_10\_CFG5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済み
4	LDC_FS	R/W	Xh	LUT3/DFF 機能選択 0h = LUT 1h = DFF
3:2	LDC_CMx_IN_SEL	R/W	Xh	LUT3/DFF 入力配線選択 0h = CNT OUT から LUT IN2/DFF RST IN 1h = CNT OUT から LUT IN1/DFF D IN 2h = CNT OUT から LUT IN0/DFF CLK IN 3h = 予約済み
1:0	LDC_CMx_MODE	R/W	Xh	LUT3/DFF + CNT モード選択 0h = LUT/DFF のみ 1h = CNT のみ 2h = CNT OUT から LUT/DFF IN 3h = LUT/DFF OUT から CNT IN

7.4.4.4.3.73 LUT3\_11\_CFG0 レジスタ (オフセット = 378h) [リセット = X0h]

LUT3\_11\_CFG0 を表 7-336 に示します。

[概略表](#)に戻ります。

LDC5 構成 0

表 7-336. LUT3\_11\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BIT7	R/W	0h	LUT3[7]
6	BIT6	R/W	0h	LUT3[6] または DFF NUM SEL 0h = 1-DFF 1h = 2-DFF
5	BIT5	R/W	0h	LUT3[5] または DFF RST LVL 0h = Low 1h = High

**表 7-336. LUT3\_11\_CFG0 レジスタのフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
4	BIT4	R/W	0h	LUT3[4] または DFF RST/SET SEL 0h = リセット (CLRZ) 1h = セット (PREZ)
3	BIT3	R/W	Xh	LUT3[3] または DFF CLK POL 0h = 非反転クロック 1h = 反転クロック
2	BIT2	R/W	Xh	LUT3[2] または DFF INIT VAL 0h = Low 1h = High
1	BIT1	R/W	Xh	LUT3[1] または DFF OUT POL 0h = 非反転出力 1h = 反転出力
0	BIT0	R/W	Xh	LUT3[0] または DFF/LAT SEL 0h = DFF 機能 1h = LATCH 機能

#### 7.4.4.4.3.74 LUT3\_11\_CFG1 レジスタ (オフセット = 379h) [リセット = X0h]

LUT3\_11\_CFG1 を表 7-337 に示します。

[概略表](#)に戻ります。

LDC5 構成 1

**表 7-337. LUT3\_11\_CFG1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT_DATA_7:0	R/W	Xh	CNT DATA[7:0]

#### 7.4.4.4.3.75 LUT3\_11\_CFG2 レジスタ (オフセット = 37Ah) [リセット = X0h]

LUT3\_11\_CFG2 を表 7-338 に示します。

[概略表](#)に戻ります。

LDC5 構成 2

**表 7-338. LUT3\_11\_CFG2 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT_DATA_15:8	R/W	Xh	CNT_DATA[15:8]

#### 7.4.4.4.3.76 LUT3\_11\_CFG3 レジスタ (オフセット = 37Bh) [リセット = X0h]

LUT3\_11\_CFG3 を表 7-339 に示します。

[概略表](#)に戻ります。

LDC5 構成 3

**表 7-339. LUT3\_11\_CFG3 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC2 (25MHz) 1h = OSC2 / 4 2h = OSC1 (2MHz) 3h = OSC1 / 8 4h = OSC1 / 64 5h = OSC1 / 512 6h = OSC0 (2kHz) 7h = OSC0 / 8 8h = OSC0 / 64 9h = OSC0 / 512 Ah = OSC0 / 4096 Bh = OSC0 / 32768 Ch = OSC0 / 262144 Dh = 予約済み Eh = 予約済み Fh = CMX からの外部 CLK
3:0	MODE_SEL	R/W	Xh	CNT MODE とエッジ SEL 0h = 遅延 / 両方のエッジ 1h = 遅延 / 立ち下がりエッジ 2h = 遅延 / 立ち上がりエッジ 3h = ワンショット / 両方のエッジ 4h = ワンショット / 立ち下がりエッジ 5h = ワンショット / 立ち上がりエッジ 6h = 周波数検出 / 両方のエッジ 7h = 周波数検出 / 立ち下がりエッジ 8h = 周波数検出 / 立ち上がりエッジ 9h = エッジ検出 / 両方のエッジ Ah = エッジ検出 / 立ち下がりエッジ Bh = エッジ検出 / 立ち上がりエッジ Ch = カウンタ / 両方のエッジ Dh = カウンタ / 立ち下がりエッジ Eh = カウンタ / 立ち上がりエッジ Fh = カウンタ / High レベルリセット

**7.4.4.4.3.77 LUT3\_11\_CFG4 レジスタ (オフセット = 37Ch) [リセット = X0h]**

LUT3\_11\_CFG4 を表 7-340 に示します。

[概略表](#)に戻ります。

LDC5 構成 4

**表 7-340. LUT3\_11\_CFG4 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	RST_SYNC	R/W	0h	CNT RST SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
4	予約済み	R	0h	予約済み
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 初期バイパス 1h = 初期 Low 2h = 初期 High 3h = 初期 High (予約済み)
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 非反転型 1h = 反転
0	DLY_EDET	R/W	Xh	DLY エッジ検出オプション 0h = 遅延機能 1h = 遅延機能でエッジ検出を有効にする

**7.4.4.4.3.78 LUT3\_11\_CFG5 レジスタ (オフセット = 37Dh) [リセット = XXh]**

LUT3\_11\_CFG5 を表 7-341 に示します。

[概略表](#)に戻ります。



LDC5 構成 5

**表 7-341. LUT3\_11\_CFG5 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済み
4	LDC_FS	R/W	Xh	LUT3/DFE 機能選択 0h = LUT 1h = DFF
3:2	LDC_CMx_IN_SEL	R/W	Xh	LUT3/DFE 入力配線選択 0h = CNT OUT から LUT IN2/DFE RST IN 1h = CNT OUT から LUT IN1/DFE D IN 2h = CNT OUT から LUT IN0/DFE CLK IN 3h = 予約済み
1:0	LDC_CMx_MODE	R/W	Xh	LUT3/DFE + CNT モード選択 0h = LUT/DFE のみ 1h = CNT のみ 2h = CNT OUT から LUT/DFE IN 3h = LUT/DFE OUT から CNT IN

**7.4.4.3.79 CNT6\_FSM0\_CFG0 レジスタ (オフセット = 37Eh) [リセット = X0h]**

CNT6\_FSM0\_CFG0 を表 7-342 に示します。

[概略表](#)に戻ります。

**表 7-342. CNT6\_FSM0\_CFG0 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT_DATA	R/W	Xh	CNT データ

**7.4.4.3.80 CNT6\_FSM0\_CFG1 レジスタ (オフセット = 37Fh) [リセット = X0h]**

CNT6\_FSM0\_CFG1 を表 7-343 に示します。

[概略表](#)に戻ります。

**表 7-343. CNT6\_FSM0\_CFG1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC2 (25MHz) 1h = OSC2 / 4 2h = OSC1 (2MHz) 3h = OSC1 / 8 4h = OSC1 / 64 5h = OSC1 / 512 6h = OSC0 (2kHz) 7h = OSC0 / 8 8h = OSC0 / 64 9h = OSC0 / 512 Ah = OSC0 / 4096 Bh = OSC0 / 32768 Ch = OSC0 / 262144 Dh = 予約済み Eh = 予約済み Fh = CMX からの外部 CLK

表 7-343. CNT6\_FSM0\_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3:0	MODE_SEL	R/W	Xh	CNT MODE とエッジ SEL 0h = 遅延 / 両方のエッジ 1h = 遅延 / 立ち下がりエッジ 2h = 遅延 / 立ち上がりエッジ 3h = ワンショット / 両方のエッジ 4h = ワンショット / 立ち下がりエッジ 5h = ワンショット / 立ち上がりエッジ 6h = 周波数検出 / 両方のエッジ 7h = 周波数検出 / 立ち下がりエッジ 8h = 周波数検出 / 立ち上がりエッジ 9h = エッジ検出 / 両方のエッジ Ah = エッジ検出 / 立ち下がりエッジ Bh = エッジ検出 / 立ち上がりエッジ Ch = カウンタ / 両方のエッジ Dh = カウンタ / 立ち下がりエッジ Eh = カウンタ / 立ち上がりエッジ Fh = カウンタ / High レベルリセット

#### 7.4.4.4.3.81 CNT6\_FSM0\_CFG2 レジスタ (オフセット = 380h) [リセット = 0Xh]

CNT6\_FSM0\_CFG2 を表 7-344 に示します。

概略表に戻ります。

表 7-344. CNT6\_FSM0\_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	UP_SYNC	R/W	0h	FSM UP SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
6	KEEP_SYNC	R/W	0h	FSM KEEP SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
5	RST_SYNC	R/W	0h	CNT RST SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
4	予約済み	R	0h	予約済み
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 初期バイパス 1h = 初期 Low 2h = 初期 High 3h = 初期 High (予約済み)
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 非反転型 1h = 反転
0	DLY_EDET	R/W	Xh	DLY エッジ検出オプション 0h = 遅延機能 1h = 遅延機能でエッジ検出を有効にする

#### 7.4.4.4.3.82 CNT7\_FSM1\_CFG0 レジスタ (オフセット = 381h) [リセット = X0h]

CNT7\_FSM1\_CFG0 を表 7-345 に示します。

概略表に戻ります。

表 7-345. CNT7\_FSM1\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT_DATA	R/W	Xh	CNT データ

#### 7.4.4.4.3.83 CNT7\_FSM1\_CFG1 レジスタ (オフセット = 382h) [リセット = X0h]

CNT7\_FSM1\_CFG1 を表 7-346 に示します。

概略表に戻ります。

表 7-346. CNT7\_FSM1\_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC2 (25MHz) 1h = OSC2 / 4 2h = OSC1 (2MHz) 3h = OSC1 / 8 4h = OSC1 / 64 5h = OSC1 / 512 6h = OSC0 (2kHz) 7h = OSC0 / 8 8h = OSC0 / 64 9h = OSC0 / 512 Ah = OSC0 / 4096 Bh = OSC0 / 32768 Ch = OSC0 / 262144 Dh = 予約済み Eh = 予約済み Fh = CMX からの外部 CLK
3:0	MODE_SEL	R/W	Xh	CNT MODE とエッジ SEL 0h = 遅延 / 両方のエッジ 1h = 遅延 / 立ち下がりエッジ 2h = 遅延 / 立ち上がりエッジ 3h = ワンショット / 両方のエッジ 4h = ワンショット / 立ち下がりエッジ 5h = ワンショット / 立ち上がりエッジ 6h = 周波数検出 / 両方のエッジ 7h = 周波数検出 / 立ち下がりエッジ 8h = 周波数検出 / 立ち上がりエッジ 9h = エッジ検出 / 両方のエッジ Ah = エッジ検出 / 立ち下がりエッジ Bh = エッジ検出 / 立ち上がりエッジ Ch = カウンタ / 両方のエッジ Dh = カウンタ / 立ち下がりエッジ Eh = カウンタ / 立ち上がりエッジ Fh = カウンタ / High レベルリセット

#### 7.4.4.4.3.84 CNT7\_FSM1\_CFG2 レジスタ (オフセット = 383h) [リセット = 0Xh]

CNT7\_FSM1\_CFG2 を表 7-347 に示します。

概略表に戻ります。

表 7-347. CNT7\_FSM1\_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	UP_SYNC	R/W	0h	FSM UP SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
6	KEEP_SYNC	R/W	0h	FSM KEEP SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
5	RST_SYNC	R/W	0h	CNT RST SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
4	予約済み	R	0h	予約済み
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 初期バイパス 1h = 初期 Low 2h = 初期 High 3h = 初期 High (予約済み)
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 非反転型 1h = 反転
0	DLY_EDET	R/W	Xh	DLY エッジ検出オプション 0h = 遅延機能 1h = 遅延機能でエッジ検出を有効にする

#### 7.4.4.4.3.85 CNT8\_FSM2\_CFG0 レジスタ (オフセット = 384h) [リセット = X0h]

CNT8\_FSM2\_CFG0 を表 7-348 に示します。

[概略表](#)に戻ります。

**表 7-348. CNT8\_FSM2\_CFG0 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CNT_DATA	R/W	Xh	CNT データ

**7.4.4.4.3.86 CNT8\_FSM2\_CFG1 レジスタ (オフセット = 385h) [リセット = X0h]**

CNT8\_FSM2\_CFG1 を [表 7-349](#) に示します。

[概略表](#)に戻ります。

**表 7-349. CNT8\_FSM2\_CFG1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC2 (25MHz) 1h = OSC2 / 4 2h = OSC1 (2MHz) 3h = OSC1 / 8 4h = OSC1 / 64 5h = OSC1 / 512 6h = OSC0 (2kHz) 7h = OSC0 / 8 8h = OSC0 / 64 9h = OSC0 / 512 Ah = OSC0 / 4096 Bh = OSC0 / 32768 Ch = OSC0 / 262144 Dh = 予約済み Eh = 予約済み Fh = CMX からの外部 CLK
3:0	MODE_SEL	R/W	Xh	CNT MODE とエッジ SEL 0h = 遅延 / 両方のエッジ 1h = 遅延 / 立ち下がりエッジ 2h = 遅延 / 立ち上がりエッジ 3h = ワンショット / 両方のエッジ 4h = ワンショット / 立ち下がりエッジ 5h = ワンショット / 立ち上がりエッジ 6h = 周波数検出 / 両方のエッジ 7h = 周波数検出 / 立ち下がりエッジ 8h = 周波数検出 / 立ち上がりエッジ 9h = エッジ検出 / 両方のエッジ Ah = エッジ検出 / 立ち下がりエッジ Bh = エッジ検出 / 立ち上がりエッジ Ch = カウンタ / 両方のエッジ Dh = カウンタ / 立ち下がりエッジ Eh = カウンタ / 立ち上がりエッジ Fh = カウンタ / High レベルリセット

**7.4.4.4.3.87 CNT8\_FSM2\_CFG2 レジスタ (オフセット = 386h) [リセット = 0Xh]**

CNT8\_FSM2\_CFG2 を [表 7-350](#) に示します。

[概略表](#)に戻ります。

**表 7-350. CNT8\_FSM2\_CFG2 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	UP_SYNC	R/W	0h	FSM UP SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
6	KEEP_SYNC	R/W	0h	FSM KEEP SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
5	RST_SYNC	R/W	0h	CNT RST SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
4	予約済み	R	0h	予約済み

表 7-350. CNT8\_FSM2\_CFG2 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 初期バイパス 1h = 初期 Low 2h = 初期 High 3h = 初期 High (予約済み)
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 非反転型 1h = 反転
0	DLY_EDET	R/W	Xh	DLY エッジ検出オプション 0h = 遅延機能 1h = 遅延機能でエッジ検出を有効にする

#### 7.4.4.4.3.88 CNT9\_FSM3\_CFG0 レジスタ (オフセット = 387h) [リセット = X0h]

CNT9\_FSM3\_CFG0 を表 7-351 に示します。

概略表に戻ります。

表 7-351. CNT9\_FSM3\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	CNT_DATA	R/W	Xh	CNT データ

#### 7.4.4.4.3.89 CNT9\_FSM3\_CFG1 レジスタ (オフセット = 388h) [リセット = X0h]

CNT9\_FSM3\_CFG1 を表 7-352 に示します。

概略表に戻ります。

表 7-352. CNT9\_FSM3\_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	CLK_SEL	R/W	0h	CNT CLK SEL 0h = OSC2 (25MHz) 1h = OSC2 / 4 2h = OSC1 (2MHz) 3h = OSC1 / 8 4h = OSC1 / 64 5h = OSC1 / 512 6h = OSC0 (2kHz) 7h = OSC0 / 8 8h = OSC0 / 64 9h = OSC0 / 512 Ah = OSC0 / 4096 Bh = OSC0 / 32768 Ch = OSC0 / 262144 Dh = 予約済み Eh = 予約済み Fh = CMX からの外部 CLK
3:0	MODE_SEL	R/W	Xh	CNT MODE とエッジ SEL 0h = 遅延 / 両方のエッジ 1h = 遅延 / 立ち下がりエッジ 2h = 遅延 / 立ち上がりエッジ 3h = ワンショット / 両方のエッジ 4h = ワンショット / 立ち下がりエッジ 5h = ワンショット / 立ち上がりエッジ 6h = 周波数検出 / 両方のエッジ 7h = 周波数検出 / 立ち下がりエッジ 8h = 周波数検出 / 立ち上がりエッジ 9h = エッジ検出 / 両方のエッジ Ah = エッジ検出 / 立ち下がりエッジ Bh = エッジ検出 / 立ち上がりエッジ Ch = カウンタ / 両方のエッジ Dh = カウンタ / 立ち下がりエッジ Eh = カウンタ / 立ち上がりエッジ Fh = カウンタ / High レベルリセット

#### 7.4.4.4.3.90 CNT9\_FSM3\_CFG2 レジスタ (オフセット = 389h) [リセット = 0Xh]

CNT9\_FSM3\_CFG2 を表 7-353 に示します。

[概略表](#)に戻ります。

**表 7-353. CNT9\_FSM3\_CFG2 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	UP_SYNC	R/W	0h	FSM UP SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
6	KEEP_SYNC	R/W	0h	FSM KEEP SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
5	RST_SYNC	R/W	0h	CNT RST SYNC バイパス オプション 0h = 2-DFF SYNC 1h = 2-DFF をバイパス
4	予約済み	R	0h	予約済み
3:2	CNT_INIT	R/W	Xh	CNT INIT VAL 0h = 初期 バイパス 1h = 初期 Low 2h = 初期 High 3h = 初期 High (予約済み)
1	OUT_POL	R/W	Xh	CNT OUT POL 0h = 非反転型 1h = 反転
0	DLY_EDET	R/W	Xh	DLY エッジ検出オプション 0h = 遅延機能 1h = 遅延機能でエッジ検出を有効にする

#### 7.4.4.4.3.91 PWM\_GEN0\_CFG レジスタ (オフセット = 38Ah) [リセット = X0h]

PWM\_GEN0\_CFG を表 7-354 に示します。

[概略表](#)に戻ります。

**表 7-354. PWM\_GEN0\_CFG レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3:2	TDB_SEL	R/W	Xh	PWM デッドバンド時間選択 0h = 0 CLK 1h = 1 CLK 2h = 2 CLK 3h = 5 CLK
1	OUTP_POL	R/W	Xh	PWM OUT1 POL 0h = 非反転出力 1h = 反転出力
0	OUTN_POL	R/W	Xh	PWM OUT0 POL 0h = 非反転出力 1h = 反転出力

#### 7.4.4.4.3.92 PWM\_GEN1\_CFG レジスタ (オフセット = 38Bh) [リセット = X0h]

PWM\_GEN1\_CFG を表 7-355 に示します。

[概略表](#)に戻ります。

**表 7-355. PWM\_GEN1\_CFG レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3:2	TDB_SEL	R/W	Xh	PWM デッドバンド時間選択 0h = 0 CLK 1h = 1 CLK 2h = 2 CLK 3h = 5 CLK

表 7-355. PWM\_GEN1\_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1	OUTP_POL	R/W	Xh	PWM OUT1 POL 0h = 非反転出力 1h = 反転出力
0	OUTN_POL	R/W	Xh	PWM OUT0 POL 0h = 非反転出力 1h = 反転出力

#### 7.4.4.4.3.93 PWM\_GEN2\_CFG レジスタ (オフセット = 38Ch) [リセット = X0h]

PWM\_GEN2\_CFG を表 7-356 に示します。

概略表に戻ります。

表 7-356. PWM\_GEN2\_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3:2	TDB_SEL	R/W	Xh	PWM デッドバンド時間選択 0h = 0 CLK 1h = 1 CLK 2h = 2 CLK 3h = 5 CLK
1	OUTP_POL	R/W	Xh	PWM OUT1 POL 0h = 非反転出力 1h = 反転出力
0	OUTN_POL	R/W	Xh	PWM OUT0 POL 0h = 非反転出力 1h = 反転出力

#### 7.4.4.4.3.94 PWM\_GEN3\_CFG レジスタ (オフセット = 38Dh) [リセット = X0h]

PWM\_GEN3\_CFG を表 7-357 に示します。

概略表に戻ります。

表 7-357. PWM\_GEN3\_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3:2	TDB_SEL	R/W	Xh	PWM デッドバンド時間選択 0h = 0 CLK 1h = 1 CLK 2h = 2 CLK 3h = 5 CLK
1	OUTP_POL	R/W	Xh	PWM OUT1 POL 0h = 非反転出力 1h = 反転出力
0	OUTN_POL	R/W	Xh	PWM OUT0 POL 0h = 非反転出力 1h = 反転出力

#### 7.4.4.4.3.95 PWM\_SRC\_CFG レジスタ (オフセット = 38Eh) [リセット = X0h]

表 7-358 に、PWM\_SRC\_CFG を示します。

概略表に戻ります。

表 7-358. PWM\_SRC\_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	PWM_GEN3_DATA_SEL	R/W	0h	PWM3 DATA ソース選択 0h = FSM0 1h = FSM1 2h = FSM2 3h = FSM3

表 7-358. PWM\_SRC\_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5:4	PWM_GEN2_DATA_SEL	R/W	0h	PWM2 DATA ソース選択。 0h = FSM0 1h = FSM1 2h = FSM2 3h = FSM3
3:2	PWM_GEN1_DATA_SEL	R/W	Xh	PWM1 DATA ソース選択。 0h = FSM0 1h = FSM1 2h = FSM2 3h = FSM3
1:0	PWM_GEN0_DATA_SEL	R/W	Xh	PWM0 DATA ソース選択 0h = FSM0 1h = FSM1 2h = FSM2 3h = FSM3

#### 7.4.4.4.3.96 SM\_CFG0 レジスタ (オフセット = 38Fh) [リセット = XXh]

SM\_CFG0 を表 7-359 に示します。

[概略表](#)に戻ります。

表 7-359. SM\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:4	SM_S1_IN0	R/W	Xh	STATE1 において、IN0 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	予約済み	R	0h	予約済み
2:0	SM_S0_IN0	R/W	Xh	STATE0 において、IN0 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

#### 7.4.4.4.3.97 SM\_CFG1 レジスタ (オフセット = 390h) [リセット = XXh]

SM\_CFG1 を表 7-360 に示します。

[概略表](#)に戻ります。

表 7-360. SM\_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:4	SM_S1_IN1	R/W	Xh	STATE1 において、IN1 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	予約済み	R	0h	予約済み



**表 7-360. SM\_CFG1 レジスタのフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
2:0	SM_S0_IN1	R/W	Xh	STATE0 において、IN1 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

#### 7.4.4.4.3.98 SM\_CFG2 レジスタ (オフセット = 391h) [リセット = XXh]

SM\_CFG2 を表 7-361 に示します。

[概略表](#)に戻ります。

**表 7-361. SM\_CFG2 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:4	SM_S1_IN2	R/W	Xh	STATE1 において、IN2 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	予約済み	R	0h	予約済み
2:0	SM_S0_IN2	R/W	Xh	STATE0 において、IN2 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

#### 7.4.4.4.3.99 SM\_CFG3 レジスタ (オフセット = 392h) [リセット = XXh]

SM\_CFG3 を表 7-362 に示します。

[概略表](#)に戻ります。

**表 7-362. SM\_CFG3 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:4	SM_S3_IN0	R/W	Xh	STATE3 において、IN0 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	予約済み	R	0h	予約済み
2:0	SM_S2_IN0	R/W	Xh	STATE2 において、IN0 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

**7.4.4.4.3.100 SM\_CFG4 レジスタ (オフセット = 393h) [リセット = XXh]**

SM\_CFG4 を表 7-363 に示します。

[概略表](#)に戻ります。

**表 7-363. SM\_CFG4 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:4	SM_S3_IN1	R/W	Xh	STATE3 において、IN1 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	予約済み	R	0h	予約済み
2:0	SM_S2_IN1	R/W	Xh	STATE2 において、IN1 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

**7.4.4.4.3.101 SM\_CFG5 レジスタ (オフセット = 394h) [リセット = XXh]**

SM\_CFG5 を表 7-364 に示します。

[概略表](#)に戻ります。

**表 7-364. SM\_CFG5 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:4	SM_S3_IN2	R/W	Xh	STATE3 において、IN2 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	予約済み	R	0h	予約済み
2:0	SM_S2_IN2	R/W	Xh	STATE2 において、IN2 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

**7.4.4.4.3.102 SM\_CFG6 レジスタ (オフセット = 395h) [リセット = XXh]**

SM\_CFG6 を表 7-365 に示します。

[概略表](#)に戻ります。

**表 7-365. SM\_CFG6 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

**表 7-365. SM\_CFG6 レジスタのフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
6:4	SM_S5_IN0	R/W	Xh	STATE5 において、IN0 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	予約済み	R	0h	予約済み
2:0	SM_S4_IN0	R/W	Xh	STATE4 において、IN0 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

#### 7.4.4.4.3.103 SM\_CFG7 レジスタ (オフセット = 396h) [リセット = XXh]

SM\_CFG7 を表 7-366 に示します。

概略表に戻ります。

**表 7-366. SM\_CFG7 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:4	SM_S5_IN1	R/W	Xh	STATE5 において、IN1 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	予約済み	R	0h	予約済み
2:0	SM_S4_IN1	R/W	Xh	STATE4 において、IN1 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

#### 7.4.4.4.3.104 SM\_CFG8 レジスタ (オフセット = 397h) [リセット = XXh]

SM\_CFG8 を表 7-367 に示します。

概略表に戻ります。

**表 7-367. SM\_CFG8 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:4	SM_S5_IN2	R/W	Xh	STATE5 において、IN2 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	予約済み	R	0h	予約済み

表 7-367. SM\_CFG8 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2:0	SM_S4_IN2	R/W	Xh	STATE4 において、IN2 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

7.4.4.4.3.105 SM\_CFG9 レジスタ (オフセット = 398h) [リセット = XXh]

SM\_CFG9 を表 7-368 に示します。

[概略表](#)に戻ります。

表 7-368. SM\_CFG9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:4	SM_S7_IN0	R/W	Xh	STATE7 において、IN0 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	予約済み	R	0h	予約済み
2:0	SM_S6_IN0	R/W	Xh	STATE6 において、IN0 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

7.4.4.4.3.106 SM\_CFG10 レジスタ (オフセット = 399h) [リセット = XXh]

SM\_CFG10 を表 7-369 に示します。

[概略表](#)に戻ります。

表 7-369. SM\_CFG10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6:4	SM_S7_IN1	R/W	Xh	STATE7 において、IN1 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	予約済み	R	0h	予約済み
2:0	SM_S6_IN1	R/W	Xh	STATE6 において、IN1 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

#### 7.4.4.3.107 SM\_CFG11 レジスタ (オフセット = 39Ah) [リセット = 0Xh]

SM\_CFG11 を表 7-370 に示します。

概略表に戻ります。

表 7-370. SM\_CFG11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SM_SYNC_EN	R/W	0h	ステートマシンの同期モードでクロック同期を有効にする 0h = デイセーブル 1h = イネーブル
6:4	SM_S7_IN2	R/W	0h	STATE7 において、IN2 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7
3	予約済み	R	0h	予約済み
2:0	SM_S6_IN2	R/W	Xh	STATE6 において、IN2 は select から遷移 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

#### 7.4.4.3.108 SM\_CFG12 レジスタ (オフセット = 3A7h) [リセット = X0h]

SM\_CFG12 を表 7-371 に示します。

概略表に戻ります。

表 7-371. SM\_CFG12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	SM_CLK_SEL	R/W	0h	ステートマシン CLK SEL 0h = OSC2 (25MHz) 1h = OSC2 / 4 2h = OSC1 (2MHz) 3h = OSC1 / 8 4h = OSC1 / 64 5h = OSC1 / 512 6h = OSC0 (2kHz) 7h = OSC0 / 8 8h = OSC0 / 64 9h = OSC0 / 512 Ah = OSC0 / 4096 Bh = OSC0 / 32768 Ch = OSC0 / 262144 Dh = 予約済み Eh = 予約済み Fh = CMX からの外部 CLK
3	SM_MODE	R/W	Xh	ステートマシンの同期モード選択 0h = 非同期 1h = 同期
2:0	SM_INIT_STATE	R/W	Xh	ステートマシンの初期状態選択 0h = S0 1h = S1 2h = S2 3h = S3 4h = S4 5h = S5 6h = S6 7h = S7

#### 7.4.4.3.109 SM\_CFG13 レジスタ (オフセット = 3A8h) [リセット = X0h]

SM\_CFG13 を表 7-372 に示します。

[概略表](#)に戻ります。

**表 7-372. SM\_CFG13 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	S0_OUT_CFG	R/W	Xh	

#### 7.4.4.4.3.110 SM\_CFG14 レジスタ (オフセット = 3A9h) [リセット = X0h]

SM\_CFG14 を表 7-373 に示します。

[概略表](#)に戻ります。

**表 7-373. SM\_CFG14 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	S1_OUT_CFG	R/W	Xh	

#### 7.4.4.4.3.111 SM\_CFG15 レジスタ (オフセット = 3AAh) [リセット = X0h]

SM\_CFG15 を表 7-374 に示します。

[概略表](#)に戻ります。

**表 7-374. SM\_CFG15 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	S2_OUT_CFG	R/W	Xh	

#### 7.4.4.4.3.112 SM\_CFG16 レジスタ (オフセット = 3ABh) [リセット = X0h]

SM\_CFG16 を表 7-375 に示します。

[概略表](#)に戻ります。

**表 7-375. SM\_CFG16 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	S3_OUT_CFG	R/W	Xh	

#### 7.4.4.4.3.113 SM\_CFG17 レジスタ (オフセット = 3ACh) [リセット = X0h]

SM\_CFG17 を表 7-376 に示します。

[概略表](#)に戻ります。

**表 7-376. SM\_CFG17 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	S4_OUT_CFG	R/W	Xh	

#### 7.4.4.4.3.114 SM\_CFG18 レジスタ (オフセット = 3ADh) [リセット = X0h]

SM\_CFG18 を表 7-377 に示します。

[概略表](#)に戻ります。

**表 7-377. SM\_CFG18 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	S5_OUT_CFG	R/W	Xh	

#### 7.4.4.4.3.115 SM\_CFG19 レジスタ (オフセット = 3AEh) [リセット = X0h]

SM\_CFG19 を表 7-378 に示します。

[概略表](#)に戻ります。

**表 7-378. SM\_CFG19 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	S6_OUT_CFG	R/W	Xh	

#### 7.4.4.4.3.116 SM\_CFG20 レジスタ (オフセット = 3AFh) [リセット = X0h]

SM\_CFG20 を表 7-379 に示します。

[概略表](#)に戻ります。

**表 7-379. SM\_CFG20 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	S7_OUT_CFG	R/W	Xh	

#### 7.4.4.4.3.117 WDT\_CFG0 レジスタ (オフセット = 3B8h) [リセット = X0h]

WDT\_CFG0 を表 7-380 に示します。

[概略表](#)に戻ります。

**表 7-380. WDT\_CFG0 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	WDT_TIMEOUT_DATA	R/W	Xh	WDT タイムアウト期間カウンタ データ

#### 7.4.4.4.3.118 WDT\_CFG1 レジスタ (オフセット = 3B9h) [リセット = X0h]

WDT\_CFG1 を表 7-381 に示します。

[概略表](#)に戻ります。

**表 7-381. WDT\_CFG1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	WDT_OUT_DATA	R/W	Xh	WDT 出力周期カウンタ データ

#### 7.4.4.4.3.119 WDT\_CFG2 レジスタ (オフセット = 3BAh) [リセット = 0Xh]

WDT\_CFG2 を表 7-382 に示します。

[概略表](#)に戻ります。

表 7-382. WDT\_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	WDT_CLK_SEL	R/W	0h	WDT CLK SEL 0h = OSC2 (25MHz) 1h = OSC2 / 4 2h = OSC1 (2MHz) 3h = OSC1 / 8 4h = OSC1 / 64 5h = OSC1 / 512 6h = OSC0 (2kHz) 7h = OSC0 / 8 8h = OSC0 / 64 9h = OSC0 / 512 Ah = OSC0 / 4096 Bh = OSC0 / 32768 Ch = OSC0 / 262144 Dh = 予約済み Eh = 予約済み Fh = CMX からの外部 CLK
3:2	予約済み	R	0h	予約済み
1	WDT_100X_EN	R/W	Xh	WDT 100X CLK 通倍器 EN 0h = デイセーブル 1h = イネーブル
0	WDT_EN_SEL	R/W	Xh	WDT EN 機能選択 0h = CNT をリセット 1h = CNT を一時停止

7.4.4.4.3.120 PFLT0\_CFG レジスタ (オフセット = 3BBh) [リセット = XXh]

PFLT0\_CFG を表 7-383 に示します。

[概略表](#)に戻ります。

表 7-383. PFLT0\_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:4	PFLT_DLY_SEL	R/W	Xh	プログラマブルフィルタ遅延値の選択 0h = 125ns 1h = 250ns 2h = 375ns 3h = 500ns
3	PFLT_POL	R/W	Xh	プログラマブルフィルタ出力極性の選択 0h = 非反転型 1h = 反転
2	予約済み	R	0h	予約済み
1:0	PFLT_EDGE_SEL	R/W	Xh	プログラマブルフィルタ エッジ選択 0h = 両方のエッジ 1h = 立ち上がりエッジ 2h = 立ち下がりエッジ 3h = フィルタ

7.4.4.4.3.121 PFLT1\_CFG レジスタ (オフセット = 3BCh) [リセット = XXh]

PFLT1\_CFG を表 7-384 に示します。

[概略表](#)に戻ります。

表 7-384. PFLT1\_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:4	PFLT_DLY_SEL	R/W	Xh	プログラマブルフィルタ遅延値の選択 0h = 125ns 1h = 250ns 2h = 375ns 3h = 500ns
3	PFLT_POL	R/W	Xh	プログラマブルフィルタ出力極性の選択 0h = 非反転型 1h = 反転
2	予約済み	R	0h	予約済み



表 7-384. PFLT1\_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
1:0	PFLT_EDGE_SEL	R/W	Xh	プログラマブル フィルタ エッジ選択 0h = 両方のエッジ 1h = 立ち上がりエッジ 2h = 立ち下がりエッジ 3h = フィルタ

#### 7.4.4.4.3.122 FILT\_CFG Register (オフセット = 3BDh) [リセット = 0Xh]

表 7-385 に、FILT\_CFG を示します。

概略表に戻ります。

表 7-385. FILT\_CFG レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3	FLT_POL	R/W	Xh	フィルタ出力極性の選択 0h = 非反転型 1h = 反転
2	OTP_SPARE	R	0h	SPARE
1:0	FLT_EDGE_SEL	R/W	Xh	フィルタ エッジ検出エッジの選択 0h = 両方のエッジ 1h = 立ち上がりエッジ 2h = 立ち下がりエッジ 3h = フィルタ

#### 7.4.4.4.3.123 OSC0\_CFG0 レジスタ (オフセット = 3BEh) [リセット = XXh]

OSC0\_CFG0 を表 7-386 に示します。

概略表に戻ります。

表 7-386. OSC0\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	CTRL_SRC	R/W	Xh	OSC 電源制御ソースの選択 0h = レジスタから 1h = CMX から
5	CTRL_SEL	R/W	Xh	OSC 電源制御極性の選択 0h = パワーダウン (Low で OSC をイネーブル、High で OSC をディセーブル) 1h = 予約済み
4	SRC_SEL	R/W	Xh	OSC 周波数ソース選択 0h = 内部 OSC 1h = 外部クロック
3:2	PDIV	R/W	Xh	OSC プリデバイダの選択 0h = / 1 1h = / 2 2h = / 4 3h = / 8
1	予約済み	R	0h	予約済み
0	PWR_MODE	R/W	Xh	OSC 電力モードの選択 0h = 自動パワー オン 1h = 強制パワー オン

#### 7.4.4.4.3.124 OSC0\_CFG1 レジスタ (オフセット = 3BFh) [リセット = X0h]

OSC0\_CFG1 を表 7-387 に示します。

概略表に戻ります。

**表 7-387. OSC0\_CFG1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	OUT1_EN	R/W	0h	OSC OUT1 イネーブル 0h=ディセーブル 1h = イネーブル
6:4	OUT1_DIV	R/W	0h	OSC OUT1 第 2 分周器の選択 0h = / 1 1h = / 2 2h = / 3 3h = / 4 4h = / 8 5h = / 12 6h = / 24 7h = / 64
3	OUT0_EN	R/W	Xh	OSC OUT0 イネーブル 0h=ディセーブル 1h = イネーブル
2:0	OUT0_DIV	R/W	Xh	OSC OUT0 第 2 分周器の選択 0h = / 1 1h = / 2 2h = / 3 3h = / 4 4h = / 8 5h = / 12 6h = / 24 7h = / 64

**7.4.4.4.3.125 OSC1\_CFG0 レジスタ (オフセット = 3C0h) [リセット = XXh]**

OSC1\_CFG0 を表 7-388 に示します。

[概略表](#)に戻ります。

**表 7-388. OSC1\_CFG0 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	CTRL_SRC	R/W	Xh	OSC 電源制御ソースの選択 0h = レジスタから 1h = CMX から
5	CTRL_SEL	R/W	Xh	OSC 電源制御極性の選択 0h = パワーダウン (Low で OSC をイネーブル、High で OSC をディセーブル) 1h = 予約済み
4	SRC_SEL	R/W	Xh	OSC 周波数ソース選択 0h = 内部 OSC 1h = 外部クロック
3:2	PDIV	R/W	Xh	OSC プリデバイダの選択 0h = / 1 1h = / 2 2h = / 4 3h = / 8
1	予約済み	R	0h	予約済み
0	PWR_MODE	R/W	Xh	OSC 電力モードの選択 0h = 自動パワー オン 1h = 強制パワー オン

**7.4.4.4.3.126 OSC1\_CFG1 レジスタ (オフセット = 3C1h) [リセット = X0h]**

OSC1\_CFG1 を表 7-389 に示します。

[概略表](#)に戻ります。

**表 7-389. OSC1\_CFG1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7	OUT1_EN	R/W	0h	OSC OUT1 イネーブル 0h=ディセーブル 1h = イネーブル

表 7-389. OSC1\_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6:4	OUT1_DIV	R/W	0h	OSC OUT1 第 2 分周器の選択 0h = / 1 1h = / 2 2h = / 3 3h = / 4 4h = / 8 5h = / 12 6h = / 24 7h = / 64
3	OUT0_EN	R/W	Xh	OSC OUT0 イネーブル 0h=ディセーブル 1h = イネーブル
2:0	OUT0_DIV	R/W	Xh	OSC OUT0 第 2 分周器の選択 0h = / 1 1h = / 2 2h = / 3 3h = / 4 4h = / 8 5h = / 12 6h = / 24 7h = / 64

#### 7.4.4.4.3.127 OSC2\_CFG0 レジスタ (オフセット = 3C2h) [リセット = 0Xh]

OSC2\_CFG0 を表 7-390 に示します。

概略表に戻ります。

表 7-390. OSC2\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SU_DLY	R/W	0h	OSC スタートアップ遅延制御 0h = イネーブル 1h=ディセーブル
6	CTRL_SRC	R/W	0h	OSC 電源制御ソースの選択 0h =レジスタから 1h = CMX から
5	CTRL_SEL	R/W	0h	OSC 電源制御極性の選択 0h = パワーダウン (Low で OSC をイネーブル、High で OSC をディセーブル) 1h = 予約済み
4	SRC_SEL	R/W	0h	OSC 周波数ソース選択 0h = 内部 OSC 1h = 外部クロック
3:2	PDIV	R/W	0h	OSC プリデバイダの選択 0h = / 1 1h = / 2 2h = / 4 3h = / 8
1	予約済み	R	0h	予約済み
0	PWR_MODE	R/W	Xh	OSC 電力モードの選択 0h = 自動パワー オン 1h = 強制パワー オン

#### 7.4.4.4.3.128 OSC2\_CFG1 レジスタ (オフセット = 3C3h) [リセット = 0Xh]

OSC2\_CFG1 を表 7-391 に示します。

概略表に戻ります。

表 7-391. OSC2\_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3	OUT_EN	R/W	Xh	OSC 出力イネーブル 0h=ディセーブル 1h = イネーブル

表 7-391. OSC2\_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2:0	OUT_DIV	R/W	Xh	OSC OUT 第 2 分周器の選択 0h = / 1 1h = / 2 2h = / 3 3h = / 4 4h = / 8 5h = / 12 6h = / 24 7h = / 64

7.4.4.4.3.129 ACMP0\_CFG0 レジスタ (オフセット = 3C6h) [リセット = X0h]

ACMP0\_CFG0 を表 7-392 に示します。

[概略表](#)に戻ります。

表 7-392. ACMP0\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	BW_SEL	R/W	0h	ACMP 帯域幅の選択 0h = 高帯域幅 1h = 低帯域幅 2h = 予約済み 3h = 予約済み
5:4	INP_SEL	R/W	0h	ACMP 入力ソース選択 0h = ACMP IN0 1h = ACMP IN1 2h = ACMP IN2 3h = ACMP IN3
3:2	GAIN_SEL	R/W	Xh	ACMP ゲイン選択 0h = 1X 1h = 0.5X 2h = 0.33X 3h = 0.25X
1:0	HYS_SEL	R/W	Xh	ACMP ヒステリシス選択 0h = 0 mV 1h = 64 mV 2h = 128 mV 3h = 192 mV

7.4.4.4.3.130 ACMP0\_CFG1 レジスタ (オフセット = 3C7h) [リセット = XXh]

ACMP0\_CFG1 を表 7-393 に示します。

[概略表](#)に戻ります。

表 7-393. ACMP0\_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み

表 7-393. ACMP0\_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5:0	VREF_SEL	R/W	Xh	ACMP VREF 選択 0h = 32 mV 1h = 64 mV 2h = 96 mV 3h = 128 mV 4h = 160 mV 5h = 192 mV 6h = 224 mV 7h = 256 mV 8h = 288 mV 9h = 320 mV Ah = 352mV Bh = 384mV Ch = 416mV Dh = 448mV Eh = 480mV Fh = 512mV 10h = 544 mV 11h = 576 mV 12h = 608 mV 13h = 640 mV 14h = 672 mV 15h = 704 mV 16h = 736 mV 17h = 768 mV 18h = 800 mV 19h = 832 mV 1Ah = 864 mV 1Bh = 896 mV 1Ch = 928 mV 1Dh = 960 mV 1Eh = 992 mV 1Fh = 1.024 V 20h = 1.056 V 21h = 1.088 V 22h = 1.120 V 23h = 1.152 V 24h = 1.184 V 25h = 1.216 V 26h = 1.248 V 27h = 1.280 V 28h = 1.312 V 29h = 1.344 V 2Ah = 1.376 V 2Bh = 1.408 V 2Ch = 1.440 V 2Dh = 1.472 V 2Eh = 1.504 V 2Fh = 1.536 V 30h = 1.568 V 31h = 1.600 V 32h = 1.632 V 33h = 1.664 V 34h = 1.696 V 35h = 1.728 V 36h = 1.760 V 37h = 1.792 V 38h = 1.824 V 39h = 1.856 V 3Ah = 1.888 V 3Bh = 1.920 V 3Ch = 1.952 V 3Dh = 1.984 V 3Eh = 2.016 V 3Fh = 外部 VREF

7.4.4.4.3.131 ACMP1\_CFG0 レジスタ (オフセット = 3C8h) [リセット = X0h]

ACMP1\_CFG0 を表 7-394 に示します。

概略表に戻ります。

表 7-394. ACMP1\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	BW_SEL	R/W	0h	ACMP 帯域幅の選択 0h = 高帯域幅 1h = 低帯域幅 2h = 予約済み 3h = 予約済み

表 7-394. ACMP1\_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5:4	INP_SEL	R/W	0h	ACMP 入力ソース選択 0h = ACMP IN0 1h = ACMP IN1 2h = ACMP IN2 3h = ACMP IN3
3:2	GAIN_SEL	R/W	Xh	ACMP ゲイン選択 0h = 1X 1h = 0.5X 2h = 0.33X 3h = 0.25X
1:0	HYS_SEL	R/W	Xh	ACMP ヒステリシス選択 0h = 0 mV 1h = 64 mV 2h = 128 mV 3h = 192 mV

#### 7.4.4.4.3.132 ACMP1\_CFG1 レジスタ (オフセット = 3C9h) [リセット = XXh]

ACMP1\_CFG1 を表 7-395 に示します。

[概略表](#)に戻ります。

表 7-395. ACMP1\_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み

表 7-395. ACMP1\_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5:0	VREF_SEL	R/W	Xh	ACMP VREF 選択 0h = 32 mV 1h = 64 mV 2h = 96 mV 3h = 128 mV 4h = 160 mV 5h = 192 mV 6h = 224 mV 7h = 256 mV 8h = 288 mV 9h = 320 mV Ah = 352mV Bh = 384mV Ch = 416mV Dh = 448mV Eh = 480mV Fh = 512mV 10h = 544 mV 11h = 576 mV 12h = 608 mV 13h = 640 mV 14h = 672 mV 15h = 704 mV 16h = 736 mV 17h = 768 mV 18h = 800 mV 19h = 832 mV 1Ah = 864 mV 1Bh = 896 mV 1Ch = 928 mV 1Dh = 960 mV 1Eh = 992 mV 1Fh = 1.024 V 20h = 1.056 V 21h = 1.088 V 22h = 1.120 V 23h = 1.152 V 24h = 1.184 V 25h = 1.216 V 26h = 1.248 V 27h = 1.280 V 28h = 1.312 V 29h = 1.344 V 2Ah = 1.376 V 2Bh = 1.408 V 2Ch = 1.440 V 2Dh = 1.472 V 2Eh = 1.504 V 2Fh = 1.536 V 30h = 1.568 V 31h = 1.600 V 32h = 1.632 V 33h = 1.664 V 34h = 1.696 V 35h = 1.728 V 36h = 1.760 V 37h = 1.792 V 38h = 1.824 V 39h = 1.856 V 3Ah = 1.888 V 3Bh = 1.920 V 3Ch = 1.952 V 3Dh = 1.984 V 3Eh = 2.016 V 3Fh = 外部 VREF

7.4.4.4.3.133 ACMP2\_CFG0 レジスタ (オフセット = 3CAh) [リセット = X0h]

ACMP2\_CFG0 を表 7-396 に示します。

概略表に戻ります。

表 7-396. ACMP2\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	BW_SEL	R/W	0h	ACMP 帯域幅の選択 0h = 高帯域幅 1h = 低帯域幅 2h = 予約済み 3h = 予約済み

表 7-396. ACMP2\_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5:4	INP_SEL	R/W	0h	ACMP 入力ソース選択 0h = ACMP IN0 1h = ACMP IN1 2h = ACMP IN2 3h = ACMP IN3
3:2	GAIN_SEL	R/W	Xh	ACMP ゲイン選択 0h = 1X 1h = 0.5X 2h = 0.33X 3h = 0.25X
1:0	HYS_SEL	R/W	Xh	ACMP ヒステリシス選択 0h = 0 mV 1h = 64 mV 2h = 128 mV 3h = 192 mV

#### 7.4.4.4.3.134 ACMP2\_CFG1 レジスタ (オフセット = 3CBh) [リセット = XXh]

ACMP2\_CFG1 を表 7-397 に示します。

[概略表](#)に戻ります。

表 7-397. ACMP2\_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み



表 7-397. ACMP2\_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5:0	VREF_SEL	R/W	Xh	ACMP VREF 選択 0h = 32 mV 1h = 64 mV 2h = 96 mV 3h = 128 mV 4h = 160 mV 5h = 192 mV 6h = 224 mV 7h = 256 mV 8h = 288 mV 9h = 320 mV Ah = 352mV Bh = 384mV Ch = 416mV Dh = 448mV Eh = 480mV Fh = 512mV 10h = 544 mV 11h = 576 mV 12h = 608 mV 13h = 640 mV 14h = 672 mV 15h = 704 mV 16h = 736 mV 17h = 768 mV 18h = 800 mV 19h = 832 mV 1Ah = 864 mV 1Bh = 896 mV 1Ch = 928 mV 1Dh = 960 mV 1Eh = 992 mV 1Fh = 1.024 V 20h = 1.056 V 21h = 1.088 V 22h = 1.120 V 23h = 1.152 V 24h = 1.184 V 25h = 1.216 V 26h = 1.248 V 27h = 1.280 V 28h = 1.312 V 29h = 1.344 V 2Ah = 1.376 V 2Bh = 1.408 V 2Ch = 1.440 V 2Dh = 1.472 V 2Eh = 1.504 V 2Fh = 1.536 V 30h = 1.568 V 31h = 1.600 V 32h = 1.632 V 33h = 1.664 V 34h = 1.696 V 35h = 1.728 V 36h = 1.760 V 37h = 1.792 V 38h = 1.824 V 39h = 1.856 V 3Ah = 1.888 V 3Bh = 1.920 V 3Ch = 1.952 V 3Dh = 1.984 V 3Eh = 2.016 V 3Fh = 外部 VREF

7.4.4.4.3.135 ACMP3\_CFG0 レジスタ (オフセット = 3CCh) [リセット = X0h]

ACMP3\_CFG0 を表 7-398 に示します。

概略表に戻ります。

表 7-398. ACMP3\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	BW_SEL	R/W	0h	ACMP 帯域幅の選択 0h = 高帯域幅 1h = 低帯域幅 2h = 予約済み 3h = 予約済み

**表 7-398. ACMP3\_CFG0 レジスタのフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
5:4	INP_SEL	R/W	0h	ACMP 入力ソース選択 0h = ACMP IN0 1h = ACMP IN1 2h = ACMP IN2 3h = ACMP IN3
3:2	GAIN_SEL	R/W	Xh	ACMP ゲイン選択 0h = 1X 1h = 0.5X 2h = 0.33X 3h = 0.25X
1:0	HYS_SEL	R/W	Xh	ACMP ヒステリシス選択 0h = 0 mV 1h = 64 mV 2h = 128 mV 3h = 192 mV

**7.4.4.4.3.136 ACMP3\_CFG1 レジスタ (オフセット = 3CDh) [リセット = XXh]**

ACMP3\_CFG1 を表 7-399 に示します。

[概略表](#)に戻ります。

**表 7-399. ACMP3\_CFG1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み

表 7-399. ACMP3\_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5:0	VREF_SEL	R/W	Xh	ACMP VREF 選択 0h = 32 mV 1h = 64 mV 2h = 96 mV 3h = 128 mV 4h = 160 mV 5h = 192 mV 6h = 224 mV 7h = 256 mV 8h = 288 mV 9h = 320 mV Ah = 352mV Bh = 384mV Ch = 416mV Dh = 448mV Eh = 480mV Fh = 512mV 10h = 544 mV 11h = 576 mV 12h = 608 mV 13h = 640 mV 14h = 672 mV 15h = 704 mV 16h = 736 mV 17h = 768 mV 18h = 800 mV 19h = 832 mV 1Ah = 864 mV 1Bh = 896 mV 1Ch = 928 mV 1Dh = 960 mV 1Eh = 992 mV 1Fh = 1.024 V 20h = 1.056 V 21h = 1.088 V 22h = 1.120 V 23h = 1.152 V 24h = 1.184 V 25h = 1.216 V 26h = 1.248 V 27h = 1.280 V 28h = 1.312 V 29h = 1.344 V 2Ah = 1.376 V 2Bh = 1.408 V 2Ch = 1.440 V 2Dh = 1.472 V 2Eh = 1.504 V 2Fh = 1.536 V 30h = 1.568 V 31h = 1.600 V 32h = 1.632 V 33h = 1.664 V 34h = 1.696 V 35h = 1.728 V 36h = 1.760 V 37h = 1.792 V 38h = 1.824 V 39h = 1.856 V 3Ah = 1.888 V 3Bh = 1.920 V 3Ch = 1.952 V 3Dh = 1.984 V 3Eh = 2.016 V 3Fh = 外部 VREF

7.4.4.4.3.137 MCACMP\_CFG0 レジスタ (オフセット = 3CFh) [リセット = 0Xh]

MCACMP\_CFG0 を表 7-400 に示します。

概略表に戻ります。

表 7-400. MCACMP\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	TS_INP_EN	R/W	0h	McACMP への温度センサ入力イネーブル 0h = ディセーブル 1h = イネーブル

表 7-400. MCACMP\_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	VCC_INP_EN	R/W	0h	McACMP への VCC 入力イネーブル 0h=ディセーブル 1h = イネーブル
5	SYNC_EN	R/W	0h	McACMP 出力同期の選択 0h = 非同期 1h = 同期
4	MCS_MODE	R/W	0h	McACMP トリガ モードの選択 0h = レベル センシティブ EN モード 1h = エッジ センシティブ EN モード
3:2	CH_EN	R/W	0h	サンプリングされたチャンネル数選択 0h = 1 チャンネル 1h = 2 チャンネル 2h = 3 チャンネル 3h = 4 チャンネル
1	予約済み	R	0h	予約済み
0	MCS_EN	R/W	Xh	サンプリング モードの選択 0h = 通常モード (シングル チャンネル) 1h = マルチチャンネル モード

#### 7.4.4.4.3.138 MCACMP\_CFG1 レジスタ (オフセット = 3D0h) [リセット = 0Xh]

MCACMP\_CFG1 を表 7-401 に示します。

概略表に戻ります。

表 7-401. MCACMP\_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	BW_SEL	R/W	0h	McACMP 帯域幅の選択 0h = 高帯域幅 1h = 低帯域幅 2h = 予約済み 3h = 予約済み
5:3	予約済み	R	0h	予約済み
2	EDGE_SEL	R/W	Xh	McACMP サンプリング エッジの選択 0h = CLK の負のエッジでサンプル 1h = CLK の立ち上がりエッジでサンプル
1:0	MCS_CLK_SEL	R/W	Xh	McACMP CLK 選択 0h = OSC1 (2MHz) / 20 1h = OSC1 / 40 2h = OSC0 (2kHz) 3h = OSC0 / 2

#### 7.4.4.4.3.139 MCACMP\_CH0\_CFG0 レジスタ (オフセット = 3D1h) [リセット = XXh]

MCACMP\_CH0\_CFG0 を表 7-402 に示します。

概略表に戻ります。

表 7-402. MCACMP\_CH0\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	RST_EN	R/W	Xh	McACMP CH0 RST EN 選択 0h=ディセーブル 1h = イネーブル
5:4	INP_SEL	R/W	Xh	McACMP CH0 の入力ソースの選択 0h = McACMP IN0 1h = McACMP IN1 2h = McACMP IN2 (または VCC) 3h = McACMP IN3 (または TS)
3:2	GAIN_SEL	R/W	Xh	McACMP CH0 のゲイン選択 0h = 1X 1h = 0.5X 2h = 0.33X 3h = 0.25X

**表 7-402. MCACMP\_CH0\_CFG0 レジスタのフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
1:0	HYS_SEL	R/W	Xh	McACMP CH0 ヒステリシス選択 0h = 0 mV 1h = 64 mV 2h = 128 mV 3h = 192 mV

**7.4.4.4.3.140 MCACMP\_CH0\_CFG1 レジスタ (オフセット = 3D2h) [リセット = X0h]**

MCACMP\_CH0\_CFG1 を表 7-403 に示します。

[概略表](#)に戻ります。

**表 7-403. MCACMP\_CH0\_CFG1 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:6	CH_VREF_SEL	R/W	0h	VREF 選択の数 0h = 1 VREF 1h = 2 VREF 2h = 予約済み 3h = 予約済み

表 7-403. MCACMP\_CH0\_CFG1 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5:0	VREF_SEL	R/W	Xh	McACMP CH0_0 VREF 選択 0h = 32 mV 1h = 64 mV 2h = 96 mV 3h = 128 mV 4h = 160 mV 5h = 192 mV 6h = 224 mV 7h = 256 mV 8h = 288 mV 9h = 320 mV Ah = 352mV Bh = 384mV Ch = 416mV Dh = 448mV Eh = 480mV Fh = 512mV 10h = 544 mV 11h = 576 mV 12h = 608 mV 13h = 640 mV 14h = 672 mV 15h = 704 mV 16h = 736 mV 17h = 768 mV 18h = 800 mV 19h = 832 mV 1Ah = 864 mV 1Bh = 896 mV 1Ch = 928 mV 1Dh = 960 mV 1Eh = 992 mV 1Fh = 1.024 V 20h = 1.056 V 21h = 1.088 V 22h = 1.120 V 23h = 1.152 V 24h = 1.184 V 25h = 1.216 V 26h = 1.248 V 27h = 1.280 V 28h = 1.312 V 29h = 1.344 V 2Ah = 1.376 V 2Bh = 1.408 V 2Ch = 1.440 V 2Dh = 1.472 V 2Eh = 1.504 V 2Fh = 1.536 V 30h = 1.568 V 31h = 1.600 V 32h = 1.632 V 33h = 1.664 V 34h = 1.696 V 35h = 1.728 V 36h = 1.760 V 37h = 1.792 V 38h = 1.824 V 39h = 1.856 V 3Ah = 1.888 V 3Bh = 1.920 V 3Ch = 1.952 V 3Dh = 1.984 V 3Eh = 2.016 V 3Fh = 外部 VREF

ADVANCE INFORMATION

7.4.4.3.141 MCACMP\_CH0\_CFG2 レジスタ (オフセット = 3D3h) [リセット = XXh]

MCACMP\_CH0\_CFG2 を表 7-404 に示します。

概略表に戻ります。

表 7-404. MCACMP\_CH0\_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_SEL1	R/W	Xh	McACMP CH0_1 VREF 選択 (CH0_0 と同じオプション)

#### 7.4.4.3.142 MCACMP\_CH1\_CFG0 レジスタ (オフセット = 3D6h) [リセット = XXh]

MCACMP\_CH1\_CFG0 を表 7-405 に示します。

概略表に戻ります。

表 7-405. MCACMP\_CH1\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	RST_EN	R/W	Xh	McACMP CH1 RST EN 選択 0h = ディセーブル 1h = イネーブル
5:4	INP_SEL	R/W	Xh	McACMP CH1 の入力ソースの選択 0h = McACMP IN0 1h = McACMP IN1 2h = McACMP IN2 (または VCC) 3h = McACMP IN3 (または TS)
3:2	GAIN_SEL	R/W	Xh	McACMP CH1 のゲイン選択 0h = 1X 1h = 0.5X 2h = 0.33X 3h = 0.25X
1:0	HYS_SEL	R/W	Xh	McACMP CH1 ヒステリシス選択 0h = 0 mV 1h = 64 mV 2h = 128 mV 3h = 192 mV

#### 7.4.4.3.143 MCACMP\_CH1\_CFG1 レジスタ (オフセット = 3D7h) [リセット = X0h]

MCACMP\_CH1\_CFG1 を表 7-406 に示します。

概略表に戻ります。

表 7-406. MCACMP\_CH1\_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	CH_VREF_SEL	R/W	0h	VREF 選択の数 0h = 1 VREF 1h = 2 VREF 2h = 予約済み 3h = 予約済み
5:0	VREF_SEL	R/W	Xh	McACMP CH1_0 VREF 選択 (CH0_0 と同じオプション)

#### 7.4.4.3.144 MCACMP\_CH1\_CFG2 レジスタ (オフセット = 3D8h) [リセット = XXh]

MCACMP\_CH1\_CFG2 を表 7-407 に示します。

概略表に戻ります。

表 7-407. MCACMP\_CH1\_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_SEL1	R/W	Xh	McACMP CH1_1 VREF 選択 (CH0_0 と同じオプション)

#### 7.4.4.3.145 MCACMP\_CH2\_CFG0 レジスタ (オフセット = 3DBh) [リセット = XXh]

MCACMP\_CH2\_CFG0 を表 7-408 に示します。

概略表に戻ります。

表 7-408. MCACMP\_CH2\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み

表 7-408. MCACMP\_CH2\_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
6	RST_EN	R/W	Xh	McACMP CH2 RST EN 選択 0h=ディセーブル 1h = イネーブル
5:4	INP_SEL	R/W	Xh	McACMP CH2 の入力ソースの選択 0h = McACMP IN0 1h = McACMP IN1 2h = McACMP IN2 (または VCC) 3h = McACMP IN3 (または TS)
3:2	GAIN_SEL	R/W	Xh	McACMP CH2 のゲイン選択 0h = 1X 1h = 0.5X 2h = 0.33X 3h = 0.25X
1:0	HYS_SEL	R/W	Xh	McACMP CH2 ヒステリシス選択 0h = 0 mV 1h = 64 mV 2h = 128 mV 3h = 192 mV

#### 7.4.4.4.3.146 MCACMP\_CH2\_CFG1 レジスタ (オフセット = 3DCh) [リセット = X0h]

MCACMP\_CH2\_CFG1 を表 7-409 に示します。

[概略表](#)に戻ります。

表 7-409. MCACMP\_CH2\_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	CH_VREF_SEL	R/W	0h	VREF 選択の数 0h = 1 VREF 1h = 2 VREF 2h = 予約済み 3h = 予約済み
5:0	VREF_SEL	R/W	Xh	McACMP CH2_0 VREF 選択 (CH0_0 と同じオプション)

#### 7.4.4.4.3.147 MCACMP\_CH2\_CFG2 レジスタ (オフセット = 3DDh) [リセット = XXh]

MCACMP\_CH2\_CFG2 を表 7-410 に示します。

[概略表](#)に戻ります。

表 7-410. MCACMP\_CH2\_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_SEL1	R/W	Xh	McACMP CH2_1 VREF 選択 (CH0_0 と同じオプション)

#### 7.4.4.4.3.148 MCACMP\_CH3\_CFG0 レジスタ (オフセット = 3E0h) [リセット = XXh]

MCACMP\_CH3\_CFG0 を表 7-411 に示します。

[概略表](#)に戻ります。

表 7-411. MCACMP\_CH3\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	RST_EN	R/W	Xh	McACMP CH3 RST EN 選択 0h=ディセーブル 1h = イネーブル
5:4	INP_SEL	R/W	Xh	McACMP CH3 入力ソース選択 0h = McACMP IN0 1h = McACMP IN1 2h = McACMP IN2 (または VCC) 3h = McACMP IN3 (または TS)



表 7-411. MCACMP\_CH3\_CFG0 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3:2	GAIN_SEL	R/W	Xh	McACMP CH3 のゲイン選択 0h = 1X 1h = 0.5X 2h = 0.33X 3h = 0.25X
1:0	HYS_SEL	R/W	Xh	McACMP CH3 ヒステリシス選択 0h = 0 mV 1h = 64 mV 2h = 128 mV 3h = 192 mV

#### 7.4.4.4.3.149 MCACMP\_CH3\_CFG1 レジスタ (オフセット = 3E1h) [リセット = X0h]

MCACMP\_CH3\_CFG1 を表 7-412 に示します。

概略表に戻ります。

表 7-412. MCACMP\_CH3\_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	CH_VREF_SEL	R/W	0h	VREF 選択の数 0h = 1 VREF 1h = 2 VREF 2h = 予約済み 3h = 予約済み
5:0	VREF_SEL	R/W	Xh	McACMP CH3_0 VREF 選択 (CH0_0 と同じオプション)

#### 7.4.4.4.3.150 MCACMP\_CH3\_CFG2 レジスタ (オフセット = 3E2h) [リセット = XXh]

MCACMP\_CH3\_CFG2 を表 7-413 に示します。

概略表に戻ります。

表 7-413. MCACMP\_CH3\_CFG2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:0	VREF_SEL1	R/W	Xh	McACMP CH3_1 VREF 選択 (CH0_0 と同じオプション)

#### 7.4.4.4.3.151 AMUX0\_CFG レジスタ (オフセット = 3E5h) [リセット = 0Xh]

AMUX0\_CFG を表 7-414 に示します。

概略表に戻ります。

表 7-414. AMUX0\_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R	0h	予約済み
0	AMUX_EN	R/W	Xh	AMUX EN 0h = ディセーブル 1h = イネーブル

#### 7.4.4.4.3.152 AMUX1\_CFG レジスタ (オフセット = 3E6h) [リセット = 0Xh]

AMUX1\_CFG を表 7-415 に示します。

概略表に戻ります。

表 7-415. AMUX1\_CFG レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R	0h	予約済み

表 7-415. AMUX1\_CFG レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	AMUX_EN	R/W	Xh	AMUX EN 0h=ディセーブル 1h = イネーブル

#### 7.4.4.4.3.153 SER\_COMM\_CFG0 レジスタ (オフセット = 3F2h) [リセット = X0h]

SER\_COMM\_CFG0 を表 7-416 に示します。

[概略表](#)に戻ります。

表 7-416. SER\_COMM\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	I2C_ADDR_SRC_SEL	R/W	0h	I2C HW アドレス ソース選択 (ビット単位) 0h = OTP 1h = IO
3	I2C_IO_LAT	R/W	Xh	I2C HW アドレス指定 IO ラッチ選択 0h = イネーブル 1h=ディセーブル
2	I2C_RST_EN	R/W	Xh	I2C グローバル リセットリスニング選択 0h=ディセーブル 1h = イネーブル
1	I2C_EN	R/W	Xh	I2C シリアル通信イネーブル選択 0h=ディセーブル 1h = イネーブル
0	SPI_EN	R/W	Xh	SPI シリアル通信イネーブルの選択 0h=ディセーブル 1h = イネーブル

#### 7.4.4.4.3.154 SER\_COMM\_CFG1 レジスタ (オフセット = 3F3h) [リセット = 00h]

SER\_COMM\_CFG1 を表 7-417 に示します。

[概略表](#)に戻ります。

表 7-417. SER\_COMM\_CFG1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	I2C_ADDR_MSB	R/W	0h	I2C HW アドレス
3:1	I2C_ADDR_LSB	R/W	0h	I2C HW アドレス
0	予約済み	R	0h	予約済み

#### 7.4.4.4.3.155 MISC\_CFG0 レジスタ (オフセット = 3F7h) [リセット = 00h]

MISC\_CFG0 を表 7-418 に示します。

[概略表](#)に戻ります。

表 7-418. MISC\_CFG0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	GPIO_QC	R/W	0h	GPIO の高速充電制御 0h=ディセーブル 1h = イネーブル
6	CFG_RD_LCK	R/W	0h	CFG 読み取りロック制御 0h=ディセーブル 1h = イネーブル
5	CFG_WR_LCK	R/W	0h	CFG 書き込みロック制御 0h=ディセーブル 1h = イネーブル
4	OTP_WR_LCK	R/W	0h	OTP 書き込みロック制御 0h=ディセーブル 1h = イネーブル

**表 7-418. MISC\_CFG0 レジスタのフィールドの説明 (続き)**

ビット	フィールド	タイプ	リセット	説明
3:2	USER_LCK	R/W	0h	ユーザー読み取り/書き込みロック制御 0h = 予約されておらず、読み取り専用でもないすべてのレジスタへの読み書き (R/W) 1 = カウンタ データ、ウォッチドッグ タイマ データ、およびパターン ジェネレータ レジスタに対してのみ R/W 実行 2h = ステート マシン レジスタのみに対して R/W 実行 3h = 電圧リファレンス選択レジスタのみに R/W 実行
1:0	予約済み	R	0h	予約済み

#### 7.4.4.4.3.156 DEVICE\_ID4 レジスタ (オフセット = 3FAh) [リセット = X0h]

DEVICE\_ID4 を表 7-419 に示します。

[概略表](#)に戻ります。

**表 7-419. DEVICE\_ID4 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	DEVICE_ID4	R	Xh	デバイス ID

#### 7.4.4.4.3.157 DEVICE\_ID5 レジスタ (オフセット = 3FBh) [リセット = X0h]

DEVICE\_ID5 を表 7-420 に示します。

[概略表](#)に戻ります。

**表 7-420. DEVICE\_ID5 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	DEVICE_ID5	R	Xh	デバイス ID

#### 7.4.4.4.3.158 DEVICE\_ID6 レジスタ (オフセット = 3FCh) [リセット = X0h]

DEVICE\_ID6 を表 7-421 に示します。

[概略表](#)に戻ります。

**表 7-421. DEVICE\_ID6 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	DEVICE_ID6	R	Xh	デバイス ID

#### 7.4.4.4.3.159 DEVICE\_ID7 レジスタ (オフセット = 3FDh) [リセット = X0h]

DEVICE\_ID7 を表 7-422 に示します。

[概略表](#)に戻ります。

**表 7-422. DEVICE\_ID7 レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	DEVICE_ID7	R	Xh	デバイス ID

#### 7.4.4.4.3.160 CRC\_LSB レジスタ (オフセット = 3FEh) [リセット = X0h]

表 7-423 に、CRC\_LSB を示します。

[概略表](#)に戻ります。

**表 7-423. CRC\_LSB レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CRC_LSB	R/W	Xh	2kB OTP の CRC LSB

**7.4.4.4.3.161 CRC\_MSB レジスタ (オフセット = 3FFh) [リセット = X0h]**

表 7-424 に、CRC\_MSB を示します。

概略表に戻ります。

**表 7-424. CRC\_MSB レジスタのフィールドの説明**

ビット	フィールド	タイプ	リセット	説明
7:0	CRC_MSB	R/W	Xh	2kB OTP の CRC MSB

## 8 アプリケーションと実装

### 注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 8.1 アプリケーション情報

TPLD2001 の構成可能なロジックおよびタイミング ブロックにより、本デバイスは多数の部品に対称的なパワーアップ信号とパワーダウン信号を供給できます。このアプリケーションでは、デバイスはカウンタ / 遅延マクロセルに基づいて、パワーアップおよびパワーダウンのシーケンシング信号の最大量を出力するように構成されています。

### 8.2 代表的なアプリケーション

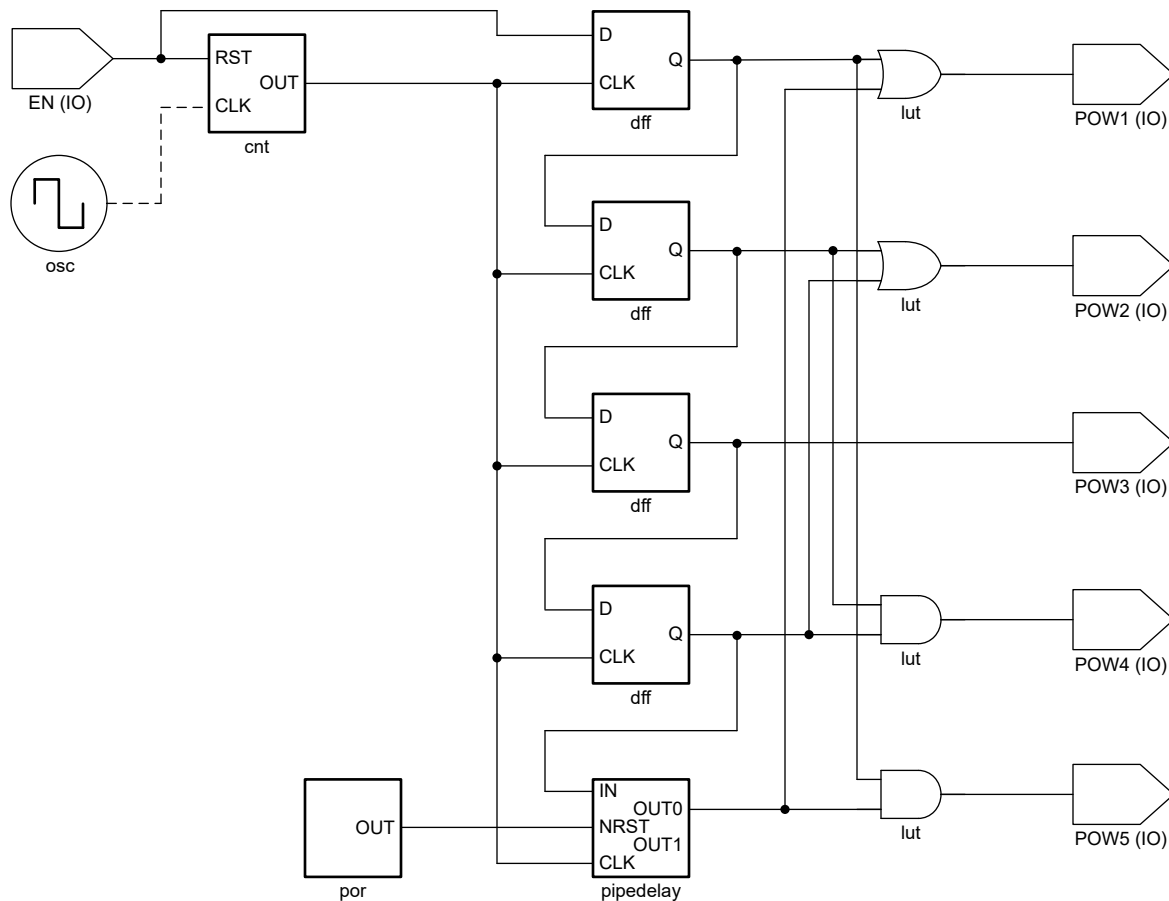


図 8-1. 代表的なアプリケーションのブロック図

## 8.2.1 設計要件

### 8.2.1.1 電源に関する考慮事項

目的の電源電圧が「推奨動作条件」で規定されている範囲内であることを確認します。「電気的特性」セクションに記載されているように、電源電圧は本デバイスの電気的特性を決定づけます。

正電圧の電源は、「電気的特性」に記載された静的消費電流 ( $I_{CC}$ ) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流を供給できる必要があります。

グラウンドは、TPLD2001 のすべての出力によってシンクされる総電流、「電気的特性」に記載された消費電流 ( $I_{CC}$ ) の最大値、スイッチングに必要な任意の過渡電流の合計に等しい電流をシンクできる必要があります。ロジック デバイスは、グラウンド接続にシンクできる電流のみをシンクできます。「絶対最大定格」に記載された GND 総電流の最大値を超えないようにしてください。

TPLD2001 は、データシートの仕様をすべて満たしつつ、合計容量 15pF 以下の負荷を駆動できます。これより大きな容量性負荷を印加することもできますが、15pF を超えることは推奨しません。

TPLD2001 は、「電気的特性」表に定義されている出力電圧 ( $V_{OL}$ ) および電流で、 $R_L \geq V_O / I_O$  で記述される合計抵抗の負荷を駆動できます。High 状態で出力する場合、この式の出力電圧は、測定した出力電圧と  $V_{CC}$  ピンの電源電圧の差として定義されます。

総消費電力は、『CMOS の消費電力と Cpd の計算』に記載されている情報を使用して計算できます。

熱上昇は、『標準リニアおよびロジック (SLL) パッケージおよびデバイスの熱特性』に記載されている情報を使用して計算できます。

#### 注意

「絶対最大定格」に記載された最大接合部温度 ( $T_{J(max)}$ ) は、本デバイスの損傷を防止するための追加の制限値です。「絶対最大定格」に記載されたすべての制限値を必ず満たすようにしてください。これらの制限値は、デバイスへの損傷を防ぐために規定されています。

### 8.2.1.2 入力に関する考慮事項

入力信号は、または を超えるとロジック **Low** と見なされ、または を超えるとロジック **High** と見なされます。「絶対最大定格」に記載された最大入力電圧範囲を超えないようにしてください。

未使用の入力は、 $V_{CC}$  またはグランドに終端させる必要があります。入力がまったく使われていない場合は、未使用の入力を直接終端させることができます。入力が常時ではなく、時々使用される場合は、プルアップ抵抗かプルダウン抵抗と接続することも可能です。デフォルト状態が **High** の場合にはプルアップ抵抗、デフォルト状態が **Low** の場合にはプルダウン抵抗を使用します。コントローラの駆動電流、TPLD2001 へのリーク電流（「電気的特性」で規定）、および必要な入力遷移レートによって抵抗のサイズが制限されます。こうした要因により  $10k\Omega$  の抵抗値がしばしば使用されます。

このデバイスの入力の詳細については、「機能説明」セクションを参照してください。

### 8.2.1.3 出力に関する考慮事項

グランド電圧を用いて出力 **Low** 電圧を生成します。出力に電流をシンクすると、「電気的特性」の  $V_{OL}$  仕様で規定されたように出力電圧が上昇します。

未使用の出力はフローティングのままにできます。出力を  $V_{CC}$  またはグランドに直接接続しないようにしてください。

本デバイスの出力の詳細については、「機能説明」セクションを参照してください。

### 8.2.2 詳細な設計手順

1.  $V_{CC}$  と GND の間にデカップリング コンデンサを追加します。このコンデンサは、物理的にデバイスの近く、かつ  $V_{CC}$  ピンと GND ピンの両方に電氣的に近づけて配置する必要があります。レイアウト例を「[レイアウト](#)」セクションに示します。
2. 出力の容量性負荷は、必ず 50pF 以下になるようにします。これは厳密な制限ではありませんが、設計上、性能が最適化されます。これは、TPLD2001 から 1 つまたは複数の受信デバイスまでのトレースを短い適切なサイズにすることで実現できます。
3. 出力の抵抗性負荷を  $(V_{CC} / I_{O(max)})\Omega$  より大きくします。これを行うと、[絶対最大定格](#)の最大出力電流に違反するのを防ぐことができます。ほとんどの CMOS 入力は、M $\Omega$  単位で測定される抵抗性負荷を備えています。これは、上記で計算される最小値よりはるかに大きい値です。
4. 熱の問題がロジック ゲートにとって問題となることはほとんどありません。ただし、消費電力と熱の上昇は、[CMOS 消費電力と CPD の計算アプリケーションレポート](#)に記載されている手順を使用して計算できます。

### 8.2.3 アプリケーション曲線

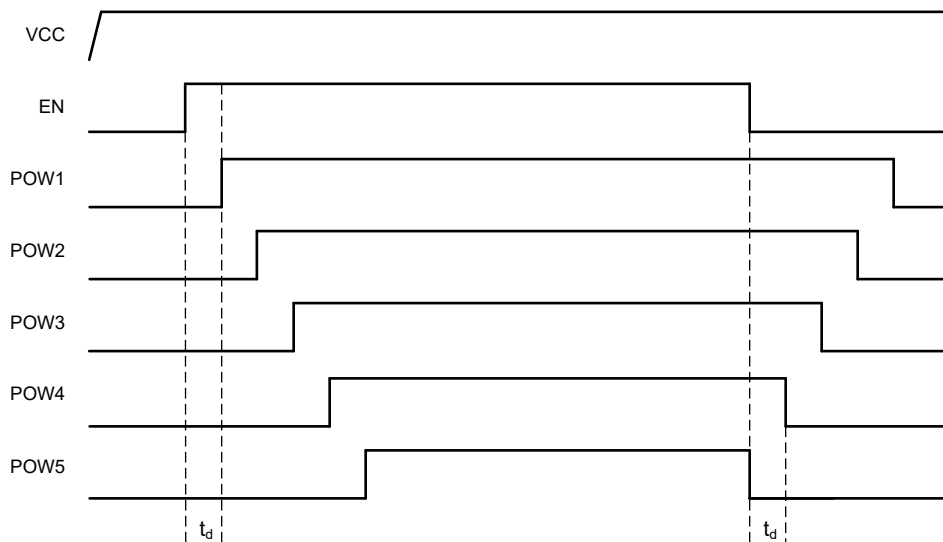


図 8-2. アプリケーション タイミング図



### 8.3 電源に関する推奨事項

電源には、「**推奨動作条件**」に記載された電源電圧定格の最小値と最大値の間の任意の電圧を使用できます。電源の外乱を防止するため、各  $V_{CC}$  端子に適切なバイパス コンデンサを配置する必要があります。

このデバイスには  $0.1\mu\text{F}$  のコンデンサを推奨します。複数のバイパス コンデンサを並列に配置して、異なる周波数のノイズを除去することが許容されます。一般的に、 $0.1\mu\text{F}$  と  $1\mu\text{F}$  のコンデンサは並列に使用されます。バイパス コンデンサを電源端子のできるだけ近くに配置すると最適な結果が得られます。

### 8.4 レイアウト

#### 8.4.1 レイアウトのガイドライン

マルチ入力およびマルチチャネルのロジック デバイスを使用する場合、入力をフローティングのままにはしてはいけません。多くの場合、デジタル論理デバイスの機能または機能の一部は使用されません (たとえば、トリプル入力 AND ゲートの 2 つの入力のみを使用する場合や 4 つのバッファ ゲートのうちの 3 つのみを使用する場合)。このような未使用の入力ピンを未接続のままにすることはできません。外部接続の電圧が未確定の場合、動作状態が不定になるためです。デジタルロジック デバイスの未使用入力はすべて、入力電圧の仕様で定義されるロジック High またはロジック Low 電圧に接続して、それらがフローティングにならないようにする必要があります。特定の未使用入力に適用する必要があるロジックレベルは、デバイスの機能によって異なります。一般に入力は、GND または  $V_{CC}$  のうち、ロジックの機能にとってより適切であるかより利便性の高い方に接続されます。

8.4.2 レイアウト例

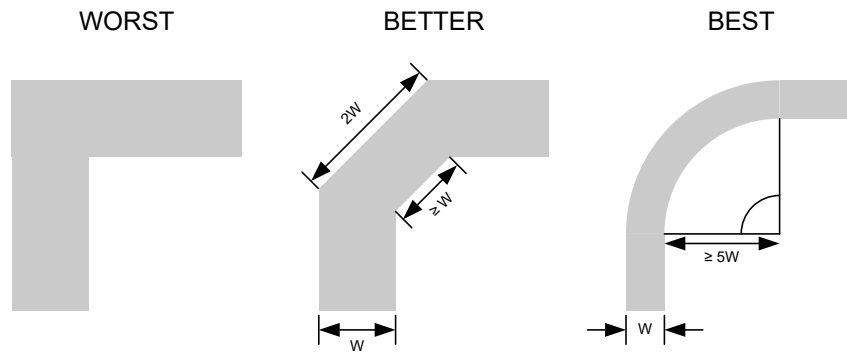


図 8-3. シグナル インテグリティ向上のためのサンプル パターンのコーナー

ADVANCE INFORMATION

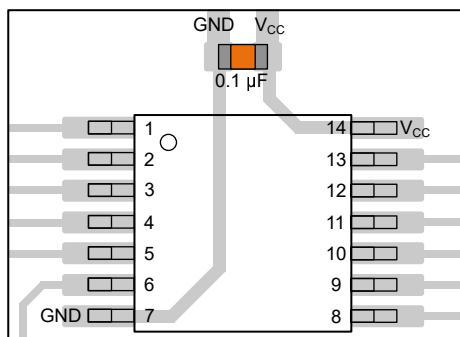


図 8-4. TSSOP や類似のパッケージに対応するバイパス コンデンサの配置例

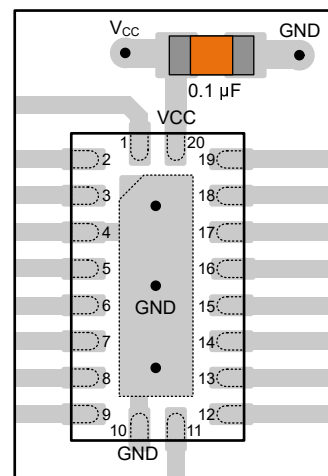


図 8-5. WQFN や類似のパッケージに対応するバイパス コンデンサの配置例

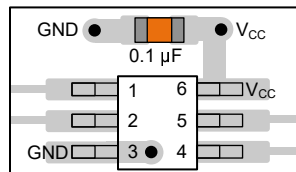


図 8-6. SOT、SC70、および類似のパッケージに対応するバイパス コンデンサの配置例

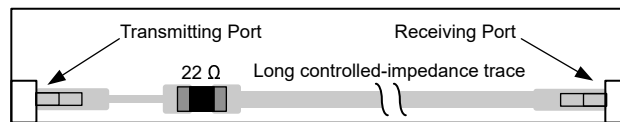


図 8-7. シグナル インテグリティ向上のためのダンピング抵抗の配置例

## 9 デバイスおよびドキュメントのサポート

### 9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

### 9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.  
すべての商標は、それぞれの所有者に帰属します。

### 9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

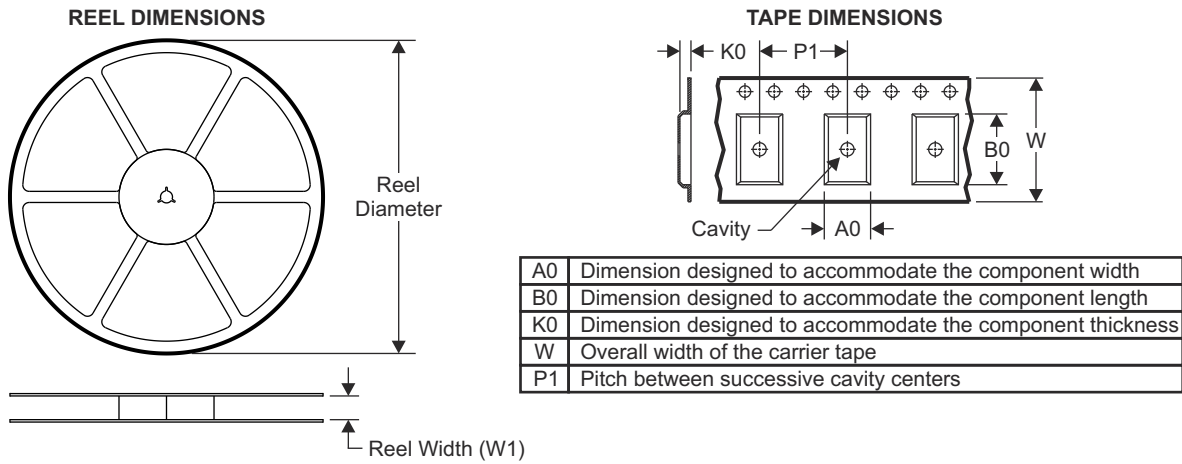
資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
July 2025	*	事前情報のリリース

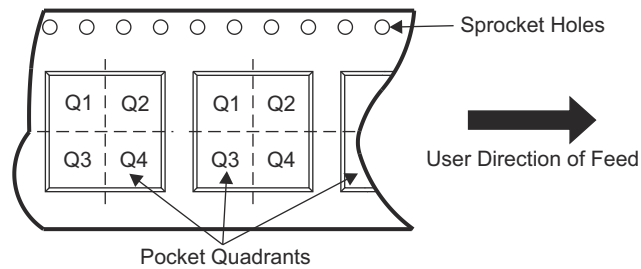
## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

### 11.1 テープおよびリール情報



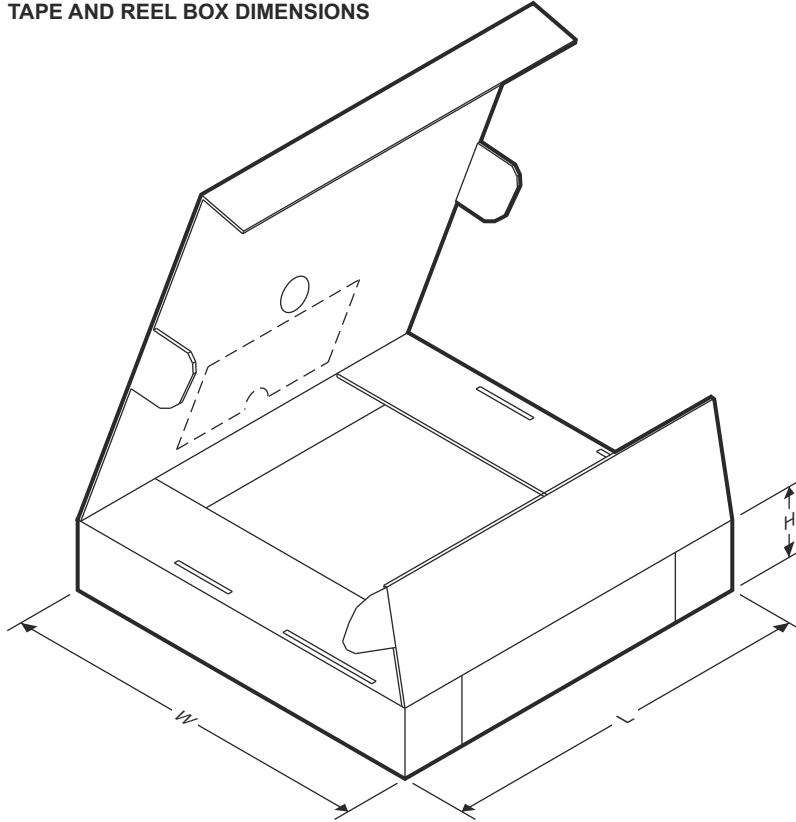
#### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン1の 象限
PTPLD2001DGSR	VSSOP	DGS	20	3000	330	16.4	5.40	5.40	1.45	8	16	1
PTPLD2001RJYR	UQFN	RJY	20	3000	180	8.4	2.25	3.25	0.70	4	8	1

ADVANCE INFORMATION

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
PTPLD2001DGSR	VSSOP	DGS	20	3000	353	353	32
PTPLD2001RJYR	UQFN	RJY	20	3000	210	185	35

ADVANCE INFORMATION

11.2 メカニカル データ

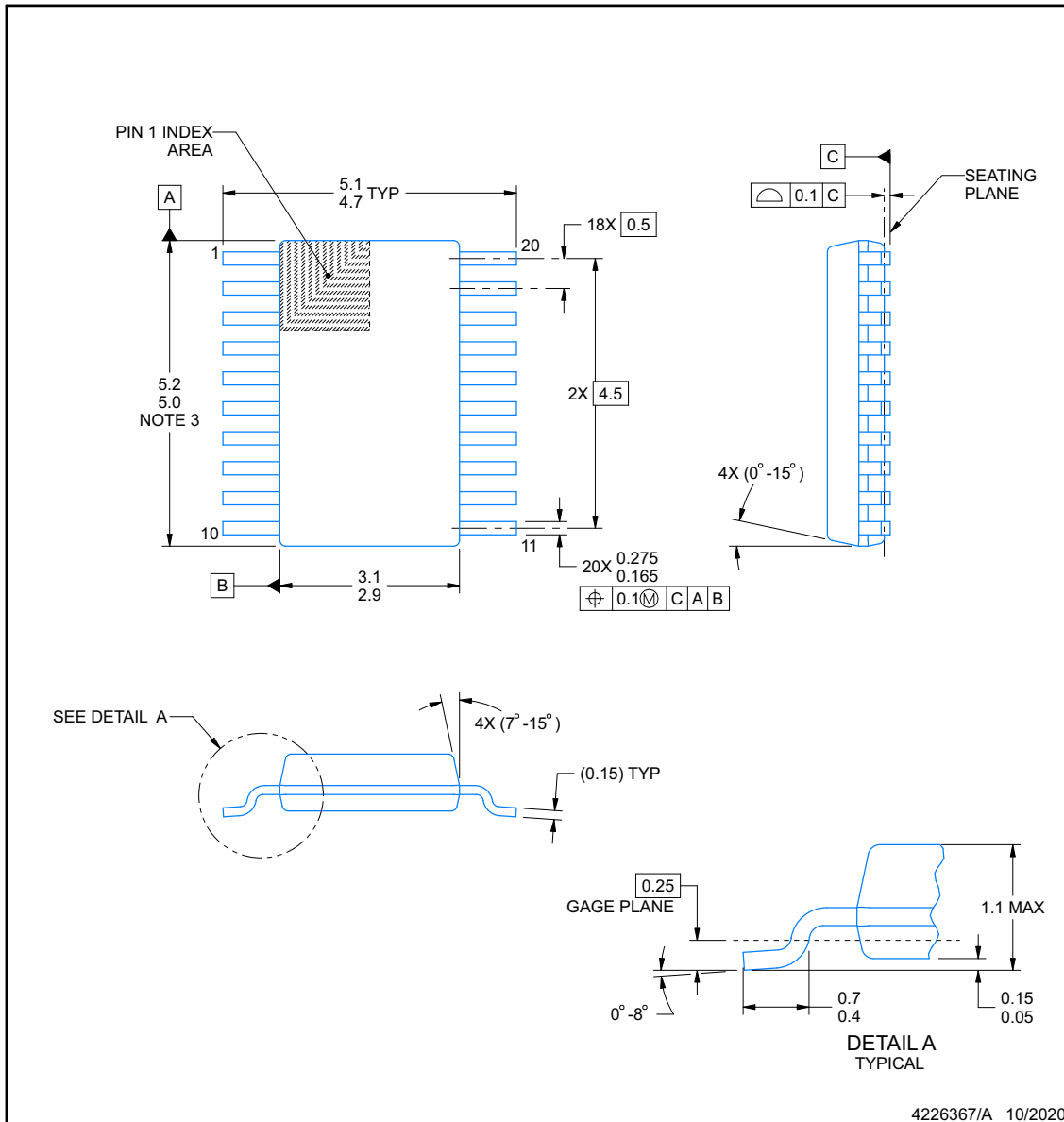
ADVANCE INFORMATION



**DGS0020A**

**PACKAGE OUTLINE**  
**VSSOP - 1.1 mm max height**

SMALL OUTLINE PACKAGE



4226367/A 10/2020

NOTES:

PowerPAD is a trademark of Texas Instruments.

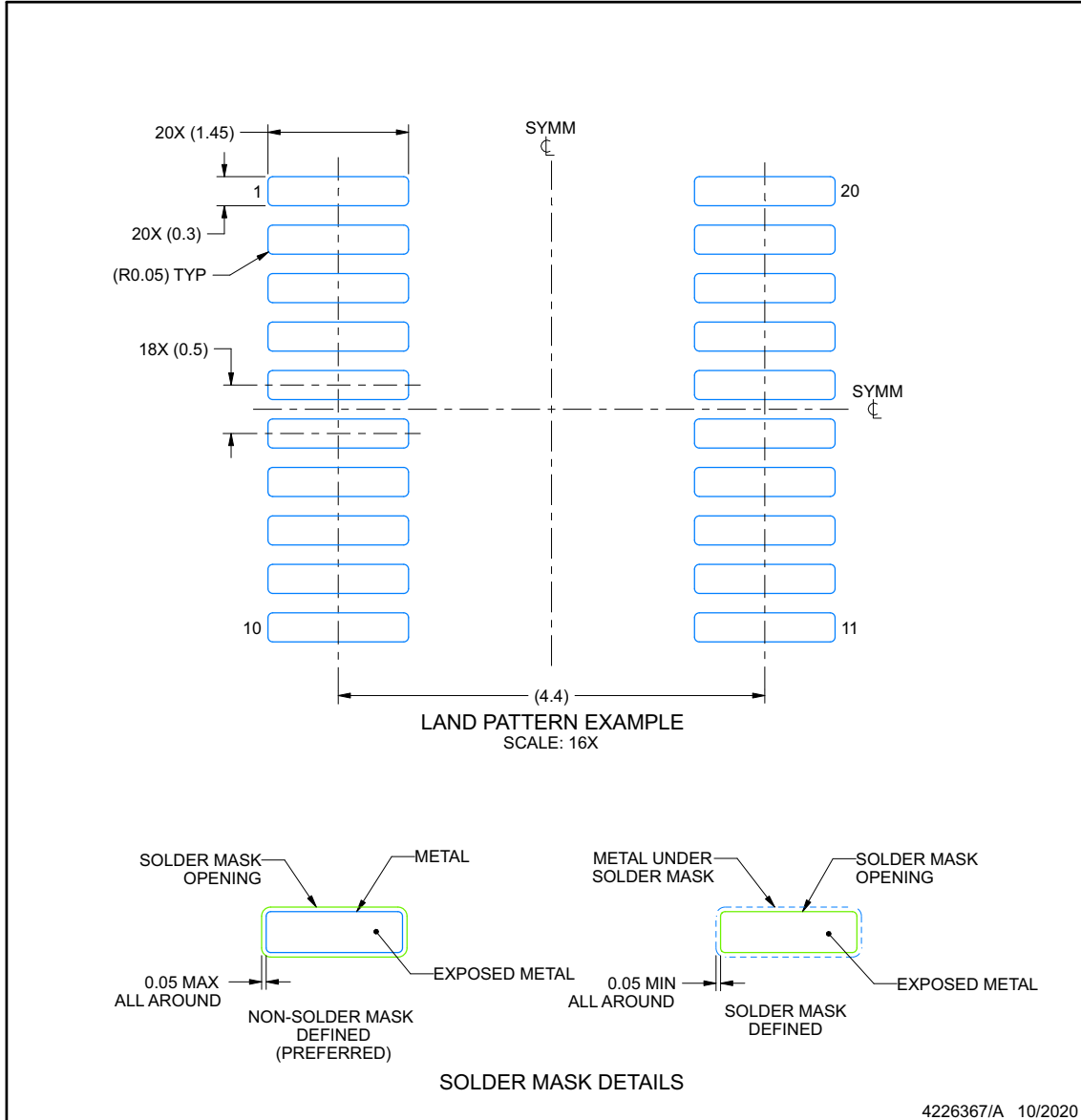
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

## EXAMPLE BOARD LAYOUT

**DGS0020A**

**VSSOP - 1.1 mm max height**

SMALL OUTLINE PACKAGE



NOTES: (continued)

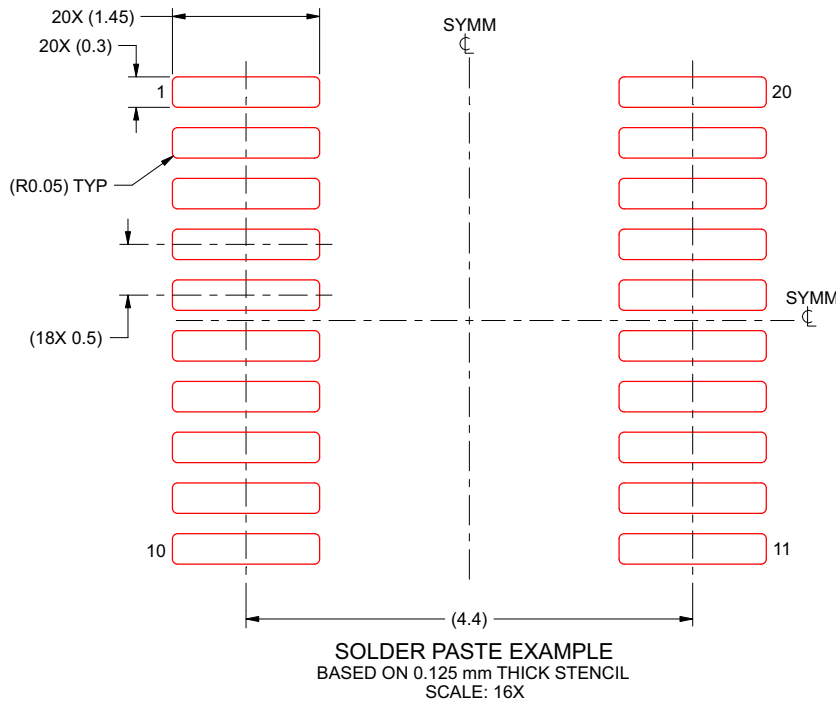
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 ([www.ti.com/lit/slma002](http://www.ti.com/lit/slma002)) and SLMA004 ([www.ti.com/lit/slma004](http://www.ti.com/lit/slma004)).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

## EXAMPLE STENCIL DESIGN

**DGS0020A**

**VSSOP - 1.1 mm max height**

SMALL OUTLINE PACKAGE



4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

ADVANCE INFORMATION

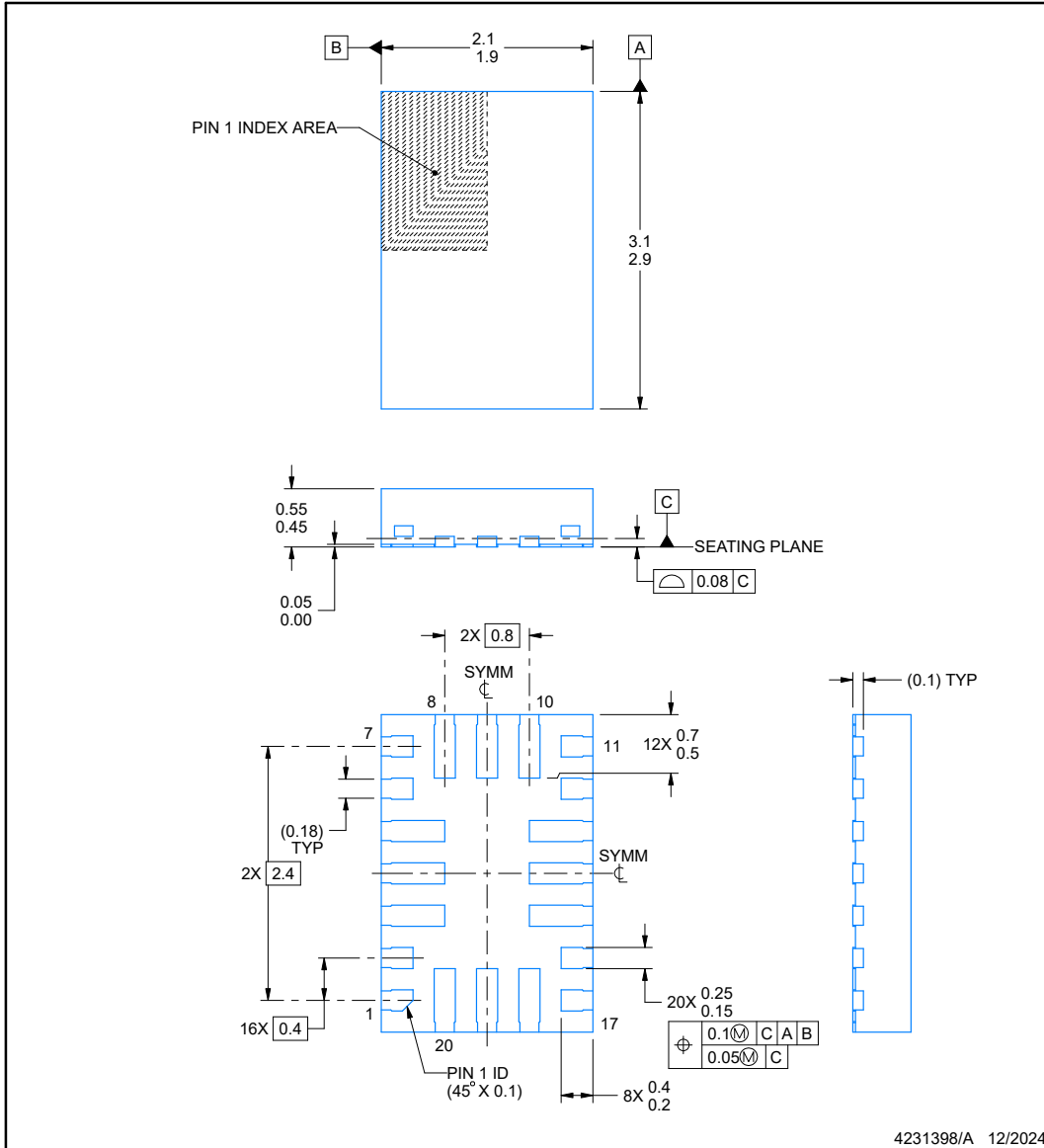




**RJY0020A**

**PACKAGE OUTLINE**  
**UQFN - 0.55 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



**NOTES:**

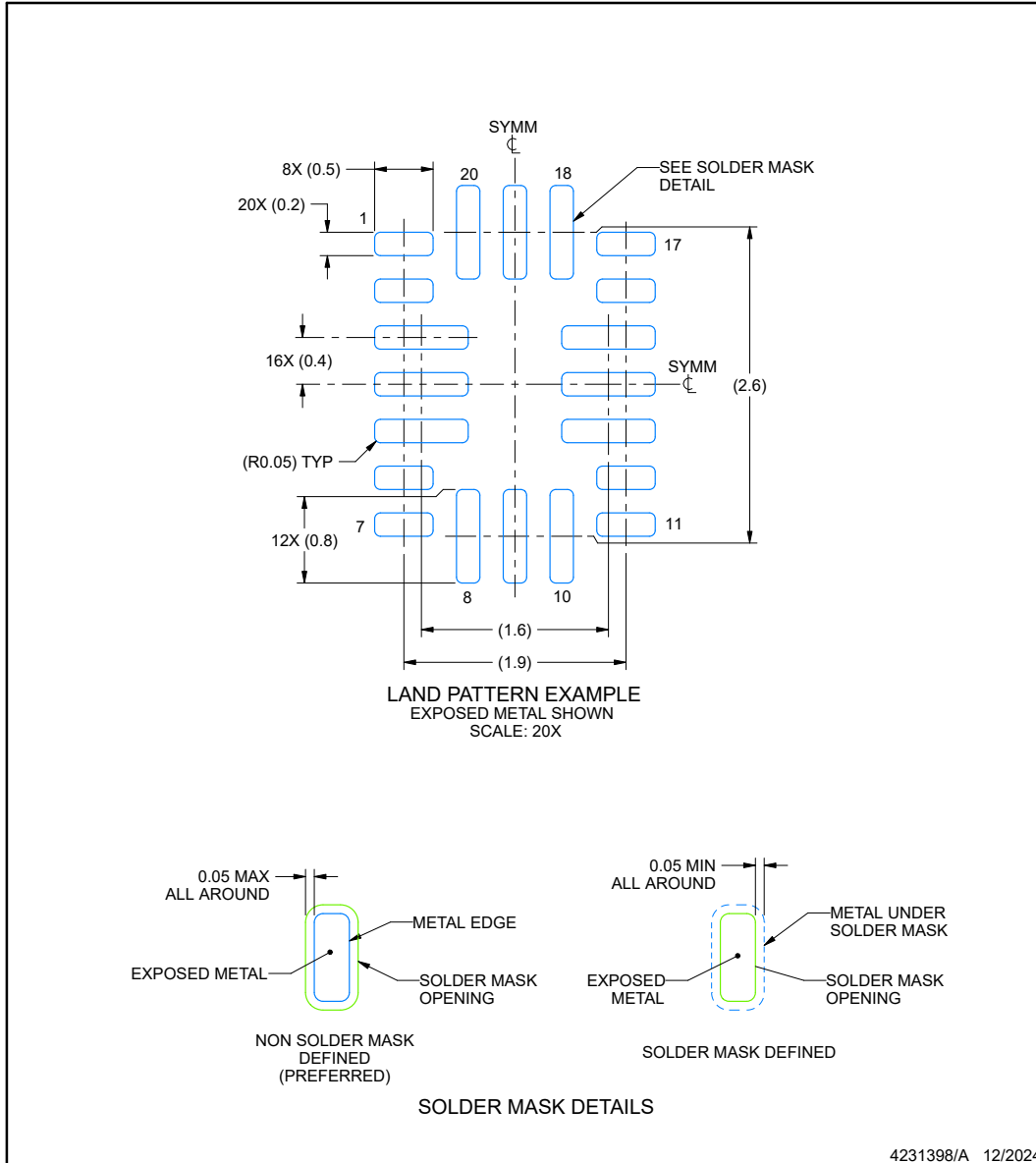
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

**EXAMPLE BOARD LAYOUT**

**RJY0020A**

**UQFN - 0.55 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

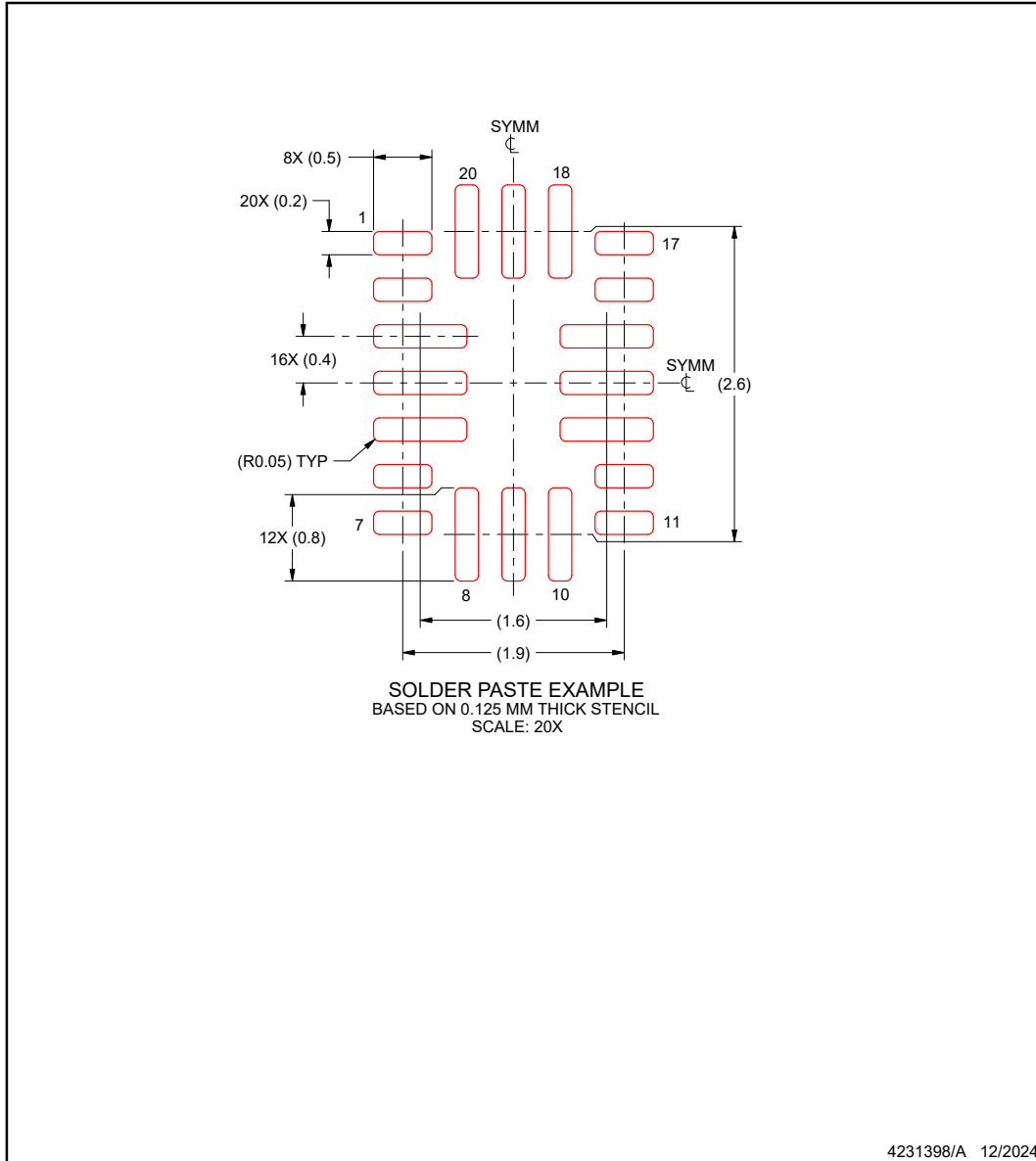
3. For more information, see Texas Instruments literature number SLUA271 ([www.ti.com/lit/slua271](http://www.ti.com/lit/slua271)).

## EXAMPLE STENCIL DESIGN

**RJY0020A**

**UQFN - 0.55 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

## 重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">PTPLD2001DGSR</a>	Active	Preproduction	VSSOP (DGS)   20	3000   LARGE T&R	-	Call TI	Call TI	-40 to 125	
<a href="#">PTPLD2001RJYR</a>	Active	Preproduction	UQFN (RJY)   20	3000   LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

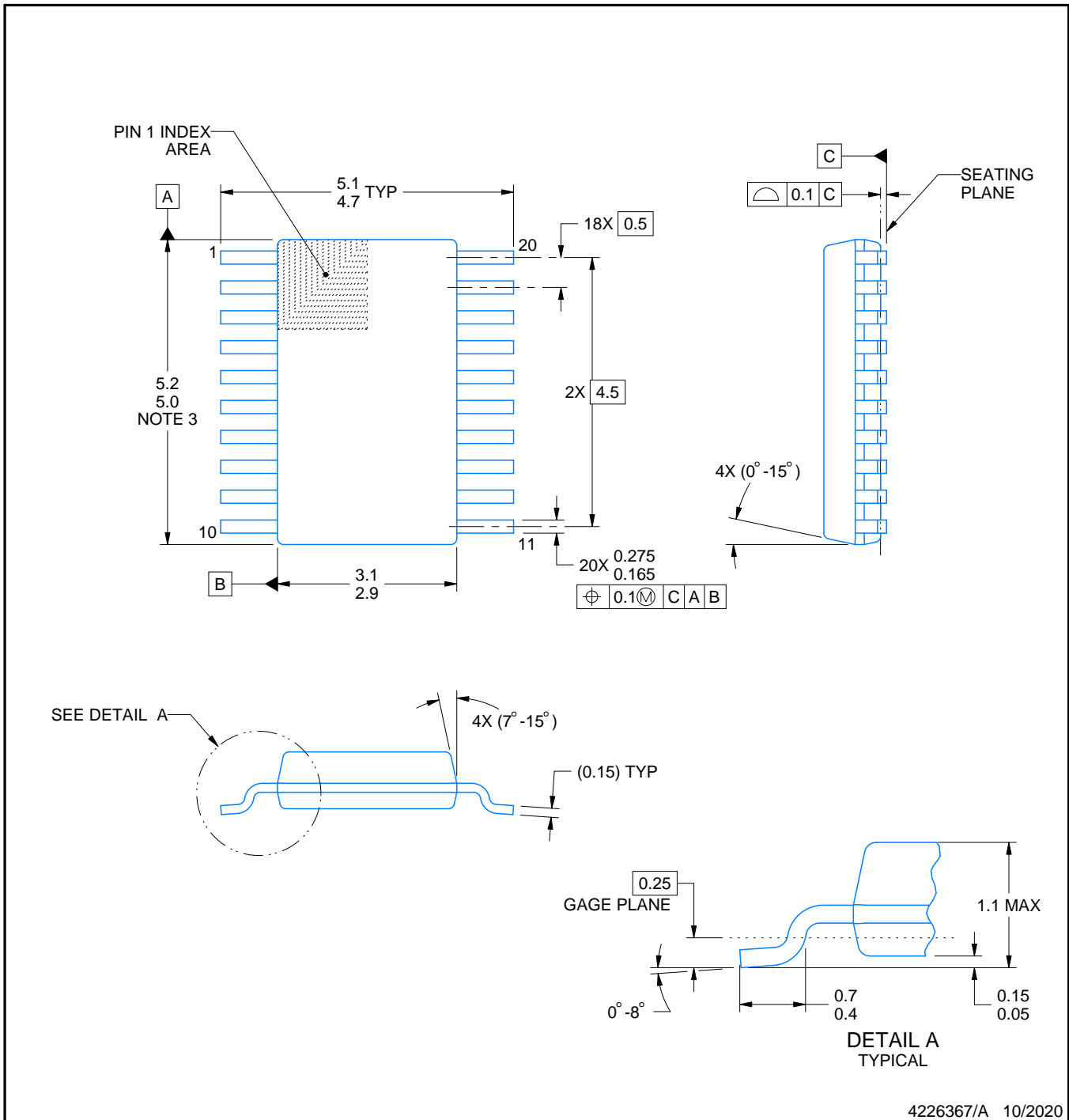
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF TPLD2001 :**

- Automotive : [TPLD2001-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects



NOTES:

PowerPAD is a trademark of Texas Instruments.

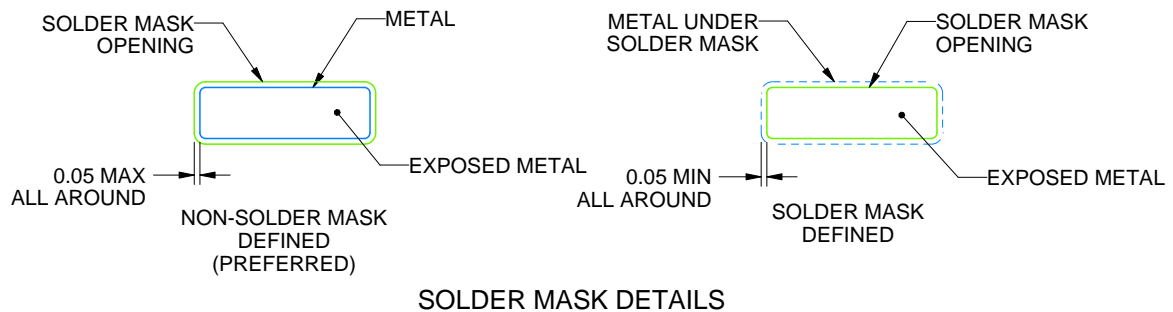
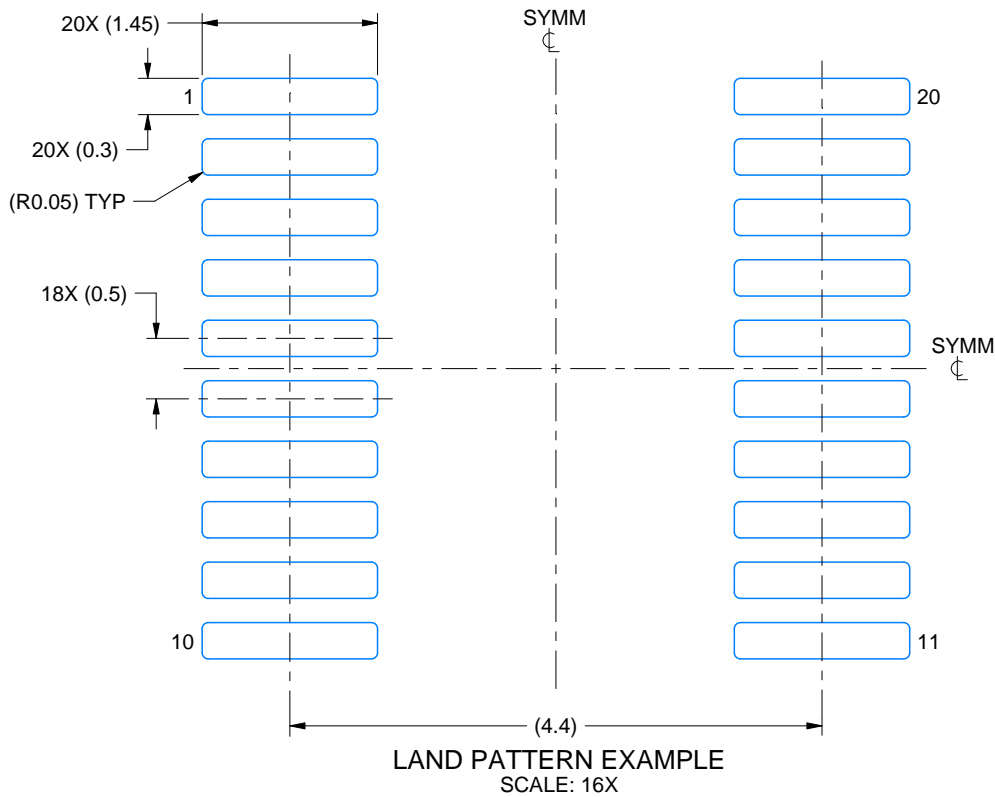
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

# EXAMPLE BOARD LAYOUT

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4226367/A 10/2020

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 ([www.ti.com/lit/slma002](http://www.ti.com/lit/slma002)) and SLMA004 ([www.ti.com/lit/slma004](http://www.ti.com/lit/slma004)).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

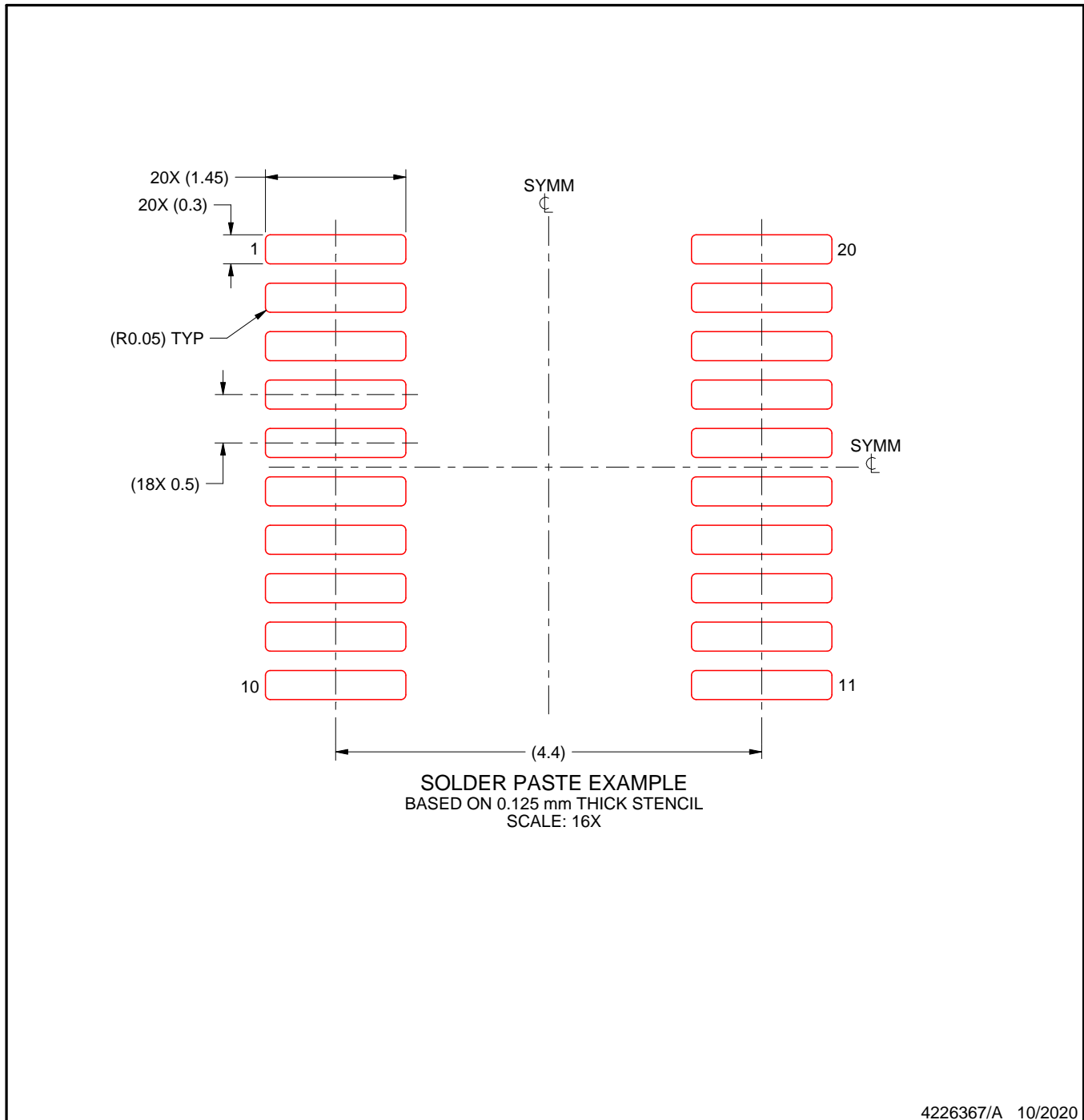


# EXAMPLE STENCIL DESIGN

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月