

TPD6E004 低容量、6 チャンネル、 $\pm 15\text{kV}$ ESD 保護アレイ、高速データ・インターフェイス用

1 特長

- JESD を上回る ESD 保護:
 - $\pm 15\text{kV}$ 人体モデル (HBM)
 - $\pm 8\text{kV}$ IEC 61000-4-2 接触放電
 - $\pm 12\text{kV}$ IEC 61000-4-2 エアギャップ放電
- 1.6pF の低 I/O 容量
- 電源電圧範囲: 0.9V ~ 5.5V
- 6 チャンネル・デバイス
- 省スペースの UQFN (RSE) パッケージ

2 アプリケーション

- USB
- イーサネット™
- FireWire™
- ビデオ
- 携帯電話
- SVGA ビデオ接続
- 血糖値計

3 概要

TPD6E004 デバイスは低容量の $\pm 15\text{kV}$ ESD 保護ダイオード・アレイで、通信ラインに接続された敏感な電子機器を保護するよう設計されています。各チャンネルは 1 対のダイオードで構成され、ESD 電流パルスを V_{CC} または GND に制御します。TPD6E004 は、IEC 61000-4-2 に規定されている $\pm 15\text{kV}$ までの人体モデル (HBM)、 $\pm 8\text{kV}$ の接触 ESD、および $\pm 12\text{kV}$ のエアギャップ ESD から保護します。

このデバイスにはチャンネルごとに標準値 1.6pF の容量があり、高速データ I/O インターフェイスでの使用に最適です。

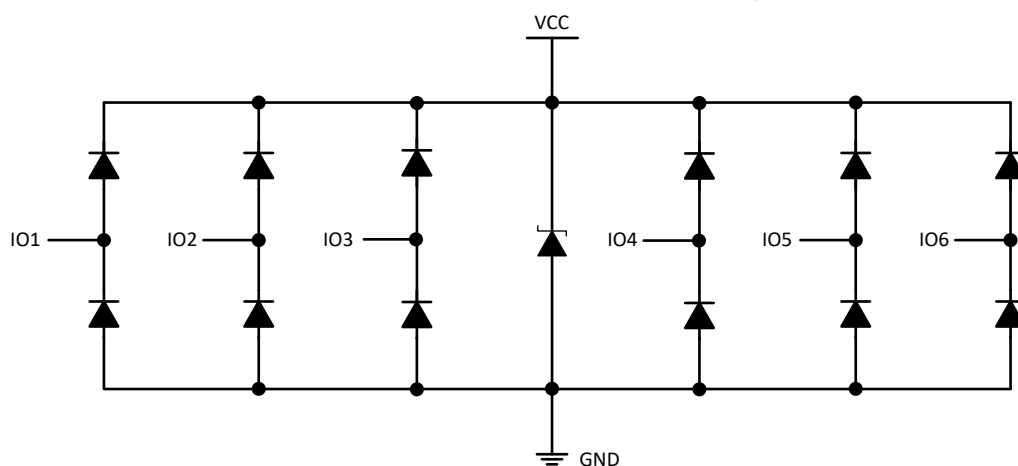
TPD6E004 は RSE パッケージで供給され、 -40°C ~ $+85^{\circ}\text{C}$ の範囲で動作が規定されています。

TPD6E004 デバイスは 6 チャンネルの ESD 構造で、USB、イーサネット、FireWire アプリケーション用に設計されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ・サイズ (2)
TPD6E004	RSE (UQFN, 8)	1.5mm × 1.5mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- (2) パッケージ・サイズ (長さ × 幅) は公称値であり、該当する場合はビンも含まれます。



Copyright © 2016, Texas Instruments Incorporated

機能ブロック図



Table of Contents

1 特長	1	7.3 Feature Description	6
2 アプリケーション	1	7.4 Device Functional Modes	6
3 概要	1	8 Application and Implementation	7
4 Revision History	2	8.1 Application Information	7
5 Pin Configuration and Functions	3	8.2 Typical Application	7
6 Specifications	4	8.3 Power Supply Recommendations	9
6.1 Absolute Maximum Ratings ⁽¹⁾	4	8.4 Layout	9
6.2 ESD Ratings.....	4	9 Device and Documentation Support	11
6.3 ESD Ratings – Surge Protection.....	4	9.1 Documentation Support	11
6.4 Recommended Operating Conditions.....	4	9.2 サポート・リソース	11
6.5 Thermal Information.....	4	9.3 Trademarks	11
6.6 Electrical Characteristics.....	5	9.4 静電気放電に関する注意事項	11
6.7 Typical Characteristics.....	5	9.5 用語集	11
7 Detailed Description	6	10 Mechanical, Packaging, and Orderable Information	11
7.1 Overview.....	6		
7.2 Functional Block Diagram.....	6		

4 Revision History

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (February 2016) to Revision C (July 2023)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• パッケージ・リード・サイズを含めるよう「パッケージ情報」表を更新	1

Changes from Revision A (February 2008) to Revision B (February 2016)	Page
• 「製品情報」表、「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加。	1

5 Pin Configuration and Functions

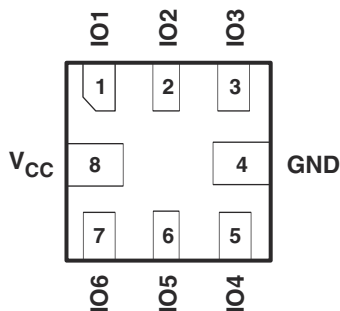


图 5-1. RSE Package, 8-Pin UQFN (Bottom View)

表 5-1. Pin Functions

PIN		TYPE ⁽¹⁾	DESCRIPTION
NAME	NO.		
IO1	1	I/O	ESD-protected channel
IO2	2	I/O	ESD-protected channel
IO3	3	I/O	ESD-protected channel
GND	4	GND	Ground
IO4	5	I/O	ESD-protected channel
IO5	6	I/O	ESD-protected channel
IO6	7	I/O	ESD-protected channel
V _{CC}	8	PWR	Power-supply input. Bypass V _{CC} to GND with a 0.1-μF ceramic capacitor.

(1) I = input, O = output, GND = ground, PWR = power

6 Specifications

6.1 Absolute Maximum Ratings⁽¹⁾

over operating free-air temperature range (unless otherwise noted)

		MIN	MAX	UNIT
V _{CC}	Operating voltage for pin VCC	−0.3	5.5	V
V _{I/O}	Operating voltage for pins IO1, IO2, IO3, IO4, IO5 and IO6	−0.3	V _{CC} + 0.3	V
Bump temperature (soldering)	Infrared (15 s)		220	°C
	Vapor phase (60 s)		215	
	Lead temperature (soldering, 10 s)		300	°C
T _J	Junction temperature		150	°C
T _{stg}	Storage temperature	−65	150	°C

- (1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

6.2 ESD Ratings

		VALUE	UNIT
V _(ESD)	Electrostatic discharge Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±15000	V

- (1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.

6.3 ESD Ratings – Surge Protection

		VALUE	UNIT
V _(ESD)	Electrostatic discharge IEC 61000-4-2 contact discharge	±8000	V
	IEC 61000-4-2 air-gap discharge	±12000	

6.4 Recommended Operating Conditions

over operating free-air temperature range (unless otherwise noted)

		MIN	MAX	UNIT
T _A	Operating free-air temperature	−40	85	°C
V _{CC}	Operating voltage for pin VCC	0.9	5.5	V
V _{I/O}	Operating voltage for pins IO1, IO2, IO3, IO4, IO5 and IO6	0	Minimum of: (5.8, V _{CC})	V

6.5 Thermal Information

THERMAL METRIC ⁽¹⁾		TPD6E004	UNIT
		RSE (UQFN)	
		8 PINS	
R _{θJA}	Junction-to-ambient thermal resistance	138.6	°C/W
R _{θJC(top)}	Junction-to-case (top) thermal resistance	74.7	°C/W
R _{θJB}	Junction-to-board thermal resistance	43.9	°C/W
ψ _{JT}	Junction-to-top characterization parameter	3.6	°C/W
ψ _{JB}	Junction-to-board characterization parameter	43.6	°C/W
R _{θJC(bot)}	Junction-to-case (bottom) thermal resistance	n/a	°C/W

- (1) For more information about traditional and new thermal metrics, see the *Semiconductor and IC Package Thermal Metrics* application report, [SPRA953](#).

6.6 Electrical Characteristics

$V_{CC} = 5\text{ V} \pm 10\%$, $T_A = T_{MIN}$ to T_{MAX} (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP ⁽¹⁾	MAX	UNIT
V_{CC} Supply voltage		0.9		5.5	V
I_{CC} Supply current				500	nA
V_F Diode forward voltage	$I_F = 1\text{ mA}$		0.8		V
I_I Channel leakage current			± 1		nA
V_{BR} Break-down voltage	$I_I = 10\text{ }\mu\text{A}$	6		8	V
$C_{I/O}$ Channel input capacitance	$V_{CC} = 5\text{ V}$, bias of $V_{CC}/2$, $f = 10\text{ MHz}$		1.6	2	pF

(1) Typical values are at $V_{CC} = 5\text{ V}$ and $T_A = 25^\circ\text{C}$.

6.7 Typical Characteristics

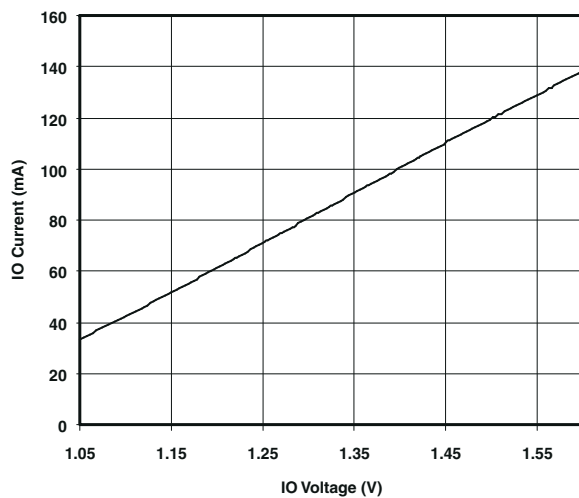


FIG 6-1. Forward Diode Voltage (Upper Clamp Diode)

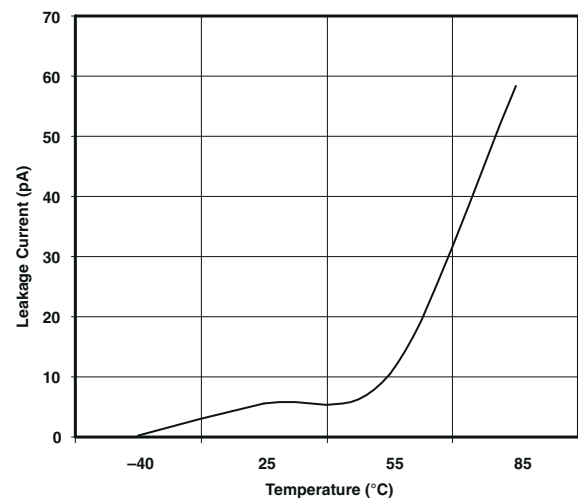


FIG 6-2. Leakage Current vs Temperature

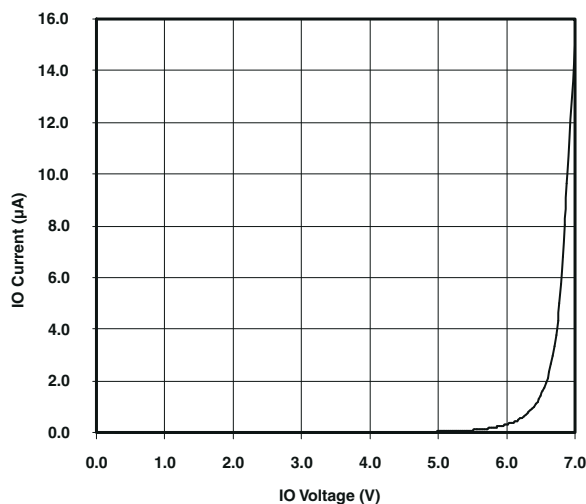


FIG 6-3. Reverse Diode Curve Current I/O to GND

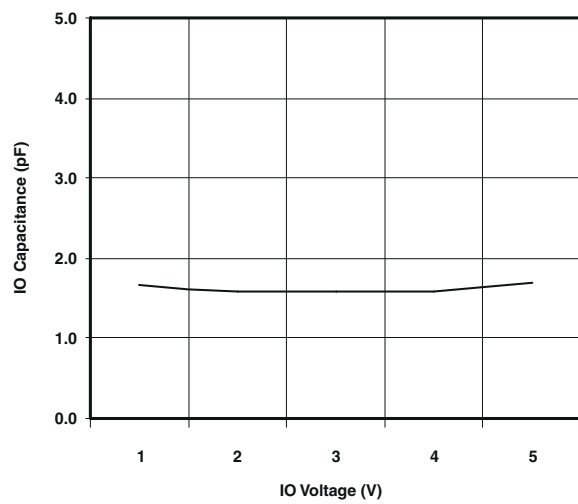


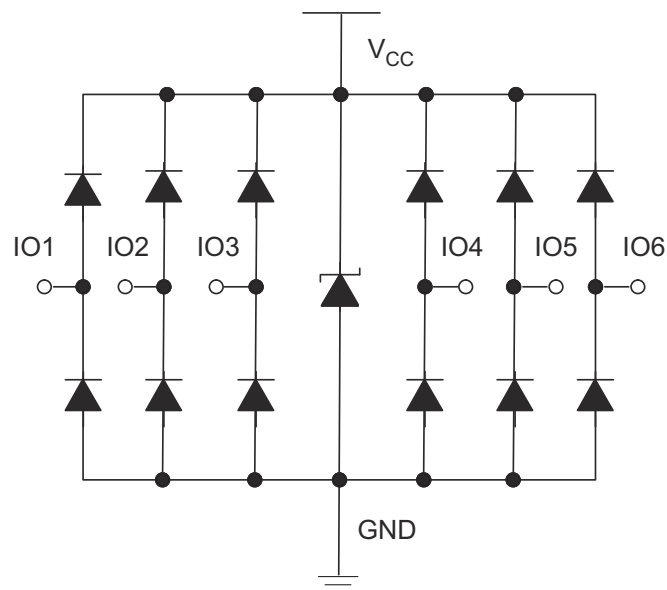
FIG 6-4. I/O Capacitance vs Input Voltage

7 Detailed Description

7.1 Overview

The TPD6E004 device is a six-channel TVS protection diode array. The TPD6E004 is rated to dissipate ESD strikes of ± 8 -kV contact and ± 12 -kV air-gap, as specified in the IEC 61000-4-2 international standard. This device has 1.6-pF capacitance per I/O channel, making it an excellent choice for use in high-speed data I/O interfaces.

7.2 Functional Block Diagram



Copyright © 2016, Texas Instruments Incorporated

7-1. Logic Block Diagram

7.3 Feature Description

The TPD6E004 is a TVS that provides ESD protection for up to six channels, withstanding up to ± 8 -kV contact and ± 12 -kV air-gap ESD per IEC 61000-4-2. The monolithic technology yields exceptionally small variations in capacitance between any I/O pin of the TPD6E004. The small footprint is an excellent choice for applications where space-saving designs are important.

7.4 Device Functional Modes

The TPD6E004 device is a passive integrated circuit that triggers when voltages are above V_{BR} or below the diodes V_F of approximately -0.8 V. During ESD events, voltages as high as ± 8 -kV contact and ± 12 -kV air-gap ESD can be directed to ground through the internal diodes. When the voltages on the protected line fall below the trigger levels of TPD6E004 (usually within 10s of nano-seconds) the device reverts back to its high-impedance state.

8 Application and Implementation

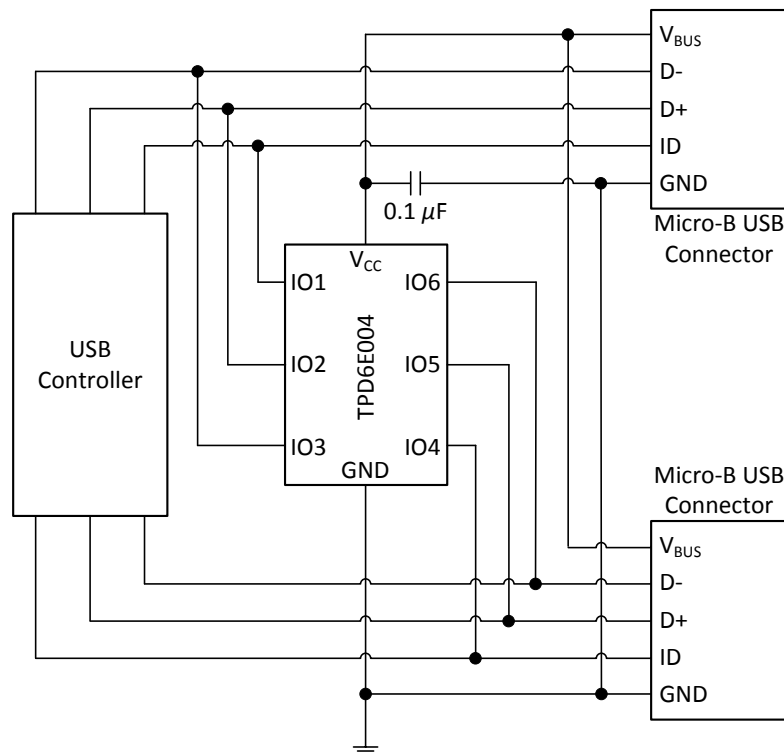
注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 Application Information

The TPD6E004 device is a TVS diode array typically used to provide a path to ground for dissipating ESD events on high-speed signal lines between a human interface connector and a system. As the current from ESD passes through the TVS, only a small voltage drop is present across the diode. This is the voltage presented to the protected integrated circuit (IC). The triggered TVS holds this voltage, V_{CLAMP} , to a safe level for the protected IC.

8.2 Typical Application



Copyright © 2016, Texas Instruments Incorporated

図 8-1. Two-Port Micro-B USB 2.0 Application

8.2.1 Design Requirements

For this design example, a single TPD6E004 is used to protect all the pins of two USB 2.0 Micro-B connectors. 表 8-1 lists the design parameters for the USB application.

表 8-1. Design Parameters

DESIGN PARAMETER	VALUE
Signal range on IO1, IO2, IO3, IO4, IO5 and IO6	0 V to 3.6 V
Signal voltage range on V_{CC}	0 V to 5.5 V
Operating Frequency	240 MHz

8.2.2 Detailed Design Procedure

When placed near the USB connectors, the TPD6E004 ESD solution offers little or no signal distortion during normal operation due to low I/O capacitance and ultra-low leakage current specifications. The TPD6E004 is designed to protect the core circuitry and allow the system to function properly in the event of an ESD strike. For proper operation, the [Layout Guidelines](#) and following design guidelines must be followed:

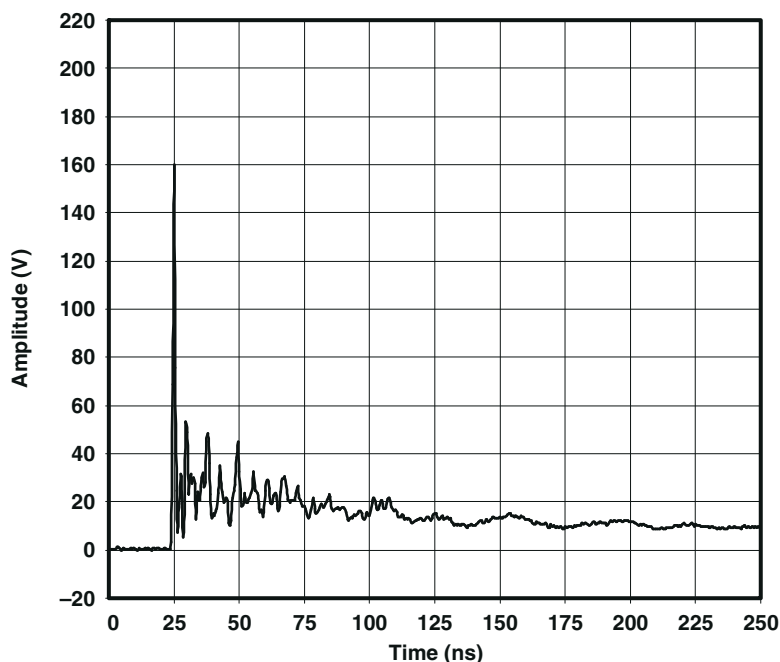
1. Place the TPD6E004 solution close to the connectors. This allows the TPD6E004 to take away the energy associated with ESD strike before it reaches the internal circuitry of the system board.
2. Place a 0.1- μ F capacitor very close to the V_{CC} pin. This limits any momentary voltage surge at the I/O pin during the ESD strike event.
3. Ensure that there is enough metallization for the V_{CC} and GND loop. During normal operation, the TPD6E004 consumes only μ A of leakage current, but during an ESD event, V_{CC} and GND may see 15-A to 30-A of current, depending on the ESD level. A sufficient current path enables the safe discharge of all the energy associated with the ESD strike.
4. Leave any unused I/O pins floating. In this example of protecting two Micro-B USB ports, none of the I/O pins are left unused.
5. The V_{CC} pin can be connected in two different ways:
 - a. If the V_{CC} pin is connected to the system power supply, then the TPD6E004 works as a transient suppressor for any signal swing above $V_{CC} + V_F$. TI recommends a 0.1- μ F capacitor on the device V_{CC} pin for ESD bypass.
 - b. If the V_{CC} pin is not connected to the system power supply, then the TPD6E004 can tolerate a higher signal swing in the range of up to 5.8 V.

注

A 0.1- μ F capacitor is still recommended at the V_{CC} pin for ESD bypass.

8.2.3 Application Curve

☒ 8-2 is a capture of the voltage clamping waveform of the TPD6E004 during a +8-kV contact IEC 61000-4-2 ESD strike.



8-2. IEC 61000-4-2 +8-kV Contact ESD Clamping Waveform

8.3 Power Supply Recommendations

The TPD6E004 device is a passive ESD protection device, so there is no need to power it. Do not violate the maximum voltage specifications for each pin.







8.4 Layout

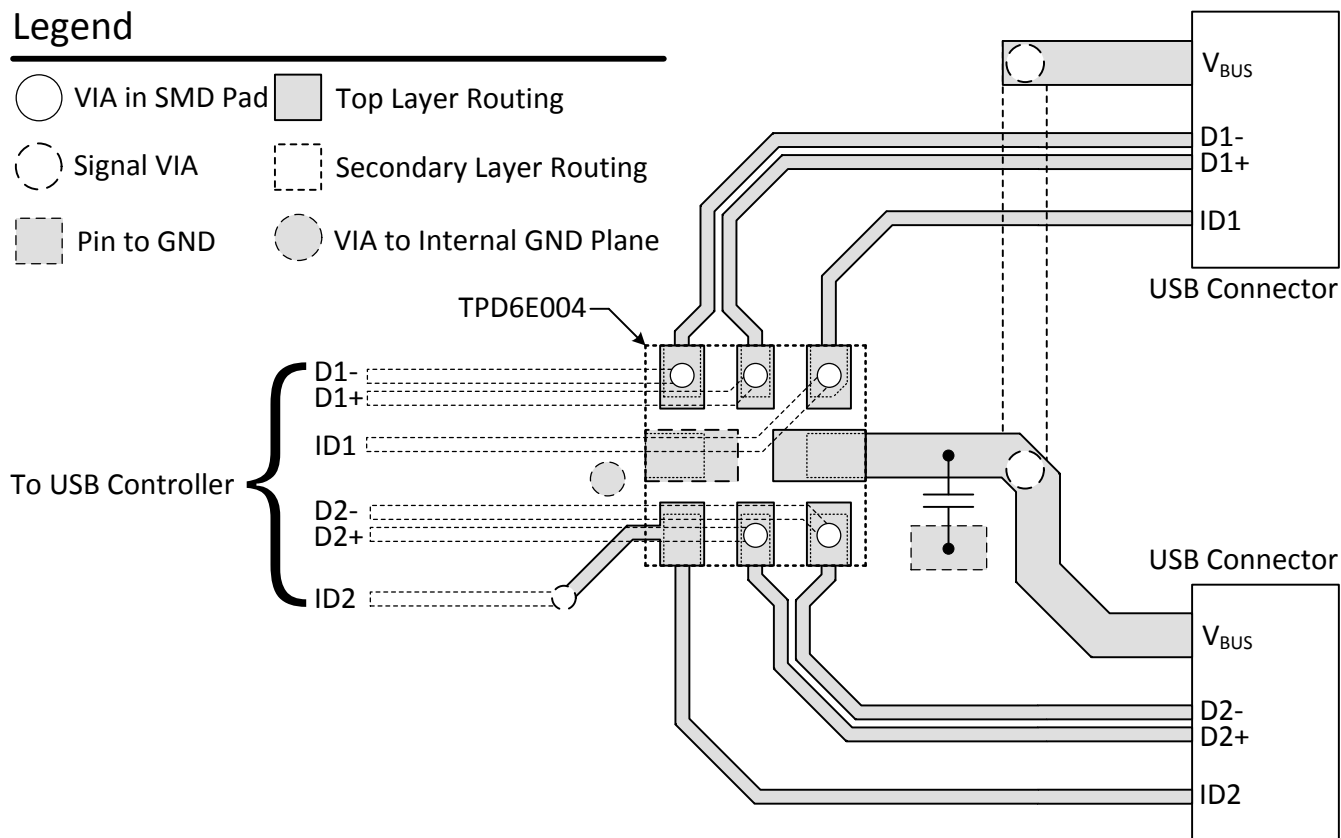
8.4.1 Layout Guidelines

- The optimum placement is as close to the connector as possible.
 - EMI during an ESD event can couple from the trace being struck to other nearby unprotected traces, resulting in early system failures.
 - The PCB designer must minimize the possibility of EMI coupling by keeping any unprotected traces away from the protected traces which are between the TVS and the connector.
- Route the protected traces as straight as possible.
- Eliminate any corners less than 135° on the protected traces between the TVS and the connector. Best practice is using rounded corners with the largest radii possible.
 - Electric fields tend to build up on corners, increasing EMI coupling.
- Connect the ground pin to a same layer ground pour which is connected to an internal ground plane with a via. Place the via very near the ground pin.

8.4.2 Layout Example

Legend

-  VIA in SMD Pad
-  Signal VIA
-  Pin to GND
-  Top Layer Routing
-  Secondary Layer Routing
-  VIA to Internal GND Plane



Copyright © 2016, Texas Instruments Incorporated

Figure 8-3. TPD6E004 Layout Example for Two USB 2.0 Micro-B Connectors

9 Device and Documentation Support

9.1 Documentation Support

9.1.1 Related Documentation

For related documentation see the following:

- Texas Instruments, [Reading and Understanding an ESD Protection Data Sheet](#)
- Texas Instrument, [ESD Protection Layout Guide](#)

9.2 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

9.3 Trademarks

イーサネット™ is a trademark of Xerox Corporation.

FireWire™ is a trademark of Apple Inc.

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集 この用語集には、用語や略語の一覧および定義が記載されています。

10 Mechanical, Packaging, and Orderable Information

The following pages include mechanical, packaging, and orderable information. This information is the most current data available for the designated devices. This data is subject to change without notice and revision of this document. For browser-based versions of this data sheet, refer to the left-hand navigation.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPD6E004RSER	Active	Production	UQFN (RSE) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	2V
TPD6E004RSER.A	Active	Production	UQFN (RSE) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	2V
TPD6E004RSER.B	Active	Production	UQFN (RSE) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	2V

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

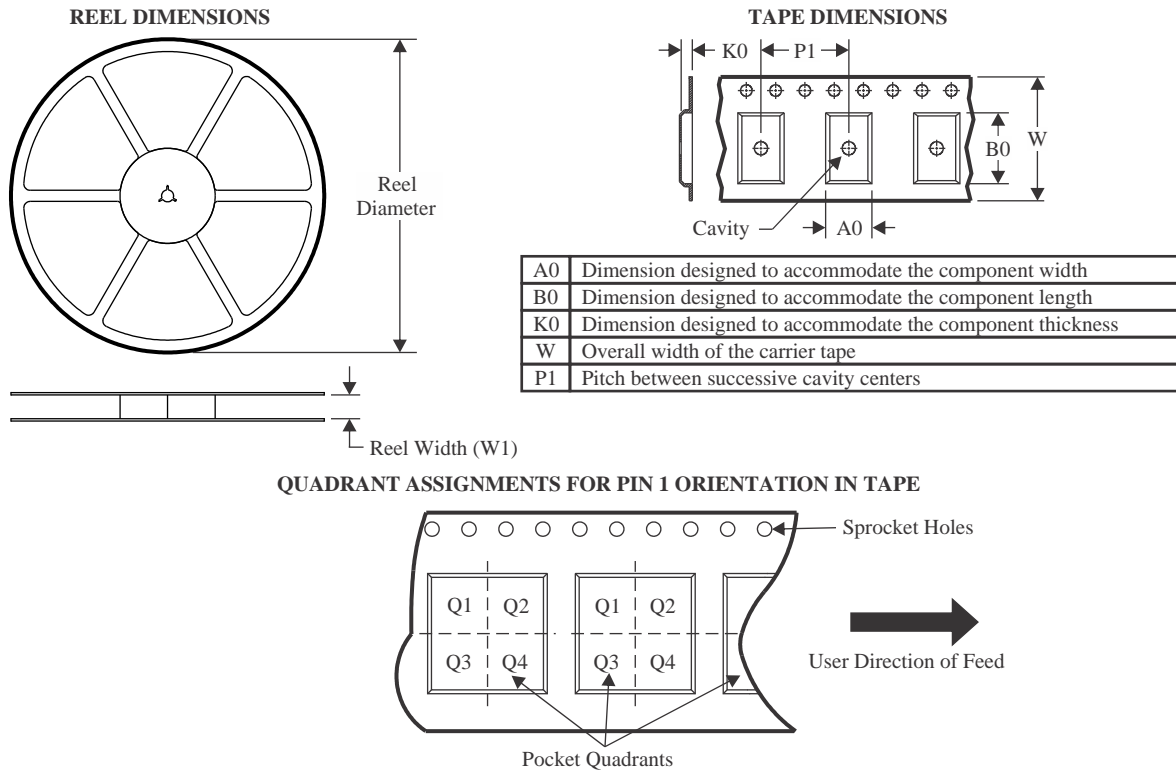
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

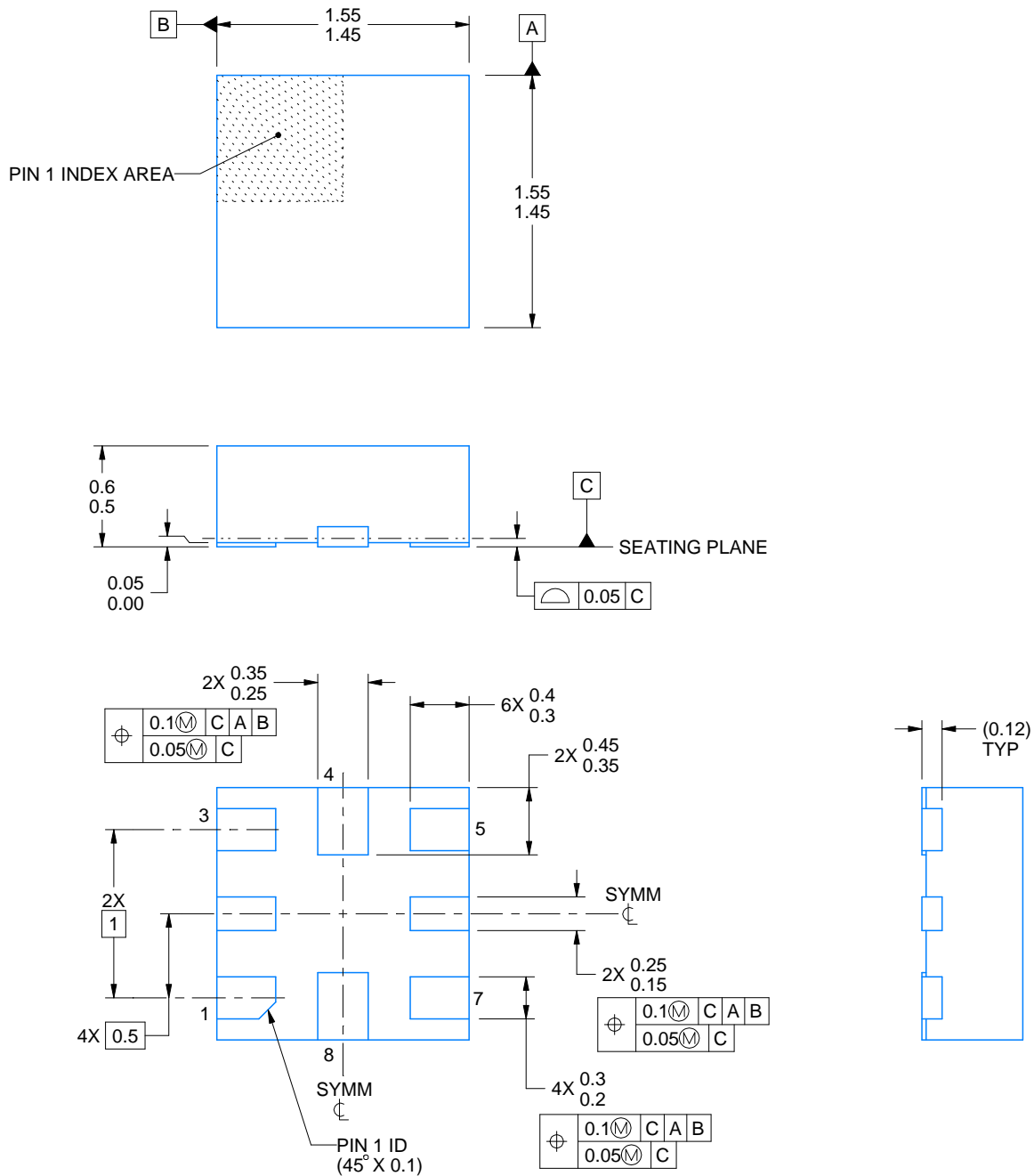
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPD6E004RSER	UQFN	RSE	8	3000	180.0	9.5	1.7	1.7	0.75	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPD6E004RSER	UQFN	RSE	8	3000	184.0	184.0	19.0



4220323/B 03/2018

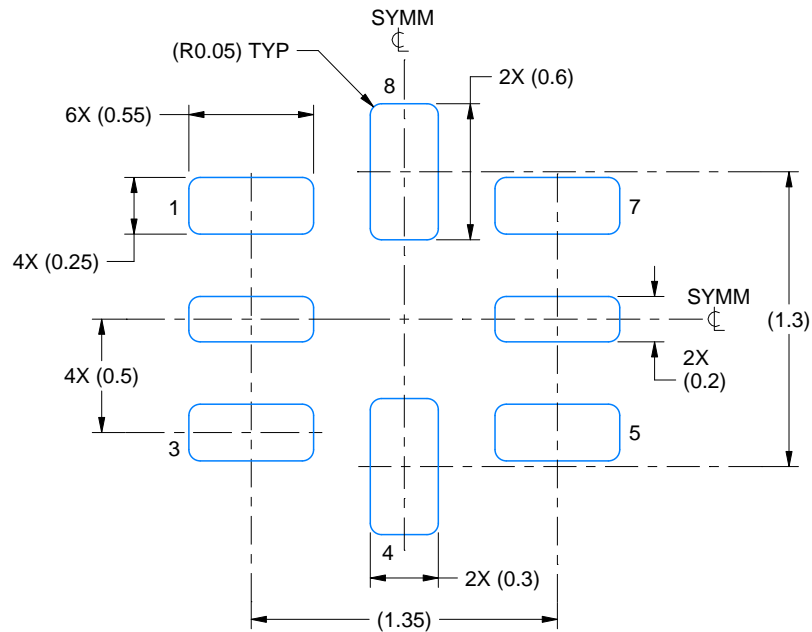
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

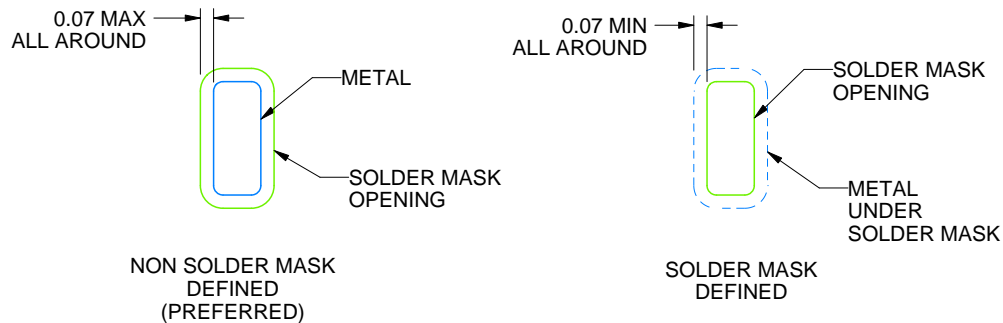
RSE0008A

UQFN - 0.6 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:30X



SOLDER MASK DETAILS
NOT TO SCALE

4220323/B 03/2018

NOTES: (continued)

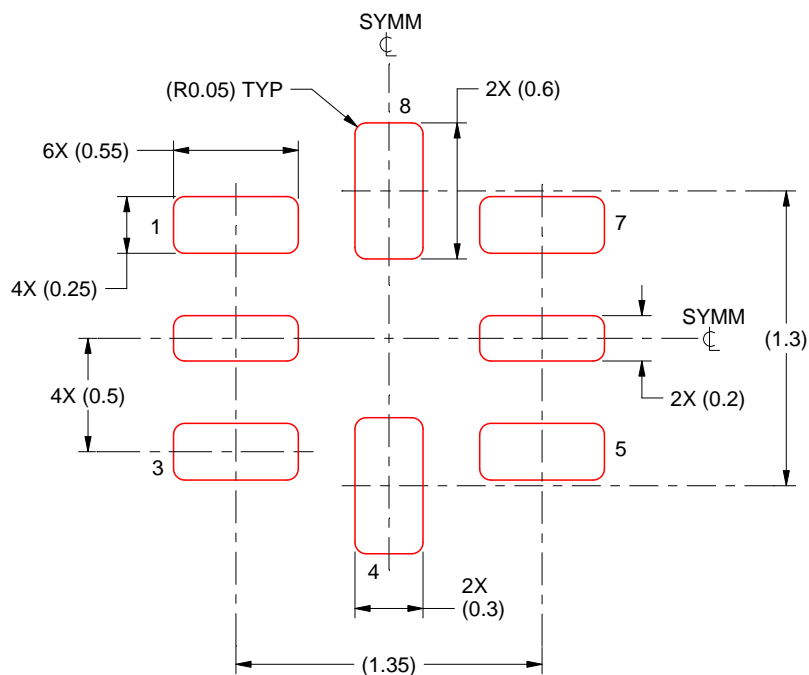
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sl原因271).

EXAMPLE STENCIL DESIGN

RSE0008A

UQFN - 0.6 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICKNESS
SCALE: 30X

4220323/B 03/2018

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated