TMUX13xxA-Q1 車載用 5V、双方向 8:1、1 チャネル / 4:1、2 チャネル電流インジェクション制御マルチプレクサ、ハイ インピーダンス負荷向けに最適化

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
  - デバイス温度グレード 1:–40°C ～ 125°C の動作時周囲温度
- インジェクション電流制御
- 逆電力供給保護
  - V_{DD} への ESD ダイオード パスがない
- 幅広い電源電圧範囲:1.62V ～ 5.5V
- 高速なセトリング タイム
- 小さいオン容量
- 双方向の信号パス
- ハイ インピーダンス負荷用に最適化
- レール ツー レール動作
- 1.8V ロジック互換
- フェイルセーフ ロジック
- ブレイク ビフォー メイクのスイッチング動作
- オン / オフ チャネルに対するバッテリ短絡保護
- 機能安全対応
  - 機能安全システムの設計に役立つ資料を利用可能
- TMUX1308A-Q1 - 以下のデバイスとピン互換:
  - 業界標準の 4051、4851、1308 マルチプレクサ
- TMUX1309A-Q1 - 以下のデバイスとピン互換:
  - 業界標準の 4052、4852、1309 マルチプレクサ

2 アプリケーション

- アナログおよびデジタルの多重化 / 多重分離
- 診断および監視
- ゾーン アーキテクチャ
- 車体制御モジュール
- バッテリ管理システム (BMS)
- HVAC (エアコン) 制御モジュール
- 車載用ヘッド ユニット
- テレマティクス
- オンボード チャージャ (OBC) とワイヤレス充電

3 説明

TMUX1308A-Q1 および TMUX1309A-Q1 は、汎用の CMOS (相補型金属酸化膜半導体) マルチプレクサ (MUX) です。TMUX1308A-Q1 は 8:1、1 チャネル (シングルエンド) MUX、TMUX1309A-Q1 は 4:1、2 チャネル (差動) MUX です。このデバイスは、ソース (Sx) およびドレイン (Dx) ピンで、GND から V_{DD} までの範囲の双方向アナログおよびデジタル信号をサポートします。

TMUX13xxA-Q1 デバイスは、内部インジェクション電流制御機能を備えています。この機能のおかげで、スイッチを保護し入力信号を電源電圧内に維持するために通常使用される外付けのダイオードおよび抵抗ネットワークは不要です。内部インジェクション電流制御回路により、ディセーブルまたはイネーブルの信号パスで電源電圧を超える信号が許容されます。ディセーブルのチャネルの電圧が V_{DD} を上回っても、イネーブルの信号パスの信号に影響を与えません。また、TMUX13xxA-Q1 デバイスには電源ピンへの内部ダイオード パスがないため、電源ピンに接続された部品が損傷し、または電源レールに意図しない電力が供給される危険性がありません。これらの特長により、入力側の RC ネットワークを低減できます。電流制限抵抗をはるかに小さくでき、ランプ レートに大きな影響を及ぼす可能性があります。

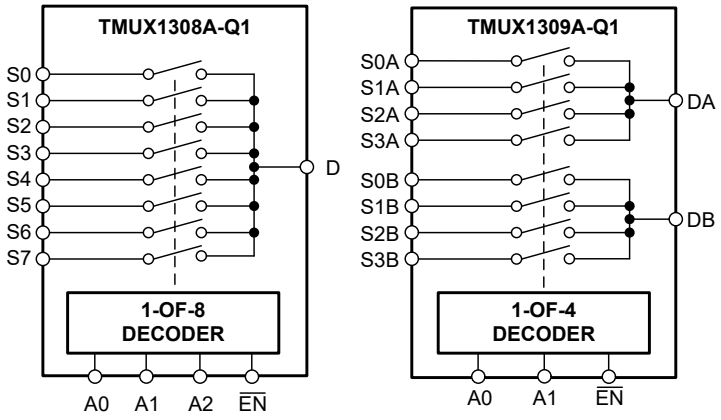
すべてのロジック入力のスレッショルドは 1.8V ロジック互換で、有効な電源電圧で動作していれば、TTL と CMOS の両方のロジックと互換性が保証されます。フェイルセーフ ロジック回路により、電源ピンよりも先に制御ピンに電圧が印加されるため、デバイスへの損傷の可能性が避けられます。

パッケージ情報

部品番号	構成(1)	パッケージ(2)	本体サイズ (公称)(3)
TMUX1308A-Q1 TMUX1309A-Q1	チャネル 8:1 チャネル 4:1	PW (TSSOP、16)	5mm × 4.4mm
		DYY (SOT-23-THIN、16)	4.2mm × 2mm
		BQB (WQFN、16)	3.5mm × 2.5mm

(1) *デバイス比較表* を参照してください。
(2) 詳細については、セクション 12 を参照してください。
(3) 本体サイズ (長さ×幅) は公称値であり、ピンは含まれません。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



TMUX1308A-Q1 と TMUX1309A-Q1 のブロック図

Copyright © 2025 Texas Instruments Incorporated

目次

1 特長.... 1
2 アプリケーション.... 1
3 説明.... 1
4 デバイス比較表.... 4
5 ピン構成および機能.... 4
6 仕様.... 8
6.1 絶対最大定格.... 8
6.2 ESD 定格.... 8
6.3 熱に関する情報：TMUX1308A-Q1.... 9
6.4 熱に関する情報：TMUX1309A-Q1.... 9
6.5 推奨動作条件.... 9
6.6 電気的特性.... 10
6.7 ロジックおよびダイナミック特性.... 11
6.8 タイミング特性.... 12
6.9 インジェクション電流結合.... 13
6.10 代表的特性.... 14
7 パラメータ測定情報.... 17
7.1 オン抵抗.... 17
7.2 オフ リーク電流.... 17
7.3 オン リーク電流.... 18
7.4 遷移時間.... 18
7.5 ブレイク ビフォー メイク.... 19
7.6 $t_{ON(EN)}$ および $t_{OFF(EN)}$.... 19
7.7 チャージ インジェクション.... 20
7.8 オフ アイソレーション.... 20
7.9 クロストーク.... 21
7.10 帯域幅.... 21
7.11 インジェクション電流制御.... 22
8 詳細説明.... 23
8.1 概要.... 23
8.2 機能ブロック図.... 23
8.3 機能説明.... 23
8.4 デバイスの機能モード.... 28
8.5 真理値表.... 29
9 アプリケーションと実装.... 30
9.1 アプリケーション情報.... 30
9.2 代表的なアプリケーション.... 30
9.3 電源に関する推奨事項.... 34
9.4 レイアウト.... 35
10 デバイスおよびドキュメントのサポート.... 37
10.1 ドキュメントのサポート.... 37
10.2 ドキュメントの更新通知を受け取る方法.... 37
10.3 サポート・リソース.... 37
10.4 商標.... 37
10.5 静電気放電に関する注意事項.... 37
10.6 用語集.... 37
11 改訂履歴.... 37
12 メカニカル、パッケージ、および注文情報.... 38

4 デバイス比較表

製品名	説明
TMUX1308A-Q1	8:1、1 チャネル、シングルエンド マルチプレクサ
TMUX1309A-Q1	4:1、2 チャネル、差動マルチプレクサ

5 ピン構成および機能

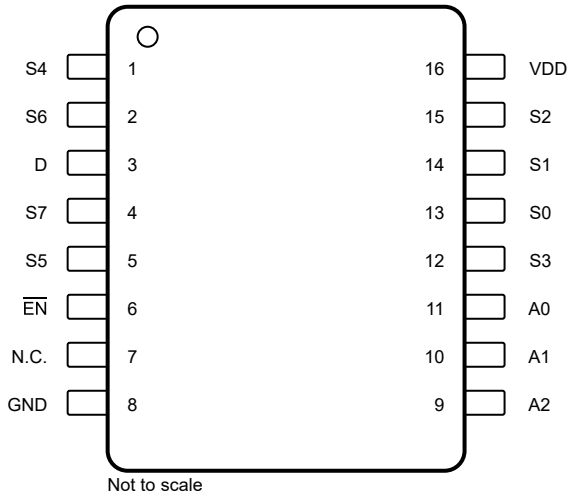


図 5-1. TMUX1308A-Q1: PW パッケージ、 16 ピン TSSOP (上面図)

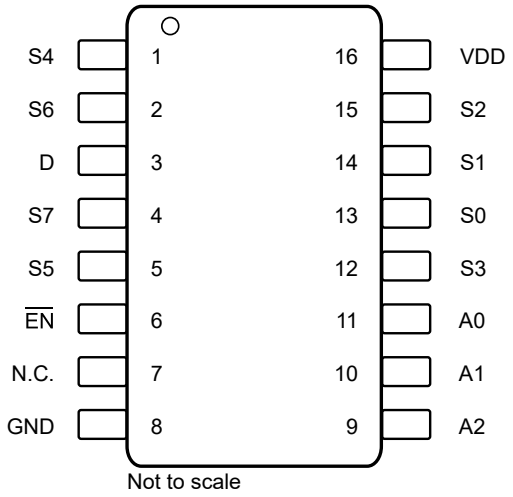


図 5-2. TMUX1308A-Q1: DYY パッケージ、 16 ピン SOT-23-THIN (上面図)

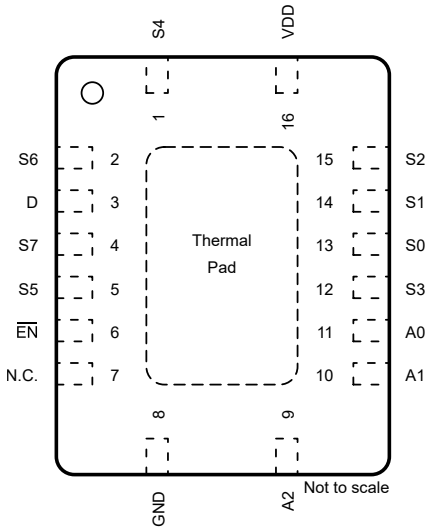


図 5-3. TMUX1308A-Q1: BQB パッケージ、 16 ピン WQFN (上面図)

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピンの機能 TMUX1308A-Q1

ピン		種類[1]	説明[2]
名称	番号		
S4	1	I/O	ソース ピン 4 信号パスは、入力または出力の両方に使用可能。
S6	2	I/O	ソース ピン 6 信号パスは、入力または出力の両方に使用可能。
D	3	I/O	ドレイン ピン (共通)信号パスは、入力または出力の両方に使用可能。
S7	4	I/O	ソース ピン 7 信号パスは、入力または出力の両方に使用可能。
S5	5	I/O	ソース ピン 5 信号パスは、入力または出力の両方に使用可能。
$\overline{EN}$	6	I	アクティブ Low のロジック入力。このピンが "High" 状態のとき、すべてのスイッチがオフになる。このピンが Low のとき、A[2:0] アドレス入力によって、セクション 8.5 に示されているように、どのスイッチがオンになるかが決まります。
N.C.	7	接続なし	内部接続なし。
GND	8	P	グランド (0V) リファレンス
A2	9	I	アドレス ライン 2 セクション 8.5 に示すように、スイッチの接続を制御します。
A1	10	I	アドレス ライン 1 セクション 8.5 に示すように、スイッチの接続を制御します。
A0	11	I	アドレス ライン 0 セクション 8.5 に示すように、スイッチの接続を制御します。
S3	12	I/O	ソース ピン 3 信号パスは、入力または出力の両方に使用可能。
S0	13	I/O	ソース ピン 0 信号パスは、入力または出力の両方に使用可能。
S1	14	I/O	ソース ピン 1 信号パスは、入力または出力の両方に使用可能。
S2	15	I/O	ソース ピン 2 信号パスは、入力または出力の両方に使用可能。
VDD	16	P	正電源。このピンは最も正の電源電位になる。確実な動作を保証するため、V_{DD} と GND の間に 0.1μF～10μF のデカップリング コンデンサを接続します。
サーマル パッド		—	導電性ダイを接合した露出型サーマル パッドこのパッドははんだ付けの必要はありません。接続する場合は、フローティングのままにするか、GND に接続します。

(1) I:入力、O:出力、I/O:入力または出力、P:電源。
(2) 未使用ピンの使用方法については、セクション 8.4 を参照します。

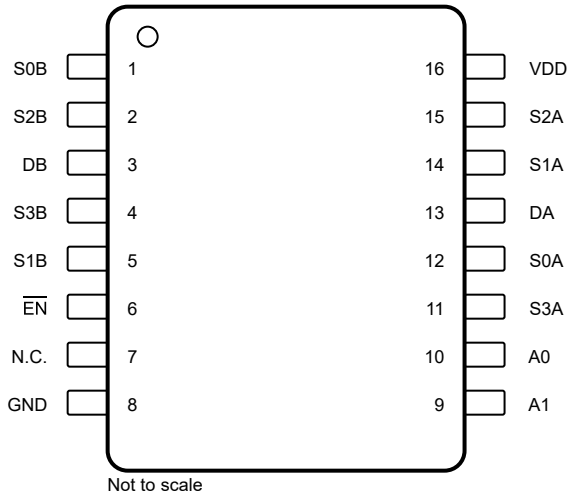


図 5-4. TMUX1309A-Q1: PW パッケージ、 16 ピン TSSOP (上面図)

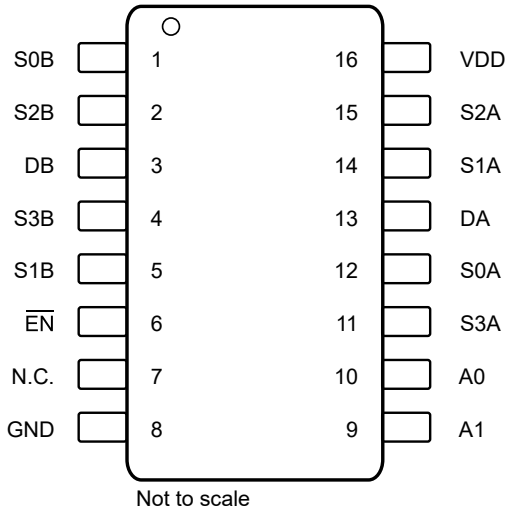


図 5-5. TMUX1309A-Q1: DYY パッケージ、 16 ピン SOT-23-THIN (上面図)

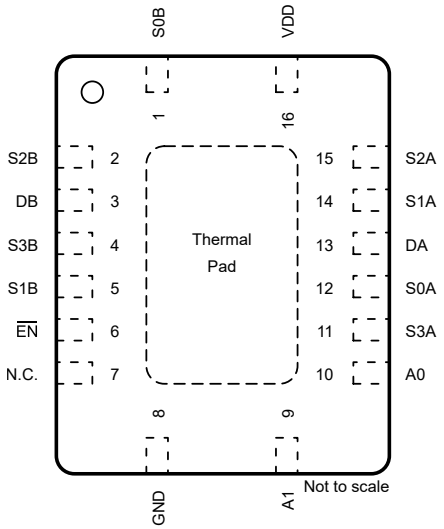


図 5-6. TMUX1309A-Q1: BQB パッケージ、 16 ピン WQFN (上面図)

Copyright © 2025 Texas Instruments Incorporated

表 5-2. ピンの機能 TMUX1309A-Q1

ピン		種類[1]	説明[2]
名称	番号		
S0B	1	I/O	マルチプレクサ B のソース ピン 0。入力または出力として使用が可能。
S2B	2	I/O	マルチプレクサ B のソース ピン 2。入力または出力として使用が可能。
DB	3	I/O	マルチプレクサ B のドレイン ピン (共通)。入力または出力として使用が可能です。
S3B	4	I/O	マルチプレクサ B のソース ピン 3。入力または出力として使用が可能。
S1B	5	I/O	マルチプレクサ B のソース ピン 1。入力または出力として使用が可能。
$\overline{EN}$	6	I	アクティブ Low のロジック入力。このピンが "High" 状態のとき、すべてのスイッチがオフになる。このピンを "Low" 状態にすると、A[1:0] のアドレス入力によって、どのスイッチをオンにするか指定できる。
N.C.	7	接続なし	内部接続なし。
GND	8	P	グランド (0V) リファレンス
A1	9	I	アドレス ライン 1 セクション 8.5 に示すように、スイッチの接続を制御します。
A0	10	I	アドレス ライン 0 セクション 8.5 に示すように、スイッチの接続を制御します。
S3A	11	I/O	マルチプレクサ A のソース ピン 3。入力または出力として使用が可能
S0A	12	I/O	マルチプレクサ A のソース ピン 0。入力または出力として使用が可能
DA	13	I/O	マルチプレクサ A のドレイン ピン (共通)。入力または出力として使用が可能です。
S1A	14	I/O	マルチプレクサ A のソース ピン 1。入力または出力として使用が可能
S2A	15	I/O	マルチプレクサ A のソース ピン 2。入力または出力として使用が可能
VDD	16	P	正電源。このピンは最も正の電源電位になる。確実な動作を保証するため、V_{DD} と GND の間に 0.1μF～10μF のデカップリング コンデンサを接続します。
サーマル パッド		—	導電性ダイを接合した露出型サーマル パッドこのパッドははんだ付けの必要はありません。接続する場合は、フローティングのままにするか、GND に接続します。

(1) I:入力、O:出力、I/O:入力または出力、P:電源。
(2) 未使用ピンの使用方法については、セクション 8.4 を参照します。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)[(1) (2) (3)]

		最小値	最大値	単位
V_{DD}	電源電圧	-0.5	6	V
V_{SEL} または V_{EN}	ロジック制御入力ピン電圧 ($\overline{EN}$、A0、A1、A2)	-0.5	6	
V_S または V_D	ソースまたはドレイン電圧 (Sx、D)	-0.5	V_{DD}+1.0	
I_{SEL} または I_{EN}	ロジック制御入力ピン電流 ($\overline{EN}$、A0、A1、A2)	-30	30	mA
I_S または I_D (CONT)	スイッチ (Sx、D ピン) を流れる連続電流:–40°C ～ +85°C	-50	50	
I_S または I_D (CONT)	スイッチ (Sx、D ピン) を流れる連続電流:–40°C ～ +125°C	-25	25	
I_{GND}	GND を流れる連続電流	-100	100	
P_{tot}	全消費電力[(4)]		500	mW
T_{stg}	保存温度	-65	150	℃
T_J	接合部温度		150	

(1) 「*絶対最大定格*」の範囲を超える動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、これらの条件において、または「*推奨動作条件*」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「*絶対最大定格*」の範囲内で、一時的に「*推奨動作条件*」の範囲を超えた動作をさせる場合、必ずしもデバイスが損傷を受けるものではありませんが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
(2) 代数規約。これにより、最も大きな負の値は最小値になり、最も大きな正の値は最大値になります。
(3) 特に指定のない限り、すべての電圧値はグランドを基準にしています。
(4) TSSOP パッケージの場合:T_A = 80℃ を超える範囲では 7.2mW/℃ ごとに、P_{tot} が線形的に低下します。

6.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠[(1)]	すべてのピン	±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±750	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

Copyright © 2025 Texas Instruments Incorporated

6.3 熱に関する情報：TMUX1308A-Q1

熱評価基準[1]		TMUX1308-Q1			単位
		PW (TSSOP)	DYY (SOT)	BQB (WQFN)	
		ピン	ピン	ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	139	167.1	94.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	77.2	106.3	92.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	84.2	90.0	64.5	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	26.5	17.2	13.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	83.8	90.0	64.4	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	42.7	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

6.4 熱に関する情報：TMUX1309A-Q1

熱評価基準[1]		TMUX1309-Q1			単位
		PW (TSSOP)	DYY (SOT)	BQB (WQFN)	
		ピン	ピン	ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	139	172.4	94.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	77.2	107.0	92.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	84.2	96.1	64.5	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	26.5	19.7	13.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	83.8	95.9	64.4	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	42.7	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

6.5 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{DD}	電源電圧	1.62		5.5	V
V_S または V_D	信号パスにおける入出力電圧 (ソースまたはドレイン ピン) (Sx、D)	0		V_{DD}	V
V_{SEL} または V_{EN}	ロジック制御入力ピン電圧 ($\overline{EN}$、A0、A1、A2)	0		5.5	V
I_S または I_D (CONT)	スイッチ (Sx、D ピン) を流れる連続電流：–40°C ～ +85°C	-50		50	mA
I_S または I_D (CONT)	スイッチ (Sx、D ピン) を流れる連続電流：–40°C ～ +125°C	-25		25	mA
I_{OK}	信号電圧が推奨動作電圧を超えた場合のソースまたはドレイン ピンごとの入力電流[1]	-50		50	mA
I_{INJ}	無効状態のスイッチ入力ピンに注入される電流	-50		50	mA
I_{INJ_ALL}	すべての無効状態のスイッチ入力ピンに注入される電流の合計	-100		100	mA
T_A	周囲温度	-40		125	°C

(1) ソースまたはドレインの電圧が VDD を超えるか GND を下回ると、そのピンは内部 FET を通じて GND にシャントされますが、その際の電流は規定された値以内に制限する必要があります。$V_{signal} > V_{DD}$ の場合、または $V_{signal} < GND$ の場合。

6.6 電気的特性

指定された V_{DD} ±10%
代表値は公称 V_{DD} で測定

パラメータ		テスト条件	V_{DD}	自由気流での動作温度 (T_A)						単位
				25°C		-40℃ ～ 85℃		-40℃ ～ 125℃		
				最小値	標準値 最大値	最小値	標準値 最大値	最小値	標準値 最大値	
アナログ スイッチ										
R_{ON}	オン状態スイッチ抵抗	V_S = 0V～V_{DD} I_{SD} = 0.5mA	1.8V		650 1500		1700		1700	Ω
			2.5V		230 600		670		670	
			3.3V		120 330		350		370	
			5V		75 195		220		270	
Δ_{RON}	オン状態の入力間スイッチ抵抗のマッチング	V_S = V_{DD} / 2 I_{SD} = 0.5mA	1.8V		10 38		45		45	Ω
			2.5V		3 20		22		22	
			3.3V		2 8		11		15	
			5V		1 7		10		14	
$I_{S(OFF)}$	ソース オフ状態のリーク電流	スイッチ状態はオフ V_D = 0.8 x V_{DD}/ 0.2 x V_{DD} V_S = 0.2 x V_{DD}/ 0.8 x V_{DD}	1.8V		±1	-25	25	-800	800	nA
			2.5V		±1	-25	25	-800	800	
			3.3V		±1	-25	25	-800	800	
			5V		±1	-25	25	-800	800	
$I_{D(OFF)}$	ドレイン オフ状態リーク電流 (共通ドレインピン)	スイッチ状態はオフ V_D = 0.8 x V_{DD}/ 0.2 x V_{DD} V_S = 0.2 x V_{DD}/ 0.8 x V_{DD}	1.8V		±1	-45	45	-800	800	nA
			2.5V		±1	-45	45	-800	800	
			3.3V		±1	-45	45	-800	800	
			5V		±1	-45	45	-800	800	
$I_{D(ON)}$ $I_{S(ON)}$	チャネル オン状態リーク電流	スイッチ状態はオン V_D = V_S = 0.8 x V_{DD} or V_D = V_S = 0.2 x V_{DD}	1.8V		±1	-45	45	-800	800	nA
			2.5V		±1	-45	45	-800	800	
			3.3V		±1	-45	45	-800	800	
			5V		±1	-45	45	-800	800	
C_{SOFF}	ソース オフ容量	V_S = V_{DD} / 2 f = 1MHz	1.8V		2 14		14		14	pF
			2.5V		2 14		14		14	
			3.3V		2 14		14		14	
			5V		2 14		14		14	
C_{DOFF}	ドレイン オフ容量	V_S = V_{DD} / 2 f = 1MHz	1.8V		7 37		37		37	pF
			2.5V		7 37		37		37	
			3.3V		7 37		37		37	
			5V		7 37		37		37	
C_{SON} C_{DON}	オン容量	V_S = V_{DD} / 2 f = 1MHz	1.8V		11 40		40		40	pF
			2.5V		11 40		40		40	
			3.3V		11 40		40		40	
			5V		11 40		40		40	
電源										
I_{DD}	V_{DD} の電源電流	ロジック入力 = 0V または V_{DD}	1.8V		1		1		1.2	μA
			2.5V		1		1		1.5	
			3.3V		1		1		2	
			5V		1		1.5		3	

Copyright © 2025 Texas Instruments Incorporated

6.7 ロジックおよびダイナミック特性

指定された V_{DD} ±10%
の条件、代表値は公称 V_{DD} and T_A = 25°C で測定。

パラメータ		テスト条件	V_{DD}	自由気流での動作温度 (T_A) -40℃ ～ 125℃ 最小値	標準値	最大値	単位
ロジック入力 ($\overline{EN}$、A0、A1、A2)							
V_{IH}	入力ロジック High		1.8V	0.95		5.5	V
			2.5V	1.1		5.5	
			3.3V	1.15		5.5	
			5V	1.25		5.5	
V_{IL}	入力ロジック Low		1.8V	0		0.6	V
			2.5V	0		0.7	
			3.3V	0		0.8	
			5V	0		0.95	
I_{IH}	ロジック High の入力リーク電流	V_{LOGIC} = 1.8V または V_{DD}	すべて			1	µA
I_{IL}	ロジック Low の入力リーク電流	V_{LOGIC} = 0V	すべて	-1			µA
C_{IN}	ロジック入力容量	V_{LOGIC} = 0V、1.8V、V_{DD} f = 1MHz	すべて		1	2	pF
ダイナミック特性							
Q_{INJ}	チャージ インジェクション	V_S = V_{DD} / 2 R_S = 0Ω、C_L = 100pF	1.8V		-0.5		pC
			2.5V		-0.5		
			3.3V		-0.8		
			5V		-1.5		
O_{ISO}	オフ アイソレーション	V_{BIAS} = V_{DD} / 2 V_S = 200mVpp R_L = 50Ω、C_L = 5pF f = 100kHz	1.8V		-110		dB
			2.5V		-110		
			3.3V		-110		
			5V		-110		
O_{ISO}	オフ アイソレーション	V_{BIAS} = V_{DD} / 2 V_S = 200mVpp R_L = 50Ω、C_L = 5pF f = 1MHz	1.8V		-90		dB
			2.5V		-90		
			3.3V		-90		
			5V		-90		
X_{TALK}	クロストーク	V_{BIAS} = V_{DD} / 2 V_S = 200mVpp R_L = 50Ω、C_L = 5pF f = 100kHz	1.8V		-110		dB
			2.5V		-110		
			3.3V		-110		
			5V		-110		
X_{TALK}	クロストーク	V_{BIAS} = V_{DD} / 2 V_S = 200mVpp R_L = 50Ω、C_L = 5pF f = 1MHz	1.8V		-90		dB
			2.5V		-90		
			3.3V		-90		
			5V		-90		
BW	帯域幅	V_{BIAS} = V_{DD} / 2 V_S = 200mVpp RL = 50Ω、CL = 5pF	1.8V		350		MHz
			2.5V		450		
			3.3V		500		
			5V		500		

6.8 タイミング特性

指定された V_{DD} ±10%
代表値は公称 V_{DD} で測定。

パラメータ		テスト条件	V_{DD}	自由気流での動作温度 (T_A)									単位
				25°C			-40℃ ～ 85℃			-40℃ ～ 125℃			
				最小値	標準値	最大値	最小値	標準値	最大値	最小値	標準値	最大値	
スイッチング特性													
t_{PD}	伝搬遅延	C_L = 50pF Sx～D、D～Sx	1.8V		15	30			30			30	ns
			2.5V		8	15			20			20	
			3.3V		5	11			15			15	
			5V		4	9			10			10	
		CL = 15pF	5V		1.5	4			5			5	
t_{TRAN}	入力間の遷移時間	R_L = 10kΩ、C_L = 50pF Ax～D、Ax～Sx	1.8V		44	94			103			103	ns
			2.5V		30	63			67			67	
			3.3V		23	51			54			54	
			5V		18	43			46			46	
		R_L = 10kΩ、C_L = 15pF	5V		15	39			43			43	
$t_{ON(EN)}$	イネーブルからのターンオン時間	R_L = 10kΩ、C_L = 50pF EN～D、EN～Sx	1.8V		39	68			75			75	ns
			2.5V		30	48			50			50	
			3.3V		26	40			42			42	
			5V		24	34			37			37	
		R_L = 10kΩ、C_L = 15pF	5V		22	31			35			35	
$t_{OFF(EN)}$	イネーブルからのターンオフ時間	R_L = 10kΩ、C_L = 50pF EN～D、EN～Sx	1.8V		60	80			85			85	ns
			2.5V		50	70			72			72	
			3.3V		40	65			70			70	
			5V		28	50			55			55	
		R_L = 10kΩ、C_L = 15pF	5V		23	30			35			35	
t_{BBM}	ブレイク ビフォー メイク時間	R_L = 10kΩ、C_L = 15pF Sx～D、D～Sx	1.8V	1	16		1			1			ns
			2.5V	1	22		1			1			
			3.3V	1	24		1			1			
			5V	1	33		1			1			

Copyright © 2025 Texas Instruments Incorporated

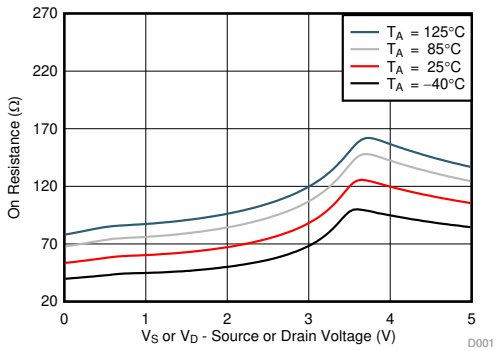
6.9 インジェクション電流結合

指定された V_{DD} ±10%
の条件、代表値は公称 V_{DD} and T_A = 25°C で測定。

パラメータ		V_{DD}	テスト条件		-40℃ ～ 125℃			単位
					最小値	標準値	最大値	
インジェクション電流結合								
ΔV_{OUT}	有効化されたアナログ入力における出力電圧の最大シフト量	1.8V	R_S ≤ 3.9kΩ	I_{INJ} ≤ 1mA		0.01	1	mV
		3.3V				0.05	1	
		5V				0.1	1	
		1.8V	R_S ≤ 3.9kΩ	I_{INJ} ≤ 10mA		0.01	2	
		3.3V				0.3	3	
		5V				0.06	4	
		1.8V	R_S ≤ 20kΩ	I_{INJ} ≤ 1mA		0.05	2	
		3.3V				0.05	2	
		5V				0.1	2	
		1.8V	R_S ≤ 20kΩ	I_{INJ} ≤ 10mA		0.05	15	
		3.3V				0.05	15	
		5V				0.02	15	

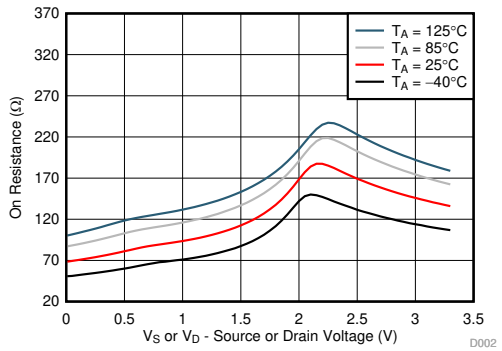
6.10 代表的特性

T_A = 25℃、V_{DD} = 5V (特に記述のない限り)



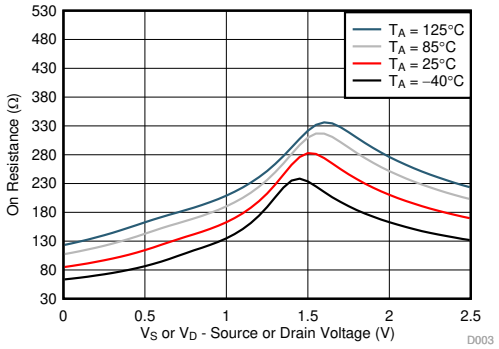
V_{DD} = 5V

図 6-1. オン抵抗と温度との関係



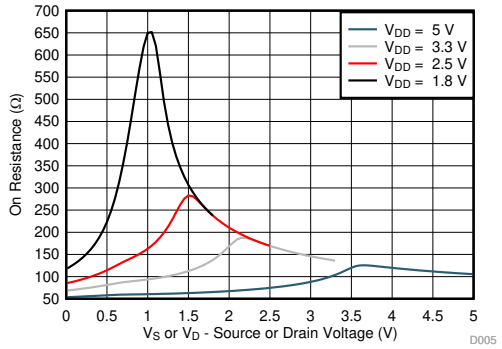
V_{DD} = 3.3V

図 6-2. オン抵抗と温度との関係



V_{DD} = 2.5V

図 6-3. オン抵抗と温度との関係



T_A = 25℃

図 6-4. オン抵抗とソースまたはドレイン電圧との関係

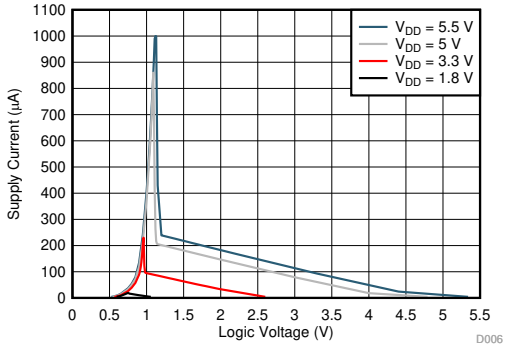
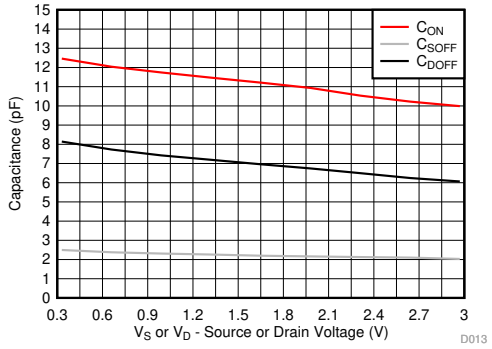


図 6-5. 電源電流とロジック電圧との関係



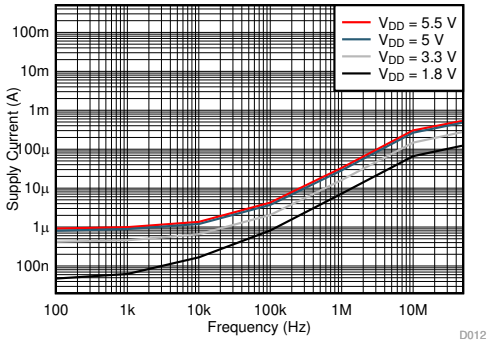
V_{DD} = 3.3V

図 6-6. 静電容量とソース電圧との関係

Copyright © 2025 Texas Instruments Incorporated

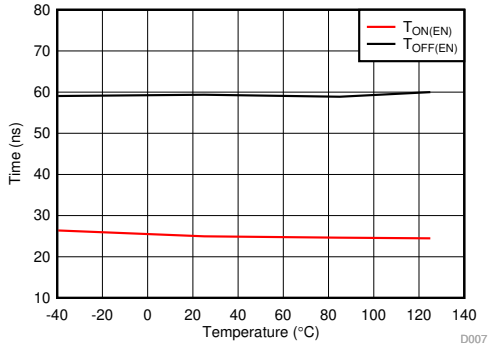
6.10 代表的特性 (続き)

T_A = 25℃、V_{DD} = 5V (特に記述のない限り)



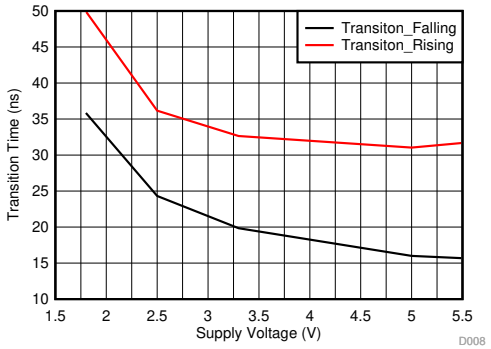
T_A = 25℃

図 6-7. 電源電流と入力スイッチング周波数との関係



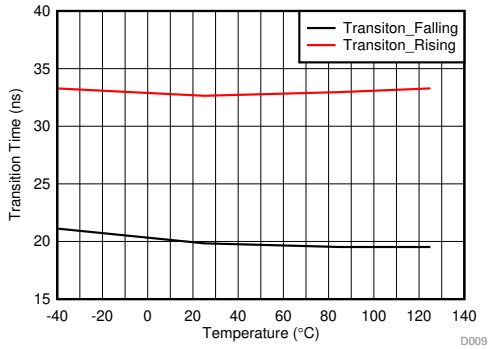
V_{DD} = 3.3V

図 6-8. $T_{ON\ (EN)}$ および $T_{OFF\ (EN)}$ と温度との関係



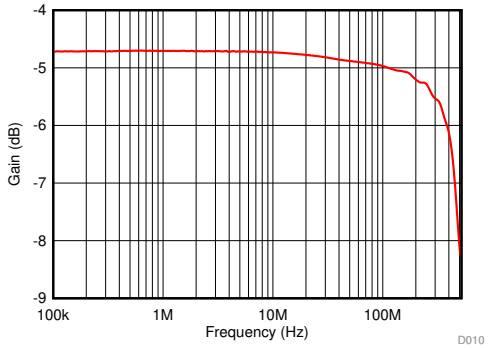
T_A = 25℃

図 6-9. $T_{TRANSITION}$ と電源電圧との関係



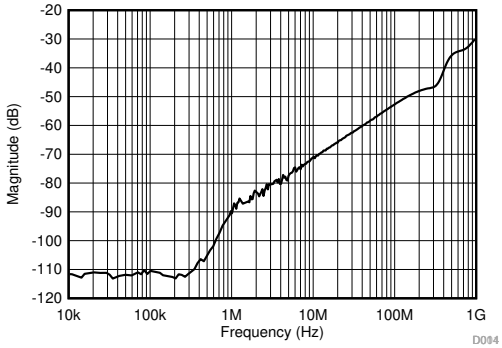
T_A = 25℃

図 6-10. $T_{TRANSITION}$ と温度との関係



T_A = 25℃

図 6-11. オン応答と周波数との関係

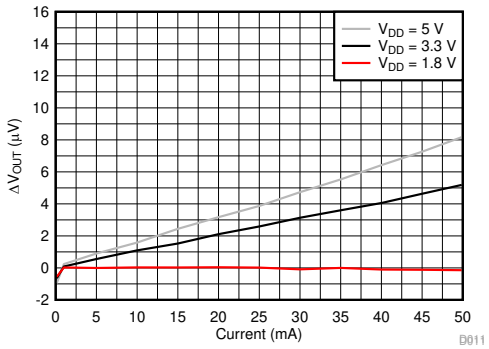


T_A = 25℃、V_{DD} = 3.3V

図 6-12. Xtalk およびオフ絶縁と周波数との関係

6.10 代表的特性 (続き)

T_A = 25℃、V_{DD} = 5V (特に記述のない限り)



V_S = (V_{DD} / 2)、T_A = 25℃

図 6-13. インジェクション電流と最大出力電圧変動との関係

Copyright © 2025 Texas Instruments Incorporated

7 パラメータ測定情報

7.1 オン抵抗

デバイスのオン抵抗は、デバイスのソース ピン (Sx) とドレイン ピン (D) の間の抵抗値 (Ω) です。オン抵抗は、入力電圧と電源電圧によって変化します。オン抵抗は、記号 R_{ON} を使用して示されます。R_{ON} の測定時に使用する構成を次の図に示します。この設定を使用して電圧 (V) と電流 (I_{SD}) を測定し、R_{ON} は、図 7-1 に示すとおり $R_{ON} = V / I_{SD}$ で計算します:

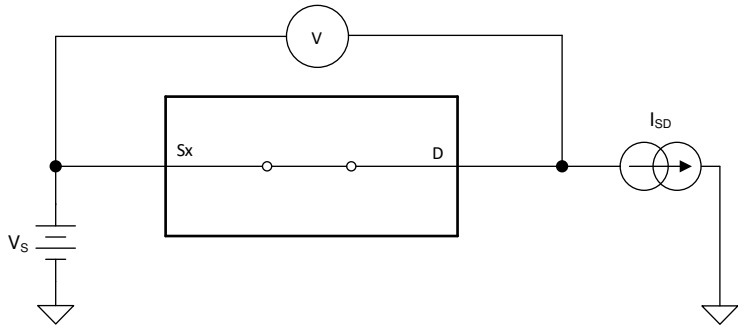


図 7-1. オン抵抗測定時の構成

7.2 オフ リーク電流

オフ状態にあるスイッチに関連するリーク電流には、次の 2 種類があります。

1. ソース側オフ リーク電流。
2. ドレイン側オフ リーク電流。

ソース側リーク電流は、スイッチがオフ状態にあるとき、ソース ピンに流入する、または流出するリーク電流と定義されます。この電流は、記号 $I_{S(OFF)}$ を使用して示されます。

ドレイン側リーク電流は、スイッチがオフ状態にあるとき、ドレイン ピンに流入する、または流出するリーク電流と定義されます。この電流は、記号 $I_{D(OFF)}$ を使用して示されます。

図 7-2 に、これら 2 種類のオフ リーク電流の測定に使用する構成を示します。

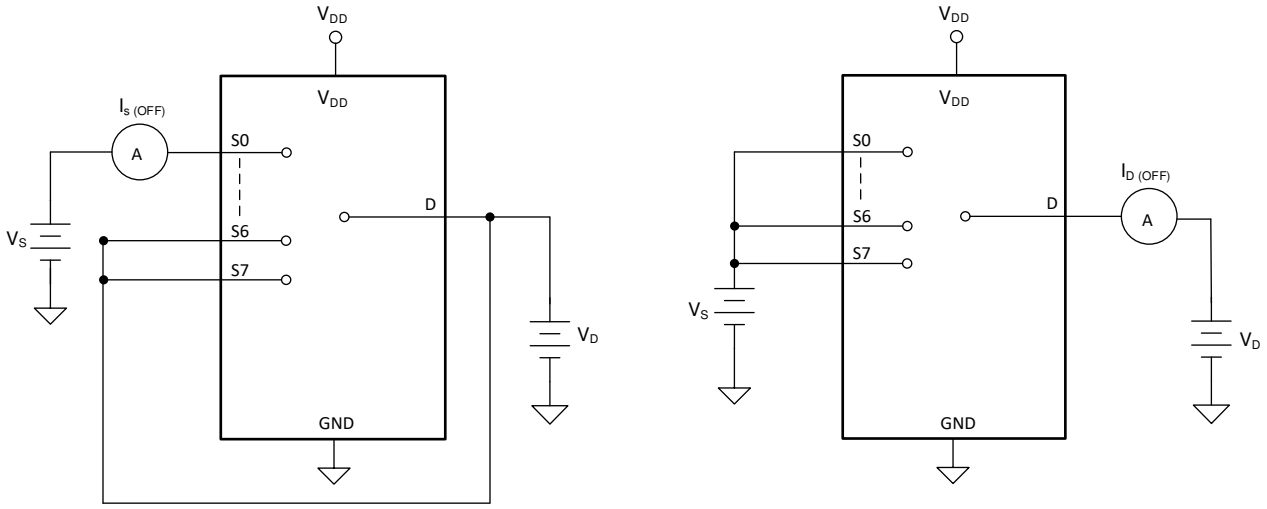


図 7-2. オフ リーク測定時の構成

7.3 オン リーク電流

ソース側オン リーク電流は、スイッチがオン状態にあるとき、ソース ピンに流入する、または流出するリーク電流と定義されます。この電流は、記号 $I_{S(ON)}$ を使用して示されます。

ドレイン側オン リーク電流は、スイッチがオン状態にあるとき、ドレイン ピンに流入する、または流出するリーク電流と定義されます。この電流は、記号 $I_{D(ON)}$ を使用して示されます。

測定中、ソース ピンまたはドレイン ピンはフローティング状態を維持します。図 7-3 に、オン リーク電流 ($I_{S(ON)}$ または $I_{D(ON)}$) の測定時に使用される回路構成を示します。

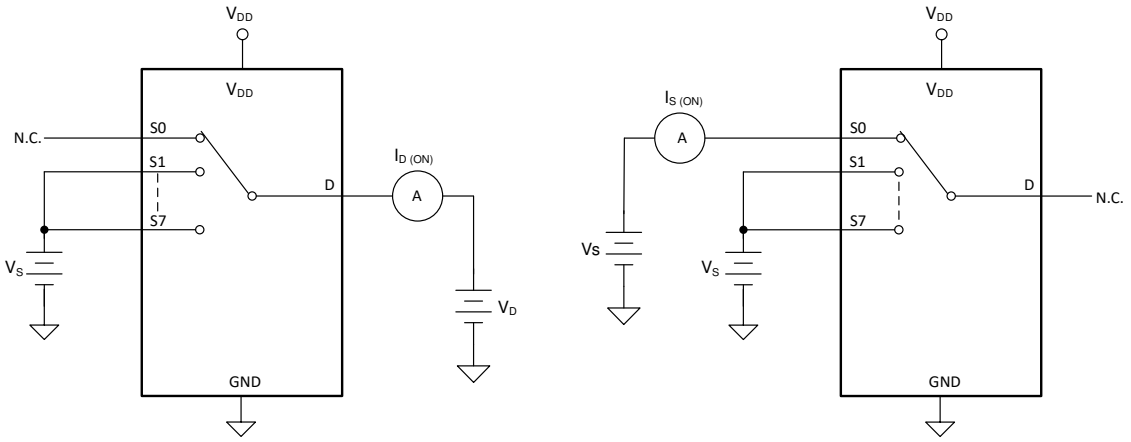


図 7-3. オン リーク測定時の構成

7.4 遷移時間

遷移時間は、アドレス信号が 50% のスレッショルドを上回った、または下回った後に、デバイスの出力が 50% に上昇または降下するまでに要する時間として定義されます。図 7-4 に、遷移時間 (記号 $t_{TRANSITION}$) の測定に使用する構成を示します。

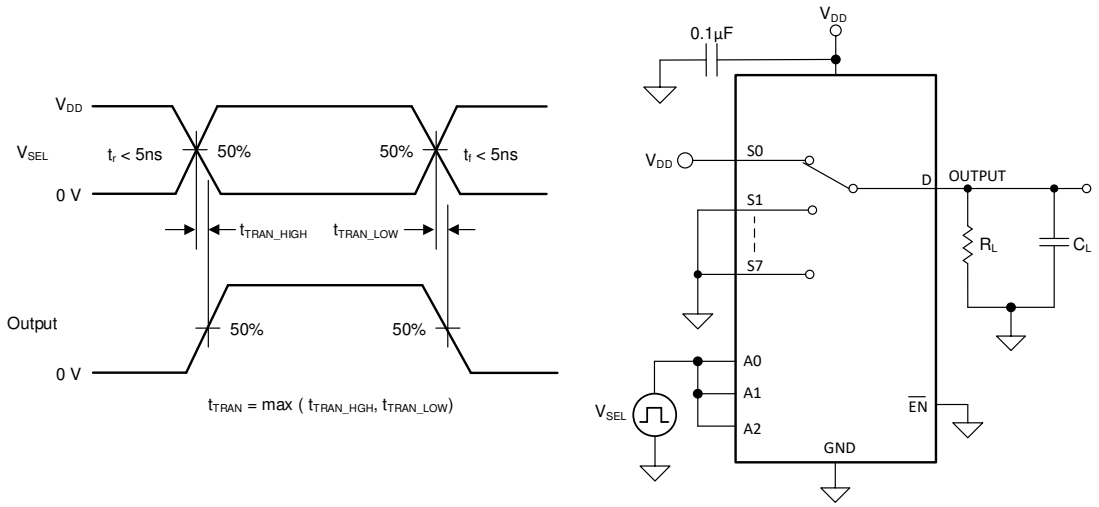


図 7-4. 遷移時間測定時の構成

Copyright © 2025 Texas Instruments Incorporated

7.5 ブレイク ビフォー メイク

ブレイク ビフォー メイク遅延は、デバイスのスイッチング時に 2 つの入力が接続されることを防止する安全機能です。出力は、次のオン状態スイッチと接続する前に、まずオン状態スイッチから切断されます。このブレイク (切断) とメイク (接続) の間の時間遅延を、ブレイク ビフォー メイク遅延と呼んでいます。図 7-5 に、ブレイク ビフォー メイク遅延 (記号 $t_{OPEN(BBM)}$) の測定に使用する構成を示します。

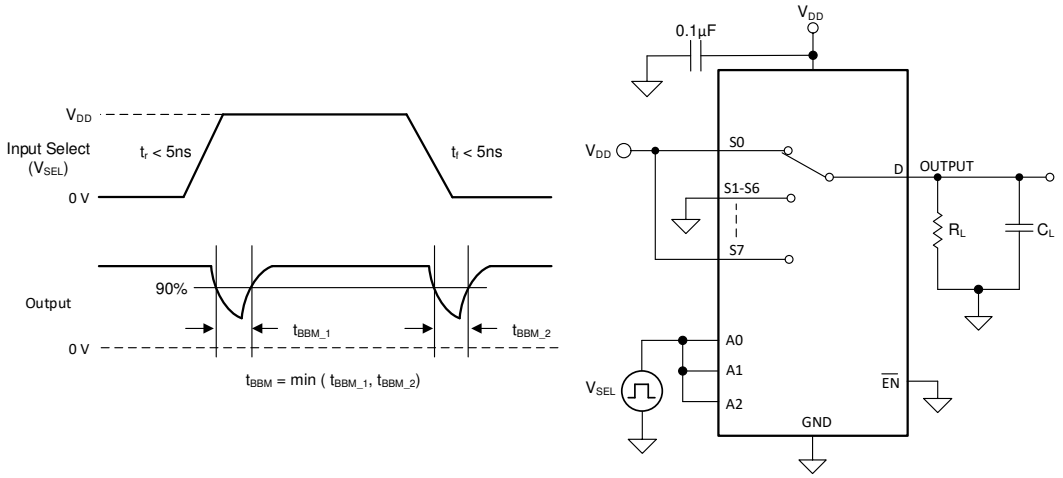


図 7-5. ブレイク ビフォー メイク遅延測定時の構成

7.6 $t_{ON(EN)}$ および $t_{OFF(EN)}$

ターンオン時間は、イネーブル信号が 50% のスレッショルドを超えた後、デバイスの出力信号が 10% まで上昇するまでに要する時間として定義されます。この 10% の測定値を使用してデバイスのタイミングを把握し、システム レベルでは、負荷抵抗と負荷容量により追加される時定数を含めながらタイミングを考察します。図 7-6 に、遷移時間 (記号 $t_{ON(EN)}$) の測定に使用する構成を示します。

ターンオフ時間は、イネーブル信号が 50% のスレッショルドを下回った後、デバイスの出力信号が 90% に低下するまでに要する時間として定義されます。この 90% の測定値を使用してデバイスのタイミングを把握し、システム レベルでは、負荷抵抗と負荷容量により追加される時定数を含めながらタイミングを考察します。図 7-6 に、遷移時間 (記号 $t_{OFF(EN)}$) の測定に使用する構成を示します。

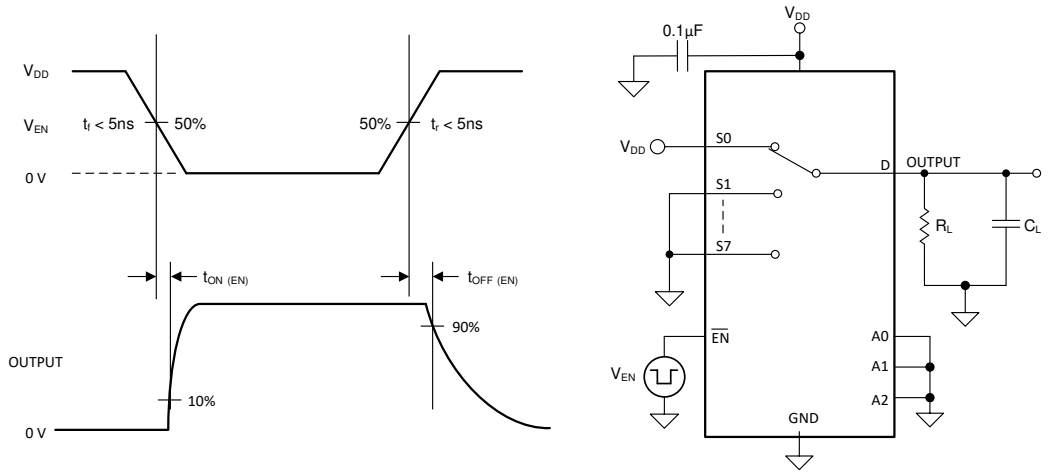


図 7-6. ターンオンおよびターンオフ時間の測定に使用する構成

7.7 チャージ インジェクション

TMUX1308A-Q1 デバイスと TMUX1309A-Q1 デバイスは、伝送ゲートトポロジを採用しています。NMOS トランジスタと PMOS トランジスタの間で容量の不一致がある場合、ゲート信号の立ち下がりエッジまたは立ち上がりエッジにおいて、ドレインまたはソースに電荷が注入されます。デバイスのソースまたはドレインに注入される電荷の量を電荷注入と呼び、Q_C という記号で表します。図 7-7 に、ソース (Sx) からドレイン (D) に向けた電荷注入の測定に使用する構成を示します。

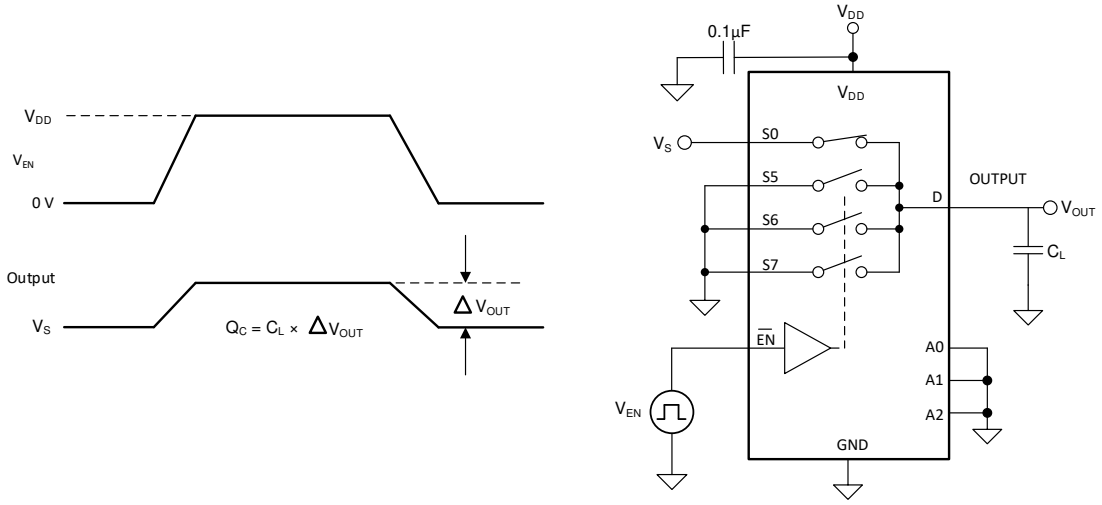


図 7-7. 電荷注入測定時の設定

7.8 オフ アイソレーション

オフ絶縁は、オフチャネルのソース ピン (Sx) に信号が印加された場合に、そのデバイスのドレイン ピン (D) に現れる信号の比率として定義されます。図 7-8 に、測定を行う際の設定と、絶縁を計算するための式を示します。

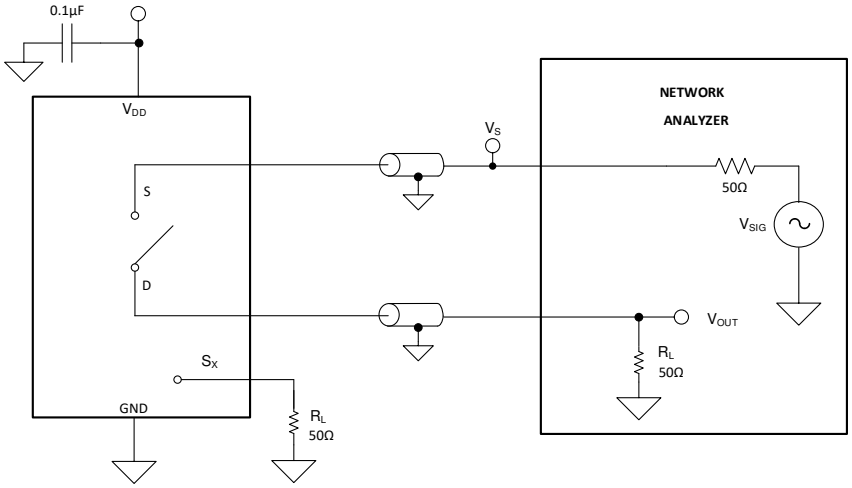


図 7-8. オフ絶縁測定時の設定

$$Off\ Isolation = 20 \times Log\left(\frac{V_{OUT}}{V_S}\right) \quad (1)$$

Copyright © 2025 Texas Instruments Incorporated

7.9 クロストーク

クロストークは、オンチャネルのソース ピン (Sx) に信号が印加された場合に、他のチャネルのドレイン ピン (D) に現れる信号の比率として定義されます。図 7-9 に、クロストークの測定を行う際の設定と、クロストークの計算に使用する式を示します。

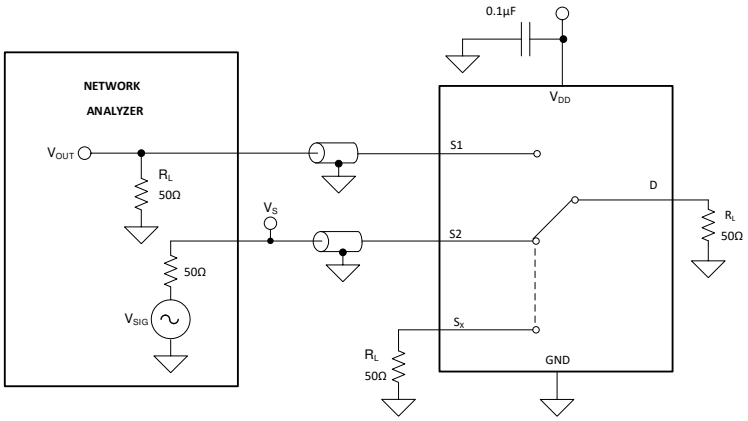


図 7-9. チャネル間クロストーク測定時の設定

$$Channel - to - Channel\ Crosstalk\ =\ 20\ \times\ Log\left(\frac{V_{OUT}}{V_S}\right) \tag{2}$$

7.10 帯域幅

帯域幅は、入力をオンチャネルのソース ピン (Sx) に印加したときに、デバイスのドレイン ピン (D) で測定される出力の減衰量が、3dB 未満である周波数の範囲として定義されます。図 7-10 に、帯域幅を測定する際の設定を示します。

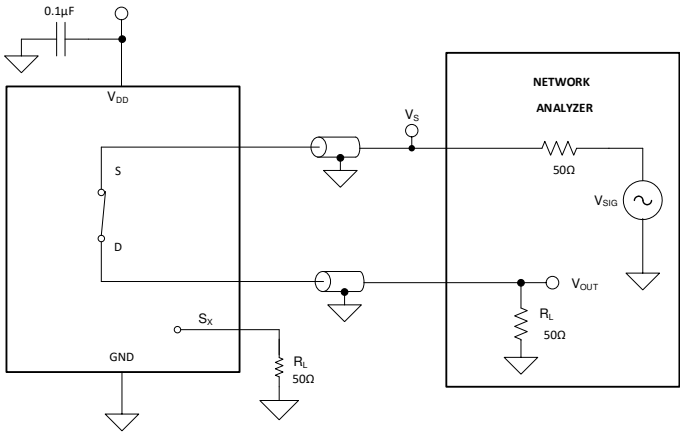


図 7-10. 帯域幅測定時の設定

$$Attenuation\ =\ 20\ \times\ Log\left(\frac{V_2}{V_1}\right) \tag{3}$$

7.11 インジェクション電流制御

インジェクション電流は、無効化された信号パスに電流が注入された際に、有効化された信号パスの出力に変化が生じるかどうかで測定されます。図 7-11 はインジェクション電流制御を測定するために使用されたセットアップを示しています。

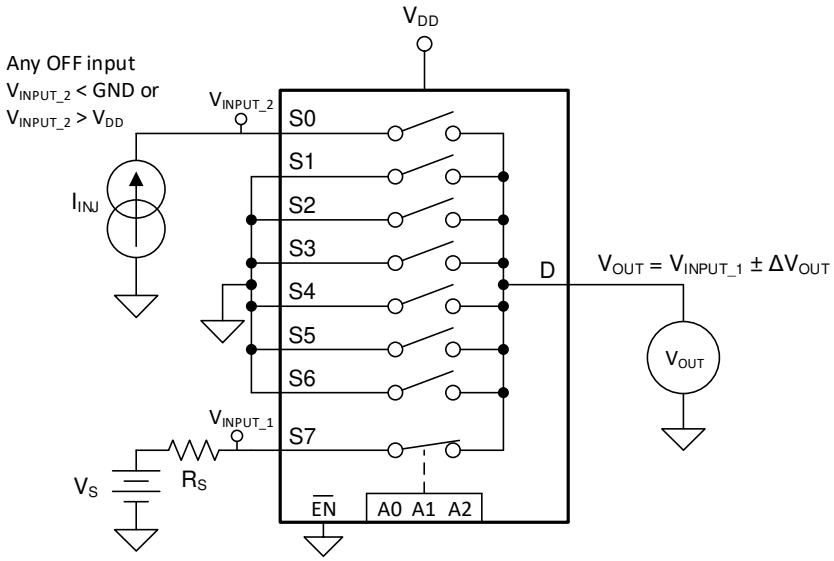


図 7-11. インジェクション電流測定の設定

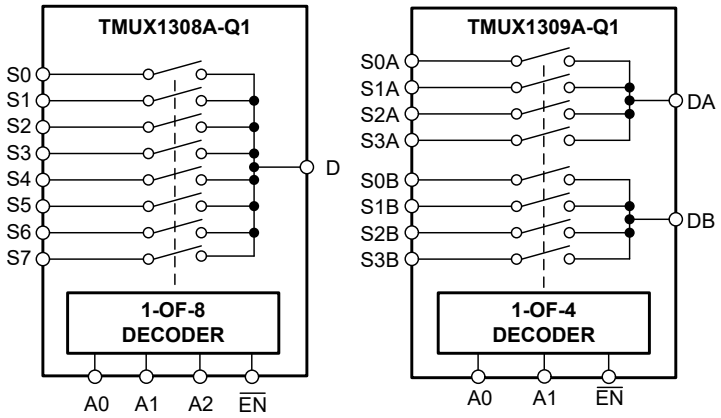
Copyright © 2025 Texas Instruments Incorporated

8 詳細説明

8.1 概要

TMUX1308A-Q1 は、8:1 のシングルエンド (1 チャネル) マルチプレクサです。TMUX1309A-Q1 は、4:1 の差動 (2 チャネル) マルチプレクサです。アドレス ラインとイネーブル ピンの状態に基づいて、各チャネルがオンまたはオフになります。

8.2 機能ブロック図



8.3 機能説明

8.3.1 双方向動作

TMUX1308A-Q1 デバイスおよび TMUX1309A-Q1 デバイスは、ソース (Sx) からドレイン (Dx)、またはドレイン (Dx) からソース (Sx) への双方向で、良好な動作を提供します。各信号パスの特性は双方向で非常に類似しているため、アナログ信号とデジタル信号の両方に対して、マルチプレクサおよびデマルチプレクサとして機能します。

8.3.2 レール ツー レール動作

TMUX1308A-Q1 および TMUX1309A-Q1 における有効な信号パスの入力および出力電圧範囲は、GND から V_{DD} までです。

8.3.3 1.8V ロジック互換入力

TTMUX1308A-Q1 と TMUX1309A-Q1 はすべてのロジック制御入力において、1.8V ロジック互換の制御に対応しています。ロジック入力スレッショルドは電源電圧に応じてスケーリングされますが、5.5V の電源電圧で動作している場合でも 1.8V のロジック制御を提供します。1.8V のロジック レベル入力により、低いロジック I/O レールを持つプロセッサから本マルチプレクサと連結できるので、外部電圧変換器は不要となり、スペースと BOM コストの両方を削減できます。TMUX1308A-Q1 および TMUX1309A-Q1 デバイスでは、1.8V ロジックを使用しつつ、より高い電源電圧で動作させると、消費電流が増加します。。1.8V ロジックの実装の詳細については、『1.8V ロジックのマルチプレクサとスイッチを使用した設計の簡素化』を参照してください。

8.3.4 フェイルセーフ ロジック

TMUX1308A-Q1 および TMUX1309A-Q1 デバイスは、制御入力ピン (EN、A0、A1、A2) にフェイルセーフ ロジックを備えており、電源ピンの状態にかかわらず最大 5.5V までの動作が可能です。この機能により、電源ピンよりも先に制御ピンに電圧が印加されるため、デバイスへの損傷の可能性が避けられます。フェイルセーフ ロジックにより、ロジック制御ピンの電源シーケンスが不要になり、システムの複雑さが最小限に抑えられます。たとえば、フェイルセーフ ロジック機能により、TMUX1308A-Q1 および TMUX1309A-Q1 のセレクト ピンは、V_{DD} = 0V の状態でも 5.5V まで昇圧することが可能です。さらにこの機能により、V_{DD} = 1.8V の状態でもマルチプレクサの動作が可能となり、選択ピンを最大 5.5V の他デバイスのロジック レベルと直接インターフェイスさせることができるため、外付けの電圧レベル変換器が不要になります。

8.3.5 ハイインピーダンスの最適化

TMUX1308A-Q1 および TMUX1309A-Q1 は、ハイインピーダンス負荷用に最適化されています。スイッチ入力がハイインピーダンス出力に接続されている場合、入力側の RC によって出力の立ち上がりが遅くなることがあります。この RC を低減することは、セトリング タイムを短縮する 1 つの方法です。マルチプレクサは、チャージ インジェクションによって出力のセトリングにかかる時間にも影響を与える可能性があります。スイッチがオンになると、チャージインジェクションが大きいと、ソースが目的のセトリング電圧からプルされる可能性があります。つまり、出力が予想以上に上昇または下降する必要が生じ、その結果として追加のセトリング タイムが必要になります。以下の図では、R = 47kΩ として回路を構成し、異なるデバイスでテストを行った結果、セトリング タイムが選択するデバイスによってどれほど影響を受けるかが示されています。

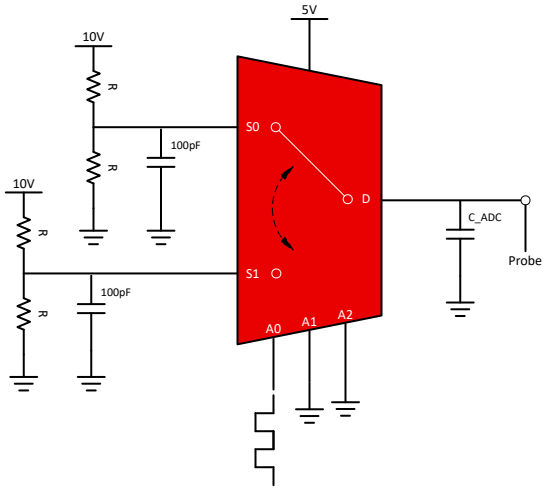


図 8-1. テスト回路の設定

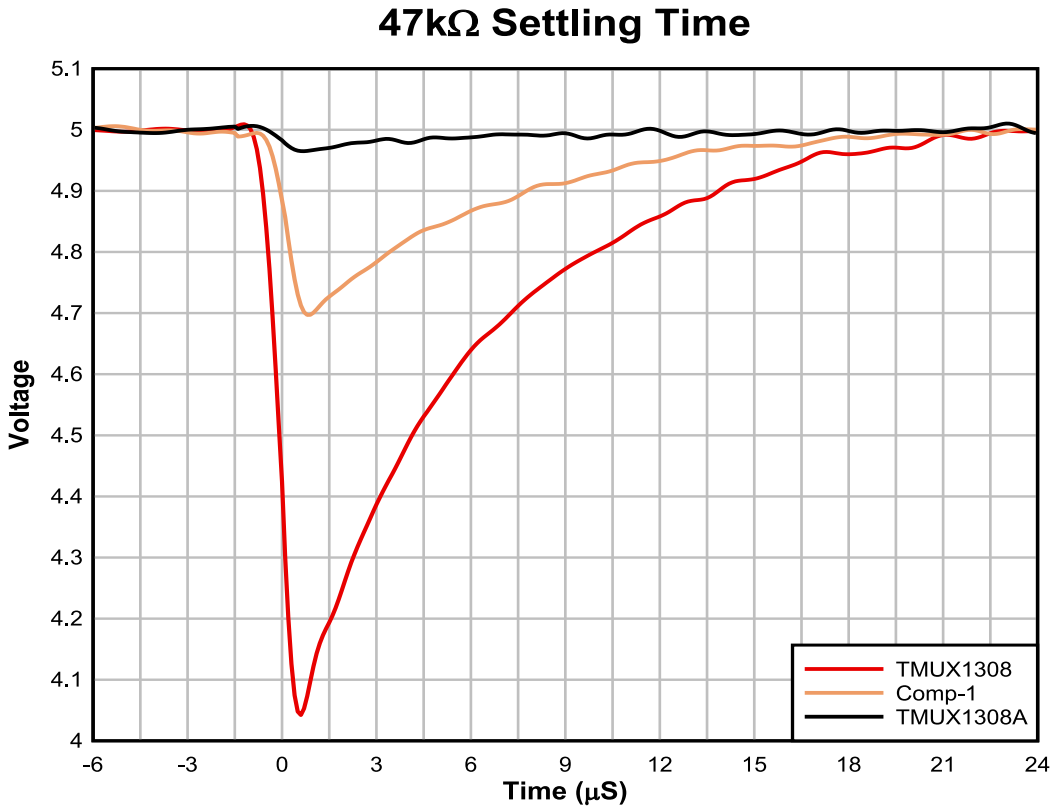


図 8-2. TMUX1308A と競合デバイスのドレイン セトリング タイムの比較

Copyright © 2025 Texas Instruments Incorporated

8.3.6 インジェクション電流制御

インジェクション i 電流とは、は、入力電圧 (V_{IN}) が正電源 (V_{DD} + ΔV) より高いか、またはグランド (V_{SS}) より低い場合に、ピンに強制的に流れ込む電流のことです。この電流は入力保護ダイオードを通じてデバイスのいずれかの電源に流れ込み、システムの精度や信頼性を損なう可能性があります。インジェクション電流は、アプリケーションによってさまざまな要因から発生する可能性があります。

- 工場オートメーションや車載システムなど、過酷な環境や長いケーブルを使用するアプリケーションでは、スイッチングや過渡的な事象によってインジェクション電流が発生しやすくなります。
- 入力信号が複数のセンサや電流源から供給される場合、他の自立型システムでもインジェクション電流の影響を受ける可能性があります。

インジェクション電流の影響:一般的な CMOS スイッチには、入力および出力に ESD 保護ダイオードが備えられています。これらのダイオードは、ESD 保護として機能するだけでなく、入力や出力が V_{DD} を超えたり、GND や V_{SS} を下回ったりしないように電圧クランプとしても機能します。無効化された信号パスのピンに電流が注入されると、一部の電流は ESD ダイオードを通りますが、大部分の電流はドレインへ導通して流れます。ESD ダイオードの順方向電圧 (VF) が PMOS のスレッショルド電圧 (VT) より大きい場合、すべての OFF スイッチの PMOS が ON になり、ソースとドレイン間に望ましくないサブスレッショルド リーク電流が発生して、OFF 状態のソース ピンも持ち上がってしまう可能性があります。図 8-3 は、典型的な CMOS スイッチと、それに関連するインジェクション電流の経路を示した簡略図です。

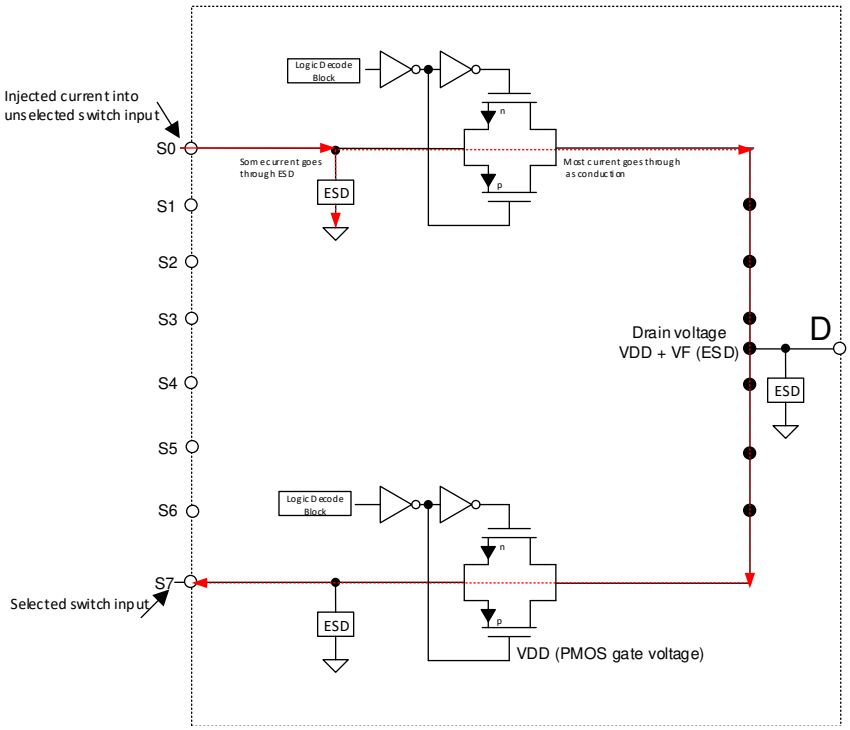


図 8-3. 典型的な CMOS スイッチとそれに関連するインジェクション電流経路の簡略図

これらの電流パスを遮断するのは非常に困難です。ドレイン ピンの電圧が V_{DD} をしきい値電圧 (VT) よりも上回ることは、決して許容されません。アナログ ピンは、ドレイン ピンからグランドへのショットキー ダイオードなどの外付け部品を追加することで、インジェクション カレントから保護できます。これによりドレイン電圧を V_{DD} + VT 未満にクランプし、電流経路を遮断できます。

電流注入による R_{ON} の変化：有効化された FET スイッチの ON 抵抗は電源電圧の変動に影響を受けるため、ドレインピンの電圧が電源電圧を VT 以上上回ると、出力信号電圧に誤差が生じる可能性があります。このような出力の望ましくない変化は、誤ったトリガ イベントや不正確な測定値を引き起こし、システムの精度や信頼性を損なう可能性があります。図 8-4 に示されているように、S2 は有効化された信号パスであり、S2 ピンから D ピンへ信号を伝送しています。無効化された S1 ピンにインジェクション電流が流れ込むと、ピンの電圧が電源電圧を上回り、ESD 保護ダイオードが順方向バイアスされて電源レールがシフトします。この電源電圧のシフトによって内部 FET スイッチの R_{ON} が変化し、D ピンの出力に ΔV の誤差が生じます。

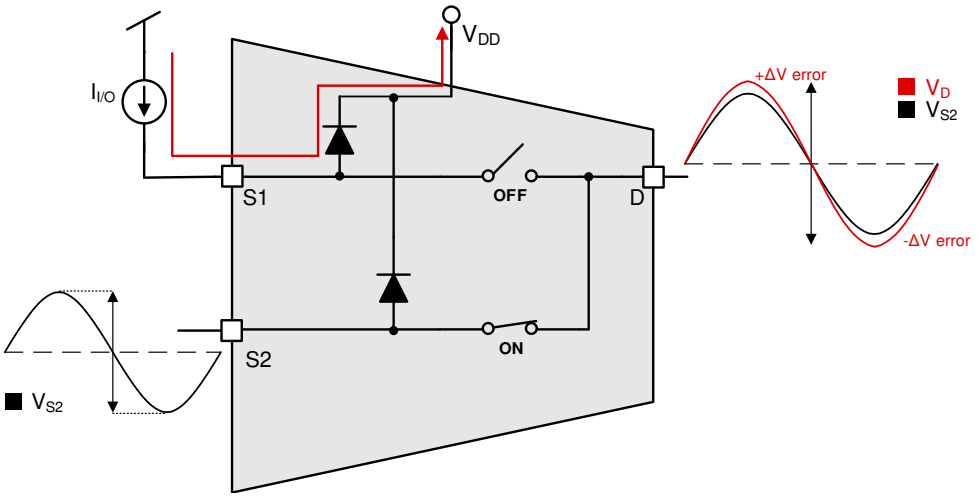


図 8-4. R_{ON} に対するインジェクション電流の影響

システムに外付けの保護回路を追加する煩雑さを回避するために、TMUX1308A-Q1 および TMUX1309A-Q1 デバイスには、インジェクション電流制御機能が内蔵されいます。そのため、てスイッチを保護し、入力信号を電源電圧内に保つために一般的に使用される外付けダイオードや抵抗ネットワークが不要になります。内蔵のインジェクション電流制御回路により、無効化された信号パス上の信号が電源電圧を超えても、有効化された信号パスの信号に影響を与えることなく動作が可能になります。インジェクション電流制御回路は、無効化された信号パスに流れ込む電流から TMUX13xxA-Q1 を保護しつつ、有効化された信号パスには影響を与えません。これは一般的な CMOS スイッチでは対応していない機能です。さらに、TMUX1308A-Q1 および TMUX1309A-Q1 には、電源ピンへの内部ダイオード経路が存在しないため、電源ピンに接続された部品の損傷リスクや、システムの電源レールに意図しない電力を供給してしまうリスクが排除されます。TMUX13xxA-Q1 デバイスにおける 1 本の信号パスと、それに関連するインジェクション電流回路を示す簡略図については、セクション 8.2 を参照してください。

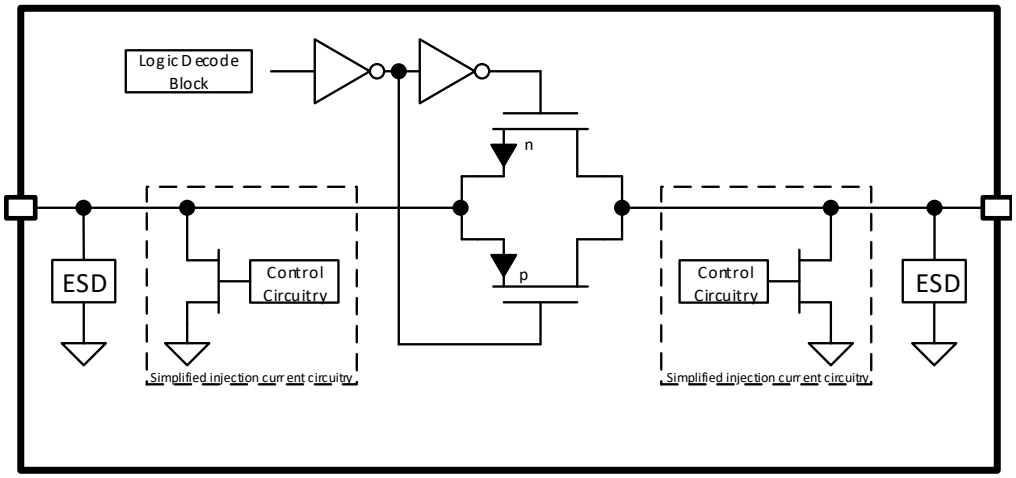


図 8-5. インジェクション電流制御の概略図

Copyright © 2025 Texas Instruments Incorporated

インジェクション電流制御回路は、各ソースまたはドレイン ピン (Sx または D) ごとに個別に制御されています。特定のピンの制御回路は、入力がロジック ピンによって無効化され、かつインジェクション電流によってピンの電圧が V_{DD} を上回るか GND を下回る場合に有効になります。インジェクション電流回路には、過電圧やインジェクション電流が発生した場合に、不要な電流を GND に逃がすための FET が含まれています。各インジェクション電流回路は最大 50mA までの電流に対応していますが、デバイス全体としては任意の時点で最大 100mA まで対応可能です。システムのアプリケーションによっては、直列制限抵抗が必要な場合があり、適切なサイズにする必要があります。図 8-5 に入力ピンにインジェクション電流が流れた場合の TMUX13xxA-Q1 の保護回路を示しています。

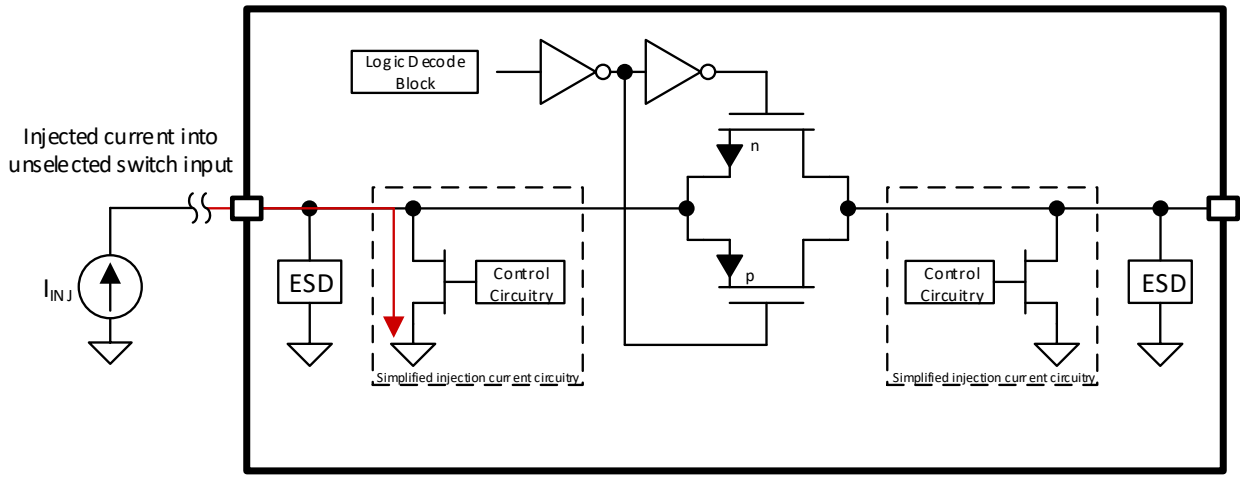


図 8-6. 入力ピンのインジェクション電流

図 8-7 は、過電圧イベントが発生した場合に直列のリミッタ抵抗を使用する例を示しています。

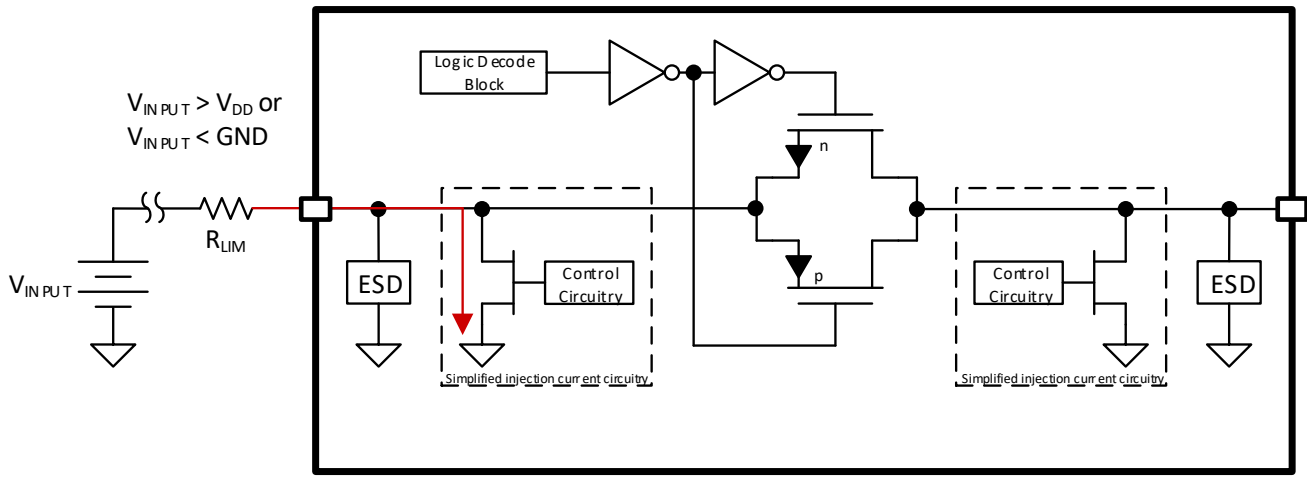


図 8-7. 直列抵抗を用いた過電圧イベントの例

インジェクション電流制御回路が動作するためには、2 つの条件が満たされている必要があります。まず、ソース ピンまたはドレイン ピンの電圧が V_{DD} を上回るか、GND を下回っていることが条件のひとつです。次に、チャネルを選択解除する必要があります。これら 2 つの条件が満たされると、保護用 FET が無効化された信号パスに対してオンになり、ピンを GND にシャントします。このような場合には、デバイスに注入される総電流を 100mA 未満に制限するために、直列抵抗が必要です。以下のセクションでは、3 つの代表的なシナリオについて説明します。

8.3.6.1 TMUX13xxA-Q1 が通電状態で、チャネルが選択されておらず、入力信号が V_{DD} より高い場合 (V_{DD} = 5V、V_{INPUT} = 5.5V)

一般的な CMOS スイッチには、電源ピンに接続された定格約 30mA の内部 ESD ダイオードが搭載されており、このダイオードがオンになるため、直列の電流制限抵抗が必要となります。しかし、流れ込んだ電流は電源レールに注入されるため、システムを損傷させたり、同じ電源レール上の他のデバイスが意図せず動作したり、追加の保護部品が必要になったりする可能性があります。TMUX13xxA-Q1 の実装では、このような状況にも直列の電流制限抵抗で対応していますが、電流の経路は電源レールではなく GND 側に流れるため、電源レールへの電流注入時のような問題は発生しません。

8.3.6.2 TMUX13xxA-Q1 が通電状態で、チャネルが選択されており、入力信号が V_{DD} より高い場合 (V_{DD} = 5V、V_{INPUT} = 5.5V)

インジェクション電流制御回路は、チャンネルが未選択であり、かつ過電圧イベントが発生している場合 (過電圧とは電源レールより 0.5V 高い電圧と定義) に完全に動作します。ただし、チャネルが選択されている状態で過電圧イベントが発生した場合でも、この保護回路は部分的に動作します。この場合、注入された電流の一部は保護回路を通じて GND に迂回されますが、完全にシャントされるわけではありません。したがって、一部の電流はソースからドレインへの経路を経由しても流れます。これにより、チャネルが選択されている状態でもデバイスは過電圧条件に耐えることが可能になりますが、最大連続ソース/ドレイン電流の仕様を超えないように、電流制限抵抗を実装するなどの過電流対策は依然として必要です。

8.3.6.3 TMUX13xxA-Q1 に電源が供給されておらず、入力信号に電圧がかかっている (V_{DD} = 0V、V_{INPUT} = 3V)

多くの CMOS スイッチは、有効な電源電圧が存在しない状態で入力に電圧が印加されると、それが入力から出力へ結合され、下流のデバイスを損傷したり、電源シーケンスに悪影響を与えたりする可能性があります。TMUX13xxA-Q1 の回路構成は、電源電圧が供給されていない状態でも入力信号の印加に対応でき、スイッチの入力から出力への電力の伝播を最小限に抑えることができます。出力側への電圧結合を 400mV に制限することで、TMUX1308A-Q1 および TMUX1309A-Q1 は、ダウンストリームの ESD ダイオードを通じた導通のリスクを低減します。

8.4 デバイスの機能モード

TMUX1308A-Q1 の $\overline{EN}$ ピンをロー レベルにすると、アドレス ラインの状態に従い、いずれかのスイッチが閉じた状態になります。同様に、TMUX1309A-Q1 の $\overline{EN}$ ピンが Low に引かれると、アドレス ラインの状態に基づいて 2 つのスイッチが閉じられます。$\overline{EN}$ ピンをハイ レベルに引き上げると、アドレス ラインの状態に関係なく、すべてのスイッチが開いた状態になります。

『*低速またはフローティング状態の CMOS 入力の影響*』に記述されているように、デバイスでの余剰な電流消費を防止するために、未使用のロジック制御ピンは GND または V_{DD} に接続する必要があります。また、未使用の信号パス入力 (Sx および Dx) は GND に接続しておきます。

Copyright © 2025 Texas Instruments Incorporated

8.5 真理値表

表 8-1 および 表 8-2 は、それぞれ TMUX1308A-Q1 と TMUX1309A-Q1 の真理値表を示しています。

表 8-1. TMUX1308A-Q1 真理値表

$\overline{EN}$	A2	A1	A0	ドレイン ピン (D) に接続するために選択された信号パス
0	0	0	0	S0
0	0	0	1	S1
0	0	1	0	S2
0	0	1	1	S3
0	1	0	0	S4
0	1	0	1	S5
0	1	1	0	S6
0	1	1	1	S7
1	X(1)	X(1)	X(1)	すべてのチャネルがオフ

(1) X は「任意」を意味します。

表 8-2. TMUX1309A-Q1 真理値表

$\overline{EN}$	A1	A0	ドレイン ピン (DA および DB) に接続するために選択された信号パス
0	0	0	S0A から DA S0B から DB
0	0	1	S1A から DA S1B から DB
0	1	0	S2A から DA S2B から DB
0	1	1	S3A から DA S3B から DB
1	X(1)	X(1)	すべてのチャネルがオフ

(1) X は「任意」を意味します。

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

TMUX13xxA-Q1 ファミリは、広い動作電源範囲 (1.62V ～ 5.5V) にわたってインジェクション電流の発生に対する保護機能を提供します。これらのデバイスの制御入力ピンは 1.8V ロジックに互換であり、I/O レールが 1.8V のシステムでの動作が可能です。さらに、制御入力ピンはフェイルセーフ ロジックに対応しており、電源ピンの状態にかかわらず最大 5.5V までの動作が可能です。この機能により、ロジック ピンから電源レールへのバックパワーが防止され、さらにインジェクション電流回路が信号パスからの電源逆供給も防ぎます。上記の特徴を持つ TMUX13xxA-Q1 ファミリは、マルチプレクサおよびスイッチとして多目的に使用でき、これによりシステムの複雑さ、基板サイズ、およびシステム全体でのコスト低減が行えます。

9.2 代表的なアプリケーション

TMUX13xxA-Q1 の特長を活用できる有用なアプリケーションの一例として、ボディ コントロール モジュール (BCM) や電子制御ユニット (ECU) 内で複数の物理スイッチをマルチプレックスする用途が挙げられます。車載用 BCM は、照明、ドアロック、ウィンドウ、ワイパー、方向指示器など、数多くの入力や機能を管理するために設計された複雑なシステムです。BCM はこれらの物理スイッチを監視し、車両内のさまざまな負荷への電力供給を制御します。CMOS マルチプレクサを使用することで、入力をマルチプレクシングでき、オンボード MCU が必要とする GPIO や ADC 入力の数を最小限に抑えることができます。

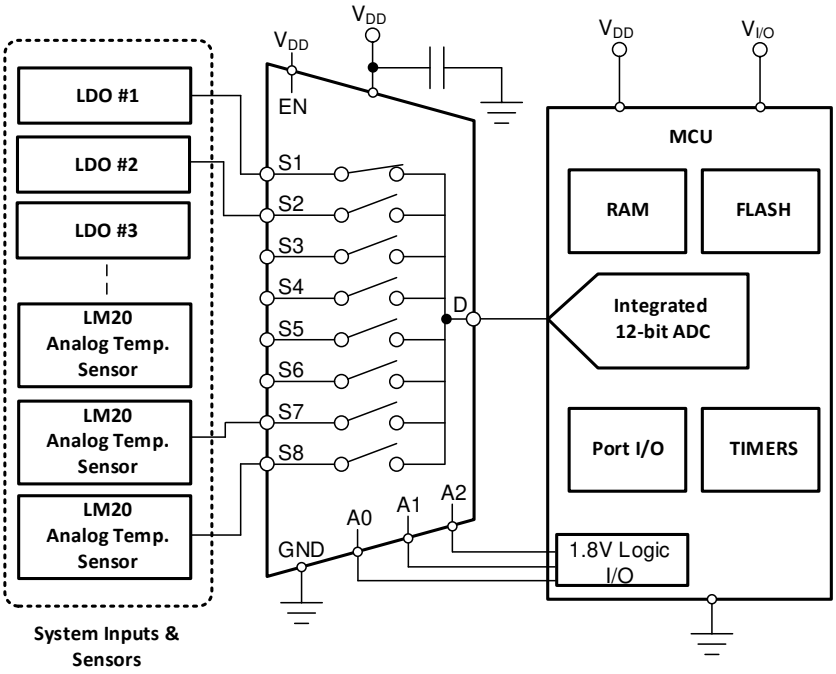


図 9-1. 内蔵 ADC への信号のマルチプレクシング

Copyright © 2025 Texas Instruments Incorporated

9.2.1 設計要件

この設計例では、表 9-1 に記載されているパラメータを使用します。

表 9-1. 設計パラメータ

パラメータ	値
電源電圧 (V_{DD})	5.0V
I/O 信号範囲	0V～V_{DD} (レール ツー レール)
制御入力のロジック スレッショルド	1.8V 互換
スイッチ入力	8

9.2.2 詳細な設計手順

TMUX1308A-Q1 デバイスには、内部インジェクション電流制御機能が備わっており、スイッチを保護して入力信号を電源電圧内に保つために一般的に使用される外付けダイオードや抵抗ネットワークが不要になります (詳細は セクション 8.3.6 を参照してください)。内部インジェクション電流制御回路により、ディスエーブルされた信号パスの信号が電源電圧を上回っても、イネーブルされた信号パスの信号に影響を与えません。インジェクション電流は、スイッチングや過渡的な事象によって誘導電流が発生しやすい車載システムの長い配線など、さまざまな要因から発生する可能性があります。

BCM におけるインジェクション電流の一時的な発生源として、ウェッティング電流があります。これは、金属製のスイッチ接点や配線の酸化を防ぐために流される微小電流です。インジェクション電流制御を備えていないスイッチでは、無効化された信号パスに電流が注入されると、有効化された信号パスの出力測定に影響を及ぼす可能性があります。このような出力の望ましくない変化は、誤ったトリガ イベントや誤った測定値を引き起こし、BCM システムの精度および信頼性を損なう可能性があります。

BCM は、マイコンによって関連する制御回路が有効化されたとき、各スイッチにウェッティング電流を供給するために 12V のバッテリ電圧を使用します。ウェッティング電流の大きさは R_{WETT} によって決まり、必要な値は監視対象の物理スイッチの種類によって異なる場合があります。20kΩ および 15kΩ の抵抗は、バッテリへの短絡が発生した場合に備え、ウェッティング抵抗に加えて使用され、マルチプレクサの入力前に電圧分圧回路を構成します。この抵抗値は、スイッチ信号パスの電圧が VDD よりも低くなるように選択されます。20kΩ の直列抵抗は、過電圧イベントが発生した場合に、スイッチに注入される電流の量を制限する役割も果たします。D1 ～ D8 のダイオードは、バックアップや冗長性のために別のシステムが同じ物理スイッチを監視している場合に、電流の逆流を防ぐために使用されます。10nF のコンデンサは、システムにおける初期の ESD 保護のために使用されており、システムレベルの要件に基づいて適切な容量に設定する必要があります。

論理アドレス ピンは、マイコンによって制御され、システム内の 8 つのスイッチ入力を順に切り替えるように動作します。部品の起動時の状態を無効にしたい場合、イネーブル ピンには弱いプルアップ抵抗を接続し、MCU の GPIO から制御するようにします。

9.2.3 バッテリ短絡保護

車載グレードのマルチプレクサの安全性および信頼性を評価する際には、さまざまな動作条件下での性能を確認することが重要です。TMUX13xxA-Q1 の場合、システム レベルでの車載最適化設計の参考となるように、本製品がさまざまなバッテリへの短絡の条件に対してどのように応答するかを検証します。バッテリへの短絡を考慮した設計を行うことは非常に重要です。これを怠ると、動作上の問題を引き起こす可能性があります。以下のセクションでは、5V の電源電圧を用いて、バッテリへの短絡条件下における TMUX1308A-Q1 の動作を示す 2 つのシナリオについて詳しく解説します。

まずは、チャネル S7 が選択され、チャネル S0 がバッテリへの短絡状態となっている最初のシナリオを検証するため、以下のセットアップから始めます。

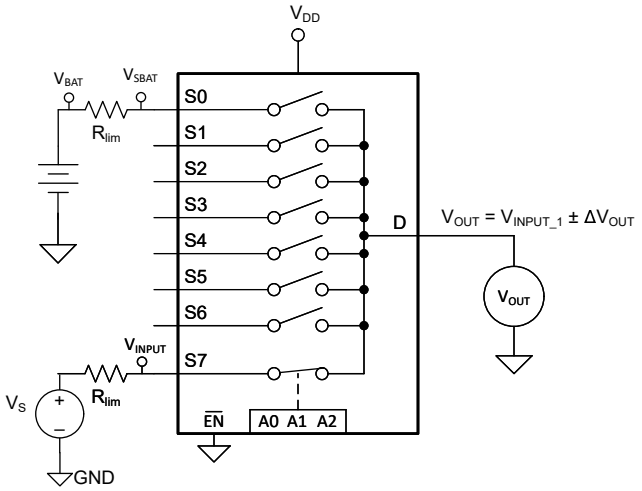


図 9-2. チャネル S7 選択中、チャネル S0 がバッテリへの短絡状態の場合

表 9-2 は、I_S/I_D に対して最大 25mA を想定した場合における、さまざまな V_{BAT} 条件での ΔV_{OUT}、V_{SBAT}、および最小 R_{LIM} の値を示しています。R_{LIM} を大きすぎると、ΔV_{OUT} に悪影響を及ぼすとともに、電流フローが実質的に制限されます。R_{LIM} が小さすぎると、デバイスに損傷を与える可能性があります。

Copyright © 2025 Texas Instruments Incorporated

表 9-2. スイッチを流れる 25mA に対する R_{Lim} の値

V_{BAT}	R_{LIM}	Δ V_{OUT} (標準値)	V_{SBAT}
12V	470	< 10µV	5.6V
19V	750	< 10µV	5.6V
24V	1K	< 10µV	5.6V
36V	1.5K	< 10µV	5.6V
48V	2K	< 10µV	5.6V
60V	2.4K	< 10µV	5.6V

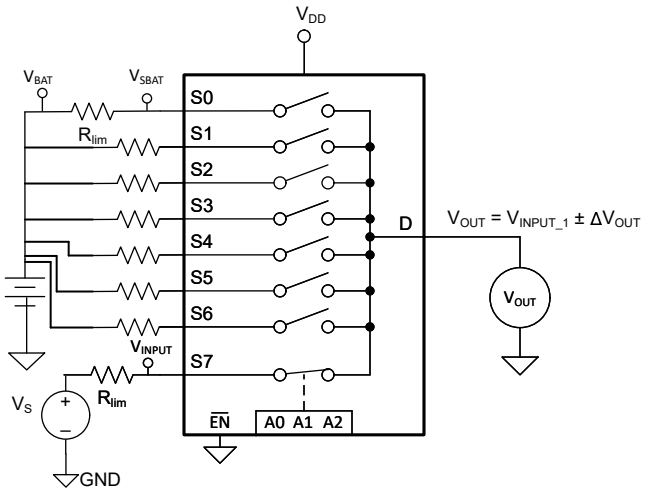


図 9-3. すべての未選択チャンネルがバッテリに短絡されている状態の場合

続いて、すべての未選択チャンネルが同時にバッテリに短絡状態となるシナリオを評価します。表は、I_S/I_D に対する 12.5mA の最大割り当てを検討する場合の値を示しています (詳細については、セクション 6.1 を参照)。すべてのチャネルで同時にバッテリへの短絡が発生する可能性がある場合、12.5mA が制限要因になります。ここでも、R_{LIM} の値が大きすぎると ΔV_{OUT} に悪影響を及ぼすだけでなく、電流の流れも大きく制限されてしまいます。

> **注意**
> デバイスへの損傷を防止するため、R_{LIM} を小さすぎるように選択しないでください。

表 9-3. スイッチを流れる 12.5mA に対する R_{Lim} の値

V_{BAT}	R_{LIM}	Δ V_{OUT} (標準値)	V_{SBAT}
12V	1K	< 10µV	5.6V
19V	1.5K	< 10µV	5.6V
24V	2K	< 10µV	5.6V
36V	3K	< 10µV	5.6V
48V	3.9K	< 10µV	5.6V
60V	4.7K	< 10µV	5.6V

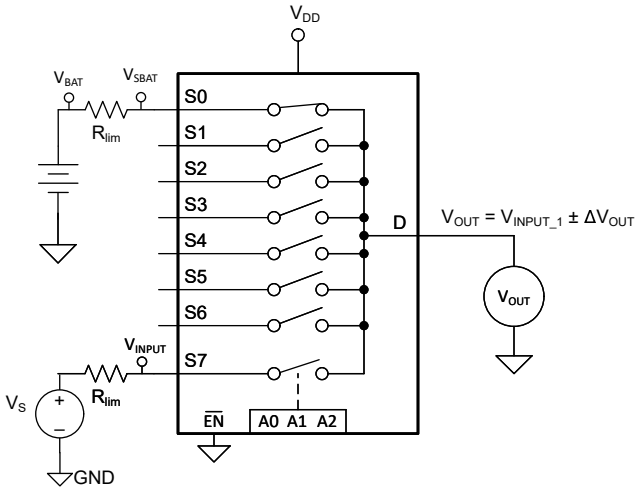


図 9-4. 単一の選択チャネルのみがバッテリに短絡している状態の場合

> **注意**
> デバイスへの損傷を防止するため、R_{LIM} を小さすぎるように選択しないでください。

結論として、5V の電源を使用した複数のバッテリへの短絡のケース スタディを検証しました。より低い電源電圧を使用する場合、最適な電流フローが得られるように R_{Lim} の値が変化することに注意してください。バッテリへの短絡状態に対して適切な保護を行うことは非常に重要です。これを怠ると、システム全体に影響を及ぼす問題が発生する可能性があります。デバイスを適切に動作させるため、これらの条件と電気的特性を考慮して設計するように注意してください。

9.2.4 アプリケーション曲線

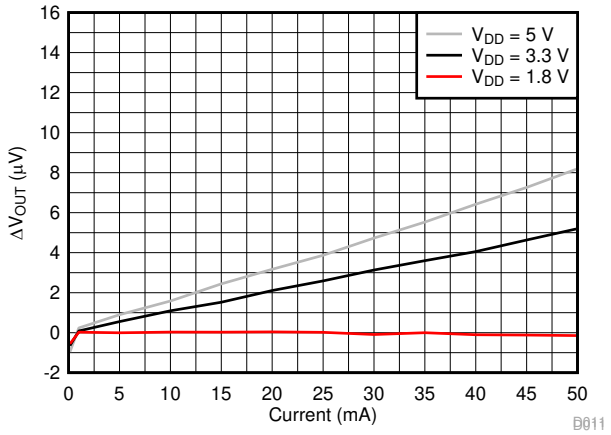


図 9-5. インジェクション電流と最大出力電圧変動との関係

9.3 電源に関する推奨事項

TMUX1308A-Q1 デバイスおよび TMUX1309A-Q1 デバイスは、1.62V ～ 5.5V の広い電源電圧範囲で動作します。注記：絶対最大定格を超えないようにしてください。記載されている定格を超えるストレスはデバイスに永続的な損傷を与える可能性があります。

電源のバイパスによって、ノイズ マージンが向上し、V_{DD} から他の部品へのスイッチング ノイズの伝搬を防止します。最適な性能を実現するには、良好な電源デカップリングが重要です。電源のノイズ耐性を向上させるため、V_{DD} からグランドに対し、0.1µF ～ 10µF の範囲の電源デカップリング コンデンサを使用してください。バイパス コンデンサは、デバイスの電源ピンのできるだけ近くに配置し、低インピーダンスで接続します。

Copyright © 2025 Texas Instruments Incorporated

テキサス・インスツルメンツでは、電源デカップリング用として、ESR (等価直列抵抗) および ESL (インダクタンス) が低い特性を持つ、積層セラミック チップ コンデンサ (MLCC) の使用を推奨しています。非常に敏感なシステムや、過酷なノイズ環境のシステムでは、コンデンサとデバイスのピン間の接続にビアの使用を避けることで、ノイズ耐性を改善できる場合があります。並列に複数のビアを使用すると、全体的なインダクタンスが低減でき、さらにグランド プレーンへの接続も改善されます。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

PCB パターンが 90° の角度でコーナーを曲がると、反射が発生する可能性があります。反射は主に、パターンの幅の変化が原因で発生します。曲がりの頂点では、パターン幅が幅の 1.414 倍に増加します。これにより、伝送ラインの特性のアップセットが向上します。特に、パターンの分散静電容量と自己インダクタンスが増加し、反射が発生します。すべての PCB トレースが直線的であるとは限らないため、一部のパターンはコーナーを曲がる必要があります。図 9-6 に、コーナーを丸める斬新で優れた方法を示します。最後の例 (BEST) のみが一定のパターン幅を維持し、反射を最小限に抑えます。

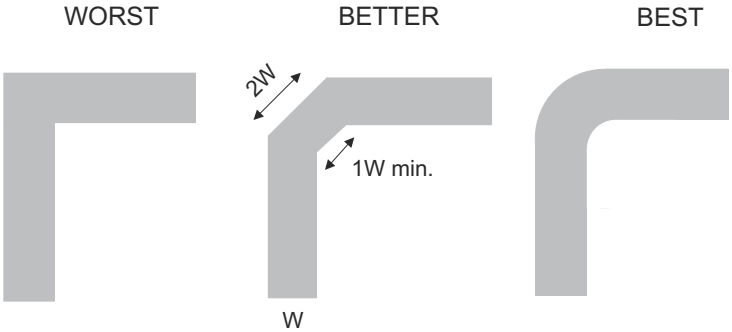


図 9-6. パターン例

高速信号は、ビア数とコーナー数を最小にして配線し、信号の反射とインピーダンスの変化を低減します。ビアを使用する必要がある場合は、周囲の空間距離を大きく確保することで、そこでの静電容量を最小化します。各ビアは、信号の伝送ラインにおいて連続性を損ない、また、ボードの他の層からの干渉を拾う可能性を高くしています。高周波信号向けのテスト ポイントを設計する際、スルーホール ピンの使用は推奨されません。

図 9-7 に TMUX1308A-Q1 および TMUX1309A-Q1 向けの PCB レイアウト例を示します。主に考慮すべき事項は以下の通りです。

- V_{DD} ピンは、可能な限りそのピンの近くで 0.1µF のコンデンサによるデカップリングを行います。電源電圧 V_{DD} に対してコンデンサの電圧定格が十分であることを確認します。
- 入力への配線は可能な限り短くします。
- 平面状のグランド プレーンを使用し、電磁干渉 (EMI) ノイズのピックアップを低減します。
- デジタル パターンと並行して敏感なアナログ パターンを配線しないでください。可能な限り、デジタル パターンとアナログ パターンの交差は避け、どうしても必要な場合には、必ず直角に交差させてください。

9.4.2 レイアウト例

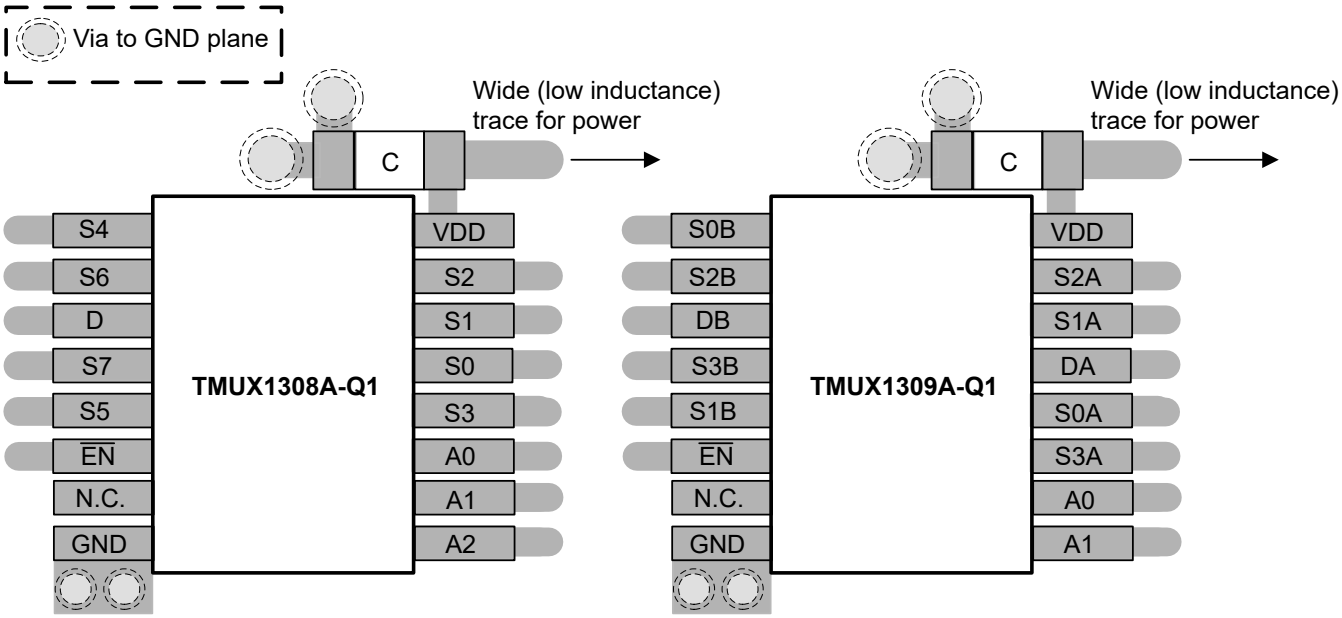


図 9-7. TMUX1308A-Q1 および TMUX1309A-Q1 のレイアウト例

Copyright © 2025 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『*1.8V ロジックのマルチプレクサおよびスイッチにおける設計の単純化*』
- テキサス・インスツルメンツ、*『QFN/SON の PCB 実装』*
- テキサス・インスツルメンツ、*『クワッド フラットパック リード端子なしロジック パッケージ』*

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の [*アラートを受け取る*] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (June 2024) to Revision A (June 2025) **Page**

- BQB および DYY パッケージを追加 1

日付	改訂	注
2024 年 6 月	*	初版リリース

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TMUX1308AQBQBRQ1	Active	Production	WQFN (BQB) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1308AQ
TMUX1308AQDYYRQ1	Active	Production	SOT-23-THIN (DYY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1308AQ
TMUX1308AQPWRQ1	Active	Production	TSSOP (PW) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1308AQ
TMUX1308AQPWRQ1.A	Active	Production	TSSOP (PW) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1308AQ
TMUX1309AQBQBRQ1	Active	Production	WQFN (BQB) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1309AQ
TMUX1309AQDYYRQ1	Active	Production	SOT-23-THIN (DYY) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1309AQ
TMUX1309AQPWRQ1	Active	Production	TSSOP (PW) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1309AQ
TMUX1309AQPWRQ1.A	Active	Production	TSSOP (PW) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1309AQ

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TMUX1308A-Q1, TMUX1309A-Q1 :

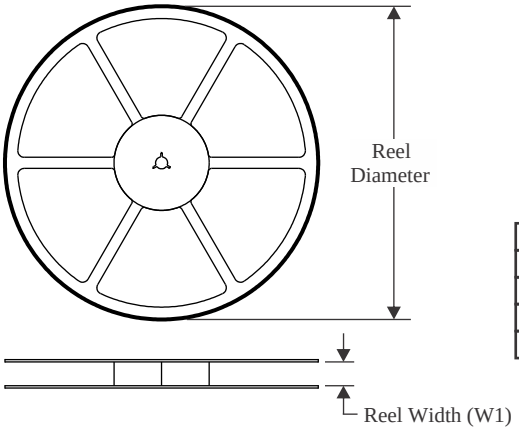
- Catalog : TMUX1308A, TMUX1309A

NOTE: Qualified Version Definitions:

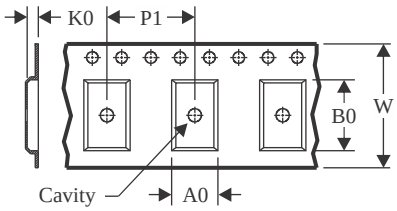
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

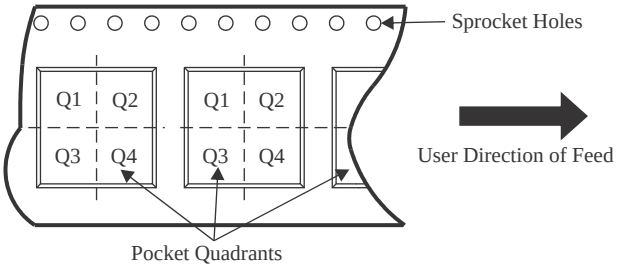


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

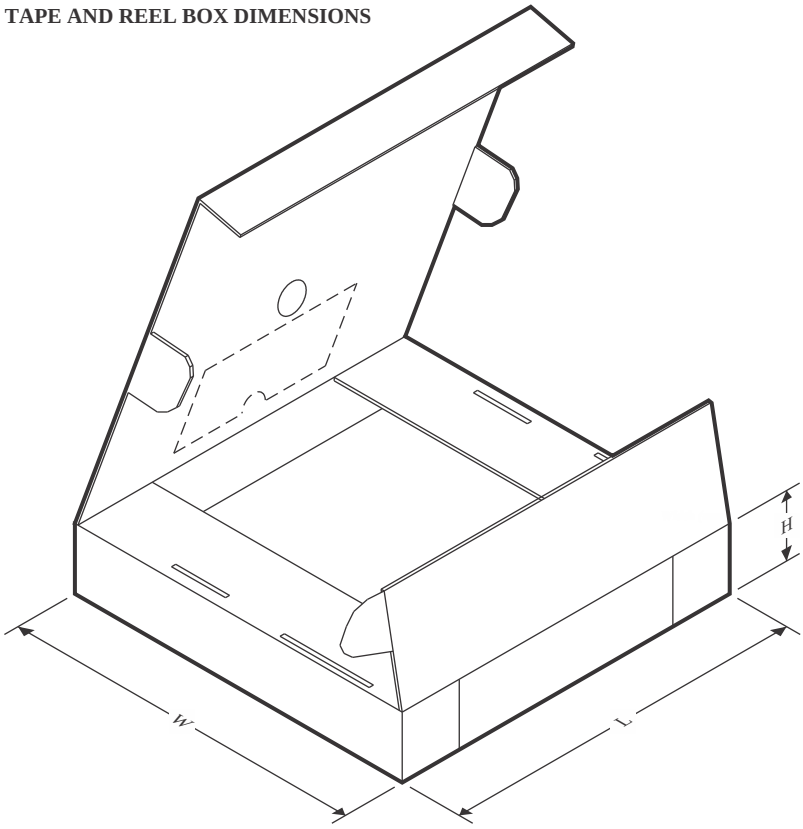
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TMUX1308AQBQBRQ1	WQFN	BQB	16	3000	180.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
TMUX1308AQDYYRQ1	SOT-23-THIN	DYY	16	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
TMUX1308AQPWRQ1	TSSOP	PW	16	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TMUX1309AQBQBRQ1	WQFN	BQB	16	3000	180.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
TMUX1309AQDYYRQ1	SOT-23-THIN	DYY	16	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
TMUX1309AQPWRQ1	TSSOP	PW	16	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TMUX1308AQBQBRQ1	WQFN	BQB	16	3000	210.0	185.0	35.0
TMUX1308AQDYYRQ1	SOT-23-THIN	DYY	16	3000	336.6	336.6	31.8
TMUX1308AQPWRQ1	TSSOP	PW	16	3000	353.0	353.0	32.0
TMUX1309AQBQBRQ1	WQFN	BQB	16	3000	210.0	185.0	35.0
TMUX1309AQDYYRQ1	SOT-23-THIN	DYY	16	3000	336.6	336.6	31.8
TMUX1309AQPWRQ1	TSSOP	PW	16	3000	353.0	353.0	32.0

GENERIC PACKAGE VIEW

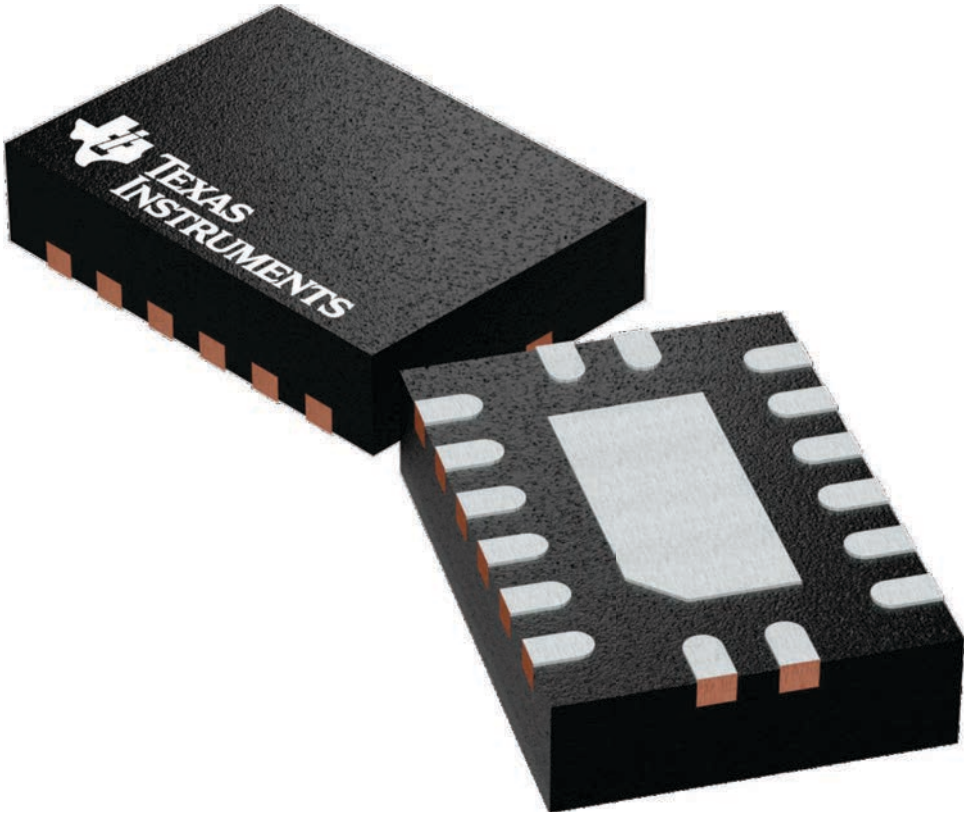
BQB 16

WQFN - 0.8 mm max height

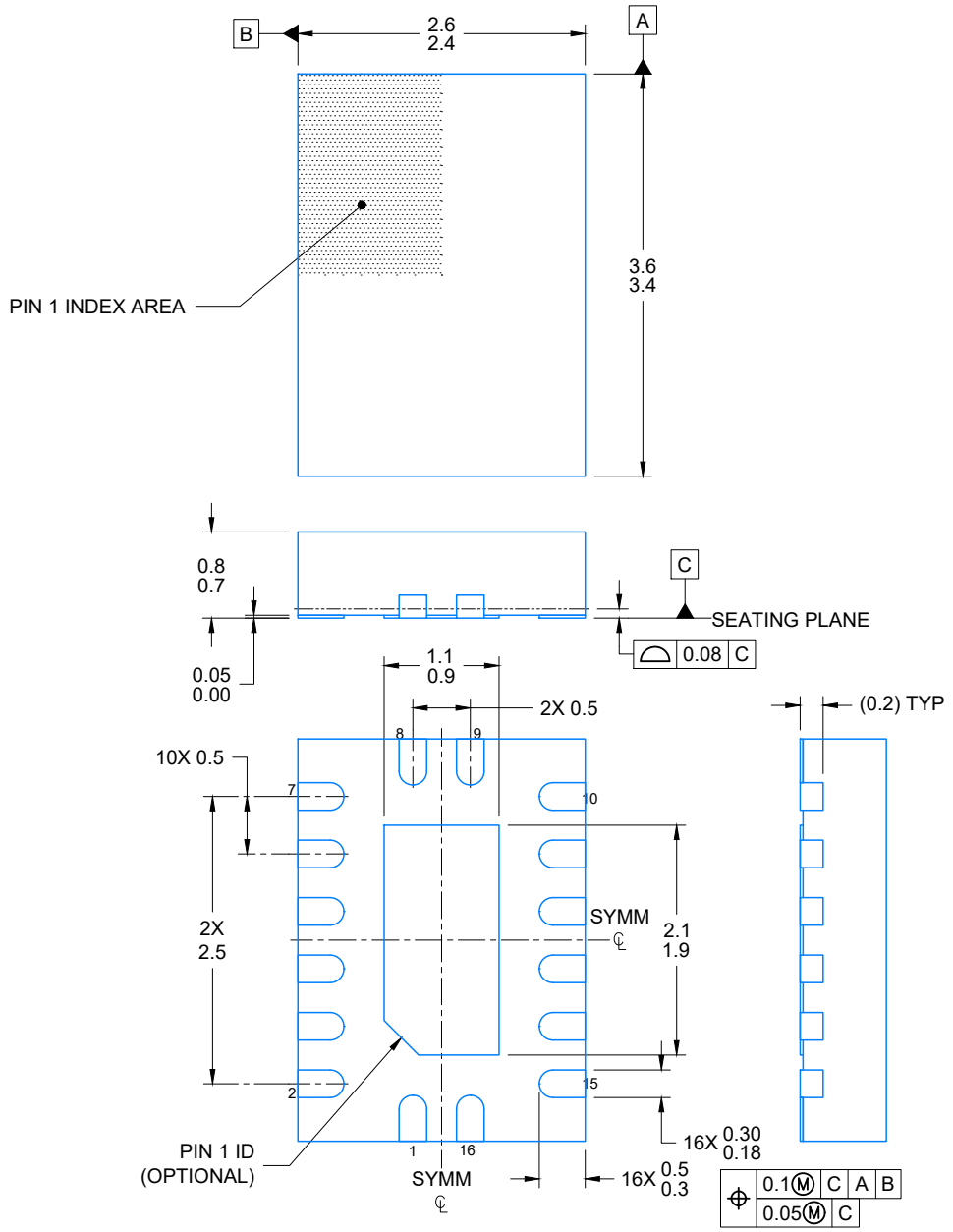
2.5 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



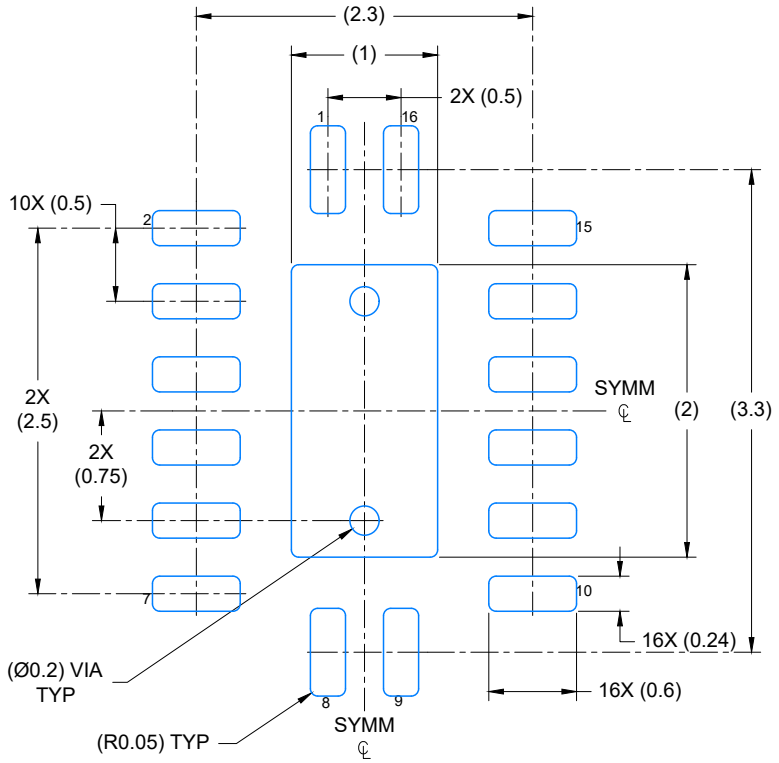
4226161/A



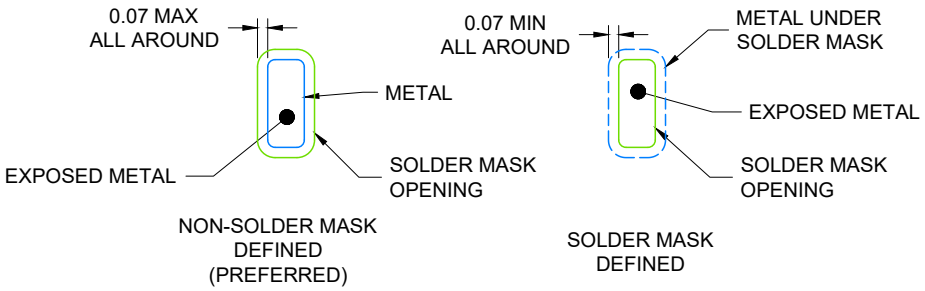
4224640/A 11/2018

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



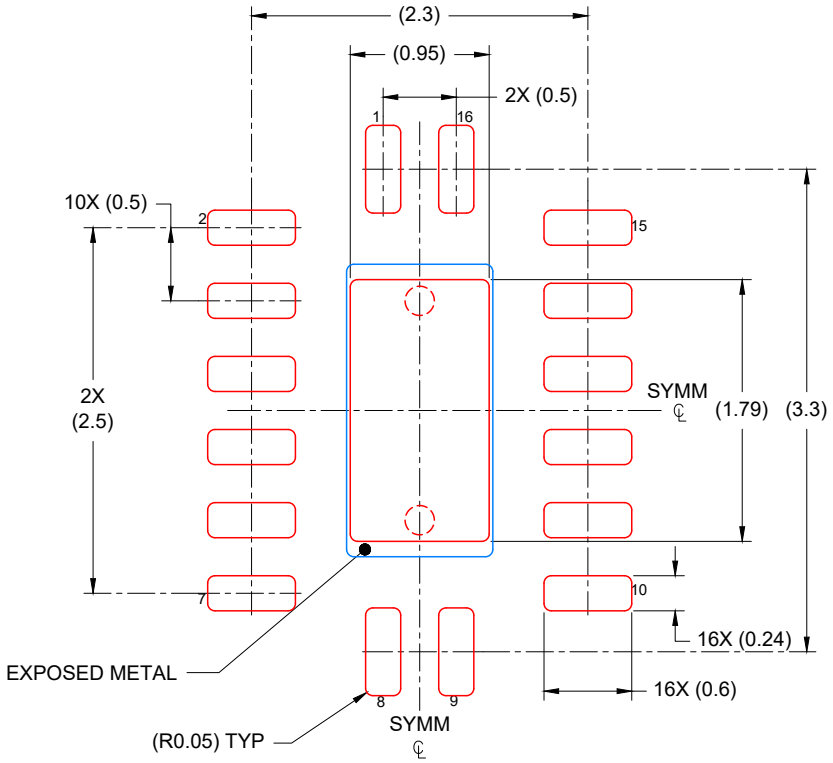
LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224640/A 11/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



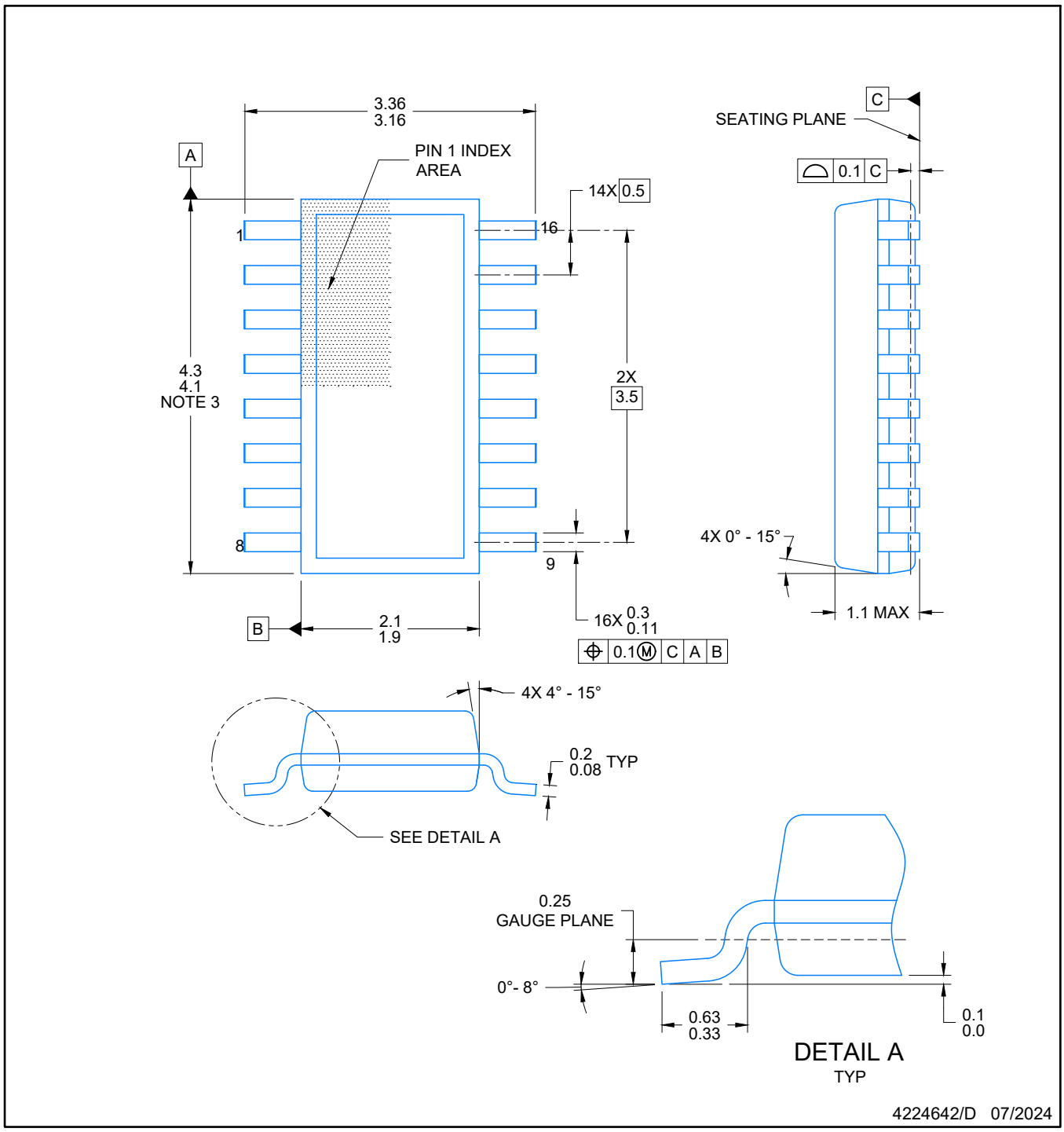
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
85% PRINTED COVERAGE BY AREA
SCALE: 20X

4224640/A 11/2018

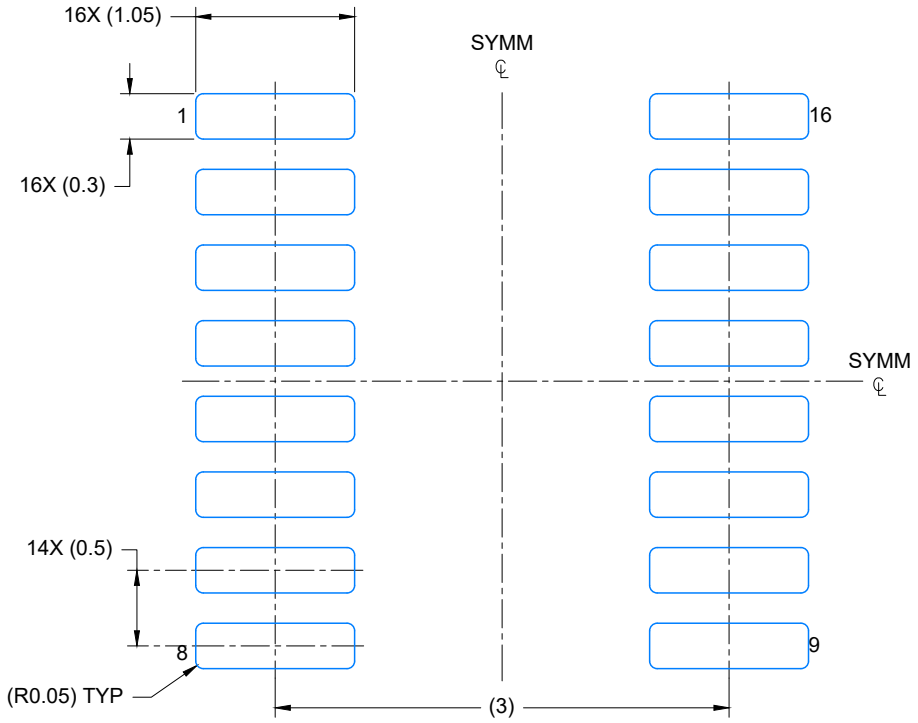
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

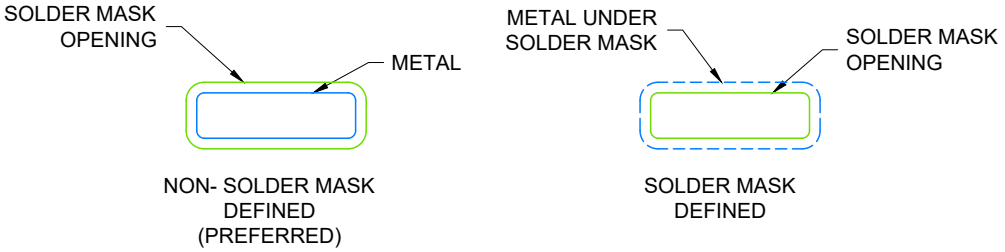


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AA



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

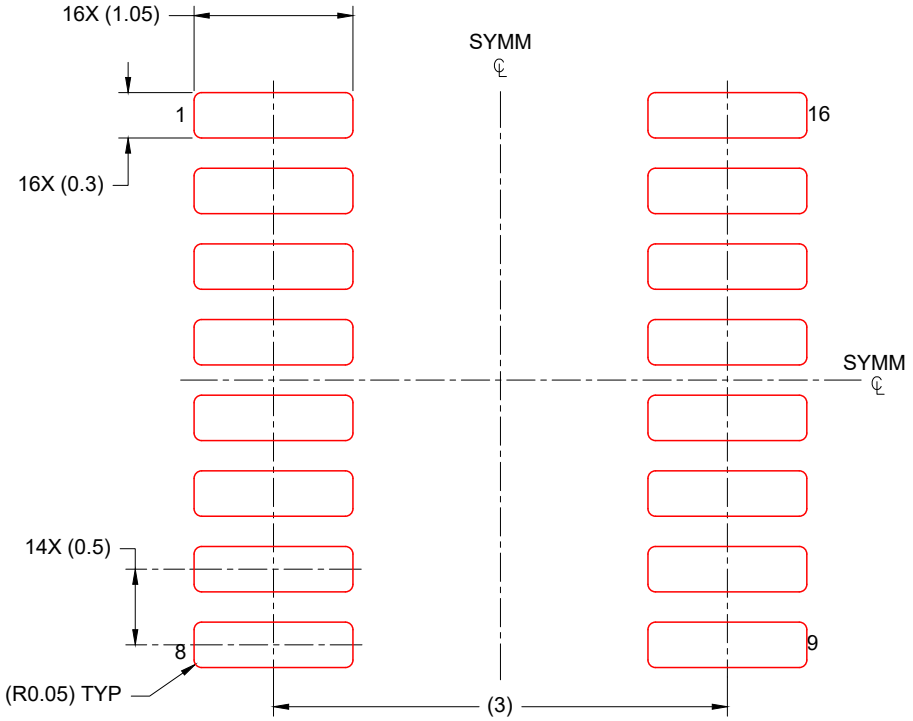


SOLDER MASK DETAILS

4224642/D 07/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

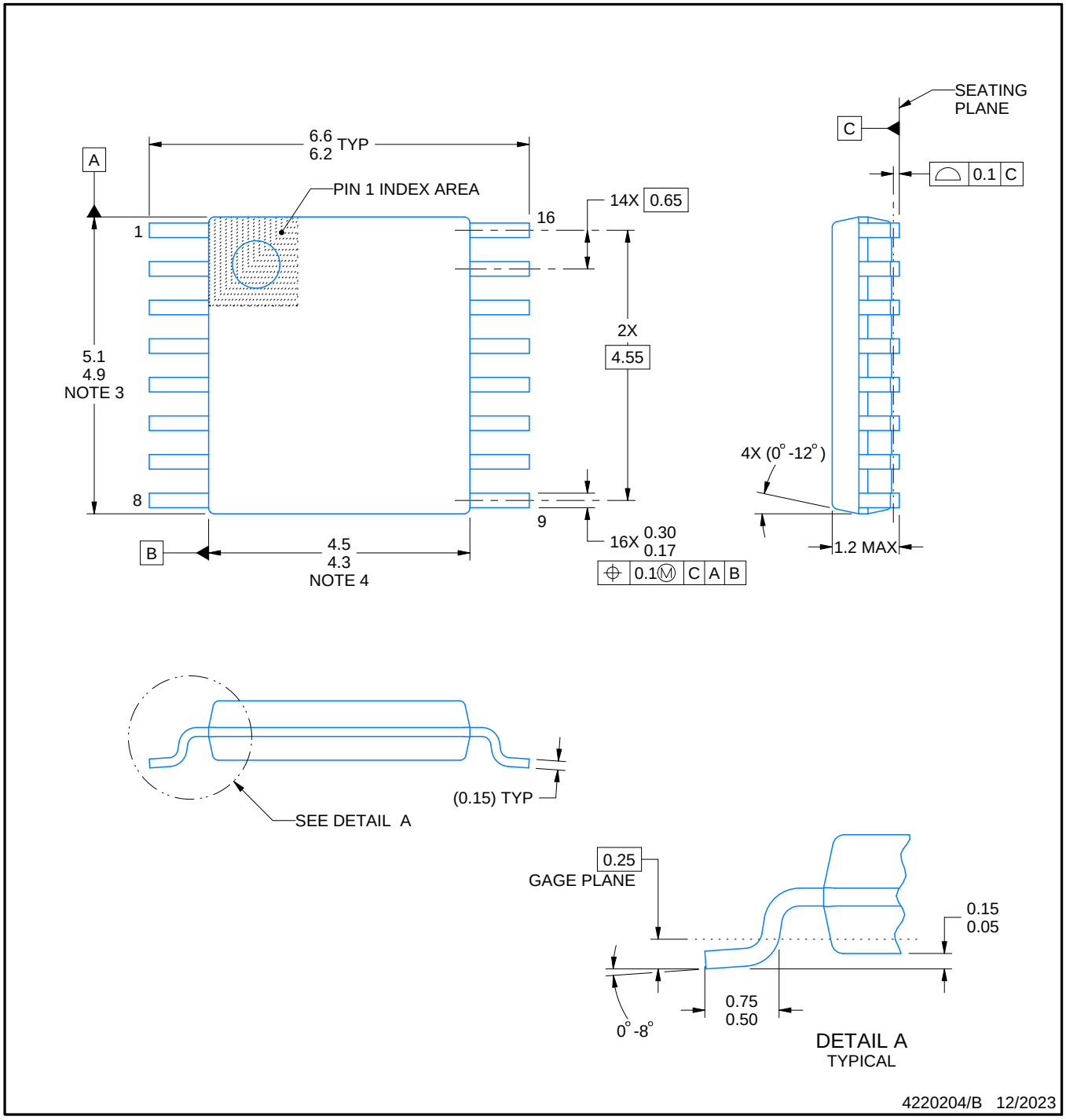


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224642/D 07/2024

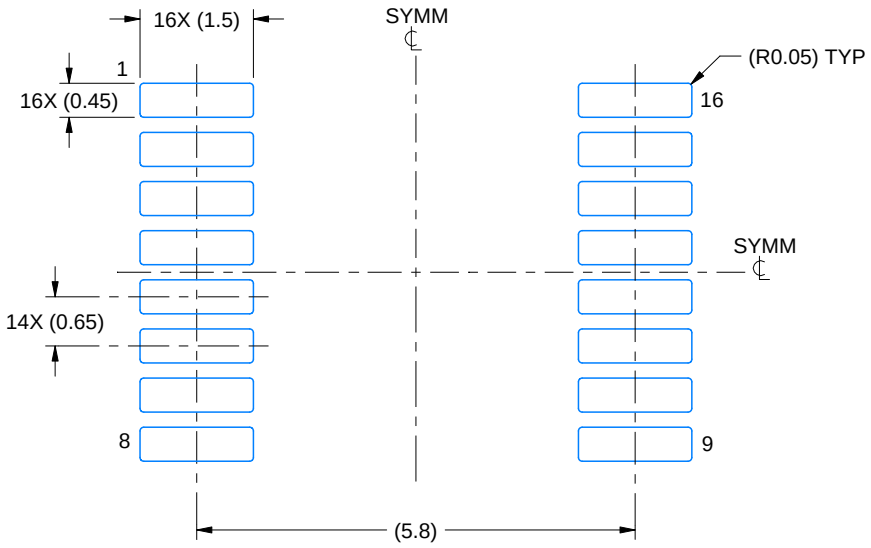
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

NON-SOLDER MASK DEFINED (PREFERRED)

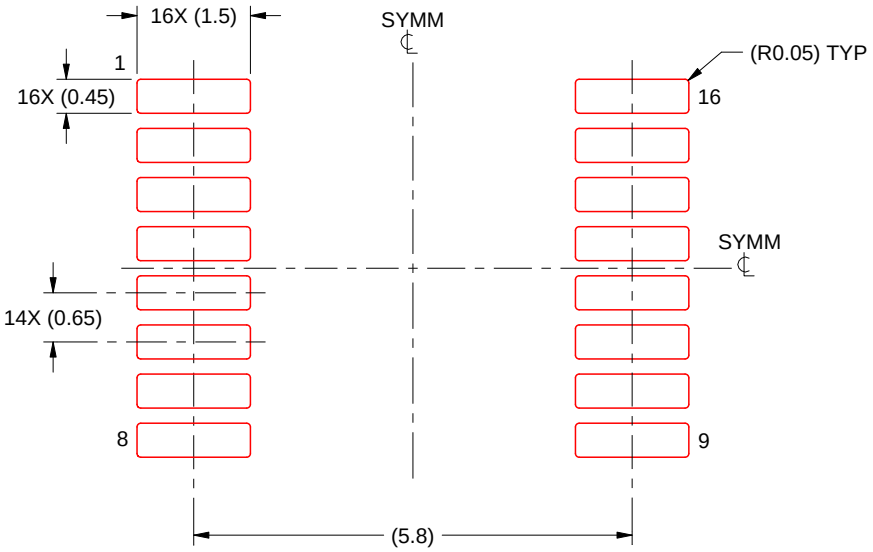
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月