

TMS320F28P65x リアルタイム マイクロコントローラ

1 特長

リアルタイム処理

- 最大 3 個の CPU を搭載: 2 個の 32 ビット C28x DSP CPU と 1 個の CLA CPU は、すべて 200MHz で動作
- リアルタイム信号チェーン性能において、1000MHz Arm® Cortex®-M7 ベースのデバイスと同等の総合処理能力を実現 (『C2000™ 制御 MCU の最適化された信号チェーンのリアルタイム ベンチマーク』アプリケーション ノートを参照)
- C28x DSP アーキテクチャ
 - IEEE 754 倍精度 (64 ビット) 浮動小数点演算ユニット (FPU)
 - 三角関数演算ユニット (TMU)
 - 高速整数除算ユニット (FINTDIV)
 - CRC エンジンおよび命令 (VCRC)
- 制御補償器アクセラレータ (CLA) CPU
 - IEEE 754 単精度浮動小数点
 - C28x CPU と独立にコードを実行

メモリ

- 5 つのフラッシュ バンクを備えた 1.28MB の CPU マッピング可能フラッシュ (ECC 保護)
- 248KB の RAM (拡張パリティ保護)
- ASRAM、SDRAM サポート、または ASIC/FPGA を備えた外部メモリ インターフェイス (EMIF)

アナログ サブシステム

- 3 つの A/D コンバータ (ADC)
 - 16 ビット モード、それぞれ 1.19MSPS
 - 12 ビット モード、それぞれ 3.92MSPS
 - 最大 40 個のシングル エンド入力または 19 個の差動入力
 - 同時測定を可能にするために各 ADC に個別のサンプル アンド ホールド (S/H)
 - ハードウェアによる変換の後処理
 - ハードウェア オーバーサンプリング (最大 128 倍) およびアンダーサンプリング モード、累算、平均化、外れ値除去機能付き
 - フレキシビリティのための 24 個の冗長入力チャネル
 - 機能安全アプリケーション向けの変換結果自動比較
- 11 個のウィンドウ付きコンパレータ、12 ビット D/A コンバータ (DAC) リファレンス付き
 - スロープ補償付き DAC - ピーク電流とバレー電流モード制御が可能

- 内部温度センサと ADC リファレンスを利用できる接続オプション

- 2 つの 12 ビット DAC 出力 (バッファ付き)

制御ペリフェラル

- 36 個のパルス幅変調器 (PWM) チャネル、すべて 150ps の高分解能機能 (HRPWM) 付き
 - 最小デッドバンド ロジック (MINDB)、不正な組み合わせロジック (ICL)、その他の特殊機能 (ダイオードエミュレーション [DE]) をサポート
 - マトリクス コンバータ、マルチレベル コンバータ、共振コンバータのサポートを実現 (外部ロジックの追加は不要)
- 7 つの拡張キャプチャ (eCAP) モジュール
 - 7 つの eCAP モジュールのうち 2 つで高分解能キャプチャ (HRCAP) を使用可能
 - ePWM ストローブおよびトリップ イベントと組み合わせ可能なエッジ、パルス幅、周期用の 2 つの新しいモニタ ユニット
 - 256 の入力を増やし、キャプチャ オプションを追加
 - 新しい ADC SOC 生成機能
 - eCAP は追加の PWM に使用可能
- 6 つの拡張直交エンコーダ パルス (eQEP) モジュール
- 16 個のシグマ - デルタ フィルタ モジュール (SDFM) 入力チャネル、チャネルごとに 2 つの独立したフィルタ
- 組み込みパターン ジェネレータ (EPG)
- 構成可能なロジック ブロック
 - 既存のペリフェラル機能を強化するための 6 つのロジック タイル、または外部 CPLD/FPGA を削減または削除するためのカスタマイズされたロジックを定義
 - FPGA 不要で、エンコーダ インターフェイスをサポート
 - 電力変換用にカスタマイズされた PWM 生成が可能

通信ペリフェラル

- EtherCAT® SubordinateDevice (または SubDevice) コントローラ (ESC)
- USB 2.0 (MAC + PHY)
- 高速シリアルインターフェース (FSI) により、絶縁されたエリア全体で最大 200Mbps のデータ交換が可能
- 4 つの高速 (最高 50MHz) SPI ポート
- 2 つのシリアル通信インターフェース (SCI) (UART をサポート)



- 2 つの高速 (25Mbps) ユニバーサル非同期レシーバ / トランスミッタ (UART)
- 2 つの I2C インターフェイス (400Kbps)
- SPI/SCI/I2C による外部ブート オプション
- 2 つの UART 互換 LIN (Local Interconnect Network) モジュール (SCI をサポート)
- PMBus (Power-Management Bus) インターフェイス (I2C をサポート)
- 1 つのコントローラ エリア ネットワーク (CAN/DCAN)
- 2 つの CAN FD/MCAN コントローラ エリア ネットワーク (フレキシブル データレート対応)

システム ペリフェラル

- 2 つの 6 チャネルの DMA (Direct Memory Access) コントローラ
- 185 の個別にプログラム可能な多重化汎用入出力 (GPIO) ピン
- 拡張ペリフェラル割り込みコントローラ (ePIE)
- 低消費電力モード (LPM) のサポート
- リアルタイム解析および診断 (ERAD) を内蔵
- バックグラウンド CRC (BGCR)

セキュリティ ペリフェラル

- AES (Advanced Encryption Standard) 128、192、256 アクセラレータ
- セキュリティ
 - JTAGLOCK
 - ゼロピン ブート
 - デュアルゾーン セキュリティ
- 固有の識別 (UID) 番号

安全ペリフェラル

- 相互比較による実装が容易
- C28x CPU 2 のロックステップ
- メモリ パワー オン自己テスト (MPOST)
- ハードウェア組み込み自己テスト (HWBIST)
- 機能安全準拠
 - 機能安全アプリケーション向けに開発
 - ISO 26262 および IEC 61508 システムの設計を支援するドキュメントを使用可能
 - ASIL D および SIL 3 までの決定論的能力
 - ASIL B および SIL 2 までのハードウェア安全度
- 安全関連の認証
 - TÜV SÜD により ISO 26262 認証済み (ASIL B まで)
 - TÜV SÜD により IEC 61508 認証済み (SIL 2 まで)

クロックおよびシステム制御

- 2 つの内部 10MHz 発振器
- オンチップの水晶発振器

- 2*APLL、BOR、冗長割り込みベクタ RAM
- ウィンドウ付きウォッチドッグ タイマ モジュール
- クロック消失検出回路
- デュアル クロック コンパレータ (DCC)
- ライブ ファームウェア アップデート (LFU)
 - パワー サイクルの有無にかかわらず、古いファームウェアから新しいファームウェアへの高速なコンテキスト切り替え
- コア 1.2V、I/O 3.3V の設計
 - 1.2V 生成用の内部 VREG
 - ブラウンアウトリセット (BOR) 回路

パッケージ オプション:

- 鉛フリー、グリーン パッケージ
- 256 ボールの新ファイン ピッチ ボール グリッド アレイ (nFBGA) [ZEJ 接尾辞]、13mm x 13mm/0.8mm ピッチ
- 176 ピン PowerPAD™ 熱的に強化された薄型クワッドフラットバック (HLQFP) [PTP 接尾辞]、26mm x 26mm/0.5mm ピッチ
- 169 ボールの新ファイン ピッチ ボール グリッド アレイ (nFBGA) [NMR 接尾辞]、9mm x 9mm/0.65mm ピッチ
- 100 ピン PowerPAD™ 熱的に強化された薄型クワッドフラットバック (HTQFP) [PZP 接尾辞]、16mm x 16mm/0.5mm ピッチ

温度

- 周囲温度 (T_A): -40°C ~ 125°C (産業基準および車載基準対応)

2 アプリケーション

- サーボドライブ制御モジュール
- ロボット向けサーボドライブ
- CNC 制御
- 移動型ロボットのモーター制御
- HVAC 大型商用モーター制御
- リニア モーター セグメント コントローラ
- セントラル インバータ
- スtring インバータ
- 電力変換システム
- DC 高速充電ステーション
- インバータおよびモーター制御
- 産業用 AC-DC
- 3 相 UPS
- 単相オンライン UPS
- 商用ネットワークとサーバーの電源
- オンボード チャージャ (OBC) / ワイヤレス チャージャ
- 車載用 HVAC (エアコン) コンプレッサ・モジュール
- ヘッドライト

3 概要

TMS320F28P65x (F28P65x) は、電力密度の向上、スイッチング周波数の向上、IGBT、GaN、および SiC 技術の使用のサポートなど、パワー エレクトロニクスの効率を向上させるように設計された、スケーラブルできわめてレイテンシの低いデバイスである C2000™ リアルタイム マイクロコントローラ ファミリの製品です。

主なアプリケーションには以下が含まれます。

- 産業用モータドライブ
- モータ制御
 - トラクション インバータ モーター制御
 - HVAC (空調) モーター制御
 - 移動型ロボットのモーター制御
- ソーラー インバータ
 - セントラル インバータ
 - マイクロ インバータ
 - スtring インバータ
- デジタル電源
- HV/EV (ハイブリッド車と電気自動車) 向けパワートレイン
- EV 充電インフラ
- エネルギー ストレージシステム
- 産業用ロボットと協働ロボット (コロボット)
- 産業用機械と工作機械
- 産業用移動型ロボット

リアルタイム制御サブシステムは、TI の 32 ビット C28x DSP コアをベースにしており、オンチップ フラッシュまたは SRAM から実行される浮動小数点または固定小数点コードに対して コアごとに 200MIPS の信号処理性能を発揮します。これは、Cortex®-M7 ベースのデバイスの 400MHz の処理能力に相当します (C28x DSP コアは Cortex®-M7 コアの 2 倍の性能を実現)。C28x CPU は、三角関数演算ユニット (TMU) と VCRC (巡回冗長検査) 拡張命令セットによってさらに強化されており、リアルタイム制御システムでよく使われる重要なアルゴリズムを高速化します。拡張命令セットにより、IEEE 倍精度 64 ビット浮動小数点演算が可能になります。最後に、制御補償器アクセラレータ (CLA) を使用すると、独立した処理能力のコアごとに 200MIPS を追加できます。これは、Cortex®-M7 ベースのデバイスの 280MHz の処理能力に相当します (CLA CPU は Cortex®-M7 よりも 40% 高い性能を実現)。

セカンダリ C28x CPU には、永続的および過渡的な障害を検出するために、ePIE および DMA とともにロックステップ デュアル CPU コンパレータ オプションが追加されています。既存のファームウェアから新しいファームウェアへのコンテキスト切り換えを高速化するため、ライブ ファームウェア アップデート (LFU) のためのハードウェア拡張が F28P65x に追加されました。

高性能アナログ ブロックは、処理および制御ユニットと緊密に統合されており、最適なリアルタイム シグナル チェーン性能を実現します。A/D コンバータ (ADC) は 最大 40 個のアナログ チャネルをサポートし、そのうち 22 個は汎用入出力 (GPIO) 機能を備えています。ハードウェアの改善により、オーバーサンプリングの実装は大幅に簡略化されました。セーフティ クリティカルな ADC 変換に対応するため、複数の ADC モジュールから取得した ADC 変換結果を比較できるハードウェア冗長性チェックが追加されており、CPU サイクルを追加することなく一貫性を保つことができます。周波数に依存しない 36 個の PWM はすべて高分解能機能を備えており、3 相インバータから高度なマルチレベル電源トポロジまで、複数の電力段を制御できます。これらの PWM は、最小デッドバンド ロジック (MINDL) 機能と不正な組み合わせロジック (ICL) 機能で強化されています。

構成可能ロジック ブロック (CLB) を内蔵しているため、ユーザーはカスタム ロジックを追加し、FPGA に類似した機能を C2000 リアルタイム マイコンに統合できます。

このデバイスでは、EtherCAT SubDevice コントローラ、および CAN FD や USB 2.0 などの他の業界標準プロトコルを使用できます。高速シリアル インターフェイス (FSI) を使用すると、絶縁境界越しに最高 200Mbps の堅牢な通信が可能です。

高度接続型デバイスである F28P65x は、さまざまなセキュリティ イネーブラも提供し、設計者がサイバーセキュリティ戦略を実装するのに役立つほか、ハードウェア暗号化、セキュア JTAG、セキュア ブートなどのサポート機能も搭載しています。

安全性の観点から、F28P65x は多数の安全イネーブラをサポートしています。詳細については、『[C2000™ リアルタイム マイコンの産業用機能安全](#)』および『[C2000™ リアルタイム マイコンの車載向け機能安全](#)』を参照してください。

C2000 MCU をお客様のリアルタイム制御システムに適した選択肢にしている機能について詳しく知るには、『[C2000™ リアルタイム マイクロコントローラを使った開発のための基本ガイド](#)』をご覧くださいとともに、[C2000™ リアルタイム マイコン](#)のページにアクセスしてください。

『[C2000™ リアルタイム制御マイコン \(MCU\) を使用した設計の開始](#)』入門ガイドは、C2000 デバイスを使用する開発について、ハードウェアからサポート リソースまで、あらゆる側面をカバーしています。主要な参考資料に加えて、各セクションには関連するリンクとリソースが掲載されており、さらに詳細な情報を知ることができます。

設計を開始する際は、以下の資料をご確認ください。[TMDSCNCD28P65X](#) 評価ボードをご覧ください。C2000Ware をダウンロードしてください。

製品情報

部品番号 ⁽¹⁾	パッケージ ⁽²⁾	パッケージ サイズ ⁽³⁾	プロセッサ	EtherCAT®	ロックステップ	フラッシュ サイズ
TMS320F28P650DK9	ZEJ (nFBGA, 256)	13mm × 13 mm	CPU1+CLA, CPU2	あり	あり	1.28MB
	NMR (nFBGA, 169)	9mm × 9 mm				
	PTP (HLQFP, 176)	26mm × 26 mm				
TMS320F28P650DK8	ZEJ (nFBGA, 256)	13mm × 13 mm	CPU1+CLA, CPU2	-	あり	
	NMR (nFBGA, 169)	9mm × 9 mm				
	PTP (HLQFP, 176)	26mm × 26 mm				
TMS320F28P650DK7	ZEJ (nFBGA, 256)	13mm × 13 mm	CPU1+CLA, CPU2	あり	-	
	NMR (nFBGA, 169)	9mm × 9 mm				
	PTP (HLQFP, 176)	26mm × 26 mm				
TMS320F28P650SK7	ZEJ (nFBGA, 256)	13mm × 13 mm	CPU1+CLA	あり	-	
	NMR (nFBGA, 169)	9mm × 9 mm				
	PTP (HLQFP, 176)	26mm × 26 mm				
TMS320F28P659DK8-Q1	ZEJ (nFBGA, 256)	13mm × 13 mm	CPU1+CLA, CPU2	-	あり	
	PTP (HLQFP, 176)	26mm × 26 mm				
	PZP (HTQFP, 100)	16mm × 16 mm				
TMS320F28P650DK6	ZEJ (nFBGA, 256)	13mm × 13 mm	CPU1+CLA, CPU2	-	-	
	NMR (nFBGA, 169)	9mm × 9 mm				
	PTP (HLQFP, 176)	26mm × 26 mm				
	PZP (HTQFP, 100)	16mm × 16 mm				
TMS320F28P650SK6	ZEJ (nFBGA, 256)	13mm × 13 mm	CPU1+CLA	-	-	
	NMR (nFBGA, 169)	9mm × 9 mm				
	PTP (HLQFP, 176)	26mm × 26 mm				
	PZP (HTQFP, 100)	16mm × 16 mm				
TMS320F28P659DH8-Q1	PZP (HTQFP, 100)	16mm × 16 mm	CPU1+CLA, CPU2	-	あり	768KB
TMS320F28P659SH6-Q1	PTP (HLQFP, 176)	26mm × 26 mm	CPU1+CLA	-	-	
	PZP (HTQFP, 100)	16mm × 16 mm				
TMS320F28P650DH6	PZP (HTQFP, 100)	16mm × 16 mm	CPU1+CLA, CPU2	-	-	
TMS320F28P650SH7	NMR (nFBGA, 169)	9mm × 9 mm	CPU1+CLA	あり	-	
	PTP (HLQFP, 176)	26mm × 26 mm				
TMS320F28P650SH6	NMR (nFBGA, 169)	9mm × 9 mm	CPU1+CLA	-	-	
	PTP (HLQFP, 176)	26mm × 26 mm				
	PZP (HTQFP, 100)	16mm × 16 mm				

(1) これらのデバイスの詳細については、「デバイスの比較」の表を参照してください。

(2) 詳細については、未定、「メカニカル、パッケージ、および注文情報」を参照してください。

- (3) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。

3.1 機能ブロック図

「機能ブロック図」に、CPU システムおよび関連ペリフェラルを示します。

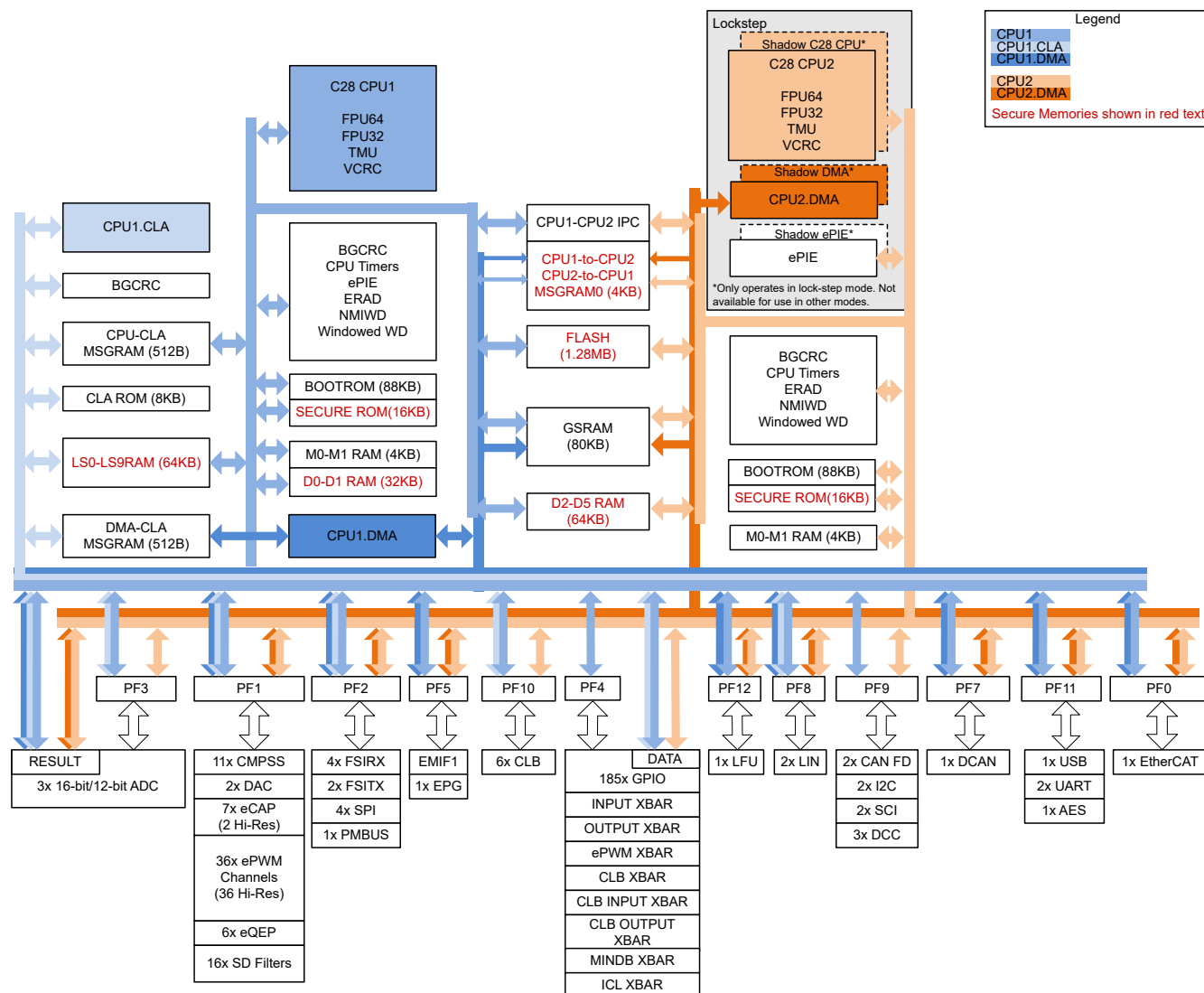


図 3-1. 機能ブロック図

目次

1 特長	1	6.15 C28x 通信ペリフェラル.....	240
2 アプリケーション	2	7 詳細説明	280
3 概要	3	7.1 概要.....	280
3.1 機能ブロック図.....	6	7.2 機能ブロック図.....	281
4 デバイスの比較	8	7.3 メモリ.....	283
4.1 関連製品.....	11	7.4 識別.....	301
5 ピン構成および機能	12	7.5 バス アーキテクチャ – ペリフェラル コネクティビティ.....	302
5.1 ピン配置図.....	12	7.6 ブート ROM.....	303
5.2 ピン属性.....	25	7.7 セキュリティ.....	309
5.3 信号の説明.....	68	7.8 AES (Advanced Encryption Standard) アクセラレ ータ.....	310
5.4 内部プルアップおよびプルダウン付きのピン.....	90	7.9 C28x (CPU1/CPU2) サブシステム.....	311
5.5 ピン多重化.....	90	8 アプリケーション、実装、およびレイアウト	328
5.6 未使用ピンの接続.....	102	8.1 アプリケーションと実装.....	328
6 仕様	103	8.2 デバイスの主な特長.....	328
6.1 絶対最大定格.....	103	8.3 アプリケーション情報.....	332
6.2 ESD 定格 - 民生用.....	103	9 デバイスおよびドキュメントのサポート	345
6.3 ESD 定格 - 車載用.....	105	9.1 入門と次のステップ.....	345
6.4 推奨動作条件.....	105	9.2 デバイスの命名規則.....	345
6.5 消費電力の概略.....	106	9.3 マーキング.....	346
6.6 電気的特性.....	116	9.4 ツールとソフトウェア.....	349
6.7 ZEJ パッケージの熱抵抗特性.....	117	9.5 ドキュメントのサポート.....	350
6.8 PTP パッケージの熱抵抗特性.....	117	9.6 サポート・リソース.....	352
6.9 NMR パッケージの熱抵抗特性.....	117	9.7 商標.....	354
6.10 PZP パッケージの熱抵抗特性.....	118	9.8 静電気放電に関する注意事項.....	354
6.11 熱設計の検討事項.....	118	9.9 用語集.....	354
6.12 システム.....	119	10 改訂履歴	355
6.13 C28x アナログ ペリフェラル.....	174	11 メカニカル、パッケージ、および注文情報	358
6.14 C28x コントロール ペリフェラル.....	221		

4 デバイスの比較

「デバイス比較」の表に、各 F28P65x デバイスの機能を示します。

表 4-1. デバイスの比較

機能 (1) (5)			F28P650DK	F28P650DH	F28P650SK	F28P650SH	F28P659DK-Q1	F28P659DH-Q1	F28P659SH-Q1
C28x サブシステム									
C28x	個数		2		1		2		1
	周波数 (MHz)		200						
	32 ビットおよび 64 ビット浮動小数点ユニット (FPU)		あり						
	VCRC		あり						
	TMU - タイプ 1		あり						
	C28x ロックステップ (LCM)		F28P650DK8、 F28P650DK9	なし			F28P659DK8-Q1	F28P659DH8-Q1	なし
CLA - タイプ 2	個数		1 (CPU1 でのみ使用可能)						
	周波数 (MHz)		200						
MIPS			600 (CPU1+CLA、CPU2)		400 (CPU1+CLA)		600 (CPU1+CLA、CPU2)		400 (CPU1+CLA)
C28x フラッシュ			1.28MB	768KB	1.28MB	768KB	1.28MB	768KB	768KB
C28x RAM	専用 RAM		104KB		100KB		104KB		100KB
	ローカル共有 RAM		64K		64KB		64KB		64KB
	グローバル共有 RAM		80KB (CPU 間で共有)		80KB		80KB (CPU 間で共有)		80KB
	RAM 合計		248KB		244KB		248KB		244KB
バックグラウンド サイクリック冗長性チェック (BGCR) モジュール - タイプ 2			3 (CPU および CLA ごとに 1 個)		2 (CPU および CLA ごとに 1 個)		3 (CPU および CLA ごとに 1 個)		2 (CPU および CLA ごとに 1 個)
組み込みパターン ジェネレータ (EPG) - タイプ 0			あり						
構成可能ロジックブロック (CLB)			6 タイル						
32 ビット CPU タイマ			6 (CPU ごとに 3 個)		3		6 (CPU ごとに 3 個)		3
6 チャネル DMA - タイプ 0			2 (CPU ごとに 1 個)		1		2 (CPU ごとに 1 個)		1
セキュリティ: JTAGLOCK、ゼロピン ブート、デュアルゾーン セキュリティ			あり						
AES (Advanced Encryption Standard) アクセラレータ			1						
組み込みリアルタイム解析および診断 (ERAD) - タイプ 2			あり						
EMIF	EMIF1 (16 または 32 ビット)	256 ボール ZEJ	1			該当なし	1	N/A(5)	該当なし
		169 ボール NMR				1	該当なし		
		176 ピン PTP					1		
		100 ピン PZP	なし						
外部割り込み			5						

表 4-1. デバイスの比較 (続き)

機能 (1) (5)			F28P650DK	F28P650DH	F28P650SK	F28P650SH	F28P659DK-Q1	F28P659DH-Q1	F28P659SH-Q1
GPIO	GPIO	256 ボール ZEJ	163			該当なし	163	該当なし	該当なし
		169 ボール NMR	98			該当なし			
		176 ピン PTP	106						
		100 ピン PZP	49						
	AGPIO (GPIO および ADC 入力と共有)	256 ボール ZEJ	22			該当なし	22	該当なし	該当なし
		169 ボール NMR	21			該当なし			
		176 ピン PTP	22						
		100 ピン PZP	11						
	JTAG および発振器の GPIO		4 (TDI、TDO、X1、X2)						
	GPIO 合計 (JTAG および X1.X2 を除く)	256 ボール ZEJ	185			該当なし	185	該当なし	該当なし
		169 ボール NMR	119			該当なし			
		176 ピン PTP	128						
		100 ピン PZP	60						
	AIO (入力のみ)	256 ボール ZEJ	18			該当なし	18	該当なし	該当なし
		169 ボール NMR	13			該当なし			
		176 ピン PTP	14						
		100 ピン PZP	13						
	GPIO と AIO の合計	256 ボール ZEJ	203			該当なし	203	該当なし	該当なし
		169 ボール NMR	132			該当なし			
		176 ピン PTP	142						
		100 ピン PZP	73						
メッセージ RAM	CPU1、CPU2		4KB (CPU 間で各方向に 2KB)		-		4KB (CPU 間で各方向に 2KB)		-
	C28x CPU および CLA		512 バイト (方向ごとに 256 バイト)		512 バイト (方向ごとに 256 バイト)		512 バイト (方向ごとに 256 バイト)		512 バイト (方向ごとに 256 バイト)
	DMA と CLA		512 バイト (方向ごとに 256 バイト)		512 バイト (方向ごとに 256 バイト)		512 バイト (方向ごとに 256 バイト)		512 バイト (方向ごとに 256 バイト)
ノンマスカブル割り込みウォッチドッグ (NMIWD) タイマ			2 (CPU ごとに 1 個)		1		2 (CPU ごとに 1 個)		1
ウォッチドッグ (WD) タイマ			2 (CPU ごとに 1 個)		1		2 (CPU ごとに 1 個)		1
C28x アナログ ペリフェラル									
A/D コンバータ (ADC) (12 ビットまたは 16 ビットとして構成可能) - タイプ 4			3						
ADC 16 ビット モード	MSPS		1.19						
	変換時間 (ns) ⁽²⁾		840						
ADC 12 ビット モード	MSPS		3.92						
	変換時間 (ns) ⁽²⁾		255						
DC 入力チャネル (シングルエンド モード)	256 ボール ZEJ	40			該当なし	40	該当なし	該当なし	
	169 ボール NMR	34			該当なし				
	176 ピン PTP	36							
	100 ピン PZP	24							
ADC 入力チャネル (差動モード)	256 ボール ZEJ	19			該当なし	19	該当なし	該当なし	
	169 ボール NMR	17			該当なし				
	176 ピン PTP	18							
	100 ピン PZP	11							

表 4-1. デバイスの比較 (続き)

機能 ^{(1) (5)}		F28P650DK	F28P650DH	F28P650SK	F28P650SH	F28P659DK-Q1	F28P659DH-Q1	F28P659SH-Q1
温度センサ		1						
コンパレータ サブシステム (CMPSS) (各 CMPSS に 2 つのコンパレータと 2 つの内部 DAC を含む) - タイプ 6		11						
バッファ付き D/A コンバータ (DAC) - タイプ 1		2						
C28x コントロール ペリフェラル								
eCAP / HRCAP – タイプ 3	合計入力数	7						
	高分解能チャネル	2 (eCAP6 および eCAP7)						
ePWM/HRPWM - タイプ 5	合計チャネル数	36						
	高分解能チャネル	36						
eQEP モジュール - タイプ 2		6						
SDFM チャネル – タイプ 2		16						
C28x 通信ペリフェラル								
高速シリアル インターフェイス (FSI) RX - タイプ 2		4						
高速シリアル インターフェイス (FSI) TX - タイプ 2		2						
I2C (Inter-Integrated Circuit) – タイプ 1		2						
パワー マネージメント バス (PMBus) – タイプ 0		1						
ローカル相互接続ネットワーク (LIN) - タイプ 0 (UART 互換)		2						
シリアル通信インターフェイス (SCI) (UART 互換) – タイプ 0		2						
シリアル ペリフェラル インターフェイス (SPI) - タイプ 2		4						
コントローラ エリア ネットワーク(CAN) 2.0B – タイプ 0 ⁽³⁾		1						
CAN FD (CAN with Flexible Data-Rate) – タイプ 2		2						
EtherCAT (Ethernet for Control Automation Technology)	256 ボール ZEJ	F28P650DK9、 F28P650DK7	なし	F28P650SK7、 F28P650SH7	なし			
	169 ボール NMR							
	176 ピン PTP							
	100 ピン PZP							
高速ユニバーサル非同期レシーバトランスミッタ (UART)		2						
ユニバーサル シリアル バス (USB) - タイプ 0		1						

表 4-1. デバイスの比較 (続き)

機能 (1) (5)		F28P650DK	F28P650DH	F28P650SK	F28P650SH	F28P659DK-Q1	F28P659DH-Q1	F28P659SH-Q1
温度、パッケージ、認定								
パッケージ オプション(4)	256 ボール ZEJ	F28P650DH6、F28P650DK9、F28P650DK8、F28P650DK7、 F28P650DK6、F28P650SH6 F28P650SH7、F28P650SK7、 F28P650SK6				F28P659DK8-Q1	該当なし	
	169 ボール NMR					該当なし		
	176 ピン PTP					F28P659DK8-Q1	該当なし	F28P659SH6-Q1
	100 ピン PZP					F28P659DK8-Q1、F28P659DH8-Q1、 F28P659SH6-Q1		
接合部温度 (T _J)		-40°C ~ 150°C						
自由気流での周囲温度 (T _A)		-40°C ~ 125°C						

- (1) タイプの違いは、ペリフェラル モジュールの機能上の主要な相違を表します。同じペリフェラル タイプのデバイス間でも、モジュールの基本的な機能には影響しないわずかな違いがあることがあります。詳細については、『[C2000 リアルタイム制御ペリフェラル MCU リファレンス ガイド](#)』を参照してください。
- (2) サンプル アンド ホールド ウィンドウの開始から、次の変換のサンプル アンド ホールド ウィンドウの開始までの時間。
- (3) CAN モジュールは、DCAN と呼ばれる IP を使用します。このドキュメントでは、このペリフェラルに言及するとき、CAN および DCAN という呼称を同じように使っています。
- (4) -Q1 という接尾辞は、車載アプリケーション向けの AEC Q100 認定を表します。
- (5) 機能に「N/A」が入力されているのは、対応するパッケージ タイプが提供されていないことを示します。

4.1 関連製品

TMS320F2837xD リアルタイム デュアルコア マイクロコントローラ

F2837xD シリーズは、デュアル サブシステムの性能に関する新しい標準を確立します。各サブシステムは、C28x CPU および並列制御補償器アクセラレータ (CLA) で構成され、それぞれが 200MHz で動作します。性能を強化するものとして、TMU および VCU アクセラレータがあります。新しい機能としては、複数の 16 ビット / 12 ビット モード ADC、DAC、デルタ シグマ フィルタ、USB、コンフィギュラブル ロジック ブロック (CLB)、オンチップ発振器、すべてのペリフェラルの拡張バージョンがあります。F2837xD は、最大 1MB のフラッシュを搭載しています。176 ピン QFP または 337 ピン BGA パッケージで供給されます。

TMS320F2837xS リアルタイム マイクロコントローラ

F2837xS シリーズは、F2837xD のピン互換バージョンですが、C28x-CPU-CLA サブシステムが 1 つのみ有効です。また、TMS320F2807x シリーズとの互換性を確保するために、100 ピン QFP も用意されています。

TMS320F2838x リアルタイム マイコン

F2838x シリーズは、より高い性能、より多くのピン数、フラッシュ メモリ サイズ、ペリフェラル、および幅広い接続オプションを提供します。F2838x シリーズには、最新世代のアクセラレータ、ePWM ペリフェラル、アナログ テクノロジーが搭載されています。

5 ピン構成および機能

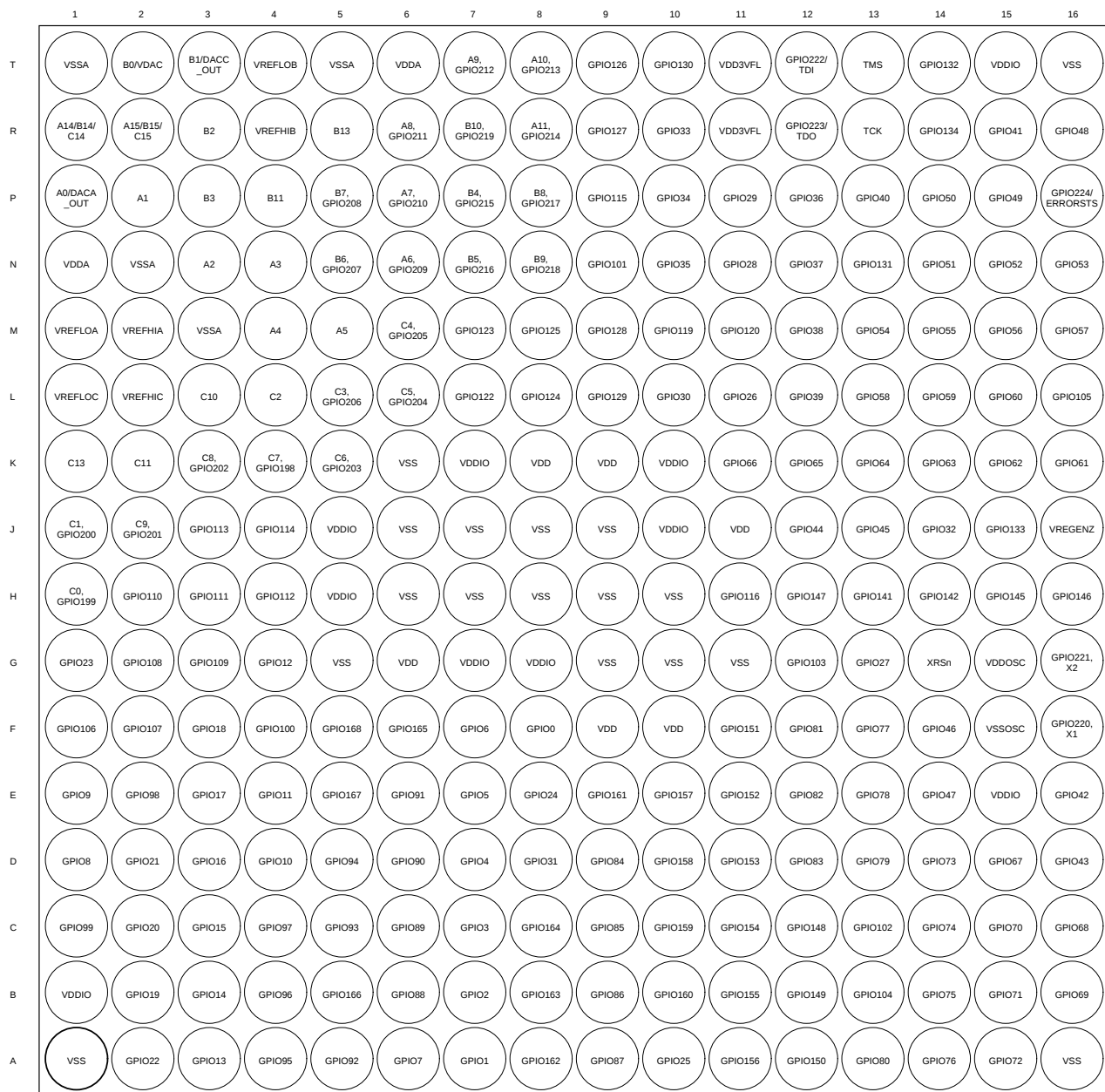
5.1 ピン配置図

図 5-1 に、256 ボール ZEJ 新ファインピッチ ボール グリッド アレイ (nFBGA) のボールの割り当てを示します。図 5-2～図 5-5 に、256 ボール ZEJ nFBGA のボールの割り当てを象限で示します。

図 5-6 に、176 ピン PTP PowerPAD 熱的に強化された薄型クワッド フラットパックのピン配置を示します。

図 5-7 に、169 ボール NMR nFBGA のボールの割り当てを示します。図 5-8～図 5-11 に、167 ボール NMR nFBGA のボールの割り当てを象限で示します。

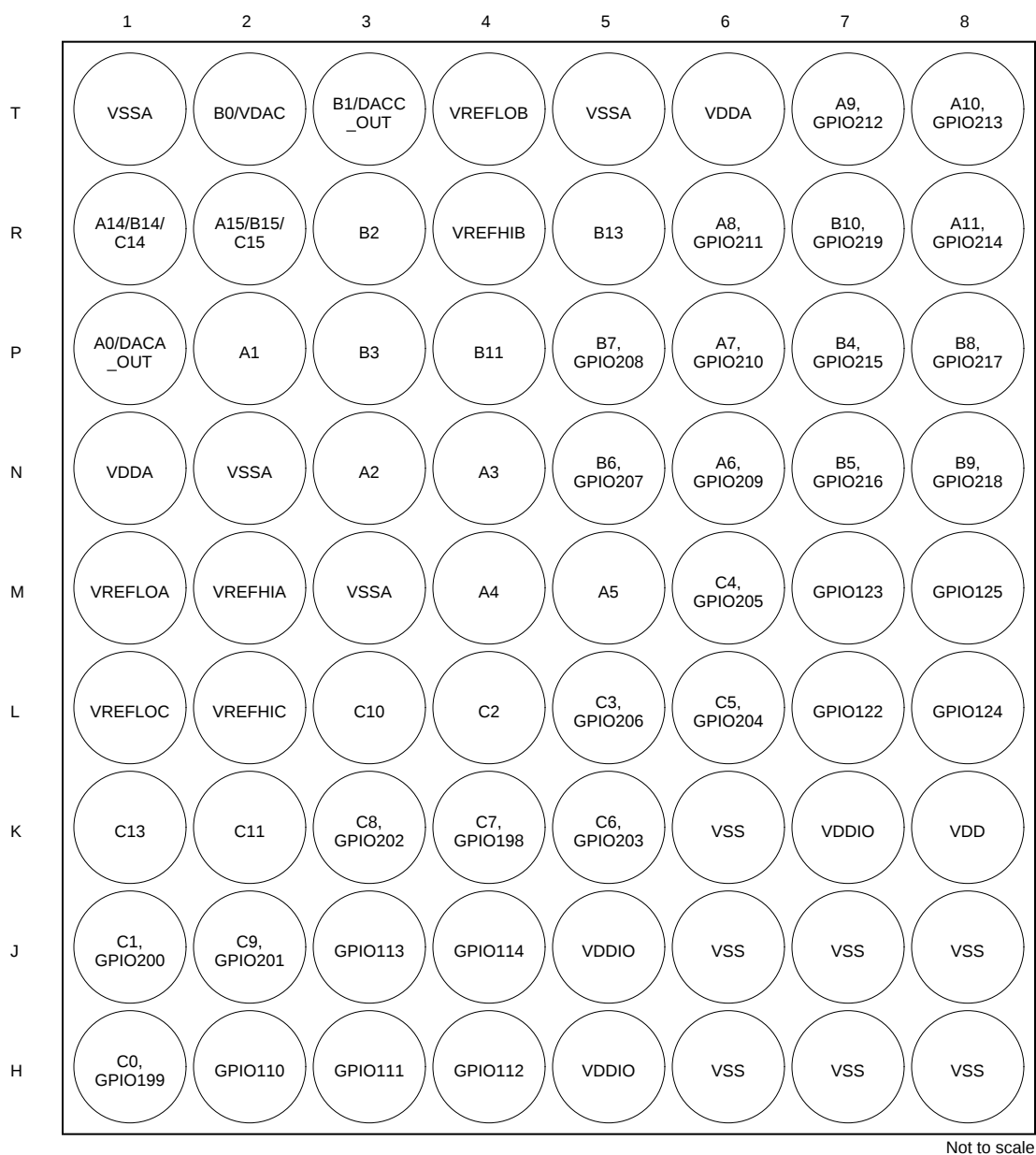
図 5-12 に、100 ピン PZP PowerPAD 熱的に強化された薄型クワッド フラットパックのピン配置を示します。



Not to scale

A. GPIO 端子には GPIO 機能のみを表示しています。多重化された信号名全体については、[セクション 5.2](#) を参照してください。

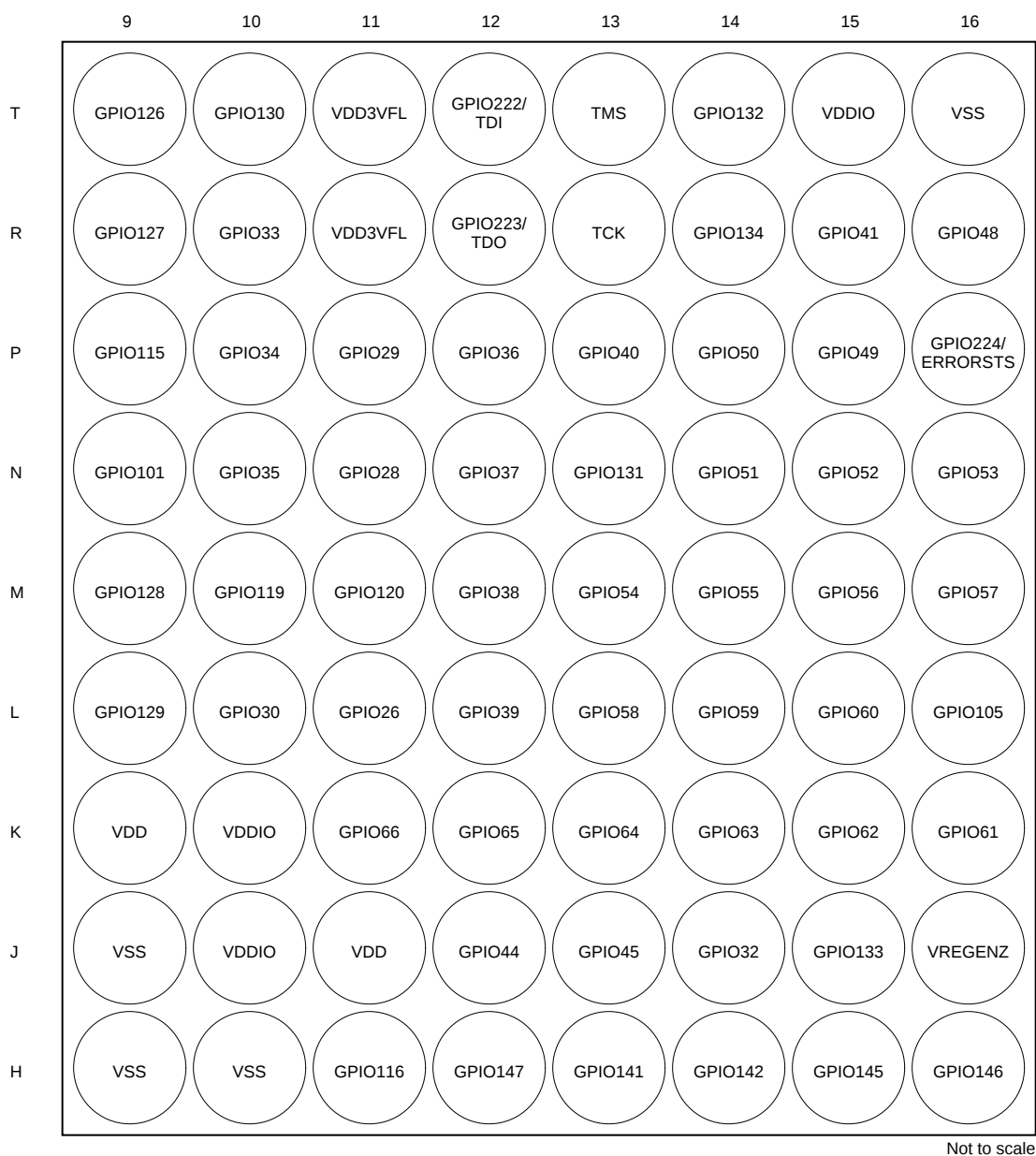
図 5-1. 256 ボール ZEJ 新ファイン ピッチ ボール グリッド アレイ (底面図)



1	2
3	4

A. GPIO 端子には GPIO 機能のみを表示しています。多重化された信号名全体については、[セクション 5.2](#) を参照してください。

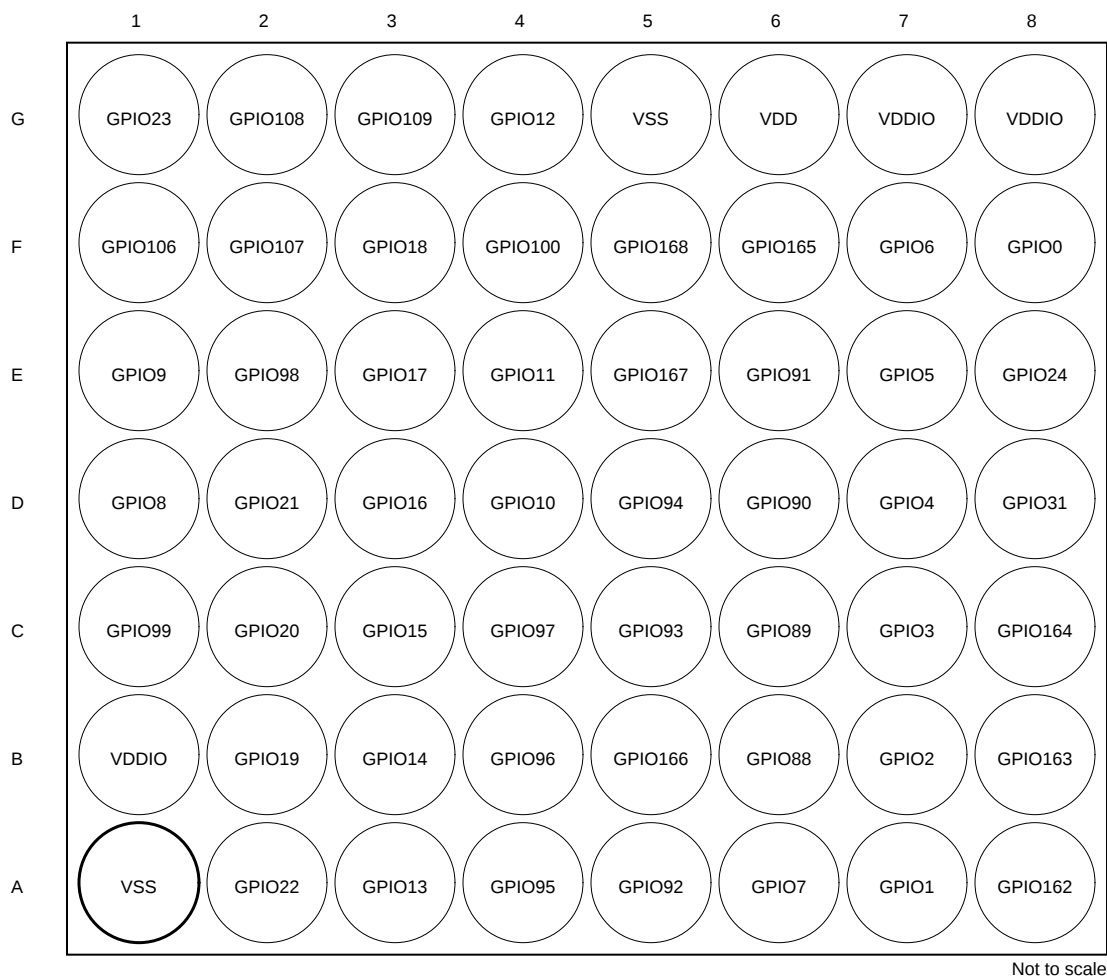
図 5-2. 256 ボール ZEP 新ファイン ピッチ ボール グリッド アレイ (底面図) - [象限 1]



1	2
3	4

A. GPIO 端子には GPIO 機能のみを表示しています。多重化された信号名全体については、[セクション 5.2](#) を参照してください。

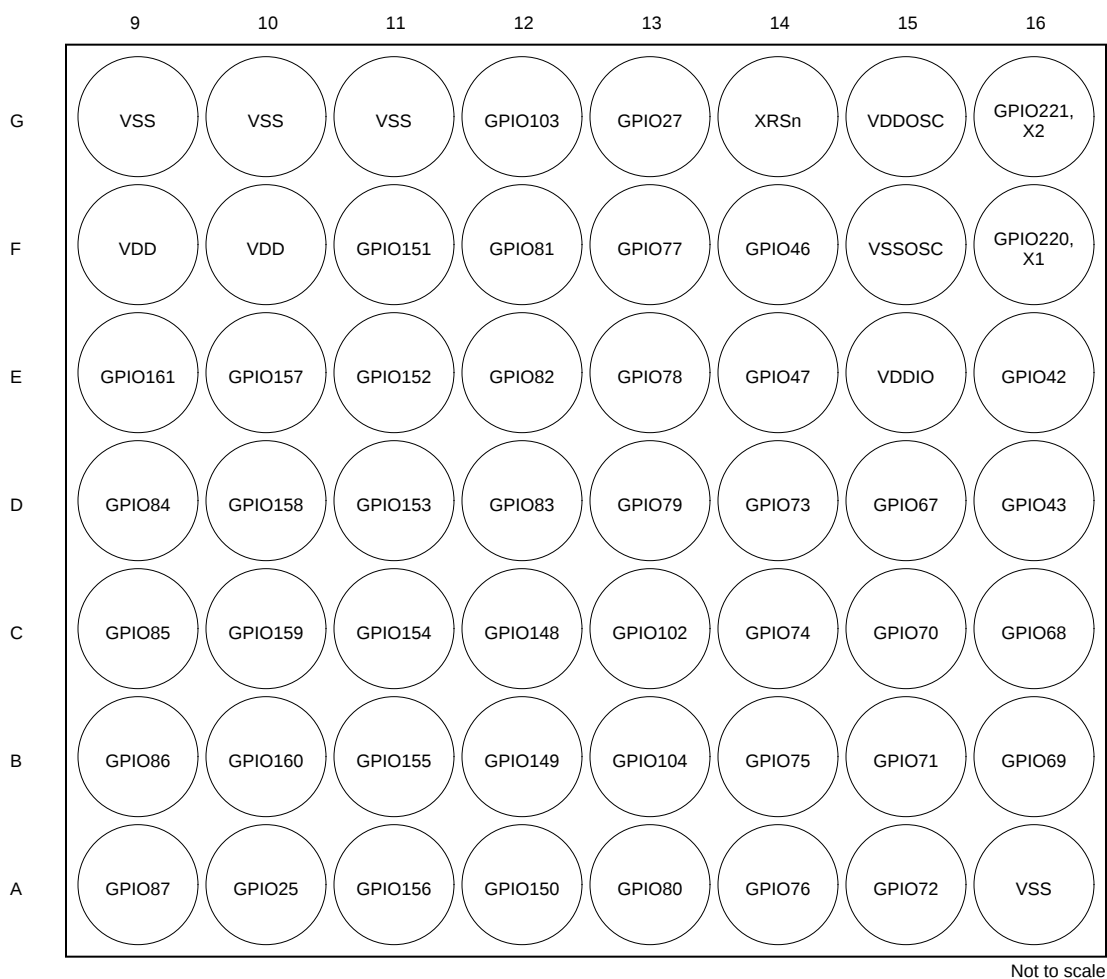
図 5-3. 256 ボール ZEJ 新ファイン ピッチ ボール グリッド アレイ (底面図) - [象限 2]



1	2
3	4

A. GPIO 端子には GPIO 機能のみを表示しています。多重化された信号名全体については、[セクション 5.2](#) を参照してください。

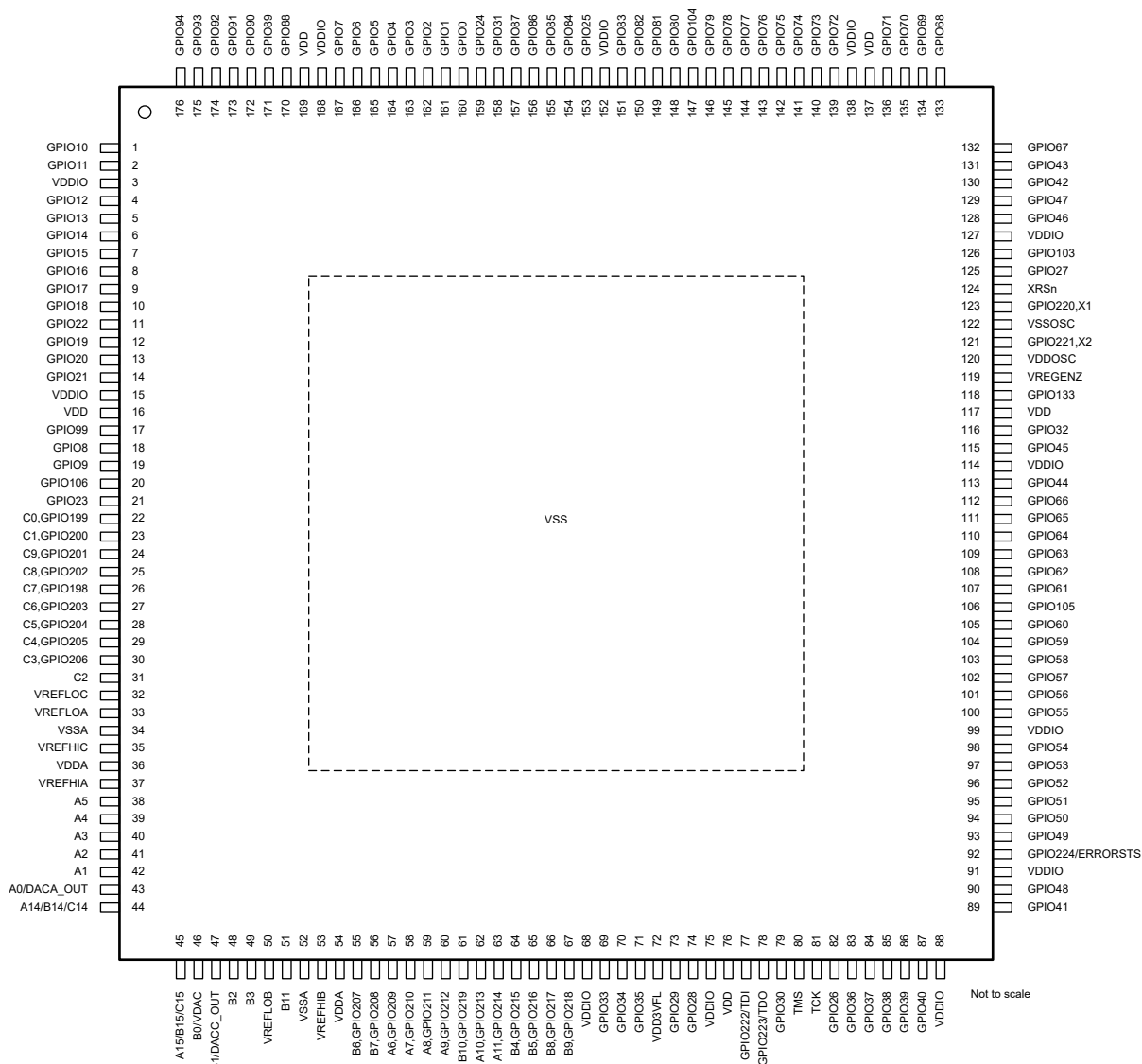
図 5-4. 256 ボール ZEJ 新ファイン ピッチ ボール グリッド アレイ (底面図) - [象限 3]



1	2
3	4

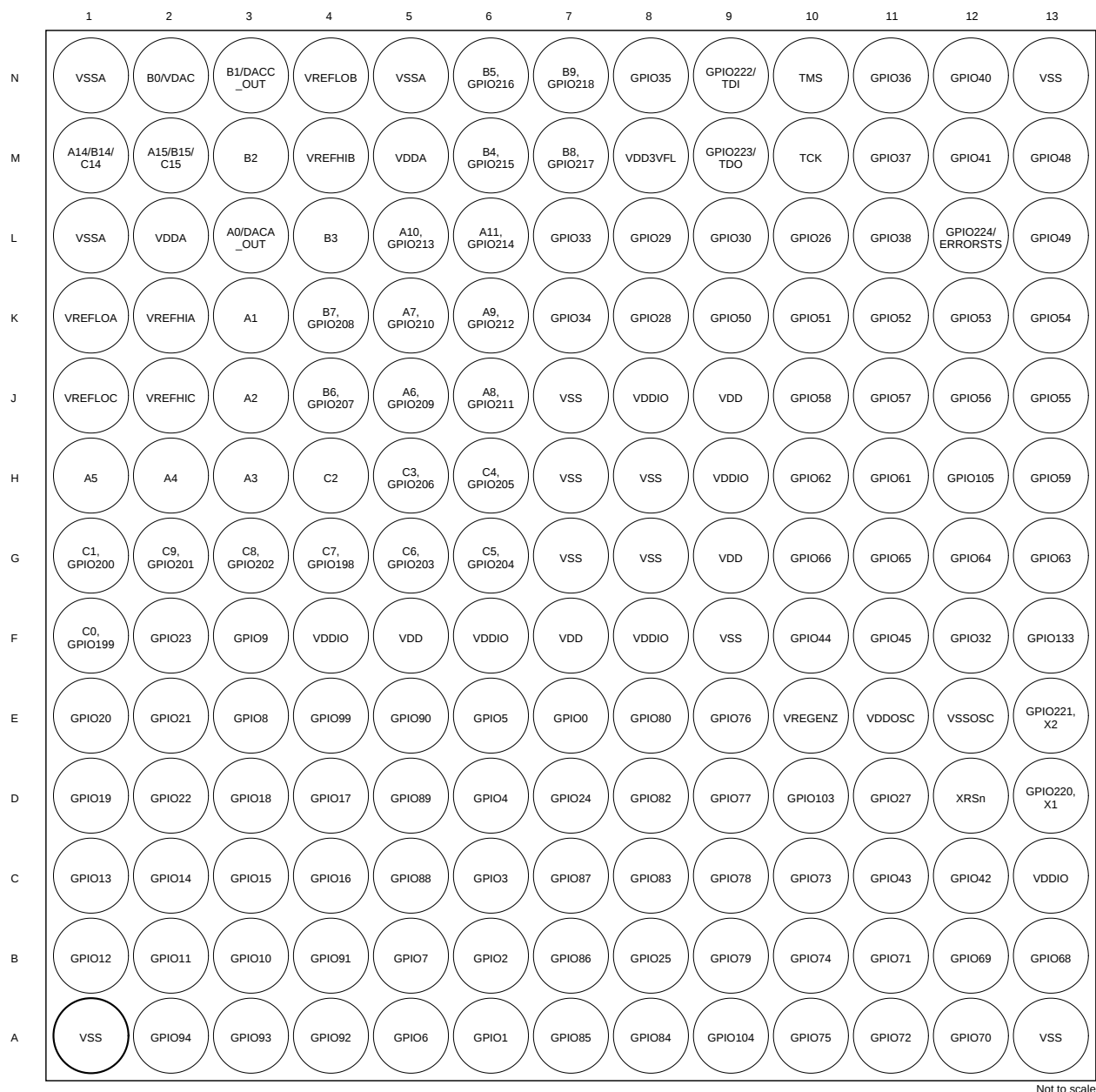
A. GPIO 端子には GPIO 機能のみを表示しています。多重化された信号名全体については、[セクション 5.2](#) を参照してください。

図 5-5. 256 ボール ZEP 新ファイン ピッチ ボール グリッド アレイ (底面図) - [象限 4]



A. GPIO 端子には GPIO 機能のみを表示しています。多重化された信号名全体については、[セクション 5.2](#) を参照してください。

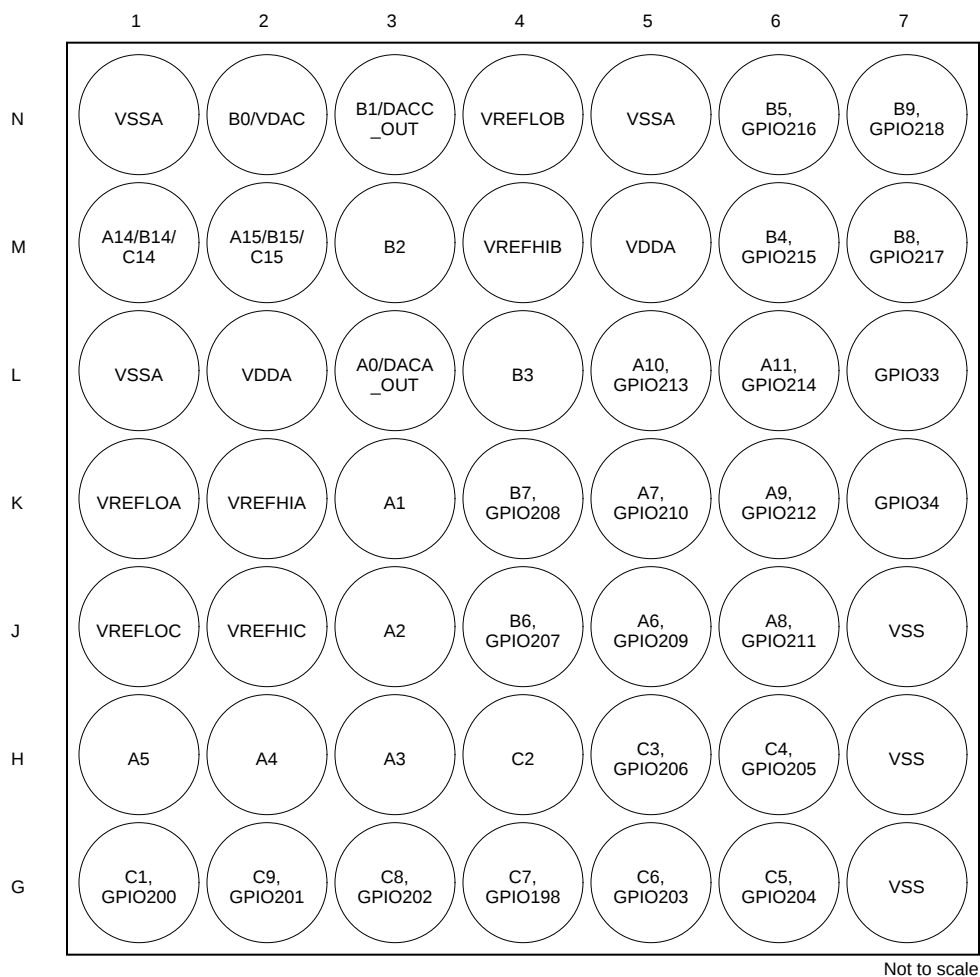
図 5-6. 176 ピン PTP PowerPAD 熱的に強化された薄型クワッド フラットパック (上面図)



Not to scale

A. GPIO 端子には GPIO 機能のみを表示しています。多重化された信号名全体については、[セクション 5.2](#) を参照してください。

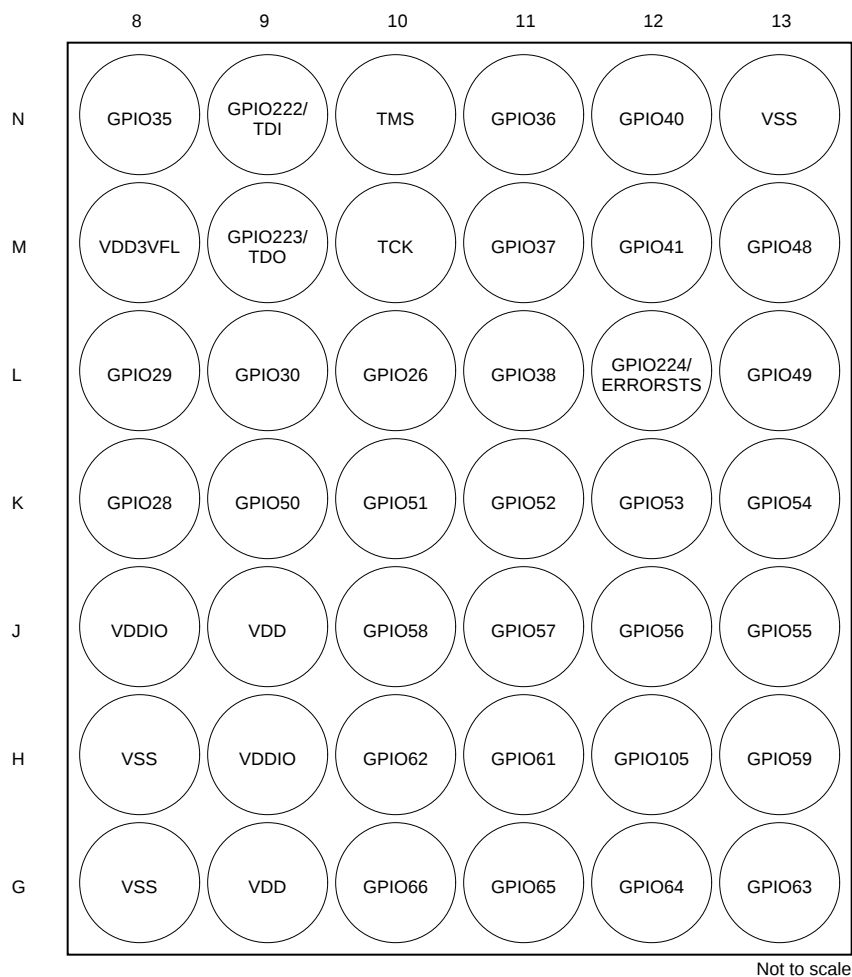
図 5-7. 169 ボール NMR 新ファイン ピッチ ボール グリッド アレイ (底面図)



1	2
3	4

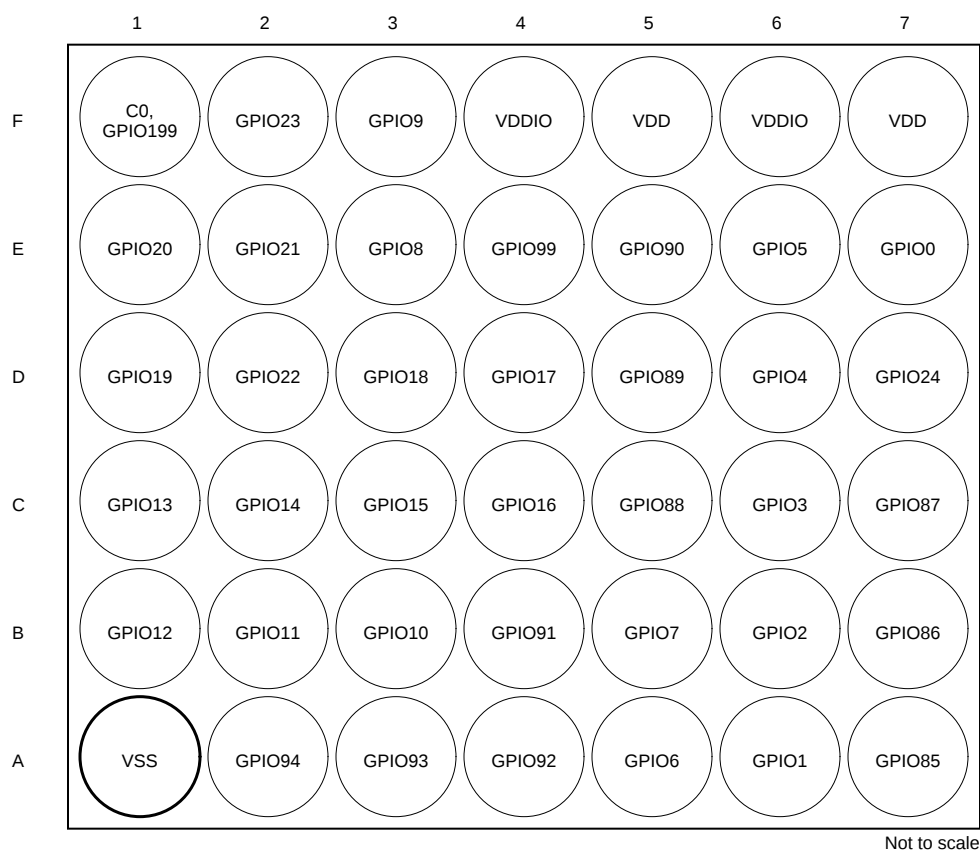
A. GPIO 端子には GPIO 機能のみを表示しています。多重化された信号名全体については、[セクション 5.2](#) を参照してください。

図 5-8. 169 ボール NMR 新ファイン ピッチ ボール グリッド アレイ (底面図) - [象限 1]



A. GPIO 端子には GPIO 機能のみを表示しています。多重化された信号名全体については、[セクション 5.2](#) を参照してください。

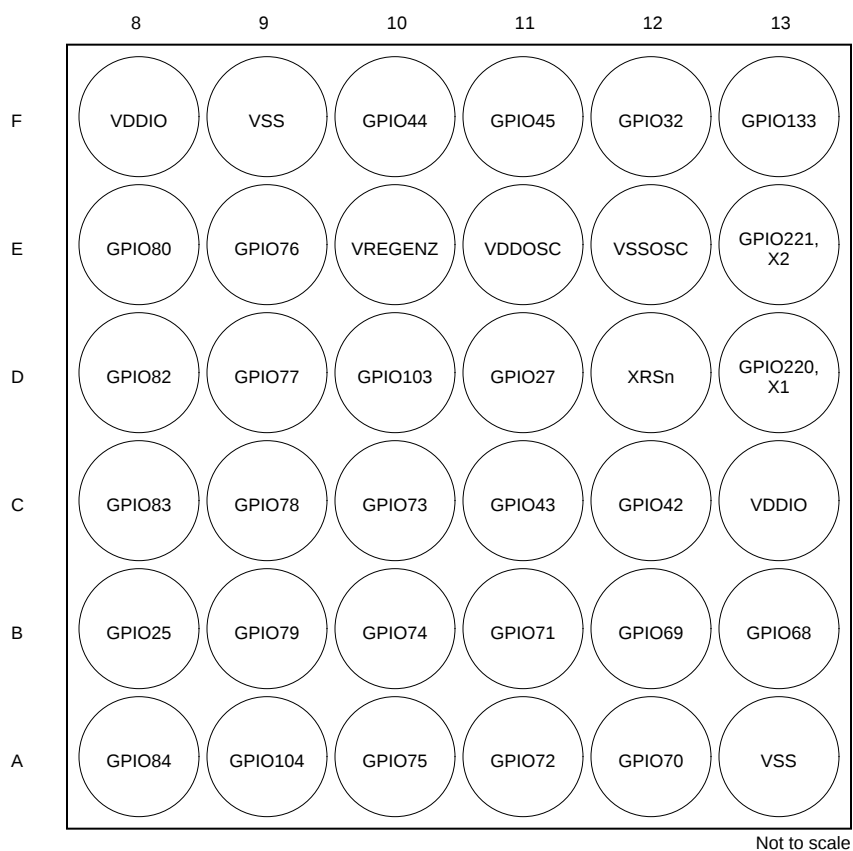
図 5-9. 169 ボール NMR 新ファイン ピッチ ボール グリッド アレイ (底面図) - [象限 2]



1	2
3	4

- A. GPIO 端子には GPIO 機能のみを表示しています。多重化された信号名全体については、[セクション 5.2](#) を参照してください。

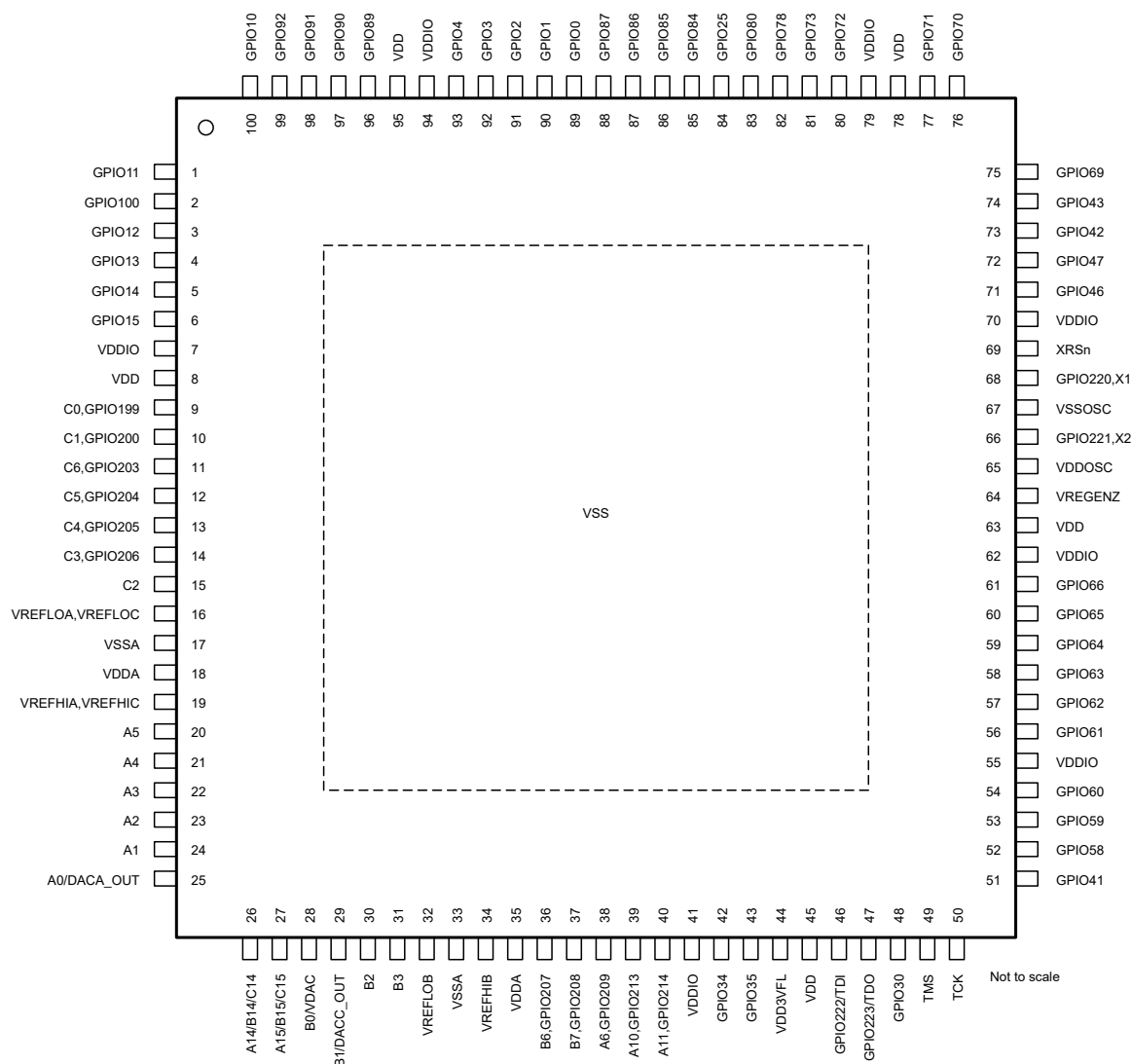
図 5-10. 169 ボール NMR 新ファイン ピッチ ボール グリッド アレイ (底面図) - [象限 3]



1	2
3	4

- A. GPIO 端子には GPIO 機能のみを表示しています。多重化された信号名全体については、[セクション 5.2](#) を参照してください。

図 5-11. 169 ボール NMR 新ファイン ピッチ ボール グリッド アレイ (底面図) - [象限 4]



- A. GPIO 端子には GPIO 機能のみを表示しています。多重化された信号名全体については、[セクション 5.2](#) を参照してください。

図 5-12. 100 ピン PZP PowerPAD™ 熱的に強化された薄型クワッドフラットバック (上面図)

5.2 ピン属性

表 5-1. ピン属性

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
アナログ							
A0 A12 B12 C12 CMP1_HP1 CMP1_LP1 CMP9_HN0 CMP9_LN0 DACA_OUT AIO227	0, 4, 8, 12	P1	43	L3	25	I I I I I I I I O I	ADC-A 入力 0 ADC-A 入力 12 ADC-B 入力 12 ADC-C 入力 12 CMPSS-1 ハイ コンパレータ正入力 1 CMPSS-1 ロー コンパレータ正入力 1 CMPSS-9 ハイ コンパレータ負入力 0 CMPSS-9 ロー コンパレータ負入力 0 バッファ付き DAC-A 出力。 デジタル入力 227 に使用されるアナログ ピン
A1 B19 CMP1_HN1 CMP1_HP2 CMP1_LN1 CMP1_LP2 AIO228	0, 4, 8, 12	P2	42	K3	24	I I I I I I I	ADC-A 入力 1 ADC-B 入力 19 CMPSS-1 ハイ コンパレータ負入力 1 CMPSS-1 ハイ コンパレータ正入力 2 CMPSS-1 ロー コンパレータ負入力 1 CMPSS-1 ロー コンパレータ正入力 2 デジタル入力 228 に使用されるアナログ ピン
A2 B20 CMP1_HP0 CMP1_LP0 CMP2_HN1 CMP2_LN1 AIO229	0, 4, 8, 12	N3	41	J3	23	I I I I I I I	ADC-A 入力 2 ADC-B 入力 20 CMPSS-1 ハイ コンパレータ正入力 0 CMPSS-1 ロー コンパレータ正入力 0 CMPSS-2 ハイ コンパレータ負入力 1 CMPSS-2 ロー コンパレータ負入力 1 デジタル入力 229 に使用されるアナログ ピン
A3 CMP1_HN0 CMP1_HP3 CMP1_LN0 AIO230	0, 4, 8, 12	N4	40	H3	22	I I I I	ADC-A 入力 3 CMPSS-1 ハイ コンパレータ負入力 0 CMPSS-1 ハイ コンパレータ正入力 3 CMPSS-1 ロー コンパレータ負入力 0 デジタル入力 230 に使用されるアナログ ピン
A4 CMP2_HP0 CMP2_LP0 AIO231	0, 4, 8, 12	M4	39	H2	21	I I I I	ADC-A 入力 4 CMPSS-2 ハイ コンパレータ正入力 0 CMPSS-2 ロー コンパレータ正入力 0 デジタル入力 231 に使用されるアナログ ピン
A5 CMP2_HN0 CMP2_HP3 CMP2_LN0 CMP9_LP2 AIO232	0, 4, 8, 12	M5	38	H1	20	I I I I I I	ADC-A 入力 5 CMPSS-2 ハイ コンパレータ負入力 0 CMPSS-2 ハイ コンパレータ正入力 3 CMPSS-2 ロー コンパレータ負入力 0 CMPSS-9 ロー コンパレータ正入力 2 デジタル入力 232 に使用されるアナログ ピン
A6 CMP7_HP0 CMP7_LP0 GPIO209		N6	57	J5	38	I I I I/O	ADC-A 入力 6 CMPSS-7 ハイ コンパレータ正入力 0 CMPSS-7 ロー コンパレータ正入力 0 汎用入出力 209。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
A7 CMP4_LP3 CMP7_HN0 CMP7_LN0 CMP9_HP2 GPIO210		P6	58	K5		I I I I I I/O	ADC-A 入力 7 CMPSS-4 ロー コンパレータ正入力 3 CMPSS-7 ハイ コンパレータ負入力 0 CMPSS-7 ロー コンパレータ負入力 0 CMPSS-9 ハイ コンパレータ正入力 2 汎用入出力 210。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A8 CMP8_HP0 CMP8_LP0 GPIO211		R6	59	J6		I I I I/O	ADC-A 入力 8 CMPSS-8 ハイ コンパレータ正入力 0 CMPSS-8 ロー コンパレータ正入力 0 汎用入出力 211。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A9 CMP5_LP3 CMP8_HN0 CMP8_LN0 GPIO212		T7	60	K6		I I I I I/O	ADC-A 入力 9 CMPSS-5 ロー コンパレータ正入力 3 CMPSS-8 ハイ コンパレータ負入力 0 CMPSS-8 ロー コンパレータ負入力 0 汎用入出力 212。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A10 CMP8_HN1 CMP8_HP1 CMP8_LN1 CMP8_LP1 GPIO213		T8	62	L5	39	I I I I I I/O	ADC-A 入力 10 CMPSS-8 ハイ コンパレータ負入力 1 CMPSS-8 ハイ コンパレータ正入力 1 CMPSS-8 ロー コンパレータ負入力 1 CMPSS-8 ロー コンパレータ正入力 1 汎用入出力 213。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A11 CMP8_HP2 CMP8_LP2 GPIO214		R8	63	L6	40	I I I I/O	ADC-A 入力 11 CMPSS-8 ハイ コンパレータ正入力 2 CMPSS-8 ロー コンパレータ正入力 2 汎用入出力 214。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A14 B14 C14 CMP4_HP0 CMP4_LP0 AIO225	0、4、8、12	R1	44	M1	26	I I I I I I	ADC-A 入力 14 ADC-B 入力 14 ADC-C 入力 14 CMPSS-4 ハイ コンパレータ正入力 0 CMPSS-4 ロー コンパレータ正入力 0 デジタル入力 225 に使用されるアナログ ピン
A15 B15 C15 CMP4_HN0 CMP4_HP3 CMP4_LN0 AIO226	0、4、8、12	R2	45	M2	27	I I I I I I I	ADC-A 入力 15 ADC-B 入力 15 ADC-C 入力 15 CMPSS-4 ハイ コンパレータ負入力 0 CMPSS-4 ハイ コンパレータ正入力 3 CMPSS-4 ロー コンパレータ負入力 0 デジタル入力 226 に使用されるアナログ ピン

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
B0 CMP3_HP1 CMP3_LP1 CMP11_HN0 CMP11_LN0 VDAC AIO233	0、4、8、12	T2	46	N2	28	I I I I I I I	ADC-B 入力 0 CMPSS-3 ハイ コンパレータ正入力 1 CMPSS-3 ロー コンパレータ正入力 1 CMPSS-11 ハイ コンパレータ負入力 0 CMPSS-11 ロー コンパレータ負入力 0 オンチップ DAC の外部リファレンス電圧 (オプション)。 デジタル入力 233 に使用されるアナログ ピン
B1 CMP3_HP2 CMP3_LP2 DACC_OUT AIO234	0、4、8、12	T3	47	N3	29	I I I O I	ADC-B 入力 1 CMPSS-3 ハイ コンパレータ正入力 2 CMPSS-3 ロー コンパレータ正入力 2 バッファ付き DAC-C 出力。 デジタル入力 234 に使用されるアナログ ピン
B2 CMP3_HP0 CMP3_LP0 AIO235	0、4、8、12	R3	48	M3	30	I I I I	ADC-B 入力 2 CMPSS-3 ハイ コンパレータ正入力 0 CMPSS-3 ロー コンパレータ正入力 0 デジタル入力 235 に使用されるアナログ ピン
B3 CMP1_LP3 CMP3_HN0 CMP3_LN0 AIO236	0、4、8、12	P3	49	L4	31	I I I I I	ADC-B 入力 3 CMPSS-1 ロー コンパレータ正入力 3 CMPSS-3 ハイ コンパレータ負入力 0 CMPSS-3 ロー コンパレータ負入力 0 デジタル入力 236 に使用されるアナログ ピン
B4 CMP5_HN1 CMP5_HP1 CMP5_LN1 CMP5_LP1 GPIO215		P7	64	M6		I I I I I I/O	ADC-B 入力 4 CMPSS-5 ハイ コンパレータ負入力 1 CMPSS-5 ハイ コンパレータ正入力 1 CMPSS-5 ロー コンパレータ負入力 1 CMPSS-5 ロー コンパレータ正入力 1 汎用入出力 215。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B5 CMP5_HP2 CMP5_LP2 GPIO216		N7	65	N6		I I I I/O	ADC-B 入力 5 CMPSS-5 ハイ コンパレータ正入力 2 CMPSS-5 ロー コンパレータ正入力 2 汎用入出力 216。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B6 CMP7_HN1 CMP7_HP1 CMP7_LN1 CMP7_LP1 GPIO207		N5	55	J4	36	I I I I I I/O	ADC-B 入力 6 CMPSS-7 ハイ コンパレータ負入力 1 CMPSS-7 ハイ コンパレータ正入力 1 CMPSS-7 ロー コンパレータ負入力 1 CMPSS-7 ロー コンパレータ正入力 1 汎用入出力 207。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B7 CMP3_HN1 CMP3_LN1 CMP7_HP2 CMP7_LP2 GPIO208		P5	56	K4	37	I I I I I I/O	ADC-B 入力 7 CMPSS-3 ハイ コンパレータ負入力 1 CMPSS-3 ロー コンパレータ負入力 1 CMPSS-7 ハイ コンパレータ正入力 2 CMPSS-7 ロー コンパレータ正入力 2 汎用入出力 208。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
B8 CMP2_HP1 CMP2_LP1 CMP10_HN0 CMP10_LN0 GPIO217		P8	66	M7		I I I I I I/O	ADC-B 入力 8 CMPSS-2 ハイ コンパレータ正入力 1 CMPSS-2 ロー コンパレータ正入力 1 CMPSS-10 ハイ コンパレータ負入力 0 CMPSS-10 ロー コンパレータ負入力 0 汎用入出力 217。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B9 CMP2_HP2 CMP2_LP2 CMP9_HN1 CMP9_LN1 GPIO218		N8	67	N7		I I I I I I/O	ADC-B 入力 9 CMPSS-2 ハイ コンパレータ正入力 2 CMPSS-2 ロー コンパレータ正入力 2 CMPSS-9 ハイ コンパレータ負入力 1 CMPSS-9 ロー コンパレータ負入力 1 汎用入出力 218。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B10 CMP4_HN1 CMP4_HP1 CMP4_LN1 CMP4_LP1 GPIO219		R7	61			I I I I I I/O	ADC-B 入力 10 CMPSS-4 ハイ コンパレータ負入力 1 CMPSS-4 ハイ コンパレータ正入力 1 CMPSS-4 ロー コンパレータ負入力 1 CMPSS-4 ロー コンパレータ正入力 1 汎用入出力 219。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
B11 CMP4_HP2 CMP4_LP2 AIO240	0, 4, 8, 12	P4	51			I I I I	ADC-B 入力 11 CMPSS-4 ハイ コンパレータ正入力 2 CMPSS-4 ロー コンパレータ正入力 2 デジタル入力 240 に使用されるアナログ ピン
B13 CMP9_HP0 CMP9_LP0 AIO238	0, 4, 8, 12	R5				I I I I	ADC-B 入力 13 CMPSS-9 ハイ コンパレータ正入力 0 CMPSS-9 ロー コンパレータ正入力 0 デジタル入力 238 に使用されるアナログ ピン
C0 CMP6_HN1 CMP6_HP1 CMP6_LN1 CMP6_LP1 GPIO199		H1	22	F1	9	I I I I I I/O	ADC-C 入力 0 CMPSS-6 ハイ コンパレータ負入力 1 CMPSS-6 ハイ コンパレータ正入力 1 CMPSS-6 ロー コンパレータ負入力 1 CMPSS-6 ロー コンパレータ正入力 1 汎用入出力 199。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C1 CMP6_HP2 CMP6_LP2 GPIO200		J1	23	G1	10	I I I I/O	ADC-C 入力 1 CMPSS-6 ハイ コンパレータ正入力 2 CMPSS-6 ロー コンパレータ正入力 2 汎用入出力 200。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C2 CMP6_HP0 CMP6_LP0 AIO237	0, 4, 8, 12	L4	31	H4	15	I I I I	ADC-C 入力 2 CMPSS-6 ハイ コンパレータ正入力 0 CMPSS-6 ロー コンパレータ正入力 0 デジタル入力 237 に使用されるアナログ ピン

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
C3 CMP3_LP3 CMP6_HN0 CMP6_LN0 GPIO206		L5	30	H5	14	I I I I I/O	ADC-C 入力 3 CMPSS-3 ロー コンパレータ正入力 3 CMPSS-6 ハイ コンパレータ負入力 0 CMPSS-6 ロー コンパレータ負入力 0 汎用入出力 206。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C4 CMP5_HP0 CMP5_LP0 CMP10_HN1 CMP10_LN1 GPIO205		M6	29	H6	13	I I I I I I/O	ADC-C 入力 4 CMPSS-5 ハイ コンパレータ正入力 0 CMPSS-5 ロー コンパレータ正入力 0 CMPSS-10 ハイ コンパレータ負入力 1 CMPSS-10 ロー コンパレータ負入力 1 汎用入出力 205。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C5 CMP2_LP3 CMP5_HN0 CMP5_LN0 GPIO204		L6	28	G6	12	I I I I I/O	ADC-C 入力 5 CMPSS-2 ロー コンパレータ正入力 3 CMPSS-5 ハイ コンパレータ負入力 0 CMPSS-5 ロー コンパレータ負入力 0 汎用入出力 204。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C6 CMP10_HP1 CMP10_LP1 GPIO203		K5	27	G5	11	I I I I/O	ADC-C 入力 6 CMPSS-10 ハイ コンパレータ正入力 1 CMPSS-10 ロー コンパレータ正入力 1 汎用入出力 203。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C7 CMP11_HP1 CMP11_LP1 GPIO198		K4	26	G4		I I I I/O	ADC-C 入力 7 CMPSS-11 ハイ コンパレータ正入力 1 CMPSS-11 ロー コンパレータ正入力 1 汎用入出力 198。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C8 CMP10_HP2 CMP10_LP2 GPIO202		K3	25	G3		I I I I/O	ADC-C 入力 8 CMPSS-10 ハイ コンパレータ正入力 2 CMPSS-10 ロー コンパレータ正入力 2 汎用入出力 202。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C9 CMP11_HP2 CMP11_LP2 GPIO201		J2	24	G2		I I I I/O	ADC-C 入力 9 CMPSS-11 ハイ コンパレータ正入力 2 CMPSS-11 ロー コンパレータ正入力 2 汎用入出力 201。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
C10 CMP10_HP0 CMP10_LP0 AIO241	0, 4, 8, 12	L3				I I I I	ADC-C 入力 10 CMPSS-10 ハイ コンパレータ正入力 0 CMPSS-10 ロー コンパレータ正入力 0 デジタル入力 241 に使用されるアナログ ピン
C11 CMP11_HP0 CMP11_LP0 AIO242	0, 4, 8, 12	K2				I I I I	ADC-C 入力 11 CMPSS-11 ハイ コンパレータ正入力 0 CMPSS-11 ロー コンパレータ正入力 0 デジタル入力 242 に使用されるアナログ ピン

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
C13 CMP9_HP1 CMP9_LP1 CMP11_HN1 CMP11_LN1 AIO239	0, 4, 8, 12	K1				I I I I I I	ADC-C 入力 13 CMPSS-9 ハイ コンパレータ正入力 1 CMPSS-9 ロー コンパレータ正入力 1 CMPSS-11 ハイ コンパレータ負入力 1 CMPSS-11 ロー コンパレータ負入力 1 デジタル入力 239 に使用されるアナログ ピン
VREFHIA		M2	37	K2	19	I	ADC-A の高い基準電圧。この電圧は、ピンに対して外部回路から駆動する必要があります。このピンには、12 ビットモードの場合 2.2μF 以上、16 ビットモードの場合 22μF 以上のコンデンサを配置します。このコンデンサは、VREFHIA ピンと VREFLOA ピンの間で、できるだけデバイスに近い場所に配置する必要があります。注:このピンには、外部に負荷を接続しないでください
VREFHIB		R4	53	M4	34	I	ADC-B の高い基準電圧。この電圧は、ピンに対して外部回路から駆動する必要があります。このピンには、12 ビットモードの場合 2.2μF 以上、16 ビットモードの場合 22μF 以上のコンデンサを配置します。このコンデンサは、VREFHIB ピンと VREFLOB ピンの間で、できるだけデバイスに近い場所に配置する必要があります。注:このピンには、外部に負荷を接続しないでください
VREFHIC		L2	35	J2	19	I	ADC-C の高い基準電圧。この電圧は、ピンに対して外部回路から駆動する必要があります。このピンには、12 ビットモードの場合 2.2μF 以上、16 ビットモードの場合 22μF 以上のコンデンサを配置します。このコンデンサは、VREFHIC ピンと VREFLOC ピンの間で、できるだけデバイスに近い場所に配置する必要があります。注:このピンには、外部に負荷を接続しないでください
VREFLOA		M1	33	K1	16	I	ADC-A の低い基準電圧
VREFLOB		T4	50	N4	32	I	ADC-B の低い基準電圧
VREFLOC		L1	32	J1	16	I	ADC-C の低い基準電圧
GPIO							
GPIO0 EPWM1_A CLB_OUTPUTXBAR1 I2CA_SDA EMIF1_A13 ESC_GPIO FSITXA_D0	0, 4, 8, 12 1 5 6 9 10 13	F8	160	E7	89	I/O O O I/OD O I O	汎用入出力 0 ePWM-1 出力 A CLB 出力クロスバー出力 1 I2C-A オープンドレイン双方向データ 外部メモリ インターフェイス 1 アドレスライン 13 EtherCAT 汎用入力 0 FSITX-A 1 次データ出力
GPIO1 EPWM1_B CLB_OUTPUTXBAR2 I2CA_SCL EMIF1_A14 ESC_GPIO1 FSITXA_D1	0, 4, 8, 12 1 5 6 9 10 13	A7	161	A6	90	I/O O O I/OD O I O	汎用入出力 1 ePWM-1 出力 B CLB 出力クロスバー出力 2 I2C-A オープンドレイン双方向クロック 外部メモリ インターフェイス 1 アドレスライン 14 EtherCAT 汎用入力 1 FSITX-A オプションの追加データ出力
GPIO2 EPWM2_A OUTPUTXBAR1 I2CB_SDA UARTA_TX EMIF1_A15 ESC_GPIO2 FSITXA_CLK	0, 4, 8, 12 1 5 6 7 9 10 13	B7	162	B6	91	I/O O O I/OD I/O O I O	汎用入出力 2 ePWM-2 出力 A 出力クロスバー出力 1 I2C-B オープンドレイン双方向データ UART-A シリアル データ送信 外部メモリ インターフェイス 1 アドレスライン 15 EtherCAT 汎用入力 2 FSITX-A 出力クロック

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO3	0, 4, 8, 12					I/O	汎用入出力 3
EPWM2_B	1					O	ePWM-2 出力 B
OUTPUTXBAR2	2, 5					O	出力クロスバー出力 2
I2CB_SCL	6	C7	163	C6	92	I/OD	I2C-B オープンドレイン双方向クロック
UARTA_RX	7					I/O	UART-A シリアル データ受信
ESC_GPI3	10					I	EtherCAT 汎用入力 3
FSIRXA_D0	13					I	FSIRX-A 1 次データ入力
GPIO4	0, 4, 8, 12					I/O	汎用入出力 4
EPWM3_A	1					O	ePWM-3 出力 A
OUTPUTXBAR3	5					O	出力クロスバー出力 3
CANA_TX	6	D7	164	D6	93	O	CAN-A 送信
MCANA_TX	9					O	CAN/CAN FD-A 送信
ESC_GPI4	10					I	EtherCAT 汎用入力 4
FSIRXA_D1	13					I	FSIRX-A オプションの追加データ入力
GPIO5	0, 4, 8, 12					I/O	汎用入出力 5
EPWM3_B	1					O	ePWM-3 出力 B
OUTPUTXBAR3	3					O	出力クロスバー出力 3
CLB_OUTPUTXBAR3	5	E7	165	E6		O	CLB 出力クロスバー出力 3
CANA_RX	6					I	CAN-A 受信
MCANA_RX	9					I	CAN/CAN FD-A 受信
ESC_GPI5	10					I	EtherCAT 汎用入力 5
FSIRXA_CLK	13					I	FSIRX-A 入力クロック
GPIO6	0, 4, 8, 12					I/O	汎用入出力 6
EPWM4_A	1					O	ePWM-4 出力 A
OUTPUTXBAR4	2					O	出力クロスバー出力 4
EXTSYNCOUT	3					O	外部 ePWM 同期パルス
EQEP3_A	5	F7	166	A5		I	eQEP-3 入力 A
MCANB_TX	6					O	CAN/CAN FD-B 送信
LINA_TX	7					O	LIN-A 送信
EMIF1_DQM0	9					O	外部メモリ インターフェイス 1 のバイト 0 入力 / 出力マスク
ESC_GPI6	10					I	EtherCAT 汎用入力 6
FSITXB_D0	13					O	FSITX-B 1 次データ出力
GPIO7	0, 4, 8, 12					I/O	汎用入出力 7
EPWM4_B	1					O	ePWM-4 出力 B
OUTPUTXBAR5	3					O	出力クロスバー出力 5
EQEP3_B	5	A6	167	B5		I	eQEP-3 入力 B
MCANB_RX	6					I	CAN/CAN FD-B 受信
LINA_RX	7					I	LIN-A 受信
EMIF1_DQM1	9					O	外部メモリ インターフェイス 1 のバイト 1 入力 / 出力マスク
ESC_GPI7	10					I	EtherCAT 汎用入力 7
FSITXB_D1	13					O	FSITX-B オプションの追加データ出力

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO8	0, 4, 8, 12					I/O	汎用入出力 8
EPWM5_A	1					O	ePWM-5 出力 A
EMIF1_RAS	2					O	外部メモリ インターフェイス、1 行のアドレス ストロープ
ADCSOCAO	3					O	外部 ADC への ADC 変換開始 A 出力 (ePWM モジュールから)
EQEP3_STROBE	5					I/O	eQEP-3 ストロープ
SCIA_TX	6	D1	18	E3		O	SCI-A 送信データ
CLB_OUTPUTXBAR4	7					O	CLB 出力クロスバー出力 4
MCANA_TX	9					O	CAN/CAN FD-A 送信
ESC_GPO0	10					O	EtherCAT 汎用出力 0
FSITXB_CLK	13					O	FSITX-B 出力クロック
FSITXA_D1	14					O	FSITX-A オプションの追加データ出力
FSIRXA_D0	15					I	FSIRX-A 1 次データ入力
GPIO9	0, 4, 8, 12					I/O	汎用入出力 9
EPWM5_B	1					O	ePWM-5 出力 B
SCIB_TX	2					O	SCI-B 送信データ
OUTPUTXBAR6	3					O	出力クロスバー出力 6
EQEP3_INDEX	5					I/O	eQEP-3 インデックス
SCIA_RX	6	E1	19	F3		I	SCI-A 受信データ
ESC_GPO1	10					O	EtherCAT 汎用出力 1
FSIRXB_D0	13					I	FSIRX-B 1 次データ入力
FSITXA_D0	14					O	FSITX-A 1 次データ出力
FSIRXA_CLK	15					I	FSIRX-A 入力クロック
GPIO10	0, 4, 8, 12					I/O	汎用入出力 10
EPWM6_A	1					O	ePWM-6 出力 A
EMIF1_CAS	2					O	外部メモリ インターフェイス 1 列アドレス ストロープ
ADCSOCBO	3					O	外部 ADC への ADC 変換開始 B 出力 (ePWM モジュールから)
EQEP1_A	5					I	eQEP-1 入力 A
SCIB_TX	6					O	SCI-B 送信データ
SD4_C1	7	D4	1	B3	100	I	SDFM-4 チャンネル 1 クロック入力
MCANA_RX	9					I	CAN/CAN FD-A 受信
CLB_OUTPUTXBAR5	10					O	CLB 出力クロスバー出力 5
ESC_TX0_DATA0	11					O	EtherCAT MII 送信 0 データ 0
FSIRXB_D1	13					I	FSIRX-B オプションの追加データ入力
FSITXA_CLK	14					O	FSITX-A 出力クロック
FSIRXA_D1	15					I	FSIRX-A オプションの追加データ入力
GPIO11	0, 4, 8, 12					I/O	汎用入出力 11
EPWM6_B	1					O	ePWM-6 出力 B
SCIB_RX	2, 6					I	SCI-B 受信データ
OUTPUTXBAR7	3					O	出力クロスバー出力 7
EQEP1_B	5					I	eQEP-1 入力 B
SD4_D1	7	E4	2	B2	1	I	SDFM-4 チャンネル 1 データ入力
ESC_GPO3	10					O	EtherCAT 汎用出力 3
ESC_TX0_DATA1	11					O	EtherCAT MII 送信 0 データ 1
FSIRXB_CLK	13					I	FSIRX-B 入力クロック
FSIRXA_D1	14					I	FSIRX-A オプションの追加データ入力
PMBUSA_ALERT	15					I/OD	PMBus-A オープンドレイン双方向アラート信号

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO12	0、4、8、12					I/O	汎用入出力 12
EPWM7_A	1					O	ePWM-7 出力 A
CLB_OUTPUTXBAR6	2					O	CLB 出力クロスバー出力 6
ADCSOCAO	3					O	外部 ADC への ADC 変換開始 A 出力 (ePWM モジュールから)
EQEP1_STROBE	5					I/O	eQEP-1 ストロブ
SCIA_TX	6					O	SCI-A 送信データ
SD4_C2	7	G4	4	B1	3	I	SDFM-4 チャンネル 2 クロック入力
EMIF1_A1	9					O	外部メモリ インターフェイス 1 アドレスライン 1
ESC_GPO4	10					O	EtherCAT 汎用出力 4
ESC_TX0_DATA2	11					O	EtherCAT MII 送信 0 データ 2
FSIRXC_D0	13					I	FSIRX-C 1 次データ入力
FSIRXA_D0	14					I	FSIRX-A 1 次データ入力
PMBUSA_CTL	15					I/O	PMBus-A 制御信号 - ターゲット入力 / コントローラ出力
GPIO13	0、4、8、12					I/O	汎用入出力 13
EPWM7_B	1					O	ePWM-7 出力 B
CLB_OUTPUTXBAR7	2					O	CLB 出力クロスバー出力 7
EQEP5_STROBE	3					I/O	eQEP-5 ストロブ
EQEP1_INDEX	5					I/O	eQEP-1 インデックス
SCIA_RX	6					I	SCI-A 受信データ
SD4_D2	7	A3	5	C1	4	I	SDFM-4 チャンネル 2 データ入力
EMIF1_CS0n	9					O	外部メモリ インターフェイス 1 チップ セレクト 0
ESC_GPO5	10					O	EtherCAT 汎用出力 5
ESC_TX0_DATA3	11					O	EtherCAT MII 送信 0 データ 3
FSIRXC_D1	13					I	FSIRX-C オプションの追加データ入力
FSIRXA_CLK	14					I	FSIRX-A 入力クロック
PMBUSA_SDA	15					I/OD	PMBus-A オープンドレイン双方向データ
GPIO14	0、4、8、12					I/O	汎用入出力 14
EPWM8_A	1					O	ePWM-8 出力 A
SCIB_TX	2					O	SCI-B 送信データ
EQEP5_INDEX	3					I/O	eQEP-5 インデックス
LINA_TX	5					O	LIN-A 送信
OUTPUTXBAR3	6					O	出力クロスバー出力 3
OUTPUTXBAR8	7					O	出力クロスバー出力 8
ESC_GPO6	10					O	EtherCAT 汎用出力 6
ESC_PHY1_LINKSTATUS	11					I	EtherCAT PHY-1 リンク ステータス
FSIRXC_CLK	13					I	FSIRX-C 入力クロック
EMIF1_D17	14					I/O	外部メモリ インターフェイス 1 データライン 17
PMBUSA_SCL	15					I/OD	PMBus-A オープンドレイン双方向クロック

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO15	0, 4, 8, 12	C3	7	C3	6	I/O	汎用入出力 15
EPWM8_B	1					O	ePWM-8 出力 B
SCIB_RX	2					I	SCI-B 受信データ
LINA_RX	5					I	LIN-A 受信
OUTPUTXBAR4	6					O	出力クロスバー出力 4
CLB_OUTPUTXBAR8	7					O	CLB 出力クロスバー出力 8
ESC_GPO7	10					O	EtherCAT 汎用出力 7
EQEP5_A	11					I	eQEP-5 入力 A
FSIRXD_D0	13					I	FSIRX-D 1 次データ入力
EMIF1_DQM2	15					O	外部メモリ インターフェイス 1 のバイト 2 入力 / 出力マスク
GPIO16	0, 4, 8, 12	D3	8	C4		I/O	汎用入出力 16
SPIA_PICO	1					I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
OUTPUTXBAR7	3					O	出力クロスバー出力 7
EPWM9_A	5					O	ePWM-9 出力 A
SD1_D1	7					I	SDFM-1 チャネル 1 データ入力
EQEP5_B	11					I	eQEP-5 入力 B
FSIRXD_D1	13					I	FSIRX-D オプションの追加データ入力
ESC_RX1_CLK	15					I	EtherCAT MII 受信 1 クロック
GPIO17	0, 4, 8, 12	E3	9	D4		I/O	汎用入出力 17
SPIA_POCI	1					I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
OUTPUTXBAR8	3					O	出力クロスバー出力 8
EPWM9_B	5					O	ePWM-9 出力 B
SD1_C1	7					I	SDFM-1 チャネル 1 クロック入力
EQEP5_STROBE	11					I/O	eQEP-5 ストロブ
FSIRXD_CLK	13					I	FSIRX-D 入力クロック
ESC_RX1_DV	15					I	EtherCAT MII 受信 1 データ有効
GPIO18	0, 4, 8, 12	F3	10	D3		I/O	汎用入出力 18
SPIA_CLK	1					I/O	SPI-A クロック
SCIB_TX	2					O	SCI-B 送信データ
CANA_RX	3					I	CAN-A 受信
EPWM10_A	5					O	ePWM-10 出力 A
SD1_D2	7					I	SDFM-1 チャネル 2 データ入力
MCANA_RX	9					I	CAN/CAN FD-A 受信
EMIF1_CS2n	10					O	外部メモリ インターフェイス 1 チップ セレクト 2
EQEP5_INDEX	11					I/O	eQEP-5 インデックス
ESC_RX1_ERR	15					I	EtherCAT MII 受信 1 エラー
GPIO19	0, 4, 8, 12	B2	12	D1		I/O	汎用入出力 19
SPIA_PTE	1					I/O	SPI-A ペリフェラル送信イネーブル (PTE)
SCIB_RX	2					I	SCI-B 受信データ
CANA_TX	3					O	CAN-A 送信
EPWM10_B	5					O	ePWM-10 出力 B
SD1_C2	7					I	SDFM-1 チャネル 2 クロック入力
MCANA_TX	9					O	CAN/CAN FD-A 送信
EMIF1_CS3n	10					O	外部メモリ インターフェイス 1 チップ セレクト 3
ESC_TX1_DATA3	15					O	EtherCAT MII 送信 1 データ 3

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO20	0, 4, 8, 12	C2	13	E1		I/O	汎用入出力 20
EQEP1_A	1					I	eQEP-1 入力 A
EPWM11_A	5					O	ePWM-11 出力 A
SD1_D3	7					I	SDFM-1 チャネル 3 データ入力
MCANB_TX	9					O	CAN/CAN FD-B 送信
EMIF1_BA0	10					O	外部メモリ インターフェイス 1 バンク アドレス 0
SPIC_PICO	14					I/O	SPI-C ペリフェラル入力、コントローラ出力 (PICO)
ESC_TX1_DATA2	15					O	EtherCAT MII 送信 1 データ 2
GPIO21	0, 4, 8, 12	D2	14	E2		I/O	汎用入出力 21
EQEP1_B	1					I	eQEP-1 入力 B
EPWM11_B	5					O	ePWM-11 出力 B
SD1_C3	7					I	SDFM-1 チャネル 3 クロック入力
MCANB_RX	9					I	CAN/CAN FD-B 受信
EMIF1_BA1	10					O	外部メモリ インターフェイス 1 バンク アドレス 1
SPIC_POCI	14					I/O	SPI-C ペリフェラル出力、コントローラ入力 (POCI)
ESC_TX1_DATA1	15					O	EtherCAT MII 送信 1 データ 1
GPIO22	0, 4, 8, 12	A2	11	D2		I/O	汎用入出力 22
EQEP1_STROBE	1					I/O	eQEP-1 ストローブ
SCIB_TX	3					O	SCI-B 送信データ
EPWM12_A	5					O	ePWM-12 出力 A
SPIB_CLK	6					I/O	SPI-B クロック
SD1_D4	7					I	SDFM-1 チャネル 4 データ入力
MCANA_TX	9					O	CAN/CAN FD-A 送信
EMIF1_RAS	10					O	外部メモリ インターフェイス、1 行のアドレス ストローブ
SPIC_CLK	14					I/O	SPI-C クロック
ESC_TX1_DATA0	15					O	EtherCAT MII 送信 1 データ 0
GPIO23	0, 4, 8, 12	G1	21	F2		I/O	汎用入出力 23
EQEP1_INDEX	1					I/O	eQEP-1 インデックス
SCIB_RX	3					I	SCI-B 受信データ
EPWM12_B	5					O	ePWM-12 出力 B
SPIB_PTE	6					I/O	SPI-B ペリフェラル送信イネーブル (PTE)
SD1_C4	7					I	SDFM-1 チャネル 4 クロック入力
MCANA_RX	9					I	CAN/CAN FD-A 受信
EMIF1_CAS	10					O	外部メモリ インターフェイス 1 列アドレス ストローブ
SPIC_PTE	14					I/O	SPI-C ペリフェラル送信イネーブル (PTE)
ESC_PHY_RESETn	15					O	EtherCAT PHY アクティブ Low リセット
GPIO24	0, 4, 8, 12	E8	159	D7		I/O	汎用入出力 24
OUTPUTXBAR1	1					O	出力クロスバー出力 1
EQEP2_A	2					I	eQEP-2 入力 A
LINB_TX	5					O	LIN-B 送信
SPIB_PICO	6					I/O	SPI-B ペリフェラル入力、コントローラ出力 (PICO)
SD2_D1	7					I	SDFM-2 チャネル 1 データ入力
PMBUSA_SCL	9					I/OD	PMBus-A オープンドレイン双方向クロック
EMIF1_DQM0	10					O	外部メモリ インターフェイス 1 のバイト 0 入力 / 出力マスク
EPWM13_A	13					O	ePWM-13 出力 A
ESC_RX0_DATA1	14					I	EtherCAT MII 受信 0 データ 1
ESC_RX0_CLK	15					I	EtherCAT MII 受信 0 クロック

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO25	0、4、8、12	A10	153	B8	84	I/O	汎用入出力 25
OUTPUTXBAR2	1					O	出力クロスバー出力 2
EQEP2_B	2					I	eQEP-2 入力 B
LINB_RX	5					I	LIN-B 受信
SPIB_POCI	6					I/O	SPI-B ベリフェラル出力、コントローラ入力 (POCI)
SD2_C1	7					I	SDFM-2 チャネル 1 クロック入力
PMBUSA_SDA	9					I/OD	PMBus-A オープンドレイン双方向データ
EMIF1_DQM1	10					O	外部メモリ インターフェイス 1 のバイト 1 入力 / 出力マスク
EQEP5_B	11					I	eQEP-5 入力 B
EPWM13_B	13					O	ePWM-13 出力 B
FSITXA_D1	14					O	FSITX-A オプションの追加データ出力
ESC_RX0_DV	15					I	EtherCAT MII 受信 0 データ有効
GPIO26	0、4、8、12	L11	82	L10		I/O	汎用入出力 26
OUTPUTXBAR3	1、5					O	出力クロスバー出力 3
EQEP2_INDEX	2					I/O	eQEP-2 インデックス
SPIB_CLK	6					I/O	SPI-B クロック
SD2_D2	7					I	SDFM-2 チャネル 2 データ入力
PMBUSA_ALERT	9					I/OD	PMBus-A オープンドレイン双方向アラート信号
EMIF1_DQM2	10					O	外部メモリ インターフェイス 1 のバイト 2 入力 / 出力マスク
ESC_MDIO_CLK	11					O	EtherCAT MDIO クロック
EPWM14_A	13					O	ePWM-14 出力 A
FSITXA_D0	14					O	FSITX-A 1 次データ出力
ESC_RX0_ERR	15					I	EtherCAT MII 受信 0 エラー
GPIO27	0、4、8、12	G13	125	D11		I/O	汎用入出力 27
OUTPUTXBAR4	1、5					O	出力クロスバー出力 4
EQEP2_STROBE	2					I/O	eQEP-2 ストロブ
SPIB_PTE	6					I/O	SPI-B ベリフェラル送信イネーブル (PTE)
SD2_C2	7					I	SDFM-2 チャネル 2 クロック入力
PMBUSA_CTL	9					I/O	PMBus-A 制御信号 - ターゲット入力 / コントローラ出力
EMIF1_DQM3	10					O	外部メモリ インターフェイス 1 のバイト 3 入力 / 出力マスク
ESC_MDIO_DATA	11					I/O	EtherCAT MDIO データ
EPWM14_B	13					O	ePWM-14 出力 B
FSITXA_CLK	14					O	FSITX-A 出力クロック
ESC_RX0_DATA0	15					I	EtherCAT MII 受信 0 データ 0
GPIO28	0、4、8、12	N11	74	K8		I/O	汎用入出力 28
SCIA_RX	1					I	SCI-A 受信データ
EMIF1_CS4n	2					O	外部メモリ インターフェイス 1 チップ セレクト 4
UARTA_RX	3					I/O	UART-A シリアル データ受信
OUTPUTXBAR5	5					O	出力クロスバー出力 5
EQEP3_A	6					I	eQEP-3 入力 A
SD2_D3	7					I	SDFM-2 チャネル 3 データ入力
EMIF1_CS2n	9					O	外部メモリ インターフェイス 1 チップ セレクト 2
EPWM15_A	13					O	ePWM-15 出力 A
ESC_RX0_DATA1	15					I	EtherCAT MII 受信 0 データ 1

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO29	0, 4, 8, 12	P11	73	L8		I/O	汎用入出力 29
SCIA_TX	1					O	SCI-A 送信データ
EMIF1_SDCKE	2					O	外部メモリ インターフェイス 1 SDRAM クロック イネーブル
UARTA_TX	3					I/O	UART-A シリアル データ送信
OUTPUTXBAR6	5					O	出力クロスバー出力 6
EQEP3_B	6					I	eQEP-3 入力 B
SD2_C3	7					I	SDFM-2 チャネル 3 クロック入力
EMIF1_CS3n	9					O	外部メモリ インターフェイス 1 チップ セレクト 3
ESC_LATCH0	10					I	EtherCAT ラッチ信号入力 0
ESC_I2C_SDA	11					I/OC	EtherCAT I2C データ
EPWM15_B	13					O	ePWM-15 出力 B
ESC_SYNC0	14					O	EtherCAT 同期信号出力 0
ESC_RX0_DATA2	15					I	EtherCAT MII 受信 0 データ 2
GPIO30	0, 4, 8, 12	L10	79	L9	48	I/O	汎用入出力 30
CANA_RX	1					I	CAN-A 受信
EMIF1_CLK	2					O	外部メモリ インターフェイス 1 クロック
MCANA_RX	3					I	CAN/CAN FD-A 受信
OUTPUTXBAR7	5					O	出力クロスバー出力 7
EQEP3_STROBE	6					I/O	eQEP-3 ストローブ
SD2_D4	7					I	SDFM-2 チャネル 4 データ入力
EMIF1_CS4n	9					O	外部メモリ インターフェイス 1 チップ セレクト 4
ESC_LATCH1	10					I	EtherCAT ラッチ信号入力 1
ESC_I2C_SCL	11					I/OC	EtherCAT I2C クロック
EPWM16_A	13					O	ePWM-16 出力 A
ESC_SYNC1	14					O	EtherCAT 同期信号出力 1
SPID_PICO	15					I/O	SPI-D ペリフェラル入力、コントローラ出力 (PICO)
GPIO31	0, 4, 8, 12	D8	158			I/O	汎用入出力 31
CANA_TX	1					O	CAN-A 送信
EMIF1_WEn	2					O	外部メモリ インターフェイス 1 書き込みイネーブル
MCANA_TX	3					O	CAN/CAN FD-A 送信
OUTPUTXBAR8	5					O	出力クロスバー出力 8
EQEP3_INDEX	6					I/O	eQEP-3 インデックス
SD2_C4	7					I	SDFM-2 チャネル 4 クロック入力
EMIF1_RNW	9					O	外部メモリ インターフェイス 1 読み取り、非書き込み
I2CA_SDA	10					I/OD	I2C-A オープンドレイン双方向データ
EPWM16_B	13					O	ePWM-16 出力 B
SPID_POCI	15					I/O	SPI-D ペリフェラル出力、コントローラ入力 (POCI)
GPIO32	0, 4, 8, 12	J14	116	F12		I/O	汎用入出力 32
I2CA_SDA	1					I/OD	I2C-A オープンドレイン双方向データ
EMIF1_CS0n	2					O	外部メモリ インターフェイス 1 チップ セレクト 0
SPIA_PICO	3					I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
EQEP4_A	5					I	eQEP-4 入力 A
LINB_TX	6					O	LIN-B 送信
CLB_OUTPUTXBAR1	7					O	CLB 出力クロスバー出力 1
EMIF1_OEn	9					O	外部メモリ インターフェイス 1 出力イネーブル
I2CA_SCL	10					I/OD	I2C-A オープンドレイン双方向クロック
SPID_CLK	15					I/O	SPI-D クロック

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO33	0、4、8、12	R10	69	L7		I/O	汎用入出力 33
I2CA_SCL	1					I/OD	I2C-A オープンドレイン双方向クロック
EMIF1_RNW	2					O	外部メモリ インターフェイス 1 読み取り、非書き込み
SPIA_POCI	3					I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
EQEP4_B	5					I	eQEP-4 入力 B
CLB_OUTPUTXBAR2	7					O	CLB 出力クロスバー出力 2
EMIF1_BA0	9					O	外部メモリ インターフェイス 1 バンク アドレス 0
ESC_LED_ERR	11					O	EtherCAT エラー LED
SPID_PTE	15					I/O	SPI-D ペリフェラル送信イネーブル (PTE)
GPIO34	0、4、8、12	P10	70	K7	42	I/O	汎用入出力 34
OUTPUTXBAR1	1					O	出力クロスバー出力 1
EMIF1_CS2n	2					O	外部メモリ インターフェイス 1 チップ セレクト 2
SPIA_CLK	3					I/O	SPI-A クロック
EQEP4_STROBE	5					I/O	eQEP-4 ストロブ
I2CB_SDA	6					I/OD	I2C-B オープンドレイン双方向データ
CLB_OUTPUTXBAR3	7					O	CLB 出力クロスバー出力 3
EMIF1_BA1	9					O	外部メモリ インターフェイス 1 バンク アドレス 1
ESC_LATCH0	10					I	EtherCAT ラッチ信号入力 0
EPWM18_A	11					O	ePWM-18 出力 A
SCIA_TX	13					O	SCI-A 送信データ
ESC_SYNC0	14					O	EtherCAT 同期信号出力 0
GPIO35	0、4、8、12	N10	71	N8	43	I/O	汎用入出力 35
SCIA_RX	1、13					I	SCI-A 受信データ
EMIF1_CS3n	2					O	外部メモリ インターフェイス 1 チップ セレクト 3
SPIA_PTE	3					I/O	SPI-A ペリフェラル送信イネーブル (PTE)
EQEP4_INDEX	5					I/O	eQEP-4 インデックス
I2CB_SCL	6					I/OD	I2C-B オープンドレイン双方向クロック
CLB_OUTPUTXBAR4	7					O	CLB 出力クロスバー出力 4
EMIF1_A0	9					O	外部メモリ インターフェイス 1 アドレス ライン 0
ESC_LATCH1	10					I	EtherCAT ラッチ信号入力 1
EPWM18_B	11					O	ePWM-18 出力 B
ESC_SYNC1	14					O	EtherCAT 同期信号出力 1
GPIO36	0、4、8、12	P12	83	N11		I/O	汎用入出力 36
SCIA_TX	1					O	SCI-A 送信データ
EMIF1_WAIT	2					I	外部メモリ インターフェイス 1 非同期 SRAM ウェイト
CANA_RX	6					I	CAN-A 受信
CLB_OUTPUTXBAR5	7					O	CLB 出力クロスバー出力 5
EMIF1_A1	9					O	外部メモリ インターフェイス 1 アドレス ライン 1
MCANA_RX	10					I	CAN/CAN FD-A 受信
SD1_D1	13					I	SDFM-1 チャネル 1 データ入力
EMIF1_WEn	14					O	外部メモリ インターフェイス 1 書き込みイネーブル

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO37	0、4、8、12	N12	84	M11		I/O	汎用入出力 37
OUTPUTXBAR2	1					O	出力クロスバー出力 2
EMIF1_OEn	2					O	外部メモリ インターフェイス 1 出力イネーブル
EPWM18_A	3					O	ePWM-18 出力 A
CANA_TX	6					O	CAN-A 送信
CLB_OUTPUTXBAR6	7					O	CLB 出力クロスバー出力 6
EMIF1_A2	9					O	外部メモリ インターフェイス 1 アドレスライン 2
MCANA_TX	10					O	CAN/CAN FD-A 送信
SD1_D2	13					I	SDFM-1 チャンネル 2 データ入力
EMIF1_D24	14					I/O	外部メモリ インターフェイス 1 データライン 24
GPIO38	0、4、8、12	M12	85	L11		I/O	汎用入出力 38
EMIF1_A0	2					O	外部メモリ インターフェイス 1 アドレスライン 0
EPWM18_B	3					O	ePWM-18 出力 B
UARTA_TX	5					I/O	UART-A シリアル データ送信
SCIB_TX	6					O	SCI-B 送信データ
CLB_OUTPUTXBAR7	7					O	CLB 出力クロスバー出力 7
EMIF1_A3	9					O	外部メモリ インターフェイス 1 アドレスライン 3
SD1_D3	13					I	SDFM-1 チャンネル 3 データ入力
EMIF1_CS2n	14					O	外部メモリ インターフェイス 1 チップ セレクト 2
GPIO39	0、4、8、12	L12	86			I/O	汎用入出力 39
EMIF1_A1	2					O	外部メモリ インターフェイス 1 アドレスライン 1
UARTA_RX	5					I/O	UART-A シリアル データ受信
SCIB_RX	6					I	SCI-B 受信データ
CLB_OUTPUTXBAR8	7					O	CLB 出力クロスバー出力 8
EMIF1_A4	9					O	外部メモリ インターフェイス 1 アドレスライン 4
ESC_MDIO_DATA	10					I/O	EtherCAT MDIO データ
ESC_LED_RUN	11					O	EtherCAT 実行 LED
SD1_D4	13					I	SDFM-1 チャンネル 4 データ入力
FSIRXD_CLK	14					I	FSIRX-D 入力クロック
GPIO40	0、4、8、12	P13	87	N12		I/O	汎用入出力 40
EMIF1_A2	2					O	外部メモリ インターフェイス 1 アドレスライン 2
EPWM13_A	3					O	ePWM-13 出力 A
MCANB_RX	5					I	CAN/CAN FD-B 受信
I2CB_SDA	6					I/OD	I2C-B オープンドレイン双方向データ
SD4_C3	7					I	SDFM-4 チャンネル 3 クロック入力
ESC_GPO2	9					O	EtherCAT 汎用出力 2
CLB_OUTPUTXBAR1	10					O	CLB 出力クロスバー出力 1
SD2_C1	13					I	SDFM-2 チャンネル 1 クロック入力
ESC_I2C_SDA	14					I/OC	EtherCAT I2C データ

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO41	0、4、8、12	R15	89	M12	51	I/O	汎用入出力 41
EMIF1_A3	2					O	外部メモリ インターフェイス 1 アドレス ライン 3
EPWM13_B	3					O	ePWM-13 出力 B
MCANB_TX	5					O	CAN/CAN FD-B 送信
I2CB_SCL	6					I/OD	I2C-B オープンドレイン双方向クロック
SD4_D3	7					I	SDFM-4 チャネル 3 データ入力
CLB_OUTPUTXBAR2	10					O	CLB 出力クロスバー出力 2
SD2_D1	13					I	SDFM-2 チャネル 1 データ入力
ESC_I2C_SCL	14					I/OC	EtherCAT I2C クロック
FSIRXD_CLK	15					I	FSIRX-D 入力クロック
GPIO42	0、4、8、12	E16	130	C12	73	I/O	汎用入出力 42
EPWM14_A	3					O	ePWM-14 出力 A
EQEP4_A	5					I	eQEP-4 入力 A
I2CA_SDA	6					I/OD	I2C-A オープンドレイン双方向データ
SD4_C4	7					I	SDFM-4 チャネル 4 クロック入力
CLB_OUTPUTXBAR5	10					O	CLB 出力クロスバー出力 5
UARTA_TX	11					I/O	UART-A シリアル データ送信
FSIRXD_D0	14					I	FSIRX-D 1 次データ入力
SCIA_TX	15					O	SCI-A 送信データ
USB0DM	ALT					O	USB-0 PHY 差動データ
GPIO43	0、4、8、12	D16	131	C11	74	I/O	汎用入出力 43
EPWM14_B	3					O	ePWM-14 出力 B
EQEP4_B	5					I	eQEP-4 入力 B
I2CA_SCL	6					I/OD	I2C-A オープンドレイン双方向クロック
SD4_D4	7					I	SDFM-4 チャネル 4 データ入力
CLB_OUTPUTXBAR6	10					O	CLB 出力クロスバー出力 6
UARTA_RX	11					I/O	UART-A シリアル データ受信
FSIRXD_D1	14					I	FSIRX-D オプションの追加データ入力
SCIA_RX	15					I	SCI-A 受信データ
USB0DP	ALT					O	USB-0 PHY 差動データ
GPIO44	0、4、8、12	J12	113	F10		I/O	汎用入出力 44
SPID_POCI	1					I/O	SPI-D ペリフェラル出力、コントローラ入力 (POCI)
EMIF1_A4	2					O	外部メモリ インターフェイス 1 アドレス ライン 4
MCANB_RX	3					I	CAN/CAN FD-B 受信
SD3_C4	6					I	SDFM-3 チャネル 4 クロック入力
UARTB_TX	7					I/O	UART-B シリアル データ送信
CLB_OUTPUTXBAR6	10					O	CLB 出力クロスバー出力 6
FSIRXD_CLK	13					I	FSIRX-D 入力クロック
ESC_TX1_CLK	14					I	EtherCAT MII 送信 1 クロック
GPIO45	0、4、8、12	J13	115	F11		I/O	汎用入出力 45
SPID_PTE	1					I/O	SPI-D ペリフェラル送信イネーブル (PTE)
EMIF1_A5	2					O	外部メモリ インターフェイス 1 アドレス ライン 5
MCANB_TX	3					O	CAN/CAN FD-B 送信
SD3_D4	6					I	SDFM-3 チャネル 4 データ入力
UARTB_RX	7					I/O	UART-B シリアル データ受信
CLB_OUTPUTXBAR7	10					O	CLB 出力クロスバー出力 7
ESC_TX1_ENA	14					I/O	EtherCAT MII 送信 1 イネーブル

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO46	0、4、8、12					I/O	汎用入出力 46
EPWM4_A	1					O	ePWM-4 出力 A
EMIF1_A6	2					O	外部メモリ インターフェイス 1 アドレスライン 6
EPWM14_A	3	F14	128		71	O	ePWM-14 出力 A
SCIA_RX	6					I	SCI-A 受信データ
SD3_C4	7					I	SDFM-3 チャネル 4 クロック入力
ESC_MDIO_CLK	14					O	EtherCAT MDIO クロック
GPIO47	0、4、8、12					I/O	汎用入出力 47
EPWM4_B	1					O	ePWM-4 出力 B
EMIF1_A7	2					O	外部メモリ インターフェイス 1 アドレスライン 7
EPWM14_B	3	E14	129		72	O	ePWM-14 出力 B
SCIA_TX	6					O	SCI-A 送信データ
SD4_C3	7					I	SDFM-4 チャネル 3 クロック入力
ESC_MDIO_DATA	14					I/O	EtherCAT MDIO データ
GPIO48	0、4、8、12					I/O	汎用入出力 48
OUTPUTXBAR3	1					O	出力クロスバー出力 3
EMIF1_A8	2					O	外部メモリ インターフェイス 1 アドレスライン 8
SCIA_TX	6	R16	90	M13		O	SCI-A 送信データ
SD1_D1	7					I	SDFM-1 チャネル 1 データ入力
SD2_C2	13					I	SDFM-2 チャネル 2 クロック入力
ESC_PHY_CLK	14					O	EtherCAT PHY クロック
GPIO49	0、4、8、12					I/O	汎用入出力 49
OUTPUTXBAR4	1					O	出力クロスバー出力 4
EMIF1_A9	2					O	外部メモリ インターフェイス 1 アドレスライン 9
SCIA_RX	6					I	SCI-A 受信データ
SD1_C1	7	P15	93	L13		I	SDFM-1 チャネル 1 クロック入力
EMIF1_A5	9					O	外部メモリ インターフェイス 1 アドレスライン 5
SD2_D1	13					I	SDFM-2 チャネル 1 データ入力
FSITXA_D0	14					O	FSITX-A 1 次データ出力
GPIO50	0、4、8、12					I/O	汎用入出力 50
EQEP1_A	1					I	eQEP-1 入力 A
EMIF1_A10	2					O	外部メモリ インターフェイス 1 アドレスライン 10
EPWM15_A	3					O	ePWM-15 出力 A
SPIC_PICO	6					I/O	SPI-C ベリフェラル入力、コントローラ出力 (PICO)
SD1_D2	7	P14	94	K9		I	SDFM-1 チャネル 2 データ入力
EMIF1_A6	9					O	外部メモリ インターフェイス 1 アドレスライン 6
ESC_LATCH0	11					I	EtherCAT ラッチ信号入力 0
SD2_D2	13					I	SDFM-2 チャネル 2 データ入力
FSITXA_D1	14					O	FSITX-A オプションの追加データ出力

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO51	0, 4, 8, 12	N14	95	K10		I/O	汎用入出力 51
EQEP1_B	1					I	eQEP-1 入力 B
EMIF1_A11	2					O	外部メモリ インターフェイス 1 アドレスライン 11
EPWM15_B	3					O	ePWM-15 出力 B
SPIC_POCI	6					I/O	SPI-C ペリフェラル出力、コントローラ入力 (POCI)
SD1_C2	7					I	SDFM-1 チャネル 2 クロック入力
EMIF1_A7	9					O	外部メモリ インターフェイス 1 アドレスライン 7
ESC_LATCH1	11					I	EtherCAT ラッチ信号入力 1
SD2_D3	13					I	SDFM-2 チャネル 3 データ入力
FSITXA_CLK	14					O	FSITX-A 出力クロック
GPIO52	0, 4, 8, 12	N15	96	K11		I/O	汎用入出力 52
EQEP1_STROBE	1					I/O	eQEP-1 ストロブ
EMIF1_A12	2					O	外部メモリ インターフェイス 1 アドレスライン 12
EPWM16_A	3					O	ePWM-16 出力 A
SPIC_CLK	6					I/O	SPI-C クロック
SD1_D3	7					I	SDFM-1 チャネル 3 データ入力
EMIF1_A8	9					O	外部メモリ インターフェイス 1 アドレスライン 8
ESC_MDIO_CLK	11					O	EtherCAT MDIO クロック
SD2_D4	13					I	SDFM-2 チャネル 4 データ入力
FSIRXA_D0	14					I	FSIRX-A 1 次データ入力
GPIO53	0, 4, 8, 12	N16	97	K12		I/O	汎用入出力 53
EQEP1_INDEX	1					I/O	eQEP-1 インデックス
EMIF1_D31	2					I/O	外部メモリ インターフェイス 1 データライン 31
SPIC_PTE	6					I/O	SPI-C ペリフェラル送信イネーブル (PTE)
SD1_C3	7					I	SDFM-1 チャネル 3 クロック入力
EMIF1_A9	9					O	外部メモリ インターフェイス 1 アドレスライン 9
ESC_MDIO_DATA	11					I/O	EtherCAT MDIO データ
SD1_C1	13					I	SDFM-1 チャネル 1 クロック入力
FSIRXA_D1	14					I	FSIRX-A オプションの追加データ入力
GPIO54	0, 4, 8, 12	M13	98	K13		I/O	汎用入出力 54
SPIA_PICO	1					I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
EMIF1_D30	2					I/O	外部メモリ インターフェイス 1 データライン 30
EQEP2_A	5					I	eQEP-2 入力 A
SCIB_TX	6					O	SCI-B 送信データ
SD1_D4	7					I	SDFM-1 チャネル 4 データ入力
EMIF1_A10	9					O	外部メモリ インターフェイス 1 アドレスライン 10
ESC_PHY_CLK	11					O	EtherCAT PHY クロック
SD1_C2	13					I	SDFM-1 チャネル 2 クロック入力
FSIRXA_CLK	14					I	FSIRX-A 入力クロック

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO55	0, 4, 8, 12	M14	100	J13		I/O	汎用入出力 55
SPIA_POCI	1					I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
EMIF1_D29	2					I/O	外部メモリ インターフェイス 1 データライン 29
EPWM16_B	3					O	ePWM-16 出力 B
EQEP2_B	5					I	eQEP-2 入力 B
SCIB_RX	6					I	SCI-B 受信データ
SD1_C4	7					I	SDFM-1 チャンネル 4 クロック入力
EMIF1_D0	9					I/O	外部メモリ インターフェイス 1 データライン 0
ESC_PHY0_LINKSTATUS	11					I	EtherCAT PHY-0 リンク ステータス
SD1_C3	13					I	SDFM-1 チャンネル 3 クロック入力
FSITXB_D0	14					O	FSITX-B 1 次データ出力
GPIO56	0, 4, 8, 12	M15	101	J12		I/O	汎用入出力 56
SPIA_CLK	1					I/O	SPI-A クロック
EMIF1_D28	2					I/O	外部メモリ インターフェイス 1 データライン 28
EPWM17_A	3					O	ePWM-17 出力 A
EQEP2_STROBE	5					I/O	eQEP-2 ストロブ
SD2_D1	7					I	SDFM-2 チャンネル 1 データ入力
EMIF1_D1	9					I/O	外部メモリ インターフェイス 1 データライン 1
I2CA_SDA	10					I/OD	I2C-A オープンドレイン双方向データ
ESC_TX0_ENA	11					I/O	EtherCAT MII 送信 0 イネーブル
SD1_C4	13					I	SDFM-1 チャンネル 4 クロック入力
FSITXB_CLK	14					O	FSITX-B 出力クロック
GPIO57	0, 4, 8, 12	M16	102	J11		I/O	汎用入出力 57
SPIA_PTE	1					I/O	SPI-A ペリフェラル送信イネーブル (PTE)
EMIF1_D27	2					I/O	外部メモリ インターフェイス 1 データライン 27
EPWM17_B	3					O	ePWM-17 出力 B
EQEP2_INDEX	5					I/O	eQEP-2 インデックス
SD2_C1	7					I	SDFM-2 チャンネル 1 クロック入力
EMIF1_D2	9					I/O	外部メモリ インターフェイス 1 データライン 2
I2CA_SCL	10					I/OD	I2C-A オープンドレイン双方向クロック
ESC_TX0_CLK	11					I	EtherCAT MII 送信 0 クロック
SD3_D3	13					I	SDFM-3 チャンネル 3 データ入力
FSITXB_D1	14					O	FSITX-B オプションの追加データ出力
GPIO58	0, 4, 8, 12	L13	103	J10	52	I/O	汎用入出力 58
SPIA_PICO	1, 15					I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
EMIF1_D26	2					I/O	外部メモリ インターフェイス 1 データライン 26
EPWM8_A	3					O	ePWM-8 出力 A
OUTPUTXBAR1	5					O	出力クロスバー出力 1
SPIB_CLK	6					I/O	SPI-B クロック
SD2_D2	7					I	SDFM-2 チャンネル 2 データ入力
EMIF1_D3	9					I/O	外部メモリ インターフェイス 1 データライン 3
ESC_LED_LINK0_ACTIVE	10					O	EtherCAT リンク 0 アクティブ
CANA_RX	11					I	CAN-A 受信
SD2_C2	13					I	SDFM-2 チャンネル 2 クロック入力
FSIRXB_D0	14					I	FSIRX-B 1 次データ入力

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO59	0, 4, 8, 12	L14	104	H13	53	I/O	汎用入出力 59
EPWM5_A	1					O	ePWM-5 出力 A
EMIF1_D25	2					I/O	外部メモリ インターフェイス 1 データライン 25
EPWM8_B	3					O	ePWM-8 出力 B
OUTPUTXBAR2	5					O	出力クロスバー出力 2
SPIB_PTE	6					I/O	SPI-B ペリフェラル送信イネーブル (PTE)
SD2_C2	7					I	SDFM-2 チャンネル 2 クロック入力
EMIF1_D4	9					I/O	外部メモリ インターフェイス 1 データライン 4
ESC_LED_LINK1_ACTIVE	10					O	EtherCAT リンク 1 アクティブ
CANA_TX	11					O	CAN-A 送信
SD2_C3	13					I	SDFM-2 チャンネル 3 クロック入力
FSIRXB_D1	14					I	FSIRX-B オプションの追加データ入力
SPIA_POCI	15					I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
GPIO60	0, 4, 8, 12	L15	105		54	I/O	汎用入出力 60
EPWM3_B	1					O	ePWM-3 出力 B
EMIF1_D24	2					I/O	外部メモリ インターフェイス 1 データライン 24
ESC_LATCH0	3					I	EtherCAT ラッチ信号入力 0
OUTPUTXBAR3	5					O	出力クロスバー出力 3
SPIB_PICO	6					I/O	SPI-B ペリフェラル入力、コントローラ出力 (PICO)
SD2_D3	7					I	SDFM-2 チャンネル 3 データ入力
EMIF1_D5	9					I/O	外部メモリ インターフェイス 1 データライン 5
ESC_LED_ERR	10					O	EtherCAT エラー LED
SD2_C4	13					I	SDFM-2 チャンネル 4 クロック入力
FSIRXB_CLK	14					I	FSIRX-B 入力クロック
SPIA_CLK	15					I/O	SPI-A クロック
GPIO61	0, 4, 8, 12	K16	107	H11	56	I/O	汎用入出力 61
EPWM17_B	1					O	ePWM-17 出力 B
EMIF1_D23	2					I/O	外部メモリ インターフェイス 1 データライン 23
ESC_LATCH1	3					I	EtherCAT ラッチ信号入力 1
OUTPUTXBAR4	5					O	出力クロスバー出力 4
SPIB_POCI	6					I/O	SPI-B ペリフェラル出力、コントローラ入力 (POCI)
SD2_C3	7					I	SDFM-2 チャンネル 3 クロック入力
EMIF1_D6	9					I/O	外部メモリ インターフェイス 1 データライン 6
ESC_LED_RUN	10					O	EtherCAT 実行 LED
CANA_RX	14					I	CAN-A 受信
SPIA_PTE	15					I/O	SPI-A ペリフェラル送信イネーブル (PTE)
GPIO62	0, 4, 8, 12	K15	108	H10	57	I/O	汎用入出力 62
SCIA_RX	1					I	SCI-A 受信データ
EMIF1_D22	2					I/O	外部メモリ インターフェイス 1 データライン 22
ESC_MDIO_CLK	3					O	EtherCAT MDIO クロック
EQEP3_A	5					I	eQEP-3 入力 A
CANA_RX	6					I	CAN-A 受信
SD2_D4	7					I	SDFM-2 チャンネル 4 データ入力
EMIF1_D7	9					I/O	外部メモリ インターフェイス 1 データライン 7
ESC_LED_STATE_RUN	10					O	EtherCAT LED 状態実行
CANA_TX	14					O	CAN-A 送信

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO63	0, 4, 8, 12	K14	109	G13	58	I/O	汎用入出力 63
SCIA_TX	1					O	SCI-A 送信データ
EMIF1_D21	2					I/O	外部メモリ インターフェイス 1 データライン 21
EPWM9_A	3					O	ePWM-9 出力 A
EQEP3_B	5					I	eQEP-3 入力 B
CANA_TX	6					O	CAN-A 送信
SD2_C4	7					I	SDFM-2 チャンネル 4 クロック入力
EMIF1_RNW	9					O	外部メモリ インターフェイス 1 読み取り、非書き込み
EMIF1_BA0	10					O	外部メモリ インターフェイス 1 バンク アドレス 0
SD1_D1	13					I	SDFM-1 チャンネル 1 データ入力
ESC_RX1_DATA0	14	K13	110	G12	59	I	EtherCAT MII 受信 1 データ 0
SPIB_PICO	15					I/O	SPI-B ペリフェラル入力、コントローラ出力 (PICO)
GPIO64	0, 4, 8, 12					I/O	汎用入出力 64
EMIF1_D20	2					I/O	外部メモリ インターフェイス 1 データライン 20
EPWM9_B	3					O	ePWM-9 出力 B
EQEP3_STROBE	5					I/O	eQEP-3 ストロブ
SCIA_RX	6					I	SCI-A 受信データ
EMIF1_WAIT	9					I	外部メモリ インターフェイス 1 非同期 SRAM ウェイト
EMIF1_BA1	10					O	外部メモリ インターフェイス 1 バンク アドレス 1
SD1_C1	13					I	SDFM-1 チャンネル 1 クロック入力
ESC_RX1_DATA1	14	K12	111	G11	60	I	EtherCAT MII 受信 1 データ 1
SPIB_POCI	15					I/O	SPI-B ペリフェラル出力、コントローラ入力 (POCI)
GPIO65	0, 4, 8, 12					I/O	汎用入出力 65
EMIF1_D19	2					I/O	外部メモリ インターフェイス 1 データライン 19
EPWM10_A	3					O	ePWM-10 出力 A
EQEP3_INDEX	5					I/O	eQEP-3 インデックス
SCIA_TX	6					O	SCI-A 送信データ
EMIF1_WEn	9					O	外部メモリ インターフェイス 1 書き込みイネーブル
FSITXB_CLK	11					O	FSITX-B 出力クロック
SD1_D2	13					I	SDFM-1 チャンネル 2 データ入力
ESC_RX1_DATA2	14	K11	112	G10	61	I	EtherCAT MII 受信 1 データ 2
SPIB_CLK	15					I/O	SPI-B クロック
GPIO66	0, 4, 8, 12					I/O	汎用入出力 66
EQEP6_B	1					I	eQEP-6 入力 B
EMIF1_D18	2					I/O	外部メモリ インターフェイス 1 データライン 18
EPWM10_B	3					O	ePWM-10 出力 B
I2CB_SDA	6					I/OD	I2C-B オープンドレイン双方向データ
EMIF1_OEn	9					O	外部メモリ インターフェイス 1 出力イネーブル
FSITXB_D1	11					O	FSITX-B オプションの追加データ出力
SD1_C2	13					I	SDFM-1 チャンネル 2 クロック入力
ESC_RX1_DATA3	14	K11	112	G10	61	I	EtherCAT MII 受信 1 データ 3
SPIB_PTE	15					I/O	SPI-B ペリフェラル送信イネーブル (PTE)

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO67	0, 4, 8, 12	D15	132			I/O	汎用入出力 67
EMIF1_D17	2					I/O	外部メモリ インターフェイス 1 データライン 17
EPWM17_A	3					O	ePWM-17 出力 A
LINB_TX	5					O	LIN-B 送信
ESC_I2C_SDA	11					I/OC	EtherCAT I2C データ
SD1_D3	13					I	SDFM-1 チャンネル 3 データ入力
GPIO68	0, 4, 8, 12	C16	133	B13		I/O	汎用入出力 68
EMIF1_D16	2					I/O	外部メモリ インターフェイス 1 データライン 16
EPWM17_B	3					O	ePWM-17 出力 B
LINB_RX	5					I	LIN-B 受信
ESC_I2C_SCL	11					I/OC	EtherCAT I2C クロック
SD1_C3	13					I	SDFM-1 チャンネル 3 クロック入力
ESC_PHY1_LINKSTATUS	14					I	EtherCAT PHY-1 リンク ステータス
GPIO69	0, 4, 8, 12	B16	134	B12	75	I/O	汎用入出力 69
EMIF1_D15	2					I/O	外部メモリ インターフェイス 1 データライン 15
EPWM11_A	3					O	ePWM-11 出力 A
I2CB_SCL	6					I/OD	I2C-B オープンドレイン双方向クロック
FSITXB_D0	11					O	FSITX-B 1 次データ出力
SD1_D4	13					I	SDFM-1 チャンネル 4 データ入力
ESC_RX1_CLK	14					I	EtherCAT MII 受信 1 クロック
SPIC_PICO	15					I/O	SPI-C ペリフェラル入力、コントローラ出力 (PICO)
GPIO70	0, 4, 8, 12	C15	135	A12	76	I/O	汎用入出力 70
EMIF1_D14	2					I/O	外部メモリ インターフェイス 1 データライン 14
EPWM11_B	3					O	ePWM-11 出力 B
CANA_RX	5					I	CAN-A 受信
SCIB_TX	6					O	SCI-B 送信データ
UARTB_TX	7					I/O	UART-B シリアル データ送信
MCANA_RX	9					I	CAN/CAN FD-A 受信
FSIRXB_D0	11					I	FSIRX-B 1 次データ入力
SD1_C4	13					I	SDFM-1 チャンネル 4 クロック入力
ESC_RX1_DV	14					I	EtherCAT MII 受信 1 データ有効
SPIC_POCI	15					I/O	SPI-C ペリフェラル出力、コントローラ入力 (POCI)
GPIO71	0, 4, 8, 12	B15	136	B11	77	I/O	汎用入出力 71
EMIF1_D13	2					I/O	外部メモリ インターフェイス 1 データライン 13
EPWM12_A	3					O	ePWM-12 出力 A
CANA_TX	5					O	CAN-A 送信
SCIB_RX	6					I	SCI-B 受信データ
UARTB_RX	7					I/O	UART-B シリアル データ受信
MCANA_TX	9					O	CAN/CAN FD-A 送信
SD3_D1	13					I	SDFM-3 チャンネル 1 データ入力
ESC_RX1_ERR	14					I	EtherCAT MII 受信 1 エラー
SPIC_CLK	15					I/O	SPI-C クロック

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO72	0、4、8、12	A15	139	A11	80	I/O	汎用入出力 72
EQEP6_STROBE	1					I/O	eQEP-6 ストロープ
EMIF1_D12	2					I/O	外部メモリ インターフェイス 1 データライン 12
EPWM12_B	3					O	ePWM-12 出力 B
OUTPUTXBAR8	5					O	出力クロスバー出力 8
UARTA_TX	6					I/O	UART-A シリアル データ送信
MCANB_RX	9					I	CAN/CAN FD-B 受信
SD3_C1	13					I	SDFM-3 チャンネル 1 クロック入力
ESC_TX1_DATA3	14					O	EtherCAT MII 送信 1 データ 3
SPIC_PTE	15					I/O	SPI-C ペリフェラル送信イネーブル (PTE)
GPIO73	0、4、8、12	D14	140	C10	81	I/O	汎用入出力 73
EQEP6_INDEX	1					I/O	eQEP-6 インデックス
EMIF1_D11	2					I/O	外部メモリ インターフェイス 1 データライン 11
XCLKOUT	3					O	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。
OUTPUTXBAR6	5					O	出力クロスバー出力 6
UARTA_RX	6					I/O	UART-A シリアル データ受信
EPWM5_B	7					O	ePWM-5 出力 B
MCANB_TX	9					O	CAN/CAN FD-B 送信
SD4_D4	10					I	SDFM-4 チャンネル 4 データ入力
SD2_D2	13					I	SDFM-2 チャンネル 2 データ入力
ESC_TX1_DATA2	14					O	EtherCAT MII 送信 1 データ 2
GPIO74	0、4、8、12	C14	141	B10		I/O	汎用入出力 74
EPWM8_A	1					O	ePWM-8 出力 A
EMIF1_D10	2					I/O	外部メモリ インターフェイス 1 データライン 10
EQEP5_A	6					I	eQEP-5 入力 A
MCANA_TX	9					O	CAN/CAN FD-A 送信
SD1_D4	10					I	SDFM-1 チャンネル 4 データ入力
SD2_C2	13					I	SDFM-2 チャンネル 2 クロック入力
ESC_TX1_DATA1	14					O	EtherCAT MII 送信 1 データ 1
GPIO75	0、4、8、12	B14	142	A10		I/O	汎用入出力 75
EPWM8_B	1					O	ePWM-8 出力 B
EMIF1_D9	2					I/O	外部メモリ インターフェイス 1 データライン 9
EQEP5_B	6					I	eQEP-5 入力 B
SPID_CLK	7					I/O	SPI-D クロック
MCANA_RX	9					I	CAN/CAN FD-A 受信
CLB_OUTPUTXBAR8	10					O	CLB 出力クロスバー出力 8
SD2_D3	13					I	SDFM-2 チャンネル 3 データ入力
ESC_TX1_DATA0	14					O	EtherCAT MII 送信 1 データ 0
GPIO76	0、4、8、12	A14	143	E9		I/O	汎用入出力 76
EPWM9_A	1					O	ePWM-9 出力 A
EMIF1_D8	2					I/O	外部メモリ インターフェイス 1 データライン 8
EQEP5_STROBE	6					I/O	eQEP-5 ストロープ
SD3_C1	7					I	SDFM-3 チャンネル 1 クロック入力
SD4_D4	10					I	SDFM-4 チャンネル 4 データ入力
SD2_C3	13					I	SDFM-2 チャンネル 3 クロック入力
ESC_PHY_RESETn	14					O	EtherCAT PHY アクティブ Low リセット

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO77	0, 4, 8, 12	F13	144	D9		I/O	汎用入出力 77
EPWM9_B	1					O	ePWM-9 出力 B
EMIF1_D7	2					I/O	外部メモリ インターフェイス 1 データライン 7
EQEP5_INDEX	6					I/O	eQEP-5 インデックス
SD3_D1	7					I	SDFM-3 チャンネル 1 データ入力
SD1_D4	10					I	SDFM-1 チャンネル 4 データ入力
SD2_D4	13					I	SDFM-2 チャンネル 4 データ入力
ESC_RX0_CLK	14					I	EtherCAT MII 受信 0 クロック
GPIO78	0, 4, 8, 12	E13	145	C9	82	I/O	汎用入出力 78
EPWM10_A	1					O	ePWM-10 出力 A
EMIF1_D6	2					I/O	外部メモリ インターフェイス 1 データライン 6
EQEP2_A	6					I	eQEP-2 入力 A
SD3_C2	7					I	SDFM-3 チャンネル 2 クロック入力
SD4_D4	10					I	SDFM-4 チャンネル 4 データ入力
SD2_C4	13					I	SDFM-2 チャンネル 4 クロック入力
ESC_RX0_DV	14					I	EtherCAT MII 受信 0 データ有効
GPIO79	0, 4, 8, 12	D13	146	B9		I/O	汎用入出力 79
EPWM10_B	1					O	ePWM-10 出力 B
EMIF1_D5	2					I/O	外部メモリ インターフェイス 1 データライン 5
ERRORSTS	5					O	エラー ステータス出力。外部プルダウンが必要。
EQEP2_B	6					I	eQEP-2 入力 B
SD3_D2	7					I	SDFM-3 チャンネル 2 データ入力
SD2_D1	13					I	SDFM-2 チャンネル 1 データ入力
ESC_RX0_ERR	14					I	EtherCAT MII 受信 0 エラー
GPIO80	0, 4, 8, 12	A13	148	E8	83	I/O	汎用入出力 80
EPWM11_A	1					O	ePWM-11 出力 A
EMIF1_D4	2					I/O	外部メモリ インターフェイス 1 データライン 4
ERRORSTS	5					O	エラー ステータス出力。外部プルダウンが必要。
EQEP2_STROBE	6					I/O	eQEP-2 ストロブ
SD3_C3	7					I	SDFM-3 チャンネル 3 クロック入力
SD1_D4	10					I	SDFM-1 チャンネル 4 データ入力
SD2_C1	13					I	SDFM-2 チャンネル 1 クロック入力
ESC_RX0_DATA0	14					I	EtherCAT MII 受信 0 データ 0
GPIO81	0, 4, 8, 12	F12	149			I/O	汎用入出力 81
EPWM11_B	1					O	ePWM-11 出力 B
EMIF1_D3	2					I/O	外部メモリ インターフェイス 1 データライン 3
EQEP2_INDEX	6					I/O	eQEP-2 インデックス
SD3_D3	7					I	SDFM-3 チャンネル 3 データ入力
ESC_RX0_DATA1	14					I	EtherCAT MII 受信 0 データ 1
GPIO82	0, 4, 8, 12	E12	150	D8		I/O	汎用入出力 82
EPWM12_A	1					O	ePWM-12 出力 A
EMIF1_D2	2					I/O	外部メモリ インターフェイス 1 データライン 2
SD3_C2	13					I	SDFM-3 チャンネル 2 クロック入力
ESC_RX0_DATA2	14					I	EtherCAT MII 受信 0 データ 2

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO83	0, 4, 8, 12					I/O	汎用入出力 83
EPWM12_B	1					O	ePWM-12 出力 B
EMIF1_D1	2	D12	151	C8		I/O	外部メモリ インターフェイス 1 データライン 1
SD3_D2	13					I	SDFM-3 チャンネル 2 データ入力
ESC_RX0_DATA3	14					I	EtherCAT MII 受信 0 データ 3
GPIO84	0, 4, 8, 12					I/O	汎用入出力 84
EPWM12_B	1					O	ePWM-12 出力 B
EMIF1_D1	2					I/O	外部メモリ インターフェイス 1 データライン 1
EMIF1_CS4n	3					O	外部メモリ インターフェイス 1 チップ セレクト 4
SCIA_TX	5					O	SCI-A 送信データ
EQEP6_A	6	D9	154	A8	85	I	eQEP-6 入力 A
SD3_D2	9					I	SDFM-3 チャンネル 2 データ入力
UARTA_TX	11					I/O	UART-A シリアル データ送信
SD3_C2	13					I	SDFM-3 チャンネル 2 クロック入力
ESC_TX0_ENA	14					I/O	EtherCAT MII 送信 0 イネーブル
ESC_RX0_DATA3	15					I	EtherCAT MII 受信 0 データ 3
GPIO85	0, 4, 8, 12					I/O	汎用入出力 85
EPWM13_A	1					O	ePWM-13 出力 A
EMIF1_D0	2					I/O	外部メモリ インターフェイス 1 データライン 0
SCIA_RX	5					I	SCI-A 受信データ
EQEP6_B	6	C9	155	A7	86	I	eQEP-6 入力 B
SD3_D1	7					I	SDFM-3 チャンネル 1 データ入力
UARTA_RX	11					I/O	UART-A シリアル データ受信
SD3_D3	13					I	SDFM-3 チャンネル 3 データ入力
ESC_TX0_CLK	14					I	EtherCAT MII 送信 0 クロック
EMIF1_DQM2	15					O	外部メモリ インターフェイス 1 のバイト 2 入力 / 出力マスク
GPIO86	0, 4, 8, 12					I/O	汎用入出力 86
EPWM13_B	1					O	ePWM-13 出力 B
EMIF1_A13	2					O	外部メモリ インターフェイス 1 アドレスライン 13
EMIF1_CAS	3	B9	156	B7	87	O	外部メモリ インターフェイス 1 列アドレス ストロープ
SCIB_TX	5					O	SCI-B 送信データ
EQEP6_STROBE	6					I/O	eQEP-6 ストロープ
SD3_C3	13					I	SDFM-3 チャンネル 3 クロック入力
ESC_PHY0_LINKSTATUS	14					I	EtherCAT PHY-0 リンク ステータス
GPIO87	0, 4, 8, 12					I/O	汎用入出力 87
EPWM14_A	1					O	ePWM-14 出力 A
EMIF1_A14	2					O	外部メモリ インターフェイス 1 アドレスライン 14
EMIF1_RAS	3					O	外部メモリ インターフェイス、1 行のアドレス ストロープ
SCIB_RX	5	A9	157	C7	88	I	SCI-B 受信データ
EQEP6_INDEX	6					I/O	eQEP-6 インデックス
EMIF1_DQM3	9					O	外部メモリ インターフェイス 1 のバイト 3 入力 / 出力マスク
SD3_D4	13					I	SDFM-3 チャンネル 4 データ入力
ESC_TX0_DATA0	14					O	EtherCAT MII 送信 0 データ 0

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO88	0, 4, 8, 12	B6	170	C5		I/O	汎用入出力 88
EPWM14_B	1					O	ePWM-14 出力 B
EMIF1_A15	2					O	外部メモリ インターフェイス 1 アドレスライン 15
EMIF1_DQM0	3					O	外部メモリ インターフェイス 1 のバイト 0 入力 / 出力マスク
EMIF1_DQM1	9					O	外部メモリ インターフェイス 1 のバイト 1 入力 / 出力マスク
SD3_C4	13					I	SDFM-3 チャネル 4 クロック入力
ESC_TX0_DATA1	14					O	EtherCAT MII 送信 0 データ 1
GPIO89	0, 4, 8, 12	C6	171	D5	96	I/O	汎用入出力 89
EPWM15_A	1					O	ePWM-15 出力 A
EMIF1_A16	2					O	外部メモリ インターフェイス 1 アドレスライン 16
EMIF1_DQM1	3					O	外部メモリ インターフェイス 1 のバイト 1 入力 / 出力マスク
SD1_D3	7					I	SDFM-1 チャネル 3 データ入力
EMIF1_CAS	9					O	外部メモリ インターフェイス 1 列アドレス ストロープ
SD4_D1	13					I	SDFM-4 チャネル 1 データ入力
ESC_TX0_DATA2	14					O	EtherCAT MII 送信 0 データ 2
SPID_PTE	15					I/O	SPI-D ペリフェラル送信イネーブル (PTE)
GPIO90	0, 4, 8, 12	D6	172	E5	97	I/O	汎用入出力 90
EPWM15_B	1					O	ePWM-15 出力 B
EMIF1_A17	2					O	外部メモリ インターフェイス 1 アドレスライン 17
EMIF1_DQM2	3					O	外部メモリ インターフェイス 1 のバイト 2 入力 / 出力マスク
SD1_C3	7					I	SDFM-1 チャネル 3 クロック入力
EMIF1_RAS	9					O	外部メモリ インターフェイス、1 行のアドレス ストロープ
SD4_C1	13					I	SDFM-4 チャネル 1 クロック入力
ESC_TX0_DATA3	14					O	EtherCAT MII 送信 0 データ 3
SPID_CLK	15					I/O	SPI-D クロック
GPIO91	0, 4, 8, 12	E6	173	B4	98	I/O	汎用入出力 91
EPWM16_A	1					O	ePWM-16 出力 A
EMIF1_A18	2					O	外部メモリ インターフェイス 1 アドレスライン 18
EMIF1_DQM3	3					O	外部メモリ インターフェイス 1 のバイト 3 入力 / 出力マスク
I2CA_SDA	6					I/OD	I2C-A オープンドレイン双方向データ
SD4_D2	7					I	SDFM-4 チャネル 2 データ入力
EMIF1_DQM2	9					O	外部メモリ インターフェイス 1 のバイト 2 入力 / 出力マスク
PMBUS_A_SCL	10					I/OD	PMBus-A オープンドレイン双方向クロック
CLB_OUTPUTXBAR1	14					O	CLB 出力クロスバー出力 1
SPID_PICO	15					I/O	SPI-D ペリフェラル入力、コントローラ出力 (PICO)
GPIO92	0, 4, 8, 12	A5	174	A4	99	I/O	汎用入出力 92
EPWM16_B	1					O	ePWM-16 出力 B
EMIF1_A19	2					O	外部メモリ インターフェイス 1 アドレスライン 19
EMIF1_BA1	3					O	外部メモリ インターフェイス 1 バンク アドレス 1
I2CA_SCL	6					I/OD	I2C-A オープンドレイン双方向クロック
SD4_C2	7					I	SDFM-4 チャネル 2 クロック入力
EMIF1_DQM0	9					O	外部メモリ インターフェイス 1 のバイト 0 入力 / 出力マスク
PMBUS_A_SDA	10					I/OD	PMBus-A オープンドレイン双方向データ
FSIRXD_CLK	11					I	FSIRX-D 入力クロック
CLB_OUTPUTXBAR2	14					O	CLB 出力クロスバー出力 2
SPID_POCI	15					I/O	SPI-D ペリフェラル出力、コントローラ入力 (POCI)

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO93	0, 4, 8, 12	C5	175	A3		I/O	汎用入出力 93
EPWM17_A	1					O	ePWM-17 出力 A
EMIF1_BA0	3					O	外部メモリ インターフェイス 1 バンク アドレス 0
SD4_D3	7					I	SDFM-4 チャンネル 3 データ入力
PMBUS_A_ALERT	10					I/OD	PMBus-A オープンドレイン双方向アラート信号
ESC_TX1_CLK	11					I	EtherCAT MII 送信 1 クロック
CLB_OUTPUTXBAR3	14					O	CLB 出力クロスバー出力 3
SPID_CLK	15					I/O	SPI-D クロック
GPIO94	0, 4, 8, 12	D5	176	A2		I/O	汎用入出力 94
EPWM17_B	1					O	ePWM-17 出力 B
SD4_C3	7					I	SDFM-4 チャンネル 3 クロック入力
EMIF1_BA1	9					O	外部メモリ インターフェイス 1 バンク アドレス 1
PMBUS_A_CTL	10					I/O	PMBus-A 制御信号 - ターゲット入力 / コントローラ出力
ESC_TX1_ENA	11					I/O	EtherCAT MII 送信 1 イネーブル
CLB_OUTPUTXBAR4	14					O	CLB 出力クロスバー出力 4
SPID_PTE	15					I/O	SPI-D ペリフェラル送信イネーブル (PTE)
GPIO95	0, 4, 8, 12	A4				I/O	汎用入出力 95
EPWM18_A	1					O	ePWM-18 出力 A
EQEP4_A	2					I	eQEP-4 入力 A
SD1_D1	6					I	SDFM-1 チャンネル 1 データ入力
ESC_GPO10	10					O	EtherCAT 汎用出力 10
CLB_OUTPUTXBAR5	14					O	CLB 出力クロスバー出力 5
GPIO96	0, 4, 8, 12	B4				I/O	汎用入出力 96
EPWM18_B	1					O	ePWM-18 出力 B
EQEP4_B	2					I	eQEP-4 入力 B
EQEP1_A	5					I	eQEP-1 入力 A
SD1_C1	6					I	SDFM-1 チャンネル 1 クロック入力
ESC_GPO11	10					O	EtherCAT 汎用出力 11
CLB_OUTPUTXBAR6	14					O	CLB 出力クロスバー出力 6
GPIO97	0, 4, 8, 12	C4				I/O	汎用入出力 97
EQEP4_STROBE	2					I/O	eQEP-4 ストローブ
EQEP1_B	5					I	eQEP-1 入力 B
SD1_D2	6					I	SDFM-1 チャンネル 2 データ入力
ESC_GPI17	10					I	EtherCAT 汎用入力 17
CLB_OUTPUTXBAR7	14					O	CLB 出力クロスバー出力 7
GPIO98	0, 4, 8, 12	E2				I/O	汎用入出力 98
EQEP4_INDEX	2					I/O	eQEP-4 インデックス
EQEP1_STROBE	5					I/O	eQEP-1 ストローブ
SD1_C2	6					I	SDFM-1 チャンネル 2 クロック入力
ESC_GPI18	10					I	EtherCAT 汎用入力 18
CLB_OUTPUTXBAR8	14					O	CLB 出力クロスバー出力 8

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO99	0, 4, 8, 12	C1	17	E4		I/O	汎用入出力 99
EMIF1_DQM3	2					O	外部メモリ インターフェイス 1 のバイト 3 入力 / 出力マスク
EPWM8_A	3					O	ePWM-8 出力 A
EQEP1_INDEX	5					I/O	eQEP-1 インデックス
SD4_D4	7					I	SDFM-4 チャネル 4 データ入力
ESC_GPI21	10					I	EtherCAT 汎用入力 21
EMIF1_D17	14					I/O	外部メモリ インターフェイス 1 データライン 17
GPIO100	0, 4, 8, 12	F4			2	I/O	汎用入出力 100
SPIA_PICO	1					I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
EMIF1_BA1	2					O	外部メモリ インターフェイス 1 バンク アドレス 1
EPWM9_A	3					O	ePWM-9 出力 A
EQEP2_A	5					I	eQEP-2 入力 A
SPIC_PICO	6					I/O	SPI-C ペリフェラル入力、コントローラ出力 (PICO)
SD4_C4	7					I	SDFM-4 チャネル 4 クロック入力
SD1_D1	9					I	SDFM-1 チャネル 1 データ入力
ESC_GPI0	10					I	EtherCAT 汎用入力 0
FSIRXD_D1	11					I	FSIRX-D オプションの追加データ入力
FSITXA_D0	13					O	FSITX-A 1 次データ出力
EMIF1_D24	14					I/O	外部メモリ インターフェイス 1 データライン 24
GPIO101	0, 4, 8, 12	N9				I/O	汎用入出力 101
EPWM18_A	1					O	ePWM-18 出力 A
EQEP2_B	5					I	eQEP-2 入力 B
SPIC_POCI	6					I/O	SPI-C ペリフェラル出力、コントローラ入力 (POCI)
ESC_GPI1	10					I	EtherCAT 汎用入力 1
EMIF1_A5	11					O	外部メモリ インターフェイス 1 アドレス ライン 5
FSITXA_D1	13					O	FSITX-A オプションの追加データ出力
GPIO102	0, 4, 8, 12	C13				I/O	汎用入出力 102
EPWM18_B	1					O	ePWM-18 出力 B
EQEP2_STROBE	5					I/O	eQEP-2 ストローブ
SPIC_CLK	6					I/O	SPI-C クロック
ESC_GPI2	10					I	EtherCAT 汎用入力 2
EMIF1_A6	11					O	外部メモリ インターフェイス 1 アドレス ライン 6
FSITXA_CLK	13					O	FSITX-A 出力クロック
GPIO103	0, 4, 8, 12	G12	126	D10		I/O	汎用入出力 103
EMIF1_BA0	2					O	外部メモリ インターフェイス 1 バンク アドレス 0
EPWM8_B	3					O	ePWM-8 出力 B
EQEP2_INDEX	5					I/O	eQEP-2 インデックス
SPIC_PTE	6					I/O	SPI-C ペリフェラル送信イネーブル (PTE)
SD4_C4	7					I	SDFM-4 チャネル 4 クロック入力
ESC_GPI3	10					I	EtherCAT 汎用入力 3
FSIRXA_D0	13					I	FSIRX-A 1 次データ入力

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO104	0、4、8、12	B13	147	A9		I/O	汎用入出力 104
I2CA_SDA	1					I/OD	I2C-A オープンドレイン双方向データ
EPWM18_A	2					O	ePWM-18 出力 A
EQEP3_A	5					I	eQEP-3 入力 A
SD3_D1	6					I	SDFM-3 チャネル 1 データ入力
ESC_GPI4	10					I	EtherCAT 汎用入力 4
FSIRXA_D1	13					I	FSIRX-A オプションの追加データ入力
ESC_SYNC0	14					O	EtherCAT 同期信号出力 0
GPIO105	0、4、8、12	L16	106	H12		I/O	汎用入出力 105
I2CA_SCL	1					I/OD	I2C-A オープンドレイン双方向クロック
EPWM18_B	2					O	ePWM-18 出力 B
EQEP3_B	5					I	eQEP-3 入力 B
SD3_C1	6					I	SDFM-3 チャネル 1 クロック入力
ESC_GPI5	10					I	EtherCAT 汎用入力 5
FSIRXA_CLK	13					I	FSIRX-A 入力クロック
ESC_SYNC1	14					O	EtherCAT 同期信号出力 1
GPIO106	0、4、8、12	F1	20			I/O	汎用入出力 106
EPWM16_A	1					O	ePWM-16 出力 A
EMIF1_A10	2					O	外部メモリ インターフェイス 1 アドレスライン 10
EQEP3_STROBE	5					I/O	eQEP-3 ストローブ
SD3_D2	6					I	SDFM-3 チャネル 2 データ入力
ESC_GPI6	10					I	EtherCAT 汎用入力 6
FSITXB_D0	13					O	FSITX-B 1 次データ出力
GPIO107	0、4、8、12	F2				I/O	汎用入出力 107
EPWM16_B	1					O	ePWM-16 出力 B
EQEP3_INDEX	5					I/O	eQEP-3 インデックス
SD3_C2	6					I	SDFM-3 チャネル 2 クロック入力
ESC_GPI7	10					I	EtherCAT 汎用入力 7
FSITXB_D1	13					O	FSITX-B オプションの追加データ出力
GPIO108	0、4、8、12	G2				I/O	汎用入出力 108
EPWM17_A	1					O	ePWM-17 出力 A
EMIF1_A12	2					O	外部メモリ インターフェイス 1 アドレスライン 12
EQEP5_A	5					I	eQEP-5 入力 A
SD3_D3	6					I	SDFM-3 チャネル 3 データ入力
ESC_GPI8	10					I	EtherCAT 汎用入力 8
FSITXB_CLK	13					O	FSITX-B 出力クロック
GPIO109	0、4、8、12	G3				I/O	汎用入出力 109
EPWM17_B	1					O	ePWM-17 出力 B
EMIF1_A11	2					O	外部メモリ インターフェイス 1 アドレスライン 11
EQEP5_B	5					I	eQEP-5 入力 B
SD3_C3	6					I	SDFM-3 チャネル 3 クロック入力
ESC_GPI9	10					I	EtherCAT 汎用入力 9

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO110	0, 4, 8, 12	H2				I/O	汎用入出力 110
EMIF1_D31	1					I/O	外部メモリ インターフェイス 1 データライン 31
EQEP5_STROBE	5					I/O	eQEP-5 ストロブ
SD3_D4	6					I	SDFM-3 チャンネル 4 データ入力
ESC_GPI10	10					I	EtherCAT 汎用入力 10
FSIRXB_D0	13					I	FSIRX-B 1 次データ入力
GPIO111	0, 4, 8, 12	H3				I/O	汎用入出力 111
EMIF1_D30	1					I/O	外部メモリ インターフェイス 1 データライン 30
EQEP5_INDEX	5					I/O	eQEP-5 インデックス
SD3_C4	6					I	SDFM-3 チャンネル 4 クロック入力
ESC_GPI11	10					I	EtherCAT 汎用入力 11
FSIRXB_D1	13					I	FSIRX-B オプションの追加データ入力
GPIO112	0, 4, 8, 12	H4				I/O	汎用入出力 112
EMIF1_D29	1					I/O	外部メモリ インターフェイス 1 データライン 29
SD1_D3	7					I	SDFM-1 チャンネル 3 データ入力
ESC_GPI12	10					I	EtherCAT 汎用入力 12
FSIRXB_CLK	13					I	FSIRX-B 入力クロック
GPIO113	0, 4, 8, 12	J3				I/O	汎用入出力 113
EMIF1_D28	1					I/O	外部メモリ インターフェイス 1 データライン 28
SD1_C3	7					I	SDFM-1 チャンネル 3 クロック入力
ESC_GPI13	10					I	EtherCAT 汎用入力 13
GPIO114	0, 4, 8, 12	J4				I/O	汎用入出力 114
EMIF1_D27	1					I/O	外部メモリ インターフェイス 1 データライン 27
SD1_D4	7					I	SDFM-1 チャンネル 4 データ入力
ESC_GPI14	10					I	EtherCAT 汎用入力 14
GPIO115	0, 4, 8, 12	P9				I/O	汎用入出力 115
EMIF1_D26	1					I/O	外部メモリ インターフェイス 1 データライン 26
OUTPUTXBAR5	5					O	出力クロスバー出力 5
SD1_C4	7					I	SDFM-1 チャンネル 4 クロック入力
ESC_GPI15	10					I	EtherCAT 汎用入力 15
FSIRXC_D0	13					I	FSIRX-C 1 次データ入力
GPIO116	0, 4, 8, 12	H11				I/O	汎用入出力 116
OUTPUTXBAR6	5					O	出力クロスバー出力 6
ESC_GPI16	10					I	EtherCAT 汎用入力 16
FSIRXC_D1	13					I	FSIRX-C オプションの追加データ入力
GPIO119	0, 4, 8, 12	M10				I/O	汎用入出力 119
EMIF1_D25	1					I/O	外部メモリ インターフェイス 1 データライン 25
MCANB_TX	5					O	CAN/CAN FD-B 送信
ESC_GPI19	10					I	EtherCAT 汎用入力 19
FSIRXD_D1	13					I	FSIRX-D オプションの追加データ入力
GPIO120	0, 4, 8, 12	M11				I/O	汎用入出力 120
EMIF1_D24	1					I/O	外部メモリ インターフェイス 1 データライン 24
MCANB_RX	5					I	CAN/CAN FD-B 受信
ESC_GPI20	10					I	EtherCAT 汎用入力 20
FSIRXD_CLK	13					I	FSIRX-D 入力クロック

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO122	0, 4, 8, 12	L7				I/O	汎用入出力 122
EMIF1_D23	1					I/O	外部メモリ インターフェイス 1 データライン 23
SPIC_PICO	6					I/O	SPI-C ペリフェラル入力、コントローラ出力 (PICO)
SD1_D1	7					I	SDFM-1 チャネル 1 データ入力
ESC_GPI22	10					I	EtherCAT 汎用入力 22
GPIO123	0, 4, 8, 12	M7				I/O	汎用入出力 123
EMIF1_D22	1					I/O	外部メモリ インターフェイス 1 データライン 22
SPIC_POCI	6					I/O	SPI-C ペリフェラル出力、コントローラ入力 (POCI)
SD1_C1	7					I	SDFM-1 チャネル 1 クロック入力
ESC_GPI23	10					I	EtherCAT 汎用入力 23
GPIO124	0, 4, 8, 12	L8				I/O	汎用入出力 124
EMIF1_D21	1					I/O	外部メモリ インターフェイス 1 データライン 21
SPIC_CLK	6					I/O	SPI-C クロック
SD1_D2	7					I	SDFM-1 チャネル 2 データ入力
ESC_GPI24	10					I	EtherCAT 汎用入力 24
GPIO125	0, 4, 8, 12	M8				I/O	汎用入出力 125
EMIF1_D20	1					I/O	外部メモリ インターフェイス 1 データライン 20
SPIC_PTE	6					I/O	SPI-C ペリフェラル送信イネーブル (PTE)
SD1_C2	7					I	SDFM-1 チャネル 2 クロック入力
ESC_GPI25	10					I	EtherCAT 汎用入力 25
ESC_LATCH0	14					I	EtherCAT ラッチ信号入力 0
GPIO126	0, 4, 8, 12	T9				I/O	汎用入出力 126
EMIF1_D19	1					I/O	外部メモリ インターフェイス 1 データライン 19
SPID_PICO	6					I/O	SPI-D ペリフェラル入力、コントローラ出力 (PICO)
SD1_D3	7					I	SDFM-1 チャネル 3 データ入力
ESC_GPI26	10					I	EtherCAT 汎用入力 26
ESC_LATCH1	14					I	EtherCAT ラッチ信号入力 1
GPIO127	0, 4, 8, 12	R9				I/O	汎用入出力 127
EMIF1_D18	1					I/O	外部メモリ インターフェイス 1 データライン 18
SPID_POCI	6					I/O	SPI-D ペリフェラル出力、コントローラ入力 (POCI)
SD1_C3	7					I	SDFM-1 チャネル 3 クロック入力
ESC_GPI27	10					I	EtherCAT 汎用入力 27
ESC_SYNC0	14					O	EtherCAT 同期信号出力 0
GPIO128	0, 4, 8, 12	M9				I/O	汎用入出力 128
EMIF1_D17	1					I/O	外部メモリ インターフェイス 1 データライン 17
SPID_CLK	6					I/O	SPI-D クロック
SD1_D4	7					I	SDFM-1 チャネル 4 データ入力
ESC_GPI28	10					I	EtherCAT 汎用入力 28
ESC_SYNC1	14					O	EtherCAT 同期信号出力 1
GPIO129	0, 4, 8, 12	L9				I/O	汎用入出力 129
EMIF1_D16	1					I/O	外部メモリ インターフェイス 1 データライン 16
SPID_PTE	6					I/O	SPI-D ペリフェラル送信イネーブル (PTE)
SD1_C4	7					I	SDFM-1 チャネル 4 クロック入力
ESC_GPI29	10					I	EtherCAT 汎用入力 29
ESC_TX1_ENA	14					I/O	EtherCAT MII 送信 1 イネーブル

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO130	0, 4, 8, 12	T10				I/O	汎用入出力 130
EPWM13_A	1					O	ePWM-13 出力 A
SD2_D1	7					I	SDFM-2 チャンネル 1 データ入力
ESC_GPI30	10					I	EtherCAT 汎用入力 30
ESC_TX1_CLK	14					I	EtherCAT MII 送信 1 クロック
GPIO131	0, 4, 8, 12	N13				I/O	汎用入出力 131
EPWM13_B	1					O	ePWM-13 出力 B
SD2_C1	7					I	SDFM-2 チャンネル 1 クロック入力
ESC_GPI31	10					I	EtherCAT 汎用入力 31
ESC_TX1_DATA0	14					O	EtherCAT MII 送信 1 データ 0
GPIO132	0, 4, 8, 12	T14				I/O	汎用入出力 132
EPWM14_A	1					O	ePWM-14 出力 A
SD2_D2	7					I	SDFM-2 チャンネル 2 データ入力
ESC_GPO0	10					O	EtherCAT 汎用出力 0
ESC_TX1_DATA1	14					O	EtherCAT MII 送信 1 データ 1
GPIO133	0, 4, 8, 12	J15	118	F13		I/O	汎用入出力 133
EMIF1_A11	1					O	外部メモリ インターフェイス 1 アドレスライン 11
EPWM9_A	2					O	ePWM-9 出力 A
SD2_C2	7					I	SDFM-2 チャンネル 2 クロック入力
ESC_LED_STATE_RUN	11					O	EtherCAT LED 状態実行
GPIO134	0, 4, 8, 12	R14				I/O	汎用入出力 134
EPWM14_B	1					O	ePWM-14 出力 B
SD2_D3	7					I	SDFM-2 チャンネル 3 データ入力
ESC_GPO1	10					O	EtherCAT 汎用出力 1
SD2_C1	13					I	SDFM-2 チャンネル 1 クロック入力
ESC_TX1_DATA2	14					O	EtherCAT MII 送信 1 データ 2
GPIO141	0, 4, 8, 12	H13				I/O	汎用入出力 141
EPWM15_A	1					O	ePWM-15 出力 A
SCIB_TX	6					O	SCI-B 送信データ
ESC_GPO8	10					O	EtherCAT 汎用出力 8
ESC_RX1_DATA2	14					I	EtherCAT MII 受信 1 データ 2
GPIO142	0, 4, 8, 12	H14				I/O	汎用入出力 142
EPWM15_B	1					O	ePWM-15 出力 B
SCIB_RX	6					I	SCI-B 受信データ
ESC_GPO9	10					O	EtherCAT 汎用出力 9
ESC_RX1_DATA3	14					I	EtherCAT MII 受信 1 データ 3
GPIO145	0, 4, 8, 12	H15				I/O	汎用入出力 145
EPWM1_A	1					O	ePWM-1 出力 A
MCANB_TX	6					O	CAN/CAN FD-B 送信
ESC_GPO12	10					O	EtherCAT 汎用出力 12
ESC_LED_ERR	14					O	EtherCAT エラー LED
GPIO146	0, 4, 8, 12	H16				I/O	汎用入出力 146
EPWM1_B	1					O	ePWM-1 出力 B
MCANB_RX	6					I	CAN/CAN FD-B 受信
ESC_GPO13	10					O	EtherCAT 汎用出力 13
ESC_LED_RUN	14					O	EtherCAT 実行 LED

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO147	0、4、8、12	H12				I/O	汎用入出力 147
EPWM2_A	1					O	ePWM-2 出力 A
EQEP5_A	6					I	eQEP-5 入力 A
ESC_GPO14	10					O	EtherCAT 汎用出力 14
ESC_LED_STATE_RUN	14					O	EtherCAT LED 状態実行
GPIO148	0、4、8、12	C12				I/O	汎用入出力 148
EPWM2_B	1					O	ePWM-2 出力 B
EQEP5_B	6					I	eQEP-5 入力 B
ESC_GPO15	10					O	EtherCAT 汎用出力 15
ESC_PHY0_LINKSTATUS	14					I	EtherCAT PHY-0 リンク ステータス
GPIO149	0、4、8、12	B12				I/O	汎用入出力 149
EPWM3_A	1					O	ePWM-3 出力 A
EQEP5_STROBE	6					I/O	eQEP-5 ストローブ
ESC_GPO16	10					O	EtherCAT 汎用出力 16
ESC_PHY1_LINKSTATUS	14					I	EtherCAT PHY-1 リンク ステータス
GPIO150	0、4、8、12	A12				I/O	汎用入出力 150
EPWM3_B	1					O	ePWM-3 出力 B
EQEP5_INDEX	6					I/O	eQEP-5 インデックス
ESC_GPO17	10					O	EtherCAT 汎用出力 17
ESC_I2C_SDA	14					I/OC	EtherCAT I2C データ
GPIO151	0、4、8、12	F11				I/O	汎用入出力 151
EPWM4_A	1					O	ePWM-4 出力 A
PMBUS_A_SCL	6					I/OD	PMBus-A オープンドレイン双方向クロック
ESC_GPO18	10					O	EtherCAT 汎用出力 18
FSITXA_D0	13					O	FSITX-A 1 次データ出力
ESC_I2C_SCL	14					I/OC	EtherCAT I2C クロック
GPIO152	0、4、8、12	E11				I/O	汎用入出力 152
EPWM4_B	1					O	ePWM-4 出力 B
PMBUS_A_SDA	6					I/OD	PMBus-A オープンドレイン双方向データ
ESC_GPO19	10					O	EtherCAT 汎用出力 19
FSITXA_D1	13					O	FSITX-A オプションの追加データ出力
ESC_MDIO_CLK	14					O	EtherCAT MDIO クロック
GPIO153	0、4、8、12	D11				I/O	汎用入出力 153
EPWM5_A	1					O	ePWM-5 出力 A
PMBUS_A_ALERT	6					I/OD	PMBus-A オープンドレイン双方向アラート信号
ESC_GPO20	10					O	EtherCAT 汎用出力 20
FSITXA_CLK	13					O	FSITX-A 出力クロック
ESC_MDIO_DATA	14					I/O	EtherCAT MDIO データ
GPIO154	0、4、8、12	C11				I/O	汎用入出力 154
EPWM5_B	1					O	ePWM-5 出力 B
PMBUS_A_CTL	6					I/O	PMBus-A 制御信号 - ターゲット入力 / コントローラ出力
ESC_GPO21	10					O	EtherCAT 汎用出力 21
FSIRXA_D0	13					I	FSIRX-A 1 次データ入力
ESC_PHY_CLK	14					O	EtherCAT PHY クロック

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO155	0, 4, 8, 12	B11				I/O	汎用入出力 155
EPWM6_A	1					O	ePWM-6 出力 A
ESC_GPO22	10					O	EtherCAT 汎用出力 22
FSIRXA_D1	13					I	FSIRX-A オプションの追加データ入力
ESC_PHY_RESETn	14					O	EtherCAT PHY アクティブ Low リセット
GPIO156	0, 4, 8, 12	A11				I/O	汎用入出力 156
EPWM6_B	1					O	ePWM-6 出力 B
ESC_GPO23	10					O	EtherCAT 汎用出力 23
FSIRXA_CLK	13					I	FSIRX-A 入力クロック
ESC_TX0_ENA	14					I/O	EtherCAT MII 送信 0 イネーブル
GPIO157	0, 4, 8, 12	E10				I/O	汎用入出力 157
EPWM7_A	1					O	ePWM-7 出力 A
ESC_GPO24	10					O	EtherCAT 汎用出力 24
FSITXB_D0	13					O	FSITX-B 1 次データ出力
ESC_TX0_CLK	14					I	EtherCAT MII 送信 0 クロック
GPIO158	0, 4, 8, 12	D10				I/O	汎用入出力 158
EPWM7_B	1					O	ePWM-7 出力 B
ESC_GPO25	10					O	EtherCAT 汎用出力 25
FSITXB_D1	13					O	FSITX-B オプションの追加データ出力
ESC_TX0_DATA0	14					O	EtherCAT MII 送信 0 データ 0
GPIO159	0, 4, 8, 12	C10				I/O	汎用入出力 159
EPWM8_A	1					O	ePWM-8 出力 A
ESC_GPO26	10					O	EtherCAT 汎用出力 26
FSITXB_CLK	13					O	FSITX-B 出力クロック
ESC_TX0_DATA1	14					O	EtherCAT MII 送信 0 データ 1
GPIO160	0, 4, 8, 12	B10				I/O	汎用入出力 160
EPWM8_B	1					O	ePWM-8 出力 B
ESC_GPO27	10					O	EtherCAT 汎用出力 27
FSIRXB_D0	13					I	FSIRX-B 1 次データ入力
ESC_TX0_DATA2	14					O	EtherCAT MII 送信 0 データ 2
GPIO161	0, 4, 8, 12	E9				I/O	汎用入出力 161
EPWM9_A	1					O	ePWM-9 出力 A
ESC_GPO28	10					O	EtherCAT 汎用出力 28
FSIRXB_D1	13					I	FSIRX-B オプションの追加データ入力
ESC_TX0_DATA3	14					O	EtherCAT MII 送信 0 データ 3
GPIO162	0, 4, 8, 12	A8				I/O	汎用入出力 162
EPWM9_B	1					O	ePWM-9 出力 B
ESC_GPO29	10					O	EtherCAT 汎用出力 29
FSIRXB_CLK	13					I	FSIRX-B 入力クロック
ESC_RX0_DV	14					I	EtherCAT MII 受信 0 データ有効
GPIO163	0, 4, 8, 12	B8				I/O	汎用入出力 163
EPWM10_A	1					O	ePWM-10 出力 A
ESC_GPO30	10					O	EtherCAT 汎用出力 30
FSIRXC_D0	13					I	FSIRX-C 1 次データ入力
ESC_RX0_CLK	14					I	EtherCAT MII 受信 0 クロック

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO164	0、4、8、12	C8				I/O	汎用入出力 164
EPWM10_B	1					O	ePWM-10 出力 B
ESC_GPO31	10					O	EtherCAT 汎用出力 31
FSIRXC_D1	13					I	FSIRX-C オプションの追加データ入力
ESC_RX0_ERR	14					I	EtherCAT MII 受信 0 エラー
GPIO165	0、4、8、12	F6				I/O	汎用入出力 165
EPWM11_A	1					O	ePWM-11 出力 A
FSIRXC_CLK	13					I	FSIRX-C 入力クロック
ESC_RX0_DATA0	14					I	EtherCAT MII 受信 0 データ 0
GPIO166	0、4、8、12	B5				I/O	汎用入出力 166
EPWM11_B	1					O	ePWM-11 出力 B
FSIRXD_D0	13					I	FSIRX-D 1 次データ入力
ESC_RX0_DATA1	14					I	EtherCAT MII 受信 0 データ 1
GPIO167	0、4、8、12	E5				I/O	汎用入出力 167
EPWM12_A	1					O	ePWM-12 出力 A
FSIRXD_D1	13					I	FSIRX-D オプションの追加データ入力
ESC_RX0_DATA2	14					I	EtherCAT MII 受信 0 データ 2
GPIO168	0、4、8、12	F5				I/O	汎用入出力 168
EPWM12_B	1					O	ePWM-12 出力 B
FSIRXD_CLK	13					I	FSIRX-D 入力クロック
ESC_RX0_DATA3	14					I	EtherCAT MII 受信 0 データ 3
GPIO198	0、4、8、12	K4	26	G4		I/O	汎用入出力 198。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EQEP1_A	1					I	eQEP-1 入力 A
EPWM9_B	2					O	ePWM-9 出力 B
SPIA_PICO	3					I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
ESC_PDI_UC_IRQ	14					O	EtherCAT PDI IRQ 割り込みライン
GPIO199	0、4、8、12	H1	22	F1	9	I/O	汎用入出力 199。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EQEP1_STROBE	1					I/O	eQEP-1 ストローブ
EPWM17_A	2					O	ePWM-17 出力 A
SCIB_TX	3					O	SCI-B 送信データ
EPWM12_A	5					O	ePWM-12 出力 A
SPIB_CLK	6					I/O	SPI-B クロック
SD1_D4	7					I	SDFM-1 チャネル 4 データ入力
MCANA_TX	9					O	CAN/CAN FD-A 送信
EMIF1_RAS	10					O	外部メモリ インターフェイス、1 行のアドレス ストローブ
SPIC_CLK	14					I/O	SPI-C クロック

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO200	0、4、8、12	J1	23	G1	10	I/O	汎用入出力 200。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EQEP1_INDEX	1					I/O	eQEP-1 インデックス
EPWM17_B	2					O	ePWM-17 出力 B
SCIB_RX	3					I	SCI-B 受信データ
EPWM12_B	5					O	ePWM-12 出力 B
SPIB_PTE	6					I/O	SPI-B ペリフェラル送信イネーブル (PTE)
SD1_C4	7					I	SDFM-1 チャネル 4 クロック入力
MCANA_RX	9					I	CAN/CAN FD-A 受信
EMIF1_CAS	10					O	外部メモリ インターフェイス 1 列アドレス ストローブ
ESC_TX1_DATA1	11					O	EtherCAT MII 送信 1 データ 1
SPIC_PTE	14					I/O	SPI-C ペリフェラル送信イネーブル (PTE)
GPIO201	0、4、8、12	J2	24	G2		I/O	汎用入出力 201。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
OUTPUTXBAR1	1					O	出力クロスバー出力 1
EQEP2_A	2					I	eQEP-2 入力 A
EPWM18_A	3					O	ePWM-18 出力 A
LINB_TX	5					O	LIN-B 送信
SPIB_PICO	6					I/O	SPI-B ペリフェラル入力、コントローラ出力 (PICO)
SD2_D1	7					I	SDFM-2 チャネル 1 データ入力
PMBUSA_SCL	9					I/OD	PMBus-A オープンドレイン双方向クロック
EMIF1_DQM0	10					O	外部メモリ インターフェイス 1 のバイト 0 入力 / 出力マスク
ESC_TX1_DATA2	11					O	EtherCAT MII 送信 1 データ 2
EPWM13_A	13					O	ePWM-13 出力 A
GPIO202	0、4、8、12	K3	25	G3		I/O	汎用入出力 202。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
OUTPUTXBAR2	1					O	出力クロスバー出力 2
EQEP2_B	2					I	eQEP-2 入力 B
EPWM18_B	3					O	ePWM-18 出力 B
LINB_RX	5					I	LIN-B 受信
SPIB_POCI	6					I/O	SPI-B ペリフェラル出力、コントローラ入力 (POCI)
SD2_C1	7					I	SDFM-2 チャネル 1 クロック入力
PMBUSA_SDA	9					I/OD	PMBus-A オープンドレイン双方向データ
EMIF1_DQM1	10					O	外部メモリ インターフェイス 1 のバイト 1 入力 / 出力マスク
ESC_TX1_DATA3	11					O	EtherCAT MII 送信 1 データ 3
EPWM13_B	13					O	ePWM-13 出力 B
FSITXA_D1	14					O	FSITX-A オプションの追加データ出力

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO203	0, 4, 8, 12	K5	27	G5	11	I/O	汎用入出力 203。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
OUTPUTXBAR3	1, 5					O	出力クロスバー出力 3
EQEP2_INDEX	2					I/O	eQEP-2 インデックス
SPIA_POCI	3					I/O	SPI-A ペリフェラル出力、コントローラ入力 (POCI)
SPIB_CLK	6					I/O	SPI-B クロック
SD3_D1	7					I	SDFM-3 チャンネル 1 データ入力
PMBUSA_ALERT	9					I/OD	PMBus-A オープンドレイン双方向アラート信号
EMIF1_DQM2	10					O	外部メモリ インターフェイス 1 のバイト 2 入力 / 出力マスク
ESC_MDIO_CLK	11					O	EtherCAT MDIO クロック
EPWM14_A	13					O	ePWM-14 出力 A
FSITXA_D0	14					O	FSITX-A 1 次データ出力
EPWM8_B	15					O	ePWM-8 出力 B
GPIO204	0, 4, 8, 12	L6	28	G6	12	I/O	汎用入出力 204。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
OUTPUTXBAR4	1, 5					O	出力クロスバー出力 4
EQEP2_STROBE	2					I/O	eQEP-2 ストロブ
SPIA_CLK	3					I/O	SPI-A クロック
SPIB_PTE	6					I/O	SPI-B ペリフェラル送信イネーブル (PTE)
SD2_C2	7					I	SDFM-2 チャンネル 2 クロック入力
PMBUSA_CTL	9					I/O	PMBus-A 制御信号 - ターゲット入力 / コントローラ出力
EMIF1_DQM3	10					O	外部メモリ インターフェイス 1 のバイト 3 入力 / 出力マスク
ESC_MDIO_DATA	11					I/O	EtherCAT MDIO データ
EPWM14_B	13					O	ePWM-14 出力 B
FSITXA_CLK	14					O	FSITX-A 出力クロック
SD1_D3	15					I	SDFM-1 チャンネル 3 データ入力
GPIO205	0, 4, 8, 12	M6	29	H6	13	I/O	汎用入出力 205。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EQEP1_INDEX	1					I/O	eQEP-1 インデックス
EPWM10_A	2					O	ePWM-10 出力 A
SPIA_PTE	3					I/O	SPI-A ペリフェラル送信イネーブル (PTE)
OUTPUTXBAR1	11					O	出力クロスバー出力 1
SD1_C3	15					I	SDFM-1 チャンネル 3 クロック入力
GPIO206	0, 4, 8, 12	L5	30	H5	14	I/O	汎用入出力 206。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EMIF1_A11	1					O	外部メモリ インターフェイス 1 アドレスライン 11
EPWM10_B	2					O	ePWM-10 出力 B
EMIF1_WEn	3					O	外部メモリ インターフェイス 1 書き込みイネーブル
OUTPUTXBAR2	11					O	出力クロスバー出力 2
ESC_PHY_CLK	14					O	EtherCAT PHY クロック
ESC_LED_STATE_RUN	15					O	EtherCAT LED 状態実行

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO207	0, 4, 8, 12	N5	55	J4	36	I/O	汎用入出力 207. このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EQEP2_A	1					I	eQEP-2 入力 A
EPWM11_A	2					O	ePWM-11 出力 A
EXTSYNCOUT	3					O	外部 ePWM 同期パルス
CANA_TX	5					O	CAN-A 送信
SD4_D1	6					I	SDFM-4 チャンネル 1 データ入力
SCIA_RX	7					I	SCI-A 受信データ
LINA_RX	9					I	LIN-A 受信
I2CB_SCL	10					I/OD	I2C-B オープンドレイン双方向クロック
OUTPUTXBAR3	11					O	出力クロスバー出力 3
ESC_RX1_CLK	14					I	EtherCAT MII 受信 1 クロック
PMBUSA_ALERT	15					I/OD	PMBus-A オープンドレイン双方向アラート信号
GPIO208	0, 4, 8, 12	P5	56	K4	37	I/O	汎用入出力 208. このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EQEP2_B	1					I	eQEP-2 入力 B
EPWM11_B	2					O	ePWM-11 出力 B
EMIF1_D13	3					I/O	外部メモリ インターフェイス 1 データライン 13
SPIB_PICO	5					I/O	SPI-B ペリフェラル入力、コントローラ出力 (PICO)
SD4_C1	6					I	SDFM-4 チャンネル 1 クロック入力
SCIA_TX	7					O	SCI-A 送信データ
OUTPUTXBAR4	11					O	出力クロスバー出力 4
ESC_RX1_DV	14					I	EtherCAT MII 受信 1 データ有効
PMBUSA_CTL	15					I/O	PMBus-A 制御信号 - ターゲット入力 / コントローラ出力
GPIO209	0, 4, 8, 12	N6	57	J5	38	I/O	汎用入出力 209. このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EQEP2_STROBE	1					I/O	eQEP-2 ストロブ
EPWM12_A	2					O	ePWM-12 出力 A
EMIF1_D14	3					I/O	外部メモリ インターフェイス 1 データライン 14
SPIB_POCI	5					I/O	SPI-B ペリフェラル出力、コントローラ入力 (POCI)
SD4_D2	6					I	SDFM-4 チャンネル 2 データ入力
EPWM12_B	7					O	ePWM-12 出力 B
LINB_RX	10					I	LIN-B 受信
OUTPUTXBAR5	11					O	出力クロスバー出力 5
ESC_RX1_ERR	14					I	EtherCAT MII 受信 1 エラー
PMBUSA_SDA	15					I/OD	PMBus-A オープンドレイン双方向データ
GPIO210	0, 4, 8, 12	P6	58	K5		I/O	汎用入出力 210. このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EQEP2_INDEX	1					I/O	eQEP-2 インデックス
EPWM12_B	2					O	ePWM-12 出力 B
EMIF1_D15	3					I/O	外部メモリ インターフェイス 1 データライン 15
SD4_C2	6					I	SDFM-4 チャンネル 2 クロック入力
LINB_TX	10					O	LIN-B 送信
OUTPUTXBAR6	11					O	出力クロスバー出力 6
ESC_RX0_DATA2	14					I	EtherCAT MII 受信 0 データ 2
PMBUSA_SCL	15					I/OD	PMBus-A オープンドレイン双方向クロック

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO211	0, 4, 8, 12	R6	59	J6		I/O	汎用入出力 211. このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EQEP6_A	1					I	eQEP-6 入力 A
EPWM14_A	2					O	ePWM-14 出力 A
SD4_D3	6					I	SDFM-4 チャネル 3 データ入力
OUTPUTXBAR7	11					O	出力クロスバー出力 7
ESC_LED_LINK0_ACTIVE	14					O	EtherCAT リンク 0 アクティブ
GPIO212	0, 4, 8, 12	T7	60	K6		I/O	汎用入出力 212. このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EQEP6_B	1					I	eQEP-6 入力 B
EPWM14_B	2					O	ePWM-14 出力 B
SD4_C3	6					I	SDFM-4 チャネル 3 クロック入力
ESC_LED_LINK1_ACTIVE	14					O	EtherCAT リンク 1 アクティブ
GPIO213	0, 4, 8, 12	T8	62	L5	39	I/O	汎用入出力 213. このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EQEP6_STROBE	1					I/O	eQEP-6 ストロブ
EPWM8_A	2					O	ePWM-8 出力 A
SD4_D4	6					I	SDFM-4 チャネル 4 データ入力
LINB_TX	10					O	LIN-B 送信
ESC_LED_ERR	14					O	EtherCAT エラー LED
GPIO214	0, 4, 8, 12	R8	63	L6	40	I/O	汎用入出力 214. このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
CANA_RX	1					I	CAN-A 受信
EMIF1_CLK	2					O	外部メモリ インターフェイス 1 クロック
MCANA_RX	3					I	CAN/CAN FD-A 受信
OUTPUTXBAR7	5					O	出力クロスバー出力 7
EQEP3_STROBE	6					I/O	eQEP-3 ストロブ
SD2_D4	7					I	SDFM-2 チャネル 4 データ入力
EMIF1_CS4n	9					O	外部メモリ インターフェイス 1 チップ セレクト 4
ESC_LATCH1	10					I	EtherCAT ラッチ信号入力 1
ESC_I2C_SCL	11					I/OC	EtherCAT I2C クロック
EPWM16_A	13					O	ePWM-16 出力 A
ESC_SYNC1	14					O	EtherCAT 同期信号出力 1
SPID_PICO	15					I/O	SPI-D ペリフェラル入力、コントローラ出力 (PICO)
GPIO215	0, 4, 8, 12	P7	64	M6		I/O	汎用入出力 215. このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SCIA_RX	1					I	SCI-A 受信データ
EMIF1_CS4n	2					O	外部メモリ インターフェイス 1 チップ セレクト 4
CANA_RX	3					I	CAN-A 受信
OUTPUTXBAR5	5					O	出力クロスバー出力 5
EQEP3_A	6					I	eQEP-3 入力 A
SD2_D3	7					I	SDFM-2 チャネル 3 データ入力
EMIF1_CS2n	9					O	外部メモリ インターフェイス 1 チップ セレクト 2
I2CB_SDA	10					I/OD	I2C-B オープンドレイン双方向データ
SPIC_POCI	11					I/O	SPI-C ペリフェラル出力、コントローラ入力 (POCI)
EPWM15_A	13					O	ePWM-15 出力 A
LINA_TX	14					O	LIN-A 送信
EMIF1_D12	15					I/O	外部メモリ インターフェイス 1 データライン 12

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO216	0, 4, 8, 12	N7	65	N6		I/O	汎用入出力 216。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SCIA_TX	1					O	SCI-A 送信データ
EMIF1_SDCKE	2					O	外部メモリ インターフェイス 1 SDRAM クロック イネーブル
SPID_CLK	3					I/O	SPI-D クロック
OUTPUTXBAR6	5					O	出力クロスバー出力 6
EQEP3_B	6					I	eQEP-3 入力 B
SD2_C3	7					I	SDFM-2 チャネル 3 クロック入力
EMIF1_CS3n	9					O	外部メモリ インターフェイス 1 チップ セレクト 3
ESC_LATCH0	10					I	EtherCAT ラッチ信号入力 0
ESC_I2C_SDA	11					I/OC	EtherCAT I2C データ
EPWM15_B	13					O	ePWM-15 出力 B
ESC_SYNC0	14					O	EtherCAT 同期信号出力 0
EMIF1_D13	15					I/O	外部メモリ インターフェイス 1 データライン 13
GPIO217	0, 4, 8, 12	P8	66	M7		I/O	汎用入出力 217。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
CANA_TX	1					O	CAN-A 送信
EMIF1_WEn	2					O	外部メモリ インターフェイス 1 書き込みイネーブル
MCANA_TX	3					O	CAN/CAN FD-A 送信
OUTPUTXBAR8	5					O	出力クロスバー出力 8
EQEP3_INDEX	6					I/O	eQEP-3 インデックス
SD2_C4	7					I	SDFM-2 チャネル 4 クロック入力
EMIF1_RNW	9					O	外部メモリ インターフェイス 1 読み取り、非書き込み
I2CA_SDA	10					I/OD	I2C-A オープンドレイン双方向データ
SPID_PTE	11					I/O	SPI-D ペリフェラル送信イネーブル (PTE)
EPWM16_B	13					O	ePWM-16 出力 B
LINB_TX	14					O	LIN-B 送信
SPID_POCI	15					I/O	SPI-D ペリフェラル出力、コントローラ入力 (POCI)
GPIO218	0, 4, 8, 12	N8	67	N7		I/O	汎用入出力 218。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
I2CA_SDA	1					I/OD	I2C-A オープンドレイン双方向データ
EMIF1_CS0n	2					O	外部メモリ インターフェイス 1 チップ セレクト 0
SPIA_PICO	3					I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
EQEP4_A	5					I	eQEP-4 入力 A
LINB_TX	6					O	LIN-B 送信
CLB_OUTPUTXBAR1	7					O	CLB 出力クロスバー出力 1
EMIF1_OEn	9					O	外部メモリ インターフェイス 1 出力イネーブル
I2CA_SCL	10					I/OD	I2C-A オープンドレイン双方向クロック
SPID_CLK	15					I/O	SPI-D クロック
GPIO219	0, 4, 8, 12	R7	61			I/O	汎用入出力 219。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EQEP6_INDEX	1					I/O	eQEP-6 インデックス
EPWM8_B	2					O	ePWM-8 出力 B
SD4_C4	6					I	SDFM-4 チャネル 4 クロック入力
ESC_LED_RUN	14					O	EtherCAT 実行 LED

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO220	0, 4, 8, 12	F16	123	D13	68	I/O	汎用入出力 220
EPWM6_A	2					O	ePWM-6 出力 A
SPID_POCI	3					I/O	SPI-D ペリフェラル出力、コントローラ入力 (POCI)
OUTPUTXBAR2	5					O	出力クロスバー出力 2
SCIB_TX	6					O	SCI-B 送信データ
MCANA_TX	7					O	CAN/CAN FD-A 送信
PMBUSA_ALERT	15					I/OD	PMBus-A オープンドレイン双方向アラート信号
X1	ALT					I/O	水晶発振器入力またはシングルエンドクロック入力。水晶発振器をイネーブルにする前に、デバイス初期化ソフトウェアでこのピンを設定する必要がある。この発振器を使用するには、X1 と X2 の間に水晶振動子を接続する必要がある。このピンを使って、シングルエンドの 3.3V レベルクロックを供給することもできる。
GPIO221	0, 4, 8, 12	G16	121	E13	66	I/O	汎用入出力 221
EPWM6_B	2					O	ePWM-6 出力 B
SPID_PTE	3					I/O	SPI-D ペリフェラル送信イネーブル (PTE)
OUTPUTXBAR3	5					O	出力クロスバー出力 3
SCIB_RX	6					I	SCI-B 受信データ
MCANA_RX	7					I	CAN/CAN FD-A 受信
PMBUSA_CTL	15					I/O	PMBus-A 制御信号 - ターゲット入力 / コントローラ出力
X2	ALT					I/O	水晶発振器出力。
GPIO222	0, 4, 8, 12	T12	77	N9	46	I/O	汎用入出力 222
TDI	1					I	内部プルアップ付き JTAG テストデータ入力 (TDI)。TDI は、TCK の立ち上がりエッジで、選択したレジスタ (命令またはデータ) にシフトインされます。
EPWM7_A	2					O	ePWM-7 出力 A
SPIA_PICO	3					I/O	SPI-A ペリフェラル入力、コントローラ出力 (PICO)
OUTPUTXBAR4	5					O	出力クロスバー出力 4
SCIA_RX	6					I	SCI-A 受信データ
UARTB_TX	7					I/O	UART-B シリアルデータ送信
I2CA_SDA	9					I/OD	I2C-A オープンドレイン双方向データ
SPIC_CLK	10					I/O	SPI-C クロック
ESC_PDI_UC_IRQ	14					O	EtherCAT PDI IRQ 割り込みライン
PMBUSA_SDA	15					I/OD	PMBus-A オープンドレイン双方向データ
GPIO223	0, 4, 8, 12	R12	78	M9	47	I/O	汎用入出力 223
TDO	1					O	JTAG スキャンアウト、テストデータ出力 (TDO)。選択したレジスタ (命令またはデータ) の内容は、TCK の立ち下がりエッジで、TDO からシフトアウトされます。
EPWM7_B	2					O	ePWM-7 出力 B
EMIF1_A11	3					O	外部メモリ インターフェイス 1 アドレスライン 11
OUTPUTXBAR5	5					O	出力クロスバー出力 5
SCIA_TX	6					O	SCI-A 送信データ
UARTB_RX	7					I/O	UART-B シリアルデータ受信
I2CA_SCL	9					I/OD	I2C-A オープンドレイン双方向クロック
SPIC_PTE	10					I/O	SPI-C ペリフェラル送信イネーブル (PTE)
PMBUSA_SCL	15					I/OD	PMBus-A オープンドレイン双方向クロック

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
GPIO224	0, 4, 8, 12					I/O	汎用入出力 224
ERRORSTS	1					O	エラー ステータス出力。外部プルダウンが必要。
EMIF1_SDCKE	2					O	外部メモリ インターフェイス 1 SDRAM クロック イネーブル
XCLKOUT	3	P16	92	L12		O	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。
OUTPUTXBAR1	5					O	出力クロスバー出力 1
SD2_C1	13					I	SDFM-2 チャネル 1 クロック入力
ESC_PDI_UC_IRQ	14					O	EtherCAT PDI IRQ 割り込みライン
テスト、JTAG、リセット							
TCK		R13	81	M10	50	I	内部プルアップ付き JTAG テスト クロック。
TMS		T13	80	N10	49	I/O	内部プルアップ付き JTAG テスト モード選択 (TMS)。このシリアル制御入力は、TCK の立ち上がりエッジで、TAP コントローラにシフトインされる。このデバイスには TRSTn ピンがない。通常動作時に JTAG をリセット状態に維持するために、基板上で TMS ピンと VDDIO の間に外部プルアップ抵抗 (推奨 2.2kΩ) を配置する必要がある。
VREGENZ		J16	119	E10	64	I	内部プルアップ付きの内部電圧レギュレータ イネーブル。VSS (Low) に接続すると、内部 VREG がイネーブルになる。VDDIO (High) に接続すると、外部電源を使用。
XRSn		G14	124	D12	69	I/OD	デバイスリセット (IN) およびウォッチドッグリセット (OUT)。電源投入時、このピンはデバイスによって Low に駆動される。また、外部回路がこのピンを駆動して、デバイスリセットをアサートすることもできる。ウォッチドッグリセットが発生した場合、MCU もこのピンを Low に駆動する。ウォッチドッグリセット時には、512 OSCCLK サイクルのウォッチドッグリセット期間にわたって、XRSn ピンが Low に駆動される。XRSn と VDDIO の間に 2.2kΩ~10kΩ の抵抗を配置する必要がある。ノイズフィルタリングのために XRS と VSS の間にコンデンサを配置する場合、容量は 100nF 以下にする必要がある。これらの値は、ウォッチドッグリセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRSn ピンを VOL に正しく駆動できるように決められている。このピンは内部プルアップ付きのオープンドレイン出力。このピンが外部デバイスによって駆動される場合は、オープンドレイン デバイスを使用して駆動する必要があります。
電源およびグランド							
VDD3VFL		R11, T11	72	M8	44		3.3V フラッシュ電源ピン。各ピンに、最小 0.1μF のデカップリング コンデンサを配置。このピンは、3.3V 電源に接続します。
VDD		F9, F10, G6, J11, K8, K9	16, 76, 117, 137, 169	F5, F7, G9, J9	8, 45, 63, 78, 95		1.2V デジタル ロジック電源ピン。各 VDD ピンの近くにデカップリング コンデンサを配置することを推奨します。この合計容量は、少なくとも約 20μF になるようにします。デカップリング容量の正確な値は、システムの電圧レギュレーションソリューションによって決定する必要があります。
VDDA		N1, T6	36, 54	L2, M5	18, 35		3.3V アナログ電源ピン。各ピンと VSSA の間に、最小 2.2μF のデカップリング コンデンサを配置します。このピンは、3.3V 電源に接続します。
VDDIO		B1, E15, G7, G8, H5, J5, J10, K7, K10, T15	3, 15, 68, 75, 88, 91, 99, 114, 127, 138, 152, 168	C13, F4, F6, F8, H9, J8	7, 41, 55, 62, 70, 79, 94		3.3V デジタル I/O 電源ピン。各ピンに、最小 0.1μF のデカップリング コンデンサを配置。このピンは、3.3V 電源に接続します。

表 5-1. ピン属性 (続き)

信号名	多重化位置	256 ZEJ	176 PTP	169 NMR	100 PZP	ピンの種 類	説明
VDDOSC		G15	120	E11	65		3.3V 発振器電源ピン。3.3V オンチップ水晶発振器 (X1 および X2) と 2 つのゼロピン内部発振器 (INTOSC) に給電します。各ピンに、最小 0.1 μ F のデカップリングコンデンサを配置します。このピンは、3.3V 電源に接続します。
VSS		A1、 A16、 G5、 G9、 G10、 G11、 H6、 H7、 H8、H9、 H10、 J6、J7、 J8、J9、 K6、 T16	PAD	A1、 A13、 F9、 G7、 G8、 H7、 H8、 J7、 N13	PAD		デジタル GND
VSSA		M3、 N2、 T1、T5	34、52	L1、 N1、N5	17、33		アナログ GND
VSSOSC		F15	122	E12	67		水晶発振器 (X1 および X2) のグラウンドピン。外部水晶振動子を使用する場合、このピンを基板のグラウンドに接続しないでください。代わりに、外部水晶発振器回路のグラウンド基準電圧に接続します。外部水晶振動子を使用しない場合は、このピンを基板のグラウンドに接続できます。

5.3 信号の説明

5.3.1 アナログ信号

表 5-2. アナログ信号

信号名	ピンの種類	説明	256 ZEJ	176 PTP	169 NMR	100 PZP
A0	I	ADC-A 入力 0	P1	43	L3	25
A1	I	ADC-A 入力 1	P2	42	K3	24
A2	I	ADC-A 入力 2	N3	41	J3	23
A3	I	ADC-A 入力 3	N4	40	H3	22
A4	I	ADC-A 入力 4	M4	39	H2	21
A5	I	ADC-A 入力 5	M5	38	H1	20
A6	I	ADC-A 入力 6	N6	57	J5	38
A7	I	ADC-A 入力 7	P6	58	K5	
A8	I	ADC-A 入力 8	R6	59	J6	
A9	I	ADC-A 入力 9	T7	60	K6	
A10	I	ADC-A 入力 10	T8	62	L5	39
A11	I	ADC-A 入力 11	R8	63	L6	40
A12	I	ADC-A 入力 12	P1	43	L3	25
A14	I	ADC-A 入力 14	R1	44	M1	26
A15	I	ADC-A 入力 15	R2	45	M2	27
AIO225	I	デジタル入力 225 に使用されるアナログピン	R1	44	M1	26
AIO226	I	デジタル入力 226 に使用されるアナログピン	R2	45	M2	27
AIO227	I	デジタル入力 227 に使用されるアナログピン	P1	43	L3	25
AIO228	I	デジタル入力 228 に使用されるアナログピン	P2	42	K3	24
AIO229	I	デジタル入力 229 に使用されるアナログピン	N3	41	J3	23
AIO230	I	デジタル入力 230 に使用されるアナログピン	N4	40	H3	22
AIO231	I	デジタル入力 231 に使用されるアナログピン	M4	39	H2	21
AIO232	I	デジタル入力 232 に使用されるアナログピン	M5	38	H1	20
AIO233	I	デジタル入力 233 に使用されるアナログピン	T2	46	N2	28
AIO234	I	デジタル入力 234 に使用されるアナログピン	T3	47	N3	29
AIO235	I	デジタル入力 235 に使用されるアナログピン	R3	48	M3	30
AIO236	I	デジタル入力 236 に使用されるアナログピン	P3	49	L4	31
AIO237	I	デジタル入力 237 に使用されるアナログピン	L4	31	H4	15
AIO238	I	デジタル入力 238 に使用されるアナログピン	R5			

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	256 ZEJ	176 PTP	169 NMR	100 PZP
AIO239	I	デジタル入力 239 に使用されるアナログ ピン	K1			
AIO240	I	デジタル入力 240 に使用されるアナログ ピン	P4	51		
AIO241	I	デジタル入力 241 に使用されるアナログ ピン	L3			
AIO242	I	デジタル入力 242 に使用されるアナログ ピン	K2			
B0	I	ADC-B 入力 0	T2	46	N2	28
B1	I	ADC-B 入力 1	T3	47	N3	29
B2	I	ADC-B 入力 2	R3	48	M3	30
B3	I	ADC-B 入力 3	P3	49	L4	31
B4	I	ADC-B 入力 4	P7	64	M6	
B5	I	ADC-B 入力 5	N7	65	N6	
B6	I	ADC-B 入力 6	N5	55	J4	36
B7	I	ADC-B 入力 7	P5	56	K4	37
B8	I	ADC-B 入力 8	P8	66	M7	
B9	I	ADC-B 入力 9	N8	67	N7	
B10	I	ADC-B 入力 10	R7	61		
B11	I	ADC-B 入力 11	P4	51		
B12	I	ADC-B 入力 12	P1	43	L3	25
B13	I	ADC-B 入力 13	R5			
B14	I	ADC-B 入力 14	R1	44	M1	26
B15	I	ADC-B 入力 15	R2	45	M2	27
B19	I	ADC-B 入力 19	P2	42	K3	24
B20	I	ADC-B 入力 20	N3	41	J3	23
C0	I	ADC-C 入力 0	H1	22	F1	9
C1	I	ADC-C 入力 1	J1	23	G1	10
C2	I	ADC-C 入力 2	L4	31	H4	15
C3	I	ADC-C 入力 3	L5	30	H5	14
C4	I	ADC-C 入力 4	M6	29	H6	13
C5	I	ADC-C 入力 5	L6	28	G6	12
C6	I	ADC-C 入力 6	K5	27	G5	11
C7	I	ADC-C 入力 7	K4	26	G4	
C8	I	ADC-C 入力 8	K3	25	G3	
C9	I	ADC-C 入力 9	J2	24	G2	
C10	I	ADC-C 入力 10	L3			
C11	I	ADC-C 入力 11	K2			
C12	I	ADC-C 入力 12	P1	43	L3	25
C13	I	ADC-C 入力 13	K1			
C14	I	ADC-C 入力 14	R1	44	M1	26
C15	I	ADC-C 入力 15	R2	45	M2	27
CMP1_HN0	I	CMPSS-1 ハイ コンパレータ負入力 0	N4	40	H3	22

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	256 ZEJ	176 PTP	169 NMR	100 PZP
CMP1_HN1	I	CMPSS-1 ハイ コンパレータ負入力 1	P2	42	K3	24
CMP1_HP0	I	CMPSS-1 ハイ コンパレータ正入力 0	N3	41	J3	23
CMP1_HP1	I	CMPSS-1 ハイ コンパレータ正入力 1	P1	43	L3	25
CMP1_HP2	I	CMPSS-1 ハイ コンパレータ正入力 2	P2	42	K3	24
CMP1_HP3	I	CMPSS-1 ハイ コンパレータ正入力 3	N4	40	H3	22
CMP1_LN0	I	CMPSS-1 ロー コンパレータ負入力 0	N4	40	H3	22
CMP1_LN1	I	CMPSS-1 ロー コンパレータ負入力 1	P2	42	K3	24
CMP1_LP0	I	CMPSS-1 ロー コンパレータ正入力 0	N3	41	J3	23
CMP1_LP1	I	CMPSS-1 ロー コンパレータ正入力 1	P1	43	L3	25
CMP1_LP2	I	CMPSS-1 ロー コンパレータ正入力 2	P2	42	K3	24
CMP1_LP3	I	CMPSS-1 ロー コンパレータ正入力 3	P3	49	L4	31
CMP2_HN0	I	CMPSS-2 ハイ コンパレータ負入力 0	M5	38	H1	20
CMP2_HN1	I	CMPSS-2 ハイ コンパレータ負入力 1	N3	41	J3	23
CMP2_HP0	I	CMPSS-2 ハイ コンパレータ正入力 0	M4	39	H2	21
CMP2_HP1	I	CMPSS-2 ハイ コンパレータ正入力 1	P8	66	M7	
CMP2_HP2	I	CMPSS-2 ハイ コンパレータ正入力 2	N8	67	N7	
CMP2_HP3	I	CMPSS-2 ハイ コンパレータ正入力 3	M5	38	H1	20
CMP2_LN0	I	CMPSS-2 ロー コンパレータ負入力 0	M5	38	H1	20
CMP2_LN1	I	CMPSS-2 ロー コンパレータ負入力 1	N3	41	J3	23
CMP2_LP0	I	CMPSS-2 ロー コンパレータ正入力 0	M4	39	H2	21
CMP2_LP1	I	CMPSS-2 ロー コンパレータ正入力 1	P8	66	M7	
CMP2_LP2	I	CMPSS-2 ロー コンパレータ正入力 2	N8	67	N7	
CMP2_LP3	I	CMPSS-2 ロー コンパレータ正入力 3	L6	28	G6	12
CMP3_HN0	I	CMPSS-3 ハイ コンパレータ負入力 0	P3	49	L4	31
CMP3_HN1	I	CMPSS-3 ハイ コンパレータ負入力 1	P5	56	K4	37
CMP3_HP0	I	CMPSS-3 ハイ コンパレータ正入力 0	R3	48	M3	30
CMP3_HP1	I	CMPSS-3 ハイ コンパレータ正入力 1	T2	46	N2	28
CMP3_HP2	I	CMPSS-3 ハイ コンパレータ正入力 2	T3	47	N3	29
CMP3_LN0	I	CMPSS-3 ロー コンパレータ負入力 0	P3	49	L4	31
CMP3_LN1	I	CMPSS-3 ロー コンパレータ負入力 1	P5	56	K4	37
CMP3_LP0	I	CMPSS-3 ロー コンパレータ正入力 0	R3	48	M3	30
CMP3_LP1	I	CMPSS-3 ロー コンパレータ正入力 1	T2	46	N2	28
CMP3_LP2	I	CMPSS-3 ロー コンパレータ正入力 2	T3	47	N3	29
CMP3_LP3	I	CMPSS-3 ロー コンパレータ正入力 3	L5	30	H5	14
CMP4_HN0	I	CMPSS-4 ハイ コンパレータ負入力 0	R2	45	M2	27
CMP4_HN1	I	CMPSS-4 ハイ コンパレータ負入力 1	R7	61		
CMP4_HP0	I	CMPSS-4 ハイ コンパレータ正入力 0	R1	44	M1	26
CMP4_HP1	I	CMPSS-4 ハイ コンパレータ正入力 1	R7	61		
CMP4_HP2	I	CMPSS-4 ハイ コンパレータ正入力 2	P4	51		
CMP4_HP3	I	CMPSS-4 ハイ コンパレータ正入力 3	R2	45	M2	27
CMP4_LN0	I	CMPSS-4 ロー コンパレータ負入力 0	R2	45	M2	27
CMP4_LN1	I	CMPSS-4 ロー コンパレータ負入力 1	R7	61		

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	256 ZEJ	176 PTP	169 NMR	100 PZP
CMP4_LP0	I	CMPSS-4 ロー コンパレータ正入力 0	R1	44	M1	26
CMP4_LP1	I	CMPSS-4 ロー コンパレータ正入力 1	R7	61		
CMP4_LP2	I	CMPSS-4 ロー コンパレータ正入力 2	P4	51		
CMP4_LP3	I	CMPSS-4 ロー コンパレータ正入力 3	P6	58	K5	
CMP5_HN0	I	CMPSS-5 ハイ コンパレータ負入力 0	L6	28	G6	12
CMP5_HN1	I	CMPSS-5 ハイ コンパレータ負入力 1	P7	64	M6	
CMP5_HP0	I	CMPSS-5 ハイ コンパレータ正入力 0	M6	29	H6	13
CMP5_HP1	I	CMPSS-5 ハイ コンパレータ正入力 1	P7	64	M6	
CMP5_HP2	I	CMPSS-5 ハイ コンパレータ正入力 2	N7	65	N6	
CMP5_LN0	I	CMPSS-5 ロー コンパレータ負入力 0	L6	28	G6	12
CMP5_LN1	I	CMPSS-5 ロー コンパレータ負入力 1	P7	64	M6	
CMP5_LP0	I	CMPSS-5 ロー コンパレータ正入力 0	M6	29	H6	13
CMP5_LP1	I	CMPSS-5 ロー コンパレータ正入力 1	P7	64	M6	
CMP5_LP2	I	CMPSS-5 ロー コンパレータ正入力 2	N7	65	N6	
CMP5_LP3	I	CMPSS-5 ロー コンパレータ正入力 3	T7	60	K6	
CMP6_HN0	I	CMPSS-6 ハイ コンパレータ負入力 0	L5	30	H5	14
CMP6_HN1	I	CMPSS-6 ハイ コンパレータ負入力 1	H1	22	F1	9
CMP6_HP0	I	CMPSS-6 ハイ コンパレータ正入力 0	L4	31	H4	15
CMP6_HP1	I	CMPSS-6 ハイ コンパレータ正入力 1	H1	22	F1	9
CMP6_HP2	I	CMPSS-6 ハイ コンパレータ正入力 2	J1	23	G1	10
CMP6_LN0	I	CMPSS-6 ロー コンパレータ負入力 0	L5	30	H5	14
CMP6_LN1	I	CMPSS-6 ロー コンパレータ負入力 1	H1	22	F1	9
CMP6_LP0	I	CMPSS-6 ロー コンパレータ正入力 0	L4	31	H4	15
CMP6_LP1	I	CMPSS-6 ロー コンパレータ正入力 1	H1	22	F1	9
CMP6_LP2	I	CMPSS-6 ロー コンパレータ正入力 2	J1	23	G1	10
CMP7_HN0	I	CMPSS-7 ハイ コンパレータ負入力 0	P6	58	K5	
CMP7_HN1	I	CMPSS-7 ハイ コンパレータ負入力 1	N5	55	J4	36
CMP7_HP0	I	CMPSS-7 ハイ コンパレータ正入力 0	N6	57	J5	38
CMP7_HP1	I	CMPSS-7 ハイ コンパレータ正入力 1	N5	55	J4	36
CMP7_HP2	I	CMPSS-7 ハイ コンパレータ正入力 2	P5	56	K4	37
CMP7_LN0	I	CMPSS-7 ロー コンパレータ負入力 0	P6	58	K5	
CMP7_LN1	I	CMPSS-7 ロー コンパレータ負入力 1	N5	55	J4	36
CMP7_LP0	I	CMPSS-7 ロー コンパレータ正入力 0	N6	57	J5	38
CMP7_LP1	I	CMPSS-7 ロー コンパレータ正入力 1	N5	55	J4	36
CMP7_LP2	I	CMPSS-7 ロー コンパレータ正入力 2	P5	56	K4	37
CMP8_HN0	I	CMPSS-8 ハイ コンパレータ負入力 0	T7	60	K6	
CMP8_HN1	I	CMPSS-8 ハイ コンパレータ負入力 1	T8	62	L5	39
CMP8_HP0	I	CMPSS-8 ハイ コンパレータ正入力 0	R6	59	J6	
CMP8_HP1	I	CMPSS-8 ハイ コンパレータ正入力 1	T8	62	L5	39
CMP8_HP2	I	CMPSS-8 ハイ コンパレータ正入力 2	R8	63	L6	40
CMP8_LN0	I	CMPSS-8 ロー コンパレータ負入力 0	T7	60	K6	
CMP8_LN1	I	CMPSS-8 ロー コンパレータ負入力 1	T8	62	L5	39

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	256 ZEJ	176 PTP	169 NMR	100 PZP
CMP8_LP0	I	CMPSS-8 ロー コンパレータ正入力 0	R6	59	J6	
CMP8_LP1	I	CMPSS-8 ロー コンパレータ正入力 1	T8	62	L5	39
CMP8_LP2	I	CMPSS-8 ロー コンパレータ正入力 2	R8	63	L6	40
CMP9_HN0	I	CMPSS-9 ハイ コンパレータ負入力 0	P1	43	L3	25
CMP9_HN1	I	CMPSS-9 ハイ コンパレータ負入力 1	N8	67	N7	
CMP9_HP0	I	CMPSS-9 ハイ コンパレータ正入力 0	R5			
CMP9_HP1	I	CMPSS-9 ハイ コンパレータ正入力 1	K1			
CMP9_HP2	I	CMPSS-9 ハイ コンパレータ正入力 2	P6	58	K5	
CMP9_LN0	I	CMPSS-9 ロー コンパレータ負入力 0	P1	43	L3	25
CMP9_LN1	I	CMPSS-9 ロー コンパレータ負入力 1	N8	67	N7	
CMP9_LP0	I	CMPSS-9 ロー コンパレータ正入力 0	R5			
CMP9_LP1	I	CMPSS-9 ロー コンパレータ正入力 1	K1			
CMP9_LP2	I	CMPSS-9 ロー コンパレータ正入力 2	M5	38	H1	20
CMP10_HN0	I	CMPSS-10 ハイ コンパレータ負入力 0	P8	66	M7	
CMP10_HN1	I	CMPSS-10 ハイ コンパレータ負入力 1	M6	29	H6	13
CMP10_HP0	I	CMPSS-10 ハイ コンパレータ正入力 0	L3			
CMP10_HP1	I	CMPSS-10 ハイ コンパレータ正入力 1	K5	27	G5	11
CMP10_HP2	I	CMPSS-10 ハイ コンパレータ正入力 2	K3	25	G3	
CMP10_LN0	I	CMPSS-10 ロー コンパレータ負入力 0	P8	66	M7	
CMP10_LN1	I	CMPSS-10 ロー コンパレータ負入力 1	M6	29	H6	13
CMP10_LP0	I	CMPSS-10 ロー コンパレータ正入力 0	L3			
CMP10_LP1	I	CMPSS-10 ロー コンパレータ正入力 1	K5	27	G5	11
CMP10_LP2	I	CMPSS-10 ロー コンパレータ正入力 2	K3	25	G3	
CMP11_HN0	I	CMPSS-11 ハイ コンパレータ負入力 0	T2	46	N2	28
CMP11_HN1	I	CMPSS-11 ハイ コンパレータ負入力 1	K1			
CMP11_HP0	I	CMPSS-11 ハイ コンパレータ正入力 0	K2			
CMP11_HP1	I	CMPSS-11 ハイ コンパレータ正入力 1	K4	26	G4	
CMP11_HP2	I	CMPSS-11 ハイ コンパレータ正入力 2	J2	24	G2	
CMP11_LN0	I	CMPSS-11 ロー コンパレータ負入力 0	T2	46	N2	28
CMP11_LN1	I	CMPSS-11 ロー コンパレータ負入力 1	K1			
CMP11_LP0	I	CMPSS-11 ロー コンパレータ正入力 0	K2			
CMP11_LP1	I	CMPSS-11 ロー コンパレータ正入力 1	K4	26	G4	
CMP11_LP2	I	CMPSS-11 ロー コンパレータ正入力 2	J2	24	G2	
DACA_OUT	O	バッファ付き DAC-A 出力。	P1	43	L3	25
DACC_OUT	O	バッファ付き DAC-C 出力。	T3	47	N3	29
VDAC	I	オンチップ DAC の外部リファレンス電圧 (オプション)。	T2	46	N2	28

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	256 ZEJ	176 PTP	169 NMR	100 PZP
VREFHIA	I	ADC-A の高い基準電圧。この電圧は、ピンに対して外部回路から駆動する必要があります。このピンには、12 ビット モードの場合 2.2μF 以上、16 ビット モードの場合 22μF 以上のコンデンサを配置します。このコンデンサは、VREFHIA ピンと VREFLOA ピンの間で、できるだけデバイスに近い場所に配置する必要があります。注:このピンには、外部に負荷を接続しないでください	M2	37	K2	19
VREFHIB	I	ADC-B の高い基準電圧。この電圧は、ピンに対して外部回路から駆動する必要があります。このピンには、12 ビット モードの場合 2.2μF 以上、16 ビット モードの場合 22μF 以上のコンデンサを配置します。このコンデンサは、VREFHIB ピンと VREFLOB ピンの間で、できるだけデバイスに近い場所に配置する必要があります。注:このピンには、外部に負荷を接続しないでください	R4	53	M4	34
VREFHIC	I	ADC-C の高い基準電圧。この電圧は、ピンに対して外部回路から駆動する必要があります。このピンには、12 ビット モードの場合 2.2μF 以上、16 ビット モードの場合 22μF 以上のコンデンサを配置します。このコンデンサは、VREFHIC ピンと VREFLOC ピンの間で、できるだけデバイスに近い場所に配置する必要があります。注:このピンには、外部に負荷を接続しないでください	L2	35	J2	19
VREFLOA	I	ADC-A の低い基準電圧	M1	33	K1	16
VREFLOB	I	ADC-B の低い基準電圧	T4	50	N4	32
VREFLOC	I	ADC-C の低い基準電圧	L1	32	J1	16

5.3.2 デジタル信号

表 5-3. デジタル信号

信号名	ピンの種類	説明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
ADCSOCAO	O	外部 ADC への ADC 変換開始 A 出力 (ePWM モジュールから)	8, 12	D1, G4	4, 18	B1, E3	3
ADCSOCBO	O	外部 ADC への ADC 変換開始 B 出力 (ePWM モジュールから)	10	D4	1	B3	100
CANA_RX	I	CAN-A 受信	5, 18, 30, 36, 58, 61, 62, 70, 214, 215	C15, E7, F3, K15, K16, L10, L13, P7, P12, R8	10, 63, 64, 79, 83, 103, 107, 108, 135, 165	A12, D3, E6, H10, H11, J10, L6, L9, M6, N11	40, 48, 52, 56, 57, 76
CANA_TX	O	CAN-A 送信	4, 19, 31, 37, 59, 62, 63, 71, 207, 217	B2, B15, D7, D8, K14, K15, L14, N5, N12, P8	12, 55, 66, 84, 104, 108, 109, 136, 158, 164	B11, D1, D6, G13, H10, H13, J4, M7, M11	36, 53, 57, 58, 77, 93
CLB_OUTPUTXBAR1	O	CLB 出力クロスバー出力 1	0, 32, 40, 91, 218	E6, F8, J14, N8, P13	67, 87, 116, 160, 173	B4, E7, F12, N7, N12	89, 98
CLB_OUTPUTXBAR2	O	CLB 出力クロスバー出力 2	1, 33, 41, 92	A5, A7, R10, R15	69, 89, 161, 174	A4, A6, L7, M12	51, 90, 99
CLB_OUTPUTXBAR3	O	CLB 出力クロスバー出力 3	5, 34, 93	C5, E7, P10	70, 165, 175	A3, E6, K7	42
CLB_OUTPUTXBAR4	O	CLB 出力クロスバー出力 4	8, 35, 94	D1, D5, N10	18, 71, 176	A2, E3, N8	43
CLB_OUTPUTXBAR5	O	CLB 出力クロスバー出力 5	10, 36, 42, 95	A4, D4, E16, P12	1, 83, 130	B3, C12, N11	73, 100
CLB_OUTPUTXBAR6	O	CLB 出力クロスバー出力 6	12, 37, 43, 44, 96	B4, D16, G4, J12, N12	4, 84, 113, 131	B1, C11, F10, M11	3, 74
CLB_OUTPUTXBAR7	O	CLB 出力クロスバー出力 7	13, 38, 45, 97	A3, C4, J13, M12	5, 85, 115	C1, F11, L11	4
CLB_OUTPUTXBAR8	O	CLB 出力クロスバー出力 8	15, 39, 75, 98	B14, C3, E2, L12	7, 86, 142	A10, C3	6
EMIF1_A0	O	外部メモリ インターフェイス 1 アドレスライン 0	35, 38	M12, N10	71, 85	L11, N8	43
EMIF1_A1	O	外部メモリ インターフェイス 1 アドレスライン 1	12, 36, 39	G4, L12, P12	4, 83, 86	B1, N11	3
EMIF1_A2	O	外部メモリ インターフェイス 1 アドレスライン 2	37, 40	N12, P13	84, 87	M11, N12	
EMIF1_A3	O	外部メモリ インターフェイス 1 アドレスライン 3	38, 41	M12, R15	85, 89	L11, M12	51
EMIF1_A4	O	外部メモリ インターフェイス 1 アドレスライン 4	39, 44	J12, L12	86, 113	F10	
EMIF1_A5	O	外部メモリ インターフェイス 1 アドレスライン 5	45, 49, 101	J13, N9, P15	93, 115	F11, L13	
EMIF1_A6	O	外部メモリ インターフェイス 1 アドレスライン 6	46, 50, 102	C13, F14, P14	94, 128	K9	71
EMIF1_A7	O	外部メモリ インターフェイス 1 アドレスライン 7	47, 51	E14, N14	95, 129	K10	72
EMIF1_A8	O	外部メモリ インターフェイス 1 アドレスライン 8	48, 52	N15, R16	90, 96	K11, M13	
EMIF1_A9	O	外部メモリ インターフェイス 1 アドレスライン 9	49, 53	N16, P15	93, 97	K12, L13	
EMIF1_A10	O	外部メモリ インターフェイス 1 アドレスライン 10	50, 54, 106	F1, M13, P14	20, 94, 98	K9, K13	
EMIF1_A11	O	外部メモリ インターフェイス 1 アドレスライン 11	51, 109, 133, 206, 223	G3, J15, L5, N14, R12	30, 78, 95, 118	F13, H5, K10, M9	14, 47
EMIF1_A12	O	外部メモリ インターフェイス 1 アドレスライン 12	52, 108	G2, N15	96	K11	
EMIF1_A13	O	外部メモリ インターフェイス 1 アドレスライン 13	0, 86	B9, F8	156, 160	B7, E7	87, 89
EMIF1_A14	O	外部メモリ インターフェイス 1 アドレスライン 14	1, 87	A7, A9	157, 161	A6, C7	88, 90
EMIF1_A15	O	外部メモリ インターフェイス 1 アドレスライン 15	2, 88	B6, B7	162, 170	B6, C5	91
EMIF1_A16	O	外部メモリ インターフェイス 1 アドレスライン 16	89	C6	171	D5	96
EMIF1_A17	O	外部メモリ インターフェイス 1 アドレスライン 17	90	D6	172	E5	97
EMIF1_A18	O	外部メモリ インターフェイス 1 アドレスライン 18	91	E6	173	B4	98
EMIF1_A19	O	外部メモリ インターフェイス 1 アドレスライン 19	92	A5	174	A4	99
EMIF1_BA0	O	外部メモリ インターフェイス 1 バンク アドレス 0	20, 33, 63, 93, 103	C2, C5, G12, K14, R10	13, 69, 109, 126, 175	A3, D10, E1, G13, L7	58
EMIF1_BA1	O	外部メモリ インターフェイス 1 バンク アドレス 1	21, 34, 64, 92, 94, 100	A5, D2, D5, F4, K13, P10	14, 70, 110, 174, 176	A2, A4, E2, G12, K7	2, 42, 59, 99
EMIF1_CAS	O	外部メモリ インターフェイス 1 コラム アドレス ストローブ	10, 23, 86, 89, 200	B9, C6, D4, G1, J1	1, 21, 23, 156, 171	B3, B7, D5, F2, G1	10, 87, 96, 100
EMIF1_CLK	O	外部メモリ インターフェイス 1 クロック	30, 214	L10, R8	63, 79	L6, L9	40, 48
EMIF1_CS0n	O	外部メモリ インターフェイス 1 チップ セレクト 0	13, 32, 218	A3, J14, N8	5, 67, 116	C1, F12, N7	4
EMIF1_CS2n	O	外部メモリ インターフェイス 1 チップ セレクト 2	18, 28, 34, 38, 215	F3, M12, N11, P7, P10	10, 64, 70, 74, 85	D3, K7, K8, L11, M6	42
EMIF1_CS3n	O	外部メモリ インターフェイス 1 チップ セレクト 3	19, 29, 35, 216	B2, N7, N10, P11	12, 65, 71, 73	D1, L8, N6, N8	43

表 5-3. デジタル信号 (続き)

信号名	ピン の種類	説明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
EMIF1_CS4n	O	外部メモリ インターフェイス 1 チップ セレクト 4	28, 30, 84, 214, 215	D9, L10, N11, P7, R8	63, 64, 74, 79, 154	A8, K8, L6, L9, M6	40, 48, 85
EMIF1_D0	I/O	外部メモリ インターフェイス 1 データライン 0	55, 85	C9, M14	100, 155	A7, J13	86
EMIF1_D1	I/O	外部メモリ インターフェイス 1 データライン 1	56, 83, 84	D9, D12, M15	101, 151, 154	A8, C8, J12	85
EMIF1_D2	I/O	外部メモリ インターフェイス 1 データライン 2	57, 82	E12, M16	102, 150	D8, J11	
EMIF1_D3	I/O	外部メモリ インターフェイス 1 データライン 3	58, 81	F12, L13	103, 149	J10	52
EMIF1_D4	I/O	外部メモリ インターフェイス 1 データライン 4	59, 80	A13, L14	104, 148	E8, H13	53, 83
EMIF1_D5	I/O	外部メモリ インターフェイス 1 データライン 5	60, 79	D13, L15	105, 146	B9	54
EMIF1_D6	I/O	外部メモリ インターフェイス 1 データライン 6	61, 78	E13, K16	107, 145	C9, H11	56, 82
EMIF1_D7	I/O	外部メモリ インターフェイス 1 データライン 7	62, 77	F13, K15	108, 144	D9, H10	57
EMIF1_D8	I/O	外部メモリ インターフェイス 1 データライン 8	76	A14	143	E9	
EMIF1_D9	I/O	外部メモリ インターフェイス 1 データライン 9	75	B14	142	A10	
EMIF1_D10	I/O	外部メモリ インターフェイス 1 データライン 10	74	C14	141	B10	
EMIF1_D11	I/O	外部メモリ インターフェイス 1 データライン 11	73	D14	140	C10	81
EMIF1_D12	I/O	外部メモリ インターフェイス 1 データライン 12	72, 215	A15, P7	64, 139	A11, M6	80
EMIF1_D13	I/O	外部メモリ インターフェイス 1 データライン 13	71, 208, 216	B15, N7, P5	56, 65, 136	B11, K4, N6	37, 77
EMIF1_D14	I/O	外部メモリ インターフェイス 1 データライン 14	70, 209	C15, N6	57, 135	A12, J5	38, 76
EMIF1_D15	I/O	外部メモリ インターフェイス 1 データライン 15	69, 210	B16, P6	58, 134	B12, K5	75
EMIF1_D16	I/O	外部メモリ インターフェイス 1 データライン 16	68, 129	C16, L9	133	B13	
EMIF1_D17	I/O	外部メモリ インターフェイス 1 データライン 17	14, 67, 99, 128	B3, C1, D15, M9	6, 17, 132	C2, E4	5
EMIF1_D18	I/O	外部メモリ インターフェイス 1 データライン 18	66, 127	K11, R9	112	G10	61
EMIF1_D19	I/O	外部メモリ インターフェイス 1 データライン 19	65, 126	K12, T9	111	G11	60
EMIF1_D20	I/O	外部メモリ インターフェイス 1 データライン 20	64, 125	K13, M8	110	G12	59
EMIF1_D21	I/O	外部メモリ インターフェイス 1 データライン 21	63, 124	K14, L8	109	G13	58
EMIF1_D22	I/O	外部メモリ インターフェイス 1 データライン 22	62, 123	K15, M7	108	H10	57
EMIF1_D23	I/O	外部メモリ インターフェイス 1 データライン 23	61, 122	K16, L7	107	H11	56
EMIF1_D24	I/O	外部メモリ インターフェイス 1 データライン 24	37, 60, 100, 120	F4, L15, M11, N12	84, 105	M11	2, 54
EMIF1_D25	I/O	外部メモリ インターフェイス 1 データライン 25	59, 119	L14, M10	104	H13	53
EMIF1_D26	I/O	外部メモリ インターフェイス 1 データライン 26	58, 115	L13, P9	103	J10	52
EMIF1_D27	I/O	外部メモリ インターフェイス 1 データライン 27	57, 114	J4, M16	102	J11	
EMIF1_D28	I/O	外部メモリ インターフェイス 1 データライン 28	56, 113	J3, M15	101	J12	
EMIF1_D29	I/O	外部メモリ インターフェイス 1 データライン 29	55, 112	H4, M14	100	J13	
EMIF1_D30	I/O	外部メモリ インターフェイス 1 データライン 30	54, 111	H3, M13	98	K13	
EMIF1_D31	I/O	外部メモリ インターフェイス 1 データライン 31	53, 110	H2, N16	97	K12	
EMIF1_DQM0	O	外部メモリ インターフェイス 1 のバイト 0 入力 / 出力マスク	6, 24, 88, 92, 201	A5, B6, E8, F7, J2	24, 159, 166, 170, 174	A4, A5, C5, D7, G2	99
EMIF1_DQM1	O	外部メモリ インターフェイス 1 のバイト 1 入力 / 出力マスク	7, 25, 88, 89, 202	A6, A10, B6, C6, K3	25, 153, 167, 170, 171	B5, B8, C5, D5, G3	84, 96
EMIF1_DQM2	O	外部メモリ インターフェイス 1 のバイト 2 入力 / 出力マスク	15, 26, 85, 90, 91, 203	C3, C9, D6, E6, K5, L11	7, 27, 82, 155, 172, 173	A7, B4, C3, E5, G5, L10	6, 11, 86, 97, 98
EMIF1_DQM3	O	外部メモリ インターフェイス 1 のバイト 3 入力 / 出力マスク	27, 87, 91, 99, 204	A9, C1, E6, G13, L6	17, 28, 125, 157, 173	B4, C7, D11, E4, G6	12, 88, 98
EMIF1_OEn	O	外部メモリ インターフェイス 1 出力イネーブル	32, 37, 66, 218	J14, K11, N8, N12	67, 84, 112, 116	F12, G10, M11, N7	61
EMIF1_RAS	O	外部メモリ インターフェイス 1 ロー アドレス ストロープ	8, 22, 87, 90, 199	A2, A9, D1, D6, H1	11, 18, 22, 157, 172	C7, D2, E3, E5, F1	9, 88, 97
EMIF1_RNW	O	外部メモリ インターフェイス 1 読み取り、非書き込み	31, 33, 63, 217	D8, K14, P8, R10	66, 69, 109, 158	G13, L7, M7	58
EMIF1_SDCKE	O	外部メモリ インターフェイス 1 SDRAM クロック イネーブル	29, 216, 224	N7, P11, P16	65, 73, 92	L8, L12, N6	
EMIF1_WAIT	I	外部メモリ インターフェイス 1 非同期 SRAM ウェイト	36, 64	K13, P12	83, 110	G12, N11	59
EMIF1_WEn	O	外部メモリ インターフェイス 1 書き込みイネーブル	31, 36, 65, 206, 217	D8, K12, L5, P8, P12	30, 66, 83, 111, 158	G11, H5, M7, N11	14, 60
EPWM1_A	O	ePWM-1 出力 A	0, 145	F8, H15	160	E7	89
EPWM1_B	O	ePWM-1 出力 B	1, 146	A7, H16	161	A6	90

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
EPWM2_A	O	ePWM-2 出力 A	2, 147	B7, H12	162	B6	91
EPWM2_B	O	ePWM-2 出力 B	3, 148	C7, C12	163	C6	92
EPWM3_A	O	ePWM-3 出力 A	4, 149	B12, D7	164	D6	93
EPWM3_B	O	ePWM-3 出力 B	5, 60, 150	A12, E7, L15	105, 165	E6	54
EPWM4_A	O	ePWM-4 出力 A	6, 46, 151	F7, F11, F14	128, 166	A5	71
EPWM4_B	O	ePWM-4 出力 B	7, 47, 152	A6, E11, E14	129, 167	B5	72
EPWM5_A	O	ePWM-5 出力 A	8, 59, 153	D1, D11, L14	18, 104	E3, H13	53
EPWM5_B	O	ePWM-5 出力 B	9, 73, 154	C11, D14, E1	19, 140	C10, F3	81
EPWM6_A	O	ePWM-6 出力 A	10, 155, 220	B11, D4, F16	1, 123	B3, D13	68, 100
EPWM6_B	O	ePWM-6 出力 B	11, 156, 221	A11, E4, G16	2, 121	B2, E13	1, 66
EPWM7_A	O	ePWM-7 出力 A	12, 157, 222	E10, G4, T12	4, 77	B1, N9	3, 46
EPWM7_B	O	ePWM-7 出力 B	13, 158, 223	A3, D10, R12	5, 78	C1, M9	4, 47
EPWM8_A	O	ePWM-8 出力 A	14, 58, 74, 99, 159, 213	B3, C1, C10, C14, L13, T8	6, 17, 62, 103, 141	B10, C2, E4, J10, L5	5, 39, 52
EPWM8_B	O	ePWM-8 出力 B	15, 59, 75, 103, 160, 203, 219	B10, B14, C3, G12, K5, L14, R7	7, 27, 61, 104, 126, 142	A10, C3, D10, G5, H13	6, 11, 53
EPWM9_A	O	ePWM-9 出力 A	16, 63, 76, 100, 133, 161	A14, D3, E9, F4, J15, K14	8, 109, 118, 143	C4, E9, F13, G13	2, 58
EPWM9_B	O	ePWM-9 出力 B	17, 64, 77, 162, 198	A8, E3, F13, K4, K13	9, 26, 110, 144	D4, D9, G4, G12	59
EPWM10_A	O	ePWM-10 出力 A	18, 65, 78, 163, 205	B8, E13, F3, K12, M6	10, 29, 111, 145	C9, D3, G11, H6	13, 60, 82
EPWM10_B	O	ePWM-10 出力 B	19, 66, 79, 164, 206	B2, C8, D13, K11, L5	12, 30, 112, 146	B9, D1, G10, H5	14, 61
EPWM11_A	O	ePWM-11 出力 A	20, 69, 80, 165, 207	A13, B16, C2, F6, N5	13, 55, 134, 148	B12, E1, E8, J4	36, 75, 83
EPWM11_B	O	ePWM-11 出力 B	21, 70, 81, 166, 208	B5, C15, D2, F12, P5	14, 56, 135, 149	A12, E2, K4	37, 76
EPWM12_A	O	ePWM-12 出力 A	22, 71, 82, 167, 199, 209	A2, B15, E5, E12, H1, N6	11, 22, 57, 136, 150	B11, D2, D8, F1, J5	9, 38, 77
EPWM12_B	O	ePWM-12 出力 B	23, 72, 83, 84, 168, 200, 209, 210	A15, D9, D12, F5, G1, J1, N6, P6	21, 23, 57, 58, 139, 151, 154	A8, A11, C8, F2, G1, J5, K5	10, 38, 80, 85
EPWM13_A	O	ePWM-13 出力 A	24, 40, 85, 130, 201	C9, E8, J2, P13, T10	24, 87, 155, 159	A7, D7, G2, N12	86
EPWM13_B	O	ePWM-13 出力 B	25, 41, 86, 131, 202	A10, B9, K3, N13, R15	25, 89, 153, 156	B7, B8, G3, M12	51, 84, 87
EPWM14_A	O	ePWM-14 出力 A	26, 42, 46, 87, 132, 203, 211	A9, E16, F14, K5, L11, R6, T14	27, 59, 82, 128, 130, 157	C7, C12, G5, J6, L10	11, 71, 73, 88
EPWM14_B	O	ePWM-14 出力 B	27, 43, 47, 88, 134, 204, 212	B6, D16, E14, G13, L6, R14, T7	28, 60, 125, 129, 131, 170	C5, C11, D11, G6, K6	12, 72, 74
EPWM15_A	O	ePWM-15 出力 A	28, 50, 89, 141, 215	C6, H13, N11, P7, P14	64, 74, 94, 171	D5, K8, K9, M6	96
EPWM15_B	O	ePWM-15 出力 B	29, 51, 90, 142, 216	D6, H14, N7, N14, P11	65, 73, 95, 172	E5, K10, L8, N6	97
EPWM16_A	O	ePWM-16 出力 A	30, 52, 91, 106, 214	E6, F1, L10, N15, R8	20, 63, 79, 96, 173	B4, K11, L6, L9	40, 48, 98
EPWM16_B	O	ePWM-16 出力 B	31, 55, 92, 107, 217	A5, D8, F2, M14, P8	66, 100, 158, 174	A4, J13, M7	99
EPWM17_A	O	ePWM-17 出力 A	56, 67, 93, 108, 199	C5, D15, G2, H1, M15	22, 101, 132, 175	A3, F1, J12	9
EPWM17_B	O	ePWM-17 出力 B	57, 61, 68, 94, 109, 200	C16, D5, G3, J1, K16, M16	23, 102, 107, 133, 176	A2, B13, G1, H11, J11	10, 56
EPWM18_A	O	ePWM-18 出力 A	34, 37, 95, 101, 104, 201	A4, B13, J2, N9, N12, P10	24, 70, 84, 147	A9, G2, K7, M11	42
EPWM18_B	O	ePWM-18 出力 B	35, 38, 96, 102, 105, 202	B4, C13, K3, L16, M12, N10	25, 71, 85, 106	G3, H12, L11, N8	43
EQEP1_A	I	eQEP-1 入力 A	10, 20, 50, 96, 198	B4, C2, D4, K4, P14	1, 13, 26, 94	B3, E1, G4, K9	100

表 5-3. デジタル信号 (続き)

信号名	ピン の種類	説明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
EQEP1_B	I	eQEP-1 入力 B	11, 21, 51, 97	C4, D2, E4, N14	2, 14, 95	B2, E2, K10	1
EQEP1_INDEX	I/O	eQEP-1 インデックス	13, 23, 53, 99, 200, 205	A3, C1, G1, J1, M6, N16	5, 17, 21, 23, 29, 97	C1, E4, F2, G1, H6, K12	4, 10, 13
EQEP1_STROBE	I/O	eQEP-1 ストロブ	12, 22, 52, 98, 199	A2, E2, G4, H1, N15	4, 11, 22, 96	B1, D2, F1, K11	3, 9
EQEP2_A	I	eQEP-2 入力 A	24, 54, 78, 100, 201, 207	E8, E13, F4, J2, M13, N5	24, 55, 98, 145, 159	C9, D7, G2, J4, K13	2, 36, 82
EQEP2_B	I	eQEP-2 入力 B	25, 55, 79, 101, 202, 208	A10, D13, K3, M14, N9, P5	25, 56, 100, 146, 153	B8, B9, G3, J13, K4	37, 84
EQEP2_INDEX	I/O	eQEP-2 インデックス	26, 57, 81, 103, 203, 210	F12, G12, K5, L11, M16, P6	27, 58, 82, 102, 126, 149	D10, G5, J11, K5, L10	11
EQEP2_STROBE	I/O	eQEP-2 ストロブ	27, 56, 80, 102, 204, 209	A13, C13, G13, L6, M15, N6	28, 57, 101, 125, 148	D11, E8, G6, J5, J12	12, 38, 83
EQEP3_A	I	eQEP-3 入力 A	6, 28, 62, 104, 215	B13, F7, K15, N11, P7	64, 74, 108, 147, 166	A5, A9, H10, K8, M6	57
EQEP3_B	I	eQEP-3 入力 B	7, 29, 63, 105, 216	A6, K14, L16, N7, P11	65, 73, 106, 109, 167	B5, G13, H12, L8, N6	58
EQEP3_INDEX	I/O	eQEP-3 インデックス	9, 31, 65, 107, 217	D8, E1, F2, K12, P8	19, 66, 111, 158	F3, G11, M7	60
EQEP3_STROBE	I/O	eQEP-3 ストロブ	8, 30, 64, 106, 214	D1, F1, K13, L10, R8	18, 20, 63, 79, 110	E3, G12, L6, L9	40, 48, 59
EQEP4_A	I	eQEP-4 入力 A	32, 42, 95, 218	A4, E16, J14, N8	67, 116, 130	C12, F12, N7	73
EQEP4_B	I	eQEP-4 入力 B	33, 43, 96	B4, D16, R10	69, 131	C11, L7	74
EQEP4_INDEX	I/O	eQEP-4 インデックス	35, 98	E2, N10	71	N8	43
EQEP4_STROBE	I/O	eQEP-4 ストロブ	34, 97	C4, P10	70	K7	42
EQEP5_A	I	eQEP-5 入力 A	15, 74, 108, 147	C3, C14, G2, H12	7, 141	B10, C3	6
EQEP5_B	I	eQEP-5 入力 B	16, 25, 75, 109, 148	A10, B14, C12, D3, G3	8, 142, 153	A10, B8, C4	84
EQEP5_INDEX	I/O	eQEP-5 インデックス	14, 18, 77, 111, 150	A12, B3, F3, F13, H3	6, 10, 144	C2, D3, D9	5
EQEP5_STROBE	I/O	eQEP-5 ストロブ	13, 17, 76, 110, 149	A3, A14, B12, E3, H2	5, 9, 143	C1, D4, E9	4
EQEP6_A	I	eQEP-6 入力 A	84, 211	D9, R6	59, 154	A8, J6	85
EQEP6_B	I	eQEP-6 入力 B	66, 85, 212	C9, K11, T7	60, 112, 155	A7, G10, K6	61, 86
EQEP6_INDEX	I/O	eQEP-6 インデックス	73, 87, 219	A9, D14, R7	61, 140, 157	C7, C10	81, 88
EQEP6_STROBE	I/O	eQEP-6 ストロブ	72, 86, 213	A15, B9, T8	62, 139, 156	A11, B7, L5	39, 80, 87
ERRORSTS	O	エラー ステータス出力。外部プルダウンが必要。	79, 80, 224	A13, D13, P16	92, 146, 148	B9, E8, L12	83
ESC_GPI0	I	EtherCAT 汎用入力 0	0, 100	F4, F8	160	E7	2, 89
ESC_GPI1	I	EtherCAT 汎用入力 1	1, 101	A7, N9	161	A6	90
ESC_GPI2	I	EtherCAT 汎用入力 2	2, 102	B7, C13	162	B6	91
ESC_GPI3	I	EtherCAT 汎用入力 3	3, 103	C7, G12	126, 163	C6, D10	92
ESC_GPI4	I	EtherCAT 汎用入力 4	4, 104	B13, D7	147, 164	A9, D6	93
ESC_GPI5	I	EtherCAT 汎用入力 5	5, 105	E7, L16	106, 165	E6, H12	
ESC_GPI6	I	EtherCAT 汎用入力 6	6, 106	F1, F7	20, 166	A5	
ESC_GPI7	I	EtherCAT 汎用入力 7	7, 107	A6, F2	167	B5	
ESC_GPI8	I	EtherCAT 汎用入力 8	108	G2			
ESC_GPI9	I	EtherCAT 汎用入力 9	109	G3			
ESC_GPI10	I	EtherCAT 汎用入力 10	110	H2			
ESC_GPI11	I	EtherCAT 汎用入力 11	111	H3			
ESC_GPI12	I	EtherCAT 汎用入力 12	112	H4			
ESC_GPI13	I	EtherCAT 汎用入力 13	113	J3			
ESC_GPI14	I	EtherCAT 汎用入力 14	114	J4			
ESC_GPI15	I	EtherCAT 汎用入力 15	115	P9			
ESC_GPI16	I	EtherCAT 汎用入力 16	116	H11			
ESC_GPI17	I	EtherCAT 汎用入力 17	97	C4			

表 5-3. デジタル信号 (続き)

信号名	ピン 種類	説明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
ESC_GPI18	I	EtherCAT 汎用入力 18	98	E2			
ESC_GPI19	I	EtherCAT 汎用入力 19	119	M10			
ESC_GPI20	I	EtherCAT 汎用入力 20	120	M11			
ESC_GPI21	I	EtherCAT 汎用入力 21	99	C1	17	E4	
ESC_GPI22	I	EtherCAT 汎用入力 22	122	L7			
ESC_GPI23	I	EtherCAT 汎用入力 23	123	M7			
ESC_GPI24	I	EtherCAT 汎用入力 24	124	L8			
ESC_GPI25	I	EtherCAT 汎用入力 25	125	M8			
ESC_GPI26	I	EtherCAT 汎用入力 26	126	T9			
ESC_GPI27	I	EtherCAT 汎用入力 27	127	R9			
ESC_GPI28	I	EtherCAT 汎用入力 28	128	M9			
ESC_GPI29	I	EtherCAT 汎用入力 29	129	L9			
ESC_GPI30	I	EtherCAT 汎用入力 30	130	T10			
ESC_GPI31	I	EtherCAT 汎用入力 31	131	N13			
ESC_GPO0	O	EtherCAT 汎用出力 0	8、132	D1、T14	18	E3	
ESC_GPO1	O	EtherCAT 汎用出力 1	9、134	E1、R14	19	F3	
ESC_GPO2	O	EtherCAT 汎用出力 2	40	P13	87	N12	
ESC_GPO3	O	EtherCAT 汎用出力 3	11	E4	2	B2	1
ESC_GPO4	O	EtherCAT 汎用出力 4	12	G4	4	B1	3
ESC_GPO5	O	EtherCAT 汎用出力 5	13	A3	5	C1	4
ESC_GPO6	O	EtherCAT 汎用出力 6	14	B3	6	C2	5
ESC_GPO7	O	EtherCAT 汎用出力 7	15	C3	7	C3	6
ESC_GPO8	O	EtherCAT 汎用出力 8	141	H13			
ESC_GPO9	O	EtherCAT 汎用出力 9	142	H14			
ESC_GPO10	O	EtherCAT 汎用出力 10	95	A4			
ESC_GPO11	O	EtherCAT 汎用出力 11	96	B4			
ESC_GPO12	O	EtherCAT 汎用出力 12	145	H15			
ESC_GPO13	O	EtherCAT 汎用出力 13	146	H16			
ESC_GPO14	O	EtherCAT 汎用出力 14	147	H12			
ESC_GPO15	O	EtherCAT 汎用出力 15	148	C12			
ESC_GPO16	O	EtherCAT 汎用出力 16	149	B12			
ESC_GPO17	O	EtherCAT 汎用出力 17	150	A12			
ESC_GPO18	O	EtherCAT 汎用出力 18	151	F11			
ESC_GPO19	O	EtherCAT 汎用出力 19	152	E11			
ESC_GPO20	O	EtherCAT 汎用出力 20	153	D11			
ESC_GPO21	O	EtherCAT 汎用出力 21	154	C11			
ESC_GPO22	O	EtherCAT 汎用出力 22	155	B11			
ESC_GPO23	O	EtherCAT 汎用出力 23	156	A11			
ESC_GPO24	O	EtherCAT 汎用出力 24	157	E10			
ESC_GPO25	O	EtherCAT 汎用出力 25	158	D10			
ESC_GPO26	O	EtherCAT 汎用出力 26	159	C10			
ESC_GPO27	O	EtherCAT 汎用出力 27	160	B10			
ESC_GPO28	O	EtherCAT 汎用出力 28	161	E9			
ESC_GPO29	O	EtherCAT 汎用出力 29	162	A8			
ESC_GPO30	O	EtherCAT 汎用出力 30	163	B8			
ESC_GPO31	O	EtherCAT 汎用出力 31	164	C8			
ESC_I2C_SCL	I/OC	EtherCAT I2C クロック	30、41、68、 151、214	C16、F11、L10、 R8、R15	63、79、89、133	B13、L6、L9、 M12	40、48、 51
ESC_I2C_SDA	I/OC	EtherCAT I2C データ	29、40、67、 150、216	A12、D15、N7、 P11、P13	65、73、87、132	L8、N6、N12	
ESC_LATCH0	I	EtherCAT ラッチ信号入力 0	29、34、50、60、 125、216	L15、M8、N7、 P10、P11、P14	65、70、73、94、 105	K7、K9、L8、N6	42、54

表 5-3. デジタル信号 (続き)

信号名	ピン の種類	説明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
ESC_LATCH1	I	EtherCAT ラッチ信号入力 1	30, 35, 51, 61, 126, 214	K16, L10, N10, N14, R8, T9	63, 71, 79, 95, 107	H11, K10, L6, L9, N8	40, 43, 48, 56
ESC_LED_ERR	O	EtherCAT エラー LED	33, 60, 145, 213	H15, L15, R10, T8	62, 69, 105	L5, L7	39, 54
ESC_LED_LINK0_ACTIVE	O	EtherCAT リンク 0 アクティブ	58, 211	L13, R6	59, 103	J6, J10	52
ESC_LED_LINK1_ACTIVE	O	EtherCAT リンク 1 アクティブ	59, 212	L14, T7	60, 104	H13, K6	53
ESC_LED_RUN	O	EtherCAT 実行 LED	39, 61, 146, 219	H16, K16, L12, R7	61, 86, 107	H11	56
ESC_LED_STATE_RUN	O	EtherCAT LED 状態実行	62, 133, 147, 206	H12, J15, K15, L5	30, 108, 118	F13, H5, H10	14, 57
ESC_MDIO_CLK	O	EtherCAT MDIO クロック	26, 46, 52, 62, 152, 203	E11, F14, K5, K15, L11, N15	27, 82, 96, 108, 128	G5, H10, K11, L10	11, 57, 71
ESC_MDIO_DATA	I/O	EtherCAT MDIO データ	27, 39, 47, 53, 153, 204	D11, E14, G13, L6, L12, N16	28, 86, 97, 125, 129	D11, G6, K12	12, 72
ESC_PDI_UC_IRQ	O	EtherCAT PDI IRQ 割り込みライン	198, 222, 224	K4, P16, T12	26, 77, 92	G4, L12, N9	46
ESC_PHY0_LINKSTATUS	I	EtherCAT PHY-0 リンク ステータス	55, 86, 148	B9, C12, M14	100, 156	B7, J13	87
ESC_PHY1_LINKSTATUS	I	EtherCAT PHY-1 リンク ステータス	14, 68, 149	B3, B12, C16	6, 133	B13, C2	5
ESC_PHY_CLK	O	EtherCAT PHY クロック	48, 54, 154, 206	C11, L5, M13, R16	30, 90, 98	H5, K13, M13	14
ESC_PHY_RESETn	O	EtherCAT PHY アクティブ Low リセット	23, 76, 155	A14, B11, G1	21, 143	E9, F2	
ESC_RX0_CLK	I	EtherCAT MII 受信 0 クロック	24, 77, 163	B8, E8, F13	144, 159	D7, D9	
ESC_RX0_DATA0	I	EtherCAT MII 受信 0 データ 0	27, 80, 165	A13, F6, G13	125, 148	D11, E8	83
ESC_RX0_DATA1	I	EtherCAT MII 受信 0 データ 1	24, 28, 81, 166	B5, E8, F12, N11	74, 149, 159	D7, K8	
ESC_RX0_DATA2	I	EtherCAT MII 受信 0 データ 2	29, 82, 167, 210	E5, E12, P6, P11	58, 73, 150	D8, K5, L8	
ESC_RX0_DATA3	I	EtherCAT MII 受信 0 データ 3	83, 84, 168	D9, D12, F5	151, 154	A8, C8	85
ESC_RX0_DV	I	EtherCAT MII 受信 0 データ有効	25, 78, 162	A8, A10, E13	145, 153	B8, C9	82, 84
ESC_RX0_ERR	I	EtherCAT MII 受信 0 エラー	26, 79, 164	C8, D13, L11	82, 146	B9, L10	
ESC_RX1_CLK	I	EtherCAT MII 受信 1 クロック	16, 69, 207	B16, D3, N5	8, 55, 134	B12, C4, J4	36, 75
ESC_RX1_DATA0	I	EtherCAT MII 受信 1 データ 0	63	K14	109	G13	58
ESC_RX1_DATA1	I	EtherCAT MII 受信 1 データ 1	64	K13	110	G12	59
ESC_RX1_DATA2	I	EtherCAT MII 受信 1 データ 2	65, 141	H13, K12	111	G11	60
ESC_RX1_DATA3	I	EtherCAT MII 受信 1 データ 3	66, 142	H14, K11	112	G10	61
ESC_RX1_DV	I	EtherCAT MII 受信 1 データ有効	17, 70, 208	C15, E3, P5	9, 56, 135	A12, D4, K4	37, 76
ESC_RX1_ERR	I	EtherCAT MII 受信 1 エラー	18, 71, 209	B15, F3, N6	10, 57, 136	B11, D3, J5	38, 77
ESC_SYNC0	O	EtherCAT 同期信号出力 0	29, 34, 104, 127, 216	B13, N7, P10, P11, R9	65, 70, 73, 147	A9, K7, L8, N6	42
ESC_SYNC1	O	EtherCAT 同期信号出力 1	30, 35, 105, 128, 214	L10, L16, M9, N10, R8	63, 71, 79, 106	H12, L6, L9, N8	40, 43, 48
ESC_TX0_CLK	I	EtherCAT MII 送信 0 クロック	57, 85, 157	C9, E10, M16	102, 155	A7, J11	86
ESC_TX0_DATA0	O	EtherCAT MII 送信 0 データ 0	10, 87, 158	A9, D4, D10	1, 157	B3, C7	88, 100
ESC_TX0_DATA1	O	EtherCAT MII 送信 0 データ 1	11, 88, 159	B6, C10, E4	2, 170	B2, C5	1
ESC_TX0_DATA2	O	EtherCAT MII 送信 0 データ 2	12, 89, 160	B10, C6, G4	4, 171	B1, D5	3, 96
ESC_TX0_DATA3	O	EtherCAT MII 送信 0 データ 3	13, 90, 161	A3, D6, E9	5, 172	C1, E5	4, 97
ESC_TX0_ENA	I/O	EtherCAT MII 送信 0 イネーブル	56, 84, 156	A11, D9, M15	101, 154	A8, J12	85
ESC_TX1_CLK	I	EtherCAT MII 送信 1 クロック	44, 93, 130	C5, J12, T10	113, 175	A3, F10	
ESC_TX1_DATA0	O	EtherCAT MII 送信 1 データ 0	22, 75, 131	A2, B14, N13	11, 142	A10, D2	
ESC_TX1_DATA1	O	EtherCAT MII 送信 1 データ 1	21, 74, 132, 200	C14, D2, J1, T14	14, 23, 141	B10, E2, G1	10
ESC_TX1_DATA2	O	EtherCAT MII 送信 1 データ 2	20, 73, 134, 201	C2, D14, J2, R14	13, 24, 140	C10, E1, G2	81
ESC_TX1_DATA3	O	EtherCAT MII 送信 1 データ 3	19, 72, 202	A15, B2, K3	12, 25, 139	A11, D1, G3	80
ESC_TX1_ENA	I/O	EtherCAT MII 送信 1 イネーブル	45, 94, 129	D5, J13, L9	115, 176	A2, F11	
EXTSYNCOUT	O	外部 ePWM 同期パルス	6, 207	F7, N5	55, 166	A5, J4	36
FSIRXA_CLK	I	FSIRX-A 入力クロック	5, 9, 13, 54, 105, 156	A3, A11, E1, E7, L16, M13	5, 19, 98, 106, 165	C1, E6, F3, H12, K13	4

表 5-3. デジタル信号 (続き)

信号名	ピン 種類	説明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
FSIRXA_D0	I	FSIRX-A 1 次データ入力	3, 8, 12, 52, 103, 154	C7, C11, D1, G4, G12, N15	4, 18, 96, 126, 163	B1, C6, D10, E3, K11	3, 92
FSIRXA_D1	I	FSIRX-A オプションの追加データ入力	4, 10, 11, 53, 104, 155	B11, B13, D4, D7, E4, N16	1, 2, 97, 147, 164	A9, B2, B3, D6, K12	1, 93, 100
FSIRXB_CLK	I	FSIRX-B 入力クロック	11, 60, 112, 162	A8, E4, H4, L15	2, 105	B2	1, 54
FSIRXB_D0	I	FSIRX-B 1 次データ入力	9, 58, 70, 110, 160	B10, C15, E1, H2, L13	19, 103, 135	A12, F3, J10	52, 76
FSIRXB_D1	I	FSIRX-B オプションの追加データ入力	10, 59, 111, 161	D4, E9, H3, L14	1, 104	B3, H13	53, 100
FSIRXC_CLK	I	FSIRX-C 入力クロック	14, 165	B3, F6	6	C2	5
FSIRXC_D0	I	FSIRX-C 1 次データ入力	12, 115, 163	B8, G4, P9	4	B1	3
FSIRXC_D1	I	FSIRX-C オプションの追加データ入力	13, 116, 164	A3, C8, H11	5	C1	4
FSIRXD_CLK	I	FSIRX-D 入力クロック	17, 39, 41, 44, 92, 120, 168	A5, E3, F5, J12, L12, M11, R15	9, 86, 89, 113, 174	A4, D4, F10, M12	51, 99
FSIRXD_D0	I	FSIRX-D 1 次データ入力	15, 42, 166	B5, C3, E16	7, 130	C3, C12	6, 73
FSIRXD_D1	I	FSIRX-D オプションの追加データ入力	16, 43, 100, 119, 167	D3, D16, E5, F4, M10	8, 131	C4, C11	2, 74
FSITXA_CLK	O	FSITX-A 出力クロック	2, 10, 27, 51, 102, 153, 204	B7, C13, D4, D11, G13, L6, N14	1, 28, 95, 125, 162	B3, B6, D11, G6, K10	12, 91, 100
FSITXA_D0	O	FSITX-A 1 次データ出力	0, 9, 26, 49, 100, 151, 203	E1, F4, F8, F11, K5, L11, P15	19, 27, 82, 93, 160	E7, F3, G5, L10, L13	2, 11, 89
FSITXA_D1	O	FSITX-A オプションの追加データ出力	1, 8, 25, 50, 101, 152, 202	A7, A10, D1, E11, K3, N9, P14	18, 25, 94, 153, 161	A6, B8, E3, G3, K9	84, 90
FSITXB_CLK	O	FSITX-B 出力クロック	8, 56, 65, 108, 159	C10, D1, G2, K12, M15	18, 101, 111	E3, G11, J12	60
FSITXB_D0	O	FSITX-B 1 次データ出力	6, 55, 69, 106, 157	B16, E10, F1, F7, M14	20, 100, 134, 166	A5, B12, J13	75
FSITXB_D1	O	FSITX-B オプションの追加データ出力	7, 57, 66, 107, 158	A6, D10, F2, K11, M16	102, 112, 167	B5, G10, J11	61
GPIO0	I/O	汎用入出力 0	0	F8	160	E7	89
GPIO1	I/O	汎用入出力 1	1	A7	161	A6	90
GPIO2	I/O	汎用入出力 2	2	B7	162	B6	91
GPIO3	I/O	汎用入出力 3	3	C7	163	C6	92
GPIO4	I/O	汎用入出力 4	4	D7	164	D6	93
GPIO5	I/O	汎用入出力 5	5	E7	165	E6	
GPIO6	I/O	汎用入出力 6	6	F7	166	A5	
GPIO7	I/O	汎用入出力 7	7	A6	167	B5	
GPIO8	I/O	汎用入出力 8	8	D1	18	E3	
GPIO9	I/O	汎用入出力 9	9	E1	19	F3	
GPIO10	I/O	汎用入出力 10	10	D4	1	B3	100
GPIO11	I/O	汎用入出力 11	11	E4	2	B2	1
GPIO12	I/O	汎用入出力 12	12	G4	4	B1	3
GPIO13	I/O	汎用入出力 13	13	A3	5	C1	4
GPIO14	I/O	汎用入出力 14	14	B3	6	C2	5
GPIO15	I/O	汎用入出力 15	15	C3	7	C3	6
GPIO16	I/O	汎用入出力 16	16	D3	8	C4	
GPIO17	I/O	汎用入出力 17	17	E3	9	D4	
GPIO18	I/O	汎用入出力 18	18	F3	10	D3	
GPIO19	I/O	汎用入出力 19	19	B2	12	D1	
GPIO20	I/O	汎用入出力 20	20	C2	13	E1	
GPIO21	I/O	汎用入出力 21	21	D2	14	E2	
GPIO22	I/O	汎用入出力 22	22	A2	11	D2	
GPIO23	I/O	汎用入出力 23	23	G1	21	F2	
GPIO24	I/O	汎用入出力 24	24	E8	159	D7	

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
GPIO25	I/O	汎用入出力 25	25	A10	153	B8	84
GPIO26	I/O	汎用入出力 26	26	L11	82	L10	
GPIO27	I/O	汎用入出力 27	27	G13	125	D11	
GPIO28	I/O	汎用入出力 28	28	N11	74	K8	
GPIO29	I/O	汎用入出力 29	29	P11	73	L8	
GPIO30	I/O	汎用入出力 30	30	L10	79	L9	48
GPIO31	I/O	汎用入出力 31	31	D8	158		
GPIO32	I/O	汎用入出力 32	32	J14	116	F12	
GPIO33	I/O	汎用入出力 33	33	R10	69	L7	
GPIO34	I/O	汎用入出力 34	34	P10	70	K7	42
GPIO35	I/O	汎用入出力 35	35	N10	71	N8	43
GPIO36	I/O	汎用入出力 36	36	P12	83	N11	
GPIO37	I/O	汎用入出力 37	37	N12	84	M11	
GPIO38	I/O	汎用入出力 38	38	M12	85	L11	
GPIO39	I/O	汎用入出力 39	39	L12	86		
GPIO40	I/O	汎用入出力 40	40	P13	87	N12	
GPIO41	I/O	汎用入出力 41	41	R15	89	M12	51
GPIO42	I/O	汎用入出力 42	42	E16	130	C12	73
GPIO43	I/O	汎用入出力 43	43	D16	131	C11	74
GPIO44	I/O	汎用入出力 44	44	J12	113	F10	
GPIO45	I/O	汎用入出力 45	45	J13	115	F11	
GPIO46	I/O	汎用入出力 46	46	F14	128		71
GPIO47	I/O	汎用入出力 47	47	E14	129		72
GPIO48	I/O	汎用入出力 48	48	R16	90	M13	
GPIO49	I/O	汎用入出力 49	49	P15	93	L13	
GPIO50	I/O	汎用入出力 50	50	P14	94	K9	
GPIO51	I/O	汎用入出力 51	51	N14	95	K10	
GPIO52	I/O	汎用入出力 52	52	N15	96	K11	
GPIO53	I/O	汎用入出力 53	53	N16	97	K12	
GPIO54	I/O	汎用入出力 54	54	M13	98	K13	
GPIO55	I/O	汎用入出力 55	55	M14	100	J13	
GPIO56	I/O	汎用入出力 56	56	M15	101	J12	
GPIO57	I/O	汎用入出力 57	57	M16	102	J11	
GPIO58	I/O	汎用入出力 58	58	L13	103	J10	52
GPIO59	I/O	汎用入出力 59	59	L14	104	H13	53
GPIO60	I/O	汎用入出力 60	60	L15	105		54
GPIO61	I/O	汎用入出力 61	61	K16	107	H11	56
GPIO62	I/O	汎用入出力 62	62	K15	108	H10	57
GPIO63	I/O	汎用入出力 63	63	K14	109	G13	58
GPIO64	I/O	汎用入出力 64	64	K13	110	G12	59
GPIO65	I/O	汎用入出力 65	65	K12	111	G11	60
GPIO66	I/O	汎用入出力 66	66	K11	112	G10	61
GPIO67	I/O	汎用入出力 67	67	D15	132		
GPIO68	I/O	汎用入出力 68	68	C16	133	B13	
GPIO69	I/O	汎用入出力 69	69	B16	134	B12	75
GPIO70	I/O	汎用入出力 70	70	C15	135	A12	76
GPIO71	I/O	汎用入出力 71	71	B15	136	B11	77
GPIO72	I/O	汎用入出力 72	72	A15	139	A11	80
GPIO73	I/O	汎用入出力 73	73	D14	140	C10	81
GPIO74	I/O	汎用入出力 74	74	C14	141	B10	
GPIO75	I/O	汎用入出力 75	75	B14	142	A10	

表 5-3. デジタル信号 (続き)

信号名	ピンの 種類	説明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
GPIO76	I/O	汎用入出力 76	76	A14	143	E9	
GPIO77	I/O	汎用入出力 77	77	F13	144	D9	
GPIO78	I/O	汎用入出力 78	78	E13	145	C9	82
GPIO79	I/O	汎用入出力 79	79	D13	146	B9	
GPIO80	I/O	汎用入出力 80	80	A13	148	E8	83
GPIO81	I/O	汎用入出力 81	81	F12	149		
GPIO82	I/O	汎用入出力 82	82	E12	150	D8	
GPIO83	I/O	汎用入出力 83	83	D12	151	C8	
GPIO84	I/O	汎用入出力 84	84	D9	154	A8	85
GPIO85	I/O	汎用入出力 85	85	C9	155	A7	86
GPIO86	I/O	汎用入出力 86	86	B9	156	B7	87
GPIO87	I/O	汎用入出力 87	87	A9	157	C7	88
GPIO88	I/O	汎用入出力 88	88	B6	170	C5	
GPIO89	I/O	汎用入出力 89	89	C6	171	D5	96
GPIO90	I/O	汎用入出力 90	90	D6	172	E5	97
GPIO91	I/O	汎用入出力 91	91	E6	173	B4	98
GPIO92	I/O	汎用入出力 92	92	A5	174	A4	99
GPIO93	I/O	汎用入出力 93	93	C5	175	A3	
GPIO94	I/O	汎用入出力 94	94	D5	176	A2	
GPIO95	I/O	汎用入出力 95	95	A4			
GPIO96	I/O	汎用入出力 96	96	B4			
GPIO97	I/O	汎用入出力 97	97	C4			
GPIO98	I/O	汎用入出力 98	98	E2			
GPIO99	I/O	汎用入出力 99	99	C1	17	E4	
GPIO100	I/O	汎用入出力 100	100	F4			2
GPIO101	I/O	汎用入出力 101	101	N9			
GPIO102	I/O	汎用入出力 102	102	C13			
GPIO103	I/O	汎用入出力 103	103	G12	126	D10	
GPIO104	I/O	汎用入出力 104	104	B13	147	A9	
GPIO105	I/O	汎用入出力 105	105	L16	106	H12	
GPIO106	I/O	汎用入出力 106	106	F1	20		
GPIO107	I/O	汎用入出力 107	107	F2			
GPIO108	I/O	汎用入出力 108	108	G2			
GPIO109	I/O	汎用入出力 109	109	G3			
GPIO110	I/O	汎用入出力 110	110	H2			
GPIO111	I/O	汎用入出力 111	111	H3			
GPIO112	I/O	汎用入出力 112	112	H4			
GPIO113	I/O	汎用入出力 113	113	J3			
GPIO114	I/O	汎用入出力 114	114	J4			
GPIO115	I/O	汎用入出力 115	115	P9			
GPIO116	I/O	汎用入出力 116	116	H11			
GPIO119	I/O	汎用入出力 119	119	M10			
GPIO120	I/O	汎用入出力 120	120	M11			
GPIO122	I/O	汎用入出力 122	122	L7			
GPIO123	I/O	汎用入出力 123	123	M7			
GPIO124	I/O	汎用入出力 124	124	L8			
GPIO125	I/O	汎用入出力 125	125	M8			
GPIO126	I/O	汎用入出力 126	126	T9			
GPIO127	I/O	汎用入出力 127	127	R9			
GPIO128	I/O	汎用入出力 128	128	M9			
GPIO129	I/O	汎用入出力 129	129	L9			

表 5-3. デジタル信号 (続き)

信号名	ピン の種類	説明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
GPIO130	I/O	汎用入出力 130	130	T10			
GPIO131	I/O	汎用入出力 131	131	N13			
GPIO132	I/O	汎用入出力 132	132	T14			
GPIO133	I/O	汎用入出力 133	133	J15	118	F13	
GPIO134	I/O	汎用入出力 134	134	R14			
GPIO141	I/O	汎用入出力 141	141	H13			
GPIO142	I/O	汎用入出力 142	142	H14			
GPIO145	I/O	汎用入出力 145	145	H15			
GPIO146	I/O	汎用入出力 146	146	H16			
GPIO147	I/O	汎用入出力 147	147	H12			
GPIO148	I/O	汎用入出力 148	148	C12			
GPIO149	I/O	汎用入出力 149	149	B12			
GPIO150	I/O	汎用入出力 150	150	A12			
GPIO151	I/O	汎用入出力 151	151	F11			
GPIO152	I/O	汎用入出力 152	152	E11			
GPIO153	I/O	汎用入出力 153	153	D11			
GPIO154	I/O	汎用入出力 154	154	C11			
GPIO155	I/O	汎用入出力 155	155	B11			
GPIO156	I/O	汎用入出力 156	156	A11			
GPIO157	I/O	汎用入出力 157	157	E10			
GPIO158	I/O	汎用入出力 158	158	D10			
GPIO159	I/O	汎用入出力 159	159	C10			
GPIO160	I/O	汎用入出力 160	160	B10			
GPIO161	I/O	汎用入出力 161	161	E9			
GPIO162	I/O	汎用入出力 162	162	A8			
GPIO163	I/O	汎用入出力 163	163	B8			
GPIO164	I/O	汎用入出力 164	164	C8			
GPIO165	I/O	汎用入出力 165	165	F6			
GPIO166	I/O	汎用入出力 166	166	B5			
GPIO167	I/O	汎用入出力 167	167	E5			
GPIO168	I/O	汎用入出力 168	168	F5			
GPIO198	I/O	汎用入出力 198	198	K4	26	G4	
GPIO199	I/O	汎用入出力 199	199	H1	22	F1	9
GPIO200	I/O	汎用入出力 200	200	J1	23	G1	10
GPIO201	I/O	汎用入出力 201	201	J2	24	G2	
GPIO202	I/O	汎用入出力 202	202	K3	25	G3	
GPIO203	I/O	汎用入出力 203	203	K5	27	G5	11
GPIO204	I/O	汎用入出力 204	204	L6	28	G6	12
GPIO205	I/O	汎用入出力 205	205	M6	29	H6	13
GPIO206	I/O	汎用入出力 206	206	L5	30	H5	14
GPIO207	I/O	汎用入出力 207	207	N5	55	J4	36
GPIO208	I/O	汎用入出力 208	208	P5	56	K4	37
GPIO209	I/O	汎用入出力 209	209	N6	57	J5	38
GPIO210	I/O	汎用入出力 210	210	P6	58	K5	
GPIO211	I/O	汎用入出力 211	211	R6	59	J6	
GPIO212	I/O	汎用入出力 212	212	T7	60	K6	
GPIO213	I/O	汎用入出力 213	213	T8	62	L5	39
GPIO214	I/O	汎用入出力 214	214	R8	63	L6	40
GPIO215	I/O	汎用入出力 215	215	P7	64	M6	
GPIO216	I/O	汎用入出力 216	216	N7	65	N6	
GPIO217	I/O	汎用入出力 217	217	P8	66	M7	

表 5-3. デジタル信号 (続き)

信号名	ピン 種類	説明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
GPIO218	I/O	汎用入出力 218	218	N8	67	N7	
GPIO219	I/O	汎用入出力 219	219	R7	61		
GPIO220	I/O	汎用入出力 220	220	F16	123	D13	68
GPIO221	I/O	汎用入出力 221	221	G16	121	E13	66
GPIO222	I/O	汎用入出力 222	222	T12	77	N9	46
GPIO223	I/O	汎用入出力 223	223	R12	78	M9	47
GPIO224	I/O	汎用入出力 224	224	P16	92	L12	
I2CA_SCL	I/OD	I2C-A オープンドレイン双方向クロック	1, 32, 33, 43, 57, 92, 105, 218, 223	A5, A7, D16, J14, L16, M16, N8, R10, R12	67, 69, 78, 102, 106, 116, 131, 161, 174	A4, A6, C11, F12, H12, J11, L7, M9, N7	47, 74, 90, 99
I2CA_SDA	I/OD	I2C-A オープンドレイン双方向データ	0, 31, 32, 42, 56, 91, 104, 217, 218, 222	B13, D8, E6, E16, F8, J14, M15, N8, P8, T12	66, 67, 77, 101, 116, 130, 147, 158, 160, 173	A9, B4, C12, E7, F12, J12, M7, N7, N9	46, 73, 89, 98
I2CB_SCL	I/OD	I2C-B オープンドレイン双方向クロック	3, 35, 41, 69, 207	B16, C7, N5, N10, R15	55, 71, 89, 134, 163	B12, C6, J4, M12, N8	36, 43, 51, 75, 92
I2CB_SDA	I/OD	I2C-B オープンドレイン双方向データ	2, 34, 40, 66, 215	B7, K11, P7, P10, P13	64, 70, 87, 112, 162	B6, G10, K7, M6, N12	42, 61, 91
LINA_RX	I	LIN-A 受信	7, 15, 207	A6, C3, N5	7, 55, 167	B5, C3, J4	6, 36
LINA_TX	O	LIN-A 送信	6, 14, 215	B3, F7, P7	6, 64, 166	A5, C2, M6	5
LINB_RX	I	LIN-B 受信	25, 68, 202, 209	A10, C16, K3, N6	25, 57, 133, 153	B8, B13, G3, J5	38, 84
LINB_TX	O	LIN-B 送信	24, 32, 67, 201, 210, 213, 217, 218	D15, E8, J2, J14, N8, P6, P8, T8	24, 58, 62, 66, 67, 116, 132, 159	D7, F12, G2, K5, L5, M7, N7	39
MCANA_RX	I	CAN/CAN FD-A 受信	5, 10, 18, 23, 30, 36, 70, 75, 200, 214, 221	B14, C15, D4, E7, F3, G1, G16, J1, L10, P12, R8	1, 10, 21, 23, 63, 79, 83, 121, 135, 142, 165	A10, A12, B3, D3, E6, E13, F2, G1, L6, L9, N11	10, 40, 48, 66, 76, 100
MCANA_TX	O	CAN/CAN FD-A 送信	4, 8, 19, 22, 31, 37, 71, 74, 199, 217, 220	A2, B2, B15, C14, D1, D7, D8, F16, H1, N12, P8	11, 12, 18, 22, 66, 84, 123, 136, 141, 158, 164	B10, B11, D1, D2, D6, D13, E3, F1, M7, M11	9, 68, 77, 93
MCANB_RX	I	CAN/CAN FD-B 受信	7, 21, 40, 44, 72, 120, 146	A6, A15, D2, H16, J12, M11, P13	14, 87, 113, 139, 167	A11, B5, E2, F10, N12	80
MCANB_TX	O	CAN/CAN FD-B 送信	6, 20, 41, 45, 73, 119, 145	C2, D14, F7, H15, J13, M10, R15	13, 89, 115, 140, 166	A5, C10, E1, F11, M12	51, 81
OUTPUTXBAR1	O	出力クロスバー出力 1	2, 24, 34, 58, 201, 205, 224	B7, E8, J2, L13, M6, P10, P16	24, 29, 70, 92, 103, 159, 162	B6, D7, G2, H6, J10, K7, L12	13, 42, 52, 91
OUTPUTXBAR2	O	出力クロスバー出力 2	3, 25, 37, 59, 202, 206, 220	A10, C7, F16, K3, L5, L14, N12	25, 30, 84, 104, 123, 153, 163	B8, C6, D13, G3, H5, H13, M11	14, 53, 68, 84, 92
OUTPUTXBAR3	O	出力クロスバー出力 3	4, 5, 14, 26, 48, 60, 203, 207, 221	B3, D7, E7, G16, K5, L11, L15, N5, R16	6, 27, 55, 82, 90, 105, 121, 164, 165	C2, D6, E6, E13, G5, J4, L10, M13	5, 11, 36, 54, 66, 93
OUTPUTXBAR4	O	出力クロスバー出力 4	6, 15, 27, 49, 61, 204, 208, 222	C3, F7, G13, K16, L6, P5, P15, T12	7, 28, 56, 77, 93, 107, 125, 166	A5, C3, D11, G6, H11, K4, L13, N9	6, 12, 37, 46, 56
OUTPUTXBAR5	O	出力クロスバー出力 5	7, 28, 115, 209, 215, 223	A6, N6, N11, P7, P9, R12	57, 64, 74, 78, 167	B5, J5, K8, M6, M9	38, 47
OUTPUTXBAR6	O	出力クロスバー出力 6	9, 29, 73, 116, 210, 216	D14, E1, H11, N7, P6, P11	19, 58, 65, 73, 140	C10, F3, K5, L8, N6	81
OUTPUTXBAR7	O	出力クロスバー出力 7	11, 16, 30, 211, 214	D3, E4, L10, R6, R8	2, 8, 59, 63, 79	B2, C4, J6, L6, L9	1, 40, 48
OUTPUTXBAR8	O	出力クロスバー出力 8	14, 17, 31, 72, 217	A15, B3, D8, E3, P8	6, 9, 66, 139, 158	A11, C2, D4, M7	5, 80
PMBUSA_ALERT	I/OD	PMBus-A オープンドレイン双方向アラート信号	11, 26, 93, 153, 203, 207, 220	C5, D11, E4, F16, K5, L11, N5	2, 27, 55, 82, 123, 175	A3, B2, D13, G5, J4, L10	1, 11, 36, 68

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
PMBUSA_CTL	I/O	PMBus-A 制御信号 - ターゲット入力 / コントローラ出力	12, 27, 94, 154, 204, 208, 221	C11, D5, G4, G13, G16, L6, P5	4, 28, 56, 121, 125, 176	A2, B1, D11, E13, G6, K4	3, 12, 37, 66
PMBUSA_SCL	I/OD	PMBus-A オープンドレイン双方向クロック	14, 24, 91, 151, 201, 210, 223	B3, E6, E8, F11, J2, P6, R12	6, 24, 58, 78, 159, 173	B4, C2, D7, G2, K5, M9	5, 47, 98
PMBUSA_SDA	I/OD	PMBus-A オープンドレイン双方向データ	13, 25, 92, 152, 202, 209, 222	A3, A5, A10, E11, K3, N6, T12	5, 25, 57, 77, 153, 174	A4, B8, C1, G3, J5, N9	4, 38, 46, 84, 99
SCIA_RX	I	SCI-A 受信データ	9, 13, 28, 35, 43, 46, 49, 62, 64, 85, 207, 215, 222	A3, C9, D16, E1, F14, K13, K15, N5, N10, N11, P7, P15, T12	5, 19, 55, 64, 71, 74, 77, 93, 108, 110, 128, 131, 155	A7, C1, C11, F3, G12, H10, J4, K8, L13, M6, N8, N9	4, 36, 43, 46, 57, 59, 71, 74, 86
SCIA_TX	O	SCI-A 送信データ	8, 12, 29, 34, 36, 42, 47, 48, 63, 65, 84, 208, 216, 223	D1, D9, E14, E16, G4, K12, K14, N7, P5, P10, P11, P12, R12, R16	4, 18, 56, 65, 70, 73, 78, 83, 90, 109, 111, 129, 130, 154	A8, B1, C12, E3, G11, G13, K4, K7, L8, M9, M13, N6, N11	3, 37, 42, 47, 58, 60, 72, 73, 85
SCIB_RX	I	SCI-B 受信データ	11, 15, 19, 23, 39, 55, 71, 87, 142, 200, 221	A9, B2, B15, C3, E4, G1, G16, H14, J1, L12, M14	2, 7, 12, 21, 23, 86, 100, 121, 136, 157	B2, B11, C3, C7, D1, E13, F2, G1, J13	1, 6, 10, 66, 77, 88
SCIB_TX	O	SCI-B 送信データ	9, 10, 14, 18, 22, 38, 54, 70, 86, 141, 199, 220	A2, B3, B9, C15, D4, E1, F3, F16, H1, H13, M12, M13	1, 6, 10, 11, 19, 22, 85, 98, 123, 135, 156	A12, B3, B7, C2, D2, D3, D13, F1, F3, K13, L11	5, 9, 68, 76, 87, 100
SD1_C1	I	SDFM-1 チャンネル 1 クロック入力	17, 49, 53, 64, 96, 123	B4, E3, K13, M7, N16, P15	9, 93, 97, 110	D4, G12, K12, L13	59
SD1_C2	I	SDFM-1 チャンネル 2 クロック入力	19, 51, 54, 66, 98, 125	B2, E2, K11, M8, M13, N14	12, 95, 98, 112	D1, G10, K10, K13	61
SD1_C3	I	SDFM-1 チャンネル 3 クロック入力	21, 53, 55, 68, 90, 113, 127, 205	C16, D2, D6, J3, M6, M14, N16, R9	14, 29, 97, 100, 133, 172	B13, E2, E5, H6, J13, K12	13, 97
SD1_C4	I	SDFM-1 チャンネル 4 クロック入力	23, 55, 56, 70, 115, 129, 200	C15, G1, J1, L9, M14, M15, P9	21, 23, 100, 101, 135	A12, F2, G1, J12, J13	10, 76
SD1_D1	I	SDFM-1 チャンネル 1 データ入力	16, 36, 48, 63, 95, 100, 122	A4, D3, F4, K14, L7, P12, R16	8, 83, 90, 109	C4, G13, M13, N11	2, 58
SD1_D2	I	SDFM-1 チャンネル 2 データ入力	18, 37, 50, 65, 97, 124	C4, F3, K12, L8, N12, P14	10, 84, 94, 111	D3, G11, K9, M11	60
SD1_D3	I	SDFM-1 チャンネル 3 データ入力	20, 38, 52, 67, 89, 112, 126, 204	C2, C6, D15, H4, L6, M12, N15, T9	13, 28, 85, 96, 132, 171	D5, E1, G6, K11, L11	12, 96
SD1_D4	I	SDFM-1 チャンネル 4 データ入力	22, 39, 54, 69, 74, 77, 80, 114, 128, 199	A2, A13, B16, C14, F13, H1, J4, L12, M9, M13	11, 22, 86, 98, 134, 141, 144, 148	B10, B12, D2, D9, E8, F1, K13	9, 75, 83
SD2_C1	I	SDFM-2 チャンネル 1 クロック入力	25, 40, 57, 80, 131, 134, 202, 224	A10, A13, K3, M16, N13, P13, P16, R14	25, 87, 92, 102, 148, 153	B8, E8, G3, J11, L12, N12	83, 84
SD2_C2	I	SDFM-2 チャンネル 2 クロック入力	27, 48, 58, 59, 74, 133, 204	C14, G13, J15, L6, L13, L14, R16	28, 90, 103, 104, 118, 125, 141	B10, D11, F13, G6, H13, J10, M13	12, 52, 53
SD2_C3	I	SDFM-2 チャンネル 3 クロック入力	29, 59, 61, 76, 216	A14, K16, L14, N7, P11	65, 73, 104, 107, 143	E9, H11, H13, L8, N6	53, 56
SD2_C4	I	SDFM-2 チャンネル 4 クロック入力	31, 60, 63, 78, 217	D8, E13, K14, L15, P8	66, 105, 109, 145, 158	C9, G13, M7	54, 58, 82
SD2_D1	I	SDFM-2 チャンネル 1 データ入力	24, 41, 49, 56, 79, 130, 201	D13, E8, J2, M15, P15, R15, T10	24, 89, 93, 101, 146, 159	B9, D7, G2, J12, L13, M12	51
SD2_D2	I	SDFM-2 チャンネル 2 データ入力	26, 50, 58, 73, 132	D14, L11, L13, P14, T14	82, 94, 103, 140	C10, J10, K9, L10	52, 81
SD2_D3	I	SDFM-2 チャンネル 3 データ入力	28, 51, 60, 75, 134, 215	B14, L15, N11, N14, P7, R14	64, 74, 95, 105, 142	A10, K8, K10, M6	54
SD2_D4	I	SDFM-2 チャンネル 4 データ入力	30, 52, 62, 77, 214	F13, K15, L10, N15, R8	63, 79, 96, 108, 144	D9, H10, K11, L6, L9	40, 48, 57
SD3_C1	I	SDFM-3 チャンネル 1 クロック入力	72, 76, 105	A14, A15, L16	106, 139, 143	A11, E9, H12	80

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
SD3_C2	I	SDFM-3 チャンネル 2 クロック入力	78, 82, 84, 107	D9, E12, E13, F2	145, 150, 154	A8, C9, D8	82, 85
SD3_C3	I	SDFM-3 チャンネル 3 クロック入力	80, 86, 109	A13, B9, G3	148, 156	B7, E8	83, 87
SD3_C4	I	SDFM-3 チャンネル 4 クロック入力	44, 46, 88, 111	B6, F14, H3, J12	113, 128, 170	C5, F10	71
SD3_D1	I	SDFM-3 チャンネル 1 データ入力	71, 77, 85, 104, 203	B13, B15, C9, F13, K5	27, 136, 144, 147, 155	A7, A9, B11, D9, G5	11, 77, 86
SD3_D2	I	SDFM-3 チャンネル 2 データ入力	79, 83, 84, 106	D9, D12, D13, F1	20, 146, 151, 154	A8, B9, C8	85
SD3_D3	I	SDFM-3 チャンネル 3 データ入力	57, 81, 85, 108	C9, F12, G2, M16	102, 149, 155	A7, J11	86
SD3_D4	I	SDFM-3 チャンネル 4 データ入力	45, 87, 110	A9, H2, J13	115, 157	C7, F11	88
SD4_C1	I	SDFM-4 チャンネル 1 クロック入力	10, 90, 208	D4, D6, P5	1, 56, 172	B3, E5, K4	37, 97, 100
SD4_C2	I	SDFM-4 チャンネル 2 クロック入力	12, 92, 210	A5, G4, P6	4, 58, 174	A4, B1, K5	3, 99
SD4_C3	I	SDFM-4 チャンネル 3 クロック入力	40, 47, 94, 212	D5, E14, P13, T7	60, 87, 129, 176	A2, K6, N12	72
SD4_C4	I	SDFM-4 チャンネル 4 クロック入力	42, 100, 103, 219	E16, F4, G12, R7	61, 126, 130	C12, D10	2, 73
SD4_D1	I	SDFM-4 チャンネル 1 データ入力	11, 89, 207	C6, E4, N5	2, 55, 171	B2, D5, J4	1, 36, 96
SD4_D2	I	SDFM-4 チャンネル 2 データ入力	13, 91, 209	A3, E6, N6	5, 57, 173	B4, C1, J5	4, 38, 98
SD4_D3	I	SDFM-4 チャンネル 3 データ入力	41, 93, 211	C5, R6, R15	59, 89, 175	A3, J6, M12	51
SD4_D4	I	SDFM-4 チャンネル 4 データ入力	43, 73, 76, 78, 99, 213	A14, C1, D14, D16, E13, T8	17, 62, 131, 140, 143, 145	C9, C10, C11, E4, E9, L5	39, 74, 81, 82
SPIA_CLK	I/O	SPI-A クロック	18, 34, 56, 60, 204	F3, L6, L15, M15, P10	10, 28, 70, 101, 105	D3, G6, J12, K7	12, 42, 54
SPIA_PICO	I/O	SPI-A パリフェラル入力、コントローラ出力 (PICO)	16, 32, 54, 58, 100, 198, 218, 222	D3, F4, J14, K4, L13, M13, N8, T12	8, 26, 67, 77, 98, 103, 116	C4, F12, G4, J10, K13, N7, N9	2, 46, 52
SPIA_POCI	I/O	SPI-A パリフェラル出力、コントローラ入力 (POCI)	17, 33, 55, 59, 203	E3, K5, L14, M14, R10	9, 27, 69, 100, 104	D4, G5, H13, J13, L7	11, 53
SPIA_PTE	I/O	SPI-A パリフェラル送信イネーブル (PTE)	19, 35, 57, 61, 205	B2, K16, M6, M16, N10	12, 29, 71, 102, 107	D1, H6, H11, J11, N8	13, 43, 56
SPIB_CLK	I/O	SPI-B クロック	22, 26, 58, 65, 199, 203	A2, H1, K5, K12, L11, L13	11, 22, 27, 82, 103, 111	D2, F1, G5, G11, J10, L10	9, 11, 52, 60
SPIB_PICO	I/O	SPI-B パリフェラル入力、コントローラ出力 (PICO)	24, 60, 63, 201, 208	E8, J2, K14, L15, P5	24, 56, 105, 109, 159	D7, G2, G13, K4	37, 54, 58
SPIB_POCI	I/O	SPI-B パリフェラル出力、コントローラ入力 (POCI)	25, 61, 64, 202, 209	A10, K3, K13, K16, N6	25, 57, 107, 110, 153	B8, G3, G12, H11, J5	38, 56, 59, 84
SPIB_PTE	I/O	SPI-B パリフェラル送信イネーブル (PTE)	23, 27, 59, 66, 200, 204	G1, G13, J1, K11, L6, L14	21, 23, 28, 104, 112, 125	D11, F2, G1, G6, G10, H13	10, 12, 53, 61
SPIC_CLK	I/O	SPI-C クロック	22, 52, 71, 102, 124, 199, 222	A2, B15, C13, H1, L8, N15, T12	11, 22, 77, 96, 136	B11, D2, F1, K11, N9	9, 46, 77
SPIC_PICO	I/O	SPI-C パリフェラル入力、コントローラ出力 (PICO)	20, 50, 69, 100, 122	B16, C2, F4, L7, P14	13, 94, 134	B12, E1, K9	2, 75
SPIC_POCI	I/O	SPI-C パリフェラル出力、コントローラ入力 (POCI)	21, 51, 70, 101, 123, 215	C15, D2, M7, N9, N14, P7	14, 64, 95, 135	A12, E2, K10, M6	76
SPIC_PTE	I/O	SPI-C パリフェラル送信イネーブル (PTE)	23, 53, 72, 103, 125, 200, 223	A15, G1, G12, J1, M8, N16, R12	21, 23, 78, 97, 126, 139	A11, D10, F2, G1, K12, M9	10, 47, 80
SPID_CLK	I/O	SPI-D クロック	32, 75, 90, 93, 128, 216, 218	B14, C5, D6, J14, M9, N7, N8	65, 67, 116, 142, 172, 175	A3, A10, E5, F12, N6, N7	97
SPID_PICO	I/O	SPI-D パリフェラル入力、コントローラ出力 (PICO)	30, 91, 126, 214	E6, L10, R8, T9	63, 79, 173	B4, L6, L9	40, 48, 98
SPID_POCI	I/O	SPI-D パリフェラル出力、コントローラ入力 (POCI)	31, 44, 92, 127, 217, 220	A5, D8, F16, J12, P8, R9	66, 113, 123, 158, 174	A4, D13, F10, M7	68, 99
SPID_PTE	I/O	SPI-D パリフェラル送信イネーブル (PTE)	33, 45, 89, 94, 129, 217, 221	C6, D5, G16, J13, L9, P8, R10	66, 69, 115, 121, 171, 176	A2, D5, E13, F11, L7, M7	66, 96
TDI	I	内部ブルアップ付き JTAG テスト データ入力 (TDI)。TDI は、TCK の立ち上がりエッジで、選択したレジスタ (命令またはデータ) にシフトインされます。	222	T12	77	N9	46

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	256 ZEJ	176 PTP	169 NMR	100 PZP
TDO	O	JTAG スキャン アウト、テスト データ出力 (TDO)。選択したレジスタ (命令またはデータ) の内容は、TCK の立ち下がりエッジで、TDO からシフトアウトされます。	223	R12	78	M9	47
UARTA_RX	I/O	UART-A シリアル データ受信	3, 28, 39, 43, 73, 85	C7, C9, D14, D16, L12, N11	74, 86, 131, 140, 155, 163	A7, C6, C10, C11, K8	74, 81, 86, 92
UARTA_TX	I/O	UART-A シリアル データ送信	2, 29, 38, 42, 72, 84	A15, B7, D9, E16, M12, P11	73, 85, 130, 139, 154, 162	A8, A11, B6, C12, L8, L11	73, 80, 85, 91
UARTB_RX	I/O	UART-B シリアル データ受信	45, 71, 223	B15, J13, R12	78, 115, 136	B11, F11, M9	47, 77
UARTB_TX	I/O	UART-B シリアル データ送信	44, 70, 222	C15, J12, T12	77, 113, 135	A12, F10, N9	46, 76
USB0DM	O	USB-0 PHY 差動データ	42	E16	130	C12	73
USB0DP	O	USB-0 PHY 差動データ	43	D16	131	C11	74
X1	I/O	水晶発振器入力またはシングルエンド クロック入力。水晶発振器をイネーブルにする前に、デバイス初期化ソフトウェアでこのピンを設定する必要がある。この発振器を使用するには、X1 と X2 の間に水晶振動子を接続する必要がある。このピンを使って、シングルエンドの 3.3V レベル クロックを供給することもできる。	220	F16	123	D13	68
X2	I/O	水晶発振器出力。	221	G16	121	E13	66
XCLKOUT	O	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。	73, 224	D14, P16	92, 140	C10, L12	81

5.3.3 電源およびグランド

表 5-4. 電源およびグランド

信号名	説明	256 ZEJ	176 PTP	169 NMR	100 PZP
VDD	1.2V デジタル ロジック電源ピン。各 VDD ピンの近くにデカップリング コンデンサを配置することを推奨します。この合計容量は、少なくとも約 20 μ F になるようにします。デカップリング容量の正確な値は、システムの電圧レギュレーション ソリューションによって決定する必要があります。	F9, F10, G6, J11, K8, K9	16, 76, 117, 137, 169	F5, F7, G9, J9	8, 45, 63, 78, 95
VDD3VFL	3.3V フラッシュ電源ピン。各ピンに、最小 0.1 μ F のデカップリング コンデンサを配置。このピンは、3.3V 電源に接続します。	R11, T11	72	M8	44
VDDA	3.3V アナログ電源ピン。各ピンと VSSA の間に、最小 2.2 μ F のデカップリング コンデンサを配置します。このピンは、3.3V 電源に接続します。	N1, T6	36, 54	L2, M5	18, 35
VDDIO	3.3V デジタル I/O 電源ピン。各ピンに、最小 0.1 μ F のデカップリング コンデンサを配置。このピンは、3.3V 電源に接続します。	B1, E15, G7, G8, H5, J5, J10, K7, K10, T15	3, 15, 68, 75, 88, 91, 99, 114, 127, 138, 152, 168	C13, F4, F6, F8, H9, J8	7, 41, 55, 62, 70, 79, 94
VDDOSC	3.3V 発振器電源ピン。3.3V オンチップ水晶発振器 (X1 および X2) と 2 つのゼロピン内部発振器 (INTOSC) に給電します。各ピンに、最小 0.1 μ F のデカップリング コンデンサを配置します。このピンは、3.3V 電源に接続します。	G15	120	E11	65
VSS	デジタル GND	A1, A16, G5, G9, G10, G11, H6, H7, H8, H9, H10, J6, J7, J8, J9, K6, T16	PAD	A1, A13, F9, G7, G8, H7, H8, J7, N13	PAD
VSSA	アナログ GND	M3, N2, T1, T5	34, 52	L1, N1, N5	17, 33
VSSOSC	水晶発振器 (X1 および X2) のグランドピン。外部水晶振動子を使用する場合、このピンを基板のグランドに接続しないでください。代わりに、外部水晶発振器回路のグランド基準電圧に接続します。外部水晶振動子を使用しない場合は、このピンを基板のグランドに接続できます。	F15	122	E12	67

5.3.4 テスト、JTAG、リセット

表 5-5. テスト、JTAG、リセット

信号名	ピンの種類	説明	256 ZEJ	176 PTP	169 NMR	100 PZP
TCK	I	内部プルアップ付き JTAG テスト クロック。	R13	81	M10	50
TMS	I/O	内部プルアップ付き JTAG テスト モード選択 (TMS)。このシリアル制御入力は、TCK の立ち上がりエッジで、TAP コントローラにシフトインされる。このデバイスには TRSTn ピンがない。通常動作時に JTAG をリセット状態に維持するために、基板上で TMS ピンと VDDIO の間に外部プルアップ抵抗 (推奨 2.2kΩ) を配置する必要がある。	T13	80	N10	49
VREGENZ	I	内部プルアップ付きの内部電圧レギュレータ イネーブル。VSS (Low) に接続すると、内部 VREG がイネーブルになる。VDDIO (High) に接続すると、外部電源を使用。	J16	119	E10	64
XRSn	I/OD	デバイスリセット (IN) およびウォッチドッグリセット (OUT)。電源投入時、このピンはデバイスによって Low に駆動される。また、外部回路がこのピンを駆動して、デバイスリセットをアサートすることもできる。ウォッチドッグリセットが発生した場合、MCU もこのピンを Low に駆動する。ウォッチドッグリセット時には、512 OSCCLK サイクルのウォッチドッグリセット期間にわたって、XRSn ピンが Low に駆動される。XRSn と VDDIO の間に 2.2kΩ～10kΩ の抵抗を配置する必要がある。ノイズ フィルタリングのために XRS と VSS の間にコンデンサを配置する場合、容量は 100nF 以下にする必要がある。これらの値は、ウォッチドッグリセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRSn ピンを VOL に正しく駆動できるように決められている。このピンは内部プルアップ付きのオープンドレイン出力。このピンが外部デバイスによって駆動される場合は、オープンドレインデバイスを使用して駆動する必要があります。	G14	124	D12	69

5.4 内部プルアップおよびプルダウン付きのピン

デバイスの一部のピンには、内部プルアップまたはプルダウンが付いています。表 5-6 に、プル方向および動作するときを示します。GPIO ピンのプルアップは、デフォルトでディセーブルになっており、ソフトウェアによってイネーブルにできます。未接続入力がフローティングになるのを回避するため、特定のパッケージで未接続の GPIO ピンについては、ブート ROM が内部プルアップをイネーブルにします。表 5-6 に記載されているプルアップおよびプルダウン付きの他のピンは、常にオンであり、ディセーブルできません。

表 5-6. 内部プルアップおよびプルダウン付きのピン

ピン	リセット (XRSn = 0)	デバイス ブート	アプリケーション
GPIOx	プルアップ ディセーブル	プルアップ ディセーブル ⁽¹⁾	アプリケーションで設定
GPIO222/TDI	プルアップ ディセーブル		アプリケーションで設定
GPIO223/TDO	プルアップ ディセーブル		アプリケーションで設定
TCK	プルアップ イネーブル		
TMS	プルアップ イネーブル		
XRSn	プルアップ イネーブル		
その他のピン (AIO を含む)	プルアップまたはプルダウンなし		

(1) 特定のパッケージで未接続の GPIO ピンについては、ブート ROM が内部プルアップをイネーブルにします。

5.5 ピン多重化

セクション 5.5.1 に、GPIO 多重化ピンを示します。

5.5.1 GPIO 多重化ピン

表 5-7. GPIO 多重化ピン

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO0	EPWM1_A			CLB_OUTPUTXB AR1	I2CA_SDA		EMIF1_A13	ESC_GPIO		FSITXA_D0			
GPIO1	EPWM1_B			CLB_OUTPUTXB AR2	I2CA_SCL		EMIF1_A14	ESC_GPIO1		FSITXA_D1			
GPIO2	EPWM2_A			OUTPUTXBAR1	I2CB_SDA	UARTA_TX	EMIF1_A15	ESC_GPIO2		FSITXA_CL K			
GPIO3	EPWM2_B	OUTPUTXBAR2		OUTPUTXBAR2	I2CB_SCL	UARTA_RX		ESC_GPIO3		FSIRXA_D0			
GPIO4	EPWM3_A			OUTPUTXBAR3	CANA_TX		MCANA_TX	ESC_GPIO4		FSIRXA_D1			
GPIO5	EPWM3_B		OUTPUTXBA R3	CLB_OUTPUTXB AR3	CANA_RX		MCANA_RX	ESC_GPIO5		FSIRXA_CL K			
GPIO6	EPWM4_A	OUTPUTXBAR4	EXTSYNCOU T	EQEP3_A	MCANB_TX	LINA_TX	EMIF1_DQM0	ESC_GPIO6		FSITXB_D0			
GPIO7	EPWM4_B		OUTPUTXBA R5	EQEP3_B	MCANB_RX	LINA_RX	EMIF1_DQM1	ESC_GPIO7		FSITXB_D1			
GPIO8	EPWM5_A	EMIF1_RAS	ADCSOAO	EQEP3_STROB E	SCIA_TX	CLB_OUTPUTXB AR4	MCANA_TX	ESC_GPO0		FSITXB_CL K	FSITXA_D1	FSIRXA_D0	
GPIO9	EPWM5_B	SCIB_TX	OUTPUTXBA R6	EQEP3_INDEX	SCIA_RX			ESC_GPO1		FSIRXB_D0	FSITXA_D0	FSIRXA_CLK	
GPIO10	EPWM6_A	EMIF1_CAS	ADCSOCBO	EQEP1_A	SCIB_TX	SD4_C1	MCANA_RX	CLB_OUTPUTXBAR5	ESC_TX0_DATA0	FSIRXB_D1	FSITXA_CLK	FSIRXA_D1	
GPIO11	EPWM6_B	SCIB_RX	OUTPUTXBA R7	EQEP1_B	SCIB_RX	SD4_D1		ESC_GPO3	ESC_TX0_DATA1	FSIRXB_CL K	FSIRXA_D1	PMBUSA_ALERT	
GPIO12	EPWM7_A	CLB_OUTPUTXB AR6	ADCSOAO	EQEP1_STROB E	SCIA_TX	SD4_C2	EMIF1_A1	ESC_GPO4	ESC_TX0_DATA2	FSIRXC_D 0	FSIRXA_D0	PMBUSA_CTL	
GPIO13	EPWM7_B	CLB_OUTPUTXB AR7	EQEP5_STR OBE	EQEP1_INDEX	SCIA_RX	SD4_D2	EMIF1_CS0n	ESC_GPO5	ESC_TX0_DATA3	FSIRXC_D 1	FSIRXA_CLK	PMBUSA_SDA	
GPIO14	EPWM8_A	SCIB_TX	EQEP5_INDE X	LINA_TX	OUTPUTXBA R3	OUTPUTXBAR8		ESC_GPO6	ESC_PHY1_LINKSTA TUS	FSIRXC_C LK	EMIF1_D17	PMBUSA_SCL	
GPIO15	EPWM8_B	SCIB_RX		LINA_RX	OUTPUTXBA R4	CLB_OUTPUTXB AR8		ESC_GPO7	EQEP5_A	FSIRXD_D 0		EMIF1_DQM2	
GPIO16	SPIA_PICO		OUTPUTXBA R7	EPWM9_A		SD1_D1			EQEP5_B	FSIRXD_D 1		ESC_RX1_CLK	
GPIO17	SPIA_POCI		OUTPUTXBA R8	EPWM9_B		SD1_C1			EQEP5_STROBE	FSIRXD_C LK		ESC_RX1_DV	
GPIO18	SPIA_CLK	SCIB_TX	CANA_RX	EPWM10_A		SD1_D2	MCANA_RX	EMIF1_CS2n	EQEP5_INDEX			ESC_RX1_ERR	
GPIO19	SPIA_PTE	SCIB_RX	CANA_TX	EPWM10_B		SD1_C2	MCANA_TX	EMIF1_CS3n				ESC_TX1_DATA3	
GPIO20	EQEP1_A			EPWM11_A		SD1_D3	MCANB_TX	EMIF1_BA0			SPIC_PICO	ESC_TX1_DATA2	
GPIO21	EQEP1_B			EPWM11_B		SD1_C3	MCANB_RX	EMIF1_BA1			SPIC_POCI	ESC_TX1_DATA1	
GPIO22	EQEP1_STR OBE		SCIB_TX	EPWM12_A	SPIB_CLK	SD1_D4	MCANA_TX	EMIF1_RAS			SPIC_CLK	ESC_TX1_DATA0	
GPIO23	EQEP1_INDE X		SCIB_RX	EPWM12_B	SPIB_PTE	SD1_C4	MCANA_RX	EMIF1_CAS			SPIC_PTE	ESC_PHY_RESET n	
GPIO24	OUTPUTXBA R1	EQEP2_A		LINB_TX	SPIB_PICO	SD2_D1	PMBUSA_SC L	EMIF1_DQM0		EPWM13_A	ESC_RX0_DATA1	ESC_RX0_CLK	

表 5-7. GPIO 多重化ピン (続き)

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO25	OUTPUTXBAR2	EQEP2_B		LINB_RX	SPIB_POCI	SD2_C1	PMBUSA_SDA	EMIF1_DQM1	EQEP5_B	EPWM13_B	FSITXA_D1	ESC_RX0_DV	
GPIO26	OUTPUTXBAR3	EQEP2_INDEX		OUTPUTXBAR3	SPIB_CLK	SD2_D2	PMBUSA_ALERT	EMIF1_DQM2	ESC_MDIO_CLK	EPWM14_A	FSITXA_D0	ESC_RX0_ERR	
GPIO27	OUTPUTXBAR4	EQEP2_STROBE		OUTPUTXBAR4	SPIB_PTE	SD2_C2	PMBUSA_CTL	EMIF1_DQM3	ESC_MDIO_DATA	EPWM14_B	FSITXA_CLK	ESC_RX0_DATA0	
GPIO28	SCIA_RX	EMIF1_CS4n	UARTA_RX	OUTPUTXBAR5	EQEP3_A	SD2_D3	EMIF1_CS2n			EPWM15_A		ESC_RX0_DATA1	
GPIO29	SCIA_TX	EMIF1_SDCKE	UARTA_TX	OUTPUTXBAR6	EQEP3_B	SD2_C3	EMIF1_CS3n	ESC_LATCH0	ESC_I2C_SDA	EPWM15_B	ESC_SYNC0	ESC_RX0_DATA2	
GPIO30	CANA_RX	EMIF1_CLK	MCANA_RX	OUTPUTXBAR7	EQEP3_STROBE	SD2_D4	EMIF1_CS4n	ESC_LATCH1	ESC_I2C_SCL	EPWM16_A	ESC_SYNC1	SPID_PICO	
GPIO31	CANA_TX	EMIF1_WEn	MCANA_TX	OUTPUTXBAR8	EQEP3_INDEX	SD2_C4	EMIF1_RNW	I2CA_SDA		EPWM16_B		SPID_POCI	
GPIO32	I2CA_SDA	EMIF1_CS0n	SPIA_PICO	EQEP4_A	LINB_TX	CLB_OUTPUTXBAR1	EMIF1_OEn	I2CA_SCL				SPID_CLK	
GPIO33	I2CA_SCL	EMIF1_RNW	SPIA_POCI	EQEP4_B		CLB_OUTPUTXBAR2	EMIF1_BA0		ESC_LED_ERR			SPID_PTE	
GPIO34	OUTPUTXBAR1	EMIF1_CS2n	SPIA_CLK	EQEP4_STROBE	I2CB_SDA	CLB_OUTPUTXBAR3	EMIF1_BA1	ESC_LATCH0	EPWM18_A	SCIA_TX	ESC_SYNC0		
GPIO35	SCIA_RX	EMIF1_CS3n	SPIA_PTE	EQEP4_INDEX	I2CB_SCL	CLB_OUTPUTXBAR4	EMIF1_A0	ESC_LATCH1	EPWM18_B	SCIA_RX	ESC_SYNC1		
GPIO36	SCIA_TX	EMIF1_WAIT			CANA_RX	CLB_OUTPUTXBAR5	EMIF1_A1	MCANA_RX		SD1_D1	EMIF1_WEn		
GPIO37	OUTPUTXBAR2	EMIF1_OEn	EPWM18_A		CANA_TX	CLB_OUTPUTXBAR6	EMIF1_A2	MCANA_TX		SD1_D2	EMIF1_D24		
GPIO38		EMIF1_A0	EPWM18_B	UARTA_TX	SCIB_TX	CLB_OUTPUTXBAR7	EMIF1_A3			SD1_D3	EMIF1_CS2n		
GPIO39		EMIF1_A1		UARTA_RX	SCIB_RX	CLB_OUTPUTXBAR8	EMIF1_A4	ESC_MDIO_DATA	ESC_LED_RUN	SD1_D4	FSIRXD_CLK		
GPIO40		EMIF1_A2	EPWM13_A	MCANB_RX	I2CB_SDA	SD4_C3	ESC_GPO2	CLB_OUTPUTXBAR1		SD2_C1	ESC_I2C_SDA		
GPIO41		EMIF1_A3	EPWM13_B	MCANB_TX	I2CB_SCL	SD4_D3		CLB_OUTPUTXBAR2		SD2_D1	ESC_I2C_SCL	FSIRXD_CLK	
GPIO42			EPWM14_A	EQEP4_A	I2CA_SDA	SD4_C4		CLB_OUTPUTXBAR5	UARTA_TX		FSIRXD_D0	SCIA_TX	USB0D M
GPIO43			EPWM14_B	EQEP4_B	I2CA_SCL	SD4_D4		CLB_OUTPUTXBAR6	UARTA_RX		FSIRXD_D1	SCIA_RX	USB0D P
GPIO44	SPID_POCI	EMIF1_A4	MCANB_RX		SD3_C4	UARTB_TX		CLB_OUTPUTXBAR6		FSIRXD_CLK	ESC_TX1_CLK		
GPIO45	SPID_PTE	EMIF1_A5	MCANB_TX		SD3_D4	UARTB_RX		CLB_OUTPUTXBAR7			ESC_TX1_ENA		
GPIO46	EPWM4_A	EMIF1_A6	EPWM14_A		SCIA_RX	SD3_C4					ESC_MDIO_CLK		
GPIO47	EPWM4_B	EMIF1_A7	EPWM14_B		SCIA_TX	SD4_C3					ESC_MDIO_DATA		
GPIO48	OUTPUTXBAR3	EMIF1_A8			SCIA_TX	SD1_D1				SD2_C2	ESC_PHY_CLK		
GPIO49	OUTPUTXBAR4	EMIF1_A9			SCIA_RX	SD1_C1	EMIF1_A5			SD2_D1	FSITXA_D0		
GPIO50	EQEP1_A	EMIF1_A10	EPWM15_A		SPIC_PICO	SD1_D2	EMIF1_A6		ESC_LATCH0	SD2_D2	FSITXA_D1		
GPIO51	EQEP1_B	EMIF1_A11	EPWM15_B		SPIC_POCI	SD1_C2	EMIF1_A7		ESC_LATCH1	SD2_D3	FSITXA_CLK		

表 5-7. GPIO 多重化ピン (続き)

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO52	EQEP1_STR OBE	EMIF1_A12	EPWM16_A		SPIC_CLK	SD1_D3	EMIF1_A8		ESC_MDIO_CLK	SD2_D4	FSIRXA_D0		
GPIO53	EQEP1_INDE X	EMIF1_D31			SPIC_PTE	SD1_C3	EMIF1_A9		ESC_MDIO_DATA	SD1_C1	FSIRXA_D1		
GPIO54	SPIA_PICO	EMIF1_D30		EQEP2_A	SCIB_TX	SD1_D4	EMIF1_A10		ESC_PHY_CLK	SD1_C2	FSIRXA_CLK		
GPIO55	SPIA_POCI	EMIF1_D29	EPWM16_B	EQEP2_B	SCIB_RX	SD1_C4	EMIF1_D0		ESC_PHY0_LINKSTA TUS	SD1_C3	FSITXB_D0		
GPIO56	SPIA_CLK	EMIF1_D28	EPWM17_A	EQEP2_STROB E		SD2_D1	EMIF1_D1	I2CA_SDA	ESC_TX0_ENA	SD1_C4	FSITXB_CLK		
GPIO57	SPIA_PTE	EMIF1_D27	EPWM17_B	EQEP2_INDEX		SD2_C1	EMIF1_D2	I2CA_SCL	ESC_TX0_CLK	SD3_D3	FSITXB_D1		
GPIO58	SPIA_PICO	EMIF1_D26	EPWM8_A	OUTPUTXBAR1	SPIB_CLK	SD2_D2	EMIF1_D3	ESC_LED_LINK0_ACT IVE	CANA_RX	SD2_C2	FSIRXB_D0	SPIA_PICO	
GPIO59	EPWM5_A	EMIF1_D25	EPWM8_B	OUTPUTXBAR2	SPIB_PTE	SD2_C2	EMIF1_D4	ESC_LED_LINK1_ACT IVE	CANA_TX	SD2_C3	FSIRXB_D1	SPIA_POCI	
GPIO60	EPWM3_B	EMIF1_D24	ESC_LATCH0	OUTPUTXBAR3	SPIB_PICO	SD2_D3	EMIF1_D5	ESC_LED_ERR		SD2_C4	FSIRXB_CLK	SPIA_CLK	
GPIO61	EPWM17_B	EMIF1_D23	ESC_LATCH1	OUTPUTXBAR4	SPIB_POCI	SD2_C3	EMIF1_D6	ESC_LED_RUN			CANA_RX	SPIA_PTE	
GPIO62	SCIA_RX	EMIF1_D22	ESC_MDIO_C LK	EQEP3_A	CANA_RX	SD2_D4	EMIF1_D7	ESC_LED_STATE_RU N			CANA_TX		
GPIO63	SCIA_TX	EMIF1_D21	EPWM9_A	EQEP3_B	CANA_TX	SD2_C4	EMIF1_RNW	EMIF1_BA0		SD1_D1	ESC_RX1_DATA0	SPIB_PICO	
GPIO64		EMIF1_D20	EPWM9_B	EQEP3_STROB E	SCIA_RX		EMIF1_WAIT	EMIF1_BA1		SD1_C1	ESC_RX1_DATA1	SPIB_POCI	
GPIO65		EMIF1_D19	EPWM10_A	EQEP3_INDEX	SCIA_TX		EMIF1_WEn		FSITXB_CLK	SD1_D2	ESC_RX1_DATA2	SPIB_CLK	
GPIO66	EQEP6_B	EMIF1_D18	EPWM10_B		I2CB_SDA		EMIF1_OEn		FSITXB_D1	SD1_C2	ESC_RX1_DATA3	SPIB_PTE	
GPIO67		EMIF1_D17	EPWM17_A	LINB_TX					ESC_I2C_SDA	SD1_D3			
GPIO68		EMIF1_D16	EPWM17_B	LINB_RX					ESC_I2C_SCL	SD1_C3	ESC_PHY1_LINKSTAT US		
GPIO69		EMIF1_D15	EPWM11_A		I2CB_SCL				FSITXB_D0	SD1_D4	ESC_RX1_CLK	SPIB_PICO	
GPIO70		EMIF1_D14	EPWM11_B	CANA_RX	SCIB_TX	UARTB_TX	MCANA_RX		FSIRXB_D0	SD1_C4	ESC_RX1_DV	SPIB_POCI	
GPIO71		EMIF1_D13	EPWM12_A	CANA_TX	SCIB_RX	UARTB_RX	MCANA_TX			SD3_D1	ESC_RX1_ERR	SPIB_CLK	
GPIO72	EQEP6_STR OBE	EMIF1_D12	EPWM12_B	OUTPUTXBAR8	UARTA_TX		MCANB_RX			SD3_C1	ESC_TX1_DATA3	SPIB_PTE	
GPIO73	EQEP6_INDE X	EMIF1_D11	XCLKOUT	OUTPUTXBAR6	UARTA_RX	EPWM5_B	MCANB_TX	SD4_D4		SD2_D2	ESC_TX1_DATA2		
GPIO74	EPWM8_A	EMIF1_D10			EQEP5_A		MCANA_TX	SD1_D4		SD2_C2	ESC_TX1_DATA1		
GPIO75	EPWM8_B	EMIF1_D9			EQEP5_B	SPID_CLK	MCANA_RX	CLB_OUTPUTXBAR8		SD2_D3	ESC_TX1_DATA0		
GPIO76	EPWM9_A	EMIF1_D8			EQEP5_STR OBE	SD3_C1		SD4_D4		SD2_C3	ESC_PHY_RESEtN		
GPIO77	EPWM9_B	EMIF1_D7			EQEP5_INDE X	SD3_D1		SD1_D4		SD2_D4	ESC_RX0_CLK		
GPIO78	EPWM10_A	EMIF1_D6			EQEP2_A	SD3_C2		SD4_D4		SD2_C4	ESC_RX0_DV		
GPIO79	EPWM10_B	EMIF1_D5		ERRORSTS	EQEP2_B	SD3_D2				SD2_D1	ESC_RX0_ERR		
GPIO80	EPWM11_A	EMIF1_D4		ERRORSTS	EQEP2_STR OBE	SD3_C3		SD1_D4		SD2_C1	ESC_RX0_DATA0		

表 5-7. GPIO 多重化ピン (続き)

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO81	EPWM11_B	EMIF1_D3			EQEP2_INDE X	SD3_D3					ESC_RX0_DATA1		
GPIO82	EPWM12_A	EMIF1_D2								SD3_C2	ESC_RX0_DATA2		
GPIO83	EPWM12_B	EMIF1_D1								SD3_D2	ESC_RX0_DATA3		
GPIO84	EPWM12_B	EMIF1_D1	EMIF1_CS4n	SCIA_TX	EQEP6_A		SD3_D2		UARTA_TX	SD3_C2	ESC_TX0_ENA	ESC_RX0_DATA3	
GPIO85	EPWM13_A	EMIF1_D0		SCIA_RX	EQEP6_B	SD3_D1			UARTA_RX	SD3_D3	ESC_TX0_CLK	EMIF1_DQM2	
GPIO86	EPWM13_B	EMIF1_A13	EMIF1_CAS	SCIB_TX	EQEP6_STR OBE					SD3_C3	ESC_PHY0_LINKSTAT US		
GPIO87	EPWM14_A	EMIF1_A14	EMIF1_RAS	SCIB_RX	EQEP6_INDE X		EMIF1_DQM3			SD3_D4	ESC_TX0_DATA0		
GPIO88	EPWM14_B	EMIF1_A15	EMIF1_DQM0				EMIF1_DQM1			SD3_C4	ESC_TX0_DATA1		
GPIO89	EPWM15_A	EMIF1_A16	EMIF1_DQM1			SD1_D3	EMIF1_CAS			SD4_D1	ESC_TX0_DATA2	SPID_PTE	
GPIO90	EPWM15_B	EMIF1_A17	EMIF1_DQM2			SD1_C3	EMIF1_RAS			SD4_C1	ESC_TX0_DATA3	SPID_CLK	
GPIO91	EPWM16_A	EMIF1_A18	EMIF1_DQM3		I2CA_SDA	SD4_D2	EMIF1_DQM2	PMBUSA_SCL			CLB_OUTPUTXBAR1	SPID_PICO	
GPIO92	EPWM16_B	EMIF1_A19	EMIF1_BA1		I2CA_SCL	SD4_C2	EMIF1_DQM0	PMBUSA_SDA	FSIRXD_CLK		CLB_OUTPUTXBAR2	SPID_POCI	
GPIO93	EPWM17_A		EMIF1_BA0			SD4_D3		PMBUSA_ALERT	ESC_TX1_CLK		CLB_OUTPUTXBAR3	SPID_CLK	
GPIO94	EPWM17_B					SD4_C3	EMIF1_BA1	PMBUSA_CTL	ESC_TX1_ENA		CLB_OUTPUTXBAR4	SPID_PTE	
GPIO95	EPWM18_A	EQEP4_A			SD1_D1			ESC_GPO10			CLB_OUTPUTXBAR5		
GPIO96	EPWM18_B	EQEP4_B		EQEP1_A	SD1_C1			ESC_GPO11			CLB_OUTPUTXBAR6		
GPIO97		EQEP4_STROB E		EQEP1_B	SD1_D2			ESC_GPI17			CLB_OUTPUTXBAR7		
GPIO98		EQEP4_INDEX		EQEP1_STROB E	SD1_C2			ESC_GPI18			CLB_OUTPUTXBAR8		
GPIO99		EMIF1_DQM3	EPWM8_A	EQEP1_INDEX		SD4_D4		ESC_GPI21			EMIF1_D17		
GPIO10 0	SPIA_PICO	EMIF1_BA1	EPWM9_A	EQEP2_A	SPIC_PICO	SD4_C4	SD1_D1	ESC_GPI0	FSIRXD_D1	FSITXA_D0	EMIF1_D24		
GPIO10 1	EPWM18_A			EQEP2_B	SPIC_POCI			ESC_GPI1	EMIF1_A5	FSITXA_D1			
GPIO10 2	EPWM18_B			EQEP2_STROB E	SPIC_CLK			ESC_GPI2	EMIF1_A6	FSITXA_CL K			
GPIO10 3		EMIF1_BA0	EPWM8_B	EQEP2_INDEX	SPIC_PTE	SD4_C4		ESC_GPI3		FSIRXA_D0			
GPIO10 4	I2CA_SDA	EPWM18_A		EQEP3_A	SD3_D1			ESC_GPI4		FSIRXA_D1	ESC_SYNC0		
GPIO10 5	I2CA_SCL	EPWM18_B		EQEP3_B	SD3_C1			ESC_GPI5		FSIRXA_CL K	ESC_SYNC1		
GPIO10 6	EPWM16_A	EMIF1_A10		EQEP3_STROB E	SD3_D2			ESC_GPI6		FSITXB_D0			
GPIO10 7	EPWM16_B			EQEP3_INDEX	SD3_C2			ESC_GPI7		FSITXB_D1			
GPIO10 8	EPWM17_A	EMIF1_A12		EQEP5_A	SD3_D3			ESC_GPI8		FSITXB_CL K			
GPIO10 9	EPWM17_B	EMIF1_A11		EQEP5_B	SD3_C3			ESC_GPI9					

表 5-7. GPIO 多重化ピン (続き)

0、4、8、 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO11 0	EMIF1_D31			EQEP5_STROB E	SD3_D4			ESC_GPI10		FSIRXB_D0			
GPIO11 1	EMIF1_D30			EQEP5_INDEX	SD3_C4			ESC_GPI11		FSIRXB_D1			
GPIO11 2	EMIF1_D29					SD1_D3		ESC_GPI12		FSIRXB_CL K			
GPIO11 3	EMIF1_D28					SD1_C3		ESC_GPI13					
GPIO11 4	EMIF1_D27					SD1_D4		ESC_GPI14					
GPIO11 5	EMIF1_D26			OUTPUTXBAR5		SD1_C4		ESC_GPI15		FSIRXC_D 0			
GPIO11 6				OUTPUTXBAR6				ESC_GPI16		FSIRXC_D 1			
GPIO11 9	EMIF1_D25			MCANB_TX				ESC_GPI19		FSIRXD_D 1			
GPIO12 0	EMIF1_D24			MCANB_RX				ESC_GPI20		FSIRXD_C LK			
GPIO12 2	EMIF1_D23				SPIC_PICO	SD1_D1		ESC_GPI22					
GPIO12 3	EMIF1_D22				SPIC_POCI	SD1_C1		ESC_GPI23					
GPIO12 4	EMIF1_D21				SPIC_CLK	SD1_D2		ESC_GPI24					
GPIO12 5	EMIF1_D20				SPIC_PTE	SD1_C2		ESC_GPI25			ESC_LATCH0		
GPIO12 6	EMIF1_D19				SPID_PICO	SD1_D3		ESC_GPI26			ESC_LATCH1		
GPIO12 7	EMIF1_D18				SPID_POCI	SD1_C3		ESC_GPI27			ESC_SYNC0		
GPIO12 8	EMIF1_D17				SPID_CLK	SD1_D4		ESC_GPI28			ESC_SYNC1		
GPIO12 9	EMIF1_D16				SPID_PTE	SD1_C4		ESC_GPI29			ESC_TX1_ENA		
GPIO13 0	EPWM13_A					SD2_D1		ESC_GPI30			ESC_TX1_CLK		
GPIO13 1	EPWM13_B					SD2_C1		ESC_GPI31			ESC_TX1_DATA0		
GPIO13 2	EPWM14_A					SD2_D2		ESC_GPO0			ESC_TX1_DATA1		
GPIO13 3	EMIF1_A11	EPWM9_A				SD2_C2			ESC_LED_STATE_R UN				
GPIO13 4	EPWM14_B					SD2_D3		ESC_GPO1		SD2_C1	ESC_TX1_DATA2		
GPIO14 1	EPWM15_A				SCIB_TX			ESC_GPO8			ESC_RX1_DATA2		

表 5-7. GPIO 多重化ピン (続き)

0、4、8、 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO14 2	EPWM15_B				SCIB_RX			ESC_GPO9			ESC_RX1_DATA3		
GPIO14 5	EPWM1_A				MCANB_TX			ESC_GPO12			ESC_LED_ERR		
GPIO14 6	EPWM1_B				MCANB_RX			ESC_GPO13			ESC_LED_RUN		
GPIO14 7	EPWM2_A				EQEP5_A			ESC_GPO14			ESC_LED_STATE_RU N		
GPIO14 8	EPWM2_B				EQEP5_B			ESC_GPO15			ESC_PHY0_LINKSTAT US		
GPIO14 9	EPWM3_A				EQEP5_STR OBE			ESC_GPO16			ESC_PHY1_LINKSTAT US		
GPIO15 0	EPWM3_B				EQEP5_INDE X			ESC_GPO17			ESC_I2C_SDA		
GPIO15 1	EPWM4_A				PMBUSA_SC L			ESC_GPO18		FSITXA_D0	ESC_I2C_SCL		
GPIO15 2	EPWM4_B				PMBUSA_SD A			ESC_GPO19		FSITXA_D1	ESC_MDIO_CLK		
GPIO15 3	EPWM5_A				PMBUSA_AL ERT			ESC_GPO20		FSITXA_CL K	ESC_MDIO_DATA		
GPIO15 4	EPWM5_B				PMBUSA_CT L			ESC_GPO21		FSIRXA_D0	ESC_PHY_CLK		
GPIO15 5	EPWM6_A							ESC_GPO22		FSIRXA_D1	ESC_PHY_RESETh		
GPIO15 6	EPWM6_B							ESC_GPO23		FSIRXA_CL K	ESC_TX0_ENA		
GPIO15 7	EPWM7_A							ESC_GPO24		FSITXB_D0	ESC_TX0_CLK		
GPIO15 8	EPWM7_B							ESC_GPO25		FSITXB_D1	ESC_TX0_DATA0		
GPIO15 9	EPWM8_A							ESC_GPO26		FSITXB_CL K	ESC_TX0_DATA1		
GPIO16 0	EPWM8_B							ESC_GPO27		FSIRXB_D0	ESC_TX0_DATA2		
GPIO16 1	EPWM9_A							ESC_GPO28		FSIRXB_D1	ESC_TX0_DATA3		
GPIO16 2	EPWM9_B							ESC_GPO29		FSIRXB_CL K	ESC_RX0_DV		
GPIO16 3	EPWM10_A							ESC_GPO30		FSIRXC_D 0	ESC_RX0_CLK		
GPIO16 4	EPWM10_B							ESC_GPO31		FSIRXC_D 1	ESC_RX0_ERR		
GPIO16 5	EPWM11_A									FSIRXC_C LK	ESC_RX0_DATA0		
GPIO16 6	EPWM11_B									FSIRXD_D 0	ESC_RX0_DATA1		

表 5-7. GPIO 多重化ピン (続き)

0, 4, 8, 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO16 7	EPWM12_A									FSIRXD_D 1	ESC_RX0_DATA2		
GPIO16 8	EPWM12_B									FSIRXD_C LK	ESC_RX0_DATA3		
GPIO19 8	EQEP1_A	EPWM9_B	SPIA_PICO								ESC_PDI_UC_IRQ		
GPIO19 9	EQEP1_STR OBE	EPWM17_A	SCIB_TX	EPWM12_A	SPIB_CLK	SD1_D4	MCANA_TX	EMIF1_RAS			SPIC_CLK		
GPIO20 0	EQEP1_INDE X	EPWM17_B	SCIB_RX	EPWM12_B	SPIB_PTE	SD1_C4	MCANA_RX	EMIF1_CAS	ESC_TX1_DATA1		SPIC_PTE		
GPIO20 1	OUTPUTXB AR1	EQEP2_A	EPWM18_A	LINB_TX	SPIB_PICO	SD2_D1	PMBUSA_SC L	EMIF1_DQM0	ESC_TX1_DATA2	EPWM13_A			
GPIO20 2	OUTPUTXB AR2	EQEP2_B	EPWM18_B	LINB_RX	SPIB_POCI	SD2_C1	PMBUSA_SD A	EMIF1_DQM1	ESC_TX1_DATA3	EPWM13_B	FSITXA_D1		
GPIO20 3	OUTPUTXB AR3	EQEP2_INDEX	SPIA_POCI	OUTPUTXBAR3	SPIB_CLK	SD3_D1	PMBUSA_AL ERT	EMIF1_DQM2	ESC_MDIO_CLK	EPWM14_A	FSITXA_D0	EPWM8_B	
GPIO20 4	OUTPUTXB AR4	EQEP2_STROB E	SPIA_CLK	OUTPUTXBAR4	SPIB_PTE	SD2_C2	PMBUSA_CT L	EMIF1_DQM3	ESC_MDIO_DATA	EPWM14_B	FSITXA_CLK	SD1_D3	
GPIO20 5	EQEP1_INDE X	EPWM10_A	SPIA_PTE						OUTPUTXBAR1			SD1_C3	
GPIO20 6	EMIF1_A11	EPWM10_B	EMIF1_WEn						OUTPUTXBAR2		ESC_PHY_CLK	ESC_LED_STATE_ RUN	
GPIO20 7	EQEP2_A	EPWM11_A	EXTSYNCOU T	CANA_TX	SD4_D1	SCIA_RX	LINA_RX	I2CB_SCL	OUTPUTXBAR3		ESC_RX1_CLK	PMBUSA_ALERT	
GPIO20 8	EQEP2_B	EPWM11_B	EMIF1_D13	SPIB_PICO	SD4_C1	SCIA_TX			OUTPUTXBAR4		ESC_RX1_DV	PMBUSA_CTL	
GPIO20 9	EQEP2_STR OBE	EPWM12_A	EMIF1_D14	SPIB_POCI	SD4_D2	EPWM12_B		LINB_RX	OUTPUTXBAR5		ESC_RX1_ERR	PMBUSA_SDA	
GPIO21 0	EQEP2_INDE X	EPWM12_B	EMIF1_D15		SD4_C2			LINB_TX	OUTPUTXBAR6		ESC_RX0_DATA2	PMBUSA_SCL	
GPIO21 1	EQEP6_A	EPWM14_A			SD4_D3				OUTPUTXBAR7		ESC_LED_LINK0_ACT IVE		
GPIO21 2	EQEP6_B	EPWM14_B			SD4_C3						ESC_LED_LINK1_ACT IVE		
GPIO21 3	EQEP6_STR OBE	EPWM8_A			SD4_D4			LINB_TX			ESC_LED_ERR		
GPIO21 4	CANA_RX	EMIF1_CLK	MCANA_RX	OUTPUTXBAR7	EQEP3_STR OBE	SD2_D4	EMIF1_CS4n	ESC_LATCH1	ESC_I2C_SCL	EPWM16_A	ESC_SYNC1	SPID_PICO	
GPIO21 5	SCIA_RX	EMIF1_CS4n	CANA_RX	OUTPUTXBAR5	EQEP3_A	SD2_D3	EMIF1_CS2n	I2CB_SDA	SPIC_POCI	EPWM15_A	LINA_TX	EMIF1_D12	
GPIO21 6	SCIA_TX	EMIF1_SDCKE	SPID_CLK	OUTPUTXBAR6	EQEP3_B	SD2_C3	EMIF1_CS3n	ESC_LATCH0	ESC_I2C_SDA	EPWM15_B	ESC_SYNC0	EMIF1_D13	
GPIO21 7	CANA_TX	EMIF1_WEn	MCANA_TX	OUTPUTXBAR8	EQEP3_INDE X	SD2_C4	EMIF1_RNW	I2CA_SDA	SPID_PTE	EPWM16_B	LINB_TX	SPID_POCI	
GPIO21 8	I2CA_SDA	EMIF1_CS0n	SPIA_PICO	EQEP4_A	LINB_TX	CLB_OUTPUTXB AR1	EMIF1_OEn	I2CA_SCL				SPID_CLK	

表 5-7. GPIO 多重化ピン (続き)

0、4、8、 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO21 9	EQEP6_INDE X	EPWM8_B			SD4_C4						ESC_LED_RUN		
GPIO22 0		EPWM6_A	SPID_POCI	OUTPUTXBAR2	SCIB_TX	MCANA_TX						PMBUSA_ALERT	X1
GPIO22 1		EPWM6_B	SPID_PTE	OUTPUTXBAR3	SCIB_RX	MCANA_RX						PMBUSA_CTL	X2
GPIO22 2	TDI	EPWM7_A	SPIA_PICO	OUTPUTXBAR4	SCIA_RX	UARTB_TX	I2CA_SDA	SPIC_CLK			ESC_PDI_UC_IRQ	PMBUSA_SDA	
GPIO22 3	TDO	EPWM7_B	EMIF1_A11	OUTPUTXBAR5	SCIA_TX	UARTB_RX	I2CA_SCL	SPIC_PTE				PMBUSA_SCL	
GPIO22 4	ERRORSTS	EMIF1_SDCKE	XCLKOUT	OUTPUTXBAR1						SD2_C1	ESC_PDI_UC_IRQ		
AIO225													
AIO226													
AIO227													
AIO228													
AIO229													
AIO230													
AIO231													
AIO232													
AIO233													
AIO234													
AIO235													
AIO236													
AIO237													
AIO238													
AIO239													
AIO240													
AIO241													
AIO242													

5.5.2 ADC ピン上のデジタル入出力 (AGPIO)

一部の GPIO はアナログ ピンと多重化されており、デジタル入出力機能を備えています。これらは、「AGPIO」とも呼ばれます。AIO とは異なり、AGPIO には完全な入力と出力の機能があります。デフォルトでは、AGPIO は接続されていないため、構成する必要があります。表 5-8 に、AGPIO の構成方法を示します。アナログ機能をイネーブルにするには、アナログサブシステムのレジスタ AGPIOTRXLx を設定します。デジタル機能をイネーブルにするには、「汎用入出力 (GPIO)」の章のレジスタ GPxAMSEL を設定します。

表 5-8. AGPIO の構成

AGPIOTRXLx.GPIOy (デフォルト = 0)	GPxAMSEL.GPIOy (デフォルト = 1)	ピン接続先:	
		ADC	GPIOy
0	0	-	あり
0	1	- (1)	- (1)
1	0	-	あり
1	1	あり	-

(1) デフォルトでは、AGPIO ピンに接続される信号はありません。ピン機能を使用するには、表内の他の行のいずれかを選択する必要があります。

注

鋭いエッジ (大きい dv/dt) を持つデジタル信号を AGPIO に接続すると、隣接するアナログ信号に対してクロストークが発生する可能性があります。したがって、アナログ機能に隣接するチャネルを使用する場合は、AGPIO に接続する信号のエッジレートを制限する必要があります。

図 5-13 に、AGPIO を実装したアナログ サブシステムの一般的な回路図を示します。表 5-9 に、注意する必要がある特定のアナログ入力ピンの使用事例の組み合わせを示します。AGPIO アナログ ピン パスには、53Ω の追加の直列スイッチが含まれています。これにより、図 5-13 に示すように、ADC および CMPSS コンパレータと共有される低容量の絶縁型ノードが作成されます。ADC が (ADC サンプル / ホールド コンデンサに保存されている前の電圧に応じて) チャネルをサンプリングするとき、このノードに外乱が生じ、それによって最大 50ns の誤 CMPSS 事象が発生する可能性があります。表 5-9 に示すように、CMPSS 入力、ADC サンプリング、AGPIO の組み合わせには注意するか、回避方法を使用する必要があります。次の回避方法を実装することで、この潜在的な外乱に対応できます。

1. ADC と CMPSS の両方を同時に必要とするアナログ チャネルには、別のピン (AIO ピン タイプ) を使用します。
2. CMPSS デジタル フィルタを 50ns 以上の設定で使用します。これにより、一時的な外乱がフィルタリングされます。
3. 外乱によって誤トリップが発生しないように、ADC の サンプル / ホールド コンデンサを事前に調整します。たとえば、影響を受けるチャネルが読み取られる直前に、ADC の別のチャネルから 3.3V 接続のダミー読み取りを実行します。これにより、外乱が正の方向になり、誤トリップから離れます。誤トリップの極性が反転した場合、0V 信号の逆のダミー読み取りを使用できます。

表 5-9. 特定のアナログ入力ピンの使用事例の組み合わせ

特定のアナログ ピンで使用する機能	使用部品				
CMPSS コンパレータ入力	あり	-	あり	-	あり
ADC サンプリング	あり	あり	-	あり	あり
AGPIO アナログ ピン タイプ	あり	あり	あり	-	-
AIO アナログ ピン タイプ	-	-	-	あり	あり
結果	回避方法が必要		特別な分析や回避方法は不要		

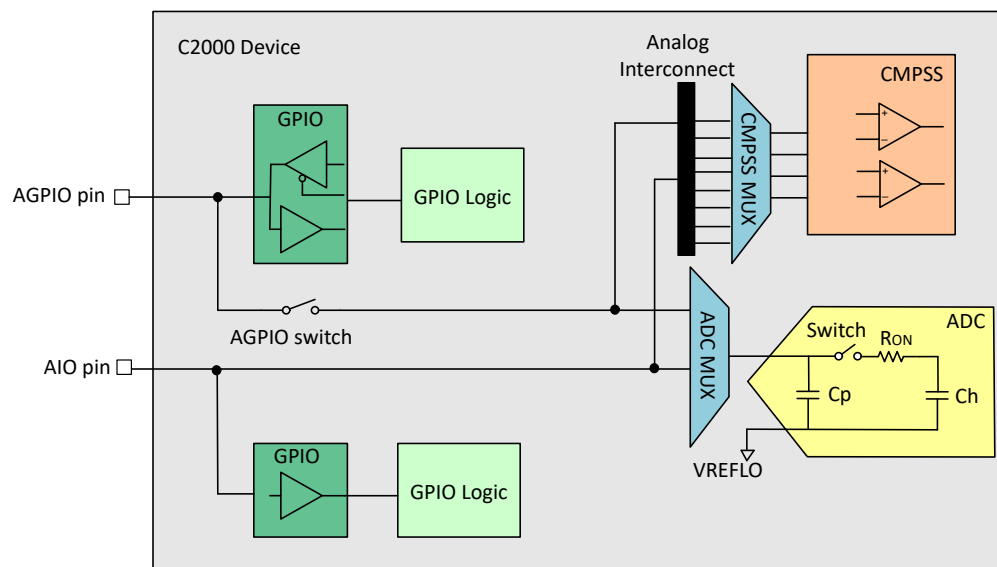


図 5-13. AGPIO を実装したアナログ サブシステムのブロック図

5.5.3 USB ピン多重化

表 5-10 に、代替 USB 機能の割り当てを示します。これらは GPBAMSEL レジスタで構成できます。

表 5-10. 代替 USB 機能

GPIO	GPBAMSEL 設定	USB 機能
GPIO42	GPBAMSEL[10] = 1b	USB0DM
GPIO43	GPBAMSEL[11] = 1b	USB0DP

5.5.4 高速 SPI ピン多重化

このデバイスの SPI モジュールには高速モードがあります。最高の速度を実現するために、それぞれの SPI に 1 つの GPIO 多重化オプションで特別な GPIO 構成を使用します。これらの GPIO は、高速モードではない場合 (HS_MODE = 0) の SPI でも使用できます。

SPI 高速モードを有効にする多重化オプションを選択するには、表 5-11 に示すように GPyGMUX および GPyMUX レジスタを構成します。

表 5-11. 高速 SPI 用の GPIO 構成

GPIO	SPI 信号	多重化構成	
SPIA			
GPIO58	SPIA_PICO	GPBGMUX2[21:20]=11b	GPBMUX2[21:20]=11b
GPIO59	SPIA_POCI	GPBGMUX2[23:22]=11b	GPBMUX2[23:22]=11b
GPIO60	SPIA_CLK	GPBGMUX2[25:24]=11b	GPBMUX2[25:24]=11b
GPIO61	SPIA_PTE	GPBGMUX2[27:26]=11b	GPBMUX2[27:26]=11b
SPIB			
GPIO63	SPIB_PICO	GPBGMUX2[31:30]=11b	GPBMUX2[31:30]=11b
GPIO64	SPIB_POCI	GPCGMUX1[1:0]=11b	GPCMUX1[1:0]=11b
GPIO65	SPIB_CLK	GPCGMUX1[3:2]=11b	GPCMUX1[3:2]=11b
GPIO66	SPIB_PTE	GPCGMUX1[5:4]=11b	GPCMUX1[5:4]=11b
SPIC			
GPIO69	SPIC_PICO	GPCGMUX1[11:10]=11b	GPCMUX1[11:10]=11b
GPIO70	SPIC_POCI	GPCGMUX1[13:12]=11b	GPCMUX1[13:12]=11b
GPIO71	SPIC_CLK	GPCGMUX1[15:14]=11b	GPCMUX1[15:14]=11b
GPIO72	SPIC_PTE	GPCGMUX1[17:16]=11b	GPCMUX1[17:16]=11b
SPID			
GPIO91	SPID_PICO	GPCGMUX2[23:22]=11b	GPCMUX2[23:22]=11b
GPIO92	SPID_POCI	GPCGMUX2[25:24]=11b	GPCMUX2[25:24]=11b
GPIO93	SPID_CLK	GPCGMUX2[27:26]=11b	GPCMUX2[27:26]=11b
GPIO94	SPID_PTE	GPCGMUX2[29:28]=11b	GPCMUX2[29:28]=11b

5.6 未使用ピンの接続

デバイスのすべての機能を使用する必要のないアプリケーションについては、表 5-12 に、未使用のピンに対して許容される処置を示します。表 5-12 に複数の選択肢が示されている場合は、どれを採用してもかまいません。表 5-12 に記載されていないピンは、「ピン属性」の表に従って接続する必要があります。

表 5-12. 未使用ピンの接続

信号名	許容される処置
アナログ	
VREFHx	VDDA に接続
VREFLOx	VSSA に接続
ADCINx (DAC ピンを除く)	- 接続なし - VSSA に接続
ADCINx (DAC ピン)	- 接続なし 5kΩ 抵抗を介して VSSA にプルダウン
デジタル	
GPIOx	- 接続なし (入力モードで内部プルアップをイネーブル) - 接続なし (出力モードで内部プルアップをディセーブル) - プルアップまたはプルダウン抵抗 (任意の値の抵抗、入力モードで内部プルアップをディセーブル)
X1	VSS に接続
X2	接続なし
TCK	- 接続なし - プルアップ抵抗
TDI	- 接続なし - プルアップ抵抗
TDO	接続なし
TMS	接続なし
ERRORSTS	接続なし
電源およびグランド	
VDD	すべての VDD ピンは、「ピン属性」の表に従って接続する必要があります。
VDDA	専用のアナログ電源を使用しない場合は、VDDIO に接続します。
VDDIO	すべての VDDIO ピンは、「ピン属性」の表に従って接続する必要があります。
VDD3VFL	VDDIO に接続する必要があります
VDDOSC	VDDIO に接続する必要があります
VSS	すべての VSS ピンは、基板のグランドに接続する必要があります。
VSSA	専用のアナログ グランドを使用しない場合は、VSS に接続します。
VSSOSC	外部水晶振動子を使用しない場合は、このピンを基板のグランドに接続できます。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾ ⁽²⁾

		最小値	最大値	単位
電源電圧	VSS を基準とした VDDIO	-0.3	4.6	V
	VSSA を基準とした VDDA	-0.3	4.6	
入力電圧	V _{IN} (3.3V)	-0.3	4.6	V
出力電圧	V _O	-0.3	4.6	V
入力クランプ電流	デジタル / アナログ入力 (ピンごと)、I _{IK} (V _{IN} < VSS/VSSA、または V _{IN} > VDDIO/VDDA) ⁽⁴⁾	-20	20	mA
	すべての入力の合計値、I _{IKTOTAL} (V _{IN} < VSS/VSSA、または V _{IN} > VDDIO/VDDA)	-20	20	
出力電流	デジタル出力 (ピンごと)、I _{OUT}	-20	20	mA
自由気流での周囲温度	T _A	-40	125	°C
動作時接合部温度	T _J	-40	150	°C
保存温度 ⁽³⁾	T _{stg}	-65	150	°C

- (1) 「絶対最大定格」の範囲を超える動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用方法、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値は、特に記述のない限り、VSS 端子を基準とします。
- (3) 長期にわたる高温保存または最高温度条件での長時間使用は、デバイスの寿命を縮める可能性があります。詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。
- (4) ピンごとの連続クランプ電流は $\pm 2\text{mA}$ です。この条件で連続的に動作すると、V_{DDIO}/V_{DDA} 電圧が内部で上昇し、他の電氣的仕様に影響を及ぼす可能性があるため、連続動作は避けてください。

6.2 ESD 定格 - 民生用

			値	単位
F28P650DK、F28P650DH、F28P650SK、F28P650SH、256 ピン ZEJ パッケージ				
V _(ESD) 静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾		±2000	V
	デバイス帯電モデル (CDM)、 ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	すべてのピン	±500	
		256 ボール ZEJ のコーナー ボール： A1、A16、T1、T16	±750	
176 ピン PTP パッケージの F28P650DK、F28P650DH、F28P650SK、F28P650SH				
V _(ESD) 静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾		±2000	V
	デバイス帯電モデル (CDM)、 ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	すべてのピン	±500	
		176 ピン PTP のコーナー ピン： 1、44、45、88、89、132、133、176	±750	
F28P650DK、F28P650DH、F28P650SK、F28P650SH、169 ピン NMR パッケージ				
V _(ESD) 静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾		±2000	V
	デバイス帯電モデル (CDM)、 ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	すべてのピン	±500	
		169 ボール NMR のコーナー ボール： A1、A13、N1、N13	±750	
100 ピン PZP パッケージの F28P650DK、F28P650DH、F28P650SK、F28P650SH				

6.2 ESD 定格 - 民生用 (続き)

			値	単位
V _(ESD) 静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾		±2000	V
	デバイス帯電モデル (CDM)、 ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	すべてのピン	±500	
		100 ピン PZP のコーナー ピン: 1、25、26、50、51、75、76、100	±750	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 ESD 定格 - 車載用

			値	単位
F28P659DK-Q1、256 ピン ZEJ パッケージ				
V _(ESD) 静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 ⁽¹⁾	すべてのピン	±2000	V
	デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
		256 ボール ZEJ のコーナー ボール: A1、A16、T1、T16	±750	
F28P659DK-Q1、F28P659SH-Q1 (176 ピン PTP パッケージ)				
V _(ESD) 静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 ⁽¹⁾	すべてのピン	±2000	V
	デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
		176 ピン PTP のコーナー ピン: 1、44、45、88、89、132、133、176	±750	
100 ピン PZP パッケージの F28P659DK-Q1、F28P659DH-Q1、F28P659SH-Q1				
V _(ESD) 静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 ⁽¹⁾	すべてのピン	±2000	V
	デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
		100 ピン PZP のコーナー ピン: 1、25、26、50、51、75、76、100	±750	

(1) AEC Q100-002 は、ANSI/ESDA/JEDEC JS-001 仕様に従って HBM ストレス試験を実施することを示しています。

6.4 推奨動作条件

		最小値	公称値	最大値	単位
デバイス電源電圧、VDDIO および VDDA	内部 BOR イネーブル ⁽³⁾	V _{BOR-VDDIO} (MAX) + V _{BOR-VDDIO-GB} ⁽²⁾	3.3	3.63	V
	内部 BOR ディセーブル	2.8	3.3	3.63	
デバイス電源電圧、VDD		1.19	1.25	1.31	V
デバイス グランド、VSS			0		V
アナログ グランド、VSSA			0		V
SR _{SUPPLY}	電源ランプ速度 ⁽⁴⁾				
V _{IN}	デジタル入力電圧	VSS - 0.3		VDDIO + 0.3	V
	アナログ入力電圧	VSSA - 0.3		VDDA + 0.3	V
接合部温度 ⁽¹⁾ 、T _J		-40		150	°C
自由気流での周囲温度 ⁽¹⁾ 、T _A		-40		125	°C

- (1) T_J = 105°C を超えて長時間動作すると、デバイスの寿命が短くなります。詳細については、『組込みプロセッサの有効寿命計算』を参照してください。
- (2) 「パワー・マネージメント・モジュール (PMM)」セクションを参照してください。
- (3) デフォルトで、内部 BOR がイネーブルになっています。
- (4) 「パワー マネージメント モジュールの動作条件」表を参照してください。

6.5 消費電力の概略

このセクションに記載されている電流値は、絶対最大値ではなく、与えられたテスト条件での代表値を表しています。アプリケーションでの実際のデバイス電流は、アプリケーション コードおよびピン構成によって異なります。

6.5.1 システム消費電流 VREG イネーブル

自由気流での動作温度範囲内 (特に記述のない限り)。

代表値: V_{nom} , 30°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
動作モード						
I _{DDIO}	CPU1 および CPU2 がロックステップでアクティブ:動作時の VDDIO 消費電流	これは、標準的な大負荷アプリケーションにおける電流の推定値です。実際の電流は、システムの動作、I/O の電氣的負荷、およびスイッチング周波数によって異なります。	190	280	370	mA
I _{DDIO}	CPU1 および CPU2 が非ロックステップでアクティブ:動作時の VDDIO 消費電流		180	235	315	mA
I _{DDIO}	シングル CPU アクティブ:動作時の VDDIO 消費電流		160	190	275	mA
I _{DDA}	任意の CPU モード:動作時の VDDA 消費電流		0.1	18.6	22	mA
アイドル モード						
I _{DDIO}	CPU1 および CPU2 がロックステップでアクティブ:デバイスがアイドル モードのときの VDDIO 消費電流	- CPU はアイドル モード - フラッシュは電源オフ - XCLKOUT はオフ	65	85	170	mA
I _{DDIO}	CPU1 および CPU2 の非ロックステップ動作:デバイスがアイドル モードのときの VDDIO 消費電流		55	80	165	mA
I _{DDIO}	シングル CPU アクティブ:デバイスがアイドル モードのときの VDDIO 消費電流		45	60	155	mA
I _{DDA}	任意の CPU モード:デバイスがアイドル モードのときの VDDA 消費電流		0.001	0.002	0.01	mA
スタンバイ モード						
I _{DDIO}	CPU1 および CPU2 がロックステップでアクティブ: デバイスがスタンバイ モードのときの VDDIO 消費電流	- CPU はスタンバイ モード - フラッシュは電源オフ - XCLKOUT はオフ	8	25	100	mA
I _{DDIO}	CPU1 および CPU2 が非ロックステップでアクティブ: デバイスがスタンバイ モードのときの VDDIO 消費電流		8	25	100	mA
I _{DDIO}	シングル CPU アクティブ:デバイスがスタンバイ モードのときの VDDIO 消費電流		8	25	100	mA
I _{DDA}	任意の CPU モード:デバイスがスタンバイ モードのときの VDDA 消費電流		0.001	0.002	0.01	mA
ホールト モード						
I _{DDIO}	任意の CPU モード:デバイスがホールトモードのときの VDDIO 消費電流	- CPU はホールト モード - フラッシュは電源オフ - XCLKOUT はオフ	1	8	70	mA
I _{DDA}	任意の CPU モード:デバイスがホールトモードのときの VDDA 消費電流		0.001	0.002	0.01	mA

6.5.1 システム消費電流 VREG イネーブル (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。

代表値: V_{nom} , 30°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
フラッシュ消去 / プログラム						
I _{DDIO}	消去 / プログラム サイクル中の VDDIO 消費電流 ⁽¹⁾	- CPU はフラッシュから実行され、使用されていないセクタで消去とプログラムを実行します。 - VREG はイネーブル。 - SYSCLK は最大デバイス速度 (PLLENA) で動作 - I/O はプルアップがイネーブルされた入力。 - ペリフェラル クロックはオフ。	100	190	275	mA
I _{DDA}	消去 / プログラム サイクル中の VDDA 消費電流		0.001	0.002	0.01	mA
リセット モード						
I _{DDIO}	リセットがアクティブのときの VDDIO 消費電流 ⁽²⁾		1	13	20	mA
I _{DDA}	リセットがアクティブのときの VDDA 消費電流 ⁽²⁾		0.001	0.002	0.01	mA

- (1) フラッシュ プログラミング中に発生したブラウンアウト イベントは、フラッシュ データを破壊し、デバイスを永続的にロックする可能性があります。代替電源 (USB プログラマなど) を使用するプログラミング環境では、電源のブラウンアウト状態を回避するために、十分なマージンを確保して、デバイスおよび他のシステム コンポーネントに定格電流を供給できるようにする必要があります。
- (2) これは、リセットがアクティブ (XRSn が Low) の場合の消費電流です。

6.5.2 システム消費電流 VREG ディセーブル - 外部電源

自由気流での動作温度範囲内 (特に記述のない限り)。

代表値: V_{nom} , 30°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
動作モード						
I_{DD}	CPU1 および CPU2 がロックステップ モードでアクティブ:動作時の VDD 消費電流	これは、標準的な大負荷アプリケーションにおける電流の推定値です。実際の電流は、システムの動作、I/O の電氣的負荷、およびスイッチング 周波数によって異なります。	210	330	400	mA
I_{DD}	CPU1 および CPU2 が非ロックステップでアクティブ:動作時の VDD 消費電流		200	270	340	mA
I_{DD}	シングル CPU アクティブ:動作時の VDD 消費電流		190	230	300	mA
I_{DDIO}	任意の CPU モード:動作時の VDDIO 消費電流		0.1	4.2	5	mA
I_{DDA}	任意の CPU モード:動作時の VDDA 消費電流		0.1	18.6	22	mA

6.5.2 システム消費電流 VREG ディセーブル - 外部電源 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。

代表値: V_{nom} , 30°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
アイドル モード						
I _{DD}	CPU1 および CPU2 がロックステップ モードでアクティブ: デバイスがアイドル モードのときの VDD 消費電流	- CPU はアイドル モード - フラッシュは電源オフ - XCLKOUT はオフ	70	90	180	mA
I _{DD}	CPU1 および CPU2 が非ロックステップでアクティブ: デバイスがアイドル モードのときの VDD 消費電流		60	85	170	mA
I _{DD}	シングル CPU アクティブ: デバイスがアイドル モードのときの VDD 消費電流		50	65	160	mA
I _{DDIO}	任意の CPU モード: デバイスがアイドル モードのときの VDDIO 消費電流		0.1	4	5	mA
I _{DDA}	任意の CPU モード: デバイスがアイドル モードのときの VDDA 消費電流		0.001	0.002	0.01	mA
スタンバイ モード						
I _{DD}	CPU1 および CPU2 がロックステップ モードでアクティブ: デバイスがスタンバイ モードのときの VDD 消費電流	- CPU はスタンバイ モード - フラッシュは電源オフ - XCLKOUT はオフ	8	25	120	mA
I _{DD}	CPU1 および CPU2 が非ロックステップでアクティブ: デバイスがスタンバイ モードのときの VDD 消費電流		8	25	120	mA
I _{DD}	シングル CPU アクティブ: デバイスがスタンバイ モードのときの VDD 消費電流		8	25	120	mA
I _{DDIO}	任意の CPU モード: デバイスがスタンバイ モードのときの VDDIO 消費電流		0.1	4	5	mA
I _{DDA}	任意の CPU モード: デバイスがスタンバイ モードのときの VDDA 消費電流		0.001	0.002	0.01	mA
ホールト モード						
I _{DD}	任意の CPU モード: デバイスがホールト モードのときの VDD 消費電流	- CPU はホールト モード - フラッシュは電源オフ - XCLKOUT はオフ	1	7	70	mA
I _{DDIO}	任意の CPU モード: デバイスがホールト モードのときの VDDIO 消費電流		0.5	3	4	mA
I _{DDA}	任意の CPU モード: デバイスがホールト モードのときの VDDA 消費電流		0.001	0.002	0.01	mA

6.5.2 システム消費電流 VREG ディセーブル - 外部電源 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)。

代表値: V_{nom} , 30°C

パラメータ		テスト条件	最小値	標準値	最大値	単位
フラッシュ消去 / プログラム						
I_{DD}	消去 / プログラム サイクル中の VDD 消費電流 ⁽¹⁾	- CPU はフラッシュから実行され、使用されていないセクタで消去とプログラムを実行します。 - VREG はディセーブルになります。 - SYSCLK は最大デバイス速度 (PLLENA) で動作 - I/O はプルアップがイネーブルされた入力。 - ペリフェラル クロックはオフ。	100	195	290	mA
I_{DDIO}	消去 / プログラム サイクル中の VDDIO 消費電流 ⁽¹⁾		0.1	4.2	5	mA
I_{DDA}	消去 / プログラム サイクル中の VDDA 消費電流		0.001	0.002	0.01	mA

- (1) フラッシュ プログラミング中に発生したブラウンアウト イベントは、フラッシュ データを破壊し、デバイスを永続的にロックする可能性があります。代替電源 (USB プログラマなど) を使用するプログラミング環境では、電源のブラウンアウト状態を回避するために、十分なマージンを確保して、デバイスおよび他のシステム コンポーネントに定格電流を供給できるようにする必要があります。

6.5.3 動作モード テストの説明

セクション 6.5.1 およびセクション 6.5.5.1 に、デバイスの動作モードでの消費電流値を示します。動作モードでは、アプリケーションで何が発生する可能性があるかを推定できます。これらの測定の実験条件には、以下の特徴があります。

- コードは RAM から実行。
- フラッシュは読み取りで、アクティブ状態を保持。
- 外部コンポーネントは I/O ピンによって駆動されない。
- すべてのペリフェラルでクロックがイネーブルになっている。
- すべての CPU がコードをアクティブに実行。
- CPU1 と CPU2 は 200MHz で動作。
- すべてのアナログ ペリフェラルに電源が投入されている。ADC と DAC は定期的に変換を実行。

6.5.4 消費電流のグラフ

このデバイスには、C28x コアの数に関してさまざまなデバイス バリエーションがあります。3 つのバリエーションは、シングル CPU (CPU1)、2 つ目の CPU が非ロックステップ モードで動作するデュアル CPU (CPU1 + CPU2 非 LS)、および 2 つ目の CPU がロックステップ モードで動作するデュアル CPU (CPU1 + CPU2 LS) です。デバイスは、VREG ディセーブルまたはイネーブル モードでも動作できます。このセクションでは、動作モードに応じたデバイスの周波数、温度、VREG モード、消費電流の関係の代表例を示します。実際の結果は、システムの実装と条件によって異なります。

図 6-1 および 図 6-2 に、温度全体にわたる標準的な動作モード電流を示します。図 6-3 および 図 6-4 に、温度全体にわたる標準的なスタンバイ モード電流を示します。図 6-5 および 図 6-6 に、温度全体にわたる標準的なアイドル モード電流を示します。図 6-7 および 図 6-8 に、温度全体にわたる標準的な停止モード電流を示します。

図 6-9、図 6-10、図 6-11 に、VREG がディセーブルの場合の公称電源条件でのデバイスの SYSCLK、温度、消費電流の関係の代表例を示します。

図 6-12、図 6-13、図 6-14 に、VREG がイネーブルのときの公称電源条件でのデバイスの SYSCLK、温度、消費電流の関係の代表例を示します。

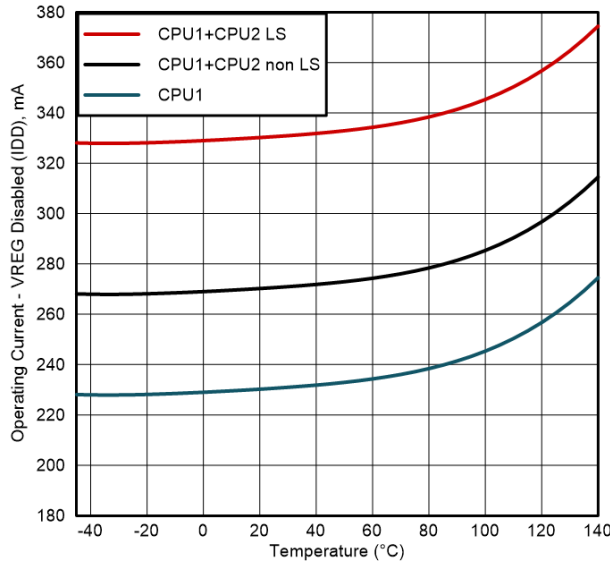


図 6-1. 標準的な動作電流と温度との関係 - VREG ディセーブル

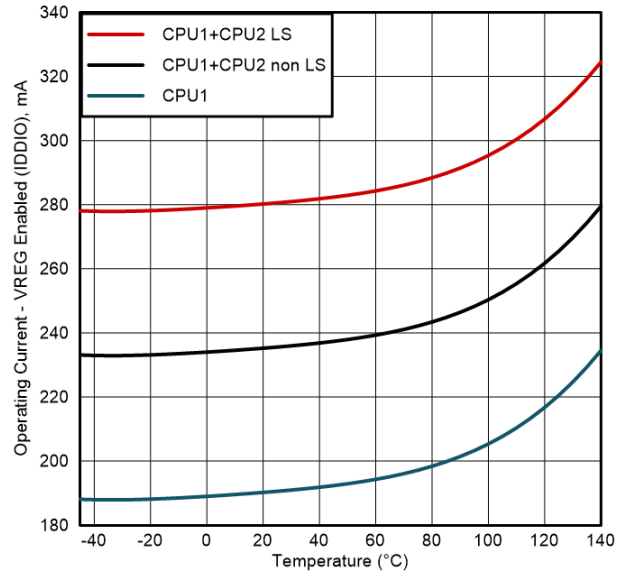


図 6-2. 標準的な動作電流と温度との関係 - VREG イネーブル

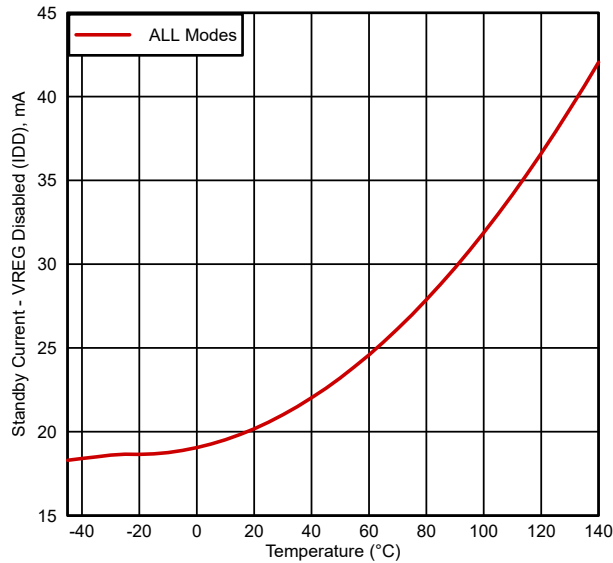


図 6-3. 標準的なスタンバイ電流と温度との関係 - VREG ディスエーブル

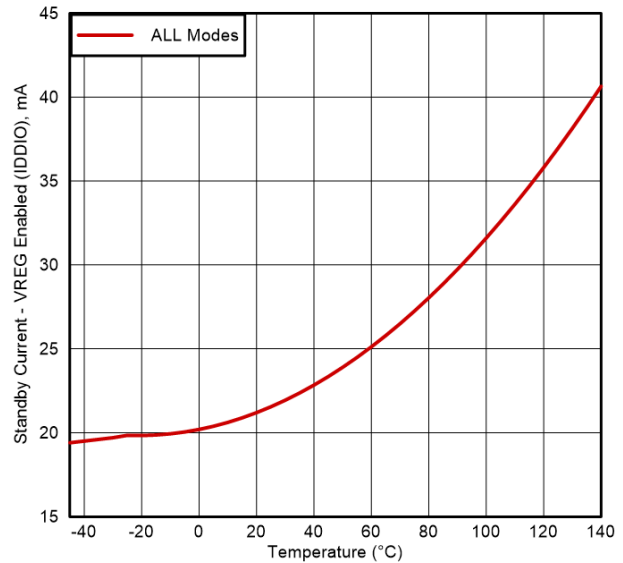


図 6-4. 標準的なスタンバイ電流と温度との関係 - VREG イネーブル

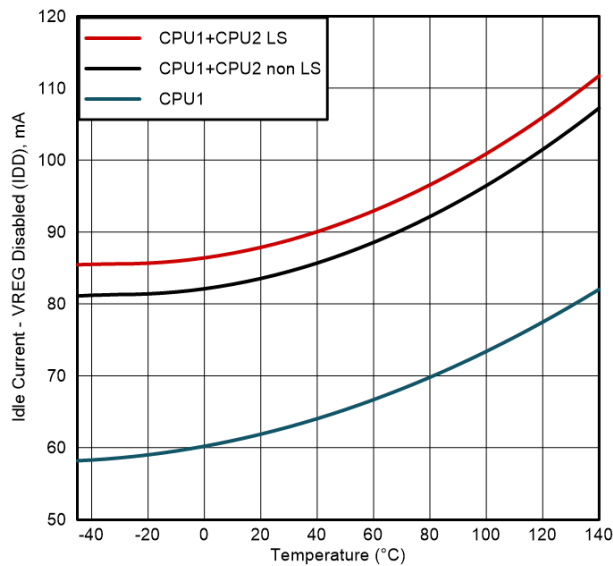


図 6-5. 標準的なアイドル電流と温度との関係 - VREG ディセーブル

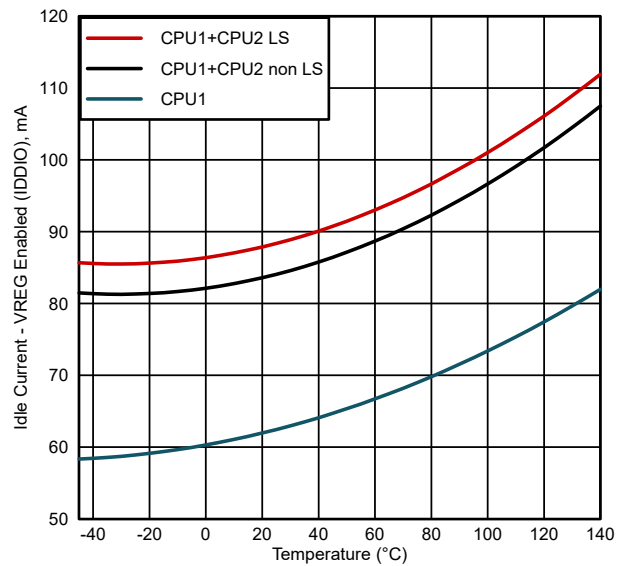


図 6-6. 標準的なアイドル電流と温度との関係 - VREG イネーブル

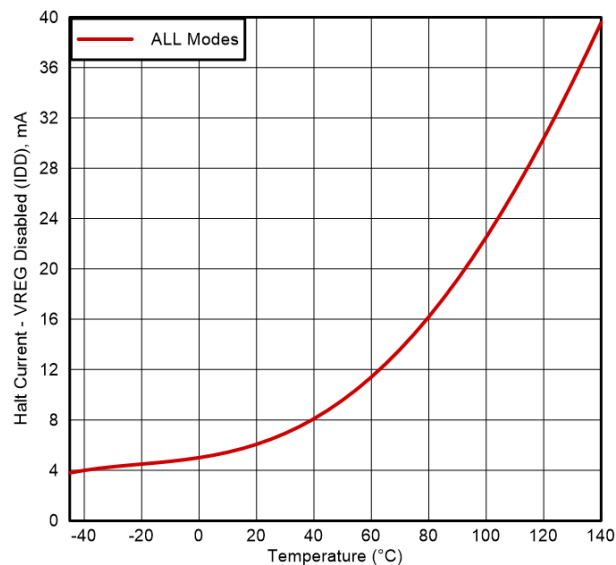


図 6-7. 標準的なホールド電流と温度との関係 - VREG ディセーブル

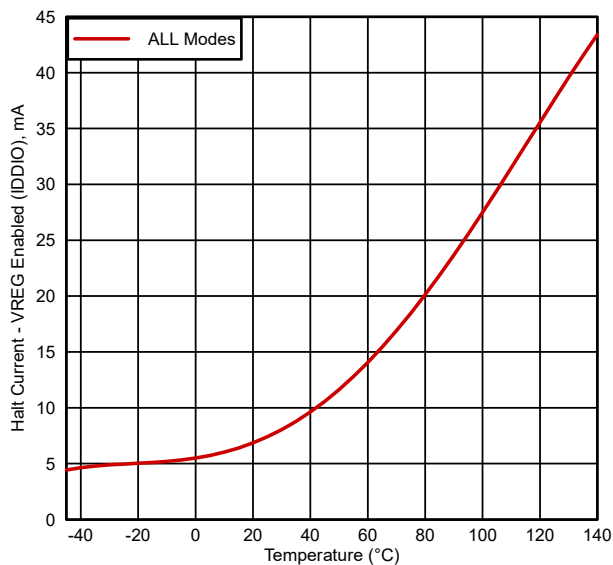


図 6-8. 標準的なホールド電流と温度との関係 - VREG イネーブル

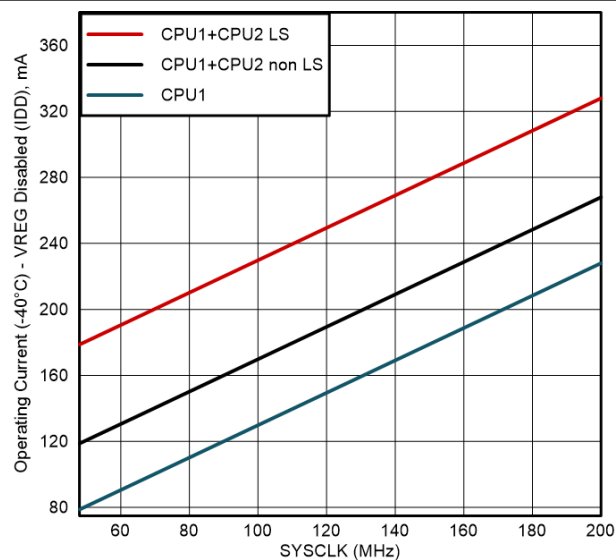


図 6-9. 標準的な動作電流と SYSCLK との関係 - VREG ディセーブル -40°C

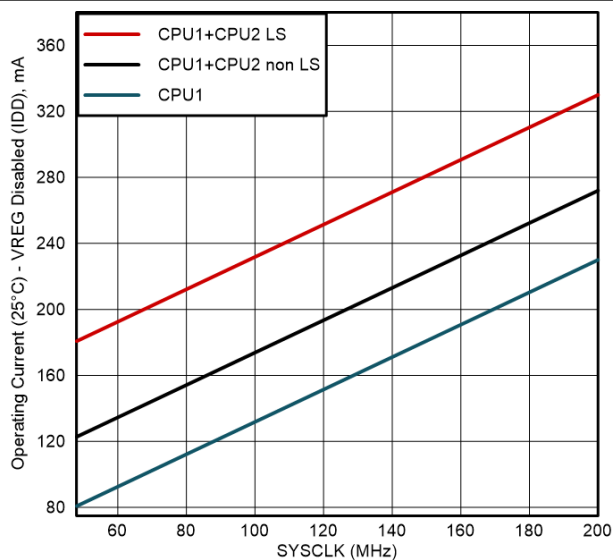


図 6-10. 標準的な動作電流と SYSCLK との関係 - VREG ディセーブル 25°C

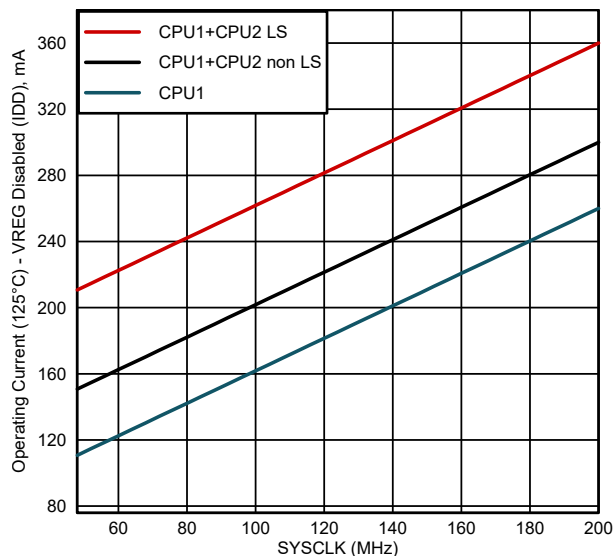


図 6-11. 標準的な動作電流と SYSCLK との関係 - VREG ディセーブル 125°C

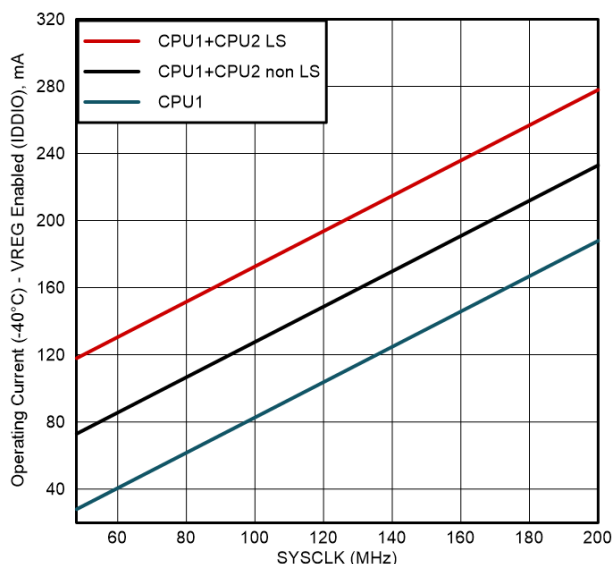


図 6-12. 標準的な動作電流と SYSCLK との関係 - VREG イネーブル -40°C

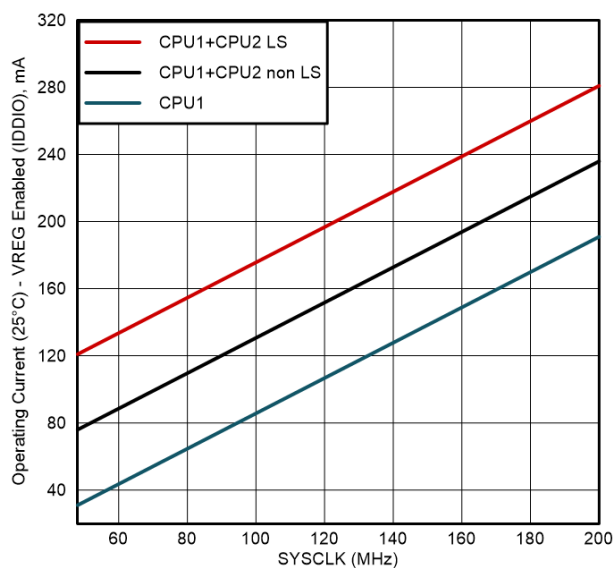


図 6-13. 標準的な動作電流と SYSCLK との関係 - VREG イネーブル 25°C

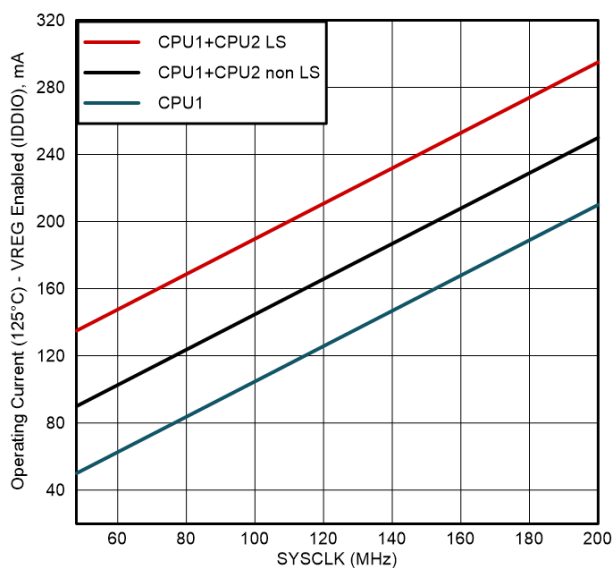


図 6-14. 標準的な動作電流と SYSCLK との関係 - VREG イネーブル 125°C

6.5.5 消費電流の低減

F28P65x デバイスには、デバイスの消費電流を低減する方法がいくつかあります。

- アプリケーションが動作していないときに、IDLE または STANDBY の 2 つの低消費電力モードのいずれかに移行できます。
- RAM からコードを実行する場合には、フラッシュ モジュールの電源をオフにすることができます。
- 出力機能として設定されているピンのプルアップをディセーブルにします。
- 各ペリフェラルには、個別のクロック イネーブル ビット (PCLKCRx) があります。特定のアプリケーションで使用されていないペリフェラルについて、クロックをオフにすることにより、消費電流を低減できます。「ディセーブルされたペリフェラルごとの代表的な電流低減」の表に、PCLKCRx レジスタを使用してクロックをディセーブルすることで実現できる、代表的な電流低減を示します。
- 低消費電力モードで最小の VDDA 消費電流を実現するには、『[TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「A/D コンバータ (ADC)」の章を参照して、各モジュールの電源が確実にオフになるようにしてください。

6.5.5.1 ペリフェラル ディセーブル時の標準的な電流低減

ペリフェラル	I _{DDIO} 電流の低減 (mA)
ADC ⁽¹⁾	2.90
ADCCHECKER	0.37
AES	0.30
CLA	0.83
CLA BGCRC	0.34
CLB	9.59
CMPSS ⁽¹⁾	8.70
CPU BGCRC	0.52
CPU タイマ	0.17
GPDAC	0.54
DCAN	1.56
DCC	0.38
DMA	1.19
eCAP1～eCAP5	3.44
eCAP6 と eCAP7 ⁽²⁾	2.38
ePWM1～ePWM18 ⁽³⁾	25.33
EPG	0.89
ERAD	2.98
eQEP	1.02
ECAT	2.53
FSI RX	2.38
FSI TX	1.31
HRCAL	1.30
I2C	0.89
LIN	1.13
MCAN (CAN-FD)	4.15
MPOST	5.02
PMBUS	0.46
SCI	0.54
SDFM	10.58
SPI	1.47

6.5.5.1 ペリフェラル ディセーブル時の標準的な電流低減 (続き)

ペリフェラル	I _{DDIO} 電流の低減 (mA)
UART	2.24
USB	3.61

- (1) この数値は、各モジュールのデジタル部分で消費される電流を示しています。
(2) eCAP6 および eCAP7 は、HRCAP として構成することもできます。
(3) ePWM1～ePWM18 は、HRPWM として構成することもできます。

6.6 電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ			テスト条件	最小値	標準値	最大値	単位
デジタルおよびアナログ IO							
V _{OH}	High レベル出力電圧		I _{OH} = I _{OH} 最小値	VDDIO * 0.8			V
			I _{OH} = -100μA	VDDIO - 0.2			
V _{OL}	Low レベル出力電圧		I _{OL} = I _{OL} 最大値			0.4	V
			I _{OL} = 100μA			0.2	
I _{OH}	すべての出力ピンの High レベル出力ソース電流			-4			mA
I _{OL}	すべての出力ピンの Low レベル出力シンク電流					4	mA
R _{OH}	すべての出力ピンの High レベル出力インピーダンス			70			Ω
R _{OL}	すべての出力ピンの Low レベル出力インピーダンス			70			Ω
V _{IH}	High レベル入力電圧			2.0			V
V _{IL}	Low レベル入力電圧					0.8	V
V _{HYSTERESIS}	入力ヒステリシス			125			mV
I _{PULLDOWN}	入力電流	プルダウン付きピン	VDDIO = 3.3V V _{IN} = VDDIO	120			μA
I _{PULLUP}	入力電流	プルアップがイネーブルされたデジタル入力 ⁽¹⁾	VDDIO = 3.3V V _{IN} = 0V	160			μA
I _{LEAK}	ピンのリーク電流	デジタル入力	プルアップおよび出力はディセーブル 0V ≤ V _{IN} ≤ VDDIO			0.1	μA
		アナログ ピン (ADCINB3/VDAC を除く)	アナログ ドライバはディセーブル 0V ≤ V _{IN} ≤ VDDA			0.1	
		ADCINB3/VDAC		2		11	
C _I	入力容量	デジタル入力		2			pF
		アナログ ピン ⁽²⁾					
VREG、POR、BOR							
VREG、POR、BOR ⁽³⁾							

- (1) プルアップまたはプルダウン付きピンの一覧については、「内部プルアップおよびプルダウン付きのピン」の表を参照してください。
(2) アナログ ピンは個別に規定されています。「ADC 入力モデル」セクションの「チャネルごとの寄生容量」の表を参照してください。
(3) 「パワー・マネージメント・モジュール (PMM)」セクションを参照してください。

6.7 ZEJ パッケージの熱抵抗特性

		°C/W ⁽¹⁾
R _{ΘJC}	接合部からケースへの熱抵抗、上面	8.2
	接合部からケースへの熱抵抗、底面	該当なし
R _{ΘJB}	接合部から基板への熱抵抗	11.3
R _{ΘJA} (High k PCB)	接合部から周囲空気への熱抵抗	25.6
Ψ _{iJT}	接合部とパッケージ上面との間	0.2
Ψ _{iJB}	接合部と基板との間	11.2

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} [R_{ΘJC}] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

6.8 PTP パッケージの熱抵抗特性

		°C/W ⁽¹⁾
R _{ΘJC}	接合部からケースへの熱抵抗、上面	11.2
	接合部からケースへの熱抵抗、底面	0.5
R _{ΘJB}	接合部から基板への熱抵抗	9.8
R _{ΘJA} (High k PCB)	接合部から周囲空気への熱抵抗	20.4
Ψ _{iJT}	接合部とパッケージ上面との間	0.3
Ψ _{iJB}	接合部と基板との間	9.5

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} [R_{ΘJC}] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

6.9 NMR パッケージの熱抵抗特性

		°C/W ⁽¹⁾
R _{ΘJC}	接合部からケースへの熱抵抗、上面	6.9
	接合部からケースへの熱抵抗、底面	該当なし
R _{ΘJB}	接合部から基板への熱抵抗	11.5
R _{ΘJA} (High k PCB)	接合部から周囲空気への熱抵抗	29.2
Ψ _{iJT}	接合部とパッケージ上面との間	0.2
Ψ _{iJB}	接合部と基板との間	11.4

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} [R_{ΘJC}] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

6.10 PZP パッケージの熱抵抗特性

		°C/W ⁽¹⁾
R θ_{JC}	接合部からケースへの熱抵抗、上面	7.0
	接合部からケースへの熱抵抗、底面	0.5
R θ_{JB}	接合部から基板への熱抵抗	8.0
R θ_{JA} (High k PCB)	接合部から周囲空気への熱抵抗	21.1
Psi $_{JT}$	接合部とパッケージ上面との間	0.1
Psi $_{JB}$	接合部と基板との間	7.8

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} [R θ_{JC}] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

6.11 熱設計の検討事項

最終アプリケーションの設計と動作プロファイルに応じて、I_{DD} および I_{DDIO} の電流は変動する可能性があります。最終製品において推奨最大消費電力を超えるシステムでは、追加の熱強化が必要になる場合があります。周囲温度 (T_A) は、最終アプリケーションおよび製品の設計によって異なります。信頼性と機能に影響を与える重要な要因は、周囲温度ではなく、接合部温度 T_J です。したがって、規定された制限範囲内に T_J を維持するように注意する必要があります。動作接合部温度 T_J を推定するためには、T_{case} を測定する必要があります。通常、T_{case} は、パッケージ上面の中央で測定します。サーマル アプリケーション レポート『[半導体および IC パッケージの熱評価基準](#)』は、熱評価基準および定義の理解に役立ちます。

6.12 システム

6.12.1 パワー マネージメント モジュール (PMM)

6.12.1.1 概要

パワー・マネージメント・モジュール (PMM) は、デバイスの動作に必要なすべてのパワー・マネージメント機能进行处理します。

6.12.1.2 概要

図 6-15 に、PMM のブロック図を示します。ご覧のように PMM は、さまざまなサブコンポーネントで構成されており、これについて以降のセクションで説明します。

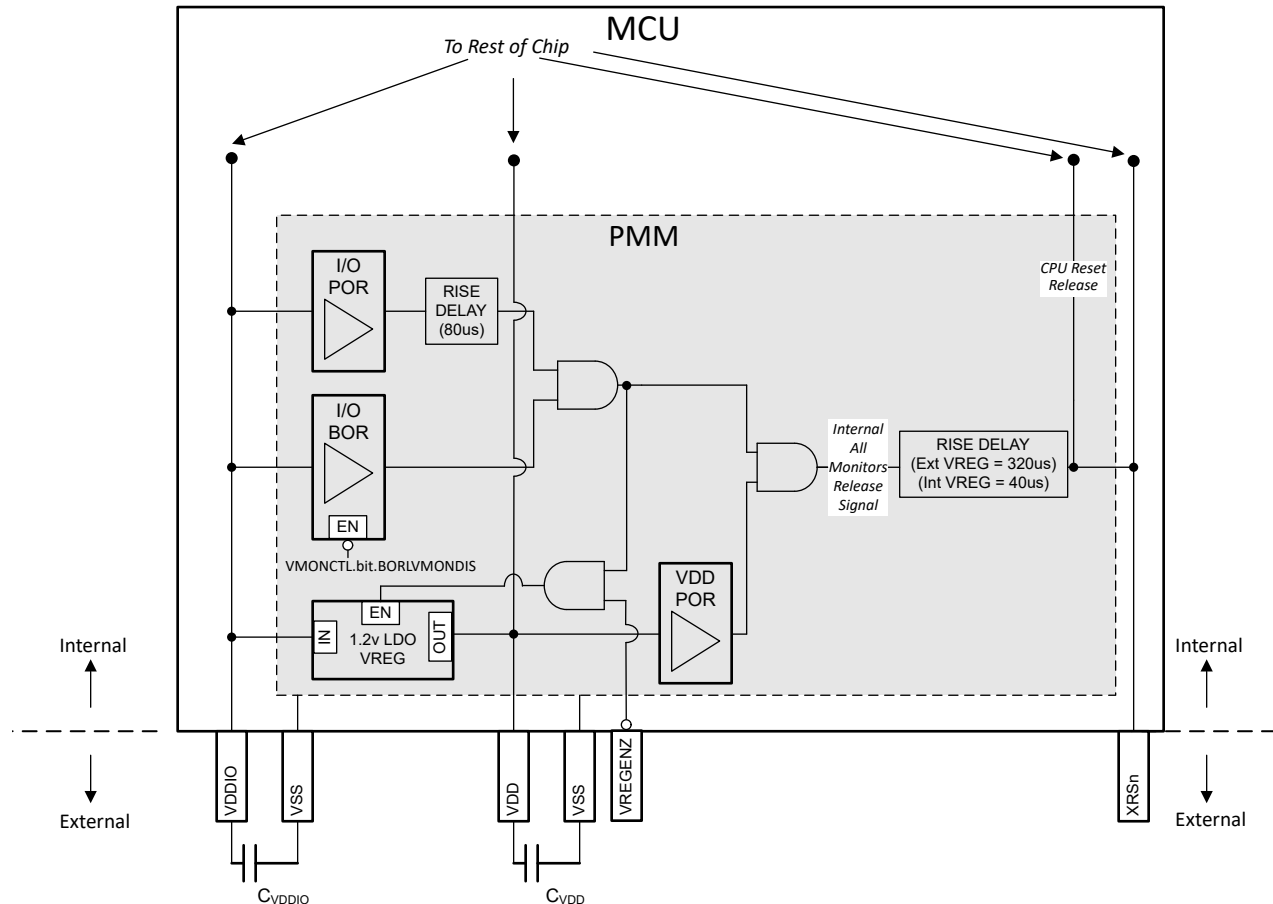


図 6-15. PMM のブロック図

6.12.1.2.1 電源レール監視

PMM には電源レールの電圧監視があり、パワーアップ時に電圧が設定したスレッショルドを超えると、XRSn 信号が解除されて HIGH になります。また、いずれかの電圧がプログラムされたレベルを下回った場合に、XRSn 信号を LOW にトリップする機能もあります。各種電圧監視については、以降のセクションで説明します。

注

ブートアップ後のアプリケーションでのデバイス動作に対して、すべての電圧監視がサポートされているわけではありません。電圧監視がサポートされていない場合、アプリケーション実行中にデバイスの電源電圧監視が必要であれば、外部監視回路を推奨します。

3 つの電圧監視 (I/O POR、I/O BOR、VDD POR) はすべて、デバイスが動作を開始する前にそれぞれの出力が解除される必要があります (すなわち、XRSn が HIGH になります)。ただし、いずれかの電圧監視がトリップした場合、XRSn は LOW に駆動されます。いずれかの電圧監視がトリップすると、I/O は高インピーダンスに保持されます。

6.12.1.2.1.1 I/O POR (パワーオン・リセット) 監視

I/O POR 監視は、VDDIO レールを監視します。これは、電源投入時に VDDIO 上で最初に解除される監視機能です (すなわち、最初にトリップ解除されます)。

6.12.1.2.1.2 I/O BOR (ブラウンアウト・リセット) 監視

I/O BOR 監視も、VDDIO レールを監視します。これは、電源投入時に VDDIO 上で 2 番目に解除される監視です (すなわち、2 番目にトリップ解除されます)。この監視は、I/O POR と比較すると許容範囲がより狭くなっています。

推奨動作電圧を下回る電圧低下が発生すると、I/O BOR がトリップしてデバイスがリセットされますが、これは VMONCTL.bit.BORLVMONDIS を 1 に設定することでディセーブルできます。I/O BOR をディセーブルにできるのは、デバイスが完全に起動した後のみです。I/O BOR がディセーブルになっている場合、電圧降下に対しては I/O POR がデバイスをリセットします。

注

I/O POR がトリップするレベルは、VDDIO の最小推奨電圧よりも相当に低いので、デバイス監視には使用しないでください。

図 6-16 に、I/O BOR の動作領域を示します。

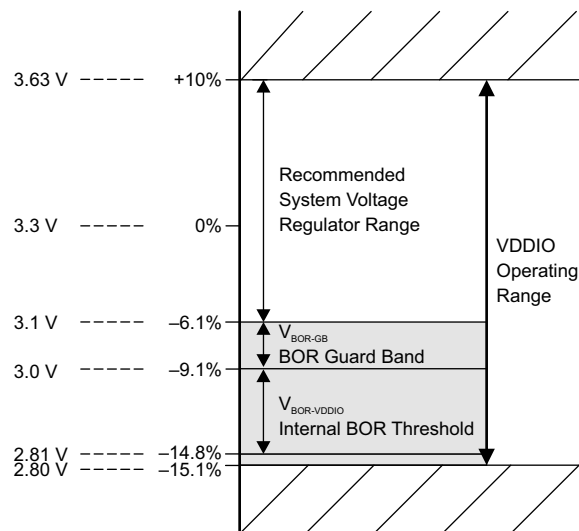


図 6-16. I/O BOR 動作領域

6.12.1.2.1.3 VDD POR (パワーオン・リセット) 監視

VDD POR 監視は、VDD レールを監視します。電源投入時に、電圧が VDD についてプログラムされたトリップ・レベルを超えると、この監視は解除されます (すなわち、トリップが解除されます)。

注

VDD POR は、VDD の最小推奨電圧よりも低いレベルにプログラムされているため、アプリケーションで VDD の最小推奨電圧が必要な場合は、VDD 監視に依存しないでください。

6.12.1.2.2 外部監視回路の使用

VDDIO 監視: I/O BOR はアプリケーションでの使用をサポートしているため、I/O レールの監視に外部監視回路は必要ありません。

VDD 監視:

- 内部 VREG から供給される VDD:VDD 電源は VDDIO 電源から生成されます。VREG は、有効な VDDIO 電源 (IO BOR で監視) が有効な VDD 電源を暗黙的に示すように設計されています。
- 外部電源から供給される VDD:VDD POR はアプリケーションでの使用をサポートしていません。アプリケーションで VDD 監視が必要な場合は、外部監視回路を使用して VDD レールを監視できます。

注

内部 VREG による外部監視回路はサポートされていません。アプリケーションで VDD 監視が必要な場合は、VREGENZ ピンを備えたパッケージを使用して VDD に外部から電力を供給する必要があります。

6.12.1.2.3 遅延ブロック

電圧モニタのパス内の遅延ブロックは連携して動作し、電圧モニタと XRSn の間の解放時間を遅延させます。これにより、XRSn が解放されたときに電圧が確実に落ち着いているようにしています。遅延ブロックは、電源投入時 (すなわち、VDDIO および VDD が上昇しているとき) にのみアクティブになります。

遅延ブロックは、「[パワー マネージメント モジュールの電氣的データおよびタイミング](#)」で規定されている最小スルーレートに影響を与えます。

注

ブロック図に示されている遅延時間は、標準値です。

6.12.1.2.4 内部 DD LDO 電圧レギュレータ (VREG)

内部 VREG は VDDIO レールから供給され、VDD ピンへの電力供給に必要な出力を生成できます。VREGENZ ピンを Low に接続することでイネーブルになります。内部 VREG により、VDD に外部電源を使用する必要はありませんが、VREG の安定性と過渡応答のために、VDD ピンにはデカップリング コンデンサが必要です。詳細については、「[VDD デカップリング](#)」セクションを参照してください。

6.12.1.2.5 VREGENZ

VREGENZ (VREG ディセーブル) ピンは、内部 VREG の状態を制御します。内部 VREG をイネーブルにするには、VREGENZ ピンをロジック Low の電圧に接続します。外部から VDD に電力を供給するアプリケーション (外部 VREG) では、VREGENZ ピンを High に接続して内部 VREG をディセーブルにします。

6.12.1.3 外付け部品

6.12.1.3.1 デカップリング コンデンサ

正常に動作するためには、VDDIO および VDD にデカップリング コンデンサが必要です。その要件については、以降のセクションで概要を説明します。

6.12.1.3.1.1 VDDIO デカップリング

VDDIO には、最小限のデカップリング容量を配置します。「[パワー マネージメント モジュールの電氣的データおよびタイミング](#)」の C_{VDDIO} パラメータを参照してください。使用するデカップリング容量の実際の合計値が、VDDIO を駆動する電源の要件です。以下に示す構成のどちらでも許容可能です。

- 構成 1:** C_{VDDIO} パラメータに従って、各 VDDIO ピンにデカップリング コンデンサを配置します。
- 構成 2:** $[C_{VDDIO} \times \text{VDDIO ピンの数}]$ に相当する値の単一のデカップリング コンデンサを実装します。

注

デカップリング コンデンサは、デバイスのピンの近くに配置する必要があります。

6.12.1.3.1.2 VDD デカップリング

VDD には、最小限のデカップリング容量を配置します。「パワー マネージメント モジュールの電氣的データとタイミング」の C_{VDD} パラメータ合計値を参照してください。

外部 VREG モードの場合は、使用するデカップリング容量の実際の合計値が、VDD を駆動する電源の要件となります。

以下に示す構成のどちらでも許容可能です。

- **構成 1:** 合計 C_{VDD} をすべての VDD ピンに対して均等に分けます。このオプションは、内部 VREG モードで使用でき、PCB 上のすべての VDD ピンを相互に接続するのは不可能な場合があります。電源ピンの一括接続 セクションを参照してください。
- **構成 2:** 合計 C_{VDD} の値を持つ単一のデカップリング コンデンサ を実装します。この構成では、PCB 上ですべての VDD ピンを互いに接続する必要があります。

注

デカップリング コンデンサは、デバイスのピンの近くに配置する必要があります。

6.12.1.4 電源シーケンス

6.12.1.4.1 電源ピンの一括接続

すべての 3.3V レールを 1 つにまとめて接続し、単一の電源から電力を供給することを強く推奨します。その電源ピンを以下に示します。

- VDDIO
- VDDA

また、未接続のままにしないように、すべての電源ピンを接続します。

外部 VREG モードでは、VDD ピンを 1 つにまとめて接続し、単一の電源から電力を供給する必要があります。

内部 VREG モードでは、各 VDD ピンにコンデンサが接続されていれば、VDD ピンを 1 つにまとめて接続することは任意です。VDD デカップリングの構成については、「VDD デカップリング」セクションを参照してください。

このデバイスのアナログ モジュールは、PSRR がかなり高いため、ほとんどの場合、VDDA のノイズが電源レールの推奨動作条件を超えない限り、アナログ モジュールの性能低下は起こりません。したがって、通常は、VDDA を別に供給してもあまり利点はありません。ただし、ノイズの改善のために、VDDIO と VDDA の間に π 型フィルタを配置することは許容されます。

注

レールごとのすべての電源ピンは、内部で互いに接続されています。たとえば、すべての VDDIO ピンが内部で互いに接続され、すべての VDD ピンが内部で互いに接続されます。

6.12.1.4.2 信号ピンの電源シーケンス

デバイスに電源を供給する前に、いずれかのデジタル ピンに、VDDIO より 0.3V 上回る電圧または VSS より 0.3V 下回る電圧を印加しないでください。また、いずれかのアナログ ピン (VREFHI および VDAC を含む) に、VDDA より 0.3V 上回る電圧または VSSA より 0.3V 下回る電圧を印加しないでください。要するに、すべての 3.3V レールが互いに接続されているとすれば、信号ピンを駆動するのは、XRSn が High になった後にしなければなりません。VDDIO と VDDA が互いに接続されていない場合であっても、このシーケンシングは、やはり必要です。

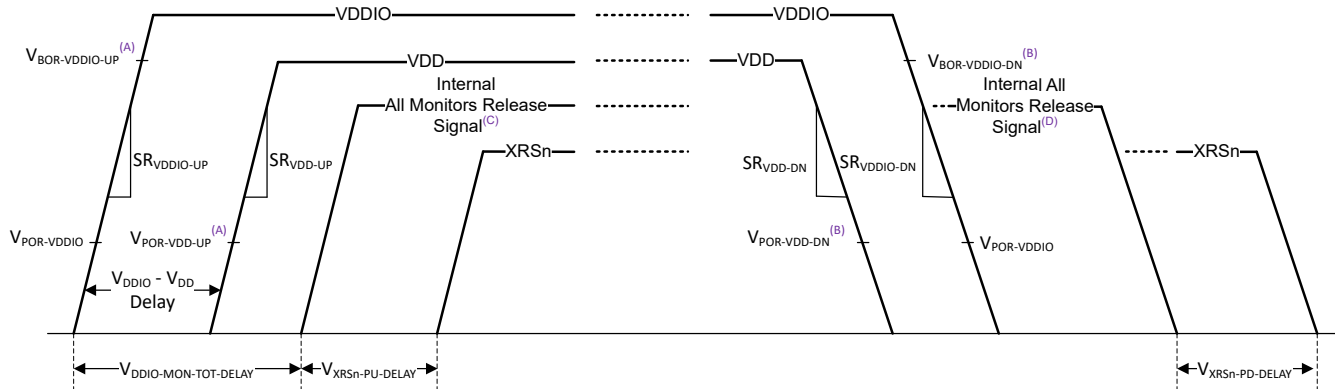
注意

上記のシーケンスに違反した場合、デバイスが誤動作したり、デバイス内の意図しない寄生パスを電流が流れるために損傷したりする可能性があります。

6.12.1.4.3 電源ピンの電源シーケンス

6.12.1.4.3.1 外部 VREG/VDD モード シーケンス

図 6-17 に、外部 VREG モードの電源シーケンス要件を示します。表示されているすべてのパラメータの値については、パワー マネージメント モジュールの電氣的データおよびタイミングを参照してください。



- A. このトリップ ポイントは、XRSn が解除される前のトリップ ポイントです。「パワー マネージメント モジュールの特性」表を参照してください。
- B. このトリップ ポイントは、XRSn が解除された後のトリップ ポイントです。「パワー マネージメント モジュールの特性」表を参照してください。
- C. パワーアップ中に、すべての POR および BOR 監視が解除されると、全監視解除信号が High になります。「PMM のブロック図」を参照してください。
- D. パワー ダウン中に、POR または BOR 監視のいずれかがトリップされると、全監視解除信号が LOW になります。「PMM のブロック図」を参照してください。

図 6-17. 外部 VREG パワーアップ シーケンス

- **パワーアップ:**
 - VDDIO (すなわち 3.3V レール) は、規定された最小スルーレートで最初に立ち上がる必要があります。
 - VDD (すなわち 1.2V レール) は、規定された最小スルーレートで次に立ち上がる必要があります。
 - VDDIO レールの立ち上がりから VDD レールの立ち上がりまでの時間差も規定されています。
 - $V_{DDIO-MON-TOT-DELAY}$ および $V_{XRSN-PD-DELAY}$ で規定された時間が経過すると、XRSn が解放され、デバイスはブートアップ シーケンスを開始します。
 - I/O BOR 監視は、パワーアップ時とパワーダウン時でリリース ポイントが異なります。
 - パワーアップ時には、XRSn が解放される前に VDDIO と VDD の両方のレールが立ち上がっている必要があります。
- **パワーダウン:**
 - VDDIO と VDD のどちらが先にパワーダウンするという要件はありませんが、最小スルーレートの規定があります。
 - I/O BOR 監視は、パワーアップ時とパワーダウン時でリリース ポイントが異なります。
 - パワー ダウン中に POR または BOR 監視のいずれかがトリップすると、 $V_{XRSN-PD-DELAY}$ の後、XRSn が LOW になります。

注

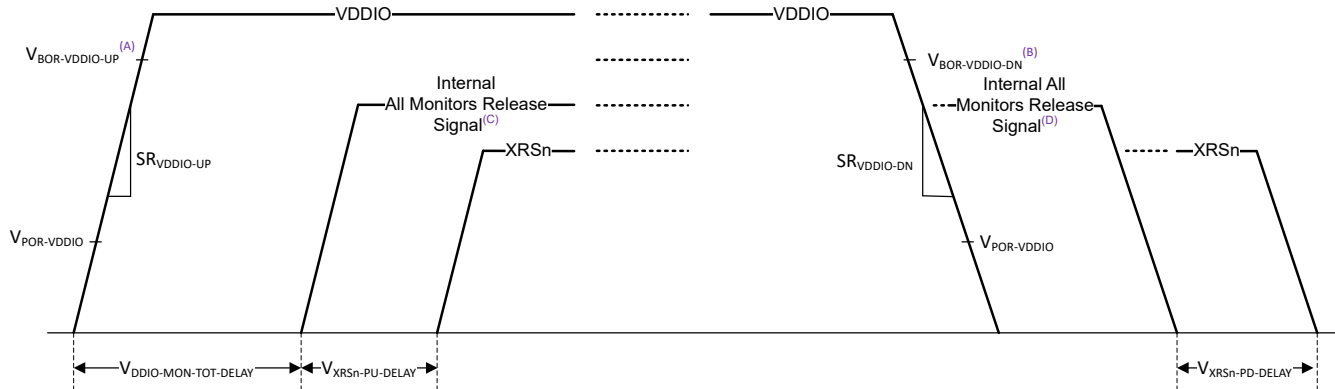
全監視解除信号は、内部信号です。

注

XRSn を駆動する外部回路 (例えば、電源監視回路) が存在する場合、すべての内部および外部ソースによって XRSn ピンが解放されるまで、ブートアップ シーケンスは開始されません。

6.12.1.4.3.2 内部 VREG/VDD モード シーケンス

図 6-18 に、内部 VREG モードの電源シーケンス要件を示します。表示されているすべてのパラメータの値は、「パワー マネージメント モジュールの電氣的データおよびタイミング」に記載されています。



- A. このトリップ ポイントは、XRSn が解除される前のトリップ ポイントです。「パワー マネージメント モジュールの特性」表を参照してください。
- B. このトリップ ポイントは、XRSn が解除された後のトリップ ポイントです。「パワー マネージメント モジュールの特性」表を参照してください。
- C. パワーアップ中に、すべての POR および BOR 監視が解除されると、全監視解除信号が High になります。「PMM のブロック図」を参照してください。
- D. パワー ダウン中に、POR または BOR 監視のいずれかがトリップされると、全監視解除信号が LOW になります。「PMM のブロック図」を参照してください。

図 6-18. 内部 VREG パワーアップ シーケンス

- **パワーアップ:**
 1. VDDIO (すなわち 3.3V レール) は、規定された最小スルーレートで立ち上がる必要があります。
 2. I/O 監視 (I/O POR および I/O BOR) が解除されると、内部 VREG が起動します。
 3. $V_{DDIO-MON-TOT-DELAY}$ および $V_{XRSn-PU-DELAY}$ で規定された時間が経過すると、XRSn が解放され、デバイスはブートアップ シーケンスを開始します。
 4. I/O BOR 監視は、パワーアップ時とパワーダウン時でリリース ポイントが異なります。
- **パワーダウン:**
 1. パワーダウン時の VDDIO に対する唯一の要件は、スルーレートです。
 2. I/O BOR 監視は、パワーアップ時とパワーダウン時でリリース ポイントが異なります。
 3. I/O BOR トリップにより、 $V_{XRSn-PD-DELAY}$ 後に XRSn が Low になり、また、内部 VREG がパワーダウンされます。

注

全監視解除信号は、内部信号です。

注

XRSn を駆動する外部回路 (例えば、電源監視回路) が存在する場合、すべての内部および外部ソースによって XRSn ピンが解放されるまで、ブートアップ シーケンスは開始されません。

6.12.1.4.3.3 電源シーケンスの概要と違反の影響

レールで許容されるパワーアップ シーケンスを以下にまとめます。ここで「パワーアップ」とは、対象のレールが推奨される最小動作電圧に達したことを意味します。

注意

許容されないシーケンスは、信頼性に関する問題を引き起こし、場合によっては損傷が発生する可能性があります。

単純化のため、すべての 3.3V レールを互いに接続して、「[電源ピンの電源シーケンス](#)」の説明に従うことを推奨します。

表 6-1. 外部 VREG シーケンスの概要

事例	レールのパワーアップ順序			許容可否
	VDDIO	VDDA	VDD	
A	1	2	3	あり
B	1	3	2	あり
C	2	1	3	なし
D	2	3	1	なし
E	3	2	1	なし
F	3	1	2	なし
G	1	1	2	あり
H	2	2	1	なし

表 6-2. 内部 VREG シーケンスの概要

事例	レールのパワーアップ順序		許容可否
	VDDIO	VDDA	
A	1	2	あり
B	2	1	なし
C	1	1	あり

注

デバイスのアナログ モジュールは、VDDA が推奨される最小動作電圧に達した後でのみ電力供給できます。

6.12.1.4.3.4 電源スルーレート

VDDIO には最小スルーレート要件があります。最小スルーレートが満たされていない場合、XRSn は、VDDIO が I/O BOR 領域を超えるまで数回トグルすることがあります。

注

XRSn が安定して High になった状態でのみブートが開始されるので、XRSn のトグルはデバイスに悪影響を及ぼしません。ただし、デバイスの XRSn を使用して他の IC のリセット信号をゲートする場合は、このトグルを防止するためにスルーレート要件を満たす必要があります。

外部 VREG モードの場合、VDD には最小スルーレート要件があります。最小スルーレートが満たされていない場合、VDD が最小動作電圧に達する前に VDD POR が解放され、デバイスが適切にリセットされた状態で起動しない可能性があります。

6.12.1.5 パワー マネージメント モジュールの電氣的データおよびタイミング

6.12.1.5.1 パワー マネージメント モジュールの動作条件

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
全般					
C_{VDDIO} (1) (2)	ピンごとの VDDIO 容量	0.1			μF
C_{VDDA} (1) (2)	ピンごとの VDDA 容量	2.2			μF
$V_{BOR-VDDIO-GB}$ (5)	VDDIO ブラウンアウトリセット電圧ガードバンド		0.1		V
外部 VREG					
$C_{VDD\ TOTAL}$ (1) (4)	合計 VDD 容量		10		μF
SR_{VDD33} (3)	3.3V レールの電源ランプレート (VDDIO、VDDA)	3		100	mV/ μs
SR_{VDD12} (3)	1.2V レールの電源ランプレート (VDD)	2		100	mV/ μs
$V_{DD33} - V_{DD12}$ 遅延 (6)	VDD33 と VDD12 の間の上昇下降遅延	0			us
内部 VREG					
$C_{VDD\ TOTAL}$ (4) (7)	合計 VDD 容量		10.22		μF
SR_{VDD33} (3) (8)	3.3V レールの電源ランプレート (VDDIO、VDDA)	20		100	mV/ μs
$I_{VREG-LOAD}$	電圧レギュレータの負荷電流			500	mA

- (1) デカップリング容量の正確な値は、これらのピンに電力を供給するシステム電圧レギュレーション ソリューションによって決まります。
- (2) 3.3V レール (VDDIO、VDDA) は互いに接続し、単一の電源から供給することを推奨します。
- (3) 電源上昇下降速度が最大値よりも速いと、オンチップ ESD 保護がトリガされる可能性があります。
- (4) デカップリング容量全体の可能な構成については、「パワー マネージメント モジュール (PMM)」のセクションを参照してください。
- (5) 3.3V VDDIO システムレギュレータにおいて、通常の電源ノイズまたは負荷過渡イベントによって BOR-VDDIO リセットが発生することを回避するため、テキサス・インスツルメンツは $V_{BOR-VDDIO-GB}$ を推奨します。通常のデバイス動作時に BOR-VDDIO がアクティブになることを防止するためには、優れたシステムレギュレータ設計および (システムレギュレータの仕様に従った) デカップリング容量が重要です。 $V_{BOR-VDDIO-GB}$ の値は、システムレベルの設計上の考慮事項であり、ここには、多くのアプリケーションについて一般的な電圧を示しています。
- (6) 3.3V レールが上昇してから、1.2V レールが上昇するまでの遅延。許容される電源上昇下降シーケンスについては、「外部 VREG シーケンスの概要」の表と「内蔵 VREG シーケンスの概要」の表を参照してください。
- (7) 標準値は 10 μF または 22 μF で、許容誤差は $\pm 20\%$ です。
- (8) 内蔵 VREG VDDIO のランプレートが 20mV/us 未満の場合、電源オン時に複数の XRSn トグルが生成される可能性があります。複数の XRSn トグルが生成されてもシステムレベルの懸念が生じない場合は、VDDIO の最小ランプレートである 3mV/us も許容されます。

6.12.1.5.2 パワー マネージメント モジュールの特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
V_{VREG}	内部電圧レギュレータ出力	1.14	1.2	1.26	V
$V_{VREG-PU}$	内部電圧レギュレータのパワーアップ時間			350	us
$V_{VREG-INRUSH}$ (5)	内部電圧レギュレータの突入電流		1150		mA
$V_{POR-VDDIO}$	VDDIO パワーオンリセット電圧	XRSn 解除前および解除後	2.3		V
$V_{BOR-VDDIO-UP}$ (1)	上昇時の VDDIO ブラウンアウトリセット電圧	XRSn 解除前	2.7		V
$V_{BOR-VDDIO-DOWN}$ (1)	下降時の VDDIO ブラウンアウトリセット電圧	XRSn 解除後	2.81	3.0	V

6.12.1.5.2 パワー マネージメント モジュールの特性 (続き)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{POR-VDD-UP} (2)	上昇時の VDD パワー オン リセット電圧	XRSn 解除前		1		V
V _{POR-VDD-DOWN} (2)	下降時の VDD パワー オン リセット電圧	XRSn 解除後		1		V
V _{XRSn-PU-DELAY} (3)	パワーアップ時の電源上昇から XRSn 解除までの遅延	内蔵 VREG		40		us
V _{XRSn-PU-DELAY} (3)	パワーアップ時の電源上昇から XRSn 解除までの遅延	外部 VREG		320		us
V _{XRSn-PD-DELAY} (4)	パワーダウン時の電源下降から XRSn トリップまでの遅延			2		us
V _{DDIO-MON-TOT-DELAY}	VDDIO 監視のパスにおける合計遅延 (POR、BOR)			80		us
V _{XRSn-MON-RELEASE-DELAY}	VDD POR イベントから XRSn 解除までの遅延	内部 VREG、電源は動作範囲内		40		us
	VDDIO BOR から XRSn 解除までの遅延			40		us
	VDDIO POR イベントから XRSn 解除までの遅延			120		us
	VDD POR イベントから XRSn 解除までの遅延	外部 VREG、電源は動作範囲内		360		us
	VDDIO BOR から XRSn 解除までの遅延			360		us
	VDDIO POR イベントから XRSn 解除までの遅延			440		us

- (1) 「I/O BOR 動作領域」の図を参照してください。
- (2) V_{POR-VDD} はサポートされておらず、推奨動作条件を下回るレベルでトリップするように設定されています。VDD の監視が必要な場合は、外部監視回路が必要です。
- (3) 電源は、それぞれのレールの推奨最小動作条件を超えた後、完全に上昇したと見なされます。この遅延が有効になる前に、すべての POR および BOR 監視が解除される必要があります。
- (4) パワーダウン時に POR または BOR 監視がトリップすると、XRSn が直ちにトリップされます。この遅延時間は、POR、BOR 監視のどちらかのトリップから XRSn が Low になるまでの時間です。これは変動する可能性があり、電源の下降速度に依存します。
- (5) これは、内部 VREG がオンになったときに VDDIO レールに流れる過渡電流です。これにより、VREG がオンになると VDDIO レールに電圧降下が発生する可能性があり、その結果、VREG がステップ状に上昇する可能性があります。これによるデバイスへの悪影響はありませんが、必要があれば、VDDIO に十分なデカップリング コンデンサを使用するか、この過渡電流を供給できる LDO/DC-DC を選択することで効果を低減できます。

6.12.2 リセット タイミング

XRSn は、デバイスのリセット ピンです。入力およびオープンドレイン出力として機能します。このデバイスでは、パワーオン リセット (POR) およびブラウンアウト リセット (BOR) の監視回路を内蔵しています。電源投入時は、この監視回路が XRSn ピンを Low に駆動します。詳細については、「パワー マネージメント モジュール (PMM)」セクションを参照してください。ウォッチドッグ リセットまたは NMI ウォッチドッグ リセットも、ピンを LOW に駆動します。外部のオープン ドレイン回路によりピンを駆動して、デバイス リセットをアサートすることもできます。

XRSn と VDDIO の間に 2.2kΩ～10kΩ の抵抗を配置する必要があります。ノイズ フィルタリングのため、XRSn と VSS の間にコンデンサを配置します。容量は 100nF 以下にする必要があります。これらの値は、ウォッチドッグ リセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRSn ピンを V_{OL} に正しく駆動できるように決められています。図 6-19 に、リセットの推奨回路を示します。

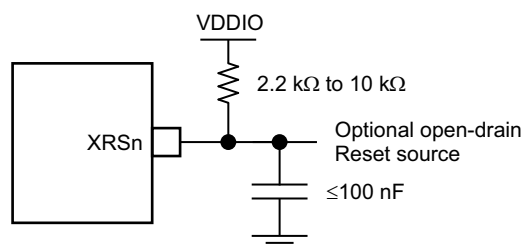


図 6-19. リセット回路

6.12.2.1 リセット ソース

「リセット信号」表に、各種のリセット信号と、デバイスへの影響をまとめます。

表 6-3. リセット信号

リセット ソース	CPU1 コアの リセット (C28x、TMU、 FPU、VCRC)	CPU1 ペリフェラルの リセット	CPU2 コアの リセット (C28x、TMU、 FPU、VCRC)	CPU2 ペリフェラルの リセット	JTAG / デバッ グ ロジックのリセ ット	IO	XRSn 出力
POR	あり	あり	あり	あり	あり	ハイ インピー ダンス	あり
XRSn ピン	あり	あり	あり	あり	-	ハイ インピー ダンス	-
CPU1.SIMRESET.XRSn	あり	あり	あり	あり	-	ハイ インピー ダンス	あり
CPU1. $\overline{\text{WDRS}}$	あり	あり	あり	あり	-	ハイ インピー ダンス	あり
CPU1. $\overline{\text{NMIWDRS}}$	あり	あり	あり	あり	-	ハイ インピー ダンス	あり
CPU1. $\overline{\text{SYSRS}}$ (デバッグ リセ ット)	あり	あり	あり	あり	-	ハイ インピー ダンス	-
CPU1.SIMRESET.CPU1RSn	あり	あり	あり	あり	-	ハイ インピー ダンス	-
CPU1. $\overline{\text{SCCRESET}}$	あり	あり	あり	あり	-	ハイ インピー ダンス	-
CPU1. $\overline{\text{HWBISTR}}$	あり	-	-	-	-	-	-
CPU2. $\overline{\text{SYSRS}}$ (デバッグ リセ ット)	-	-	あり	あり	-	-	-
CPU2. $\overline{\text{WDRS}}$	-	-	あり	あり	-	-	-
CPU2. $\overline{\text{NMIWDRS}}$	-	-	あり	あり	-	-	-
CPU2. $\overline{\text{SCCRESET}}$	-	-	あり	あり	-	-	-

表 6-3. リセット信号 (続き)

リセットソース	CPU1 コアの リセット (C28x, TMU, FPU, VCRC)	CPU1 ペリフェラルの リセット	CPU2 コアの リセット (C28x, TMU, FPU, VCRC)	CPU2 ペリフェラルの リセット	JTAG / デバッ グ ロジックのリセ ット	IO	XRSn 出力
CPU2. HWBISTR $\overline{S}$	-	-	あり	-	-	-	-
ECAT_RESET_OUT	あり	あり	あり	あり	-	ハイインピー ダンス	あり

パラメータ $t_{h(\text{boot-mode})}$ は、これらのソースから開始されたいずれのリセットにも対応する必要があります。

『TMS320F28P65x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「システム制御」の章にある「リセット」セクションを参照してください。

注意

一部のリセットソースはデバイスによって内部で駆動されます。これらのソースの一部は XRSn を LOW に駆動します。これを使って、ブートピンを駆動する他のデバイスをディセーブルにします。SCCRESET およびデバッガのリセットソースは、XRSn を駆動しません。したがって、ブートモードに使用されるピンが、システム内の他のデバイスによってアクティブに駆動されないようにする必要があります。ブート構成には、OTP によってブートピンを変更する機能があります。

6.12.2.2 リセットの電気的データおよびタイミング

6.12.2.2.1 リセット XRSn のタイミング要件

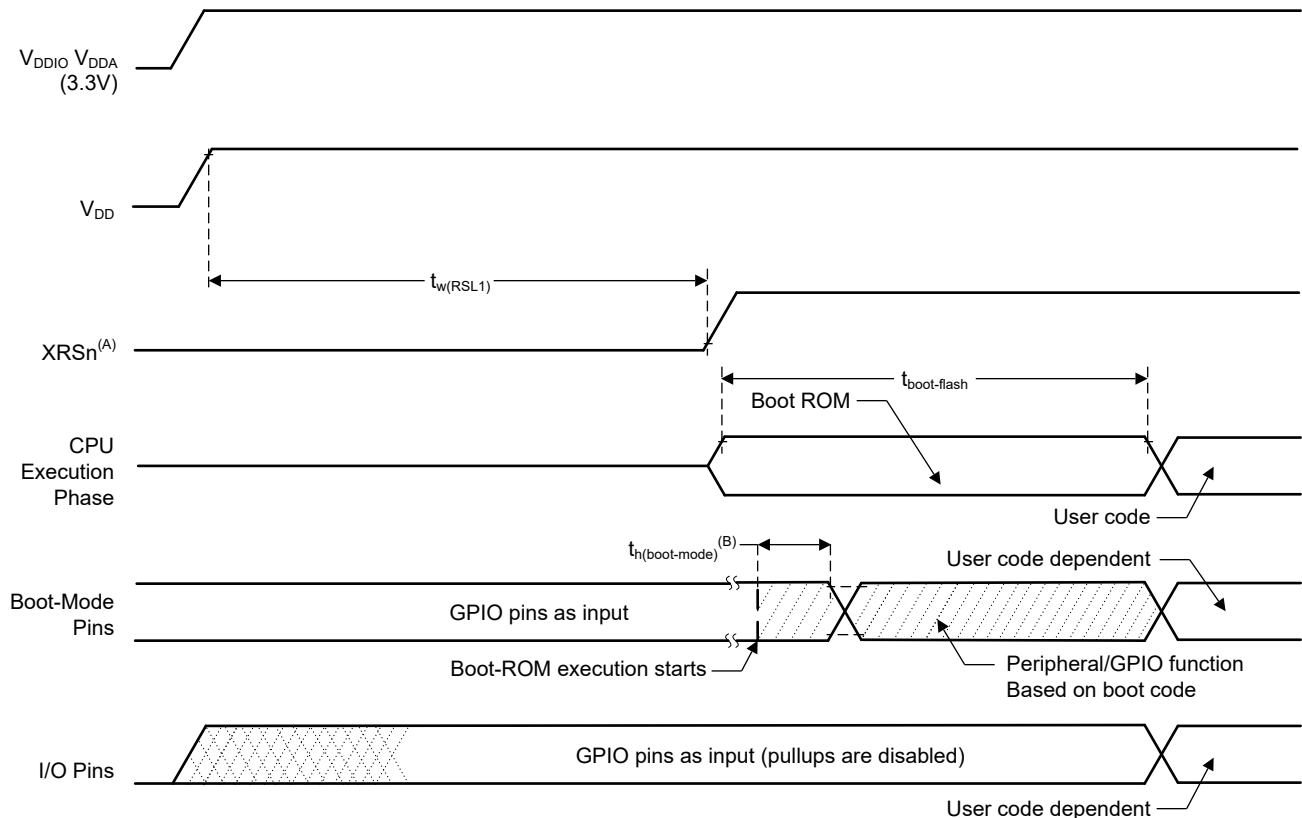
		最小値	最大値	単位
$t_{h(\text{boot-mode})}$	ブート モード ピンのホールド時間	1.5		ms
$t_{w(\text{RSL2})}$	パルス幅。ウォーム リセット時に XRSn が LOW	3.2		μs

6.12.2.2.2 リセット XRSn のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

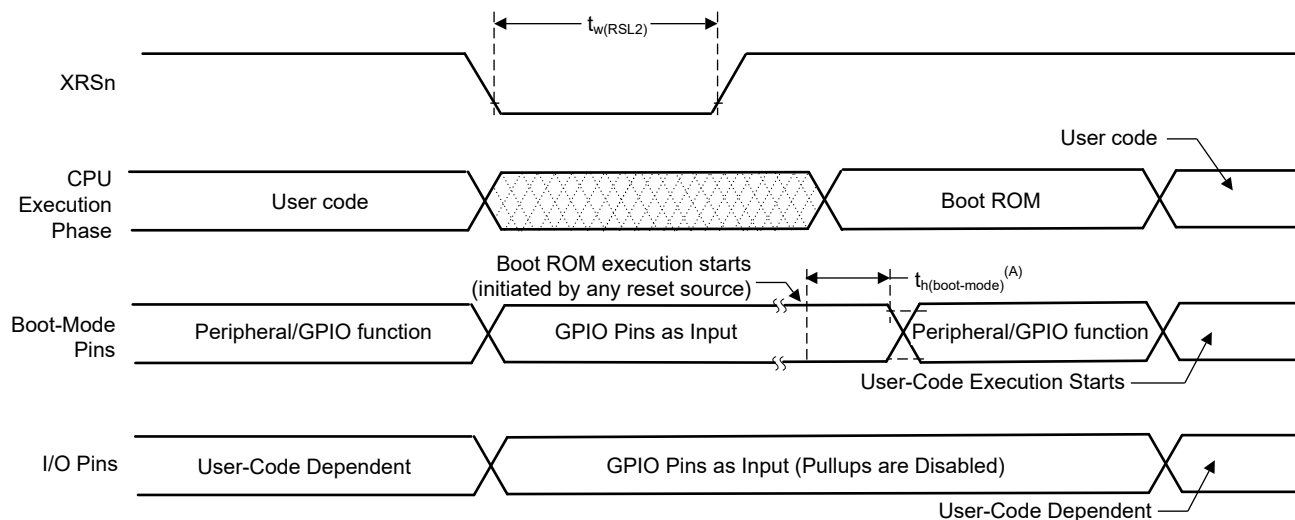
パラメータ		最小値	標準値	最大値	単位
$t_{w(\text{RSL1})}$	パルス幅。電源が安定した後、デバイスが XRSn を Low に駆動している期間		100		μs
$t_{w(\text{WDRS})}$	パルス幅、ウォッチドッグによって生成されるリセット パルス		$512t_{c(\text{OSCCCLK})}$		サイクル
$t_{\text{boot-flash}}$	フラッシュ内での最初の命令フェッチまでのブート ROM 実行時間			1.2	ms

6.12.2.2.3 リセットのタイミング図



- XRSn ピンは、外部のスーパーバイザまたはプルアップ抵抗によって駆動することができます。「ピン属性」の表を参照してください。オンチップのモニターは、電源が有効範囲になるまでこのピンを Low に保持します。
- いずれかのソースからリセットした後 (「リセット要因」セクションを参照)、ブート ROM コードは、ブート モード ピンをサンプリングします。ブート モード ピンの状態に基づいて、ブート コードは、飛び先のメモリまたはブート コード関数に分岐します。(デバッグ環境で) パワーオン状態の後にブート ROM コードが実行される場合、ブート コードの実行時間は現在の SYSCLK 速度に基づきます。SYSCLK はユーザー環境によって決まっております、PLL 有効の場合と無効の場合があります。

図 6-20. パワーオン リセット



- A. いずれかのソースからリセットした後（「リセット要因」セクションを参照）、ブート ROM コードは、ブート モード ピンをサンプリングします。ブート モード ピンの状態に基づいて、ブート コードは、飛び先のメモリまたはブート コード関数に分岐します。（デバッグ環境で）パワーオン状態の後にブート ROM コードが実行される場合、ブート コードの実行時間は現在の SYSCLK 速度に基づきます。SYSCLK はユーザー環境によって決まっており、PLL 有効の場合と無効の場合があります。

図 6-21. ウォーム リセット

6.12.3 クロック仕様

6.12.3.1 クロック・ソース

表 6-4. 使用可能な基準クロック ソース

クロック ソース	クロック対象モジュール	備考
INTOSC1	以下のものに対するクロック供給に使用できません。 - ウォッチドッグ ブロック - メイン PLL - CPU タイマ 2	内部発振器 1。 ゼロピン オーバーヘッド 10MHz 内部発振器。
INTOSC2 ⁽¹⁾	以下のものに対するクロック供給に使用できません。 - メイン PLL - 補助 PLL - CPU タイマ 2	内部発振器 2。 ゼロピン オーバーヘッド 10MHz 内部発振器。
XTAL	以下のものに対するクロック供給に使用できません。 - メイン PLL - 補助 PLL - CPU タイマ 2	X1 ピンと X2 ピンの間に接続された外付け水晶振動子もしくは発振子、または X1 ピンに接続されたシングルエンド クロック。
AUXCLKIN	以下のものに対するクロック供給に使用できません。 - 補助 PLL - CPU タイマ 2	シングルエンド 3.3V レベル クロック ソース。入力クロックの供給には、GPIO133/AUXCLKIN ピンを使用する必要があります。

(1) リセット時、内部発振器 2 (INTOSC2) は、システム PLL (OSCCLK) および補助 PLL (AUXOSCCLK) のデフォルト クロック ソースになっています。

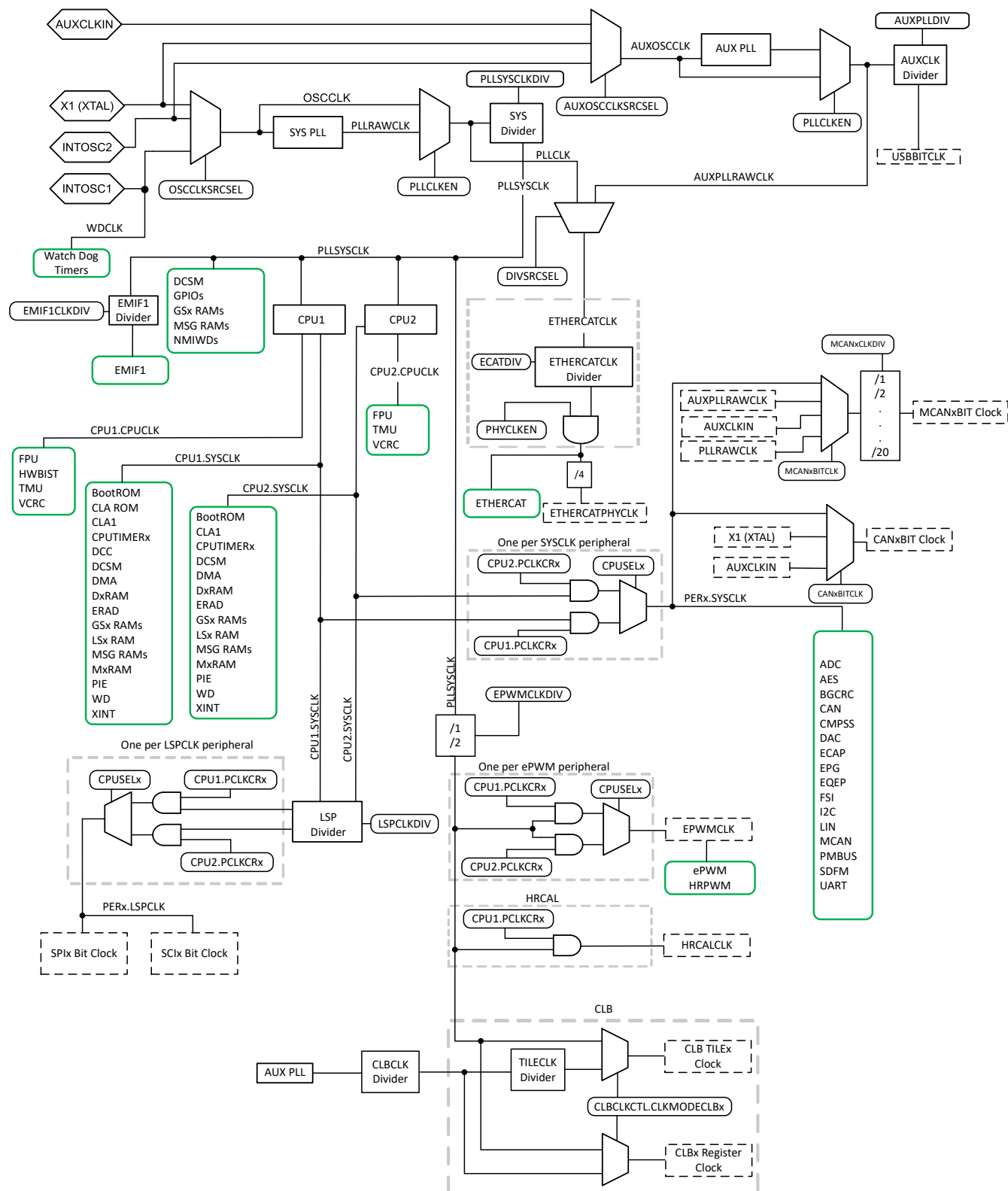


図 6-22. クロック供給システム

SYSPLL / AUXPLL

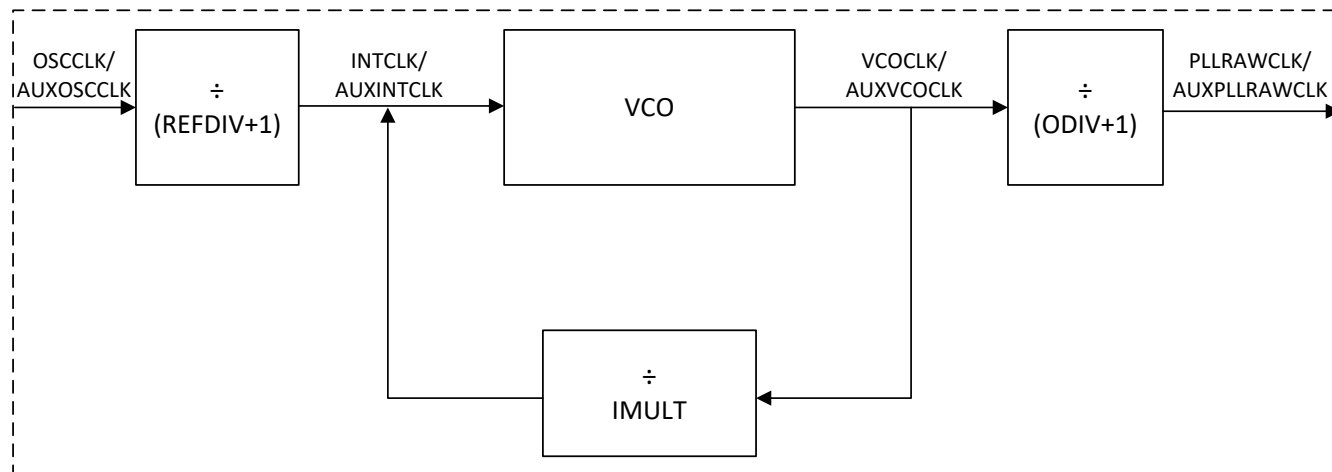


図 6-23. SYSPLL/AUXPLL

$$f_{PLLRAWCLK} = \frac{f_{OSCCLK}}{(REFDIV + 1)} \times \frac{IMULT}{(ODIV + 1)} \quad (1)$$

SYSPLL/AUXPLL の図:

$$f_{AUXPLLRAWCLK} = \frac{f_{AUXOSCCLK}}{(REFDIV + 1)} \times \frac{IMULT}{(ODIV + 1)}$$

6.12.3.2 クロック周波数、要件、および特性

このセクションでは、入力クロックの周波数およびタイミング要件、PLL ロック時間、内部クロックの周波数、出力クロックの周波数およびスイッチング特性について説明します。

6.12.3.2.1 入力クロック周波数およびタイミング要件、PLL ロック時間

6.12.3.2.1.1 入力クロック周波数

		最小値	最大値	単位
$f_{(XTAL)}$	外付け水晶振動子または発振子からの周波数、X1/X2	10	20	MHz
$f_{(X1)}$	外部発振器からの周波数、X1	10	25	MHz

6.12.3.2.1.2 XTAL 発振器の特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
X1 V_{IL}	有効 Low レベル入力電圧	-0.3		$0.3 * V_{DDIO}$	V
X1 V_{IH}	有効 High レベル入力電圧	$0.7 * V_{DDIO}$		$V_{DDIO} + 0.3$	V

6.12.3.2.1.3 外部の水晶振動子ではないクロック ソース使用時の X1 入力レベルの特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
X1 V_{IL}	有効 Low レベル入力電圧	-0.3	$0.3 * V_{DDIO}$	V
X1 V_{IH}	有効 High レベル入力電圧	$0.7 * V_{DDIO}$	$V_{DDIO} + 0.3$	V

6.12.3.2.1.4 X1 のタイミング要件

		最小値	最大値	単位
$t_{f(X1)}$	立ち下がり時間、X1		6	ns
$t_{r(X1)}$	立ち上がり時間、X1		6	ns
$t_{w(X1L)}$	パルス幅、 $t_{c(X1)}$ のうち X1 が Low の割合	45%	55%	
$t_{w(X1H)}$	パルス幅、 $t_{c(X1)}$ のうち X1 が High の割合	45%	55%	

6.12.3.2.1.5 AUXCLKIN のタイミング要件

		最小値	最大値	単位
$t_{f(AUXI)}$	立ち下がり時間、AUXCLKIN		6	ns
$t_{r(AUXI)}$	立ち上がり時間、AUXCLKIN		6	ns
$t_{w(AUXL)}$	パルス幅、 $t_{c(XCI)}$ のうち AUXCLKIN が Low の割合	45%	55%	
$t_{w(AUXH)}$	パルス幅、 $t_{c(XCI)}$ のうち AUXCLKIN が High の割合	45%	55%	

6.12.3.2.1.6 APLL の特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	最小値	標準値	最大値	単位
PLL ロック時間				
SYS/AUX PLL ロック時間 ⁽¹⁾		$5\mu s + (1024 * (REFDIV + 1) * t_{c(OSCCLK)})$		us

(1) ここでの PLL ロック時間は、PLL がイネーブルになった後に PLL がロックするまでの、標準所要時間を定義しています (SYSPLLCTL1[PILLENA] = 1)。デュアル クロック コンバータ (DCC) を使用した PLL クロックの確認に要する追加の時間は、ここでは考慮さ

れていません。PLL の初期化には、C2000Ware の最新のサンプル ソフトウェアを使用することを推奨します。システム PLL については、InitSysPll() または SysCtl_setClock() を参照してください。

6.12.3.2.1.7 XCLKOUT のスイッチング特性 (PLL バイパスまたはイネーブル)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ ⁽¹⁾		最小値	最大値	単位
t _f (XCO)	立ち下がり時間、XCLKOUT		5	ns
t _r (XCO)	立ち上がり時間、XCLKOUT		5	ns
t _w (XCOLD)	パルス幅、XCLKOUT Low	H - 2 ⁽²⁾	H + 2 ⁽²⁾	ns
t _w (XCOH)	パルス幅、XCLKOUT High	H - 2 ⁽²⁾	H + 2 ⁽²⁾	ns
f _(XCO)	周波数、XCLKOUT		50	MHz

(1) これらのパラメータでは、40pF の負荷を想定しています。

(2) $H = 0.5t_{c(XCO)}$

6.12.3.2.1.8 内部クロック周波数

		最小値	代表値	最大値	単位
f _(SYSCLK)	周波数、デバイス (システム) クロック	2		200	MHz
t _c (SYSCLK)	周期、デバイス (システム) クロック	5		500	ns
f _(INTCLK)	周波数、システム PLL が VCO に移行 (REFDIV 後) ⁽¹⁾	10		25	MHz
f _(VCOCLK)	周波数、システム PLL は VCO (ODIV 前)	220		600	MHz
f _(PLLRAWCLK)	周波数、システム PLL 出力 (SYSCLK 分周器より前)	6		400	MHz
f _(AUXINTCLK)	周波数、補助 PLL が VCO に移行 (REFDIV 後)	10		25	MHz
f _(AUXVCOCLK)	周波数、補助 PLL は VCO (ODIV 前)	220		600	MHz
f _(AUXPLLRAWCLK)	周波数、補助 PLL 出力 (AUXCLK 分周器より前)	6		400	MHz
f _(PLL)	周波数、PLLSYSCLK	2		200	MHz
f _(PLL_LIMP)	周波数、PLL のリンプ周波数 ⁽²⁾		45/(ODIV + 1)		MHz
f _(AUXPLL)	周波数、AUXPLLCLK	2		150	MHz
f _(AUXPLL_LIMP)	周波数、AUXPLL のリンプ周波数 ⁽³⁾		45/(ODIV + 1)		MHz
f _(LSP)	周波数、LSPCLK	2		200	MHz
t _c (LSPCLK)	周期、LSPCLK	5		500	ns
f _(OSCCCLK)	周波数、OSCCCLK (INTOSC1 または INTOSC2 または XTAL または X1)		それぞれのクロックを参照		MHz
f _(AUXOSCCCLK)	周波数、補助 OSCCLK (INTOSC1 または INTOSC2 または XTAL または X1)		それぞれのクロックを参照		MHz
f _(EPWM)	周波数、EPWMCLK			200	MHz
f _(HRPWM)	周波数、HRPWMCLK	60		200	MHz

(1) ±3% の分解能を持つ INTOSC1 および INTOSC2 を PLL のリファレンス・クロックとして使用可能

(2) OSCCLK が停止状態のときの PLL 出力周波数 (OSCCCLK が失われると PLL がリンプになります)

(3) AUXOSCCCLK が停止状態のときの PLL 出力周波数 (AUXOSCCCLK が失われると AUXPLL がリンプになります)

6.12.3.3 入力クロック

内蔵の 0 ピン発振器に加えて、複数の外部クロック ソース オプションも利用できます。図 6-24 に、水晶振動子、発振子、発振器をピン X1/X2 (XTAL と呼ばれます) および AUXCLKIN に接続するための推奨方法を示します。

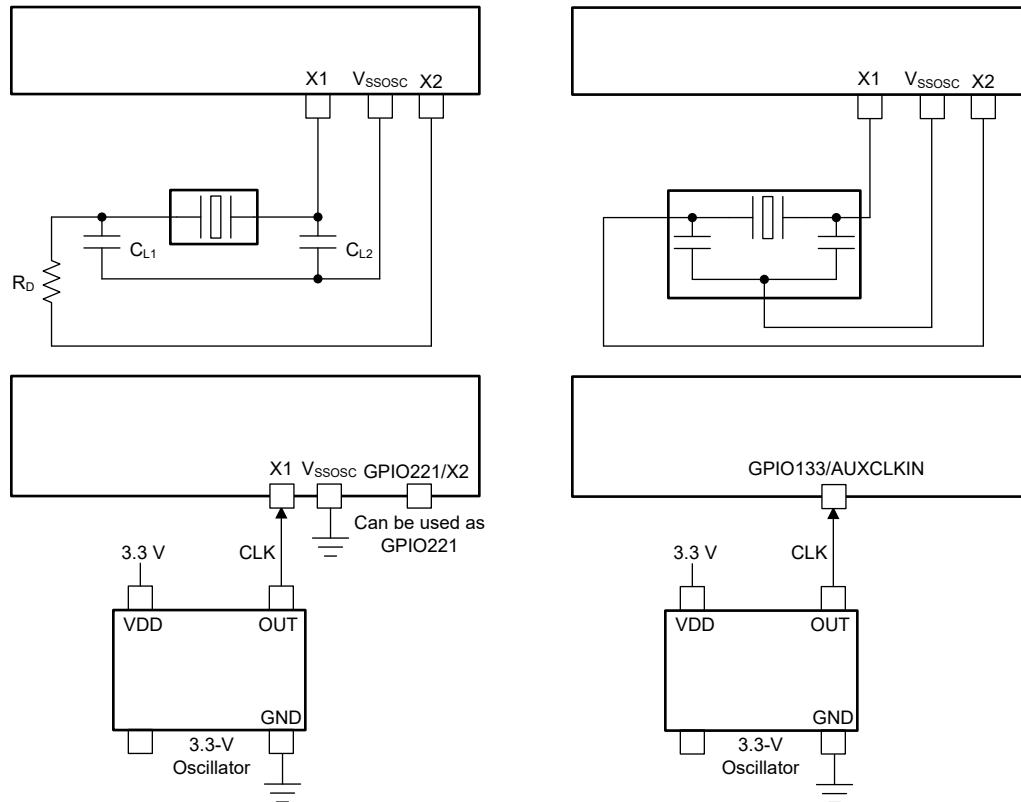


図 6-24. 入力クロックの F28P65x デバイスへの接続

6.12.3.4 XTAL 発振器

6.12.3.4.1 はじめに

このデバイスの水晶発振器は、内蔵の電気発振回路であり、適合する水晶振動子 (またはセラミック共振器) と組み合わせると、デバイスが必要とするシステム・クロックを生成できます。

6.12.3.4.2 概要

以下のセクションでは、電気発振回路と水晶振動子の部品について説明します。

6.12.3.4.2.1 電気発振回路

このデバイスの電気発振回路は、ピアス発振器です。これは正帰還インバータ回路であり、発振するためにはチューニング回路が必要です。この発振器に適合する水晶振動子と組み合わせると、タンク回路が形成されます。このタンク回路は、水晶振動子の基本周波数で発振します。このデバイスでは、発振器は、並列容量 (C0) および必要な負荷容量 (CL) によって、並列共振モードで動作するように設計されています。図 6-25 に、電気発振回路とタンク回路の部品を示します。

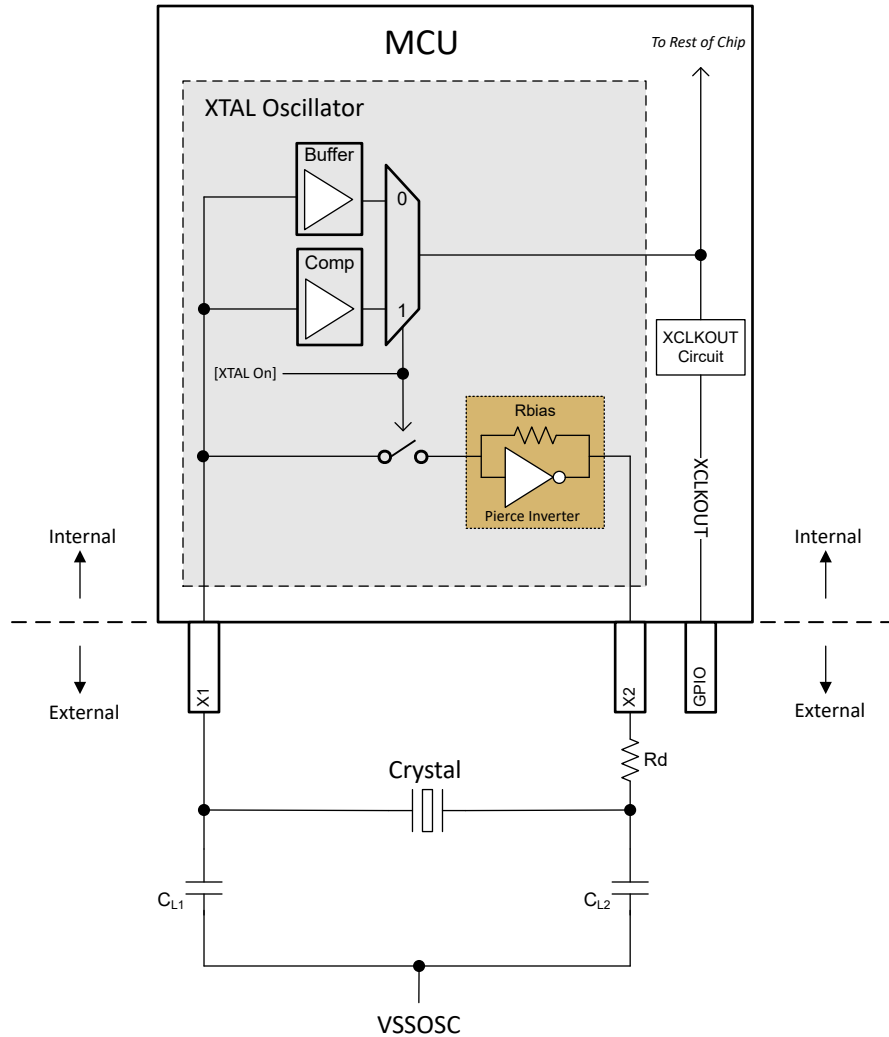


図 6-25. 電気発振回路のブロック図

6.12.3.4.2.1.1 動作モード

このデバイスの電気発振回路には、水晶振動子モードとシングルエンド・モードの 2 つの動作モードがあります。

6.12.3.4.2.1.1.1 水晶動作モード

水晶動作モードでは、負荷コンデンサ付きの水晶振動子を X1 および X2 に接続する必要があります。

この動作モードは、[XTAL On] = 1 のとき、すなわち XTALCR.OSCOFF = 0 および XTALCR.SE = 0 に設定することにより有効になります。帰還ループには内部バイアス抵抗があるため、外部バイアス抵抗は使用しないでください。外付けバイアス抵抗を追加すると、内部 Rbias と並列の抵抗ができて、バイアス動作点が移動し、クリップされた波形、仕様外のデューティ・サイクル、および実効負抵抗の減少につながる可能性があります。

この動作モードでは、結果として X1 に得られたクロックが、コンパレータ (Comp) を経由してチップの他の部分に渡されます。X1 のクロックは、コンパレータの VIH と VIL を満たす必要があります。コンパレータの VIH および VIL の要件については、「XTAL 発振器の特性」表を参照してください。

6.12.3.4.2.1.1.2 シングルエンド動作モード

シングルエンド動作モードでは、クロック信号は X1 に接続され、X2 は未接続のままです。このモードでは水晶振動子を使用しないでください。

このモードは、[XTAL On] = 0 のときにイネーブルになります。これは、XTALCR.OSCOFF = 1 および XTALCR.SE = 1 を設定することで実現できます。

この動作モードでは、X1 のクロックがバッファを経由してチップの他の部分に渡されます。バッファの入力要件については、「外部クロック・ソース (水晶振動子ではない) 使用時の X1 入力レベルの特性」表を参照してください。

6.12.3.4.2.1.2 XCLKOUT での XTAL 出力

チップの他の部分に供給される電気発振回路の出力は、CLKSRCCTL3.XCLKOUTSEL および XCLKOUTDIVSEL.XCLKOUTDIV レジスタを構成することにより、XCLKOUT で観察できます。XCLKOUT が出力される GPIO のリストについては、「GPIO 多重化ピン」表を参照してください。

6.12.3.4.2.2 水晶振動子

電気的には、水晶振動子は LCR (インダクタ-コンデンサ-抵抗) 回路で表現できます。ただし、LCR 回路と違って、直列抵抗が低いため、水晶振動子の Q 値は非常に高く、また、非常に減衰が小さくなっています。水晶振動子の要素を [図 6-26](#) に示し、以下で説明します。

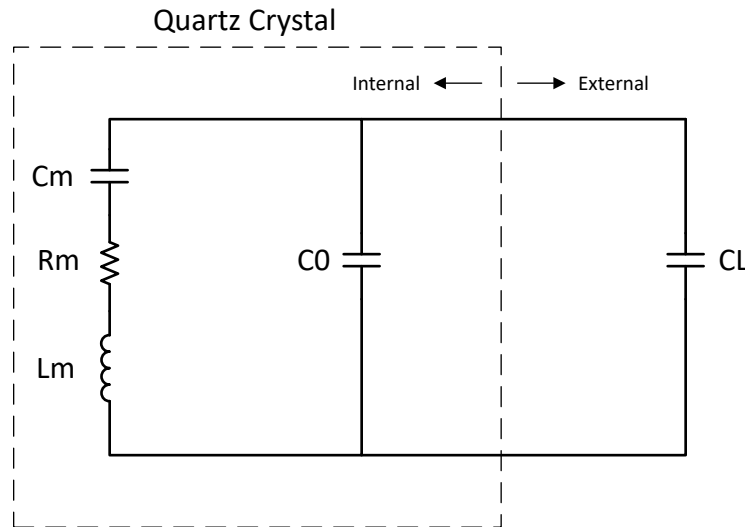


図 6-26. 水晶振動子の電氣的表現

Cm (直列容量): 水晶の弾性を表します。

Rm (直列抵抗): 水晶振動子内の抵抗性損失を表します。これは水晶の ESR ではありませんが、他の水晶振動子の要素の値によっては、近似できます。

Lm (直列インダクタンス): 水晶振動子の振動質量を表します。

C0 (並列容量): 水晶振動子の 2 つの電極と浮遊パッケージ容量から形成される静電容量。

CL (負荷容量): これは、水晶振動子の電極における実効的な容量であり、水晶の外部にあるものです。水晶振動子のデータシートで規定されている周波数 ppm は、通常、CL パラメータに関連付けられています。

ほとんどの水晶振動子メーカーでは、水晶振動子の 2 つのピンにおける実効容量として CL を指定していますが、一部の水晶振動子メーカーでは、水晶振動子ピンの 1 つだけの容量として CL を指定していることに注意してください。計算で正しい値を使用するために、CL の指定方法については、水晶振動子のメーカーにお問い合わせください。

[図 6-25](#) によれば、CL1 と CL2 が直列になっているので、水晶振動子から見た等価合計容量を求めるには、静電容量の直列式を適用して、CL1 = CL2 の場合、単純に [CL1]/2 と計算する必要があります。

この値には、浮遊 PCB 容量を加算することを推奨します。3pF～5pF が妥当な推定値ですが、実際の値は対象となる PCB によって異なります。

負荷容量は、電気発振回路と水晶振動子の両方に対する要件であることに注意してください。選択する値は、電気発振回路と水晶振動子の両方を満たす必要があります。

水晶振動子に対する CL の影響は周波数変動です。実効負荷容量が目標値よりも小さい場合、水晶周波数が高くなり、その逆も同様です。ただし、通常、周波数変動の影響は非常に小さく、一般的には公称周波数から 10ppm 未満の変動となります。

6.12.3.4.2.3 GPIO 動作モード

『TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「外部発振器 (XTAL)」セクションを参照してください。

6.12.3.4.3 機能動作

6.12.3.4.3.1 ESR – 等価直列抵抗

等価直列抵抗は、共振時に水晶振動子が電気発振回路に与える抵抗性負荷です。ESR が大きくなるほど Q が低くなり、水晶振動子が起動または発振を維持する可能性が低くなります。ESR と水晶振動子の関係を以下に示します。

$$ESR = Rm * \left(1 + \frac{C0}{CL}\right)^2 \quad (2)$$

ESR は、水晶振動子の直列抵抗と等しくはありませんが、実効負荷容量が並列容量よりもはるかに大きい場合は近似できます。

6.12.3.4.3.2 Rneg – 負性抵抗

負性抵抗は、電気発振回路から水晶振動子に示されるインピーダンスです。発振中に発生する損失を打ち消すために、電気発振回路が水晶に供給すべきエネルギーの量です。Rneg は、回路がエネルギーを消費するのではなく供給していることを表しており、回路全体のゲインとみなすこともできます。

一般的に受け入れられる方法としては、あらゆる条件下で水晶振動子が確実に起動するように、Rneg > 3x ESR から 5x ESR に設定することです。水晶振動子の起動に必要なエネルギーは、発振を維持するためのエネルギーよりもわずかに多いことに注意してください。したがって、起動時に負性抵抗要件が満たされていることが保証されている場合、発振の維持は問題になりません。

図 6-27 および 図 6-28 に、このデバイスの負性抵抗と水晶振動子の間の関係の変動を示します。グラフからわかるように、水晶振動子の並列容量 (C0) と実効負荷容量 (CL) は電気発振回路の負性抵抗に大きな影響を及ぼします。これらは代表的なグラフであるため、設計上考慮すべき最小値および最大値については、表 6-5 を参照してください。

6.12.3.4.3.3 起動時間

水晶発振回路の部品を選択する際には、起動時間が重要な考慮事項になります。「Rneg – 負性抵抗」セクションで説明したように、あらゆる条件下で信頼性の高い起動を実現するには、水晶振動子の ESR に対して、Rneg > 3x ESR から 5x ESR にすることを推奨します。

水晶の ESR およびダンピング抵抗 (Rd) は、起動時間に大きな影響を及ぼします。この 2 つの値が大きいほど、水晶振動子の起動にかかる時間は長くなります。起動時間が長い場合は、通常、水晶振動子と部品が正しく適合していないことを示す兆候です。

標準的な起動時間については、「水晶発振回路の仕様」セクションを参照してください。ここに記載されている数値は、参考用に提供されている標準的な数値であることに注意してください。実際の起動時間は、対象の水晶振動子と外付け部品に大きく依存します。

6.12.3.4.3.4 DL – 励振レベル

励振レベルとは、電気発振回路によって供給され、水晶によって消費される電力を意味します。水晶メーカーのデータシートに記載されている最大励振レベルは、通常、損傷や動作寿命の大幅な短縮なしに水晶振動子が消費できる最大値です。一方、電気発振回路で規定されている励振レベルは、供給可能な最大電力です。実際に電気発振回路から供給される電力は、必ずしも最大電力ではなく、水晶振動子と基板の部品によって決まります。

電気発振回路からの実際の励振レベルが水晶振動子の最大励振レベル仕様を超える場合は、ダンピング抵抗 (R_d) を取り付けて電流を制限し、水晶振動子によって消費される電力を低減する必要があります。 R_d は回路のゲインを低下させることに注意してください。したがって、実際に使用する値を評価して、スタートアップおよび持続的な発振に関する他のすべての条件が満たされていることを確認する必要があります。

6.12.3.4.4 水晶振動子の選択方法

「水晶発振器の仕様」を参照してください。

1. 水晶周波数を選択します (たとえば 20MHz)。
2. 20MHz に対する仕様として、水晶振動子の ESR が 50Ω 以下であることを確認します。
3. 20MHz に対する仕様として、水晶メーカーの負荷容量要件が 6pF ~ 12pF の範囲内であることを確認します。
 - すでに説明したように、CL1 と CL2 は直列に配置されているので、CL1 = CL2 の場合、実効負荷容量 CL = $[CL1]/2$ となります。
 - この結果に基板の寄生成分を加算すると、CL = $[CL1]/2 + \text{浮遊容量}$ となります。
4. 水晶振動子の最大励振レベルが 1mW 以上であることを確認します。この要件が満たされていない場合は、ダンピング抵抗 R_d を使用できます。 R_d を使用するときの他の注意点については「DL – 励振レベル」を参照してください。

6.12.3.4.5 テスト

水晶振動子が常に起動して発振を維持できるように、ユーザーが水晶振動子のメーカーに依頼して、その基板での水晶振動子の特性を完全に評価することを推奨します。

以下に、実行可能ないくつかの測定の概要を示します。

水晶発振回路は静電容量に影響を受けやすいので、スコープ プローブを X1 および X2 に接続しないことを推奨します。スコープ プローブを使用して X1/X2 を監視する必要がある場合は、1pF 未満の容量を持つアクティブ プローブを使用する必要があります。

周波数

1. XCLKOUT の XTAL を引き出します。
2. この周波数を水晶周波数として測定します。

負性抵抗

1. XCLKOUT の XTAL を引き出します。
2. 負荷コンデンサの間に、水晶振動子と直列にポテンショメータを配置します。
3. XCLKOUT のクロックが停止するまで、ポテンショメータの抵抗を上げます。
4. この抵抗と水晶振動子の実際の ESR の和が、電気発振回路の負性抵抗です。

起動時間

1. XTAL をオフにします。
2. XCLKOUT の XTAL を引き出します。
3. XTAL をオンにして、XCLKOUT のクロックが 45% および 55% のデューティ サイクル内に維持されるまでに要する時間を測定します。

6.12.3.4.6 一般的な問題とデバッグのヒント

水晶振動子が起動しない

- 「水晶振動子の選択方法」セクションを読んで、記述に反する状況がないことを確認します。

水晶振動子の起動に長い時間を要する

- ダンピング抵抗 R_d を取り付けている場合、抵抗 R_d が大きすぎます。
- ダンピング抵抗を取り付けていない場合、水晶振動子の ESR が高すぎるか、または、負荷容量が大きい回路全体のゲインが低すぎるかのどちらかです。

6.12.3.4.7 水晶発振回路の仕様

6.12.3.4.7.1 水晶振動子の等価直列抵抗 (ESR) 要件

「水晶振動子の等価直列抵抗 (ESR) 要件」表について:

- 水晶振動子の並列容量 (C0) は 7pF 以下である必要があります。
- ESR = 負性抵抗 / 3

表 6-5. 水晶振動子の等価直列抵抗 (ESR) 要件

水晶振動子の周波数 (MHz)	最大 ESR (Ω) (CL1 = CL2 = 12pF)	最大 ESR (Ω) (CL1 = CL2 = 24pF)
10	55	110
12	50	95
14	50	90
16	45	75
18	45	65
20	45	50

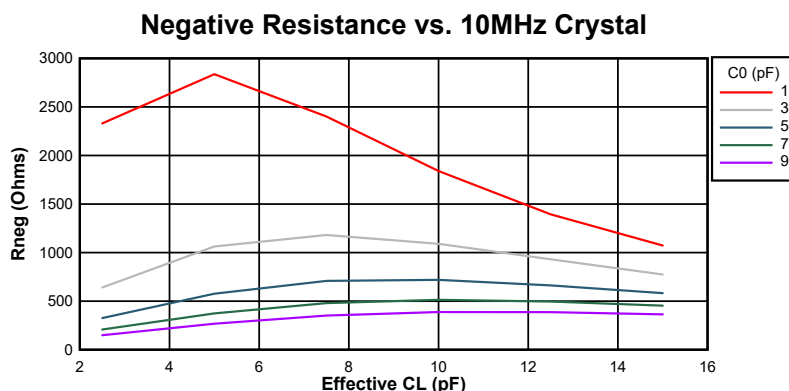


図 6-27. 10MHz 時の負性抵抗変動

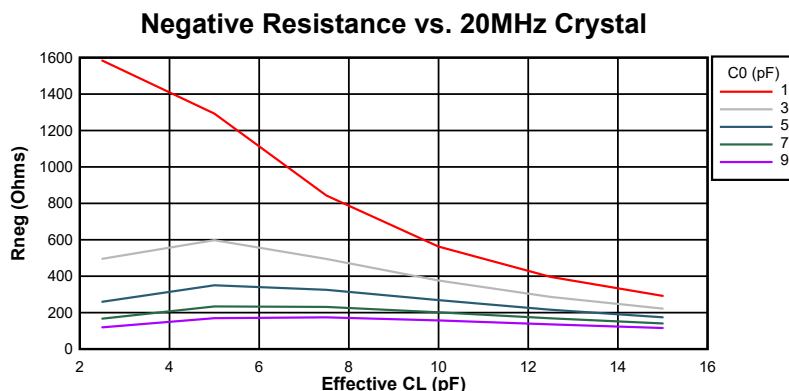


図 6-28. 20MHz 時の負性抵抗変動

6.12.3.4.7.2 水晶発振器のパラメータ

		最小値	最大値	単位
CL1, CL2	負荷容量	12	24	pF
C0	水晶振動子のシャント容量		7	pF

6.12.3.4.7.3 水晶発振器の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
起動時間 ⁽¹⁾	f = 10MHz	ESR MAX = 110Ω CL1 = CL2 = 24pF C0 = 7pF		4		ms
	f = 20MHz	ESR MAX = 50Ω CL1 = CL2 = 24pF C0 = 7pF		2		ms
水晶振動子の励振レベル (DL)					1	mW

- (1) 起動時間は、水晶振動子とタンク回路の部品に依存します。テキサス・インスツルメンツでは、水晶振動子のベンダーに対して、選択した水晶振動子を使用してアプリケーションの特性を評価することを推奨しています。

6.12.3.5 内部発振器

ボード製造コストとアプリケーション開発期間を削減するために、すべての デバイスには、INTOSC1 および INTOSC2 という 2 つの独立した内部発振器が搭載されています。デフォルトでは、INTOSC2 がシステム リファレンス クロック (OSCCLK) のソースとして設定され、INTOSC1 はバックアップ クロックのソースとして設定されます。

SCI のボーレートをより厳密に一致させる必要のあるアプリケーションには、C2000Ware から提供されている、SCI ボーチューニングの例 (baud_tune_via_uart) が利用できます。

6.12.3.5.1 INTOSC 特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		パッケージ サ フィックス	テスト条件	最小値	標準値	最大値	単位
f_{INTOSC}	周波数、INTOSC1 および INTOSC2 ⁽¹⁾	すべて	-40°C~125°C	9.7 (-3%)	10	10.3 (3.0%)	MHz
$f_{\text{INTOSC-STABILITY}}$	室温での周波数安定性	すべて	30°C、公称 VDD	± 0.1			%
$t_{\text{INTOSC-ST}}$	スタートアップおよびセトリング タイム	すべて		20			μs

- (1) INTOSC 周波数は、半田リフロー時の熱および機械的ストレスにより、変化する場合があります。リフロー後のペーキングにより、ユニット性能をデータシートの値に復元できます。

6.12.4 フラッシュ パラメータ

オンチップ フラッシュ メモリは CPU に密接に統合されており、フラッシュから 128 ビット幅のプリフェッチ読み取りおよびパイプライン バッファを経由してコードを直接実行できます。シーケンシャル コードのフラッシュ性能は、RAM からの実行と同じです。不連続性を考慮すると、ほとんどのアプリケーションは、RAM から実行されるコードに比べて約 80% の効率で動作します。

このデバイスには、デュアル コード セキュリティ モジュール (DCSM) に使用されるワンタイム プログラマブル (OTP) セクタもあります。これは、プログラム後に消去することはできません。

表 6-6 に、さまざまな周波数で必要とされるフラッシュの最小ウェイト状態を示します。「フラッシュ パラメータ」表に、フラッシュ パラメータを示します。

表 6-6. 異なるクロック ソースおよび周波数で必要な最小のフラッシュ ウェイト状態

CPUCLK (MHz)	ウェイト状態 (FRDCNTL[RWAIT] ⁽¹⁾)
160 < CPUCLK ≤ 200	4
120 < CPUCLK ≤ 160	3
80 < CPUCLK ≤ 120	2
0 < CPUCLK ≤ 80	1

(1) FRDCNTL[RWAIT] に必要な最小値は 1 で、RWAIT = 0 はサポートされていません。

6.12.4.1 フラッシュ パラメータ

パラメータ		最小値	標準値	最大値	単位
プログラム時間 ⁽¹⁾	128 データ ビット + 16 ECC ビット		62.5	625	μs
	2KB (セクタ)		8	80	ms
消去時間 ^{(2) (3)} (25 サイクル未満)	2KB (セクタ)		15	55	ms
	64KB		17	61	ms
	128KB		18	66	ms
	256KB		21	78	ms
消去時間 ^{(2) (3)} (1000 サイクル)	2KB (セクタ)		25	130	ms
	64KB		28	143	ms
	128KB		30	157	ms
	256KB		35	183	ms
消去時間 ^{(2) (3)} (2000 サイクル)	2KB (セクタ)		30	221	ms
	64KB		33	243	ms
	128KB		36	265	ms
	256KB		42	310	ms
消去時間 ^{(2) (3)} (20K サイクル)	2KB (セクタ)		120	1003	ms
	64KB		132	1102	ms
	128KB		145	1205	ms
	256KB		169	1410	ms
N _{wec} 書き込み / 消去サイクル (1 セクタごと)				20000	サイクル
N _{wec} 書き込み / 消去サイクル (デバイス全体)				100000	サイクル
t _{retention} データ保持期間 (T _J = 85°C)		20			年

- (1) プログラム時間は、デバイスの最大周波数におけるものです。プログラム時間には、フラッシュ ステート マシンのオーバーヘッドが含まれますが、以下に示すものを RAM に転送する時間は含まれていません。
- フラッシュ API を使用してフラッシュをプログラムするコード
 - フラッシュ API そのもの
 - プログラムすべきフラッシュ データ
- すなわち、この表に示す時間は、必要なすべてのコード / データがデバイス RAM に収容されて、プログラムの用意ができた後に適用されます。転送時間は、使用する JTAG デバッグ プローブの速度によって大きく異なります。
- プログラム時間の計算は、指定された動作周波数で一度に 144 ビットをプログラムするという条件に基づいています。プログラム時間には、CPU によるプログラム検証が含まれます。書き込み / 消去 (W/E) の繰り返しにより、プログラム時間が長くなることはありませんが、消去時間は長くなります。
- 消去時間には、CPU による消去検証が含まれ、データ転送時間は含まれません。
- (2) 消去時間には、CPU による消去検証が含まれます。
- (3) 本デバイスが テキサス・インスツルメンツから出荷される時、オンチップ フラッシュ メモリは消去された状態になっています。そのため、本デバイスを初めてプログラミングする場合、書き込みの前にフラッシュ メモリを消去する必要はありません。しかし、それ以降のすべての書き込み操作については、あらかじめ消去操作が必要です。

6.12.5 RAM の仕様

表 6-7. CPU1 の RAM パラメータ

RAM のタイプ	サイズ	フェッチ時間 (1) (サイクル)	読み取り時間 (1) (サイクル)	保存時間 (サイ クル)	バス幅	使用可能なバスの 数	待機状態 の数	バーストア クセス
GS RAM	80KB	2	2	1	16 / 32 ビ ット	4	0	なし
LS RAM	64KB	2	2	1	16 / 32 ビ ット	2	0	なし
Dx RAM ⁽²⁾	96KB	2	2	1	16 / 32 ビ ット	1	0	なし
M0	2KB	2	2	1	16 / 32 ビ ット	2	0	なし
M1	2KB	2	2	1	16 / 32 ビ ット	2	0	なし
CLA から CPU へのメッセ ージ RAM	256B	2	2	1	16 / 32 ビ ット	2	0	なし
CPU から CLA へのメッセ ージ RAM	256B	2	2	1	16 / 32 ビ ット	2	0	なし
CLA から DMA へのメッセ ージ RAM	256B	2	2	1	16 / 32 ビ ット	3	0	なし
DMA から CLA へのメッセ ージ RAM	256B	2	2	1	16 / 32 ビ ット	3	0	なし
CPU1 から CPU2 へのメッ セージ RAM	2KB	2	2	1	16 / 32 ビ ット	4	0	なし
CPU2 から CPU1 へのメッ セージ RAM	2KB	2	2	1	16 / 32 ビ ット	4	0	なし

(1) 読み取り / 書き込み / フェッチ間の調停なし。アクセスは 2 サイクルで完了します。それ以外の場合、調停優先度 (書き込み / 読み取り / フェッチ) に従います。

(2) Dx RAM 64KB は CPU2 と共有できます。そのため、CPU1 は 32KB ~ 96KB となり得ます。

表 6-8. CPU2 の RAM パラメータ

RAM のタイプ	サイズ	フェッチ時間 (1) (サイクル)	読み取り時間 (1) (サイクル)	保存時間 (サイ クル)	バス幅 (CPU/ DMA)	使用可能なバスの 数	待機状態 の数	バーストア クセス
GS RAM	80KB	2	2	1	16 / 32 ビ ット	4	0	なし
Dx RAM ⁽²⁾	64KB	2	2	1	16 / 32 ビ ット	1	0	なし
M0	2KB	2	2	1	16 / 32 ビ ット	2	0	なし
M1	2KB	2	2	1	16 / 32 ビ ット	2	0	なし
CPU1 から CPU2 へのメッ セージ RAM	2KB	2	2	1	16 / 32 ビ ット	4	0	なし
CPU2 から CPU1 へのメッ セージ RAM	2KB	2	2	1	16 / 32 ビ ット	4	0	なし

(1) 読み取り / 書き込み / フェッチ間の調停なし。アクセスは 2 サイクルで完了します。それ以外の場合、調停優先度 (書き込み / 読み取り / フェッチ) に従います。

(2) Dx RAM 64KB は CPU1 と共有できます。そのため、CPU2 は 0KB ~ 64KB となり得ます。

6.12.6 ROM の仕様

表 6-9. CPU1 の ROM パラメータ

ROM のタイプ	サイズ	フェッチ時間 (1) (サイクル)	読み取り時間 (1) (サイクル)	保存時間 (サイ クル)	バス幅	使用可能なバスの 数	待機状態 の数	バーストア クセス
ブート ROM	88KB	3	3	1	16 / 32 ビ ット	1	1	なし
セキュア ROM	16KB	3	3	1	16 / 32 ビ ット	1	1	なし
CLA データ ROM	8KB	2	2	1	16 / 32 ビ ット	2	0	なし

(1) 200 MHz について報告された最悪ケースの時間。

表 6-10. CPU2 の ROM パラメータ

ROM のタイプ	サイズ	フェッチ時間 (1) (サイクル)	読み取り時間 (1) (サイクル)	保存時間 (サイ クル)	バス幅 (CPU/ DMA)	使用可能なバスの 数	待機状態 の数	バーストア クセス
ブート ROM	88KB	3	3	1	16 / 32 ビ ット	1	1	なし
セキュア ROM	16KB	3	3	1	16 / 32 ビ ット	1	1	なし

(1) 200 MHz について報告された最悪ケースの時間。

6.12.7 エミュレーション/JTAG

JTAG (IEEE 規格 1149.1-1990 標準テスト アクセス ポートおよびバウンダリ スキャン アーキテクチャ) ポートには、4 つの専用ピンがあります。TMS、TDI、TDO、TCK。cJTAG (IEEE 規格 1149.7-2009、ピン数削減および拡張機能テスト アクセス ポートおよびバウンダリ スキャン アーキテクチャ用) ポートは、必要なピンが 2 本だけ (TMS および TCK) というコンパクトな JTAG インターフェイスであり、従来の GPIO222 (TDI) および GPIO223 (TDO) ピンに他のデバイス機能を多重化できます。

通常、MCU ターゲットと JTAG ヘッダーの間の距離が 6 インチ (15.24cm) 未満で、JTAG チェーンに他のデバイスが存在しない場合、JTAG 信号にバッファは必要ありません。それ以外の場合は、各信号をバッファする必要があります。さらに、10MHz で動作するほとんどの JTAG デバッグ プローブでは、JTAG 信号に直列抵抗は必要ありません。ただし、高いエミュレーション速度 (35MHz 程度) が想定される場合は、各 JTAG 信号に対して 22Ω の抵抗を直列に配置する必要があります。

JTAG デバッグ プローブ ヘッダーの PD (電源検出) ピンは、基板の 3.3V 電源に接続する必要があります。ヘッダーの GND ピンは、基板のグラウンドに接続する必要があります。TDIS (ケーブル切断検出) も基板のグラウンドに接続する必要があります。JTAG クロックは、ヘッダーの TCK 出力ピンからヘッダーの RTCK 入力ピンにループバックする必要があります (JTAG デバッグ プローブによるクロックの連続性を検出するため)。この MCU は、14 ピンおよび 20 ピンのエミュレーション ヘッダーに存在する EMU0 および EMU1 信号をサポートしていません。これらの信号は、常に、2.2kΩ~4.7kΩ の範囲 (デバッグ ポートの駆動能力によって異なります) の基板上のプルアップ抵抗ペアを経由して、エミュレーション ヘッダーでプルアップする必要があります。通常、2.2kΩ の値を使用します。

ヘッダーの $\overline{\text{RESET}}$ ピンは、JTAG デバッグ プローブ ヘッダーからのオープンドレイン出力であり、JTAG デバッグ プローブ コマンドを使用して基板のコンポーネントをリセットできます (20 ピンのヘッダーでのみ利用可能)。図 6-29 に、14 ピン JTAG ヘッダーを MCU の JTAG ポート信号に接続する方法を示します。図 6-30 に、20 ピン ヘッダーへの接続方法を示します。20 ピン JTAG ヘッダーの EMU2、EMU3、および EMU4 ピンは使用しないので、グラウンドに接続する必要があります。

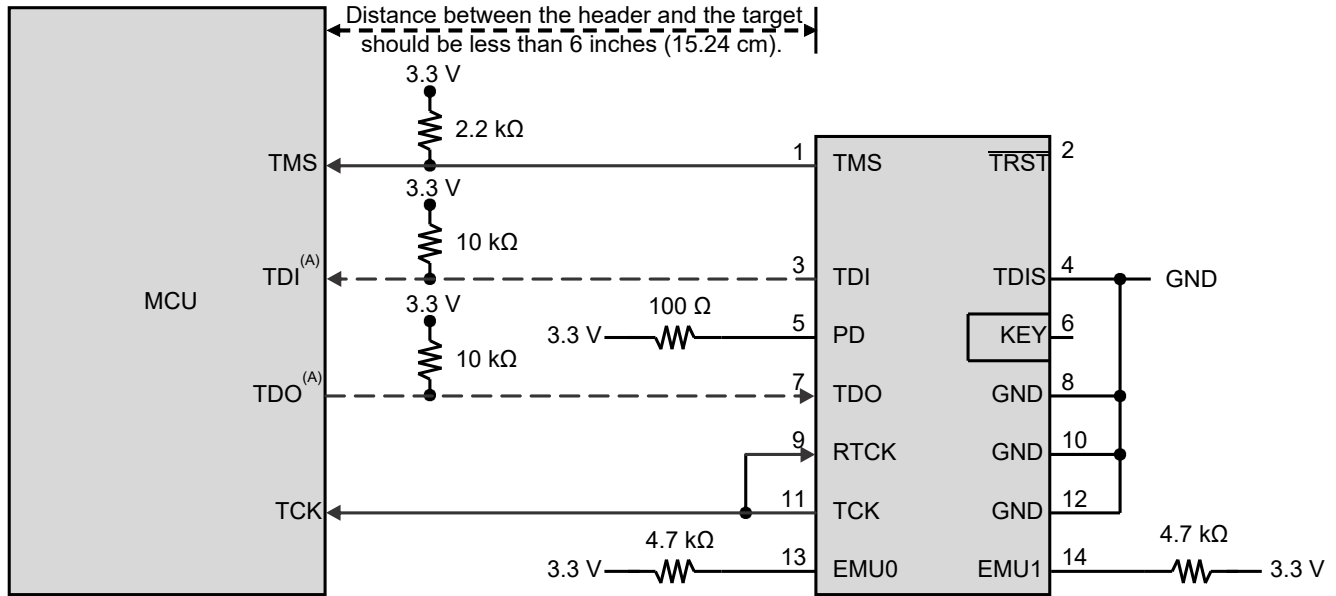
ハードウェア ブレークポイントとウォッチポイントの詳細については、『C2000 デバイス向け CCS でのハードウェア ブレークポイントとウォッチポイント』を参照してください。

JTAG エミュレーションの詳細については、『XDS ターゲット接続ガイド』を参照してください。

注

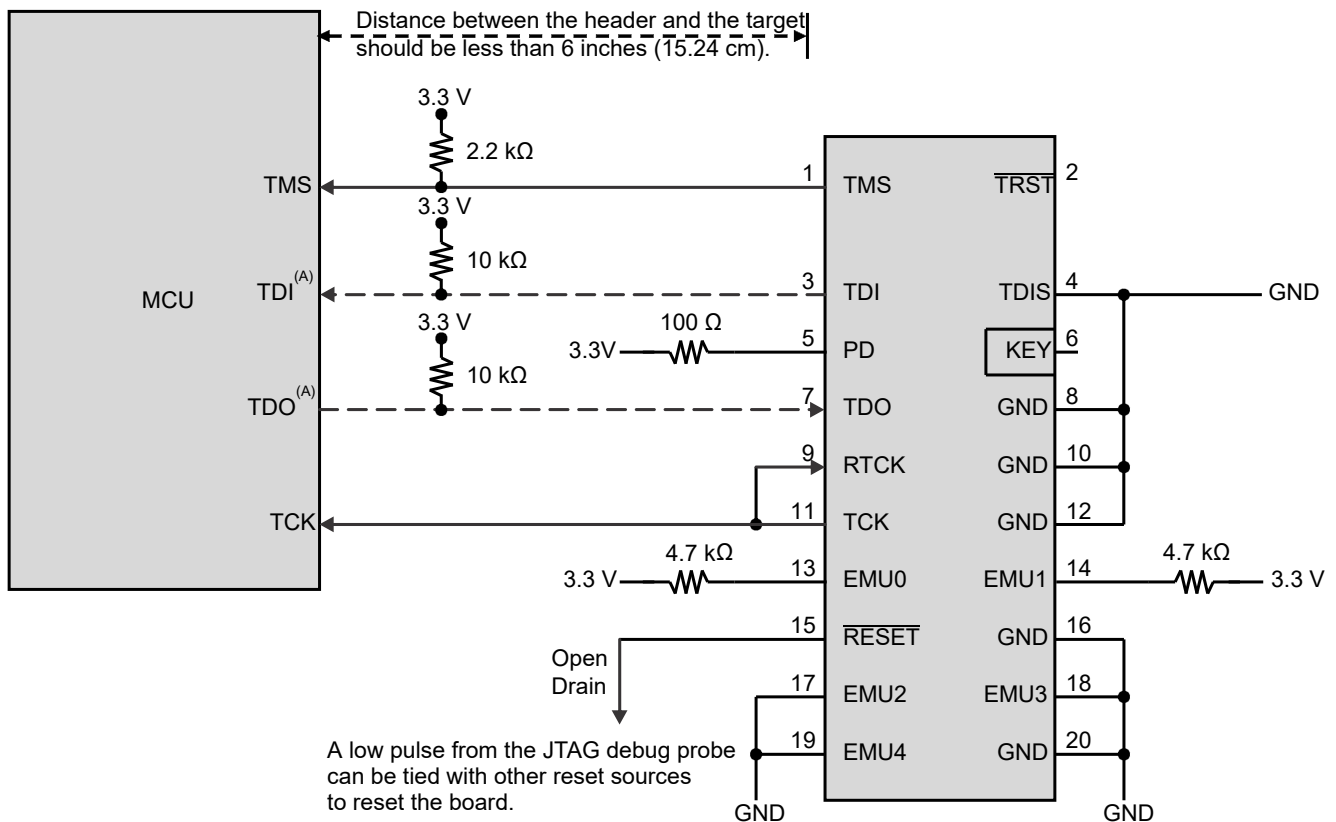
JTAG テスト データ入力 (TDI) は、このピンのデフォルトの多重化選択です。内部プルアップは、デフォルトでディセーブルになっている。このピンを JTAG の TDI として使用する場合は、入力がフローティングにならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要があります。cJTAG オプションでは、このピンを GPIO として使用できます。

JTAG テスト データ出力 (TDO) は、このピンのデフォルトの多重化選択です。内部プルアップは、デフォルトでディセーブルになっている。JTAG アクティビティがない場合、TDO 機能はトライステート状態になり、このピンはフローティングのままになります。GPIO 入力がフローティングにならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要があります。cJTAG オプションでは、このピンを GPIO として使用できます。



A. cJTAG オプションでは、TDI および TDO の接続は必要ありません。代わりに、これらのピンを GPIO として使用することができます。

図 6-29. 14 ピン JTAG ヘッダーへの接続



A. cJTAG オプションでは、TDI および TDO の接続は必要ありません。代わりに、これらのピンを GPIO として使用することができます。

図 6-30. 20 ピン JTAG ヘッダーへの接続

6.12.7.1 JTAG の電氣的データおよびタイミング

6.12.7.1.1 JTAG のタイミング要件

番号			最小値	最大値	単位
1	$t_c(\text{TCK})$	サイクル時間、TCK	66.66		ns
1a	$t_w(\text{TCKH})$	パルス幅、TCK High (t_c の 40%)	26.66		ns
1b	$t_w(\text{TCKL})$	パルス幅、TCK Low (t_c の 40%)	26.66		ns
3	$t_{su}(\text{TDI-TCKH})$	入力セットアップ時間、TDI 有効から TCK High まで	7		ns
3	$t_{su}(\text{TMS-TCKH})$	入力セットアップ時間、TMS 有効から TCK High まで	7		ns
4	$t_h(\text{TCKH-TDI})$	入力ホールド時間、TCK High から TDI 有効の間	7		ns
4	$t_h(\text{TCKH-TMS})$	入力ホールド時間、TCK High から TMS 有効の間	7		ns

6.12.7.1.2 JTAG スイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		最小値	最大値	単位
2	t _d (TCKL-TDO)	遅延時間、TCK LOW から TDO 有効まで	6	25	ns

6.12.7.1.3 JTAG のタイミング図

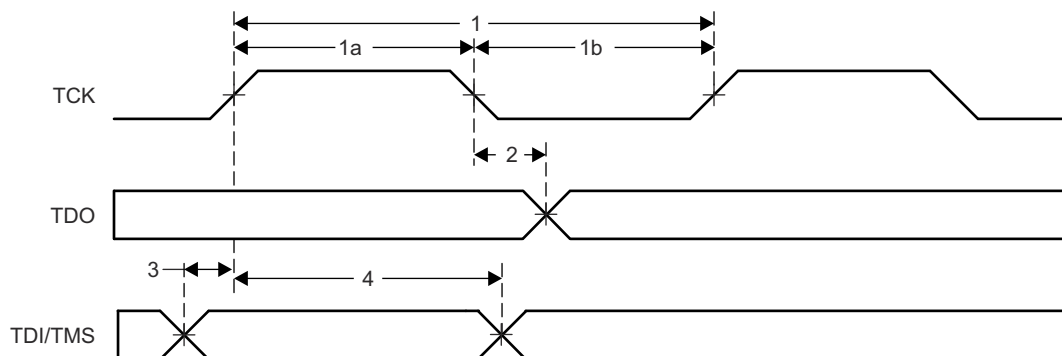


図 6-31. JTAG のタイミング

6.12.7.2 cJTAG の電氣的データおよびタイミング

6.12.7.2.1 cJTAG のタイミング要件

番号			最小値	最大値	単位
1	$t_c(\text{TCK})$	サイクル時間、TCK	100		ns
1a	$t_w(\text{TCKH})$	パルス幅、TCK High (t_c の 40%)	40		ns
1b	$t_w(\text{TCKL})$	パルス幅、TCK Low (t_c の 40%)	40		ns
3	$t_{su}(\text{TMS-TCKH})$	入力セットアップ時間、TMS 有効から TCK High まで	7		ns
3	$t_{su}(\text{TMS-TCKL})$	入力セットアップ時間、TMS 有効から TCK Low まで	7		ns
4	$t_h(\text{TCKH-TMS})$	入力ホールド時間、TCK High から TMS 有効の間	2		ns
4	$t_h(\text{TCKL-TMS})$	入力ホールド時間、TCK Low から TMS 有効の間	2		ns

6.12.7.2.2 cJTAG のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		最小値	最大値	単位
2	$t_d(\text{TCKL-TMS})$	遅延時間、TCK LOW から TMS 有効まで	6	20	ns
5	$t_{dis}(\text{TCKH-TMS})$	遅延時間、TCK High から TMS 無効まで		25	ns

6.12.7.2.3 cJTAG のタイミング図

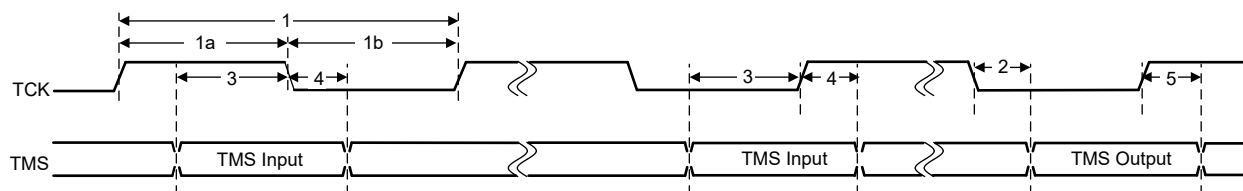


図 6-32. cJTAG タイミング

6.12.8 GPIO の電氣的データおよびタイミング

ペリフェラル信号は、汎用入出力 (GPIO) 信号とマルチプレクスされます。リセット時、GPIO ピンは入力として構成されます。特定の入力では、ユーザーが入力クオリファイアのサイクル数を選択することで、不要なノイズ グリッチをフィルタリングすることもできます。

多くの GPIO には、さまざまな内部信号を GPIO にルーティングできるようにする、出力クロスバー向けのマルチプレクサ オプションがあります。すべての GPIO は、GPIO の High または Low 状態をさまざまな IP ブロック (ADC、eCAP、ePWM、外部割り込みなど) にルーティングできる各入力クロスバーに接続されています。詳細については、『TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「クロスバー」の章を参照してください。

6.12.8.1 GPIO - 出力タイミング

6.12.8.1.1 汎用出力のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ			最小値	最大値	単位
$t_{r(GPO)}$	立ち上がり時間、GPIO が Low から High へ変化	すべての GPIO		8 ⁽¹⁾	ns
$t_{f(GPO)}$	立ち下がり時間、GPIO が High から Low へ変化	すべての GPIO		8 ⁽¹⁾	ns
f_{GPO}	切り替え周波数、GPIO ピン			50	MHz

(1) 立ち上がり時間と立ち下がり時間は負荷によって異なります。これらの値は、40pF の負荷を想定しています。

6.12.8.1.2 汎用出力のタイミング図

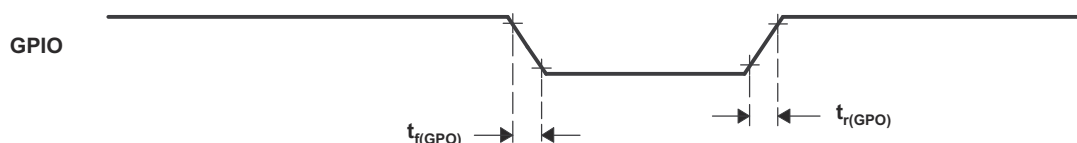


図 6-33. 汎用出力のタイミング

6.12.8.2 GPIO - 入力タイミング

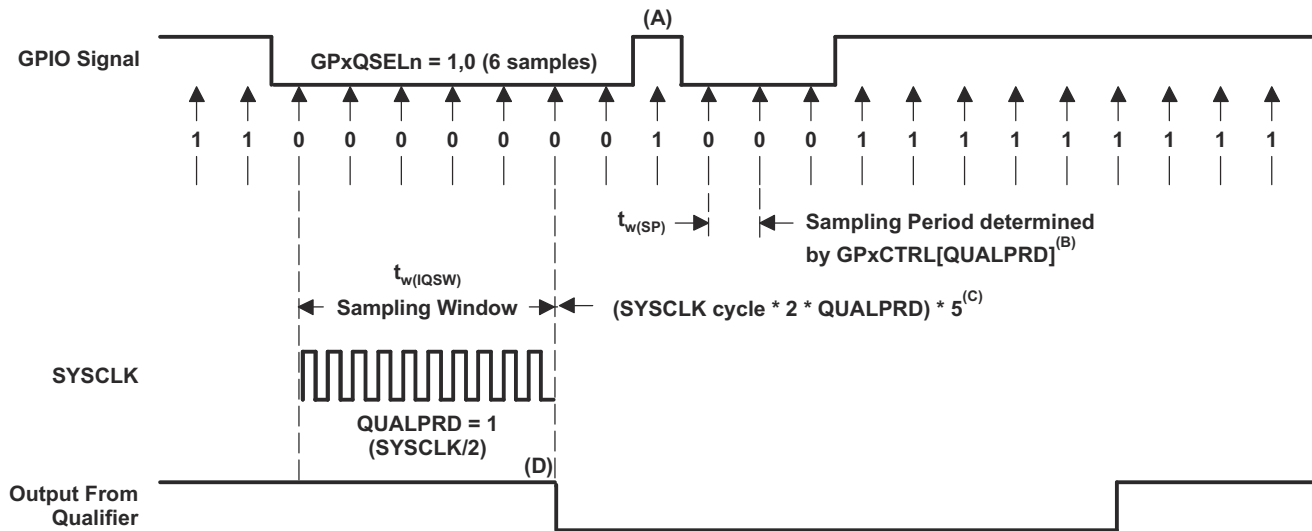
6.12.8.2.1 汎用入力のタイミング要件

			最小値	最大値	単位
$t_{w(SP)}$	サンプリング周期	QUALPRD = 0	$1t_{c(SYSCLK)}$		サイクル
		QUALPRD $\neq$ 0	$2t_{c(SYSCLK)} * QUALPRD$		サイクル
$t_{w(IQSW)}$	入力フィルタ サンプリング ウィンドウ		$t_{w(SP)} * (n^{(1)} - 1)$		サイクル
$t_{w(GPI)}^{(2)}$	パルス幅、GPIO Low/High	同期モード	$2t_{c(SYSCLK)}$		サイクル
		入力クオリファイヤあり	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCLK)}$		サイクル

(1) 「n」は、GPxQSELn レジスタで定義されているフィルタ サンプルの数を表します。

(2) $t_{w(GPI)}$ のパルス幅は、アクティブ Low 信号については V_{IL} から V_{IL} まで、アクティブ High 信号については V_{IH} から V_{IH} までを測定します。

6.12.8.2.2 サンプリング・モード



- A. このグリッチは、入力クオリファイヤによって無視されます。クオリフィケーションのサンプリング期間は、QUALPRD ビット・フィールドで指定します。この値は、00～0xFF の範囲で設定できます。QUALPRD = 00 の場合、サンプリング期間は 1 SYSCLK サイクルです。その他の値「n」である場合、クオリフィケーションのサンプリング期間は、2n SYSCLK サイクルになります (すなわち、2n SYSCLK サイクルごとに GPIO ピンがサンプリングされます)。
- B. GPxCTRL レジスタで選択したこのクオリフィケーション期間は、8 つの GPIO ピン・グループに適用されます。
- C. このクオリフィケーション・ブロックは、3 つまたは 6 つのサンプルを取得できます。使用するサンプル・モードは、GPxQSELn レジスタで選択します。
- D. ここに示す例では、クオリファイヤが変化を検出するためには、入力が 10 SYSCLK サイクル以上の期間安定している必要があります。すなわち、入力は (5 x QUALPRD x 2) SYSCLK サイクルにわたって安定している必要があります。これにより、5 サンプリング期間での検出実施が確保されます。外部信号は非同期で駆動されるため、13 SYSCLK 幅のパルスであれば信頼性の高い認識が保証されます。

図 6-34. サンプリング・モード

6.12.8.3 入力信号のサンプリング・ウィンドウ幅

以下のセクションでは、各種の入力クオリファイヤ構成に対する入力信号のサンプリング・ウィンドウ幅の概要を説明します。

この式の「サンプリング周波数」は、SYSCLK を基準にして、信号をサンプリングする頻度を表します。

QUALPRD ≠ 0 の場合、サンプリング周波数 = $\text{SYSCLK} / (2 \times \text{QUALPRD})$

QUALPRD = 0 の場合、サンプリング周波数 = SYSCLK

QUALPRD ≠ 0 の場合、サンプリング周期 = SYSCLK サイクル × 2 × QUALPRD

上記の式で、「SYSCLK サイクル」は、SYSCLK の時間周期を表しています。

QUALPRD = 0 の場合、サンプリング周期 = SYSCLK サイクル

決められたサンプリング ウィンドウの中で、入力信号の 3 つまたは 6 つのサンプルを取得して、信号の有効性を判定します。これは、GPxQSELn レジスタに書き込まれた値によって決定されます。

ケース 1:

3 つのサンプルを使用したクオリフィケーション

QUALPRD ≠ 0 の場合、サンプリング・ウィンドウ幅 = (SYSCLK サイクル × 2 × QUALPRD) × 2

QUALPRD = 0 の場合、サンプリング・ウィンドウ幅 = (SYSCLK サイクル) × 2

ケース 2:

6 つのサンプルを使用したクオリフィケーション

QUALPRD ≠ 0 の場合、サンプリング・ウィンドウ幅 = (SYSCLK サイクル × 2 × QUALPRD) × 5

QUALPRD = 0 の場合、サンプリング・ウィンドウ幅 = (SYSCLK サイクル) × 5

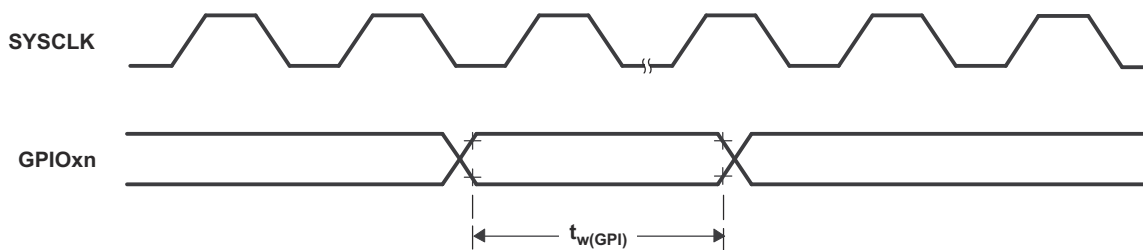


図 6-35. 汎用入力のタイミング

6.12.9 割り込み

C28x CPU には 14 本のペリフェラル割り込みラインがあります。そのうち 2 本 (INT13 および INT14) は、それぞれ CPU タイマ 1 および 2 に直接接続されています。残りの 12 本は、強化ペリフェラル割り込み拡張 (ePIE) モジュール経由でペリフェラル割り込み信号に接続されています。ePIE は、各 CPU 割り込みラインに最大 16 本のペリフェラル割り込みを多重化します。また、ベクタ テーブルを拡張して、各割り込みに独自の ISR を割り当てることができます。これにより、CPU は多数のペリフェラルをサポートできます。

割り込みパスは、ペリフェラル、ePIE、CPU の 3 つのステージに分けられます。各段には、独自のイネーブルレジスタとフラグレジスタがあります。このシステムにより、CPU は 1 つの割り込みを処理しながら他の割り込みを保留したり、ソフトウェア内でネストされた割り込みを実装および優先順位付けしたり、特定の重要なタスク中に割り込みを無効にしたりできます。

図 6-36 に、このデバイスの割り込みアーキテクチャを示します。

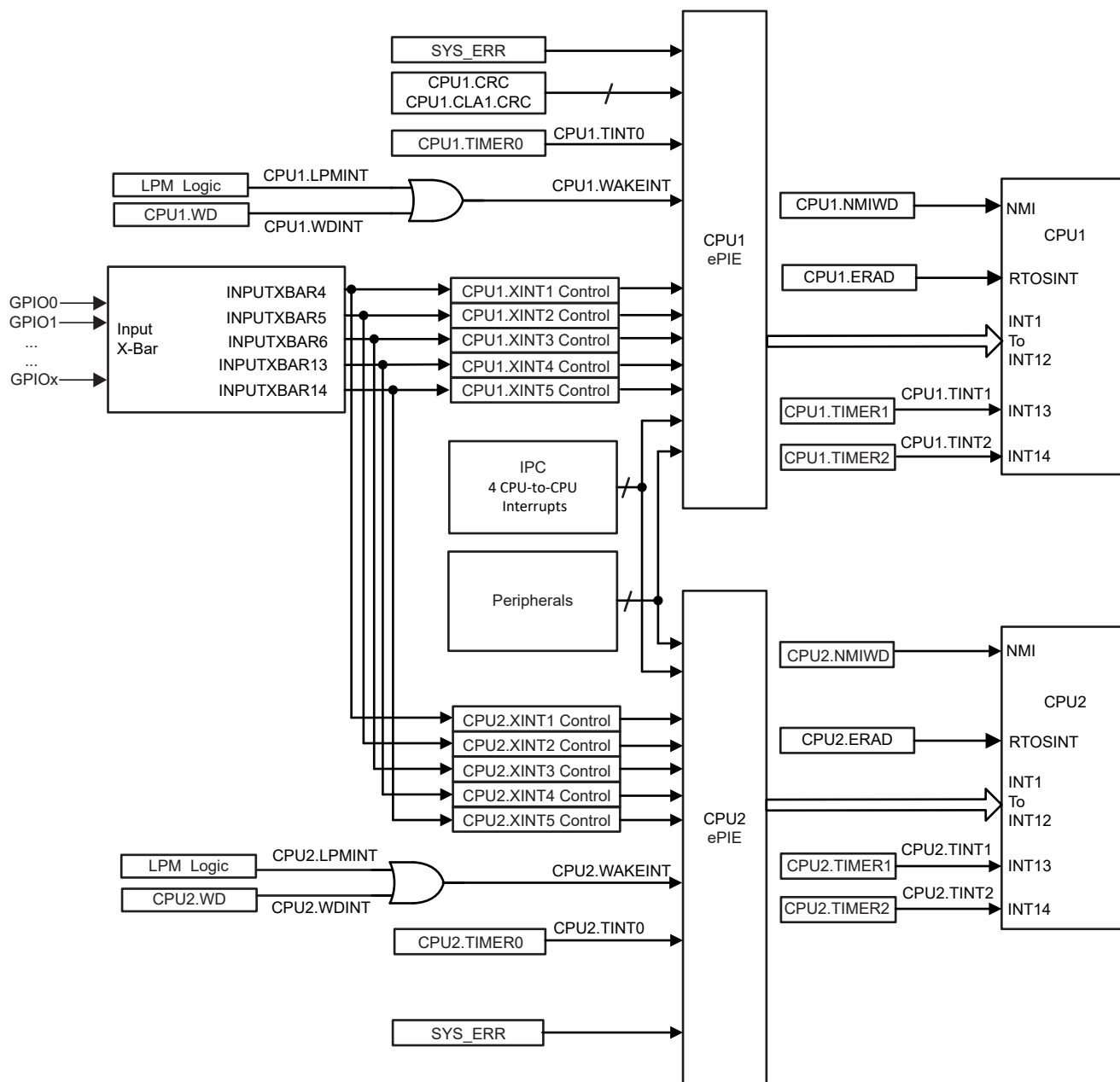


図 6-36. デバイス割り込みアーキテクチャ

6.12.9.1 外部割り込み (XINT) の電氣的データおよびタイミング

入力クオリファイヤのパラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.12.9.1.1 外部割り込みのタイミング要件

			最小値	最大値	単位
$t_{w(INT)}$	パルス幅、INT 入力 Low/High	同期	$2t_{c(SYSCLK)}$		サイクル
		クオリファイヤあり	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCLK)}$		サイクル

6.12.9.1.2 外部割り込みのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	最小値	最大値	単位
$t_{d(INT)}$	遅延時間、INT Low/High から割り込みベクタ フェッチまで ⁽¹⁾	$t_{w(IQSW)} + 14t_{c(SYSCLK)}$ $t_{w(IQSW)} + t_{w(SP)} + 14t_{c(SYSCLK)}$	サイクル

(1) これは、ISR がシングルサイクル メモリ内にあることを想定しています。

6.12.9.1.3 外部割り込みのタイミング

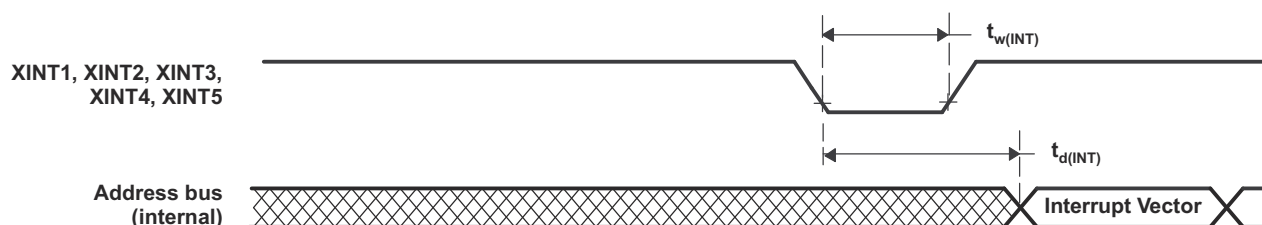


図 6-37. 外部割り込みのタイミング

6.12.10 低消費電力モード

このデバイスには、クロックゲーティング低消費電力モードとして、ホールト、アイドル、スタンバイがあります。

すべての低消費電力モードの詳細と、開始および終了手順の詳細については、『[TMS320F28P65x リアルタイム マイクロコントローラ テクニカルリファレンス マニュアル](#)』の「低消費電力モード」セクションを参照してください。

6.12.10.1 クロックゲーティング低消費電力モード

このデバイスのアイドルモードおよびホールトモードは、他の C28x デバイスのモードと同様です。表 6-11 に、いずれかのクロックゲート低消費電力モードに移行したときのシステムへの影響を示します。

表 6-11. クロックゲーティング低消費電力モードによるデバイスへの影響

モジュール / クロックドメイン	IDLE	STANDBY	HALT
SYSCLK	アクティブ	ゲート	ゲート
CPUCLK	ゲート	ゲート	ゲート
PERx.SYSCLK に接続されたモジュールへのクロック	アクティブ	ゲート	ゲート
WDCLK	アクティブ	アクティブ	CLKSRCCTL1.WDHALTI = 0 の場合、ゲート
PLL	電源供給	電源供給	ソフトウェアは、HALT に入る前に PLL の電源をオフにする必要があります。
INTOSC1	電源供給	電源供給	CLKSRCCTL1.WDHALTI = 0 の場合、電源オフ
INTOSC2	電源供給	電源供給	CLKSRCCTL1.WDHALTI = 0 の場合、電源オフ
フラッシュ ⁽¹⁾	電源供給	電源供給	電源供給
XTAL ⁽²⁾	電源供給	電源供給	電源供給

- (1) フラッシュモジュールは、いずれの LPM においても、ハードウェアによってパワーダウンされることはありません。アプリケーションで必要な場合は、ソフトウェアを使用して電源をオフにすることができます。詳細については、『[TMS320F28P65x リアルタイム マイクロコントローラ テクニカルリファレンス マニュアル](#)』の「システム制御」の章にある「フラッシュおよび OTP メモリ」セクションを参照してください。
- (2) XTAL は、いずれの LPM においても、ハードウェアによってパワーダウンされることはありません。XTALCR.OSCOFF ビットを 1 に設定すると、ソフトウェアによって電源をオフにできます。XTAL が不要な場合は、アプリケーション実行中の任意の時点でこれを実行できます。

6.12.10.2 低消費電力モードのウェークアップ タイミング

入力クオリファイヤ パラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.12.10.2.1 アイドル モードのタイミング要件

			最小値	最大値	単位
t _{w(WAKE)}	パルス幅、外部ウェークアップ信号	入力クオリファイヤなし	2t _{c(SYSCLK)}		サイクル
		入力クオリファイヤあり	2t _{c(SYSCLK)} + t _{w(IQSW)}		

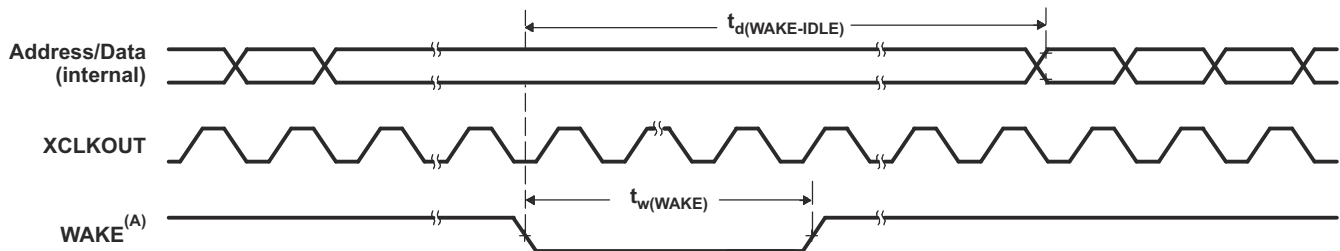
6.12.10.2.2 アイドル モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	最大値	単位
$t_{d(WAKE-IDLE)}$	フラッシュから (アクティブ状態)	入力クオリファイヤなし	$40t_{c(SYSCLK)}$	サイクル
		入力クオリファイヤあり	$40t_{c(SYSCLK)} + t_{w(WAKE)}$	サイクル
	フラッシュから (スリープ状態)	入力クオリファイヤなし	$6700t_{c(SYSCLK)}^{(2)}$	サイクル
		入力クオリファイヤあり	$6700t_{c(SYSCLK)}^{(2)} + t_{w(WAKE)}$	サイクル
	RAM から	入力クオリファイヤなし	$25t_{c(SYSCLK)}$	サイクル
		入力クオリファイヤあり	$25t_{c(SYSCLK)} + t_{w(WAKE)}$	サイクル

- (1) これは、IDLE 命令の直後に続く命令の実行を開始するのに要する時間です。ISR の実行 (ウェークアップ信号によってトリガ) には、追加のレイテンシが伴います。
- (2) この値はフラッシュの起動時間に基づいています。これは、SYSCLK 周波数、フラッシュのウェイト状態 (RWAIT)、および FPAC1[PSLEEP] の関数です。

6.12.10.2.3 IDLE 開始および終了タイミング図



- A. WAKE には、イネーブルになっている任意の割り込み、 $\overline{WDINT}$ 、XRSn を使用できます。IDLE 命令が実行された後、ウェークアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。

図 6-38. IDLE 開始および終了タイミング図

6.12.10.2.4 スタンバイ モードのタイミング要件

			最小値	最大値	単位
$t_{w(WAKE-INT)}$	パルス幅、外部ウェークアップ信号	QUALSTDBY = 0 $2t_{c(OSCCLK)}$ QUALSTDBY > 0 (2 + QUALSTDBY) $t_{c(OSCCLK)}$ ⁽¹⁾	$3t_{c(OSCCLK)}$		サイクル

(1) QUALSTDBY は、LPMCR レジスタ内の 6 ビット フィールドです。

6.12.10.2.5 スタンバイ モードのスイッチング特性

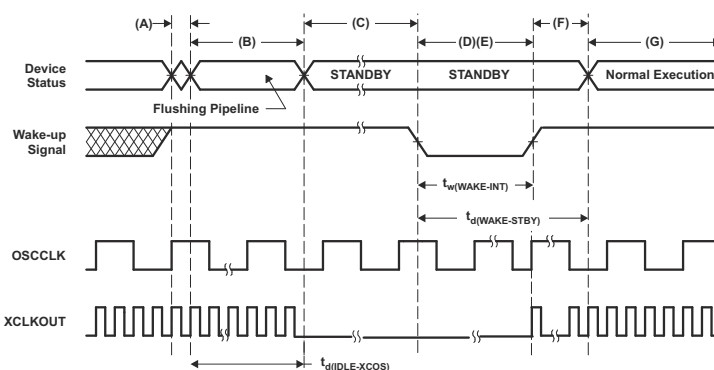
推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	最大値	単位
$t_{d(IDLE-XCOS)}$	遅延時間、IDLE 命令実行から XCLKOUT 停止まで		$16t_{c(INTOSC1)}$	サイクル
$t_{d(WAKE-STBY)}$	フラッシュからのウェークアップ (フラッシュ モジュールはアクティブ状態)		$175t_{c(SYSCCLK)} + t_{w(WAKE-INT)}$	サイクル
$t_{d(WAKE-STBY)}$	遅延時間、外部ウェーク信号からプログラム実行再開まで ⁽¹⁾ フラッシュからのウェークアップ (フラッシュ モジュールはスリープ状態)		$6700t_{c(SYSCCLK)}$ ⁽²⁾ + $t_{w(WAKE-INT)}$	サイクル
$t_{d(WAKE-STBY)}$	RAM からのウェークアップ		$3t_{c(OSC)} + 15t_{c(SYSCCLK)} + t_{w(WAKE-INT)}$	サイクル

(1) これは、IDLE 命令の直後に続く命令の実行を開始するのに要する時間です。ISR の実行 (ウェークアップ信号によってトリガ) には、追加のレイテンシが伴います。

(2) この値はフラッシュの起動時間に基づいています。これは、SYSCCLK 周波数、フラッシュのウェイト状態 (RWAIT)、および FPAC1[PSLEEP] の関数です。

6.12.10.2.6 STANDBY の開始 / 終了タイミング図



- IDLE 命令が実行され、デバイスがスタンバイ モードに移行します。
- LPM ブロックが STANDBY 信号に応答し、SYSCCLK は、最大 16 INTOSC1 クロック サイクルにわたって保持された後、オフになります。この遅延により、CPU パイプラインおよびその他の保留中の動作が適切にフラッシュされます。
- ペリフェラルへのクロックがオフになります。ただし、PLL とウォッチドッグはシャットダウンされません。デバイスはこの時点で、スタンバイ モードになっています。IDLE 命令が実行された後、ウェークアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。
- 外部ウェークアップ信号がアクティブに駆動されます。
- デバイスをウェークアップするために GPIO ピンに供給されるウェークアップ信号は、最小パルス幅の要件を満たす必要があります。さらに、この信号ではグリッチをなくす必要があります。ノイズの多い信号が GPIO ピンに供給されると、デバイスのウェークアップ動作は確定的ではなく、デバイスは後続のウェークアップ パルスで低消費電力モードを終了できない場合があります。

- F. 遅延時間が経過すると、スタンバイモードが終了します。
- G. 通常動作を再開します。本デバイスは割り込み (有効化されている場合) に応答するようになります。

図 6-39. STANDBY の開始 / 終了タイミング図

6.12.10.2.7 ホールト モードのタイミング要件

		最小値	最大値	単位
$t_{w(WAKE-GPIO)}$	パルス幅、GPIO ウェークアップ信号 ⁽¹⁾	$t_{oscst} + 2t_{c(OSCCLK)}$		サイクル
$t_{w(WAKE-XRS)}$	パルス幅、XRS ウェークアップ信号 ⁽¹⁾	$t_{oscst} + 8t_{c(OSCCLK)}$		サイクル

- (1) OSCCLK に X1/X2 を使用するアプリケーションでは、スタートアップ時間がデバイス外部の回路やレイアウトなどに依存するため、ユーザーは、その場合の発振器のスタートアップ時間の特性を評価する必要があります。詳細については、「水晶発振器 (XTAL)」セクションを参照してください。OSCCLK に INTOSC1 または INTOSC2 を使用するアプリケーションについては、「内部発振器」セクションの t_{oscst} を参照してください。発振器のスタートアップ時間は、X1 ピンでシングルエンド水晶発振器を使用するアプリケーションには適用されません。これは、デバイスの外部から電力が供給されるためです。

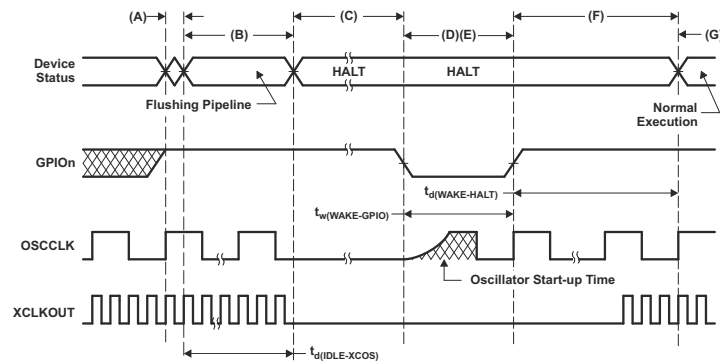
6.12.10.2.8 ホールト モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{d(IDLE-XCOS)}$	遅延時間、IDLE 命令実行から XCLKOUT 停止まで		$16t_{c(INTOSC1)}$	サイクル
$t_{d(WAKE-HALT)}$	遅延時間、外部ウェーク信号終了から CPU1 プログラム実行再開まで			サイクル
	フラッシュからのウェークアップ - アクティブ状態のフラッシュモジュール		$75t_{c(OSCCLK)}$	
	フラッシュからのウェークアップ - スリープ状態のフラッシュモジュール		$17500t_{c(OSCCLK)}^{(1)}$	
	RAM からのウェークアップ		$75t_{c(OSCCLK)}$	

- (1) この値はフラッシュの起動時間に基づいています。これは、SYSCLK 周波数、フラッシュのウェイト状態 (RWAIT)、および FPAC1[PSLEEP] の関数です。

6.12.10.2.9 HALT 開始および終了タイミング図



- A. IDLE 命令が実行され、デバイスがホールド モードに移行します。
- B. LPM ブロックが HALT 信号にตอบสนองし、SYSCLK は、最大 16 INTOSC1 クロック サイクルにわたって保持された後、オフになります。この遅延により、CPU パイプラインおよびその他の保留中の動作が適切にフラッシュされます。
- C. ペリフェラルへのクロックがオフになり、PLL がシャットダウンされます。クロック ソースとして水晶振動子またはセラミック共振器を使用している場合、内部発振器もシャットダウンされます。デバイスはこの時点で、ホールド モードに移行しており、消費電力はごくわずかです。HALT モード中、内部発振器 (INTOSC1 および INTOSC2) とウォッチドッグを動作させたままにすることもできます。これは、CLKSRCCTL1.WDHALTI に 1 を書き込むことで行います。IDLE 命令が実行された後、ウェークアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。
- D. GPIOn ピン (デバイスの HALT を解除するために使用) を Low にすると、発振器がオンになり、発振器ウェークアップ シーケンスが開始されます。GPIO ピンを High に駆動するのは、発振器が安定した後にする必要があります。これにより、PLL ロック シーケンスの間、クリーンなクロック信号を供給できます。GPIO ピンの立ち下がりエッジによって非同期的にウェークアップ手順が開始されるので、ホールド モードに移行する前およびホールド モードになっている間は、低ノイズ環境を維持するように注意する必要があります。
- E. デバイスをウェークアップするために GPIO ピンに供給されるウェークアップ信号は、最小パルス幅の要件を満たす必要があります。さらに、この信号ではグリッチをなくす必要があります。ノイズの多い信号が GPIO ピンに供給されると、デバイスのウェークアップ動作は確定的ではなく、デバイスは後続のウェークアップ パルスで低消費電力モードを終了できない場合があります。
- F. コアへの CLKIN がイネーブルになると、デバイスは、いくつかのレイテンシの後で割り込みにตอบสนองします (割り込みイネーブルの場合)。これで、ホールド モードが終了します。
- G. 通常動作を再開します。
- H. ユーザーは、安定した PLL ロックを確保するために、HALT からのウェークアップの際に PLL を再ロックする必要があります。

図 6-40. HALT 開始および終了タイミング図

6.12.11 外部メモリ インターフェイス (EMIF)

EMIF は、非同期メモリ (SRAM、NOR フラッシュ) や同期メモリ (SDRAM) などの各種外部ストレージ デバイスに CPU を接続する手段を提供します。

6.12.11.1 非同期メモリのサポート

EMIF は非同期メモリをサポートしています。

- SRAM
- NOR フラッシュ メモリ

外部ウェイト入力があるため、低速の非同期メモリを使用してメモリ アクセスを延長できます。EMIF モジュールは、最大 3 つのチップ セレクト (`EMIF_CS[4:2]`) をサポートしています。各チップ セレクトには、以下に示すように、個別にプログラム可能な属性があります。

- データ バス幅
- 読み取りサイクルのタイミング: セットアップ、ホールド、ストロブ
- 書き込みサイクルのタイミング: セットアップ、ホールド、ストロブ
- バス ターンアラウンド時間
- プログラム可能なタイムアウト付きのウェイト時間延長オプション
- ストロブ選択オプション

6.12.11.2 同期 DRAM のサポート

EMIF メモリ コントローラは、32 ビットまたは 16 ビットのデータ バスを使用する JESD21-C SDR SDRAM に準拠しています。EMIF は、シングル SDRAM チップ セレクト (`EMIF_CS[0]`) を備えています。

同期メモリ (SDRAM) に対する EMIF のアドレス空間は、プログラム アドレス バスの 22 ビットの範囲を超えており、データ バス経由でのみアクセスできます。このため、C コンパイラがこの領域のデータに対して効果的に機能するためには制約があります。したがって、SDRAM を使用する場合は、(DMA を使って) 外部メモリから RAM にデータをコピーしてから作業することを推奨します。「[C2000 MCU 用 C2000Ware](#)」、『[TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の例を参照してください。

サポートされている SDRAM 構成:

- 1 バンク、2 バンク、4 バンクの SDRAM デバイス
- 8、9、10、11 列のアドレスを持つデバイス
- 2 または 3 クロック サイクルの CAS レイテンシ
- 16 ビット / 32 ビットのデータ バス幅
- 3.3V LVCMOS インターフェイス

さらに、EMIF は、セルフ リフレッシュ モードおよびパワーダウン モードでの SDRAM 動作もサポートしています。セルフ リフレッシュ モードでは、SDRAM は、マイクロコントローラからのクロックがなくても継続してリフレッシュされるため、メモリの内容を保持しながら低消費電力状態にすることができます。パワーダウン モードでは、データ保持が必要な場合、マイクロコントローラが定期的にウェイクアップしてリフレッシュを発行する必要があることを除き、消費電力をさらに低減できます。EMIF モジュールは、モバイル SDRAM デバイスをサポートしていません。

このデバイスでは、EMIF は、SDRAM 構成に対するバースト アクセスをサポートしていません。これは、外部 SDRAM デバイスへのすべてのアクセスに、CAS レイテンシが存在することを意味します。

6.12.11.3 EMIF の電氣的データおよびタイミング

6.12.11.3.1 EMIF 同期メモリのタイミング要件

番号			最小値	最大値	単位
19	$t_{su}(EMIFDV-EM_CLKH)$	入力セットアップ時間、EMxD[y:0] 読み取りデータ有効から EMxCLK 立ち上がりまで	2		ns
20	$t_h(CLKH-DIV)$	入力ホールド時間、EMxCLK 立ち上がりから EMxD[y:0] 読み取りデータ有効終了まで	1.5		ns

6.12.11.3.2 EMIF 同期メモリのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		最小値	最大値	単位
1	$t_c(CLK)$	サイクル時間、EMIF クロック EMxCLK	10		ns
1	$t_c(CLK)$	サイクル時間、EMIF クロック EMxCLK (210MHz タイミング クロージャ付き)	9.52		ns
2	$t_w(CLK)$	パルス幅、EMIF クロック EMxCLK HIGH または LOW	3		ns
3	$t_d(CLKH-CSV)$	遅延時間、EMxCLK 立ち上がりから $\overline{EMxCS}[y:2]$ 有効まで		8	ns
4	$t_{oh}(CLKH-CSIV)$	出力ホールド時間、EMxCLK 立ち上がりから $\overline{EMxCS}[y:2]$ 無効まで	1		ns
5	$t_d(CLKH-DQMV)$	遅延時間、EMxCLK 立ち上がりから EMxDQM[y:0] 有効まで		8	ns
6	$t_{oh}(CLKH-DQMIV)$	出力ホールド時間、EMxCLK 立ち上がりから EMxDQM[y:0] 無効まで	1		ns
7	$t_d(CLKH-AV)$	遅延時間、EMxCLK 立ち上がりから EMxA[y:0] および EMxBA[y:0] 有効まで		8	ns
8	$t_{oh}(CLKH-AIV)$	出力ホールド時間、EMxCLK 立ち上がりから EMxA[y:0] および EMxBA[y:0] 無効まで	1		ns
9	$t_d(CLKH-DV)$	遅延時間、EMxCLK 立ち上がりから EMxD[y:0] 有効まで		8	ns
10	$t_{oh}(CLKH-DIV)$	出力ホールド時間、EMxCLK 立ち上がりから EMxD[y:0] 無効まで	1		ns
11	$t_d(CLKH-RASV)$	遅延時間、EMxCLK 立ち上がりから EMxRAS 有効まで		8	ns
12	$t_{oh}(CLKH-RASIV)$	出力ホールド時間、EMxCLK 立ち上がりから EMxRAS 無効まで	1		ns
13	$t_d(CLKH-CASV)$	遅延時間、EMxCLK 立ち上がりから EMxCAS 有効まで		8	ns
14	$t_{oh}(CLKH-CASIV)$	出力ホールド時間、EMxCLK 立ち上がりから EMxCAS 無効まで	1		ns
15	$t_d(CLKH-WEV)$	遅延時間、EMxCLK 立ち上がりから $\overline{EMxWE}$ 有効まで		8	ns
16	$t_{oh}(CLKH-WEIV)$	出力ホールド時間、EMxCLK 立ち上がりから $\overline{EMxWE}$ 無効まで	1		ns
17	$t_d(CLKH-DHZ)$	遅延時間、EMxCLK 立ち上がりから EMxD[y:0] トライステート状態まで		8	ns
18	$t_{oh}(CLKH-DLZ)$	出力ホールド時間、EMxCLK 立ち上がりから EMxD[y:0] 駆動まで	1		ns

6.12.11.3.3 EMIF 同期メモリのタイミング図

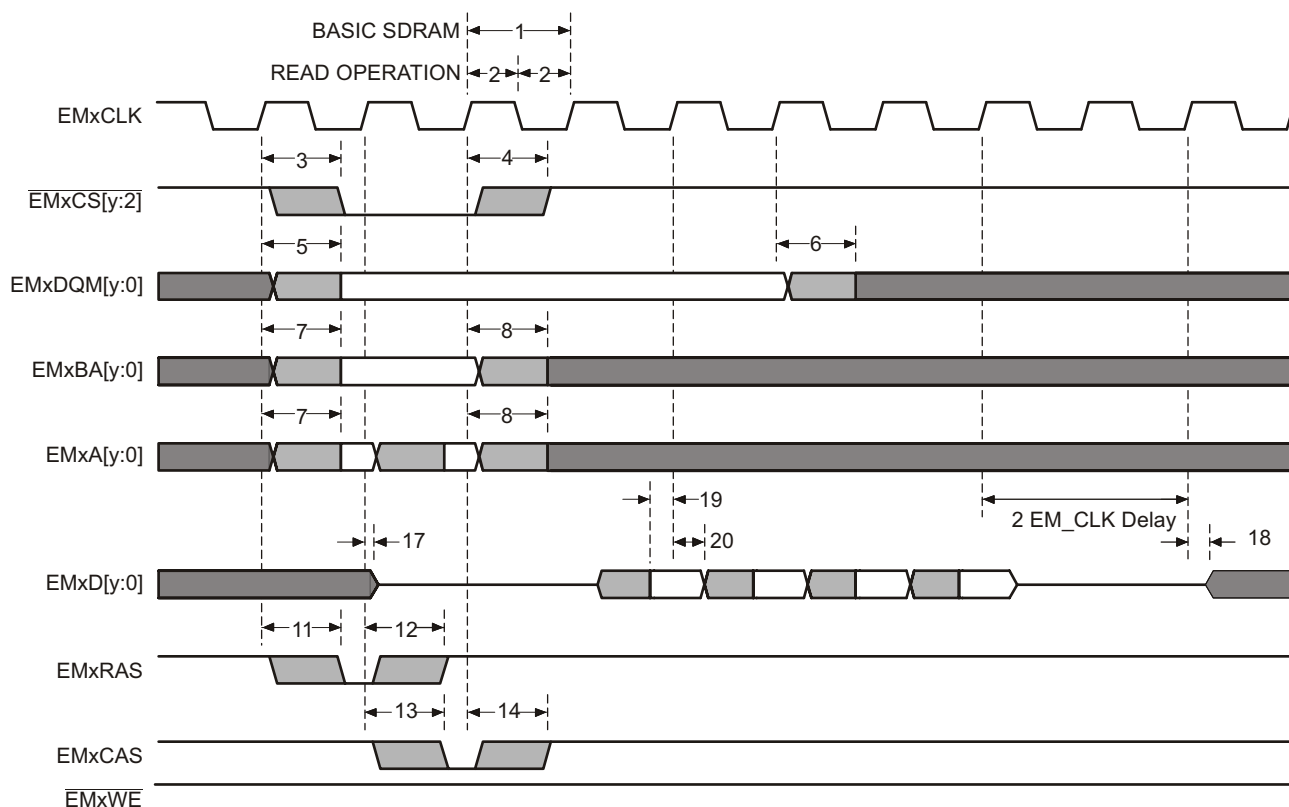


図 6-41. 基本的な SDRAM 読み取り動作

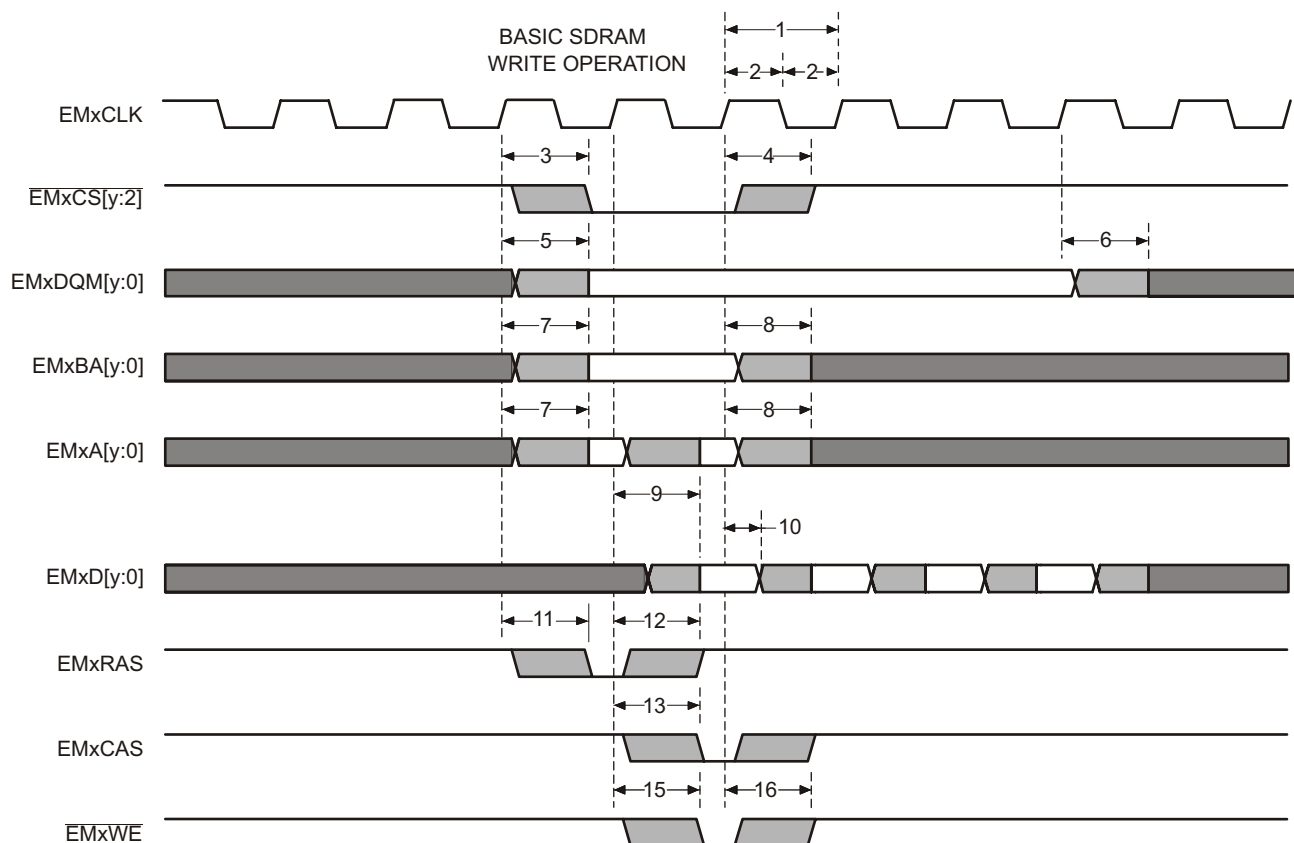


図 6-42. 基本的な SDRAM 書き込み動作

6.12.11.3.4 EMIF 非同期メモリのタイミング要件

番号			最小値	最大値	単位
読み取りおよび書き込み					
	E	EMIF クロック周期	$t_{c(SYSCLK)}$		ns
2	$t_{w(EM_WAIT)}$	パルス幅、EMxWAIT のアサートおよびデアサート	$2E^{(1)}$		ns
読み取り					
12	$t_{su(EMDV-EMOE)}$	セットアップ時間、EMxD[y:0] 有効から $\overline{EMxOE}$ HIGH まで	15		ns
13	$t_{h(EMOE-EMD)}$	ホールド時間、 $\overline{EMxOE}$ HIGH から EMxD[y:0] 有効の間	0		ns
14	$t_{su(EMOEL-EMWAIT)}$	セットアップ時間、EMxWAIT アサートからストロブ フェーズ 終了まで ⁽²⁾	$4E+20^{(1)}$		ns
書き込み					
28	$t_{su(EMWEL-EMWAIT)}$	セットアップ時間、EMxWAIT アサートからストロブ フェーズ 終了まで ⁽²⁾	$4E+20^{(1)}$		ns

(1) E = EMxCLK 周期 (ns 単位)。

(2) ストロブ フェーズの終了前のセットアップ (延長ウェイト状態が挿入されていない場合)。延長ウェイト状態を追加するためには、これにより EMxWAIT をアサートする必要があります。「EMxWAIT 読み取りタイミング要件」図と「EMxWAIT 書き込みタイミング要件」図に、ストロブ フェーズ中に挿入される延長ウェイト状態を含む EMIF トランザクションを示します。ただし、この延長ウェイト時間の一部として挿入されたサイクルはカウントされません。4E という要件は、延長ウェイト サイクルがない場合にホールド フェーズが開始される時点に対するものです。

6.12.11.3.5 EMIF 非同期メモリのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ ⁽¹⁾ (2) (3)		最小値	最大値	単位
1	$t_d(\text{TURNAROUND})$	ターン アラウンド時間 $TA=0$	$(TA)*E-3$	$(TA)*E+2$	ns
読み取り					
3	$t_c(\text{EMRCYCLE})$	EMIF 読み取りサイクル時間 ($EW = 0$)	$(RS+RST+RH)*E-3$	$(RS+RST+RH)*E+2$	ns
3	$t_c(\text{EMRCYCLE})$	EMIF 読み取りサイクル時間 ($EW = 1$)	$(RS+RST+RH+(EWC*16))*E-3$	$(RS+RST+RH+(EWC*16))*E+2$	ns
4	$t_{su}(\text{EMCEL-EMOEL})$	出力セットアップ時間、 $\overline{EMxCS}[y:2]$ LOW から $\overline{EMxOE}$ LOW まで ($SS = 0$) $RS=0$	$(RS)*E-3$	$(RS)*E+2$	ns
4	$t_{su}(\text{EMCEL-EMOEL})$	出力セットアップ時間、 $\overline{EMxCS}[y:2]$ LOW から $\overline{EMxOE}$ LOW まで ($SS = 1$)	-3	2	ns
5	$t_h(\text{EMOE-EMCEH})$	出力ホールド時間、 $\overline{EMxOE}$ HIGH から $\overline{EMxCS}[y:2]$ HIGH まで ($SS = 0$)	$(RH)*E-3$	$(RH)*E$	ns
5	$t_h(\text{EMOE-EMCEH})$	出力ホールド時間、 $\overline{EMxOE}$ HIGH から $\overline{EMxCS}[y:2]$ HIGH まで ($SS = 1$)	-3	0	ns
6	$t_{su}(\text{EMBAV-EMOEL})$	出力セットアップ時間、 $\overline{EMxBA}[y:0]$ 有効から $\overline{EMxOE}$ LOW まで	$(RS)*E-3$	$(RS)*E+2$	ns
7	$t_h(\text{EMOE-EMBAIV})$	出力ホールド時間、 $\overline{EMxOE}$ HIGH から $\overline{EMxBA}[y:0]$ 無効まで	$(RH)*E-3$	$(RH)*E$	ns
8	$t_{su}(\text{EMAV-EMOEL})$	出力セットアップ時間、 $\overline{EMxA}[y:0]$ 有効から $\overline{EMxOE}$ LOW まで	$(RS)*E-3$	$(RS)*E+2$	ns
9	$t_h(\text{EMOE-EMAIV})$	出力ホールド時間、 $\overline{EMxOE}$ HIGH から $\overline{EMxA}[y:0]$ 無効まで	$(RH)*E-3$	$(RH)*E$	ns
10	$t_w(\text{EMOEL})$	$\overline{EMxOE}$ アクティブ LOW 幅 ($EW = 0$)	$(RST)*E-1$	$(RST)*E+1$	ns
10	$t_w(\text{EMOEL})$	$\overline{EMxOE}$ アクティブ LOW 幅 ($EW = 1$)	$(RST+(EWC*16))*E-1$	$(RST+(EWC*16))*E+1$	ns
11	$t_d(\text{EMWAITH-EMOE-EMCEH})$	$\overline{EMxWAIT}$ デアサートから $\overline{EMxOE}$ HIGH までの遅延時間	$4*E+10$	$5*E+15$	ns
29	$t_{su}(\text{EMDQMV-EMOEL})$	出力セットアップ時間、 $\overline{EMxDQM}[y:0]$ 有効から $\overline{EMxOE}$ LOW まで	$(RS)*E-3$	$(RS)*E+2$	ns
30	$t_h(\text{EMOE-EMDQMIV})$	出力ホールド時間、 $\overline{EMxOE}$ HIGH から $\overline{EMxDQM}[y:0]$ 無効まで	$(RH)*E-3$	$(RH)*E$	ns
書き込み					
15	$t_c(\text{EMWCYCLE})$	EMIF 書き込みサイクル時間 ($EW = 0$)	$(WS+WST+WH)*E-3$	$(WS+WST+WH)*E+2$	ns
15	$t_c(\text{EMWCYCLE})$	EMIF 書き込みサイクル時間 ($EW = 1$)	$(WS+WST+WH+(EWC*16))*E-3$	$(WS+WST+WH+(EWC*16))*E+2$	ns
16	$t_{su}(\text{EMCEL-EMWEL})$	出力セットアップ時間、 $\overline{EMxCS}[y:2]$ LOW から $\overline{EMxWE}$ LOW まで ($SS = 0$)	$(WS)*E-3$	$(WS)*E+2$	ns
16	$t_{su}(\text{EMCEL-EMWEL})$	出力セットアップ時間、 $\overline{EMxCS}[y:2]$ LOW から $\overline{EMxWE}$ LOW まで ($SS = 1$)	-3	2	ns

6.12.11.3.5 EMIF 非同期メモリのスイッチング特性 (続き)

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ ^{(1) (2) (3)}		最小値	最大値	単位
17	t _h (EMWEH-EMCEH)	出力ホールド時間、 $\overline{EMxWE}$ HIGH から $\overline{EMxCS[y:2]}$ HIGH まで (SS = 0)	(WH)*E-3	(WH)*E	ns
17	t _h (EMWEH-EMCEH)	出力ホールド時間、 $\overline{EMxWE}$ HIGH から $\overline{EMxCS[y:2]}$ HIGH まで (SS = 1)	-3	0	ns
18	t _{su} (EMDQMV-EMWEL)	出力セットアップ時間、 $\overline{EMxDQM[y:0]}$ 有効から $\overline{EMxWE}$ LOW まで	(WS)*E-3	(WS)*E+2	ns
19	t _h (EMWEH-EMDQMIV)	出力ホールド時間、 $\overline{EMxWE}$ HIGH から $\overline{EMxDQM[y:0]}$ 無効まで	(WH)*E-3	(WH)*E	ns
20	t _{su} (EMBAV-EMWEL)	出力セットアップ時間、 $\overline{EMxBA[y:0]}$ 有効から $\overline{EMxWE}$ LOW まで	(WS)*E-3	(WS)*E+2	ns
21	t _h (EMWEH-EMBAIV)	出力ホールド時間、 $\overline{EMxWE}$ HIGH から $\overline{EMxBA[y:0]}$ 無効まで	(WH)*E-3	(WH)*E	ns
22	t _{su} (EMAV-EMWEL)	出力セットアップ時間、 $\overline{EMxA[y:0]}$ 有効から $\overline{EMxWE}$ LOW まで	(WS)*E-3	(WS)*E+2	ns
23	t _h (EMWEH-EMAIV)	出力ホールド時間、 $\overline{EMxWE}$ HIGH から $\overline{EMxA[y:0]}$ 無効まで	(WH)*E-3	(WH)*E	ns
24	t _w (EMWEL)	$\overline{EMxWE}$ アクティブ LOW 幅 (EW = 0)	(WST)*E-1	(WST)*E+1	ns
24	t _w (EMWEL)	$\overline{EMxWE}$ アクティブ LOW 幅 (EW = 1)	(WST+(EWC*16))*E-1	(WST+(EWC*16))*E+1	ns
25	t _d (EMWAIT-EMWEH)	$\overline{EMxWAIT}$ デアサートから $\overline{EMxWE}$ HIGH までの遅延時間	4*E+10	5*E+15	ns
26	t _{su} (EMDV-EMWEL)	出力セットアップ時間、 $\overline{EMxD[y:0]}$ 有効から $\overline{EMxWE}$ LOW まで	(WS)*E-3	(WS)*E+2	ns
27	t _h (EMWEH-EMDIV)	出力ホールド時間、 $\overline{EMxWE}$ HIGH から $\overline{EMxD[y:0]}$ 無効まで	(WH)*E-3	(WH)*E	ns

(1) TA = ターン アラウンド、RS = 読み取りセットアップ、RST = 読み取りストロブ、RH = 読み取りホールド、WS = 書き込みセットアップ、WST = 書き込みストロブ、WH = 書き込みホールド、MEWC = 最大外部ウェイト サイクル。これらのパラメータは、非同期バンクおよび非同期ウェイト サイクル構成レジスタを使ってプログラミングします。これらのパラメータは、以下の範囲の値をサポートしています。TA[4–1]、RS[16–1]、RST[64–4]、RH[8–1]、WS[16–1]、WST[64–1]、WH[8–1]、および MEWC[1–256]。詳細については、『[TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』を参照してください。

(2) E = $EMxCLK$ 周期 (ns 単位)。

(3) EWC = $EMxWAIT$ 入力信号によって決定される外部ウェイト サイクル。EWC は、以下の範囲の値をサポートしています。EWC[256–1]。タイムアウトまでの最大ウェイト時間は、非同期ウェイト サイクル構成レジスタのビットフィールド MEWC により指定されます。詳細については、『[TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』を参照してください。

6.12.11.3.6 EMIF 非同期メモリのタイミング図

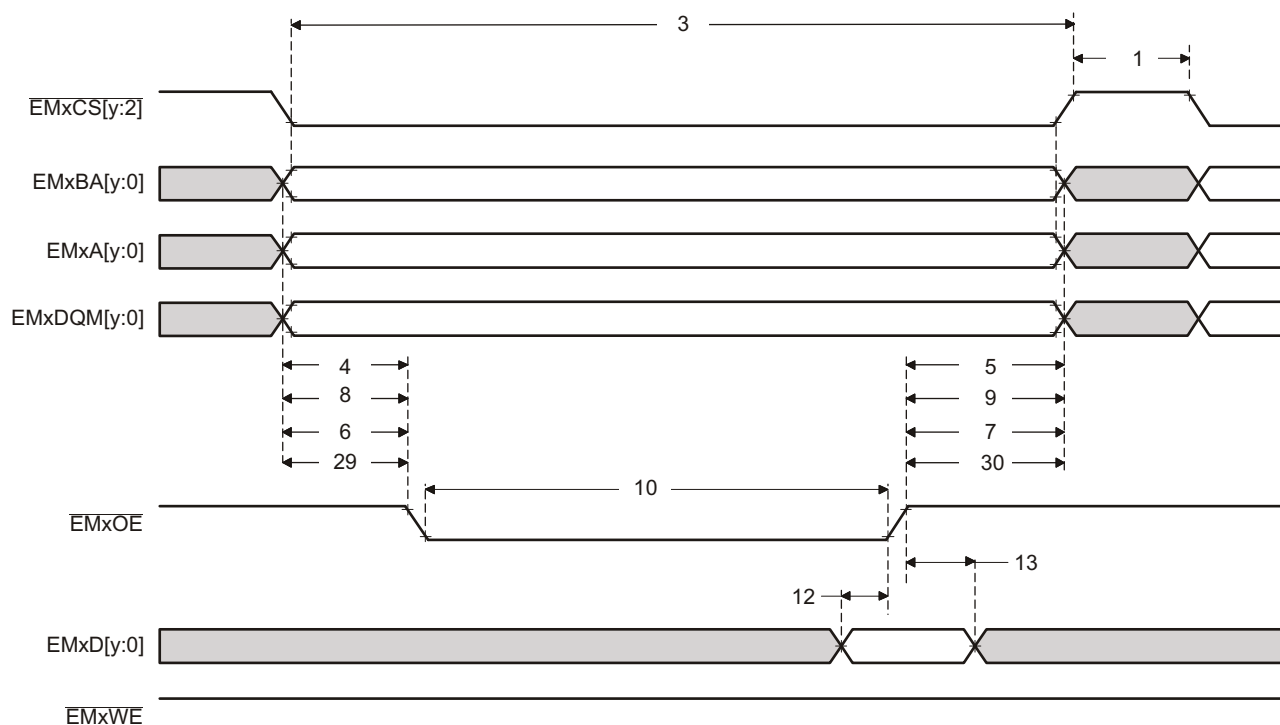


図 6-43. 非同期メモリ読み取りタイミング

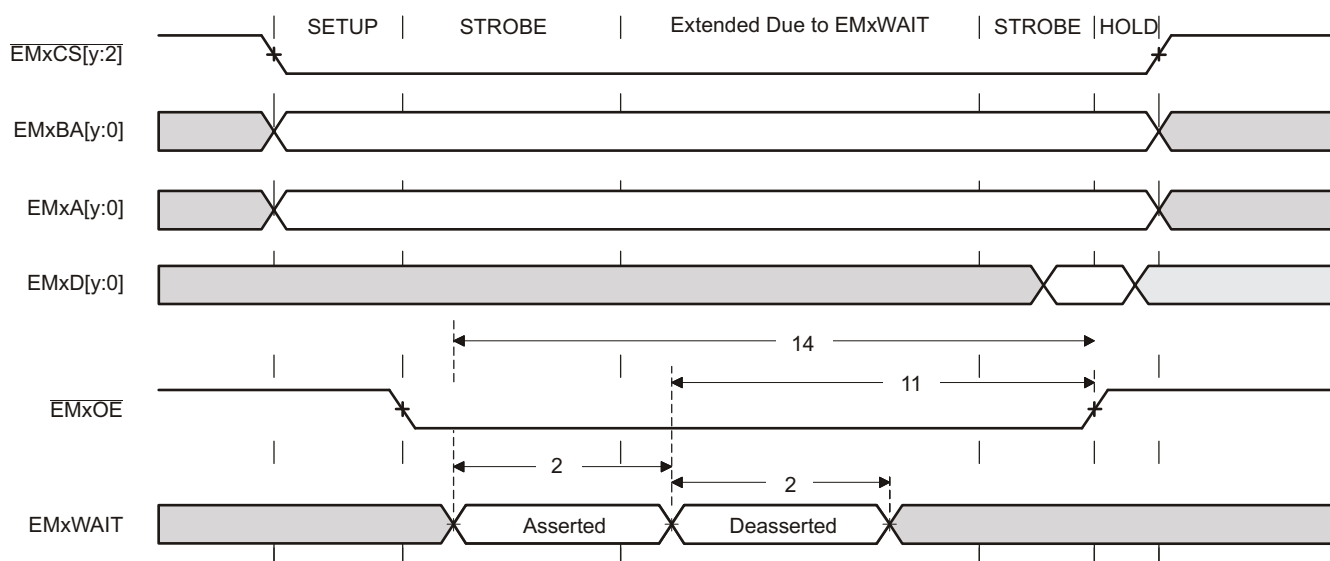


図 6-44. EMxWAIT 読み取りタイミング要件

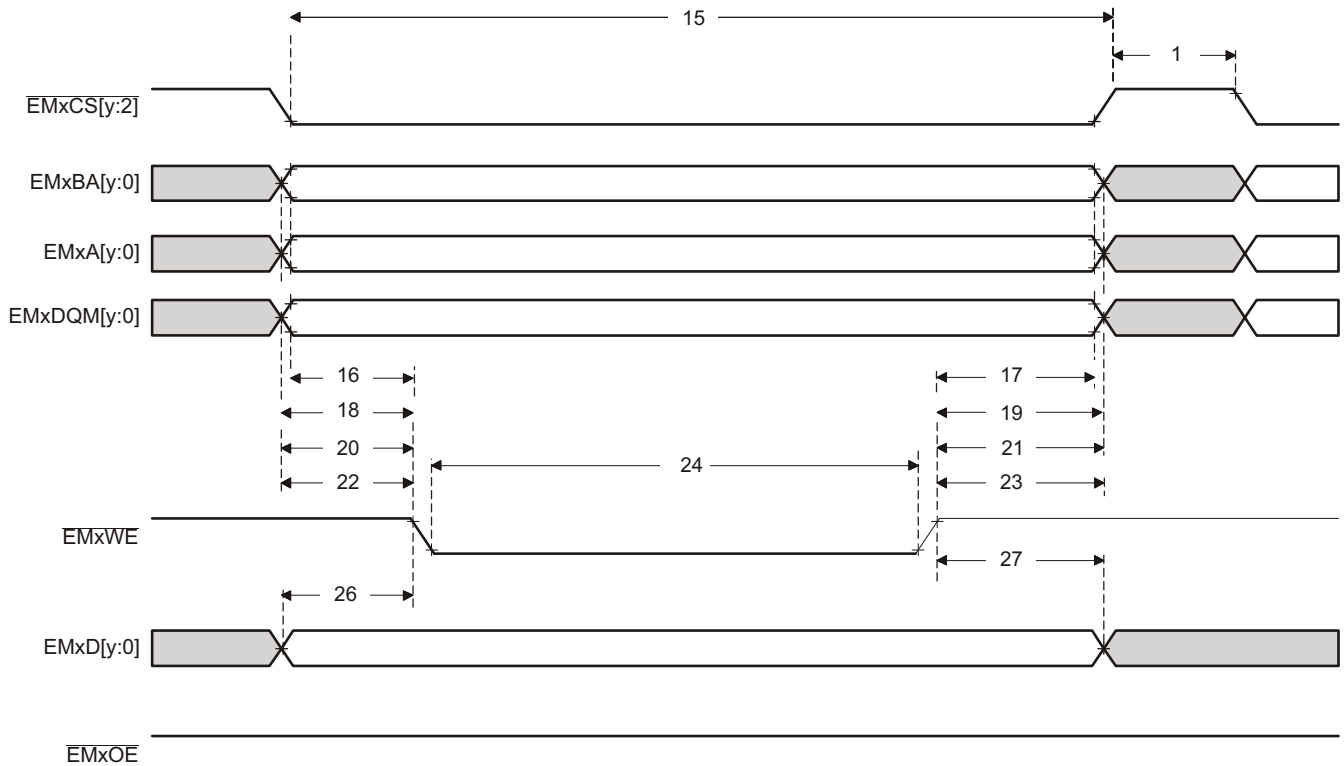


図 6-45. 非同期メモリ書き込みタイミング

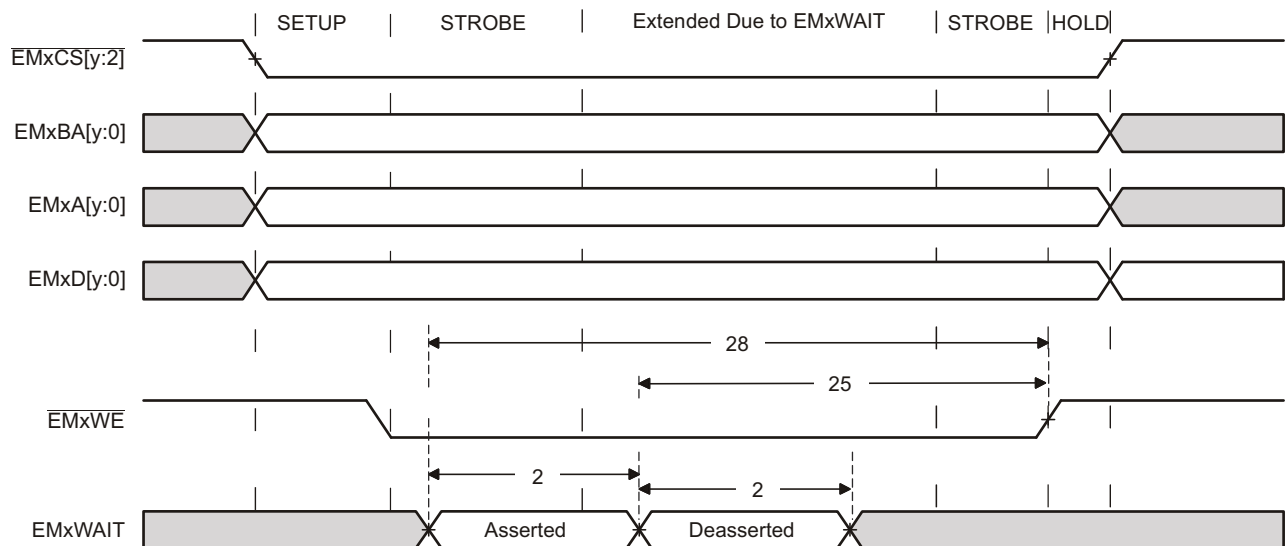


図 6-46. EMxWAIT 書き込みタイミング要件

6.13 C28x アナログ ペリフェラル

6.13.1 アナログ サブシステム

このデバイスのアナログ モジュールには、A/D コンバータ (ADC)、バッファ付き D/A コンバータ (DAC)、温度センサ、コンパレータ サブシステム (CMPSS) が含まれます。

6.13.1.1 特長

アナログ サブシステムには次のような特長があります。

- フレキシブルな電圧リファレンス:
 - これらの ADC は、VREFHIX ピンおよび VREFLOX ピンを基準としています。
 - VREFHIA ピンの電圧は、外部から駆動することも、内部バンドギャップ電圧リファレンスによって生成することもできます。VREFHIB と VREFHIC は、外部のオンボード接続を使用して内部リファレンスに接続できます。
 - 内部電圧リファレンスの範囲は、0V～3.3V または 0V～2.5V のいずれかを選択できます。
 - バッファ付き DAC は、VREFHIX および VSSA を基準としています。
 - または、VDAC ピンおよび VSSA を基準にすることもできます。
 - コンパレータ DAC は、VDDA および VSSA を基準としています。
 - または、VDAC ピンおよび VSSA を基準にすることもできます。
- フレキシブルなピンの用途
 - バッファ付き DAC 出力、コンパレータ サブシステム入力、およびデジタル入力 (AIO) / 出力 (AGPIO) は、ADC 入力と多重化されています。

6.13.1.2 ブロック図

以下のアナログ サブシステム ブロック図は、各種の内蔵アナログ モジュールとデバイス ピンとの間の接続を示しています。これらのピンは 2 つの区分 (アナログ モジュールの入力 / 出力、リファレンス ピン) に分類されます。

リファレンス ピン (VREFHIA ~ VREFHIC および VREFLOA ~ VREFLOC) は、関連する ADC に外部電圧リファレンスを供給するために使用できます。VREFHIA は DAC A に電圧リファレンスを供給するためにも、VREFHIB は DAC C に電圧リファレンスを供給するために使用できます。内部電圧リファレンスが利用可能で、VREFHIA に接続します。ADC B、ADC C、DAC C の内部電圧リファレンスを使用するには、VREFHIA を VREFHIB および/または VREFHIC に外部接続します。

VDAC リファレンス ピンを使用して、DAC A と DAC C、および CMPSS モジュール内の DAC の代替範囲を設定できます (CMPSS DAC は、デフォルトでは VDDA および VSSA を基準としています)。このピンを基準電圧として使用すると、チャンネルを ADC 入力として使用できなくなります (ただし、必要に応じて ADC を VDAC 電圧のサンプリングに使用できます)。リファレンスの選択は、各 CMPSS またはバッファ付き DAC について、モジュールごとに設定できます。この選択はモジュールの構成レジスタを使用して行われます。

一部のアナログ ピンは、多重化された AIO および AGPIO によってデジタル機能をサポートしています。AIO はデジタル入力機能のみをサポートしているのに対して、AGPIO はデジタル入力および出力機能を全面的にサポートしています。

以下の注意事項は、すべてのパッケージに適用されます。

- すべてのデバイスにおいて、すべてのアナログ ピンが利用できるとは限りません。使用可能なピンを確認するには、[セクション 5](#) を参照してください。
- VREFHI および VREFLO の許容電圧範囲については、[セクション 6.13.2.2](#) を参照してください。
- VREFHI ピンには外付けコンデンサが必要です。指定の値については、[セクション 6.13.2.2](#) を参照してください。
- バッファ付き DAC モジュールの場合、VREFHIX と VDAC のどちらが High リファレンスとして選択されていても、VSSA が Low リファレンスです。
- CMPSS モジュールの場合、VDAC と VDDA のどちらが High リファレンスとして選択されていても、VSSA が Low リファレンスです。

注

すべての ADC が内部 VREF モードで動作する場合、VREFHIA、VREFHIB、および VREFHIC を手動で外部接続する必要があります。

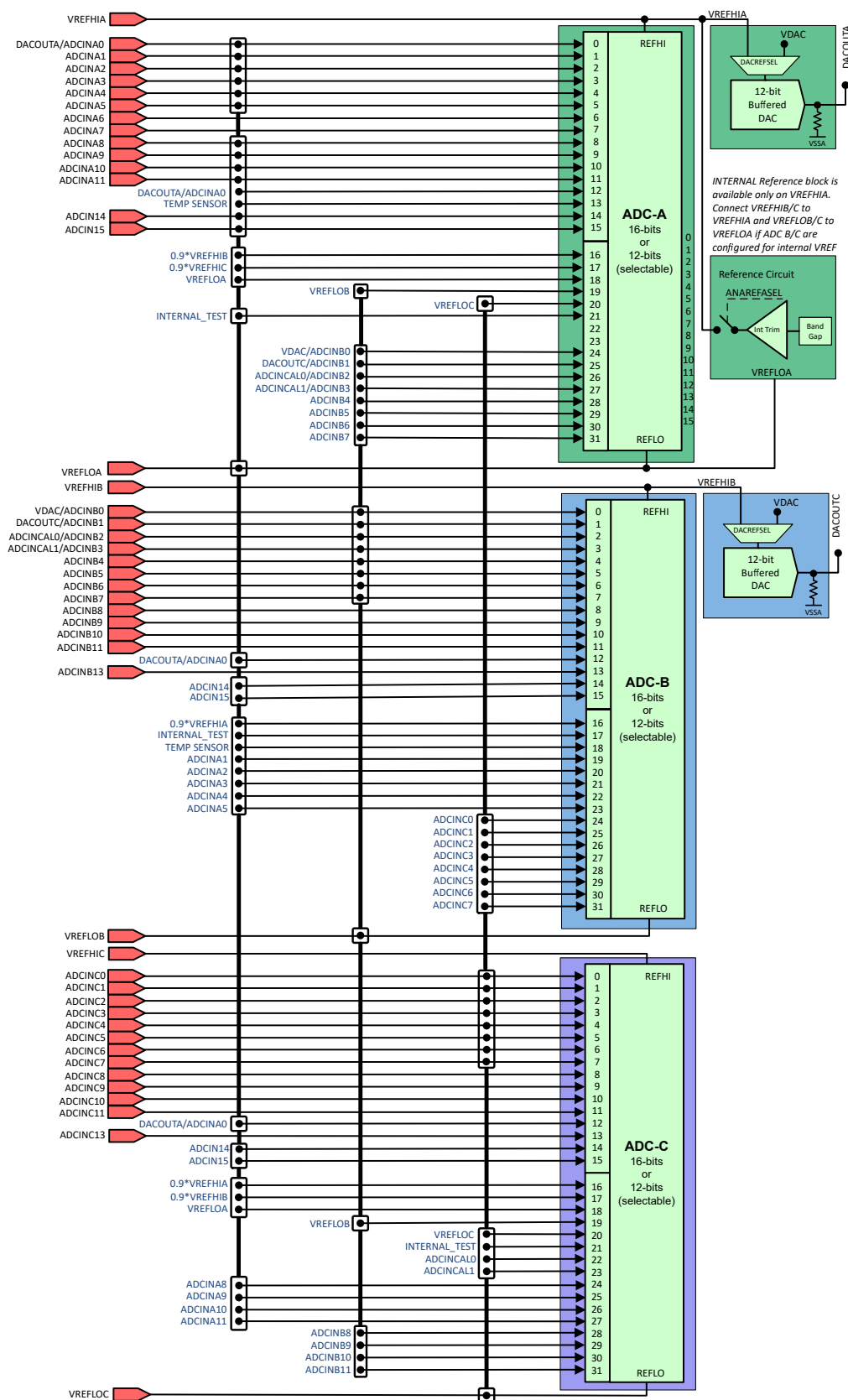


図 6-47. アナログサブシステムのブロック図 (ADC A、ADC B、ADC C)

CMPSS モジュールとの入力接続は、プログラム可能な入力マルチプレクサにより選択できます。図 6-48 に、CMPSS 入力の接続を示します。表 6-12 に、ADC 入力信号の CMPSS マルチプレクサ入力への割り当てを示します。

- CMPSSx の CMPH_POSIN 入力マルチプレクサを構成するには、CMPHPMXSEL または CMPHPMXSEL1 アナログ サブシステム レジスタの CMPxHPMXSEL フィールドに書き込みます。
- CMPSSx の CMPH_NEGIN 入力マルチプレクサを構成するには、CMPHNMXSEL アナログ サブシステム レジスタの CMPxHNMXSEL フィールドに書き込みます。
- CMPSSx の CMPL_POSIN 入力マルチプレクサを構成するには、CMPLPMXSEL または CMPLPMXSEL1 アナログ サブシステム レジスタの CMPxLPMXSEL フィールドに書き込みます。
- CMPSSx の CMPL_NEGIN 入力マルチプレクサを構成するには、CMPLNMXSEL アナログ サブシステム レジスタの CMPxLNMXSEL フィールドに書き込みます。

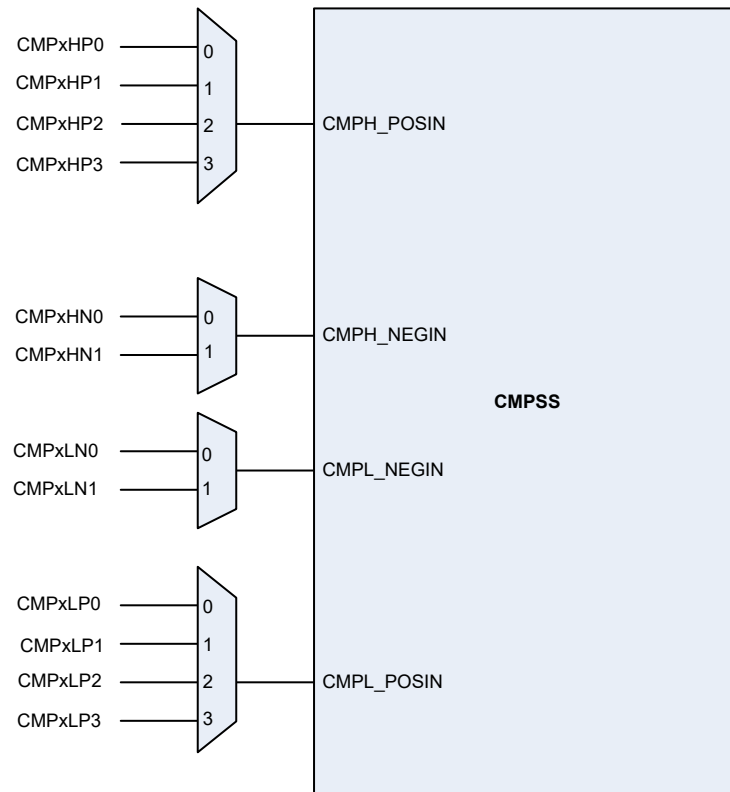


図 6-48. CMPSS 入力接続

表 6-12. CMPSS 入力マルチプレクサ オプション

	CMP1	CMP2	CMP3	CMP4	CMP5	CMP6	CMP7	CMP8	CMP9	CMP10	CMP11
HP0	A2	A4	B2	A14	C4	C2	A6	A8	B13	C10	C11
HP1	A0	B8	B0	B10	B4	C0	B6	A10	C13	C6	C7
HP2	A1	B9	B1	B11	B5	C1	B7	A11	A7	C8	C9
HP3	A3	A5	TS	A15	TS	0.9*VREF HIA	0.9*VREF HIB	0.9*VREF HIC			
HN0	A3	A5	B3	A15	C5	C3	A7	A9	A0	B8	B0
HN1	A1	A2	B7	B10	B4	C0	B6	A10	B9	C4	C13
LP0	A2	A4	B2	A14	C4	C2	A6	A8	B13	C10	C11
LP1	A0	B8	B0	B10	B4	C0	B6	A10	C13	C6	C7
LP2	A1	B9	B1	B11	B5	C1	B7	A11	A5	C8	C9

表 6-12. CMPSS 入力マルチプレクサ オプション (続き)

	CMP1	CMP2	CMP3	CMP4	CMP5	CMP6	CMP7	CMP8	CMP9	CMP10	CMP11
LP3	B3	C5	C3	A7	A9	0.9*VREF HIA	0.9*VREF HIB	0.9*VREF HIC			
LN0	A3	A5	B3	A15	C5	C3	A7	A9	A0	B8	B0
LN1	A1	A2	B7	B10	B4	C0	B6	A10	B9	C4	C13

表 6-13. アナログ信号の説明

信号名	概要
ADCINAx, Ax	ADC A 入力
ADCINBx, Bx	ADC B 入力
ADCINCx, Cx	ADC C 入力
CMPH_POSIN	コンパレータ サブシステムのハイ コンパレータ正入力
CMPH_NEGIN	コンパレータ サブシステムのハイ コンパレータ負入力
CMPL_POSIN	コンパレータ サブシステムのロー コンパレータ正入力
CMPL_NEGIN	コンパレータ サブシステムのロー コンパレータ負入力
DACOUTx	バッファ付き DAC 出力
TEMP SENSOR, TS	内部温度センサ
VDAC	オンチップ DAC の外部リファレンス電圧 (オプション)。このピンは、ADC 入力または DAC リファレンスのいずれかに使われますが、VSSA に対して 100pF のコンデンサが付いており、ディセーブルすることはできません。このピンをオンチップ DAC のリファレンス電圧として使用する場合は、このピンに少なくとも 1μF のコンデンサを配置します。

表 6-14. リファレンスの概要

モジュール	リファレンス オプション	構成場所	登録	Driverlib 機能	注
ADC	外部または内部	アナログ サブシステム	AnalogSubsysRegs. .ANAREFCTL.bit.A NAREFxSEL	ASysCtl_setAnalogReferenceInternal, ASysCtl_setAnalogReferenceExternal	内部リファレンスのみ ADCA に接続。ADCB/ADC の場合、VREFHI ピンを VREFHIA に外部接続する必要があります。
	内部リファレンス 2.5V または 3.3V	アナログ サブシステム	AnalogSubsysRegs. .ANAREFCTL.bit.A NAREFx2P5SEL	ASysCtl_setAnalogReference2P5, ASysCtl_setAnalogReference1P65	
バッファ付き DAC	VREFHI または VDAC	DAC モジュール	DacxRegs. DACCTL.bit.DACR EFSEL	DAC_setReferenceVoltage	内部リファレンスのみ ADCA に接続。ADCB/ADC の場合、VREFHI ピンを VREFHIA に外部接続する必要があります。
	外部または内部	アナログ サブシステム	AnalogSubsysRegs. .ANAREFCTL.bit.A NAREFxSEL	ASysCtl_setAnalogReferenceInternal, ASysCtl_setAnalogReferenceExternal	
CMPSS DAC	VDDA または VDAC	CMPSS モジュール	CmpssxRegs. COMPDACHCTL.bit.SELREF	CMPSS_COMPDACHCTL_SELREF	

表 6-15. アナログ内部接続

ピン名	ピン数 / パッケージ				ADC			DAC	コンパレータ サブシステム (マルチプレクサ)				AIO 入力 / GPIO
	256 ZEJ	176 PTP	169 NMR	100 PZP	A	B	C		High 正	High 負	Low 正	Low 負	
VREFHIA	M2	37	K2	19									
VREFHIB	R4	53	M4	34									
VREFHIC	L2	35	J2	19									
VREFLOA	M1	33	K1	16	A18		C18						
VREFLOB	T4	50	N4	32	A19		C19						
VREFLOC	L1	32	J1	16	A20		C20						
アナログ グループ 1									CMP1				
A1	P2	42	K3	24	A1	B19			CMP1 (HPMXSEL=2)	CMP1 (HNMXSEL=1)	CMP1 (LPMXSEL=2)	CMP1 (LNMXSEL=1)	AIO228
A3	N4	40	H3	22	A3	B21			CMP1 (HPMXSEL=3)	CMP1 (HNMXSEL=0)		CMP1 (LNMXSEL=0)	AIO230
アナログ グループ 2									CMP1/CMP2/CMP9				
A2	N3	41	J3	23	A2	B20			CMP1 (HPMXSEL=0)	CMP2 (HNMXSEL=1)	CMP1 (LPMXSEL=0)	CMP2 (LNMXSEL=1)	AIO229
A0	P1	43	L3	25	A0、A12	B12	C12	DACA_OUT	CMP1 (HPMXSEL=1)	CMP9 (HNMXSEL=0)	CMP1 (LPMXSEL=1)	CMP9 (LNMXSEL=0)	AIO227
アナログ グループ 3									CMP2				
A4	M4	39	H2	21	A4	B22			CMP2 (HPMXSEL=0)		CMP2 (LPMXSEL=0)		AIO231
アナログ グループ 4									CMP2/CMP9/CMP10				
A5	M5	38	H1	20	A5	B23			CMP2 (HPMXSEL=3)	CMP2 (HNMXSEL=0)	CMP9 (LPMXSEL=2)	CMP2 (LNMXSEL=0)	AIO232
B9	N8	67	N7			B9	C29		CMP2 (HPMXSEL=2)	CMP9 (HNMXSEL=1)	CMP2 (LPMXSEL=2)	CMP9 (LNMXSEL=1)	GPIO218
B8	P8	66	M7			B8	C28		CMP2 (HPMXSEL=1)	CMP10 (HNMXSEL=0)	CMP2 (LPMXSEL=1)	CMP10 (LNMXSEL=0)	GPIO217
アナログ グループ 5									CMP3				
TempSensor					A13	B18			CMP3 (HPMXSEL=3)				
B2	R3	48	M3	30	A26	B2			CMP3 (HPMXSEL=0)		CMP3 (LPMXSEL=0)		AIO235
B1	T3	47	N3	29	A25	B1		DACC_OUT	CMP3 (HPMXSEL=2)		CMP3 (LPMXSEL=2)		AIO234
アナログ グループ 6									CMP3/CMP1/CMP11				
B3	P3	49	L4	31	A27	B3				CMP3 (HNMXSEL=0)	CMP1 (LPMXSEL=3)	CMP3 (LNMXSEL=0)	AIO236
B0	T2	46	N2	28		B0	A24	VDAC	CMP3 (HPMXSEL=1)	CMP11 (HNMXSEL=0)	CMP3 (LPMXSEL=1)	CMP11 (LNMXSEL=0)	AIO233
アナログ グループ 7									CMP4				
A14/B14/C14	R1	44	M1	26	A14	B14	C14		CMP4 (HPMXSEL=0)		CMP4 (LPMXSEL=0)		AIO225
A15/B15/C15	R2	45	M2	27	A15	B15	C15		CMP4 (HPMXSEL=3)	CMP4 (HNMXSEL=0)		CMP4 (LNMXSEL=0)	AIO226
B11	P4	51				B11	C31		CMP4 (HPMXSEL=2)		CMP4 (LPMXSEL=2)		AIO240
B10	R7	61				B10	C30		CMP4 (HPMXSEL=1)	CMP4 (HNMXSEL=1)	CMP4 (LPMXSEL=1)	CMP4 (LNMXSEL=1)	GPIO219
アナログ グループ 8									CMP5				
TempSensor					A13	B18			CPM5 (HPMXSEL=3)				
B5	N7	65	N6		A29	B5			CMP5 (HPMXSEL=2)		CMP5 (LPMXSEL=2)		GPIO216
B4	P7	64	M6		A28	B4			CMP5 (HPMXSEL=1)	CMP5 (HNMXSEL=1)	CMP5 (LPMXSEL=1)	CMP5 (LNMXSEL=1)	GPIO215
アナログ グループ 9									CMP5/CMP2/CMP10				
C5	L6	28	G6	12		B29	C5			CMP5 (HNMXSEL=0)	CMP2 (LPMXSEL=3)	CMP5 (LNMXSEL=0)	GPIO204
C4	M6	29	H6	13		B28	C4		CMP5 (HPMXSEL=0)	CMP10 (HNMXSEL=1)	CMP5 (LPMXSEL=0)	CMP10 (LNMXSEL=1)	GPIO205
アナログ グループ 10									CMP6				

表 6-15. アナログ内部接続 (続き)

ピン名	ピン数 / パッケージ				ADC			DAC	コンパレータ サブシステム (マルチプレクサ)				AIO 入力 / GPIO
	256 ZEJ	176 PTP	169 NMR	100 PZP	A	B	C		High 正	High 負	Low 正	Low 負	
0.9*VREFHIA						B16	C16		CMP6 (HPMXSEL=3)		CMP6 (LPMXSEL=3)		
C0	H1	22	F1	9		B24	C0		CMP6 (HPMXSEL=1)	CMP6 (HNMXSEL=1)	CMP6 (LPMXSEL=1)	CMP6 (LNMXSEL=1)	GPIO199
C1	J1	23	G1	10		B25	C1		CMP6 (HPMXSEL=2)		CMP6 (LPMXSEL=2)		GPIO200
C2	L4	31	H4	15		B26	C2		CMP6 (HPMXSEL=0)		CMP6 (LPMXSEL=0)		AIO237
アナログ グループ 11									CMP6/CMP3				
C3	L5	30	H5	14		B27	C3			CMP6 (HNMXSEL=0)	CMP3 (LPMXSEL=3)	CMP6 (LNMXSEL=0)	GPIO206
アナログ グループ 12									CMP7				
0.9*VREFHIB					A16		C17		CMP7 (HPMXSEL=3)		CMP7 (LPMXSEL=3)		
B6	N5	55	J4	36	A30	B6			CMP7 (HPMXSEL=1)	CMP7 (HNMXSEL=1)	CMP7 (LPMXSEL=1)	CMP7 (LNMXSEL=1)	GPIO207
A6	N6	57	J5	38	A6				CMP7 (HPMXSEL=0)		CMP7 (LPMXSEL=0)		GPIO209
アナログ グループ 13									CMP7/CMP3				
B7	P5	56	K4	37	A31	B7			CMP7 (HPMXSEL=2)	CMP3 (HNMXSEL=1)	CMP7 (LPMXSEL=2)	CMP3 (LNMXSEL=1)	GPIO208
アナログ グループ 14									CMP8				
0.9*VREFHIC					A17				CMP8 (HPMXSEL=3)		CMP8 (LPMXSEL=3)		
A8	R6	59	J6		A8		C24		CMP8 (HPMXSEL=0)		CMP8 (LPMXSEL=0)		GPIO211
A11	R8	63	L6	40	A11		C27		CMP8 (HPMXSEL=2)		CMP8 (LPMXSEL=2)		GPIO214
A10	T8	62	L5	39	A10		C26		CMP8 (HPMXSEL=1)	CMP8 (HNMXSEL=1)	CMP8 (LPMXSEL=1)	CMP8 (LNMXSEL=1)	GPIO213
アナログ グループ 15									CMP8/CMP5				
A9	T7	60	K6		A9		C25			CMP8 (HNMXSEL=0)	CMP5 (LPMXSEL=3)	CMP8 (LNMXSEL=0)	GPIO212
アナログ グループ 16									CMP9				
B13	R5					B13			CMP9 (HPMXSEL=0)		CMP9 (LPMXSEL=0)		AIO238
アナログ グループ 17									CMP9/CMP4/CMP7/CMP11				
A7	P6	58	K5		A7				CMP9 (HPMXSEL=2)	CMP7 (HNMXSEL=0)	CMP4 (LPMXSEL=3)	CMP7 (LNMXSEL=0)	GPIO210
C13	K1						C13		CMP9 (HPMXSEL=1)	CMP11 (HNMXSEL=1)	CMP9 (LPMXSEL=1)	CMP11 (LNMXSEL=1)	AIO239
アナログ グループ 18									CMP10				
C8	K3	25	G3				C8		CMP10 (HPMXSEL=2)		CMP10 (LPMXSEL=2)		GPIO202
C6	K5	27	G5	11		B30	C6		CMP10 (HPMXSEL=1)		CMP10 (LPMXSEL=1)		GPIO203
C10	L3						C10		CMP10 (HPMXSEL=0)		CMP10 (LPMXSEL=0)		AIO241
アナログ グループ 19									CMP11				
C9	J2	24	G2				C9		CMP11 (HPMXSEL=2)		CMP11 (LPMXSEL=2)		GPIO201
C11	K2						C11		CMP11 (HPMXSEL=0)		CMP11 (LPMXSEL=0)		AIO242
C7	K4	26	G4			B31	C7		CMP11 (HPMXSEL=1)		CMP11 (LPMXSEL=1)		GPIO198

6.13.2 A/D コンバータ (ADC)

ここで説明する ADC モジュールは、12 ビットと 16 ビットの分解能を選択可能な逐次比較型 (SAR) ADC です。このセクションでは、コンバータのアナログ回路を「コア」と呼び、チャンネル選択マルチプレクサ、サンプル/ホールド (S/H) 回路、逐次比較回路、電圧リファレンス回路、その他のアナログ サポート回路が含まれています。コンバータのデジタル回路は「ラッパ」と呼ばれ、プログラム可能な変換、結果レジスタ、アナログ回路へのインターフェイス、ペリフェラル バスへのインターフェイス、後処理回路、およびその他のオンチップ モジュールへのインターフェイス用のロジックが含まれています。

各 ADC モジュールは、単一のサンプル / ホールド (S/H) 回路で構成されています。ADC モジュールは、同じチップ上で複数回複製された設計になっており、複数の ADC を同時にサンプリングすることも、独立して動作させることもできます。ADC ラッパは、変換開始 (SOC) ベースで動作します (『[TMS320F28P65x リアルタイム マイコン テクニカル リファレンス マニュアル](#)』の「A/D コンバータ (ADC)」の章にある「SOC の動作原理」セクションを参照)。

各 ADC には次のような特長があります。

- 12 ビットと 16 ビットの分解能を選択可能
- VREFHI/VREFLO によって設定されるレシオメトリック外部リファレンス
- 2.5 V または 3.3 V の内部リファレンスを選択可能
- シングルエンドまたは差動信号モード。ADC C、D、E のシングルエンド モード。
- 最大 40 チャンネル (シングルエンド) または 19 チャンネル (差動) の入力マルチプレクサ
- 16 本の構成可能な SOC
- 16 個の個別にアドレス指定可能な結果レジスタ
- SOC ごとに外部アナログ入力マルチプレクサを選択可能 (最大 4 ビット)
- 複数のトリガ ソース
 - ソフトウェアによる直接開始
 - すべての ePWM : ADCSOC A または B
 - GPIO XINT2
 - CPU タイマ 0/1/2
 - ADCINT1/2
 - キャプチャ モードの eCAP イベント (CEVT1、CEVT2、CEVT3、CEVT4) と APWM モード (期間一致、比較一致、または両方)。
 - 複数の ADC 向けのグローバル ソフトウェアトリガ
- 4 つのフレキシブルな割り込み
- バースト モードトリガ オプション
- 最大 128x のハードウェア オーバーサンプリング モード、トリガ拡散遅延を構成可能
- ハードウェア アンダーサンプリング モード
- トリガ位相遅延機能
- 4 つの後処理ブロック、それぞれに次の機能を搭載:
 - 飽和オフセット較正
 - 設定点からの誤差の計算
 - 高、低、ゼロクロス比較、割り込みおよび ePWM トリップ機能付き
 - トリガからサンプルまでの遅延キャプチャ
 - 絶対値の計算
 - オーバーサンプリング用の 24 ビット累積レジスタ、バイナリ シフトを構成可能
 - 外れ値除去の最小値 / 最大値の計算

注

すべてのチャンネルがすべての ADC からピンへ接続できるわけではありません。使用可能なチャンネルを確認するには、「ピン構成および機能」セクションを参照してください。

図 6-49 に、ADC コアと ADC ラッパーのブロック図を示します。

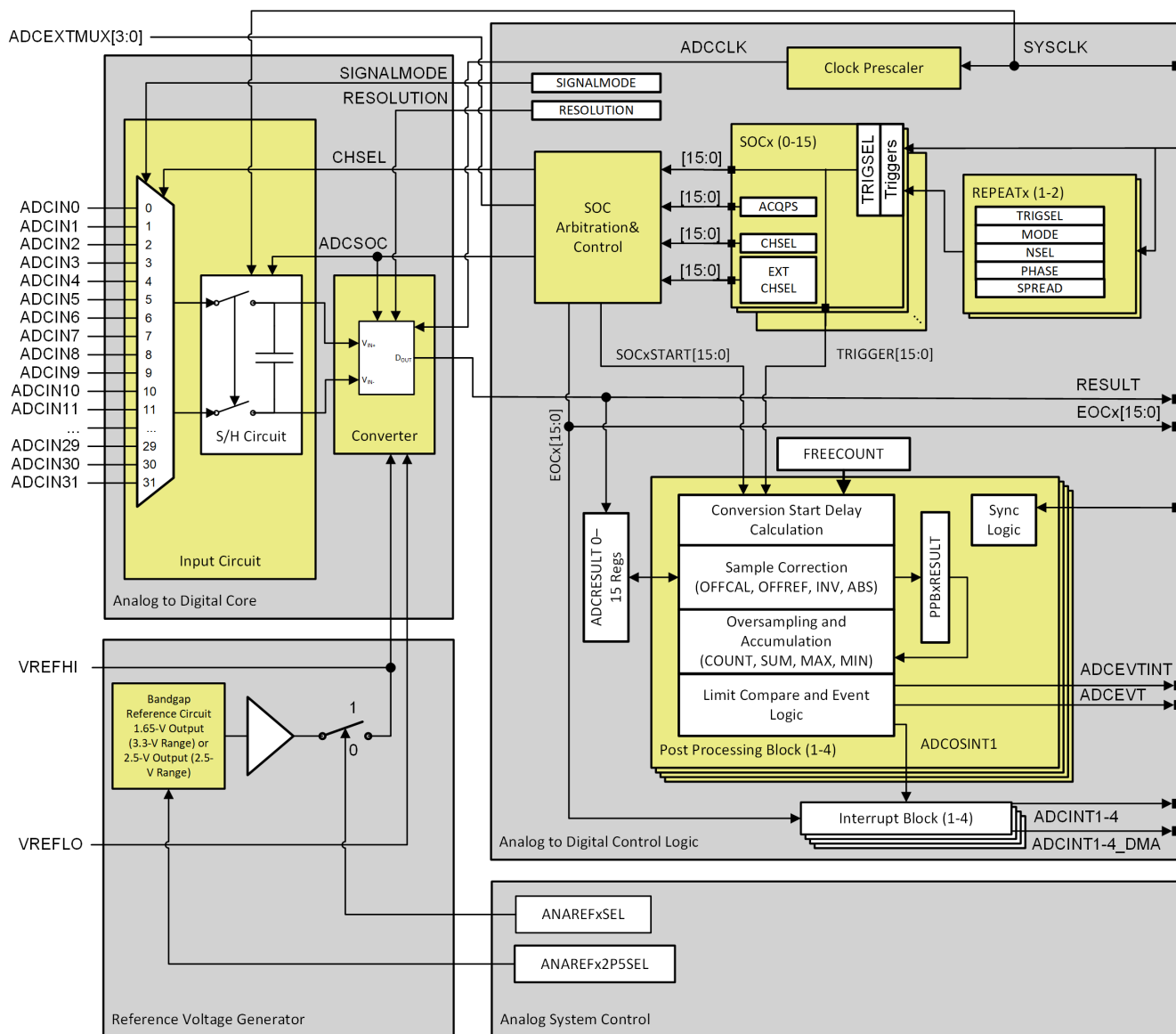


図 6-49. ADC モジュールのブロック図

6.13.2.1 ADC の構成可能性

一部の ADC 構成は、SOC によって個別に管理されますが、他の構成は、ADC モジュールごとにまとめて管理されます。表 6-16 に、基本的な ADC オプションとその構成レベルを示します。

表 6-16. ADC オプションおよび構成レベル

オプション	構成方法
クロック	モジュールごと ⁽¹⁾
分解能	モジュールごと ⁽¹⁾
信号モード	モジュールごと
リファレンス電圧源	モジュールごと (外部または内部) ^{(2) (3)}
トリガ ソース	SOC ごと ⁽¹⁾
変換対象チャネル	SOC ごと
アキュイジション ウィンドウ幅	SOC ごと ⁽¹⁾
EOC の位置	モジュールごと
バースト モード	モジュールごと ⁽¹⁾

- (1) これらの設定について、異なる ADC モジュールに異なる値を書き込むと、ADC が非同期に動作する可能性があります。ADC の動作が同期になるか非同期になるかについてのガイダンスは、『[TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「A/D コンバータ (ADC)」の章にある「同期動作の確保」セクションを参照してください。
- (2) ピン数の少ないパッケージでは、複数の ADC が 1 つの VREFHI ピンを共有する場合があります。この場合、リファレンス ピンを共有する ADC のリファレンス モードを同じにする必要があります。
- (3) 16 ビット分解能を使用する場合、3.3V 内部リファレンス モードはサポートされません。

6.13.2.1.1 信号モード

ADC は、シングルエンドと差動の 2 つの信号モードをサポートしています。シングルエンド・モードでは、コンバータへの入力電圧は VREFLO を基準として、1 本のピン (ADCINx) でサンプリングされます。差動信号モードでは、コンバータへの入力電圧は 1 組の入力ピンでサンプリングされます。一方が正入力 (ADCINxP) で、他方が負入力 (ADCINxN) です。実際の入力電圧は、2 つの入力電圧の差 (ADCINxP – ADCINxN) です。図 6-50 に、差動信号モードを示します。図 6-51 に、シングルエンド信号モードを示します。

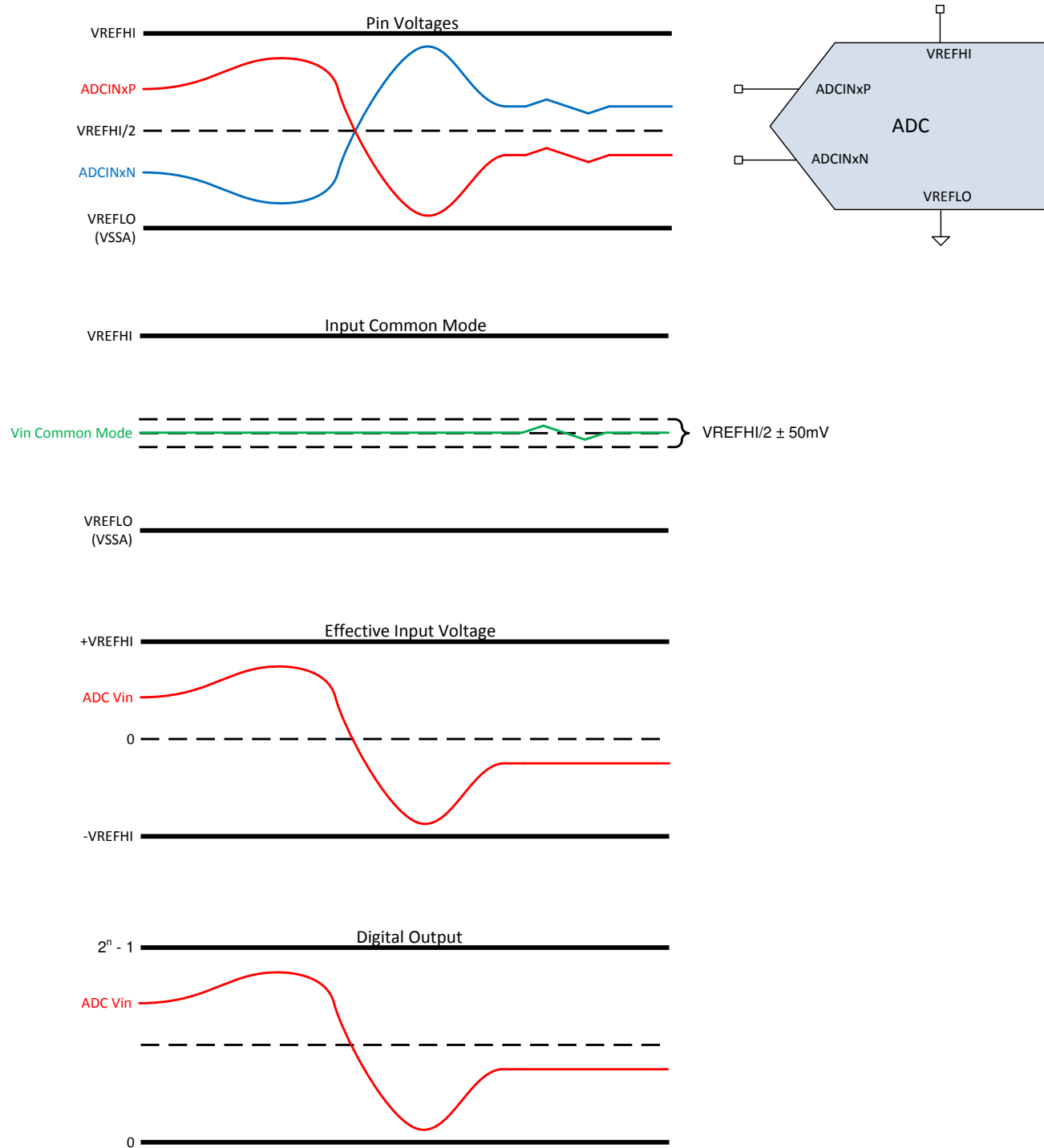


図 6-50. 差動信号モード

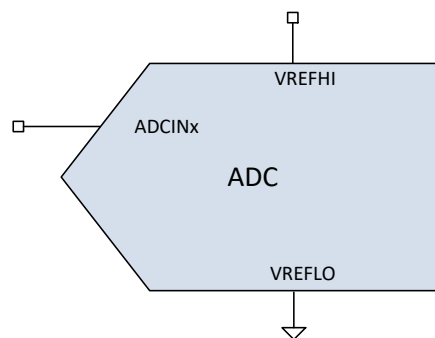
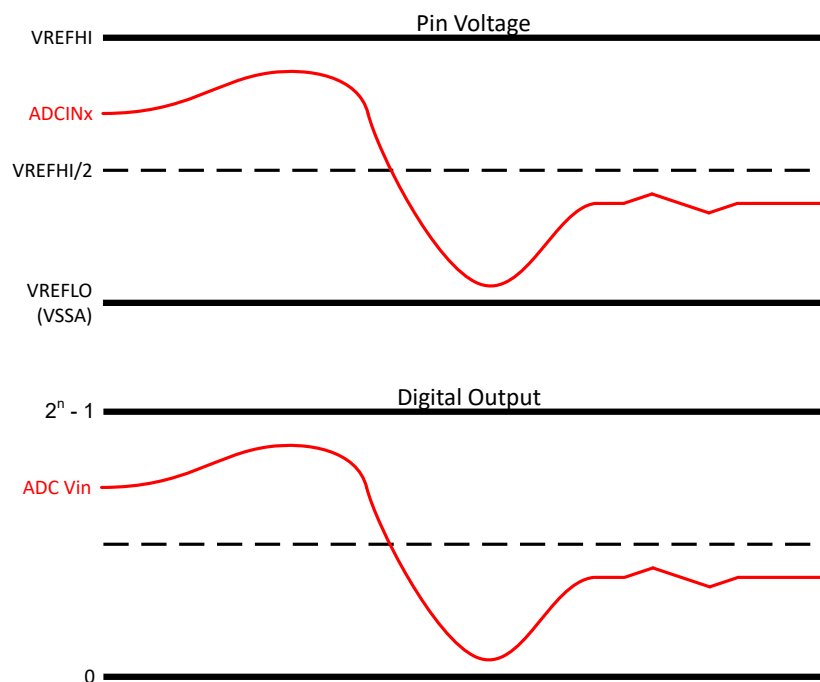


図 6-51. シングルエンド信号モード

6.13.2.2 ADC の電氣的データおよびタイミング

注

ADC 入力は $V_{DDA} + 0.3V$ よりも低く維持する必要があります。ADC 入力がこのレベルを超えると、ADC によって他のチャンネルに乱れが生じる可能性があります。メカニズムは次の 2 つです。

- ADC 入力の過電圧によって CMPSS マルチプレクサのオーバードライブが発生し、共通の CMPSS マルチプレクサを共有する他のすべてのチャンネルに乱れが生じます。この乱れは、過電圧の入力が ADC によってサンプリングされるかどうかに関係なく続きます。
- 過電圧の ADC 入力が ADC によってサンプリングされると、VREFHI がより高いレベルに引き上げられます。これにより、 V_{REF} が安定するまで、任意のチャンネルでの以降の ADC 変換に乱れが生じます。

注

正常な機能動作を確保するためには、VREFHI ピンを $V_{DDA} + 0.3V$ よりも低く維持する必要があります。VREFHI ピンがこのレベルを超えると、ブロッキング回路が動作し内部の VREFHI 値が 0V になることで、ADC 変換出力が不正確になる可能性があります。

6.13.2.2.1 ADC の動作条件 12 ビット シングルエンド

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ADCCLK (PERx.SYSCLK から生成)		5		57	MHz
サンプル レート ⁽³⁾	200MHz SYSCLK			3.92	MSPS
サンプル ウィンドウ幅 (ACQPS および PERx.SYSCLK により設定) ⁽¹⁾	50Ω 以下の R_s 、AIO のピン	75			ns
	50Ω 以下の R_s 、AGPIO のピン	90			
VREFHI	外部リファレンス	2.4	2.5 または 3.0	V_{DDA}	V
VREFHI ⁽²⁾	内部リファレンス = 3.3V レンジ		1.65		V
	内部リファレンス = 2.5V レンジ		2.5		V
VREFLO		V_{SSA}		V_{SSA}	V
変換範囲	内部リファレンス = 3.3V レンジ	0		3.3	V
	内部リファレンス = 2.5V レンジ	0		2.5	V
	外部リファレンス	VREFLO		VREFHI	V

(1) この他、ADC を正しく動作させるために、サンプル ウィンドウは少なくとも、1 ADCCLK サイクルにわたって継続する必要があります。

(2) 内部リファレンス モードでは、デバイスによってリファレンス電圧が VREFHI ピンから駆動されます。このモードでは、ピンに電圧を印加しないでください。

6.13.2.2.2 ADC の動作条件 12 ビット差動

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ADCCLK (PERx.SYSCLK から生成)		5		57	MHz
サンプル レート ⁽³⁾	200MHz SYSCLK			3.92	MSPS
サンプル ウィンドウ幅 (ACQPS および PERx.SYSCLK により設定) ⁽¹⁾	50Ω 以下の R_s 、AIO のピン	75			ns
	50Ω 以下の R_s 、AGPIO のピン	90			
VREFHI	外部リファレンス	2.4	2.5 または 3.0	V_{DDA}	V
VREFHI ⁽²⁾	内部リファレンス = 3.3V レンジ		非対応		V
	内部リファレンス = 2.5V レンジ		2.5		V

6.13.2.2.2 ADC の動作条件 12 ビット差動 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
VREFLO		VSSA		VSSA	V
変換範囲	内部リファレンス = 3.3V レンジ		非対応		V
	内部リファレンス = 2.5V レンジ	0		2.5	V
	外部リファレンス	VREFLO		VREFHI	V

- (1) この他、ADC を正しく動作させるために、サンプル ウィンドウは少なくとも、1 ADCCLK サイクルにわたって継続する必要があります。
- (2) 内部リファレンス モードでは、デバイスによってリファレンス電圧が VREFHI ピンから駆動されます。このモードでは、ピンに電圧を印加しないでください。

6.13.2.2.3 ADC の動作条件 16 ビット シングルエンド

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ADCCLK (PERx.SYSCLK から生成)		5		57	MHz
サンプル レート	200MHz SYSCLK			1.19	MSPS
サンプル ウィンドウ幅 (ACQPS および PERx.SYSCLK により設定) ⁽¹⁾	50Ω 以下の R _s , AIO のピン	320			ns
	50Ω 以下の R _s , AGPIO のピン	405			
VREFHI	外部リファレンス	2.4	2.5 または 3.0	VDDA	V
VREFHI ⁽²⁾	内部リファレンス = 3.3V レンジ		非対応		V
	内部リファレンス = 2.5V レンジ		2.5		V
VREFLO		VSSA		VSSA	V
変換範囲	内部リファレンス = 3.3V レンジ		非対応		V
	内部リファレンス = 2.5V レンジ	0		2.5	V
	外部リファレンス	VREFLO		VREFHI	V

- (1) この他、ADC を正しく動作させるために、サンプル ウィンドウは少なくとも、1 ADCCLK サイクルにわたって継続する必要があります。
- (2) 内部リファレンス モードでは、デバイスによってリファレンス電圧が VREFHI ピンから駆動されます。このモードでは、ピンに電圧を印加しないでください。

6.13.2.2.4 ADC の動作条件 16 ビット差動

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ADCCLK (PERx.SYSCLK から生成)		5		57	MHz
サンプル レート	200MHz SYSCLK			1.19	MSPS
サンプル ウィンドウ幅 (ACQPS および PERx.SYSCLK により設定) ⁽¹⁾	50Ω 以下の R _s , AIO のピン	320			ns
	50Ω 以下の R _s , AGPIO のピン	320			
VREFHI	外部リファレンス	2.4	2.5 または 3.0	VDDA	V
VREFHI ⁽²⁾	内部リファレンス = 3.3V レンジ		非対応		V
	内部リファレンス = 2.5V レンジ		2.5		V
VREFLO		VSSA		VSSA	V
変換範囲	内部リファレンス = 3.3V レンジ		非対応		V
	内部リファレンス = 2.5V レンジ	0		2.5	V
	外部リファレンス	VREFLO		VREFHI	V

- (1) この他、ADC を正しく動作させるために、サンプル ウィンドウは少なくとも、1 ADCCLK サイクルにわたって継続する必要があります。
- (2) 内部リファレンス モードでは、デバイスによってリファレンス電圧が VREFHI ピンから駆動されます。このモードでは、ピンに電圧を印加しないでください。

6.13.2.2.5 ADC 特性 12 ビット シングルエンド

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
全般					
ADCCLK 変換サイクル	200MHz SYSCLK	10.1		11	ADCCLK
パワーアップ時間	外部リファレンス モード			500	μs
	内部リファレンス モード			5000	μs
	内部リファレンス モード、2.5V レンジと 3.3V レンジの間で切り替える場合。			5000	μs
VREFHI 入力電流 ⁽¹⁾			130		μA
内部リファレンス コンデンサの値 ⁽²⁾		2.2			μF
外部リファレンス コンデンサの値 ⁽³⁾		2.2			μF
DC の特性					
ゲイン誤差 ⁽⁷⁾	内部リファレンス	-45		45	LSB
	外部リファレンス	-5	±3	5	
オフセット誤差		-5	±2	5	LSB
チャンネル間ゲイン誤差 ⁽⁵⁾			±2		LSB
チャンネル間オフセット誤差 ⁽⁵⁾			±2		LSB
ADC 間ゲイン誤差 ⁽⁶⁾	すべての ADC で同一の VREFHI および VREFLO		±4		LSB
ADC 間オフセット誤差 ⁽⁶⁾	すべての ADC で同一の VREFHI および VREFLO		±2		LSB
DNL 誤差		>-1	±0.5	1	LSB
INL 誤差		-2	±1.0	2	LSB
ADC 間絶縁	VREFHI = 2.5V、同期 ADC	-1		1	LSB
ADC 間絶縁	VREFHI = 2.5V、非同期 ADC		非対応		LSB
AC の特性					
SNR ⁽⁴⁾	VREFHI = 2.5V、fin = 100kHz、X1 からの PLL による SYSCLK		69.2		dB
	VREFHI = 2.5V、fin = 100kHz、INTOSC からの PLL による SYSCLK		64.1		
THD ⁽⁴⁾	VREFHI = 2.5V、fin = 100kHz、X1 からの PLL による SYSCLK		-81.5		dB
SFDR ⁽⁴⁾	VREFHI = 2.5V、fin = 100kHz、X1 からの PLL による SYSCLK		85		dB
SINAD ⁽⁴⁾	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK		69.0		dB
	VREFHI = 2.5V、fin = 100kHz、INTOSC からの SYSCLK		64.0		
ENOB ⁽⁴⁾	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、シングル ADC		11.2		ビット
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、同期 ADC		11.2		
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、非同期 ADC		非対応		

6.13.2.2.5 ADC 特性 12 ビット シングルエンド (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
PSRR	VDD = DC 1.2V + 100mV DC から 1kHz の正弦波まで		60		dB
	VDD = DC 1.2V + 100mV DC から 300kHz の正弦波まで		57		
	VDDA = DC 3.3V + 200mV DC から 1kHz の正弦波まで		60		
	VDDA = DC 3.3V + 200mV 900kHz の正弦波		57		

- (1) ADC 入力 V_{DDA} を超えると、 V_{REFHI} の負荷電流が増加します。その結果、不正確な変換が発生します。
- (2) 0805 以下のパッケージ サイズのセラミック コンデンサを V_{REFHI} ピンに近付けて配置することを推奨します。許容誤差は最大 $\pm 20\%$ です。
- (3) 0805 以下のパッケージ サイズのセラミック コンデンサを V_{REFHI} ピンに近付けて配置することを推奨します。 V_{REFHI} 容量は、リファレンス IC のバッファ出力要件に依存します。
- (4) 容量性結合とクロストークを低減するためのベスト プラクティスの一部として、ADC 入力と V_{REFHI} ピンに隣接するピンの I/O アクティビティを最小限に抑えます。
- (5) 同じ ADC モジュールに属するすべてのチャンネルでの変動。
- (6) 他の ADC モジュールと比較した場合のワーストケースの変動。
- (7) ADC 結果の出力は、PPB オフセット校正機能を使用して、オフセット誤差に合わせて自動的に調整できます。

6.13.2.2.6 ADC 特性 12 ビット差動

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
全般					
ADCCLK 変換サイクル	200MHz SYSCLK	10.1		11	ADCCLK
パワーアップ時間	外部リファレンス モード			500	μs
	内部リファレンス モード			5000	μs
	内部リファレンス モード、2.5V レンジと 3.3V レンジの間で切り替える場合。			5000	μs
VREFHI 入力電流 ⁽¹⁾			130		μA
内部リファレンス コンデンサの値 ⁽²⁾		2.2			μF
外部リファレンス コンデンサの値 ⁽³⁾		2.2			μF
DC の特性					
ゲイン誤差	内部リファレンス	-45		45	LSB
	外部リファレンス	-5	±3	5	
オフセット誤差 ⁽⁷⁾		-5	±2	5	LSB
チャンネル間ゲイン誤差 ⁽⁵⁾			±2		LSB
チャンネル間オフセット誤差 ⁽⁵⁾			±2		LSB
ADC 間ゲイン誤差 ⁽⁶⁾	すべての ADC で同一の VREFHI および VREFLO		±4		LSB
ADC 間オフセット誤差 ⁽⁶⁾	すべての ADC で同一の VREFHI および VREFLO		±1		LSB
DNL 誤差		>-1	±0.5	1	LSB
INL 誤差		-2	±0.5	2	LSB
ADC 間絶縁	VREFHI = 2.5V、同期 ADC	-1		1	LSB
ADC 間絶縁	VREFHI = 2.5V、非同期 ADC		非対応		LSB
AC の特性					
SNR ⁽⁴⁾	VREFHI = 2.5V、fin = 100kHz、X1 からの PLL による SYSCLK		72.1		dB
	VREFHI = 2.5V、fin = 100kHz、INTOSC からの PLL による SYSCLK		65.2		
THD ⁽⁴⁾	VREFHI = 2.5V、fin = 100kHz		-86.9		dB
SFDR ⁽⁴⁾	VREFHI = 2.5V、fin = 100kHz		90		dB
SINAD ⁽⁴⁾	VREFHI = 2.5V、fin = 100kHz、X1 からの PLL による SYSCLK		72		dB
	VREFHI = 2.5V、fin = 100kHz、INTOSC からの PLL による SYSCLK		65.1		
ENOB ⁽⁴⁾	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、シングル ADC		11.7		ビット
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、同期 ADC		11.7		
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、非同期 ADC		非対応		

6.13.2.2.6 ADC 特性 12 ビット差動 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
PSRR	VDD = DC 1.2V + 100mV DC から 1kHz の正弦波まで		60		dB
	VDD = 1.2V DC + 100mV DC から 300 kHz の正弦波まで		57		
	VDDA = DC 3.3V + 200mV DC から 1kHz の正弦波まで		60		
	VDDA = DC 3.3V + 200mV 900kHz の正弦波		57		

- (1) ADC 入力 VDDA を超えると、VREFHI の負荷電流が増加します。その結果、不正確な変換が発生します。
- (2) 0805 以下のパッケージサイズのセラミック コンデンサを VREFHI ピンに近付けて配置することを推奨します。許容誤差は最大 $\pm 20\%$ です。
- (3) 0805 以下のパッケージサイズのセラミック コンデンサを VREFHI ピンに近付けて配置することを推奨します。VREFHI 容量は、リファレンス IC のバッファ出力要件に依存します。
- (4) 容量性結合とクロストークを低減するためのベスト プラクティスの一部として、ADC 入力と VREFHI ピンに隣接するピンの I/O アクティビティを最小限に抑えます。
- (5) 同じ ADC モジュールに属するすべてのチャネルでの変動。
- (6) 他の ADC モジュールと比較した場合のワーストケースの変動。
- (7) ADC 結果の出力は、PPB オフセット校正機能を使用して、オフセット誤差に合わせて自動的に調整できます。

6.13.2.2.7 ADC 特性 16 ビット シングルエンド

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
全般					
ADCCLK 変換サイクル	200MHz SYSCLK	29.6		31	ADCCLK
パワーアップ時間	外部リファレンス モード			500	μs
	内部リファレンス モード			5000	μs
	内部リファレンス モード、2.5V レンジと 3.3V レンジの間で切り替える場合。			5000	μs
VREFHI 入力電流 ⁽¹⁾			190		μA
内部リファレンス コンデンサの値 ⁽²⁾		4.7	22		μF
外部リファレンス コンデンサの値 ⁽³⁾		4.7	22		μF
DC の特性					
ゲイン誤差	内部リファレンス 2.5V	-720		720	LSB
	外部リファレンス	-64	±20	64	LSB
オフセット誤差 ⁽⁷⁾	内部リファレンス 2.5V	-16	±6	16	LSB
	外部リファレンス	-16	±6	16	LSB
チャンネル間ゲイン誤差 ⁽⁵⁾			±6		LSB
チャンネル間オフセット誤差 ⁽⁵⁾			±6		LSB
ADC 間ゲイン誤差 ⁽⁶⁾	すべての ADC で同一の VREFHI および VREFLO		±6		LSB
ADC 間オフセット誤差 ⁽⁶⁾	すべての ADC で同一の VREFHI および VREFLO		±6		LSB
DNL 誤差		>-1	±0.5	1	LSB
INL 誤差		-6	±1.5	6	LSB
ADC 間絶縁	VREFHI = 2.5V、同期 ADC	-2		2	LSB
ADC 間絶縁	VREFHI = 2.5V、非同期 ADC		非対応		LSB
AC の特性					
SNR ⁽⁴⁾	VREFHI = 2.5V、fin = 100kHz、X1 からの PLL による SYSCLK		83.5		dB
	VREFHI = 2.5V、fin = 100kHz、INTOSC からの PLL による SYSCLK		78.2		
THD ⁽⁴⁾	VREFHI = 2.5V、fin = 100kHz		-95		dB
SFDR ⁽⁴⁾	VREFHI = 2.5V、fin = 100kHz		93		dB
SINAD ⁽⁴⁾	VREFHI = 2.5V、fin = 100kHz、X1 からの PLL による SYSCLK		83.2		dB
	VREFHI = 2.5V、fin = 100kHz、INTOSC からの PLL による SYSCLK		78.1		
ENOB ⁽⁴⁾	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、シングル ADC		13.5		ビット
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、同期 ADC		13.5		
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、非同期 ADC		非対応		

6.13.2.2.7 ADC 特性 16 ビット シングルエンド (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
PSRR	VDD = DC 1.2V + 100mV DC から 1kHz の正弦波まで		77		dB
	VDD = 1.2V DC + 100mV DC から 800 kHz の正弦波まで		74		
	VDDA = DC 3.3V + 200mV DC から 1kHz の正弦波まで		77		
	VDDA = 3.3V DC + 200mV 800kHz の正弦波		74		

- (1) ADC 入力 VDDA を超えると、VREFHI の負荷電流が増加します。その結果、不正確な変換が発生します。
- (2) 0805 以下のパッケージ サイズのセラミック コンデンサを VREFHI ピンに近付けて配置することを推奨します。許容誤差は最大 $\pm 20\%$ です。
- (3) 0805 以下のパッケージ サイズのセラミック コンデンサを VREFHI ピンに近付けて配置することを推奨します。VREFHI 容量は、リファレンス IC のバッファ出力要件に依存します。
- (4) 容量性結合とクロストークを低減するためのベスト プラクティスの一部として、ADC 入力と VREFHI ピンに隣接するピンの I/O アクティビティを最小限に抑えます。
- (5) 同じ ADC モジュールに属するすべてのチャネルでの変動。
- (6) 他の ADC モジュールと比較した場合のワーストケースの変動。
- (7) ADC 結果の出力は、PPB オフセット校正機能を使用して、オフセット誤差に合わせて自動的に調整できます。

6.13.2.2.8 ADC 特性 16 ビット差動

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
全般					
ADCCLK 変換サイクル	200MHz SYSCLK	29.6		31	ADCCLK
パワーアップ時間	外部リファレンス モード			500	μs
	内部リファレンス モード			5000	μs
	内部リファレンス モード、2.5V レンジと 3.3V レンジの間で切り替える場合。			5000	μs
VREFHI 入力電流 ⁽¹⁾			190		μA
内部リファレンス コンデンサの値 ⁽²⁾		4.7	22		μF
外部リファレンス コンデンサの値 ⁽³⁾		4.7	22		μF
DC の特性					
ゲイン誤差	内部リファレンス 2.5V	-720		720	LSB
	外部リファレンス	-64	±9	64	LSB
オフセット誤差 ⁽⁷⁾	内部リファレンス 2.5V	-6	±4	6	LSB
	外部リファレンス	-6	±4	6	LSB
チャンネル間ゲイン誤差 ⁽⁵⁾			±6		LSB
チャンネル間オフセット誤差 ⁽⁵⁾			±3		LSB
ADC 間ゲイン誤差 ⁽⁶⁾	すべての ADC で同一の VREFHI および VREFLO		±6		LSB
ADC 間オフセット誤差 ⁽⁶⁾	すべての ADC で同一の VREFHI および VREFLO		±3		LSB
DNL 誤差		>-1	±0.5	1	LSB
INL 誤差		-3.5	±1.0	3.5	LSB
ADC 間絶縁	VREFHI = 2.5V、同期 ADC	-2		2	LSB
ADC 間絶縁	VREFHI = 2.5V、非同期 ADC		非対応		LSB
AC の特性					
SNR ⁽⁴⁾	VREFHI = 2.5V、fin = 100kHz、X1 からの PLL による SYSCLK		89.8		dB
	VREFHI = 2.5V、fin = 100kHz、INTOSC からの PLL による SYSCLK		66.3		
THD ⁽⁴⁾	VREFHI = 2.5V、fin = 100kHz		-98		dB
SFDR ⁽⁴⁾	VREFHI = 2.5V、fin = 100kHz		99		dB
SINAD ⁽⁴⁾	VREFHI = 2.5V、fin = 100kHz、X1 からの PLL による SYSCLK		89.2		dB
	VREFHI = 2.5V、fin = 100kHz、INTOSC からの PLL による SYSCLK		66.1		
ENOB ⁽⁴⁾	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、シングル ADC		14.52		ビット
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、同期 ADC		14.52		
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、非同期 ADC		非対応		

6.13.2.2.8 ADC 特性 16 ビット差動 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
PSRR	VDD = DC 1.2V + 100mV DC から 1kHz の正弦波まで		77		dB
	VDD = 1.2V DC + 100mV DC から 300 kHz の正弦波まで		74		
	VDDA = DC 3.3V + 200mV DC から 1kHz の正弦波まで		77		
	VDDA = DC 3.3V + 200mV 900kHz の正弦波		74		

- (1) ADC 入力 VDDA を超えると、VREFHI の負荷電流が増加します。その結果、不正確な変換が発生します。
- (2) 0805 以下のパッケージサイズのセラミックコンデンサを VREFHI ピンに近付けて配置することを推奨します。許容誤差は最大 $\pm 20\%$ です。
- (3) 0805 以下のパッケージサイズのセラミックコンデンサを VREFHI ピンに近付けて配置することを推奨します。VREFHI 容量は、リファレンス IC のバッファ出力要件に依存します。
- (4) 容量性結合とクロストークを低減するためのベストプラクティスの一部として、ADC 入力と VREFHI ピンに隣接するピンの I/O アクティビティを最小限に抑えます。
- (5) 同じ ADC モジュールに属するすべてのチャンネルでの変動。
- (6) 他の ADC モジュールと比較した場合のワーストケースの変動。
- (7) ADC 結果の出力は、PPB オフセット校正機能を使用して、オフセット誤差に合わせて自動的に調整できます。

6.13.2.2.9 ADC の INL と DNL

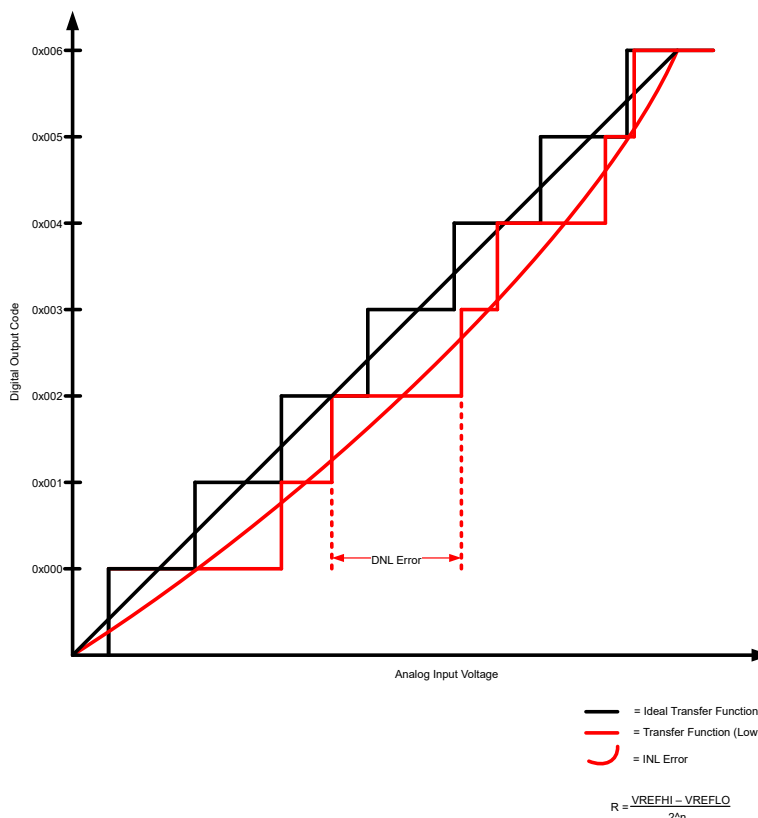


図 6-52. ADC の INL と DNL

6.13.2.2.10 ピンごとの ADC 性能

各ピンの ADC 性能は、隣接するピンの影響を受けます。以下のプロットは、これらのピンの性能の違いについて詳細を示しています。

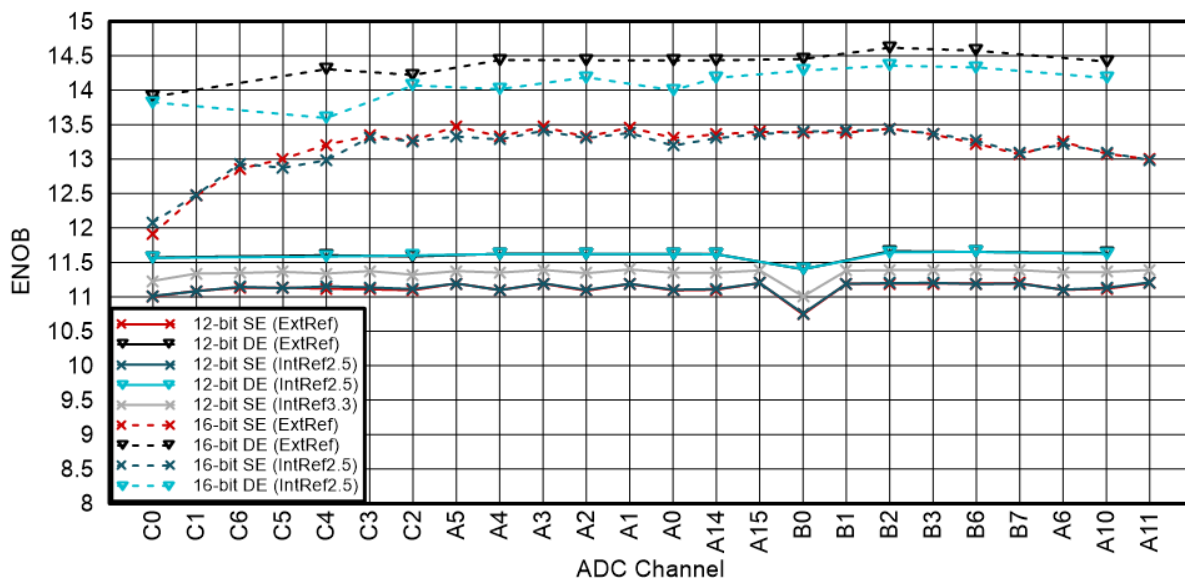


図 6-53. 100 ピン PZP のチャンネルごとの ENOB

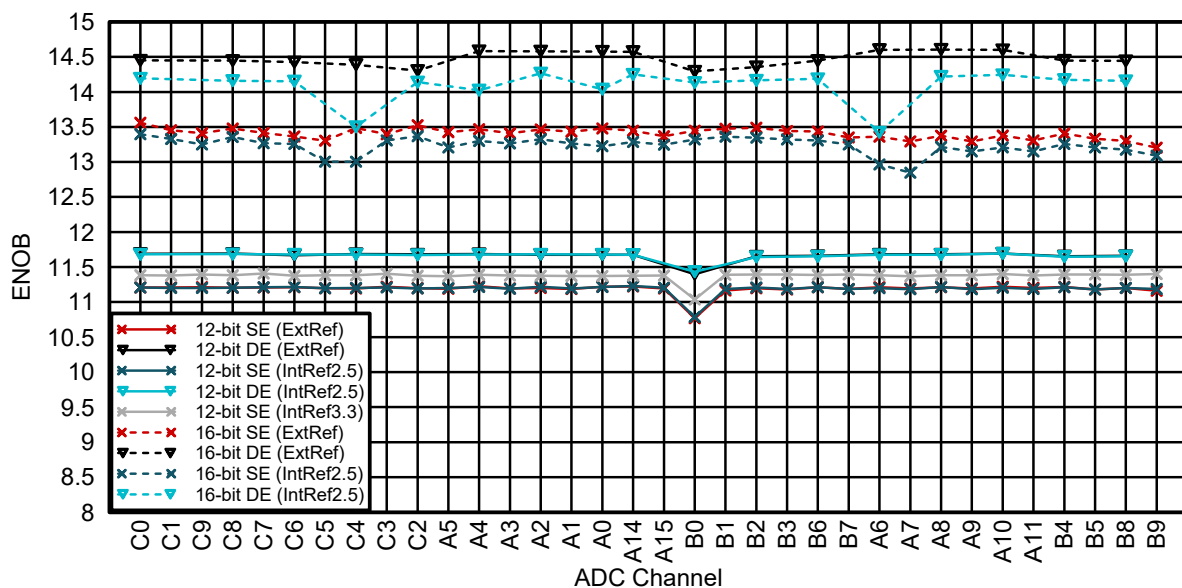


図 6-54. 169 ボール NMR のチャンネルごとの ENOB

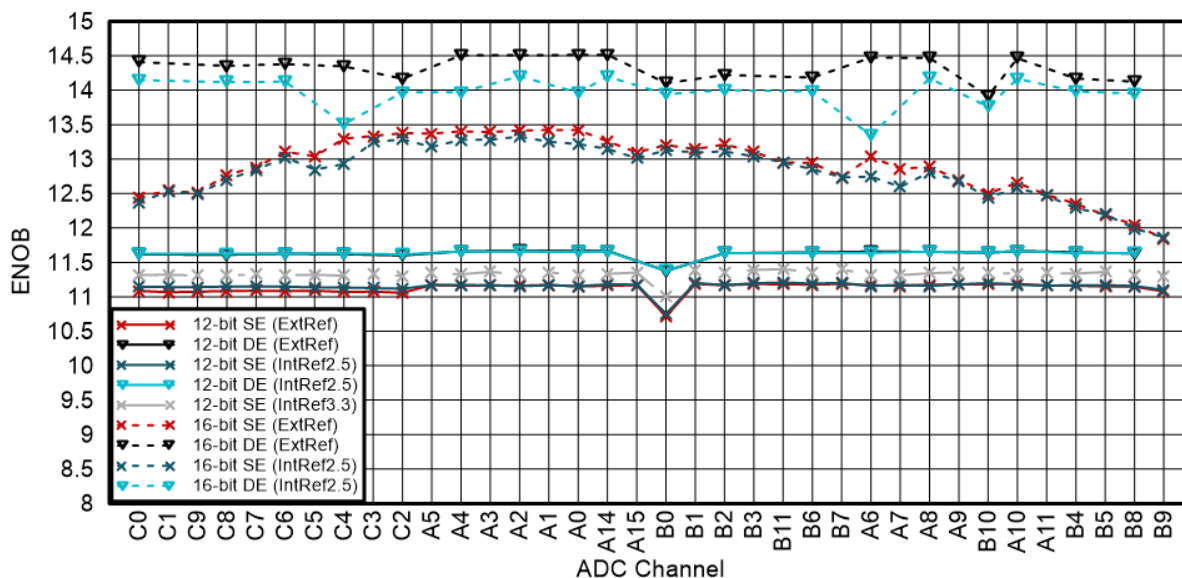


図 6-55. 176 ピン PTP のチャンネルごとの ENOB

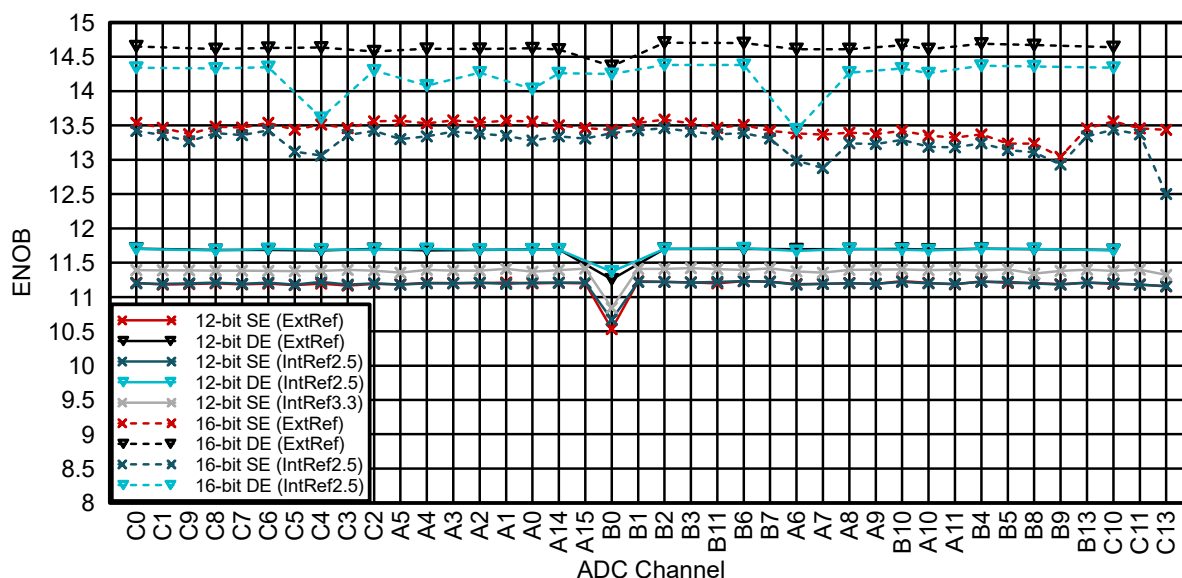


図 6-56. 256 ボール ZEJ のチャンネルごとの ENOB

6.13.2.2.11 ADC 入力モデル

ADC 入力特性を表 6-17、表 6-18、図 6-57、図 6-58 に示します。

表 6-17. シングルエンド入力モデルのパラメータ (12 ビット分解能)

	説明	値
C_p	寄生入力容量	表 6-21～表 6-24 を参照
R_{on}	サンプリング スイッチ抵抗	425Ω
C_h	サンプリング コンデンサ	14.5pF
R_s	公称ソース インピーダンス	50Ω

表 6-18. シングルエンド入力モデルのパラメータ (16 ビット分解能)

	説明	値
C_p	寄生入力容量	表 6-21～表 6-24 を参照
R_{on}	サンプリング スイッチ抵抗	425Ω
C_h	サンプリング コンデンサ	32.5pF
R_s	公称ソース インピーダンス	50Ω

表 6-19. 差動入力モデルのパラメータ (12 ビット分解能)

	説明	値
C_p	寄生入力容量	表 6-21～表 6-24 を参照
R_{on}	サンプリング スイッチ抵抗	700Ω
C_h	サンプリング コンデンサ	7.5pF
R_s	公称ソース インピーダンス	50Ω

表 6-20. 差動入力モデルのパラメータ (16 ビット分解能)

	説明	値
C_p	寄生入力容量	表 6-21～表 6-24 を参照
R_{on}	サンプリング スイッチ抵抗	700Ω
C_h	サンプリング コンデンサ	16.5pF
R_s	公称ソース インピーダンス	50Ω

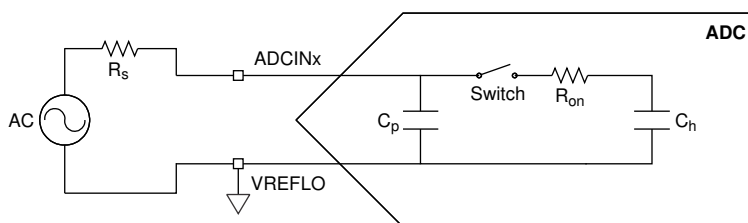


図 6-57. シングルエンド入力モデル

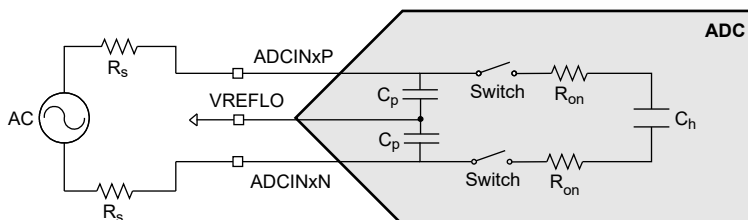


図 6-58. 差動入力モデル

これらの入力モデルは、アキュイジション ウィンドウの幅を決定する際に、実際の信号源インピーダンスと合わせて使用する必要があります。詳細については、『[TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「A/D コンバータ (ADC)」の章にある「アキュイジション ウィンドウ幅の選択」セクションを参照してください。ADC 入力回路の改善に関する推奨事項については、『[C2000 MCU 用 ADC 入力回路の評価](#)』アプリケーション ノートを参照してください。

表 6-21. 256 ボール ZEJ nFBGA のチャンネルごとの寄生容量

ADC チャンネル	C_p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
A0	4.6	7.1
A1	2.7	5.2

表 6-21. 256 ボール ZEJ nFBGA のチャンネルごとの寄生容量 (続き)

ADC チャンネル	C _p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
A2	2.7	5.2
A3	2.7	5.2
A4	2.1	4.6
A5	2.3	4.8
A6	2	4.5
A7	2.7	5.2
A8	2.6	5.1
A9	2.8	5.3
A10	2.7	5.2
A11	2.6	5.1
A14、B14、C14	3.9	6.4
A15、B15、C15	3.2	5.7
B0	11.5	14
B1	3.1	5.6
B2	2.4	4.9
B3	2.7	5.2
B4	2.6	5.1
B5	2.1	4.6
B6	2.4	4.9
B7	2.6	5.1
B8	2.6	5.1
B9	2.5	5
B10	3.6	6.1
B11	2.8	5.3
B13	1.9	4.4
C0	2.7	5.2
C1	2.7	5.2
C2	2.7	5.2
C3	3.1	5.6
C4	2.3	4.8
C5	2.5	5
C6	1.8	4.3
C7	2.3	4.8
C8	1.1	3.6
C9	1.2	3.7
C10	1.1	3.6
C11	1.7	4.2
C13	1.9	4.4

表 6-22. 176 ピン PTP HLQFP のチャンネルごとの寄生容量

ADC チャンネル	C _p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
A0	4.6	7.1
A1	2.7	5.2

表 6-22. 176 ピン PTP HLQFP のチャンネルごとの寄生容量 (続き)

ADC チャンネル	C _p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
A2	2.7	5.2
A3	2.7	5.2
A4	2.1	4.6
A5	2.3	4.8
A6	2	4.5
A7	2.7	5.2
A8	2.6	5.1
A9	2.8	5.3
A10	2.7	5.2
A11	2.6	5.1
A14、B14、C14	3.9	6.4
A15、B15、C15	3.2	5.7
B0	11.5	14
B1	3.1	5.6
B2	2.4	4.9
B3	2.7	5.2
B4	2.6	5.1
B5	2.1	4.6
B6	2.4	4.9
B7	2.6	5.1
B8	2.6	5.1
B9	2.5	5
B10	3.6	6.1
B11	2.8	5.3
C0	2.7	5.2
C1	2.7	5.2
C2	2.7	5.2
C3	3.1	5.6
C4	2.3	4.8
C5	2.5	5
C6	1.8	4.3
C7	2.3	4.8
C8	1.1	3.6
C9	1.2	3.7

表 6-23. 169 ボール NMR nFBGA のチャンネルごとの寄生容量

ADC チャンネル	C _p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
A0	4.6	7.1
A1	2.7	5.2
A2	2.7	5.2
A3	2.7	5.2
A4	2.1	4.6
A5	2.3	4.8

表 6-23. 169 ボール NMR nFBGA のチャンネルごとの寄生容量 (続き)

ADC チャンネル	C _p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
A6	2	4.5
A7	2.7	5.2
A8	2.6	5.1
A9	2.8	5.3
A10	2.7	5.2
A11	2.6	5.1
A14、B14、C14	3.9	6.4
A15、B15、C15	3.2	5.7
B0	11.5	14
B1	3.1	5.6
B2	2.4	4.9
B3	2.7	5.2
B4	2.6	5.1
B5	2.1	4.6
B6	2.4	4.9
B7	2.6	5.1
B8	2.6	5.1
B9	2.5	5
C0	2.7	5.2
C1	2.7	5.2
C2	2.7	5.2
C3	3.1	5.6
C4	2.3	4.8
C5	2.5	5
C6	1.8	4.3
C7	2.3	4.8
C8	1.1	3.6
C9	1.2	3.7

表 6-24. 100 ピン PZP HTQFP のチャンネルごとの寄生容量

ADC チャンネル	C _p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
A0	4.6	7.1
A1	2.7	5.2
A2	2.7	5.2
A3	2.7	5.2
A4	2.1	4.6
A5	2.3	4.8
A6	2	4.5
A10	2.7	5.2
A11	2.6	5.1
A14、B14、C14	3.9	6.4
A15、B15、C15	3.2	5.7
B0	11.5	14

表 6-24. 100 ピン PZP HTQFP のチャンネルごとの寄生容量 (続き)

ADC チャンネル	C _p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
B1	3.1	5.6
B2	2.4	4.9
B3	2.7	5.2
B6	2.4	4.9
B7	2.6	5.1
C0	2.7	5.2
C1	2.7	5.2
C2	2.7	5.2
C3	3.1	5.6
C4	2.3	4.8
C5	2.5	5
C6	1.8	4.3

6.13.2.2.12 ADC のタイミング図

次の図に、以下の前提による 2 つの SOC の ADC 変換タイミングを示します。

- SOC0 および SOC1 は、同じトリガを使用するように構成されています。
- トリガが発生したときに、他の SOC が変換中または保留中になっていることはありません。
- ラウンド ロビン ポインタは、最初に SOC0 で変換が発生する状態になっています。
- ADCINTSEL は、SOC0 の変換終了時に ADCINT フラグを設定するように構成されています (このフラグを CPU に通知して割り込みを発生させるかどうかは、割り込みコントローラの構成によって決まります)。

表 6-25 に、ADC タイミング パラメータの説明を示します。表 6-26 および 表 6-27 に、ADC タイミングを一覧します。

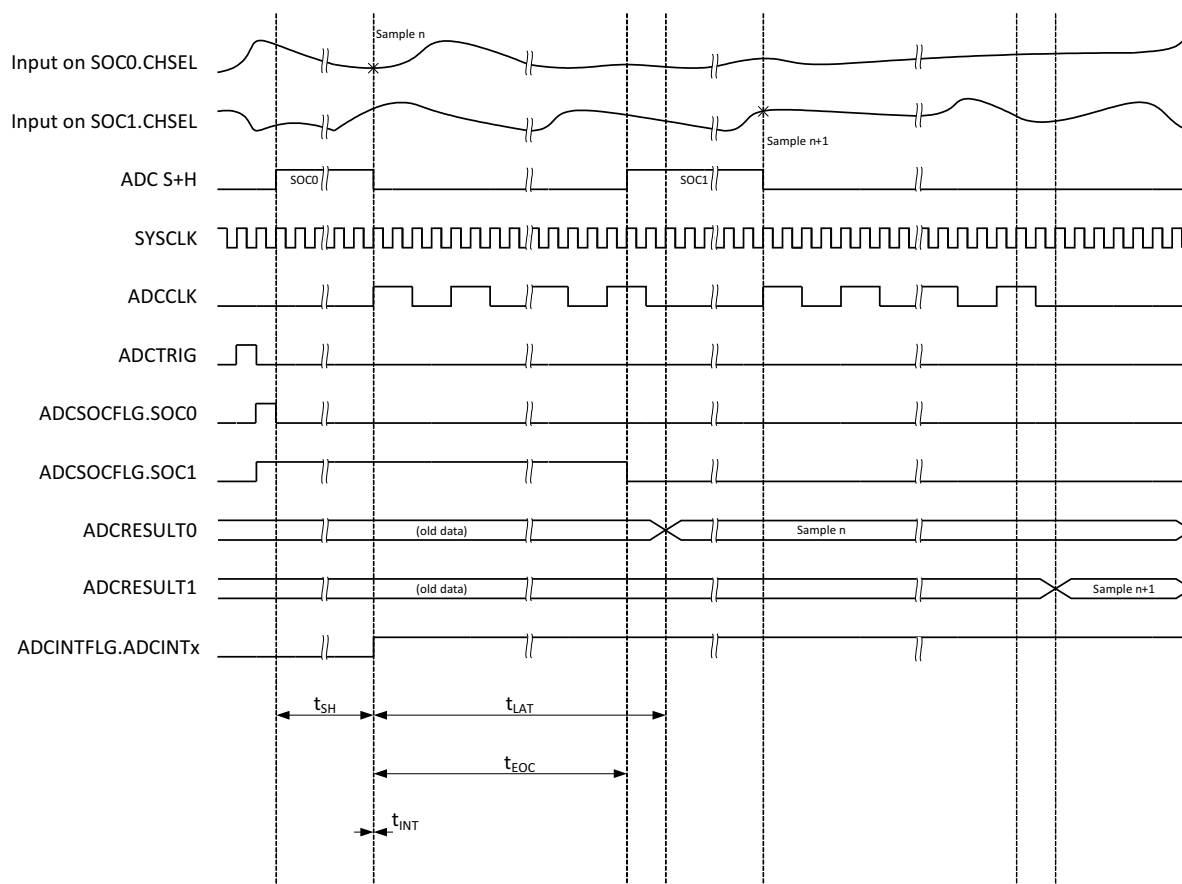


図 6-59. 12 ビット モードの Early 割り込みモードでの ADC タイミング

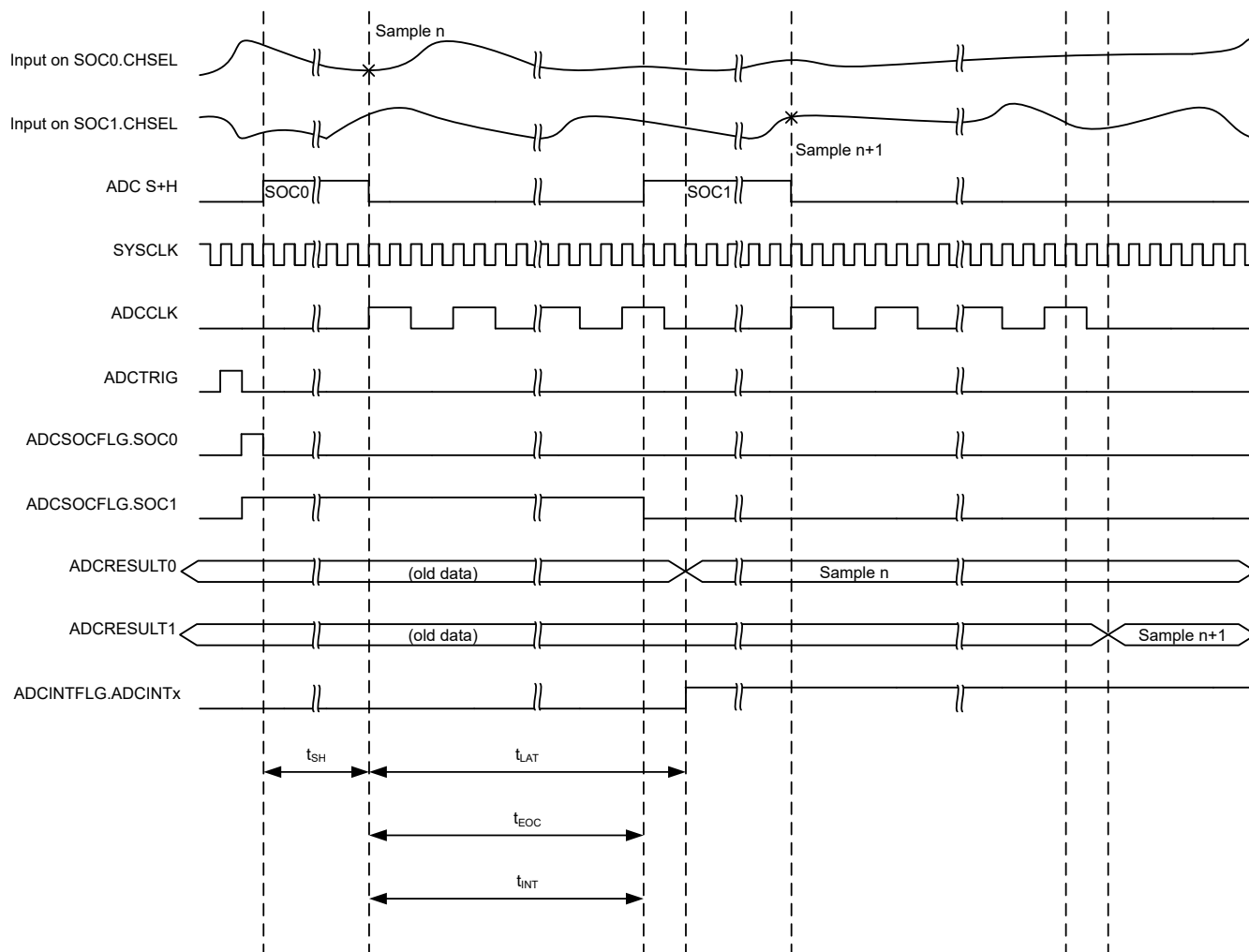


図 6-60. 12 ビット モードの Late 割り込みモードでの ADC タイミング

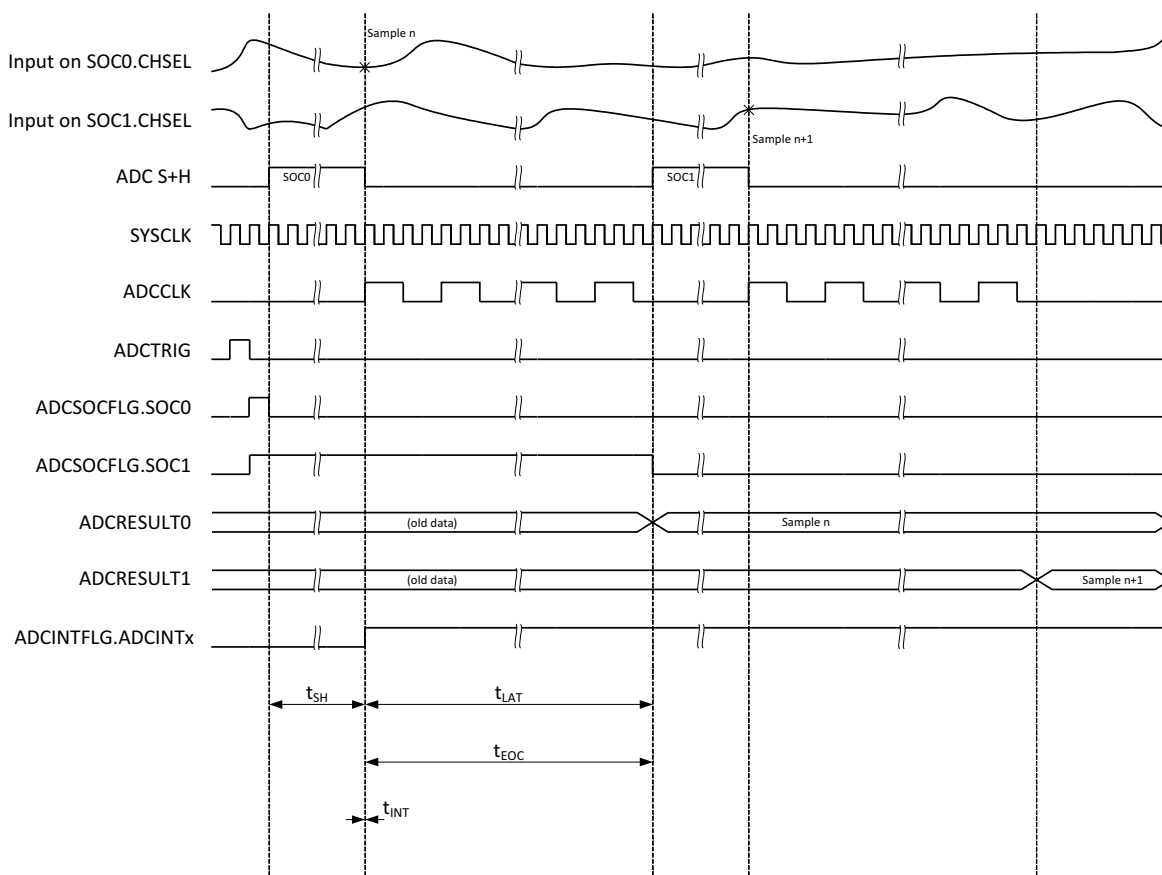


図 6-61. 16 ビット モードの Early 割り込みモードでの ADC タイミング

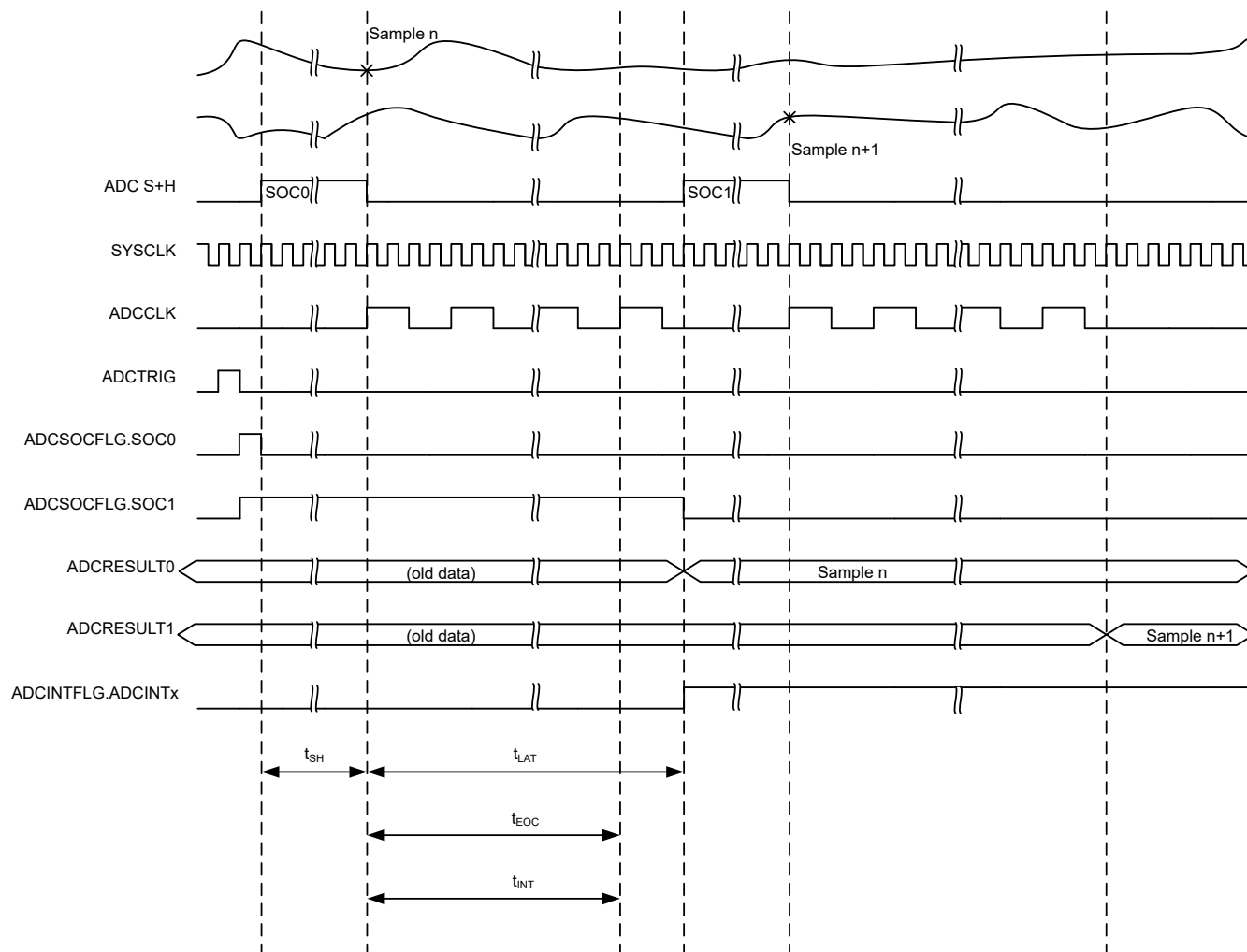


図 6-62. 16 ビット モードの Late 割り込みモードでの ADC タイミング (SYSCLK サイクル)

表 6-25. ADC タイミング パラメータの説明

パラメータ	説明
t_{SH}	S+H ウィンドウの幅。 このウィンドウの終了時点における S+H コンデンサでの値が、デジタル値に変換される電圧になります。この時間は、(ACQPS + 1) SYSCLK サイクルで与えられます。ACQPS は、各 SOC に対して個別に構成できるため、異なる SOC の t_{SH} は、同じであるとは限りません。 注: デバイスのクロック設定に関係なく、S+H コンデンサでの値は、S+H ウィンドウ終了の約 5ns 前にキャプチャされます。
t_{LAT}	S+H ウィンドウ終了から、ADC 結果が ADCRESULTx レジスタにラッチされるまでの時間。 この時間より前に ADCRESULTx レジスタを読み取った場合、前回の変換結果が返されます。
t_{EOC}	S+H ウィンドウ終了から、次の ADC 変換を開始できる S+H ウィンドウまでの時間。16 ビット モードでは、これは変換結果がラッチされる時点と一致します。12 ビット モードでは、変換結果がラッチされる前に次のサンプリングを開始できます。
t_{INT}	S+H ウィンドウの終了から ADCINT フラグが設定されるまでの時間 (そのように構成されている場合)。 ADCCTL1 レジスタの INTPULSEPOS ビットが設定されている場合、 t_{INT} は変換 (EOC) 信号の終了時点と一致します。 INTPULSEPOS ビットが 0 の場合、 t_{INT} は、S+H ウィンドウの終了時点と一致します。 t_{INT} によって ADC 結果レジスタの読み取りが (DMA を使用して直接、または結果を読み取る ISR をトリガして間接的に) トリガされる場合、結果がラッチされた後に読み取りが発生するように注意する必要があります (そうでなければ、前回の結果が読み取られます)。 INTPULSEPOS ビットが 0 であり、ADCINTCYCLE レジスタの OFFSET フィールドが 0 でない場合、ADCINT フラグが設定される前に、OFFSET SYSCLK サイクルの遅延が発生します。この遅延時間を使えば、ちょうどサンプリングの用意ができた時点で ISR に入ることができます。また、その時点で DMA をトリガすることもできます。
t_{DMA}	S+H ウィンドウの終了時点から ADC 変換結果の DMA 読み取りがトリガされる ADCCTL1.TDMAEN = 1 の時点までの時間。 TDMAEN が 0 に設定されている場合、DMA トリガは T_{INT} に発生します。特定の条件では、ADCRESULT の値がラッチされる前に ADCINT フラグが設定されることがあります。必ず ADCRESULT の値がラッチされた後に DMA 読み取りが行われるようにするには、ADCCTL1.TDMAEN に 1 を書き込んで DMA タイミングを有効にします。

表 6-26. 12 ビット モードでの ADC タイミング

ADCCLK プリスケール		SYSCLK サイクル				
ADCCTL2 の詳細 を示します。 PRESCALE	プリスケール比	t_{EOC}	t_{LAT}	t_{INT} (早期) ⁽¹⁾	t_{INT} (遅延)	t_{DMA}
0	1	11	13	0	11	13
2	2	21	23	0	21	23
3	2.5	26	28	0	26	28
4	3	31	34	0	31	34
5	3.5	36	39	0	36	39
6	4	41	44	0	41	44
7	4.5	46	49	0	46	49
8	5	51	55	0	51	55
9	5.5	56	60	0	56	60
10	6	61	65	0	61	65
11	6.5	66	70	0	66	70
12	7	71	76	0	71	76
13	7.5	76	81	0	76	81
14	8	81	86	0	81	86
15	8.5	86	91	0	86	91

- (1) デフォルトでは、INTPULSEPOS が 0 の場合、S+H ウィンドウの後 1 SYSCLK サイクル経過してから t_{INT} が発生します。これは、ADCINTCYCLE レジスタの OFFSET フィールドに書き込むことで変更できます。

表 6-27. 16 ビット モードでの ADC タイミング

ADCCLK プリスケール		SYSCLK サイクル				
ADCCTL2 の詳細 を示します。 PRESCALE	プリスケール比	t_{EOC}	t_{LAT}	t_{INT} (早期) ⁽¹⁾	t_{INT} (遅延)	t_{DMA}
0	1	31	32	0	31	32
2	2	60	61	0	60	61
3	2.5	75	75	0	75	75
4	3	90	91	0	90	91
5	3.5	104	106	0	104	106
6	4	119	120	0	119	120
7	4.5	134	134	0	134	134
8	5	149	150	0	149	150
9	5.5	163	165	0	163	165
10	6	178	179	0	178	179
11	6.5	193	193	0	193	193
12	7	208	209	0	208	209
13	7.5	222	224	0	222	224
14	8	237	238	0	237	238
15	8.5	252	252	0	252	252

- (1) デフォルトでは、INTPULSEPOS が 0 の場合、S+H ウィンドウの後 1 SYSCLK サイクル経過してから t_{INT} が発生します。これは、ADCINTCYCLE レジスタの OFFSET フィールドに書き込むことで変更できます。

6.13.3 温度センサ

6.13.3.1 温度センサの電氣的データおよびタイミング

温度センサを使用して、デバイスの接合部温度を測定できます。温度センサは、ADC への内部接続を介してサンプリングされ、テキサス・インスツルメンツが提供するソフトウェアを使用して温度に変換されます。温度センサをサンプリングする場合、ADC は、「温度センサの特性」表に示すアキュイジション時間を満たす必要があります。

6.13.3.1.1 温度センサの特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
T _{acc}	温度精度	内部リファレンス (-40°C～30°C)	-11	±2	11	°C
		内部リファレンス (30°C～85°C)	-4	±2	7	°C
		内部リファレンス (85°C～125°C)	-3	±2	10	°C
		内部リファレンス (125°C～140°C)	-2	±2	12	°C
		外部リファレンス (-40°C～30°C)	-4	±2	7	°C
		外部リファレンス (30°C～140°C)	-3	±2	7	°C
t _{startup}	スタートアップ時間 (TSNSCTL[ENABLE] から温度センサのサンプリングまで)			500		μs
t _{acq}	ADC アキュイジション時間		450			ns

6.13.4 コンパレータ サブシステム (CMPSS)

コンパレータ サブシステム (CMPSS) は、アナログ コンパレータとサポート回路で構成されており、ピーク電流モード制御、スイッチ モード電源、力率補正、電圧トリップ監視などの電源アプリケーションに便利です。

コンパレータ サブシステムは、多数のモジュールで構築されています。各サブシステムには 2 つのコンパレータ、2 つのリファレンス用 12 ビット DAC、2 つのデジタル フィルタが含まれます。サブシステムには、2 つのランプ生成器も含まれています。ランプ生成器は上昇および下降します。各モジュール内のコンパレータには、「H」または「L」の表記があります。この場合、「H」と「L」はそれぞれ「High」(ハイ)と「Low」(ロー)を表します。各コンパレータは、正入力の電圧が負入力の電圧よりも高いかどうかを示すデジタル出力を生成します。コンパレータの正入力、外部ピンから駆動されます (CMPSS で利用可能なマルチプレクサ オプションについては、『[TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「アナログ サブシステム」の章を参照してください)。負入力は、外部ピンまたはプログラマブル リファレンス 12 ビット DAC によって駆動できます。各コンパレータ出力は、プログラム可能なデジタル フィルタを通過して、不要なトリップ信号を除去できます。フィルタリングが不要な場合は、フィルタなしの出力も使用できます。オプションで、サブシステムのハイ コンパレータおよびロー コンパレータのリファレンス 12 ビット DAC 値の制御に 2 つのランプ生成器回路を使用できます。DAC をラッパーと共に使用して、ピーク電流モード制御 (PCMC) や他のアプリケーションでスロープ補償に使用されるランプを生成できます。サブシステムは、EPWM と連携してダイオード エミュレーション モードをサポートします。

各 CMPSS には、次のものが含まれます。

- 2 つのアナログ コンパレータ
- 2 つの独立したプログラマブル リファレンス 12 ビット DAC
- デクリメントとインクリメントを行うデュアル ランプ生成器
- 2 つのデジタル フィルタ、最大フィルタ クロック プリスケール 2^{24}
- サブモジュールを EPWMSYNCPER と同期可能
- EPWMBLANK によりクリア信号を拡張可能
- 出力を SYSCLK と同期可能
- 出力をラッチ可能
- 出力を反転可能
- 入力にヒステリシスを使用するオプション
- コンパレータの負入力を外部信号またはリファレンス DAC で駆動するオプション
- CMPSS フィルタへの外部接続
- ダイオード エミュレーションのサポート
- ダイオード エミュレーション用に ePWM との接続をサポート
- ランプ生成器プリスケラ
- CMPSS トリップ出力によってトリガされるスタンバイおよびホールの LPM (低消費電力モード) からのウェークアップ

6.13.4.1 CMPSS 接続図

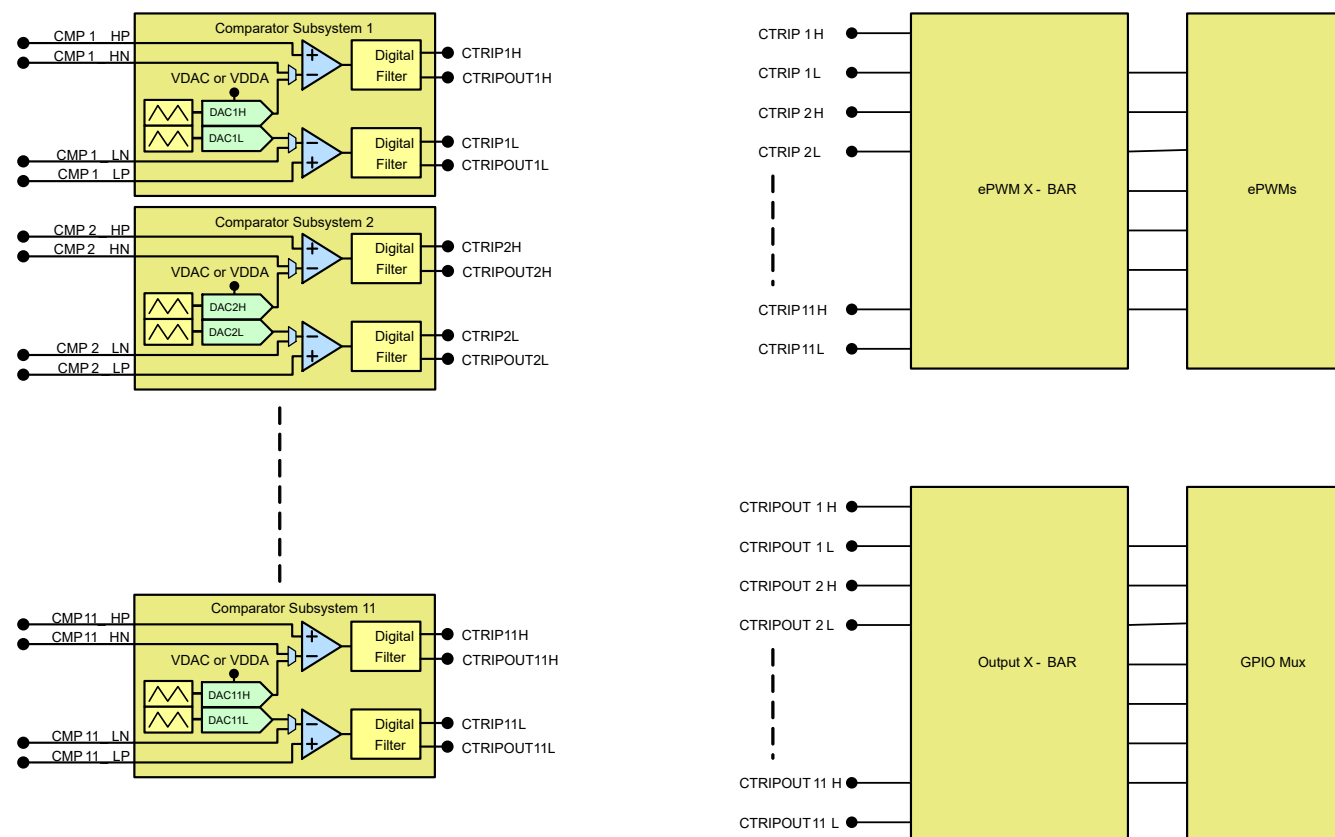


図 6-63. CMPSS の接続

6.13.4.2 ブロック図

CMPSS のブロック図を 図 6-64 に示します。

- ePWMトリップ応答のために、CTRIPx (x = H または L) 信号は、ePWM クロスバーに接続されています。ePWM クロスバーのマルチプレクサ構成の詳細については、『[TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「拡張パルス幅変調器 (ePWM)」の章を参照してください。
- CTRIPxOUTx (x = H または L) 信号は、外部信号用に出力クロスバーに接続されています。出力クロスバーのマルチプレクサ構成の詳細については、『[TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「汎用入出力 (GPIO)」の章を参照してください。

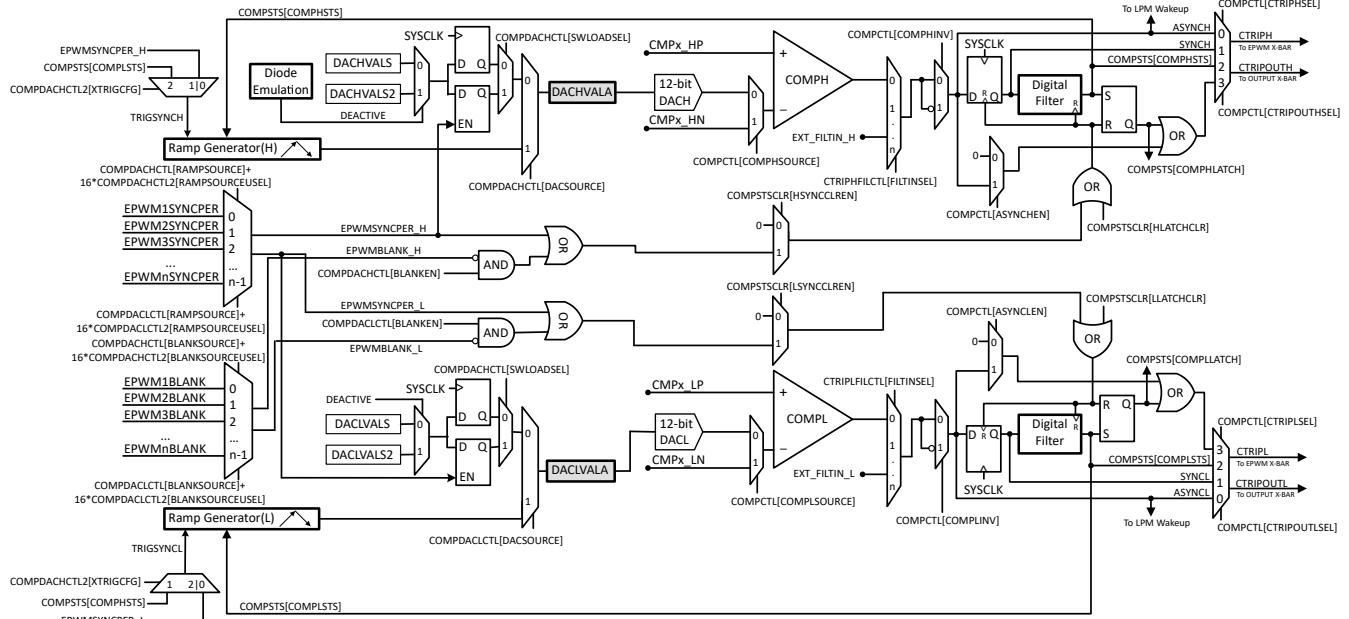


図 6-64. CMPSS モジュールのブロック図

各リファレンス 12 ビット DAC は、それぞれのコンパレータの負入力にリファレンス電圧を駆動するように構成できます。リファレンス 12 ビット DAC 出力は内部のみであり、外部では測定できません。リファレンス 12 ビット DAC を 図 6-65 に示します。

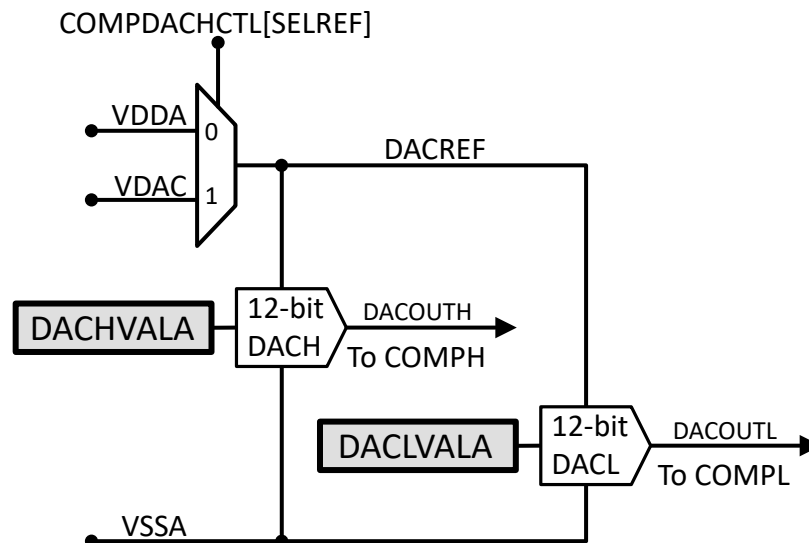


図 6-65. リファレンス DAC のブロック図

6.13.4.3 CMPSS の電氣的データおよびタイミング

6.13.4.3.1 コンパレータ電氣的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
TPU	パワーアップ時間			500	μs
コンパレータ入力 (CMPINxx) 範囲		0		VDDA	V
入力換算オフセット誤差	低同相モード、反転入力は 50mV に設定	-20		20	mV
ヒステリシス ⁽¹⁾	1x	4	12	20	LSB
	2x	17	24	33	
	3x	25	36	50	
	4x	30	48	67	
応答時間 (CMPINx 入力変化から ePWM クロスバーまたは出力クロスバーの出力までの遅延)	ステップ応答		21	60	ns
	ランプ応答 (1.65 V/μs)		26		
	ランプ応答 (8.25 mV/μs)		30		ns
PSRR	電源除去比		46		dB
CMRR	同相除去比	40			dB

(1) 適用するヒステリシスの大きさを決定するための基準として、CMPSS DAC を使用します。したがって、ヒステリシスは CMPSS DAC リファレンス電圧に応じてスケールされます。ヒステリシスは、すべてのコンパレータ入力ソース構成で使用できます。

CMPSS コンパレータの入力換算オフセットとヒステリシス

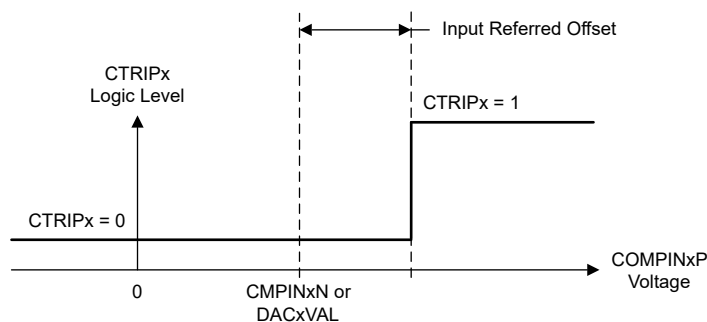


図 6-66. CMPSS コンパレータの入力換算オフセット

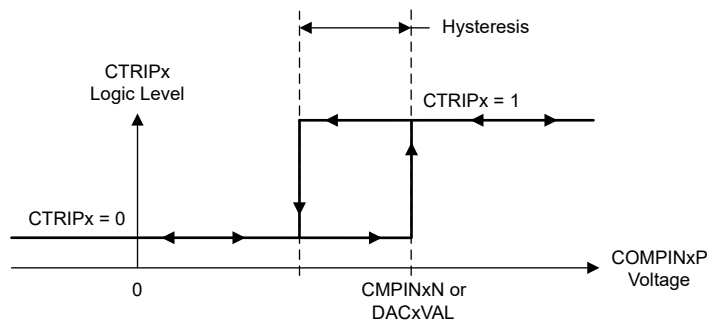


図 6-67. CMSS コンパレータのヒステリシス

6.13.4.3.2 CMPSS DAC の静的電氣特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
CMPSS DAC 出力範囲	内部リファレンス	0		VDDA	V
	外部リファレンス	0		VDAC ⁽⁴⁾	

6.13.4.3.2 CMPSS DAC の静的電気特性 (続き)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
静的オフセット誤差 ⁽¹⁾		-25		25	mV
静的ゲイン誤差 ⁽¹⁾		-2		2	% (対 FSR)
静的 DNL	エンドポイント補正	>-1		4	LSB
静的 INL	エンドポイント補正	-16		16	LSB
セトリング時間	フルスケール出力変化後 1LSB にセトリング			1	μs
分解能			12		ビット
CMPSS DAC 出力の外乱 ⁽²⁾	コンパレータのトリップまたは CMPSS DAC コードの変化によって、同じ CMPSS モジュール内で発生する誤差	-100		100	LSB
CMPSS DAC の外乱時間 ⁽²⁾				200	ns
VDAC リファレンス電圧	VDAC がリファレンス電圧の場合	2.4	2.5 または 3.0	VDDA	V
VDAC 負荷 ⁽³⁾	VDAC がリファレンス電圧の場合	6	8	10	kΩ

- (1) コンパレータの入力換算誤差を含みます。
 (2) コンパレータのトリップ後、一定時間にわたって CMPSS DAC 出力に外乱誤差が生じることがあります。
 (3) アクティブな CMPSS モジュール 1 個あたり。
 (4) VDAC > VDDA の場合、最大出力電圧は VDDA です。

6.13.4.3.3 CMPSS の説明用グラフ

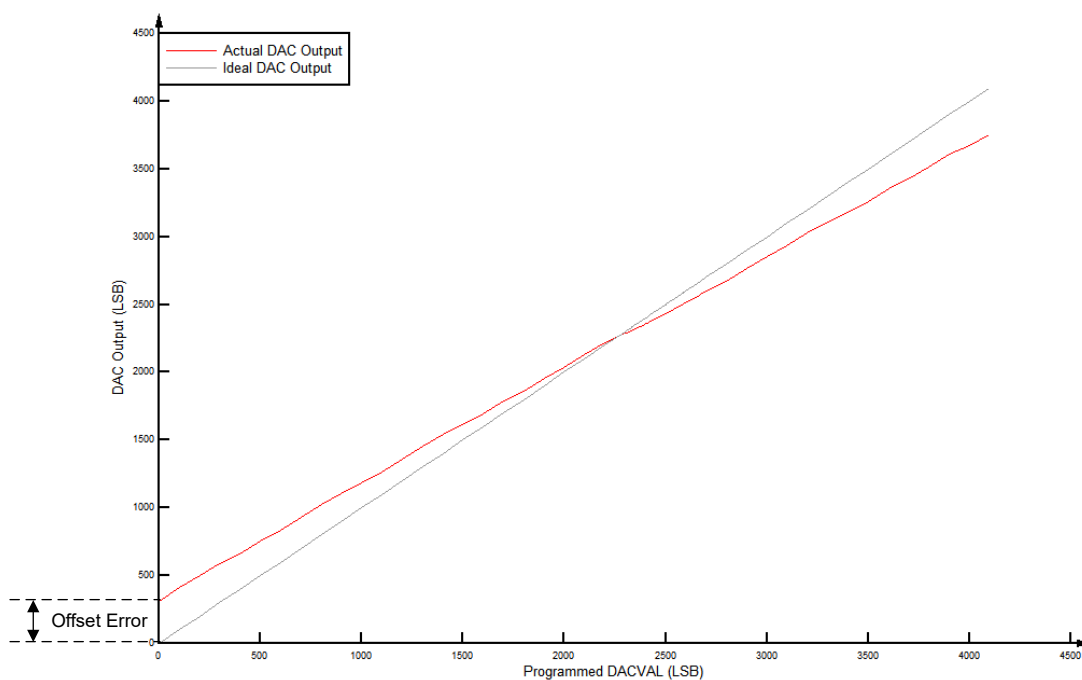


図 6-68. CMPSS DAC の静的オフセット

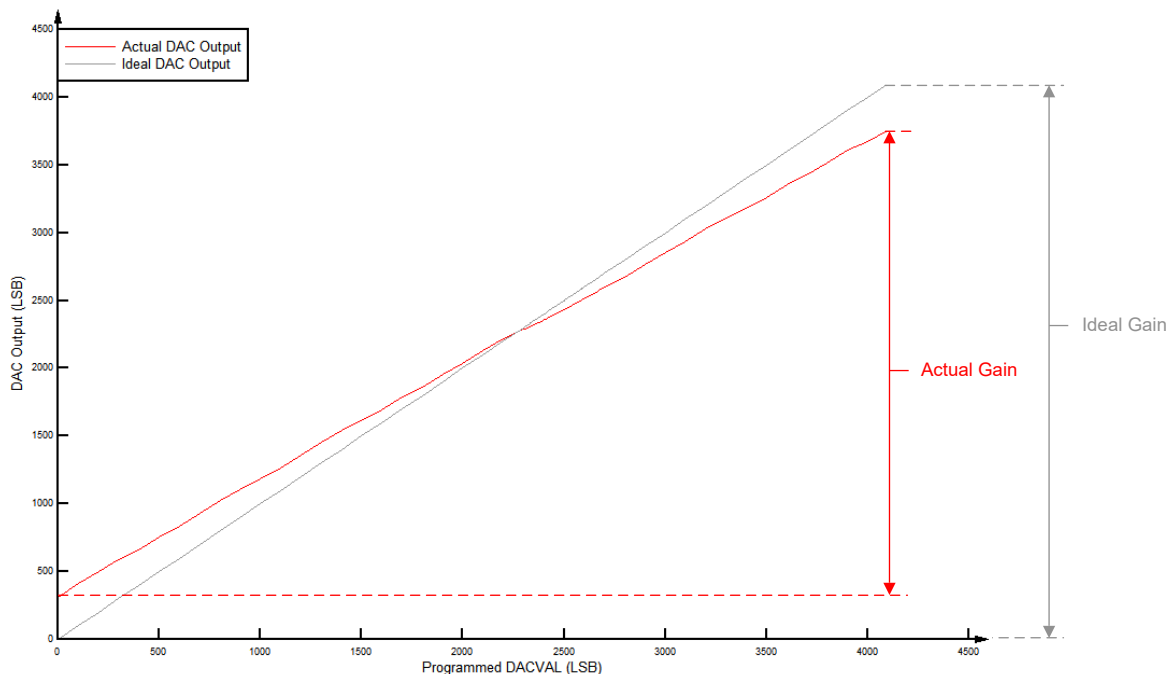


図 6-69. CMPSS DAC の静的ゲイン

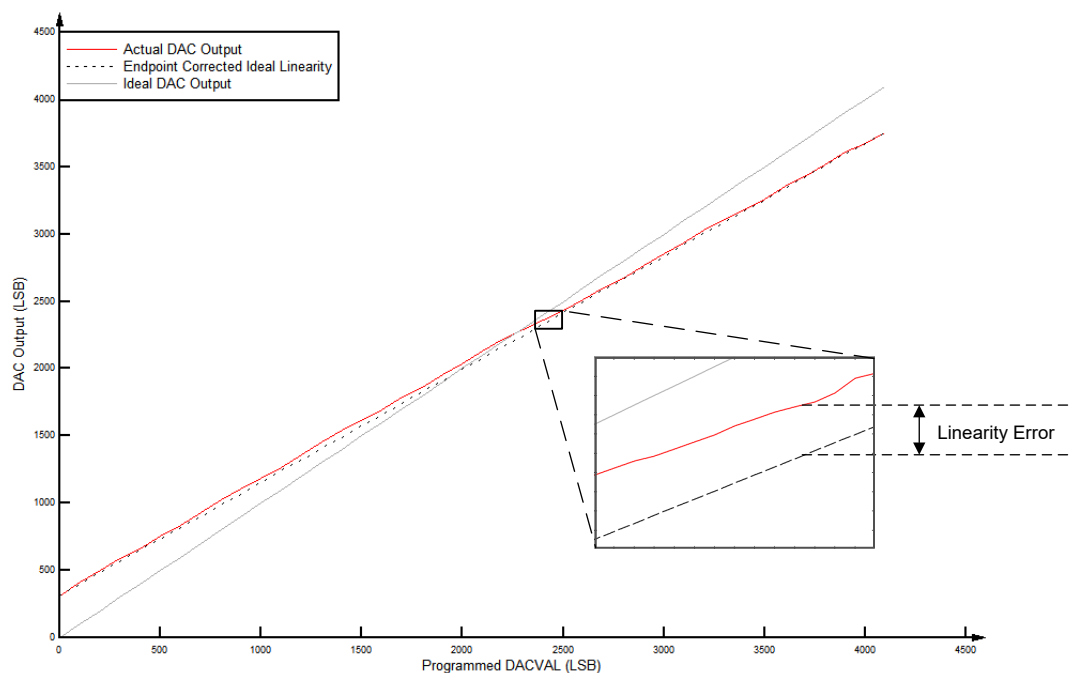


図 6-70. CMPSS DAC の静的直線性

6.13.4.3.4 CMPSS DAC の動的誤差

ランプ生成器を使用して内部 DAC を制御する場合、ステップ サイズはアプリケーションのニーズに応じて変わることがあります。DAC のステップ サイズはフルスケールの遷移より小さいため、セトリング時間は「CMPSS DAC の静的電気特性」の表に記載されている電気的仕様よりも改善されます。次の式と 図 6-71 は、さまざまな RAMPxSTEPVALA の値について、電圧の推定値と理想値との誤差に関する指針を示しています。

$$DYNAMICERROR = (m \times RAMPxSTEPVALA) + b \quad (3)$$

表 6-28. DAC の最大動的誤差項

式のパラメータ	最小値 (LSB)	最大値 (LSB)
m	0.167	0.30
b	3.7	5.6

注

上記の誤差項は、ターゲット デバイスの最大 SYSCLK に基づいています。最大 SYSCLK を下回る場合は、それに応じて「m」の誤差項をスケーリングする必要があります。

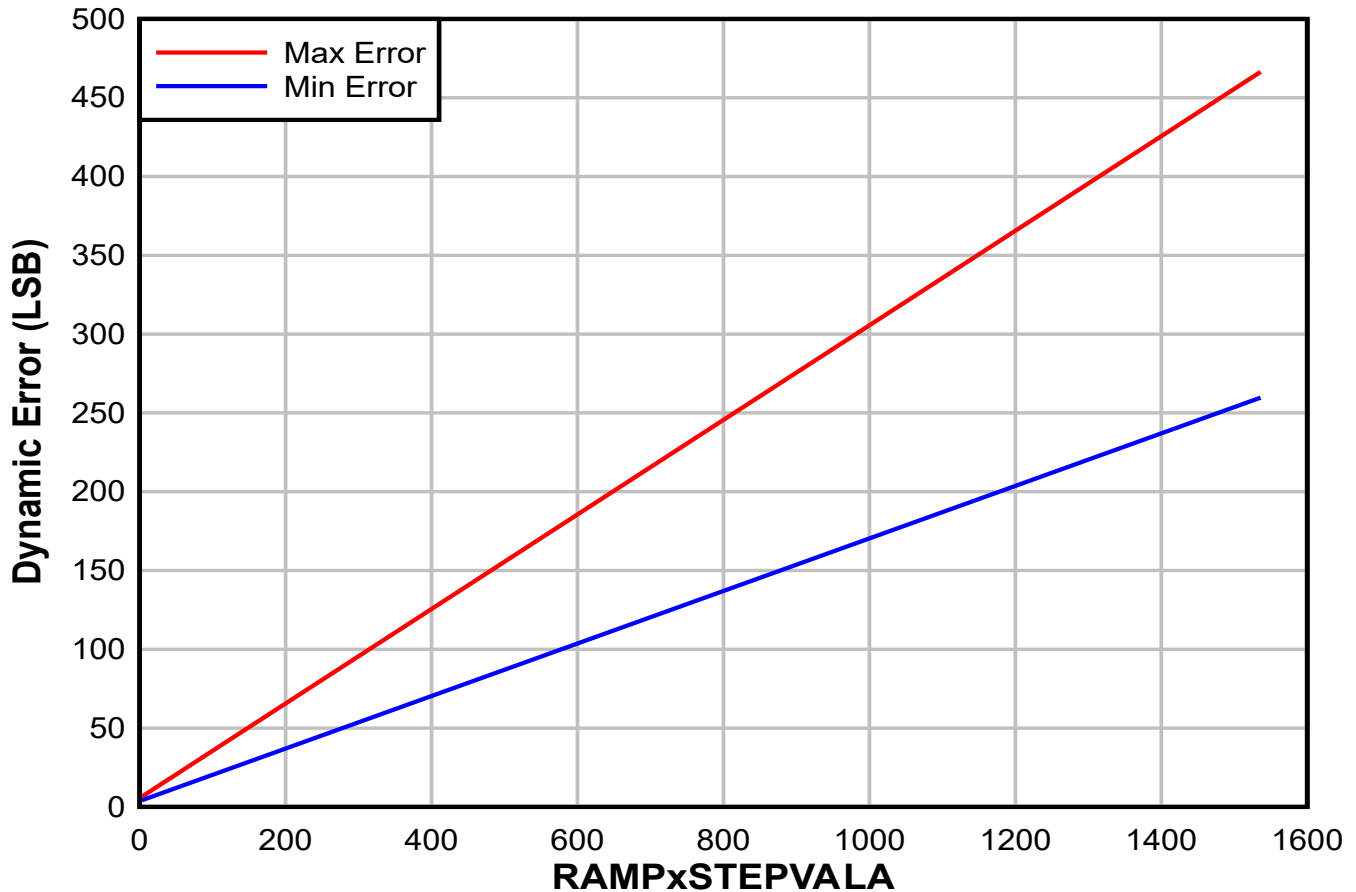


図 6-71. CMPSS DAC の動的誤差

6.13.5 バッファ付き D/A コンバータ (DAC)

バッファ付き DAC モジュールは、内部 12 ビット DAC と、外部負荷を駆動できるアナログ出力バッファで構成されています。標準よりもさらに高い負荷を駆動するには、負荷サイズと出力電圧スイングの間でトレードオフが可能です。バッファ付き DAC の負荷条件については、「バッファ付き DAC の電氣的データおよびタイミング」セクションを参照してください。バッファ付き DAC は汎用 DAC であり、正弦波、方形波、三角波などの DC 電圧または AC 波形を生成するために使用できます。DAC 値レジスタへのソフトウェア書き込みは、直ちに有効にすることもでき、また、EPWMSYNCO イベントと同期させることもできます。

各バッファ付き DAC には次のような機能があります。

- 12 ビット分解能
- リファレンス電圧源を選択可能
- 内部 VREFHI を使用する場合、x1 および x2 ゲイン モード
- EPWMSYNCPER と同期可能

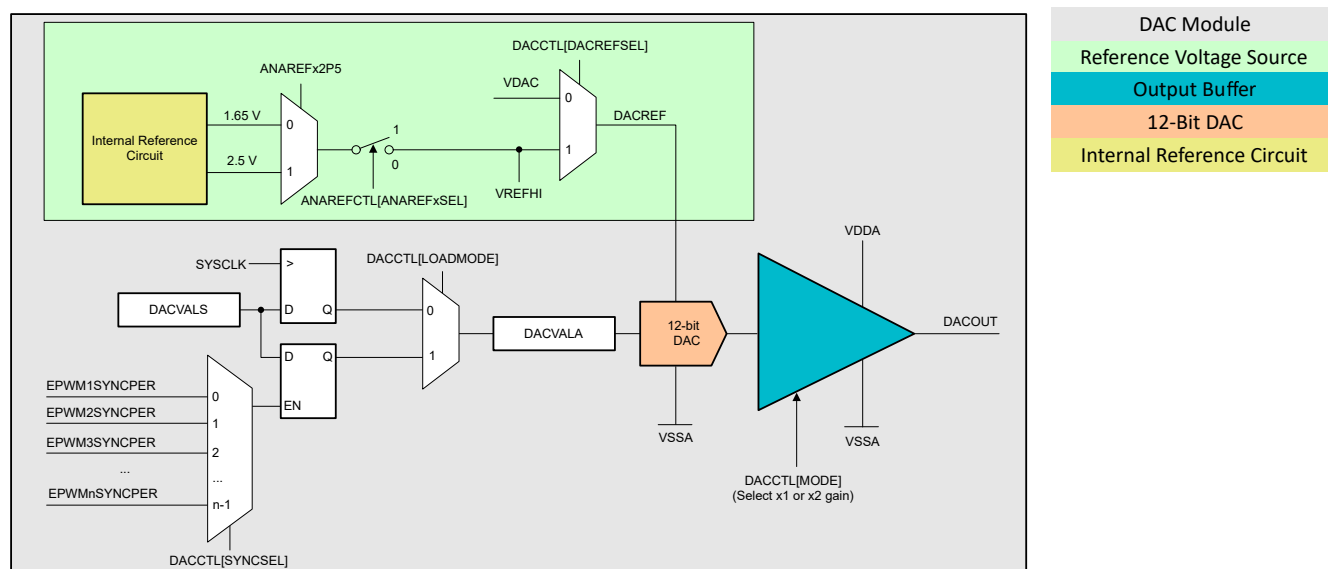


図 6-72. DAC モジュールのブロック図

6.13.5.1 バッファ付き DAC の電氣的データおよびタイミング

6.13.5.1.1 バッファ付き DAC の動作条件

推奨動作条件範囲内 (特に記述のない限り)⁽¹⁾

パラメータ	テスト条件	最小値	標準値	最大値	単位
R _L	抵抗性負荷 ⁽²⁾	5			kΩ
C _L	容量性負荷			100	pF
V _{OUT}	有効出力電圧範囲 ⁽³⁾	R _L = 5kΩ		VDDA - 0.3	V
		R _L = 1kΩ		VDDA - 0.6	V
リファレンス電圧 ⁽⁴⁾	VDAC または VREFHI	2.4 2.5 または 3.0		VDDA	V

- (1) 特に記述のない限り、標準値は VREFHI = 3.3V および VREFLO = 0V で測定されます。最小値と最大値は、VREFHI = 2.5V および VREFLO = 0V でテストまたは特性評価しています。
- (2) DAC は最小 1kΩ の抵抗性負荷を駆動できますが、出力範囲は制限されます。
- (3) これは DAC の線形出力範囲です。DAC はこの範囲外の電圧を生成できますが、バッファがあるので出力電圧は線形ではありません。
- (4) 最高の PSRR 性能を得るには、VDAC または VREFHI は、VDDA よりも低くする必要があります。

6.13.5.1.2 バッファ付き DAC の電氣的特性

推奨動作条件範囲内 (特に記述のない限り)⁽¹⁾

パラメータ		テスト条件	最小値	標準値	最大値	単位
全般						
分解能				12		ビット
ロードレギュレーション			-1		1	mV/V
グリッチ エネルギー				1.5		V-ns
電圧出力セトリング時間、フルスケール		0.3V から 3V への遷移後 2LSB にセトリング			2	μs
電圧出力セトリング時間、1/4 フルスケール		0.3V から 0.75V への遷移後 2LSB にセトリング			1.6	μs
電圧出力スルー レート		0.3V から 3V への遷移時のス ルーレート	2.8		4.5	V/μs
負荷過渡セトリング時間		5kΩ 負荷			328	ns
		1kΩ 負荷			557	ns
リファレンス入力抵抗 ⁽²⁾		VDAC または VREFHI	160	200	240	kΩ
TPU	パワーアップ時間	外部リファレンス モード			500	μs
		内部リファレンス モード			5000	μs
DC の特性						
オフセット	オフセット誤差	中点			10	mV
ゲイン	ゲイン誤差 ⁽³⁾		-2.5		2.5	FSR の %
DNL	微分非直線性 ⁽⁴⁾	エンドポイント補正	-1	±0.4	1	LSB
INL	積分非直線性	エンドポイント補正	-5	±2	5	LSB
AC の特性						
出力ノイズ		100Hz～100kHz の積分ノイズ		600		μVrms
		10kHz でのノイズ密度		800		nVrms/√Hz
SNR	信号対雑音比	1kHz、200KSPS		64		dB
THD	全高調波歪み	1kHz、200KSPS		-64.2		dB
SFDR	スプリアス フリー ダイナミックレ ンジ	1kHz、200KSPS		66		dB
SINAD	信号対雑音＋歪み比	1kHz、200KSPS		61.7		dB

6.13.5.1.2 バッファ付き DAC の電気的特性 (続き)

推奨動作条件範囲内 (特に記述のない限り)⁽¹⁾

パラメータ		テスト条件	最小値	標準値	最大値	単位
PSRR	電源除去比 ⁽⁵⁾	DC		70		dB
		100kHz		30		dB

- (1) 特に記述のない限り、標準値は $V_{REFHI} = 3.3V$ および $V_{REFLO} = 0V$ で測定されます。最小値と最大値は、 $V_{REFHI} = 2.5V$ および $V_{REFLO} = 0V$ でテストまたは特性評価しています。
- (2) アクティブなバッファ付き DAC モジュール 1 個あたり。
- (3) ゲイン誤差は、線形出力範囲について計算しています。
- (4) DAC 出力は単調です。
- (5) $V_{REFHI} = 3.2V$ 、 $V_{DDA} = DC\ 3.3V + 100mV$ 正弦波。

6.14 C28x コントロール ペリフェラル

注

特定のデバイスにおける各ペリフェラルの実際の数については、デバイス比較表を参照してください。

6.14.1 拡張キャプチャ (eCAP)

eCAP モジュールの特長は次のとおりです。

- 回転機械の速度測定 (たとえば、歯付きスプロケットをホール センサで検知)
- 位置センサ パルス間の経過時間測定
- パルス列信号の周期およびデューティ サイクル測定
- デューティ サイクル符号化電流 / 電圧センサから得られた電流または電圧振幅の復号

このセクションで説明する eCAP モジュールの特長は次のとおりです。

- 4 つのイベント タイムスタンプ レジスタ (各 32 ビット)
- 最大 4 つの順序付きタイムスタンプ キャプチャ イベントのエッジ極性選択
- 4 つのイベントのいずれかが発生したときの割り込み
- 最大 4 つのイベント タイムスタンプのシングルショット キャプチャ
- 深さ 4 の循環バッファでのタイムスタンプの連続モード キャプチャ
- 絶対タイムスタンプ キャプチャ
- 差分 (デルタ) モード タイムスタンプ キャプチャ
- キャプチャ モードで使わない場合、eCAP モジュールを単一チャネル PWM 出力として構成可能

タイプ 1 の eCAP におけるキャプチャ機能は、タイプ 0 の eCAP を拡張したものであり、以下の機能が追加されています。

- イベント フィルタリセット ビット
 - ECCTL2[CTRFILTRESET] に 1 を書き込むと、イベント フィルタ、モジュロ カウンタ、および保留中の割り込みフラグがクリアされます。初期化とデバッグの際は、このビットのリセットが役立ちます。これは信号監視の割り込みには適用されず、それらにはイベント フィルタリセット ビットは影響しないことに注意してください。
- モジュロ カウンタのステータス ビット
 - モジュロ カウンタ (ECCTL2 [MODCNTRSTS]) は、どのキャプチャレジスタを次にロードするかを示します。タイプ 0 の eCAP には、モジュロ カウンタの現在の状態を知る方法はありませんでした。
- DMA トリガ ソース
 - eCAPxDMA が DMA トリガとして追加されました。CEVT[1-4] は、eCAPxDMA のソースとして構成できます。
- 入力マルチプレクサ
 - ECCTL0 [INPUTSEL] は、128 の入力信号のいずれかを選択します。詳細については、『[『TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』](#)』の「拡張キャプチャ (eCAP)」の章にある「eCAP のデバイス ピンの構成」セクションを参照してください。
- EALLOW 保護
 - 重要なレジスタに EALLOW 保護が追加されました。タイプ 0 とのソフトウェア互換性を維持するには、DEV_CFG_REGS.ECAPTYPE で、これらのレジスタを保護しないように構成します。

タイプ 2 の eCAP におけるキャプチャ機能は、タイプ 1 の eCAP を拡張したものであり、以下の機能が追加されています。

- ECAPxSYNCINSEL レジスタを追加
 - 外部 SYNCIN を選択するために、各 eCAP に ECAPxSYNCINSEL レジスタが追加されています。すべての eCAP は、個別の SYNCIN 信号を使用できます。

タイプ 3 の eCAP におけるキャプチャ機能は、タイプ 2 の eCAP を拡張したものであり、以下の機能が追加されています。

- エッジ、パルス幅、周期を監視するための 2 つの信号監視ユニット
 - オプションで信号監視と ePWM グローバル ロード ストローブおよびトリップ イベントの緊密な結合が可能
- 多重化キャプチャ入力の数が増加 128 から 256 に増加
- PWM 動作モードで DMA イベントの生成が可能
- ADC 変換をトリガするための ADC SOC の生成が可能

6.14.1.1 eCAP のブロック図

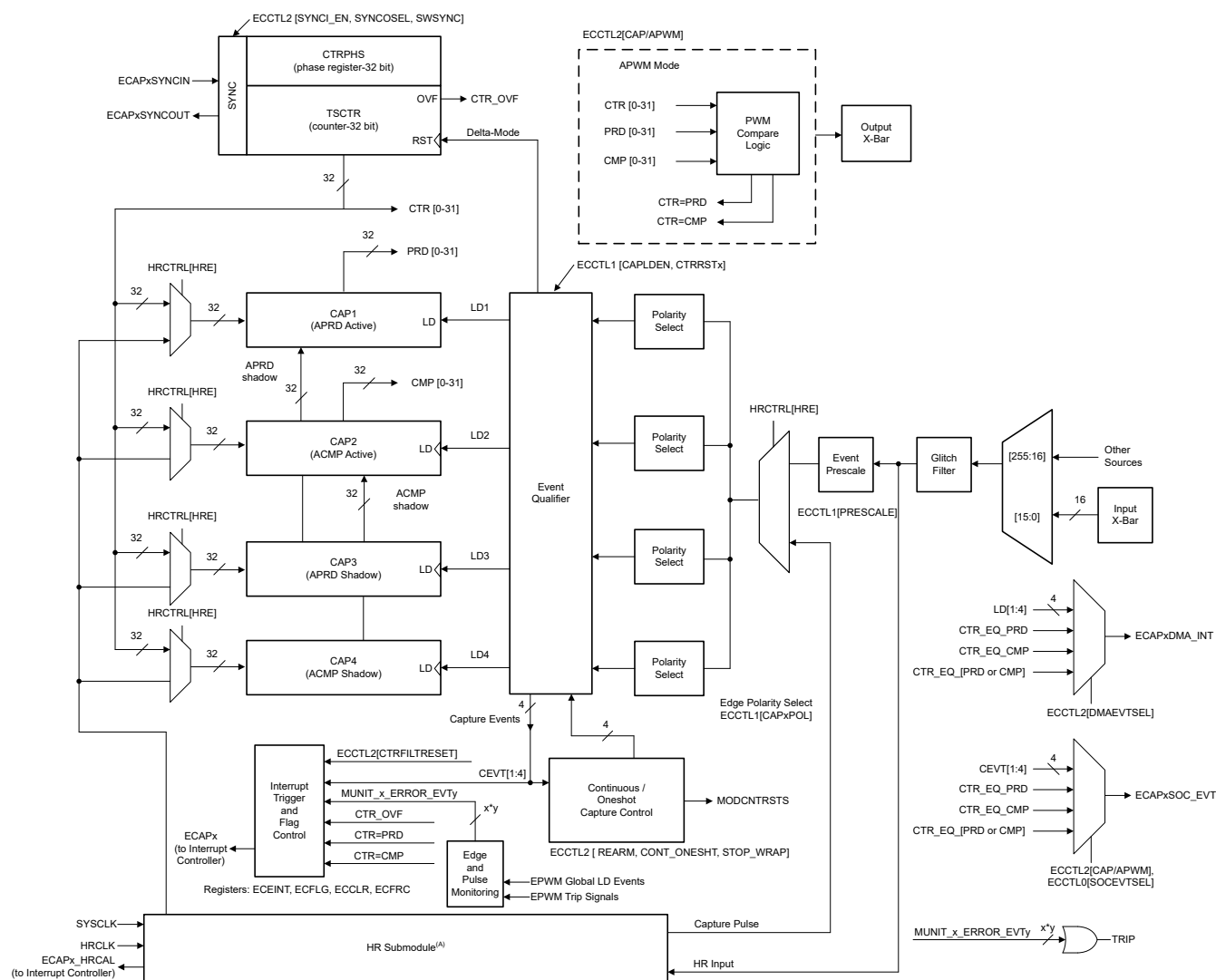


図 6-73. eCAP のブロック図

6.14.1.2 eCAP の同期

eCAP の各モジュールは、共通の SYNCIN ソースを選択することで、互いに同期させることができます。eCAP 用の SYNCIN ソースには、ソフトウェア同期入力と外部同期入力のどちらかを使用できます。外部同期入力信号は、ePWM、eCAP、またはクロスバーのいずれかから供給されます。SYNC 信号は、図 6-74 に示すように、ECAPx の ECAPxSYNCINSEL[SEL] ビットでの選択によって定義されます。

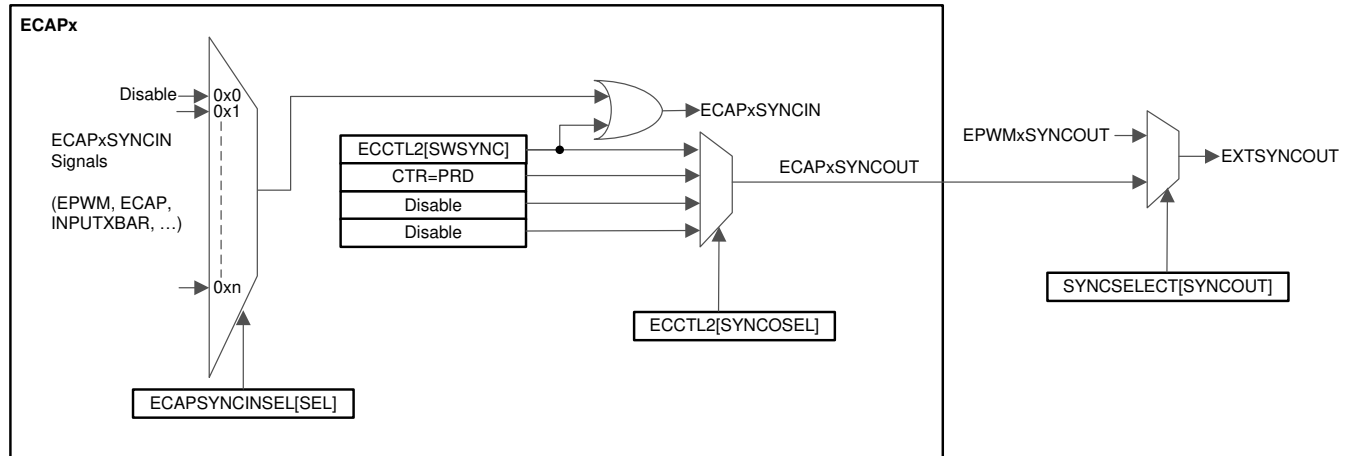


図 6-74. eCAP の同期方式

6.14.1.3 eCAP の電氣的データおよびタイミング

入力クオリファイヤ パラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.14.1.3.1 eCAP のタイミング要件

			最小値	公称値	最大値	単位
t _w (CAP)	キャプチャ入力パルス幅	非同期	2t _c (SYSCLK)			ns
		同期	2t _c (SYSCLK)			
		入力クオリファイヤあり	1t _c (SYSCLK) + t _{w_} (IQSW)			

6.14.1.3.2 eCAP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
$t_{w(APWM)}$	パルス幅、APWMx 出力 High/Low	20			ns

6.14.2 高分解能キャプチャ (HRCAP)

eCAP3 モジュールは、高分解能キャプチャ (HRCAP) サブモジュールとして構成できます。HRCAP サブモジュールは、システム・クロックと非同期にパルス間の時間差を測定します。このサブモジュールは、eCAP タイプ 1 モジュールの新機能であり、タイプ 0 HRCAP モジュールに対して多くの拡張が行われています。

HRCAP の主な用途:

- 静電容量式タッチ・アプリケーション
- パルス・トレイン・サイクルの周期とデューティ・サイクルを高分解能で測定
- 速度の瞬時値測定
- 周波数の瞬時値測定
- 絶縁境界にまたがる電圧測定
- 距離 / ソナーの測定とスキャン
- 流量測定

HRCAP サブモジュールの主な特長を以下に示します。

- 非高分解能モードまたは高分解能モードでのパルス幅キャプチャ
- 絶対モードのパルス幅キャプチャ
- 連続キャプチャまたはワンショット・キャプチャ
- 立ち下がりエッジと立ち上がりエッジのどちらかでのキャプチャ
- 深さ 4 のバッファによるパルス幅の連続モード・キャプチャ
- 高精度高分解能キャプチャのためのハードウェア・キャリブレーション・ロジック
- このリストに掲載されているすべてのリソースは、入力クロスバーを使って任意のピンで利用できます。

HRCAP サブモジュールは、キャリブレーション・ブロックに加えて、1 つの高分解能キャプチャ・チャンネルを備えています。このキャリブレーション・ブロックを使用すると、HRCAP サブモジュールを一定の間隔で継続的に再キャリブレーションでき、「ダウン・タイム」は発生しません。HRCAP サブモジュールは現在、それぞれの eCAP と同じハードウェアを使用しているため、HRCAP を使用すると、対応する eCAP は使用できません。

それぞれの高分解能対応チャンネルは、以下の独立した主要リソースを備えています。

- 対応する eCAP のすべてのハードウェア
- 高分解能のキャリブレーション・ロジック
- 専用のキャリブレーション割り込み

6.14.2.1 eCAP と HRCAP のブロック図

HRCAP ブロック図については、「拡張キャプチャ (eCAP)」セクションの eCAP および HRCAP ブロック図を参照してください。

6.14.2.2 HRCAP の電氣的データおよびタイミング

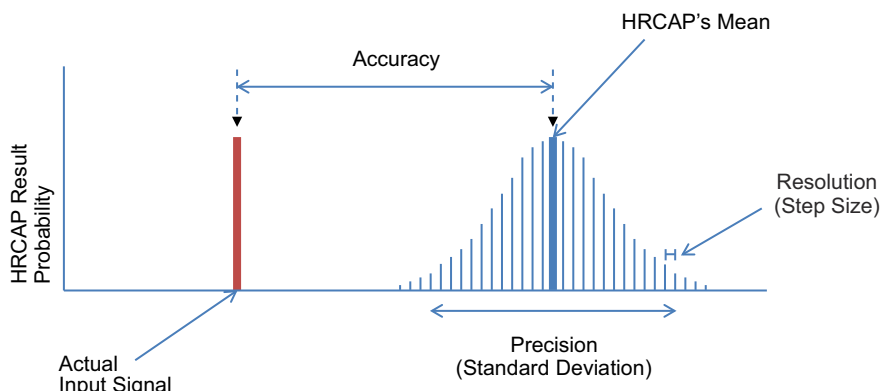
6.14.2.2.1 HRCAP スイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
入力パルス幅		110			ns
精度 ^{(1) (2) (3) (4)}	測定長 ≤ 5μs		±390	540	ps
	測定長 > 5μs		±450	1450	ps
標準偏差		HRCAP 標準偏差 特性 図を参照			
分解能			300		ps

- (1) 100PPM の発振回路を使用して値を取得すると、発振回路の精度が HRCAP の精度に直接影響を及ぼします。
- (2) 立ち上がりまたは立ち下がりエッジを使用して測定を完了します
- (3) 逆極性のエッジは、 V_{IH} と V_{IL} の差により、精度が低下します。この影響は、信号のスルーレートに依存します。
- (4) 精度は、時間に変換された測定にのみ適用されます。

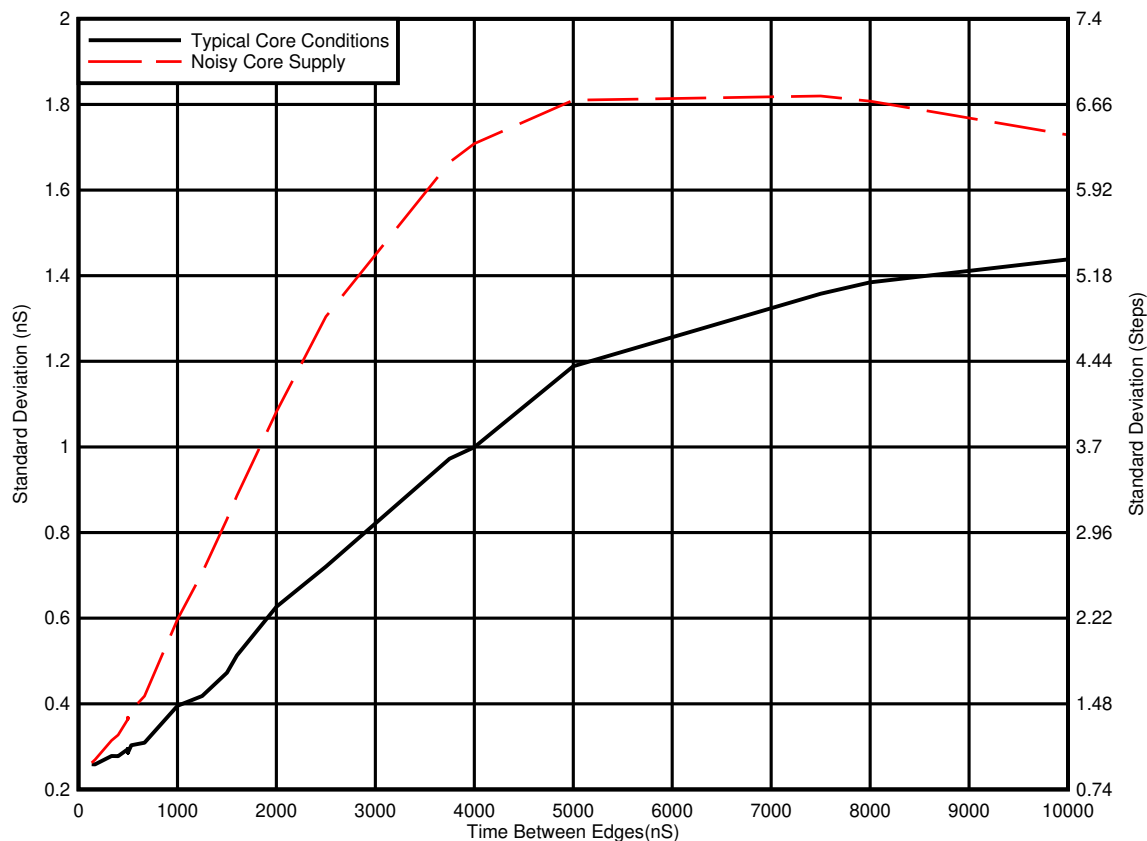
6.14.2.2.2 HRCAP の図とグラフ



A. HRCAP の性能にはいくつかの変動があるので、確率分布を以下に示す用語で記述します。

- 精度: 入力信号と HRCAP の分布の平均との時間差。
- 精度: HRCAP の分布の幅であり、これは標準偏差として表されます。
- 分解能: 測定可能な最小増分。

図 6-75. HRCAP の正確度、精度、分解能



- A. 代表的な動作条件: すべてのペリフェラル クロックはディセーブル。
- B. ノイズの多いコア電源: すべてのコア クロックは、測定中に一定の周期でイネーブルおよびディセーブルになります。
- C. VDD レールの電流と電圧の変動により、HRCAP の標準偏差が上昇します。HRCAP を使用する際には、VDD 電源がクリーンであること、また、クロック ツリーのイネーブルおよびディセーブルなどのノイズの多い内部イベントを最小限に抑えることについて注意する必要があります。

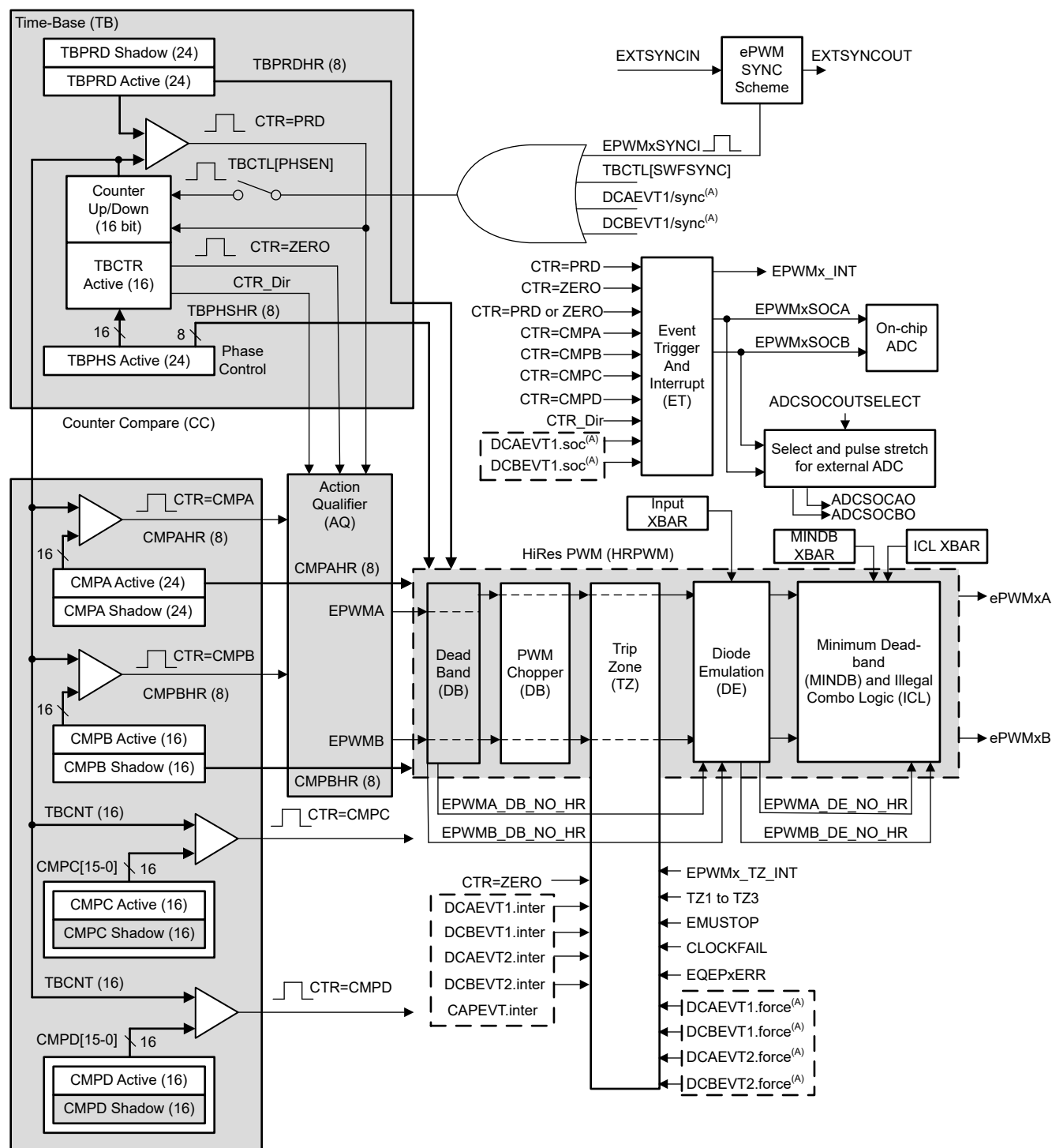
図 6-76. HRCAP 標準偏差特性

6.14.3 拡張パルス幅変調器 (ePWM)

ePWM ペリフェラルは、民生用および産業用機器で採用されている多くのパワー エレクトロニクス システムを制御するための重要な要素です。ePWM タイプ 4 モジュールは、個別のリソースが連携してシステムを形成するしくみによって、小さいモジュールからペリフェラルを構築して、最小限の CPU オーバーヘッドで複合パルス幅波形を生成できます。ePWM タイプ 4 モジュール の主な特長として、複合波形生成、デッドバンド生成、柔軟な同期方式、高度なトリップ ゾーン機能、グローバル レジスタ リロード機能が挙げられます。ePWM タイプ 5 の拡張機能には、同期チェーン オプションの拡張、リンクおよびグローバル負荷パルス選択の柔軟性、XCMP 複合波形生成、イベント キャプチャ機能、ダイオード エミュレーション サブモジュールおよび最小デッドバンド / 不正コンボ ロジック サブモジュールの追加、不等間隔の ePWM 周期のオーバーサンプリングを可能にするイベントトリガ サブモジュールの拡張が含まれます。

デバイスの ePWM と eCAP の同期スキームにより、ePWM および eCAP モジュールの分割に柔軟性が生まれ、モジュール内でのローカルな同期が可能になります。

ePWM モジュールを [図 6-77](#) に示します。 [図 6-78](#) に、ePWM トリップ入力の接続を示します。



A. これらのイベントは、TRIPIN 入力のレベルに基づいて、ePWM デジタル比較 (DC) サブモジュールによって生成されます。

図 6-77. ePWM サブモジュールおよび重要な内部信号の相互接続

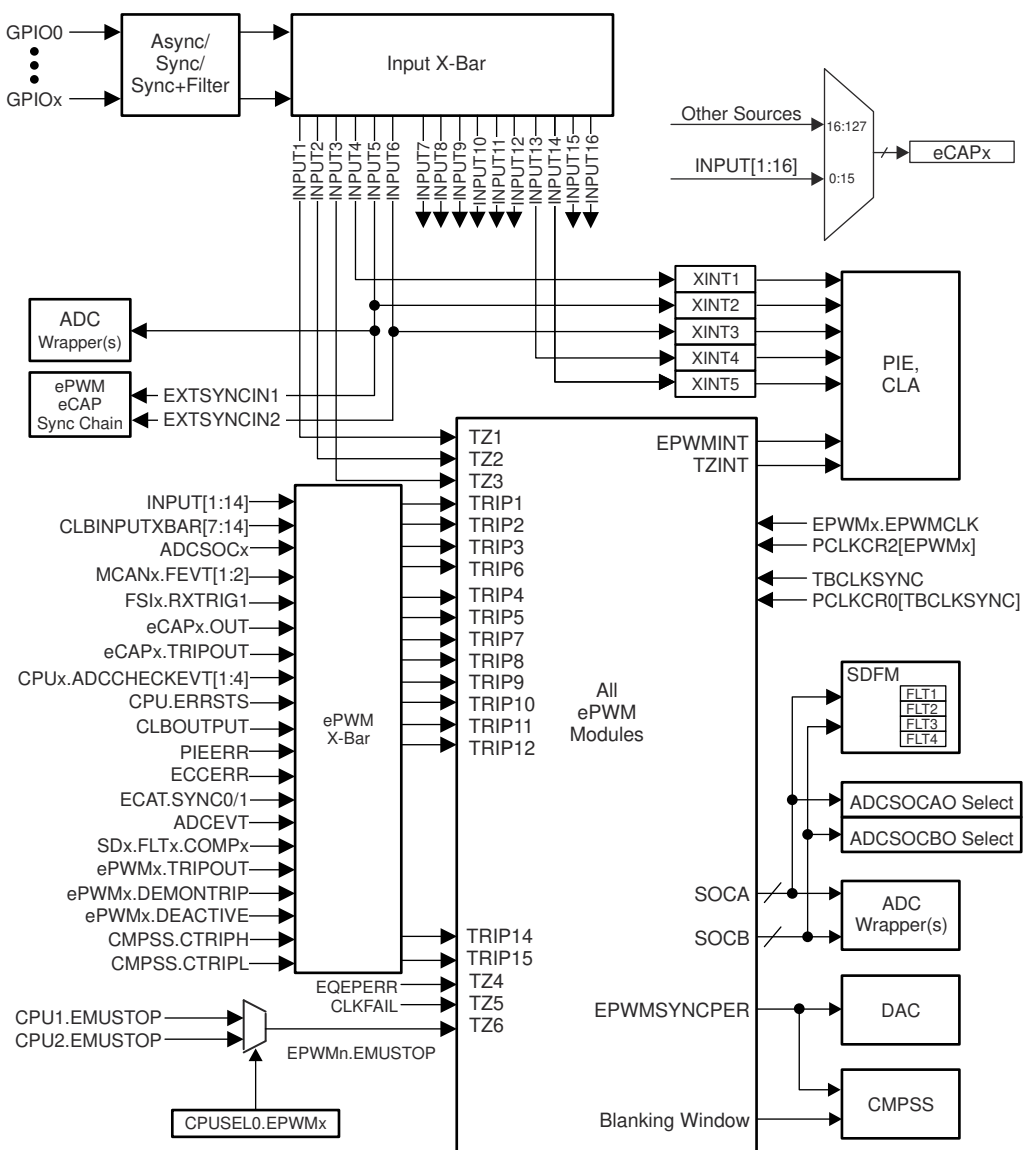


図 6-78. ePWM トリップ入力の接続

6.14.3.1 制御ペリフェラルの同期

デバイスの ePWM と eCAP の同期スキームにより、ePWM および eCAP モジュールの分割に柔軟性が生まれ、モジュール内でのローカルな同期が可能になります。図 6-79 に、この同期スキームを示します。

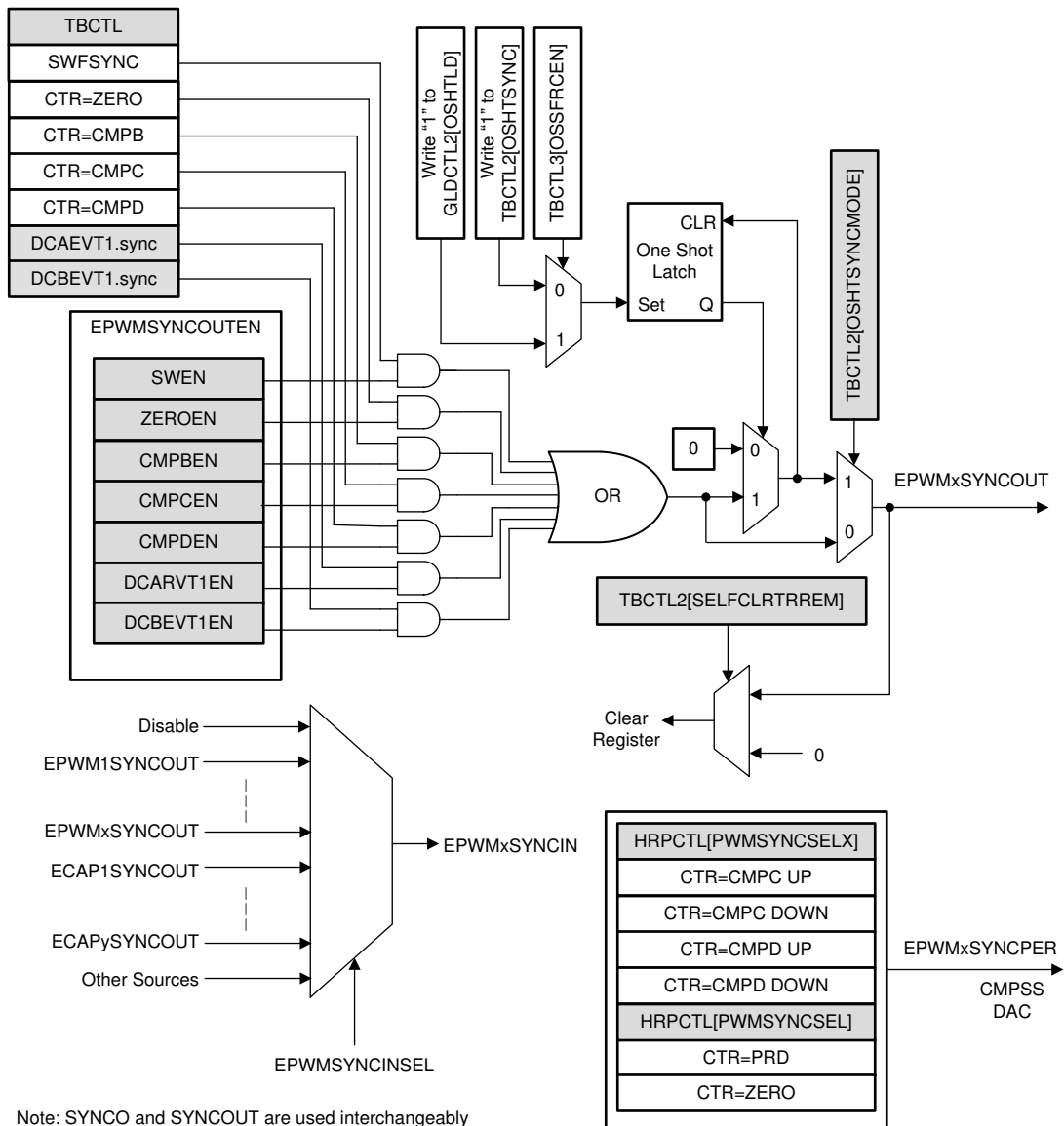


図 6-79. 同期チェーンのアーキテクチャ

6.14.3.2 ePWM の電氣的データおよびタイミング

入力クオリファイヤ パラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.14.3.2.1 ePWM のタイミング要件

			最小値	最大値	単位
$t_{w(SYNCIN)}$	同期入力パルス幅	非同期	$2t_{c(EPWMCLK)}$		サイクル
		同期	$2t_{c(EPWMCLK)}$		
		入力クオリファイヤあり	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$		

6.14.3.2.2 ePWM のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ (1)		最小値	最大値	単位
$t_{w(PWM)}$	パルス幅、PWMx 出力 High/Low	20		ns
$t_{w(SYNCOUT)}$	同期出力パルス幅	$8t_{c(SYSClk)}$		サイクル
$t_d(TZ-PWM)$	遅延時間、トリップ入力アクティブから PWM 強制 High まで 遅延時間、トリップ入力アクティブから PWM 強制 Low まで 遅延時間、トリップ入力アクティブから PWM ハイ インピーダンスまで		30	ns
tskew	すべての ePWM 出力のスキュー (最短パス)(2)		5.1	ns
tskew	すべての ePWM 出力のスキュー (最長パス)(2)		5.1	ns
tskew	HRPWM を経由するすべての ePWM 出力のスキュー (最短パス)(2)		5.1	ns
tskew	HRPWM を経由するすべての ePWM 出力のスキュー (最長パス)(2)		5.1	ns

(1) ピンの負荷は 20pF。

(2) EPWM も同様の構成を使用します。

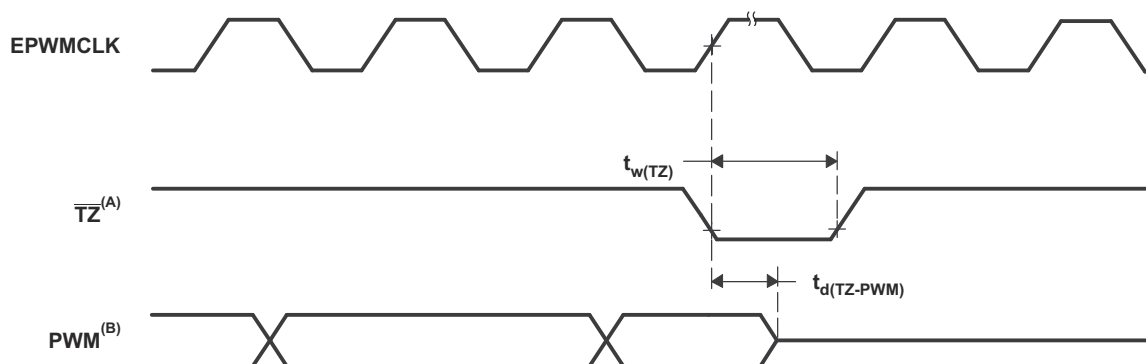
6.14.3.2.3 トリップゾーン入力のタイミング

入力クオリファイヤのパラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.14.3.2.3.1 トリップゾーン入力のタイミング要件

			最小値	最大値	単位
$t_{w(TZ)}$	パルス幅、 $\overline{TZX}$ 入力 Low	非同期	$1t_{c(EPWMCLK)}$		サイクル
		同期	$2t_{c(EPWMCLK)}$		サイクル
		入力クオリファイヤあり	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$		サイクル

6.14.3.2.3.2 PWM ハイ インピーダンス特性のタイミング図



A. $\overline{TZ}$: $\overline{TZ1}$, $\overline{TZ2}$, $\overline{TZ3}$, TRIP1~TRIP12

B. PWM は、デバイスのすべての PWM ピンのことです。 $\overline{TZ}$ が High になった後の PWM ピンの状態は、PWM 回復ソフトウェアによって異なります。

図 6-80. PWM ハイ インピーダンス特性

6.14.4 外部 ADC 変換開始の電氣的データおよびタイミング

6.14.4.1 外部 ADC 変換開始のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_w(\text{ADCSOCL})$	パルス幅、 $\overline{\text{ADCSOCxO}}$ Low	$32t_{\text{cl}}(\text{SYSCLK})$		サイクル

6.14.4.2 $\overline{\text{ADCSOCAO}}$ または $\overline{\text{ADCSOCBO}}$ のタイミング図

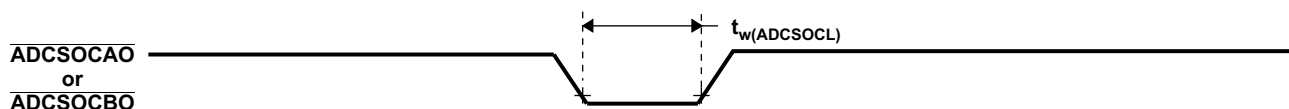


図 6-81. $\overline{\text{ADCSOCAO}}$ または $\overline{\text{ADCSOCBO}}$ のタイミング

6.14.5 高分解能パルス幅変調器 (HRPWM)

HRPWM は、複数のディレイ・ラインを 1 つのモジュールに統合し、専用のキャリブレーション・ディレイ・ラインを使用して、簡素化されたキャリブレーション・システムを実現しています。それぞれの ePWM モジュールに、2 つの HR 出力があります。

- チャンネル A の HR デューティおよびデッドバンド制御
- チャンネル B の HR デューティおよびデッドバンド制御

HRPWM モジュールは、従来のデジタル PWM 方式を使用した場合よりもはるかに優れた PWM 分解能 (時間の粒度) を提供します。HRPWM モジュールの主な特長は次のとおりです。

- 従来のデジタル PWM の時間分解能性能を大幅に拡張します
- この機能は、シングル・エッジ (デューティ・サイクルおよび位相シフト制御) およびデュアル・エッジ (周波数 / 周期変調制御) の両方で使用できます。
- ePWM モジュールの 比較 A、比較 B、位相、周期、デッドバンド・レジスタを拡張することにより、より細かい時間粒度制御またはエッジの位置設定を制御します。

6.14.5.1 HRPWM の電氣的データおよびタイミング

6.14.5.1.1 高分解能 PWM の特性

パラメータ	最小値	標準値	最大値	単位
マイクロ エッジ ポジショニング (MEP) ステップ サイズ ⁽¹⁾		150	310	ps

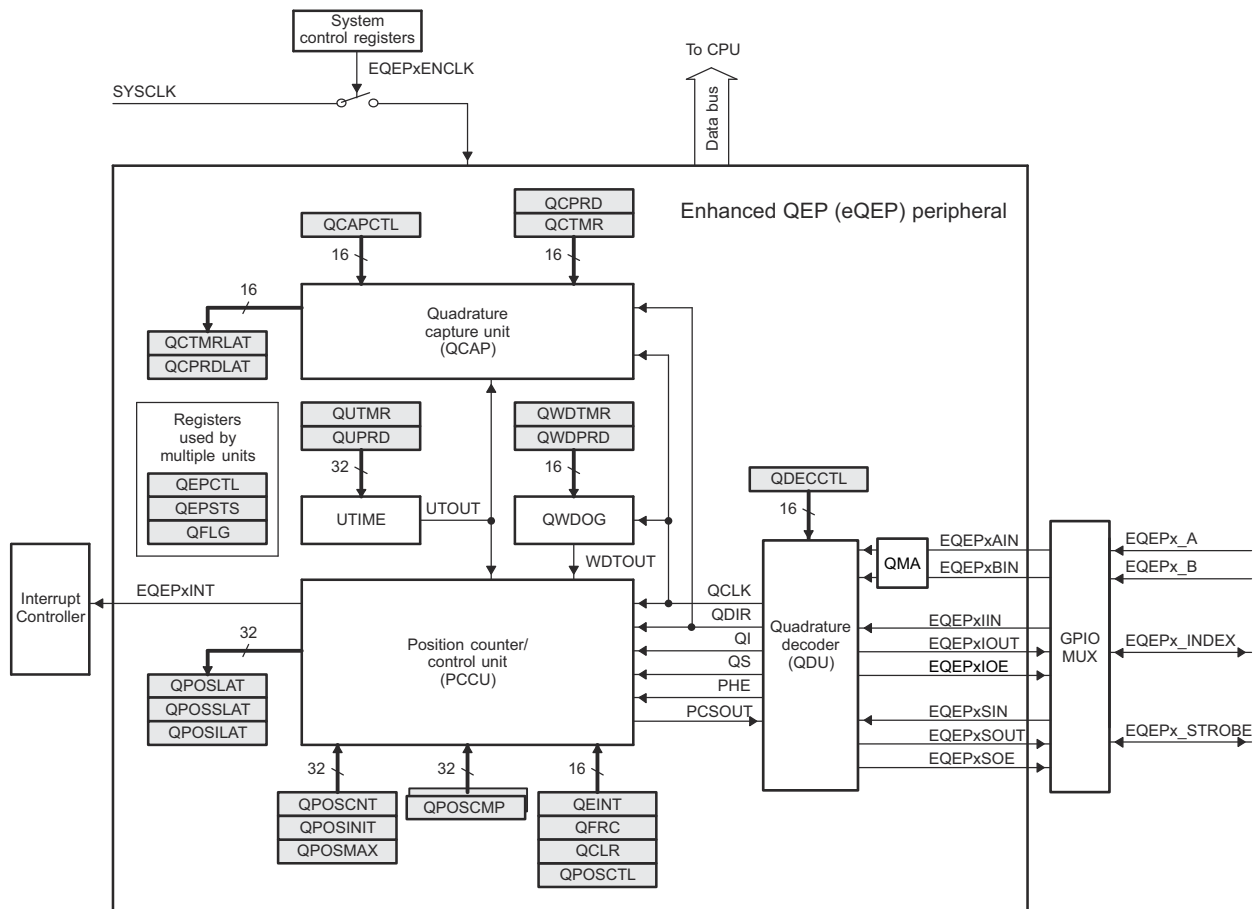
- (1) MEP ステップ サイズは、高温かつ V_{DD} 最小電圧で最大になります。温度の上昇および電圧の低下に伴って、MEP ステップ サイズが増加し、温度の低下および電圧の上昇に伴って減少します。
HRPWM 機能を使用するアプリケーションでは、MEP スケール因子最適化 (SFO) 推定ソフトウェア機能を使用する必要があります。最終アプリケーションで SFO 機能を使用する方法の詳細については、テキサス・インスツルメンツのソフトウェア ライブラリを参照してください。SFO 機能は、HRPWM の動作中に、SYSCLK 周期あたりの MEP ステップ数を動的に推定するのに役立ちます。

6.14.6 拡張直交エンコーダパルス (eQEP)

このデバイスの eQEP モジュールは Type 2 です。eQEP インターフェイスは、高性能な動作位置制御システムで 사용되는回転機械から位置、方向、速度などの情報を取得するために、リニアまたはロータリ インクリメンタル エンコーダとの直接のインターフェイスになります。

eQEP ペリフェラルには、以下の主要な機能ユニットが含まれています (図 6-82 を参照)。

- 各ピンの入力クオリファイヤをプログラム可能 (GPIO MUX の一部)
- 直交デコーダ ユニット (QDU)
- 位置測定用の位置カウンタおよび制御ユニット (PCCU)
- 低速度測定用の直交エッジ キャプチャ ユニット (QCAP)
- 速度および周波数測定用のユニット タイム ベース (UTIME)
- ストール検出用ウォッチドッグ タイマ (QWDOG)
- 直交モード アダプタ (QMA)



Copyright © 2017, Texas Instruments Incorporated

図 6-82. eQEP のブロック図

6.14.6.1 eQEP の電氣的データおよびタイミング

入力クオリファイヤのパラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.14.6.1.1 eQEP のタイミング要件

			最小値	最大値	単位
$t_{w(QEPP)}$	QEP 入力周期	同期 ⁽¹⁾	$2t_{c(SYSCCLK)}$		サイクル
$t_{w(QEPP)}$	QEP 入力周期	入力クオリファイヤにより同期	$2[1t_{c(SYSCCLK)} + t_{w(IQSW)}]$		サイクル
$t_{w(INDEXH)}$	QEP インデックス入力 High 時間	同期 ⁽¹⁾	$2t_{c(SYSCCLK)}$		サイクル
$t_{w(INDEXH)}$	QEP インデックス入力 High 時間	入力クオリファイヤにより同期	$2t_{c(SYSCCLK)} + t_{w(IQSW)}$		サイクル
$t_{w(INDEXL)}$	QEP インデックス入力 Low 時間	同期 ⁽¹⁾	$2t_{c(SYSCCLK)}$		サイクル
$t_{w(INDEXL)}$	QEP インデックス入力 Low 時間	入力クオリファイヤにより同期	$2t_{c(SYSCCLK)} + t_{w(IQSW)}$		サイクル
$t_{w(STROBH)}$	QEP ストローブ High 時間	同期 ⁽¹⁾	$2t_{c(SYSCCLK)}$		サイクル
$t_{w(STROBH)}$	QEP ストローブ High 時間	入力クオリファイヤにより同期	$2t_{c(SYSCCLK)} + t_{w(IQSW)}$		サイクル
$t_{w(STROBL)}$	QEP ストローブ入力 Low 時間	同期 ⁽¹⁾	$2t_{c(SYSCCLK)}$		サイクル
$t_{w(STROBL)}$	QEP ストローブ入力 Low 時間	入力クオリファイヤにより同期	$2t_{c(SYSCCLK)} + t_{w(IQSW)}$		サイクル

(1) eQEP モジュールの入力ピンでは、GPIO の GPxQSELn 非同期モードは使用できません。

6.14.6.1.2 eQEP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{d(CNTR)xin}$	遅延時間、外部クロックからカウンタ インクリメントまで		$5t_{c(SYSCCLK)}$	サイクル
$t_{d(PCS-OUT)QEP}$	遅延時間、QEP 入力エッジから位置比較同期出力まで		$7t_{c(SYSCCLK)}$	サイクル

6.14.7 シグマ-デルタ・フィルタ・モジュール (SDFM)

SDFM の主な特長は次のとおりです。

- SDFM モジュールごとに 8 本の外部ピン
 - SDFM モジュールごとに 4 本のシグマ-デルタ データ入力ピン (SD-Dx、ここで x = 1~4)
 - SDFM モジュールごとに 4 本のシグマ-デルタ クロック入力ピン (SD-Cx、ここで x = 1~4)
- さまざまな構成可能な変調器クロック モードをサポート:
 - モード 0: 変調器クロック レートが変調器データ レートに等しい。
- SDFM モジュールごとに 4 つの独立した構成可能な 2 次フィルタ (コンパレータ) ユニット:
 - 4 種類のフィルタ タイプ選択 (Sinc1/Sinc2/SincFast/Sinc3) を利用可能
 - 値超過状態、値不足状態、スレッショルド クロッシング状態を検出可能
 1. 2 つの独立した高スレッショルド コンパレータ (値超過状態の検出に使用)
 2. 2 つの独立した低スレッショルド コンパレータ (値不足状態の検出に使用)
 3. 1 つの独立したスレッショルド クロッシング コンパレータ (eCAP でデューティ サイクル / 周波数を測定するために使用)
 - 1~32 の範囲でプログラム可能なコンパレータ フィルタ ユニットの OSR 値 (COSR)
- SDFM モジュールごとに 4 つの独立した構成可能な 1 次フィルタ (データ フィルタ) ユニット:
 - 4 種類のフィルタ タイプ選択 (Sinc1/Sinc2/SincFast/Sinc3) を利用可能
 - 1~256 の範囲でプログラム可能なデータ フィルタ ユニットの OSR 値 (DOSR)
 - 個別のフィルタ モジュールを有効または無効 (あるいはその両方) に設定可能
 - メイン フィルタ イネーブル (MFE) ビットまたは PWM 信号を使用して、SDFM モジュールの 4 つの独立したフィルタすべてを同期可能
- データ フィルタ出力は、16 ビットまたは 32 ビットで表現可能。
- データ フィルタ ユニットにはプログラマブル モード FIFO があり、割り込みオーバーヘッドを低減。FIFO の特長は次のとおりです。
 - 1 次フィルタ (データ フィルタ) に深さ 16 x 32 ビット FIFO。
 - FIFO は、プログラムした数のデータ レディ イベントが発生した後 CPU に割り込みを発生させることが可能。
 - FIFO の同期待ち機能: PWM 同期信号 (SDSYNC) を受信するまで、データ レディ イベントを無視する機能。SDSYNC イベントを受信すると、データ レディ イベントごとに FIFO に書き込み。
 - データ フィルタ出力は、16 ビットまたは 32 ビットで表現可能。
- PWMx.SOCA/SOCB は、データ フィルタ チャネルごとに SDSYNC ソースとして機能するように構成可能。
- PWM を使用して、シグマ-デルタ モジュレータ用の変調器クロックを生成可能。
- SD-Cx と SD-Dx の両方に構成可能な入力認定を利用可能。
- 1 つのフィルタ チャネル クロック (SD-C1) を使用して、他のフィルタ クロック チャネルにクロックを供給する機能。
- コンパレータ フィルタ イベントでスプリアス ノイズに起因するコンパレータ イベントを除外する構成可能なデジタル フィルタ。

図 6-83 に、SDFM モジュールのブロック図を示します。

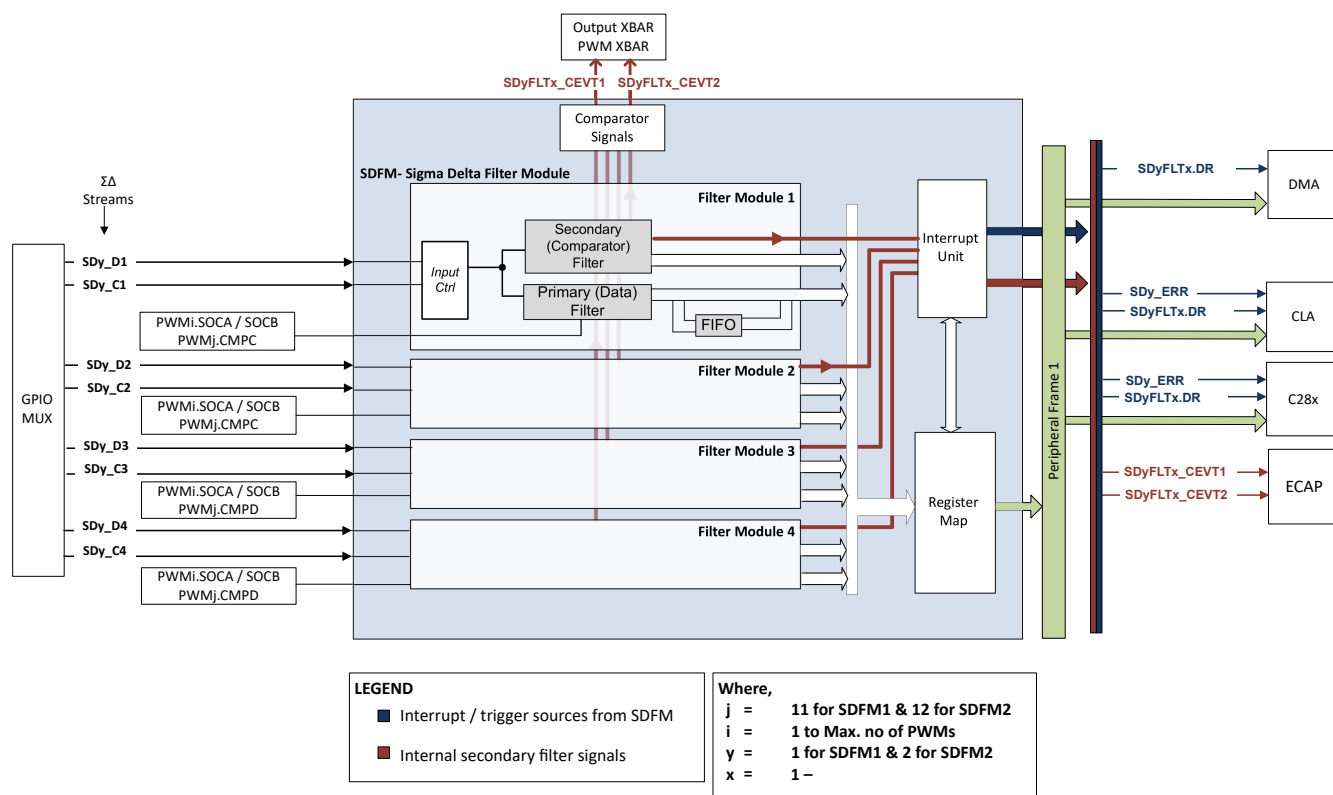


図 6-83. シグマ デルタ フィルタ モジュール (SDFM) のブロック図

6.14.7.1 SDFM の電氣的データおよびタイミング

6.14.7.1.1 SDFM の電氣的データおよびタイミング (同期 GPIO)

注

SDx_Cy ピンでランダム ノイズのグリッチが発生すると、コンパレータの誤動作やフィルタ出力の異常につながり、SDFM モジュールが誤動作する可能性があります。SDFM 同期 GPIO (SYNC) オプションは、この誤動作に対する保護を提供します。

SDFM 同期 GPIO (SYNC) モードは、上記のタイミング要件の永続的な違反に対する保護を提供するものではありません。タイミング違反があると、要件に違反するビット数に比例してデータが破損する結果になります。

6.14.7.1.2 SDFM の電氣的データおよびタイミング (ASYNC を使用)

「非同期 GPIO ASYNC オプション使用時の SDFM のタイミング要件」の表に、SDFM のタイミング要件を示します。次のような構成を行う必要があります。

- SDFM GPIO ピンは、ASYNC モードでのみ構成する必要があります (GPYQSELn = 0b11 を使用)。
- SDx-Cy 信号と SDx-Dy 信号の両方を PLLRAWCLK に同期させる必要があります (SDCTLPARMx レジスタを使用)。

図 6-84 に、SDFM のタイミング図を示します。

6.14.7.1.3 非同期 GPIO ASYNC オプション使用時の SDFM のタイミング要件

		最小値	最大値	単位
モード 0				
$t_{c(SDC)M0}$	サイクル時間、SDx_Cy	$4 * t_{c(PLLRAWCLK)}$	256 * SYSCLK 周期	ns
$t_{w(SDDHL)M0}$	パルス幅、SDx_Dy (HIGH/LOW)	$2 * t_{c(PLLRAWCLK)}$		ns
$t_{su(SDDV-SDCH)M0}$	セットアップ時間、SDx_Dy 有効から SDx_Cy が HIGH になるまで	$1 * t_{c(PLLRAWCLK)} + 3$		ns
$t_{h(SDCH-SDD)M0}$	ホールド時間、SDx_Cy が HIGH になった後 SDx_Dy の保持期間	$1 * t_{c(PLLRAWCLK)} + 3$		ns

6.14.7.1.4 同期 GPIO SYNC オプション使用時の SDFM のタイミング要件

		最小値	最大値	単位
モード 0				
$t_{c(SDC)M0}$	サイクル時間、SDx_Cy	5 * SYSCLK 周期	256 * SYSCLK 周期	ns
$t_{w(SDDHL)M0}$	パルス幅、SDx_Dy (HIGH/LOW)	2 * SYSCLK 周期		ns
$t_{su(SDDV-SDCH)M0}$	セットアップ時間、SDx_Dy 有効から SDx_Cy が HIGH になるまで	2 * SYSCLK 周期		ns
$t_{h(SDCH-SDD)M0}$	ホールド時間、SDx_Cy が HIGH になった後 SDx_Dy の保持期間	2 * SYSCLK 周期		ns

6.14.7.1.5 SDFM タイミング図

警告

SDFM タイミング要件を満たすクリーンでノイズのない信号を確保するため、SD-Cx および SD-Dx 信号の両方に特別な措置を取る必要があります。クロックドライバのインピーダンス ミスマッチによるリングング ノイズに備える直列終端抵抗や、他のノイズの多い信号からの配線間隔などに注意することを推奨します。

注

SDFM SD-Cx および SD-Dx 信号を PLLRAWCLK と同期させると、偶発的なランダム ノイズ グリッチによりコンパレータのトリップおよびフィルタ出力が誤って発生したために SDFM モジュールが破損することから保護できます。ただし、上記のタイミング要件の永続的な違反に対する保護を提供するものではありません。タイミング違反があると、要件に違反するビット数に比例してデータが破損する結果になります。

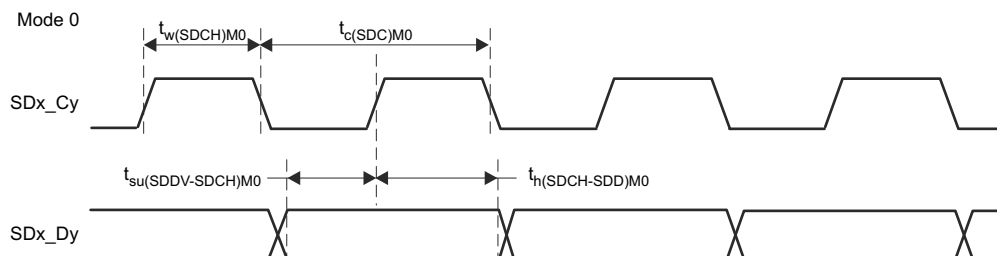


図 6-84. SDFM タイミング図 - モード 0

6.15 C28x 通信ペリフェラル

注

テキサス・インスツルメンツでは、より包括的な用語を使用するように移行を進めています。一部の言語については、特定のテクノロジー分野で期待される言語とは異なる場合があります。

注

特定のデバイスにおける各ペリフェラルの実際の数については、デバイス比較表を参照してください。

6.15.1 CAN (Controller Area Network)

注

CAN モジュールは、*DCAN* と呼ばれる IP を使用します。このドキュメントでは、このペリフェラルに言及するとき、*CAN* および *DCAN* という呼称を同じように使っています。

CAN モジュールの主な機能は次のとおりです。

- ISO11898-1 に準拠 (Bosch® CAN プロトコル仕様 2.0 A および B)
- 最大 1Mbps のビット・レート
- 複数のクロック・ソースに対応
- 32 個のメッセージ・オブジェクト (メールボックス)。それぞれに次の特長があります。
 - 受信または送信として構成可能
 - 標準 (11 ビット) または拡張 (29 ビット) の識別子で構成可能
 - プログラム可能な識別子受信マスクをサポート
 - データ・フレームおよびリモート・フレームをサポート
 - 0~8 バイトのデータを保持
 - 構成およびデータ RAM のパリティチェック
- 各メッセージ・オブジェクトに個別の識別子マスク
- メッセージ・オブジェクト用のプログラム可能な FIFO モード
- プログラム可能なループバック・モードによる自己テスト動作
- デバッグをサポートするためのサスペンド・モード
- ソフトウェアによるモジュール・リセット
- バス・オフ状態の後、プログラマブル 32 ビット・タイマにより自動的にバス・オン
- 2 つの割り込みライン

注

100MHz の CAN ビット・クロックの場合、可能な最小のビット・レートは 3.90625Kbps です。

注

オンチップの発振器の精度は、INTOSC の特性表に記載されています。CAN ビットのタイミング設定、ビット・レート、バス長、伝搬遅延などのパラメータによっては、この発振器の精度が CAN プロトコルの要件を満たさない場合があります。この状況では、外部クロック・ソースを使用する必要があります。

CAN のブロック図を [図 6-85](#) に示します。

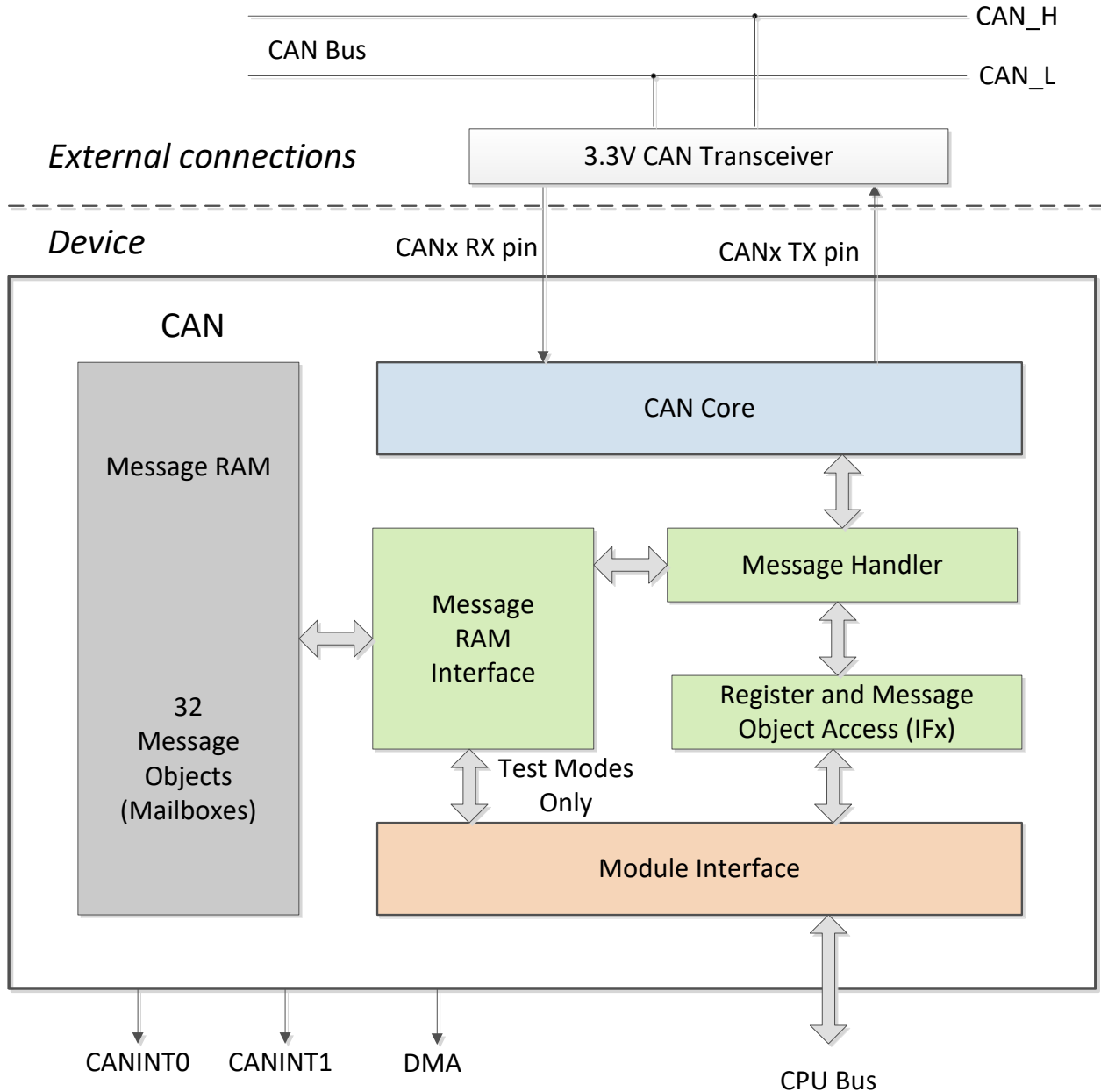


図 6-85. CAN ブロック図

6.15.2 モジュール・コントローラ・エリア・ネットワーク (MCAN)

コントローラ エリア ネットワーク (CAN) は、高い信頼性で分散リアルタイム制御を効率的にサポートするシリアル通信プロトコルです。CAN は電氣的干渉に対する高い耐性を持ち、さまざまな種類のエラーを検出できます。CAN では、多くのショートメッセージがネットワーク全体にブロードキャストされるため、システムのすべてのノードでデータの整合性が確保されます。

MCAN モジュールは、従来型の CAN と CAN FD (CAN とフレキシブル データレート) の両方のプロトコルをサポートしています。CAN FD 機能により、データフレームあたりのスループットが向上し、ペイロードが増加します。従来型の CAN デバイスと CAN FD デバイスは、バス エラーを生成せずに CAN FD を検出および無視できる部分的ネットワークラン

シーバが従来型の CAN デバイスで使用されている場合、競合なしで同じネットワーク上に共存できます。MCAN モジュールは、ISO 11898-1:2015 に準拠しています。

注

CAN FD 機能が利用可能かどうかは、デバイスの型番によります。

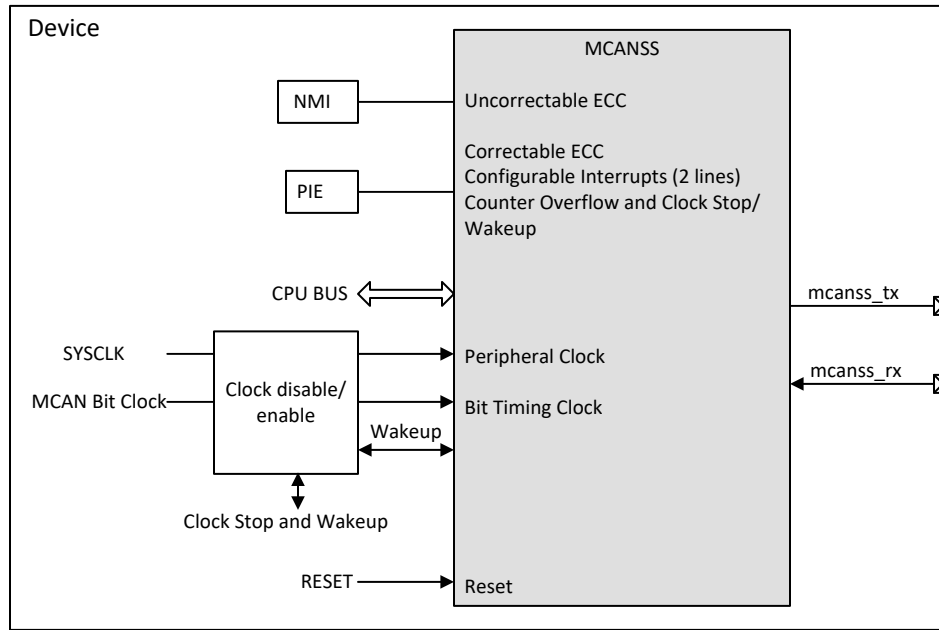


図 6-86. MCAN モジュールの概要

MCAN モジュールの主な機能は次のとおりです。

- CAN プロトコル 2.0A、B、ISO 11898-1:2015 に準拠
- 完全な CAN FD のサポート (最大 64 データ バイト)
- AUTOSAR および SAE J1939 をサポート
- 柔軟なメッセージ RAM 割り当て (以下の最大構成は 4352 の 32 ビット ワード メッセージ RAM を搭載したデバイスの場合)
 - 最大 32 個の専用送信バッファ
 - 構成可能な送信 FIFO、最大 32 個の素子
 - 構成可能な送信キュー、最大 32 個の素子
 - 構成可能な送信イベント FIFO、最大 32 個の素子
 - 最大 64 個の専用受信バッファ
 - 2 つの構成可能な受信 FIFO、それぞれ最大 64 個の素子
 - 最大 128 個のフィルタ素子
- セルフ テスト用のループバック モード
- マスク可能な割り込み (2 つの設定可能な割り込みライン、訂正可能な ECC、カウンタ オーバーフロー、クロックの停止 / ウェークアップ)
- マスク不可能割り込み (訂正不可能な ECC)
- 2 つのクロックドメイン (CAN クロック / ホスト クロック)
- メッセージ RAM の ECC チェック
- クロックの停止およびウェークアップのサポート
- タイムスタンプ カウンタ

サポートされない機能:

- ホスト バス ファイアウォール
- クロックのキャリブレーション
- CAN 経由のデバッグ

6.15.3 高速シリアル インターフェイス (FSI)

高速シリアル インターフェイス (FSI) モジュールは、信頼性が高く堅牢な高速通信を実行できるシリアル通信ペリフェラルです。FSI は、チップ間や絶縁バリアをまたぐボード間など、多くのシステム条件にわたってデータの堅牢性を保証するように設計されています。CRC、フレーム開始およびフレーム終了パターン、ユーザー定義タグなどのペイロード整合性チェックは、送信前にエンコードされ、受信後に検証されます。このとき、CPU との追加のやり取りはありません。断線は、定期的な送信を使って検出でき、ハードウェアによってすべての管理と監視が行われます。FSI は、デバイス上の他の制御ペリフェラルとも密接に統合されています。最新のセンサ データまたは制御パラメータを確実に利用できるように、制御ループ周期ごとにフレームを送信できます。レシーバにはスキュー補償ブロックが内蔵されており、クロック信号とデータ信号の間で発生する可能性のあるスキューを処理します。これには、トレース長のミスマッチや絶縁チップによって生じるスキューなど、さまざまな要因があります。FSI は、データの堅牢性チェック、データ リンクの整合性チェック、スキュー補償を内蔵し、さらに制御ペリフェラルと統合されているため、あらゆるシステムで高速かつ堅牢な通信を実現できます。FSI のこれらの機能と他の多くの機能は以下のとおりです。

FSI モジュールの主な機能は次のとおりです。

- 独立したトランスミッタ コアとレシーバ コア
- ソース同期送信
- デュアル データ レート (DDR)
- 1 つまたは 2 つのデータライン
- データ長をプログラム可能
- スキュー調整ブロックにより、基板とシステムの遅延のミスマッチを補償
- フレーム エラー検出
- プログラム可能なフレーム タグ機能によるメッセージ フィルタリング
- 通信中の断線を検出するためのハードウェア ping (ping ウォッチドッグ)
- FSI コアごとに 2 つの割り込み
- 外部トリガによるフレーム生成
- ハードウェアまたはソフトウェアで計算された CRC
- ECC 計算モジュール内蔵
- レジスタ書き込み保護
- DMA のサポート
- SPI 互換モード (限定された機能が利用可能)

デュアル データ レート (120Mbps) において FSI を最大速度 (60MHz) で動作させるには、ケースごとに特定の動作条件に応じて、内蔵のスキュー補償ブロックを構成する必要があります。『[高速シリアル インターフェイス \(FSI\) スキュー補償](#)』アプリケーション ノートには、高速シリアル インターフェイスでの内蔵スキュー補償ブロックの構成および設定方法を示す、サンプル ソフトウェアが含まれています。

FSI は、独立したトランスミッタ (FSITX) コアとレシーバ (FSIRX) コアで構成されています。FSITX コアおよび FSIRX コアは、個別に構成されて動作します。FSITX および FSIRX で利用可能な機能については、『[TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「FSI トランスミッタ」セクションと「FSI レシーバ」

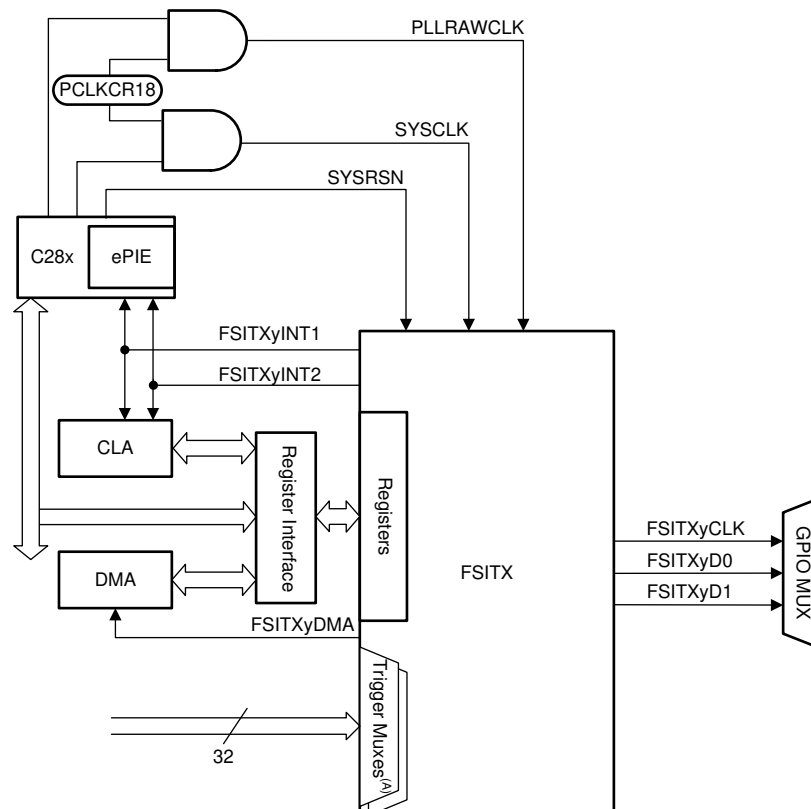
6.15.3.1 FSI トランスミッタ

FSI トランスミッタ モジュールは、データのフレーミング、CRC 生成、TXCLK、TXD0、TXD1 の信号生成、割り込み生成を処理します。トランスミッタ コアの動作は、プログラム可能な制御レジスタによって制御および構成されます。このトランスミッタ制御レジスタを使って、CPU (または CLA) は、FSI トランスミッタの動作をプログラム、制御、および監視できます。送信データ バッファは、CPU、CLA、および DMA からアクセスできます。

トランスミッタの特長は次のとおりです。

- 自動化された ping フレーム生成
- 外部からトリガされる ping フレーム
- 外部からトリガされるデータ フレーム
- ソフトウェアで構成可能なフレーム長
- 16 ワードのデータ バッファ
- データ バッファのアンダーランおよびオーバーラン検出
- ハードウェアで生成されるデータ ビットの CRC
- 選択したデータに対するソフトウェア ECC の計算
- DMA のサポート
- CLA タスクのトリガ

図 6-87 に、FSITX CPU インターフェイスを示します。図 6-88 に、FSITX の概略ブロック図を示します。すべてのデータパスと内部接続が表示されているわけではありません。この図は、FSITX に搭載されている内部モジュールの概要を示しています。



- A. トリガ マルチプレクサに接続されている信号については、『[TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の高速シリアル インターフェイス (FSI) の章にある「外部フレームトリガ マルチプレクサ」セクションを参照してください。

図 6-87. FSITX CPU インターフェイス

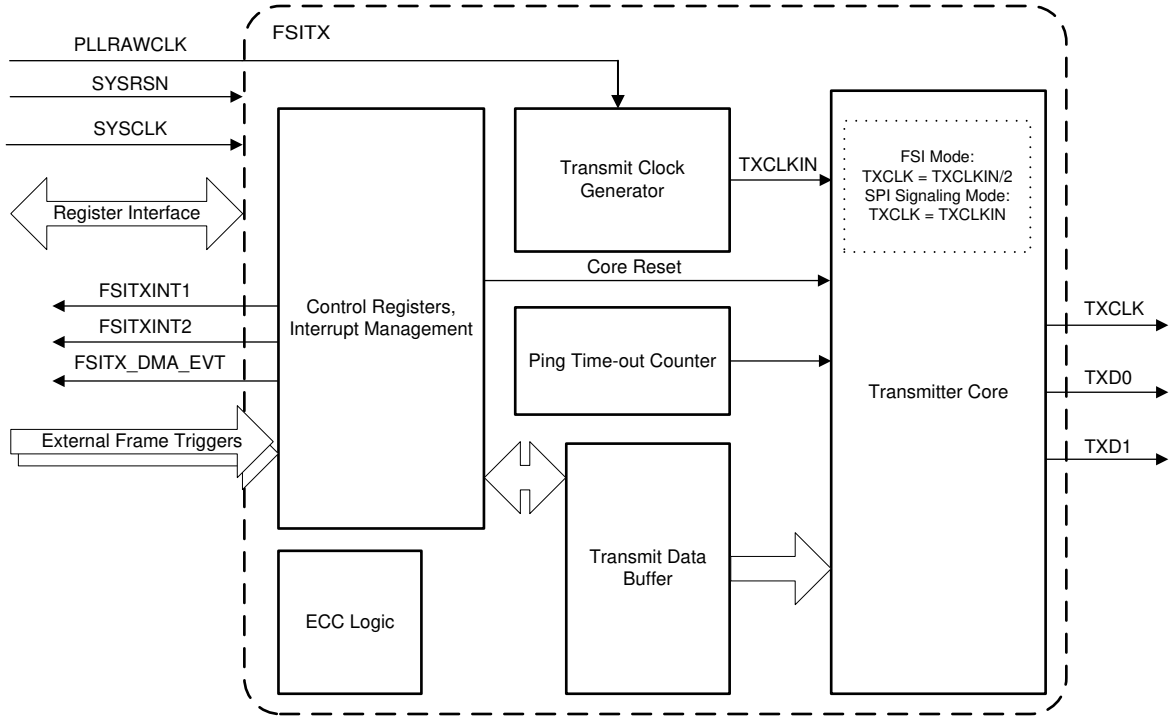


図 6-88. FSITX のブロック図

6.15.3.1.1 FSITX の電氣的データおよびタイミング

6.15.3.1.1.1 FSITX スイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

番号	パラメータ (1)		最小値	最大値	単位
1	$t_c(\text{TXCLK})$	サイクル時間、TXCLK	16.67		ns
2	$t_w(\text{TXCLK})$	パルス幅、TXCLK LOW または TXCLK HIGH	$(0.5t_c(\text{TXCLK})) - 1$	$(0.5t_c(\text{TXCLK})) + 1$	ns
3	$t_d(\text{TXCLK-TXD})$	遅延時間、TXCLK の立ち上がりまたは立ち下がりから TXD 有効	$(0.25t_c(\text{TXCLK})) - 2$	$(0.25t_c(\text{TXCLK})) + 2$	ns
4	$t_d(\text{TXCLK})$	TX_DLYLINE_CTRL[TXCLK_DLY] = 31 での TXCLK 遅延補償	9.95	30	ns
5	$t_d(\text{TXD0})$	TX_DLYLINE_CTRL[TXD0_DLY] = 31 での TXD0 遅延補償	9.95	30	ns
6	$t_d(\text{TXD1})$	TX_DLYLINE_CTRL[TXD1_DLY] = 31 での TXD1 遅延補償	9.95	30	ns
7	$t_d(\text{DELAY_ELEMENT})$	TXCLK、TXD0、TXD1 の各ディレイライン素子の増分遅延	0.3	1	ns

(1) ピンの負荷は 10pF。

6.15.3.1.1.2 FSITX タイミング

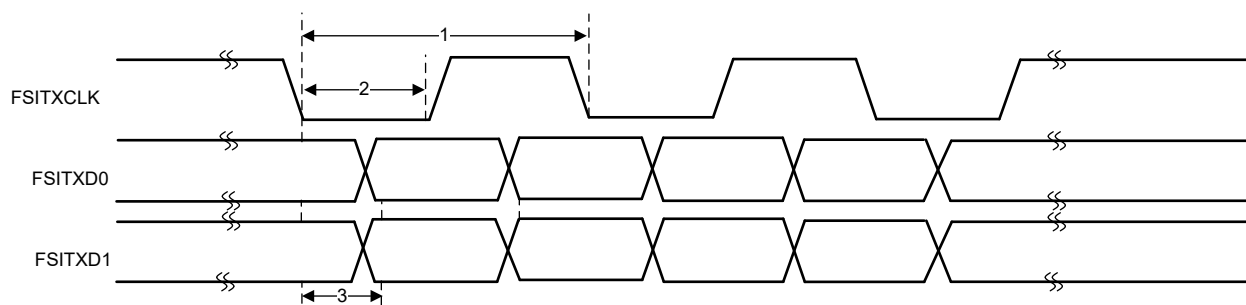


図 6-89. FSITX タイミング

6.15.3.2 FSI レシーバ

レシーバ モジュールは、オプションのプログラマブル遅延ラインを通過した後の FSI クロック (RXCLK) およびデータライン (RXD0 および RXD1) に接続します。レシーバ コアは、データ フレーミング、CRC 計算、フレーム関連のエラー チェックを処理します。レシーバ ビット クロックおよびステート マシンは、デバイスのシステム クロックとは同期しない RXCLK 入力によって実行されます。

レシーバ制御レジスタにより、CPU (または CLA) は FSIRX の動作をプログラム、制御、および監視できます。受信データバッファには、CPU、CLA、および DMA からアクセスできます。

レシーバ コアは以下に示す機能を備えています。

- 16 ワードのデータ バッファ
- 複数のフレーム タイプをサポート
- Ping フレーム ウォッチドッグ
- フレーム ウォッチドッグ
- ハードウェアでの CRC 計算および比較
- ECC 検出
- 受信信号に対するプログラマブルなディレイライン制御
- DMA のサポート
- SPI 互換モード
- CLA タスクのトリガ

図 6-90 に、FSIRX CPU インターフェイスを示します。図 6-91 に、FSIRX に搭載されている内部モジュールの概要を示します。すべてのデータパスと内部接続が表示されているわけではありません。

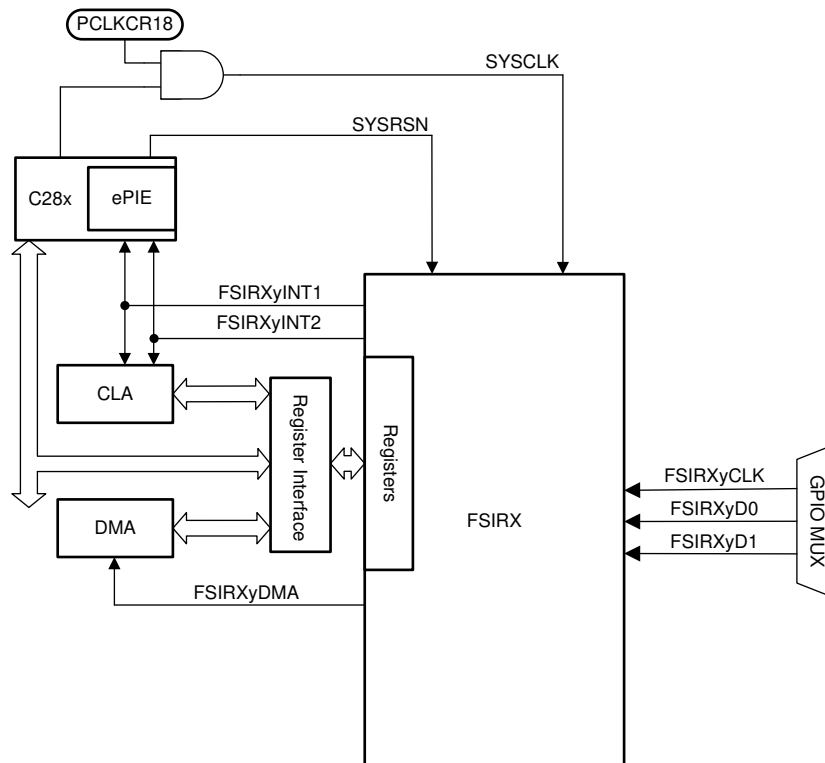


図 6-90. FSIRX CPU インターフェイス

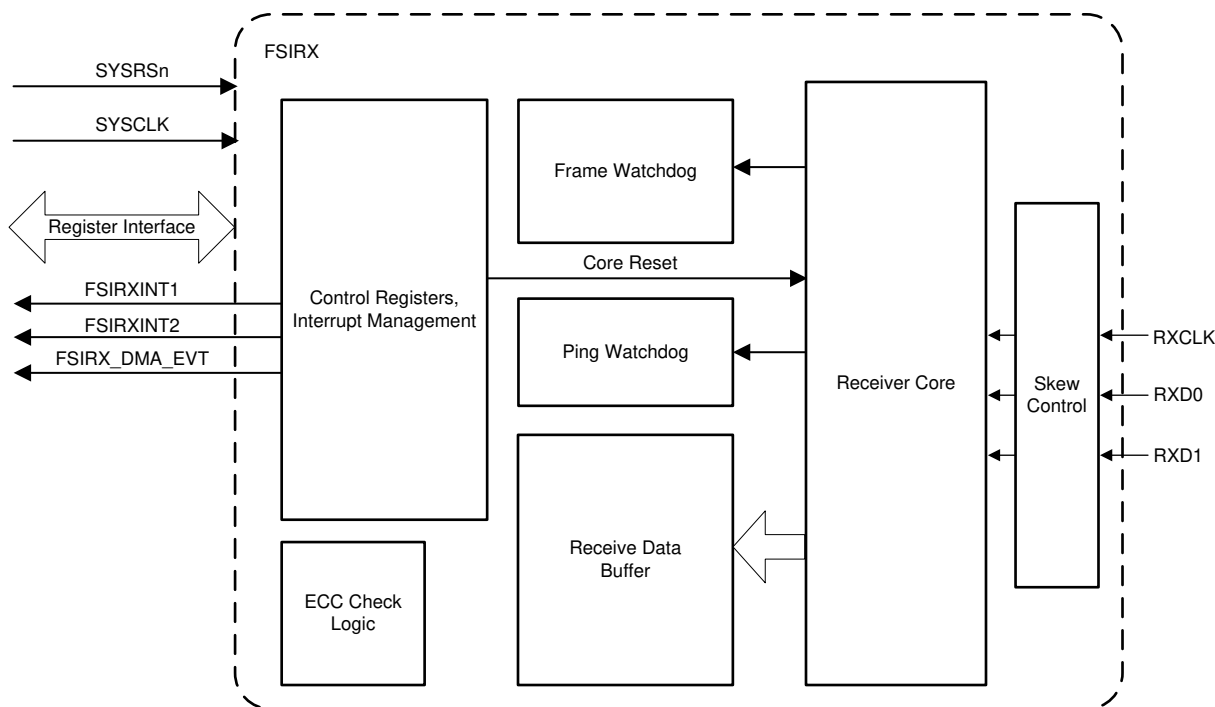


図 6-91. FSIRX のブロック図

6.15.3.2.1 FSIRX の電気的データおよびタイミング

6.15.3.2.1.1 FSIRX のタイミング要件

番号			最小値	最大値	単位
1	$t_{c(RXCLK)}$	サイクル時間、RXCLK	19.417		ns
2	$t_{w(RXCLK)}$	パルス幅、RXCLK LOW または RXCLK HIGH	$0.35t_{c(RXCLK)}$	$0.65t_{c(RXCLK)}$	ns
3	$t_{su(RXCLK-RXD)}$	RXCLK を基準とするセットアップ時間 (クロックの両方のエッジに適用)	1.7		ns
4	$t_{h(RXCLK-RXD)}$	RXCLK を基準とするホールド時間 (クロックの両方のエッジに適用)	2		ns

6.15.3.2.1.2 FSIRX スイッチング特性

番号		パラメータ (1)	最小値	最大値	単位
1	$t_{d(RXCLK)}$	RX_DLYLINE_CTRL[RXCLK_DLY] = 31 での RXCLK 遅延補償	9.7	30	ns
2	$t_{d(RXD0)}$	RX_DLYLINE_CTRL[RXD0_DLY] = 31 での RXD0 遅延補償	9.7	30	ns
3	$t_{d(RXD1)}$	RX_DLYLINE_CTRL[RXD1_DLY] = 31 での RXD1 遅延補償	9.7	30	ns
4	$t_{d(DELAY_ELEMENT)}$	RXCLK、RXD0、RXD1 の各ディレイライン素子の増分遅延	0.29	1	ns
TDM1	$t_{skew}(TDM_CLK-TDM_Dx)$	RXCLK-TDM_CLK 遅延と RXDx-TDM_Dx 遅延の間に生じる遅延スキュー	-3	3	ns
TDM1	$t_{d(RXCLK-TDM_CLK)}$	遅延時間、RXCLK 入力から TDM_CLK 出力	2	14.5	ns
TDM2	$t_{d(RXD0-TXD0)}$	遅延時間、RXD0 入力から TXD0 出力	2	14.5	ns

6.15.3.2.1.2 FSIRX スイッチング特性 (続き)

番号	パラメータ (1)		最小値	最大値	単位
TDM3	$t_{d(RXD1-TXD1)}$	遅延時間、RXD1 入力から TXD1 出力	2	14.5	ns

(1) ピンの負荷は 10pF。

6.15.3.2.1.3 FSIRX タイミング

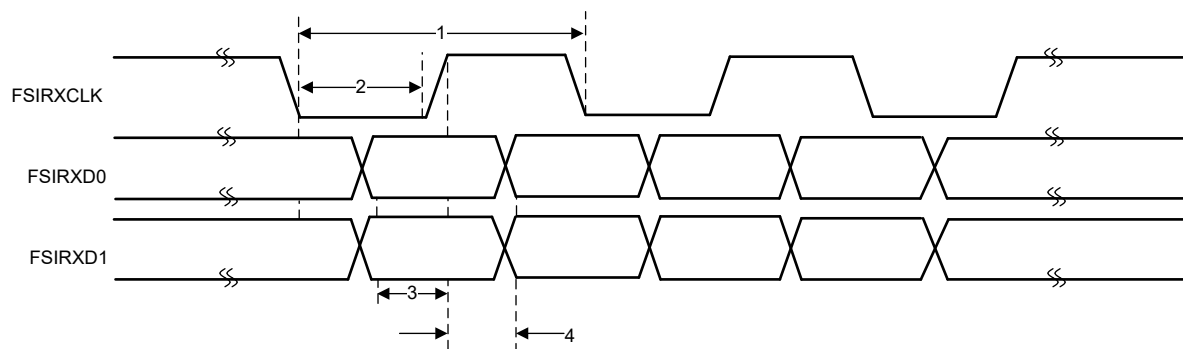


図 6-92. FSIRX タイミング

6.15.3.3 FSI SPI 互換モード

FSI は SPI 互換モードをサポートしており、プログラマブル SPI デバイスとの通信が可能です。このモードでは、FSI は単一クロック構成モードで、SPI と同じ方法でデータを送信します。FSI はこのモードで SPI と物理的にインターフェイスできますが、正常に通信を行うには、外部デバイスが FSI フレームをエンコードおよびデコードする必要があります。これは、FSI がプリアンプルとポストアンプルを除くすべての SPI フレーム・フェーズを送信するためです。FSI は、標準 FSI モードと同じようにデータ検証とフレーム・チェックを実行できるため、CPU サイクルを消費せずに、より堅牢な通信を実現できます。外部 SPI は、すべての関連情報を送信する必要があります。また、FSIRX の ping フレーム・ウォッチドッグ、フレーム・タグ、カスタム CRC 値などの標準 FSI 機能にアクセスできます。SPI 互換モードの機能のリストを以下に示します。

- データは、クロックの立ち上がりエッジで送信され、立ち下がりエッジで受信されます。
- 16 ビットのワード・サイズのみがサポートされています。
- TXD1 は、アクティブ LOW のチップセレクト信号のように駆動されます。この信号は、フレーム全体の送信中は LOW になります。
- レシーバ・チップセレクト入力は不要です。RXD1 は使用しません。データは、すべてのアクティブ・クロック・エッジでレシーバにシフト・インされます。
- プリアンプルまたはポストアンプル・クロックは送信されません。すべての信号は、フレーム・フェーズが完了した後、アイドル状態に戻ります。
- FSI TXCLK には外部クロック ソースを使用できないため、SPI ペリフェラル構成で送信することはできません。

6.15.3.3.1 FSITX SPI 信号モードの電気的データおよびタイミング

SPI 信号モードの FSIRX では、特別なタイミングは必要ありません。「FSIRX のタイミング要件」表に記載されている FSIRX のタイミングは、SPI 互換モードに適用されます。立ち下がりエッジが SPI 信号モードのアクティブ エッジなので、セットアップ時間とホールド時間は、FSIRXCLK の立ち下がりエッジでのみ有効です。

6.15.3.3.1.1 FSITX SPI 信号モードのスイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

番号	パラメータ (1)		最小値	最大値	単位
1	$t_{c(TXCLK)}$	サイクル時間、TXCLK	19.417		ns
2	$t_{w(TXCLK)}$	パルス幅、TXCLK LOW または TXCLK HIGH	$(0.5t_{c(TXCLK)}) - 1$	$(0.5t_{c(TXCLK)}) + 1$	ns
3	$t_{d(TXCLKH-TXD0)}$	遅延時間、TXCLK HIGH から TXD0 有効まで		3	ns
4	$t_{d(TXD1-TXCLK)}$	遅延時間、TXD1 LOW から TXCLK HIGH まで	$t_{w(TXCLK)} - 3$		ns
5	$t_{d(TXCLK-TXD1)}$	遅延時間、TXCLK LOW から TXD1 HIGH まで	$t_{w(TXCLK)}$		ns

(1) ピンの負荷は 10pF

6.15.3.3.1.2 FSITX SPI 信号モードのタイミング

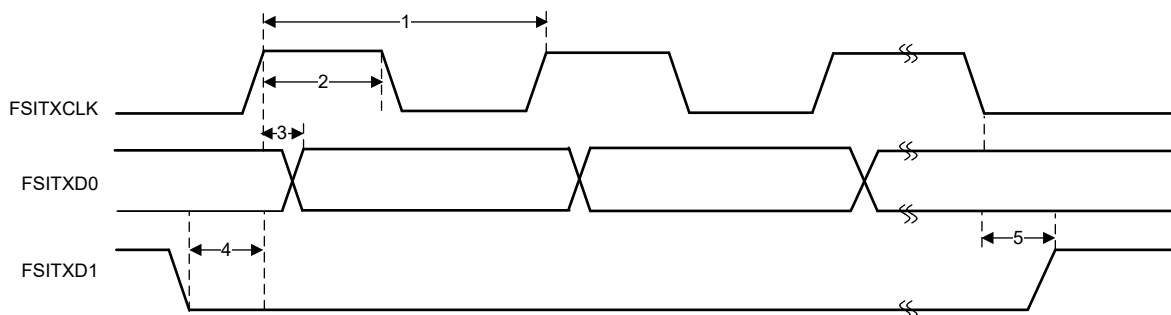


図 6-93. FSITX SPI 信号モードのタイミング

6.15.4 I2C (Inter-Integrated Circuit)

I2C モジュールの主な機能は次のとおりです。

- NXP Semiconductors の I²C バス規格 (バージョン 2.1) に準拠:
 - 8 ビット形式の転送をサポート
 - 7 ビットおよび 10 ビットのアドレッシング モード
 - ゼネラルコール
 - START バイト モード
 - 複数のコントローラトランスミッタとターゲット レシーバをサポート
 - 複数のターゲットトランスミッタとコントローラ レシーバをサポート
 - コントローラ送信 / 受信、受信 / 送信の組み合わせモード
 - 10Kbps~400Kbps のデータ転送レート (ファスト モード)
- 以下と互換性のある電圧スレッシュホールドをサポート:
 - SMBus 2.0 以下
 - PMBus 1.2 以下
- 1 つの 16 バイト受信 FIFO と、1 つの 16 バイト送信 FIFO
- 次の 2 つの割り込みをサポート
 - I2Cx 割り込み – 以下のいずれかの条件で、I2Cx 割り込みを生成するように構成できます。
 - 送信準備完了
 - 受信準備完了
 - レジスタ アクセス準備完了
 - アクノリッジなし
 - 調停消失
 - ストップ条件検出
 - ターゲットとしてアドレス指定
 - I2Cx_FIFO 割り込み:
 - 送信 FIFO 割り込み
 - 受信 FIFO 割り込み
- モジュールのイネーブルおよびディセーブル機能
- フリー データ形式モード

図 6-94 に、本デバイス内の I2C ペリフェラル モジュールの接続図を示します。

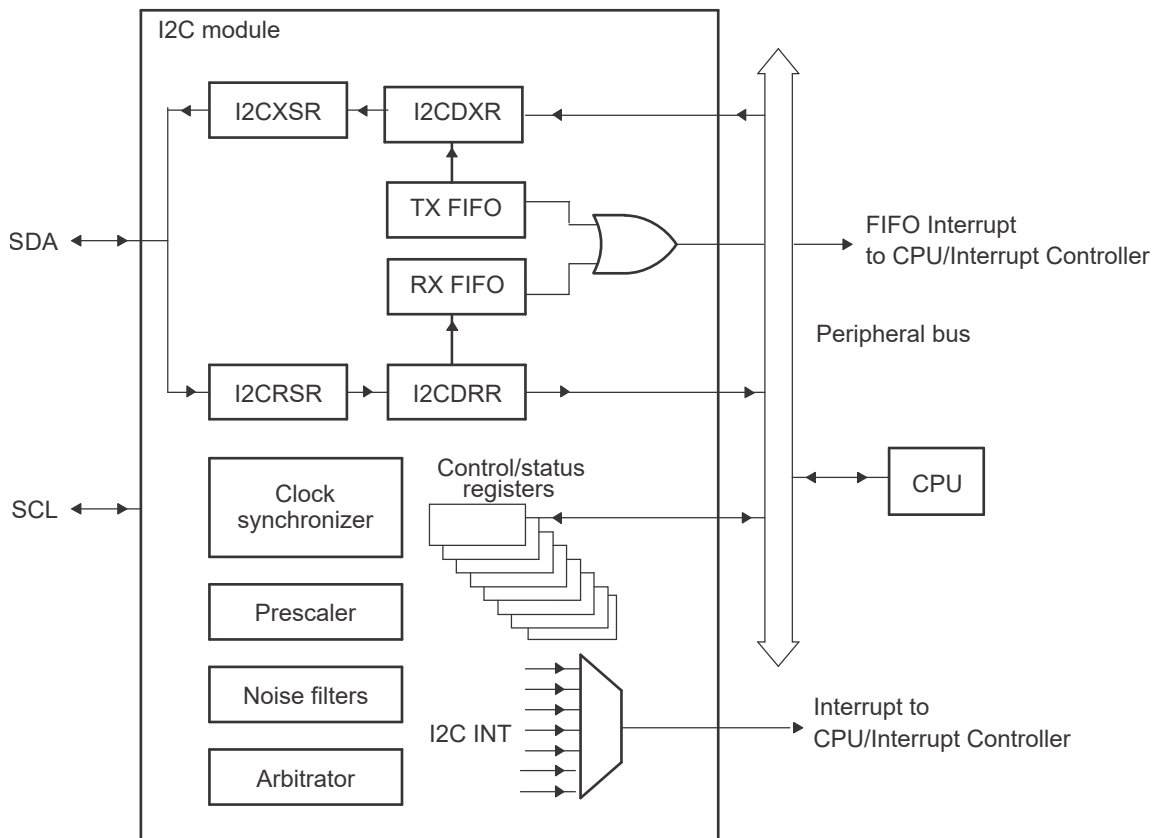


図 6-94. I2C パリフェラル モジュール インターフェイス

6.15.4.1 I2C の電氣的データおよびタイミング

注

すべての I2C プロトコルのタイミング仕様を満たすには、I2C モジュールのクロックを 7MHz～12MHz の範囲で構成する必要があります。

プルアップ抵抗は、I2C の標準タイミングを満たすように選択する必要があります。ほとんどの状況では、VDDIO に対する合計バス抵抗の 2.2kΩ で十分です。特定の設計のプルアップ抵抗値の評価については、『[I2C バスのプルアップ抵抗の計算](#)』アプリケーション ノートを参照してください。

6.15.4.1.1 I2C のタイミング要件

番号			最小値	最大値	単位
スタンダード モード					
T0	f_{mod}	I2C モジュールの周波数	7	12	MHz
T1	$t_{\text{h}}(\text{SDA-SCL})_{\text{START}}$	ホールド時間、START 条件、SDA 立ち下がり後の SCL 立ち下がり遅延	4.0		μs
T2	$t_{\text{su}}(\text{SCL-SDA})_{\text{START}}$	セットアップ時間、繰り返し START、SCL 立ち上がり後の SDA 立ち下がり遅延	4.0		μs
T3	$t_{\text{h}}(\text{SCL-DAT})$	ホールド時間、SCL 立ち下がり後のデータ	0		μs
T4	$t_{\text{su}}(\text{DAT-SCL})$	セットアップ時間、SCL 立ち上がり前のデータ	250 ⁽²⁾		ns
T5	$t_{\text{r}}(\text{SDA})$	立ち上がり時間、SDA		1000 ⁽¹⁾	ns
T6	$t_{\text{r}}(\text{SCL})$	立ち上がり時間、SCL		1000 ⁽¹⁾	ns
T7	$t_{\text{f}}(\text{SDA})$	立ち下がり時間、SDA		300	ns
T8	$t_{\text{f}}(\text{SCL})$	立ち下がり時間、SCL		300	ns
T9	$t_{\text{su}}(\text{SCL-SDA})_{\text{STOP}}$	セットアップ時間、STOP 条件、SCL 立ち上がり後の SDA 立ち上がり遅延	4.0		μs
T10	$t_{\text{w}}(\text{SP})$	1 つの I2C モジュール クロック	0	50	ns
T11	C_{b}	各バスラインの容量性負荷		400	pF
ファスト モード					
T0	f_{mod}	I2C モジュールの周波数	7	12	MHz
T1	$t_{\text{h}}(\text{SDA-SCL})_{\text{START}}$	ホールド時間、START 条件、SDA 立ち下がり後の SCL 立ち下がり遅延	0.6		μs
T2	$t_{\text{su}}(\text{SCL-SDA})_{\text{START}}$	セットアップ時間、繰り返し START、SCL 立ち上がり後の SDA 立ち下がり遅延	0.6		μs
T3	$t_{\text{h}}(\text{SCL-DAT})$	ホールド時間、SCL 立ち下がり後のデータ	0		μs
T4	$t_{\text{su}}(\text{DAT-SCL})$	セットアップ時間、SCL 立ち上がり前のデータ	100		ns
T5	$t_{\text{r}}(\text{SDA})$	立ち上がり時間、SDA	20	300	ns
T6	$t_{\text{r}}(\text{SCL})$	立ち上がり時間、SCL	20	300	ns
T7	$t_{\text{f}}(\text{SDA})$	立ち下がり時間、SDA	11.4	300	ns
T8	$t_{\text{f}}(\text{SCL})$	立ち下がり時間、SCL	11.4	300	ns
T9	$t_{\text{su}}(\text{SCL-SDA})_{\text{STOP}}$	セットアップ時間、STOP 条件、SCL 立ち上がり後の SDA 立ち上がり遅延	0.6		μs
T10	$t_{\text{w}}(\text{SP})$	1 つの I2C モジュール クロック	0	50	ns
T11	C_{b}	各バスラインの容量性負荷		400	pF

- (1) 立ち上がり時間を最小化するため、正味 2.2kΩ のプルアップ抵抗のオーダーで SDA と SCL の両方のバスラインに強力なプルアップを使用することを推奨します。また、SCL ピンと SDA ピンの両方に使用するプルアップ抵抗の値を一致させることを推奨します。
- (2) C2000 I2C はファースト モード デバイスです。この I2C をスタンダード モードのホストでターゲットトランスミッタとして使用する場合には制限があります。

詳細については、『[TMS320F28P65x リアルタイム MCU シリコン エラッタ](#)』を参照してください。

6.15.4.1.2 I2C のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		テスト条件	最小値	最大値	単位
スタンダード モード						
S1	f _{SCL}	SCL クロック周波数		0	100	kHz
S2	T _{SCL}	SCL クロック周期		10		μs
S3	t _w (SCLL)	パルス幅、SCL クロック Low		4.7		μs
S4	t _w (SCLH)	パルス幅、SCL クロック High		4.0		μs
S5	t _{BUF}	STOP 条件と START 条件間のバス開放時間		4.7		μs
S6	t _v (SCL-DAT)	有効時間、SCL 立ち下がり後のデータ			3.45	μs
S7	t _v (SCL-ACK)	有効時間、SCL 立ち下がりからアクノリッジまで			3.45	μs
	V _{IL}	有効 Low レベル入力電圧		-0.3	0.3 * V _{DDIO}	V
	V _{IH}	有効 High レベル入力電圧		0.7 * V _{DDIO}	V _{DDIO} + 0.3	V
	V _{OL}	Low レベル出力電圧	3mA (シンク)	0	0.4	V
S8	I _I	ピンの入力電流	0.1V _{bus} < V _i < 0.9V _{bus}	-10	10	μA
ファスト モード						
S1	f _{SCL}	SCL クロック周波数		0	400	kHz
S2	T _{SCL}	SCL クロック周期		2.5		μs
S3	t _w (SCLL)	パルス幅、SCL クロック Low		1.3		μs
S4	t _w (SCLH)	パルス幅、SCL クロック High		0.6		μs
S5	t _{BUF}	STOP 条件と START 条件間のバス開放時間		1.3		μs
S6	t _v (SCL-DAT)	有効時間、SCL 立ち下がり後のデータ			0.9	μs
S7	t _v (SCL-ACK)	有効時間、SCL 立ち下がりからアクノリッジまで			0.9	μs
	V _{IL}	有効 Low レベル入力電圧		-0.3	0.3 * V _{DDIO}	V
	V _{IH}	有効 High レベル入力電圧		0.7 * V _{DDIO}	V _{DDIO} + 0.3	V
	V _{OL}	Low レベル出力電圧	3mA (シンク)	0	0.4	V
S8	I _I	ピンの入力電流	0.1V _{bus} < V _i < 0.9V _{bus}	-10	10	μA

6.15.4.1.3 I2C のタイミング図

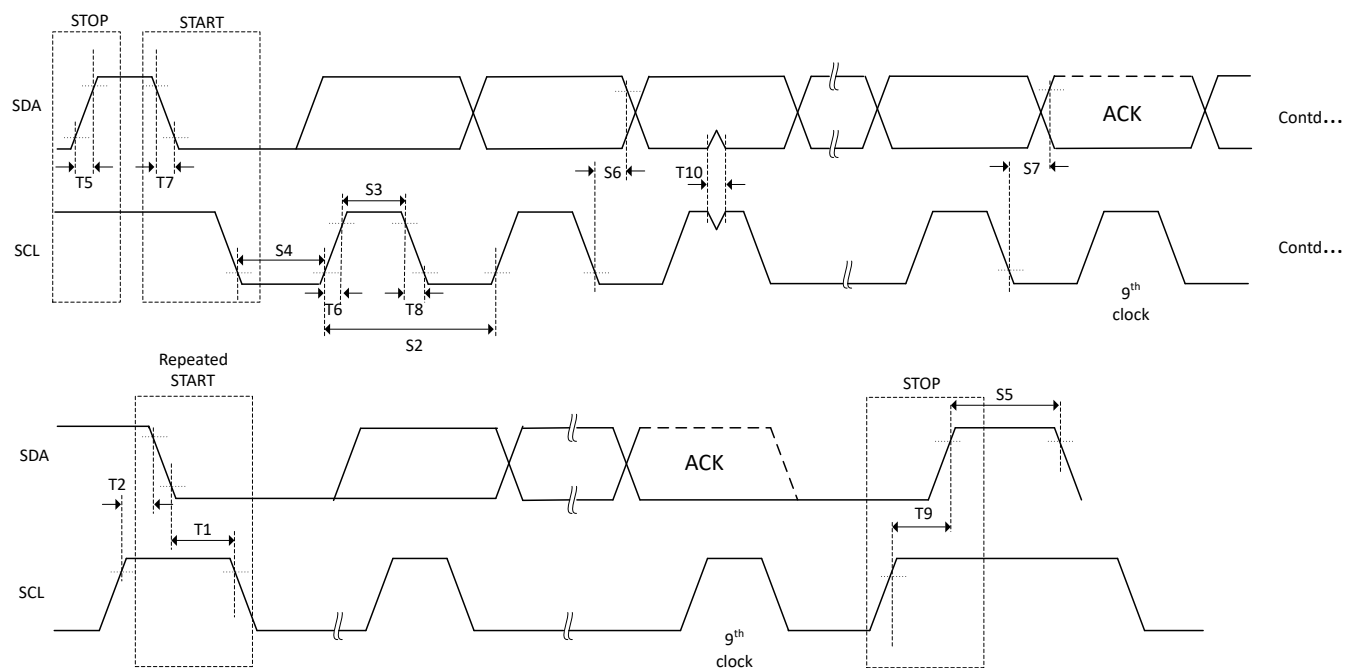


図 6-95. I2C のタイミング図

6.15.5 PMBus (Power Management Bus) インターフェイス

PMBus モジュールの主な機能は次のとおりです。

- SMI フォーラム PMBus 仕様 (Part I v1.0 および Part II v1.1) 準拠
- 以下と互換性のある電圧スレッショルドをサポート:
 - PMBus 以下
 - SMBus 以下
- コントローラとターゲットをサポート
- I2C モードのサポート
- 以下の 種類の速度をサポート
 - スタンダード モード: 最高 100kHz
 - ファースト モード: 400 kHz
- パケット エラー チェック
- CONTROL 信号および ALERT 信号
- クロック High および Low でのタイムアウト
- 4 バイトの送信および受信バッファ
- 1 つのマスク可能割り込み、以下のいくつか条件によって生成可能:
 - 受信データ準備完了
 - 送信バッファ空
 - ターゲット アドレス受信
 - メッセージ終了
 - ALERT 入力アサート
 - クロック Low タイムアウト
 - クロック High タイムアウト
 - バス フリー

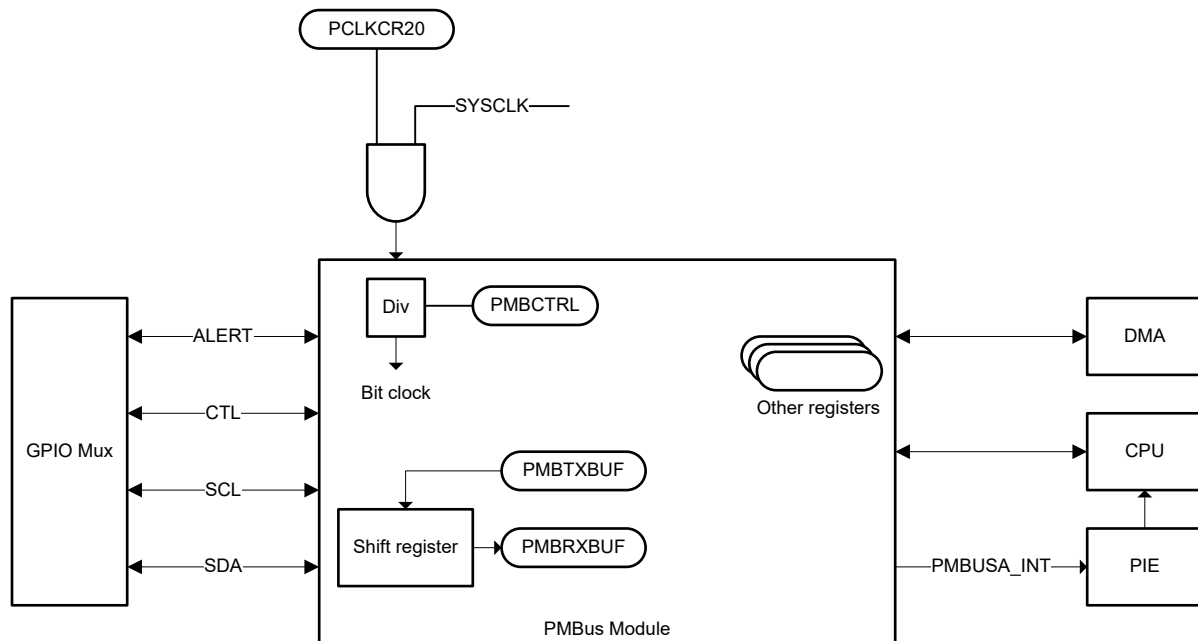


図 6-96. PMBus のブロック図

6.15.5.1 PMBus の電氣的データおよびタイミング

6.15.5.1.1 PMBus の電氣的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V _{IL}	有効 Low レベル入力電圧				0.8	V
V _{IH}	有効 High レベル入力電圧		2.1		V _{DDIO}	V
V _{OL}	Low レベル出力電圧	I _{pullup} = 4mA のとき			0.4	V
I _{OL}	Low レベル出力電流	V _{OL} ≤ 0.4V	4			mA
t _{SP}	入力フィルタにより抑制されるスパイクの パルス幅		0		50	ns
I _i	各ピンの入力リーク電流	0.1V _{bus} < V _i < 0.9V _{bus}	-10		10	μA
C _i	各ピンの容量				10	pF
V _{noise}	10MHz~100MHz の信号イミュニティ		300			mVp-p

6.15.5.1.2 PMBus ファスト モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f _{MOD}	PMBus モジュール クロック周波数		6.25		10	MHz
f _{SCL}	SCL クロック周波数		10		400	kHz
t _{BUF}	STOP 条件と START 条件間のバス開放 時間		1.3			μs
t _{HD;STA}	START 条件ホールド時間 - SDA 立ち下 がりから SCL 立ち下がりまでの遅延		0.6			μs
t _{SU;STA}	繰り返し START のセットアップ時間 - SCL 立ち上がりから SDA 立ち下がりま での遅延		0.6			μs
t _{SU;STO}	STOP 条件セットアップ時間 - SCL 立ち 上がりから SDA 立ち上がりまでの遅延		0.6			μs
t _{HD;DAT}	SCL 立ち下がり後のデータ ホールド時 間		300			ns
t _{SU;DAT}	SCL 立ち上がり前のデータ セットアップ 時間		100			ns
t _{Timeout}	クロック Low タイムアウト		25		35	ms
t _{LOW}	SCL クロックの Low 期間		1.3			μs
t _{HIGH}	SCL クロックの High 期間		0.6		50	μs
t _{LOW;SEXT}	累積クロック Low 拡張時間 (ターゲット デバイス)	START から STOP まで			25	ms
t _{LOW;MEXT}	累積クロック Low 拡張時間 (コントローラ デバイス)	各バイト内			10	ms
t _r	SDA および SCL の立ち上がり時間	5%~95%	20		300	ns
t _f	SDA および SCL の立ち下がり時間	95%~5%	20		300	ns

6.15.5.1.3 PMBus スタンダード モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f _{MOD}	PMBus モジュール クロック周波数		6.25		10	MHz
f _{SCL}	SCL クロック周波数		10		100	kHz

6.15.5.1.3 PMBus スタンダード モードのスイッチング特性 (続き)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{BUF}	STOP 条件と START 条件間のバス開放時間		4.7			μs
$t_{\text{HD;STA}}$	START 条件ホールド時間 - SDA 立ち下がりから SCL 立ち下がりまでの遅延		4			μs
$t_{\text{SU;STA}}$	繰り返し START のセットアップ時間 - SCL 立ち上がりから SDA 立ち下がりまでの遅延		4.7			μs
$t_{\text{SU;STO}}$	STOP 条件セットアップ時間 - SCL 立ち上がりから SDA 立ち上がりまでの遅延		4			μs
$t_{\text{HD;DAT}}$	SCL 立ち下がり後のデータ ホールド時間		300			ns
$t_{\text{SU;DAT}}$	SCL 立ち上がり前のデータ セットアップ時間		250			ns
t_{Timeout}	クロック Low タイムアウト		25		35	ms
t_{LOW}	SCL クロックの Low 期間		4.7			μs
t_{HIGH}	SCL クロックの High 期間		4		50	μs
$t_{\text{LOW;SEXT}}$	累積クロック Low 拡張時間 (ターゲットデバイス)	START から STOP まで			25	ms
$t_{\text{LOW;MEXT}}$	累積クロック Low 拡張時間 (コントローラデバイス)	各バイト内			10	ms
t_r	SDA および SCL の立ち上がり時間				1000	ns
t_f	SDA および SCL の立ち下がり時間				300	ns

6.15.6 シリアル通信インターフェイス (SCI)

シリアル通信インターフェイス (SCI) は、一般的には UART と呼ばれる 2 線式非同期シリアル ポートです。SCI モジュールは、CPU と、標準 NRZ (non-return-to-zero) フォーマットを使用する他の非同期ペリフェラルとの間のデジタル通信をサポートします。

SCI のレシーバおよびトランスミッタは、処理オーバーヘッドを削減するための 16 段 FIFO を備えており、それぞれ独自のイネーブル ビットと割り込みビットを持ちます。この両方が、半二重通信用として個別に動作することも、全二重通信用として同時に動作することもできます。データの整合性を確保するために、SCI は、受信データのブレイク検出、パリティ、オーバーラン、およびフレーミングエラーをチェックします。ビット レートは、16 ビットのボー選択レジスタにより、さまざまな速度にプログラム可能です。

SCI モジュールには次のような特長があります。

- 2 本の外部ピン:
 - SCITXD: SCI 送信出力ピン
 - SCIRXD: SCI 受信入力ピン
 - 64K までの異なるレートにプログラム可能なボーレート
- データワードフォーマット
 - 1 スタートビット
 - データワード (1~8 ビットの範囲でワード長をプログラム可能)
 - パリティビット (偶数 / 奇数 / なしを選択可能)
 - 1 または 2 ストップビット
- 4 つのエラー検出フラグ: パリティ、オーバーラン、フレーミング、ブレイク検出
- 2 つのウェイクアップ マルチプロセッサ モード: アイドル ラインおよびアドレス ビット
- 半二重または全二重動作
- ダブル バッファ付き受信および送信機能
- トランスミッタおよびレシーバの動作は、割り込み駆動、またはステータス フラグによるポーリング アルゴリズムで実現できます。
 - トランスミッタ: TXRDY フラグ (トランスミッタ バッファレジスタが次の文字を受信する準備ができた) と TX EMPTY フラグ (トランスミッタ シフトレジスタが空である)
 - レシーバ: RXRDY フラグ (レシーバ バッファレジスタが次の文字を受信する準備ができた)、BRKDT フラグ (ブレイク条件が発生した)、RX エラー フラグ (4 つの割り込み条件の監視)
- トランスミッタおよびレシーバの割り込み用に個別のイネーブル ビット (BRKDT を除く)
- NRZ フォーマット
- 自動ボー検出ハードウェア ロジック
- 16 レベルの送信および受信 FIFO

図 6-97 に、SCI のブロック図を示します。

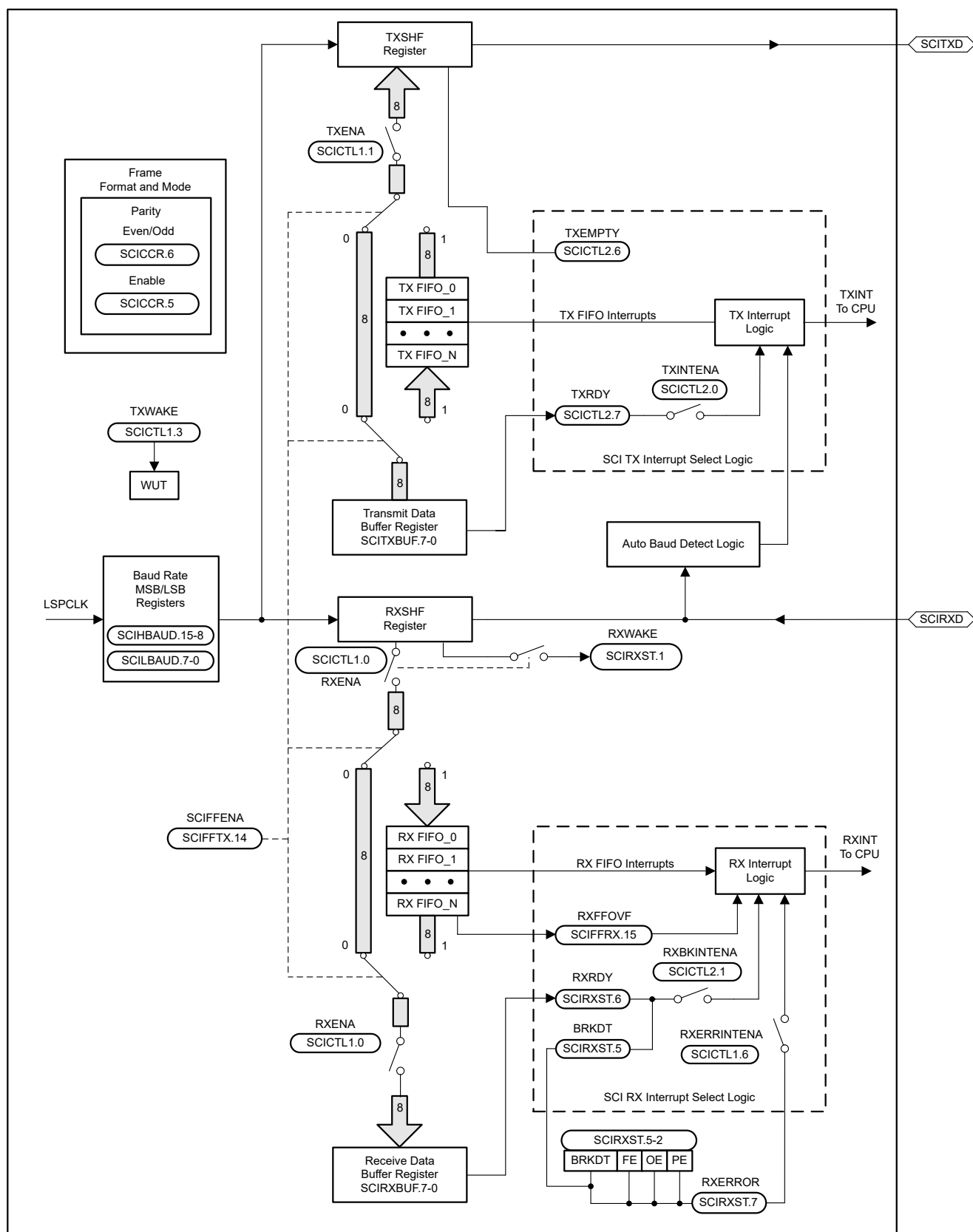


図 6-97. SCI のブロック図

6.15.7 シリアル・ペリフェラル・インターフェイス (SPI)

シリアル ペリフェラル インターフェイス (SPI) は、高速な同期シリアル入出力 (I/O) ポートであり、この機能により、プログラムされた長さ (1~16 ビット) のシリアル ビット ストリームを、プログラムされたビット転送速度でシフトして、デバイスに入力、デバイスから出力できます。SPI は、通常、MCU コントローラと、外部ペリフェラルや他のコントローラとの間の通信に使用されます。代表的なアプリケーションとして、シフトレジスタ、ディスプレイドライバ、A/D コンバータ (ADC) などのデバイスを使用した外部 I/O またはペリフェラルの拡張が挙げられます。マルチデバイス通信は、SPI のコントローラまたはペリフェラル動作によってサポートされています。このポートは、16 レベルの受信および送信 FIFO をサポートしており、CPU サービスのオーバーヘッドを低減できます。

SPI モジュールの主な特長は次のとおりです。

- **SPIPOCI**: SPI ペリフェラル出力 / コントローラ入力ピン
- **SPIPICO**: SPI ペリフェラル入力 / コントローラ出力ピン
- **SPIPTE**: SPI ペリフェラル送信イネーブルピン
- **SPICLK**: SPI シリアル クロック ピン
- 2 つの動作モード: コントローラおよびペリフェラル
- ボーレート: プログラム可能な 125 種類のレート。使用可能な最大ボーレートは、SPI ピンで使用する I/O バッファの最大速度によって制限されます。
- データワード長: 1~16 データビット
- 4 つのクロック方式 (クロックの極性とクロック位相ビットで制御) には、次のものがあります。
 - 位相遅延なしの立ち下がりエッジ: **SPICLK** アクティブ High。SPI は、**SPICLK** 信号の立ち下がりエッジでデータを送信し、**SPICLK** 信号の立ち上がりエッジでデータを受信します。
 - 位相遅延付きの立ち下がりエッジ: **SPICLK** アクティブ High。SPI は、**SPICLK** 信号の立ち下がりエッジより半サイクル前にデータを送信し、**SPICLK** 信号の立ち下がりエッジでデータを受信します。
 - 位相遅延なしの立ち上がりエッジ: **SPICLK** 非アクティブ Low。SPI は、**SPICLK** 信号の立ち上がりエッジでデータを送信し、**SPICLK** 信号の立ち下がりエッジでデータを受信します。
 - 位相遅延付きの立ち上がりエッジ: **SPICLK** 非アクティブ Low。SPI は、**SPICLK** 信号の立ち上がりエッジより半サイクル前にデータを送信し、**SPICLK** 信号の立ち上がりエッジでデータを受信します。
- 送受信の同時動作 (送信機能はソフトウェアで無効化可能)
- トランスミッタとレシーバの動作は、割り込み駆動またはポーリング アルゴリズムによって実現されます。
- 16 レベルの送信 / 受信 FIFO
- 高速度モード
- 遅延送信制御
- 3 線式 SPI モード
- 2 つの SPI モジュールを搭載したデバイスでデジタル オーディオ インターフェイス受信モードのための **SPIPTE** 反転

図 6-98 に、SPI CPU インターフェイスを示します。

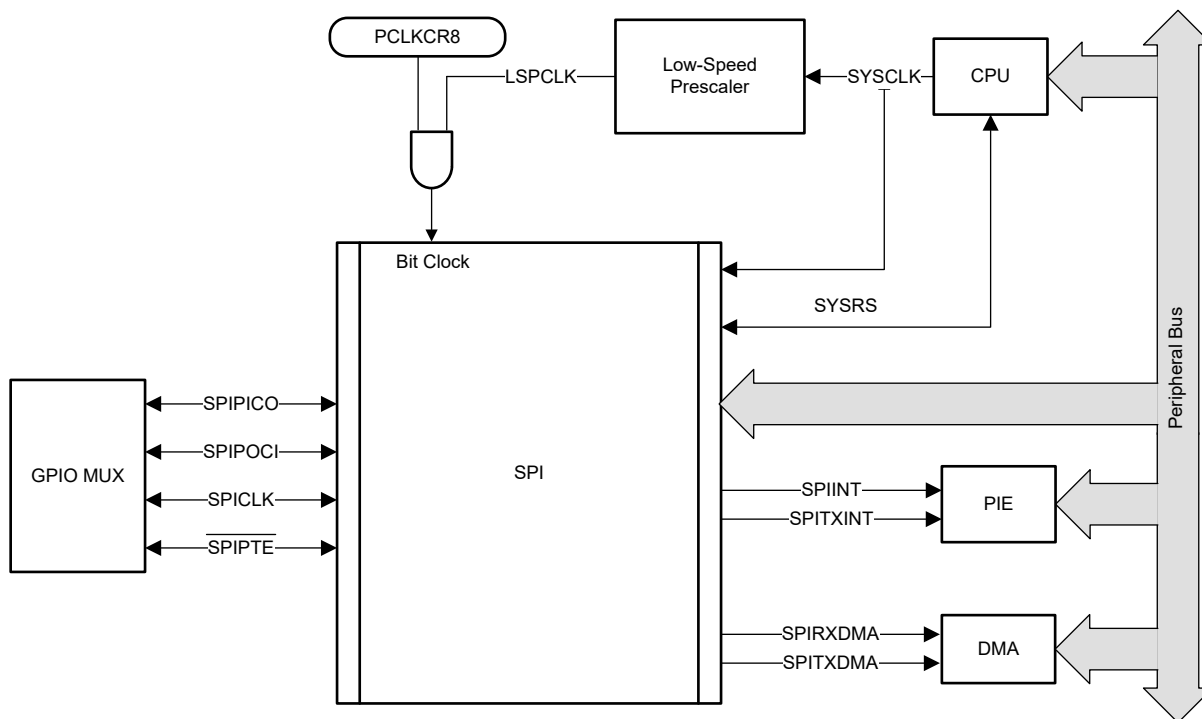


図 6-98. SPI CPU インターフェイス

6.15.7.1 SPI コントローラ モードのタイミング

以下のセクションに、SPI コントローラ モードのタイミングを示します。高速モードの SPI の詳細については、『[TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「シリアル ペリフェラル インターフェイス (SPI)」の章を参照してください。

注

SPI 高速モードのすべてのタイミング パラメータは、SPICLK、SPIPICO、SPIOCI の負荷容量を 5pF と仮定しています。HS_MODE では、最大 50Mhz のクロックがサポートされます。

高速モードの SPI の詳細については、『[TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「シリアル ペリフェラル インターフェイス (SPI)」の章を参照してください。

SPI を高速モードで使用するには、高速対応 GPIO を使用する必要があります (「高速 SPI ピンの多重化」セクションを参照)。表 6-29 に、高速モードをサポートするための SPI クロックを示します。

表 6-29. 高速モードをサポートするための SPI クロック

SPI クロック	GPIO ピン番号
SPICLKA	GPIO60
SPICLKB	GPIO65
SPICLKC	GPIO71
SPICLKD	GPIO93

6.15.7.1.1 SPI コントローラ モードのスイッチング特性 - クロック位相 0

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ ^{(1) (2)}	(BRR+1) 条件 ⁽³⁾	最小値	最大値	単位
全般					
1	$t_{c(SPC)M}$	サイクル時間、SPICLK	偶数	$4t_{c(LSPCLK)}$ $128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$ $127t_{c(LSPCLK)}$	
2	$t_{w(SPC1)M}$	パルス幅、SPICLK、最初のパルス	偶数	$0.5t_{c(SPC)M} - 1$ $0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$ $0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	パルス幅、SPICLK、2 番目のパルス	偶数	$0.5t_{c(SPC)M} - 1$ $0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$ $0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	遅延時間、 $\overline{SPIPTE}$ 有効から SPICLK まで	偶数	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$ $1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} + 3$	ns
			奇数	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} - 3$ $1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} + 3$	
24	$t_{v(PTE)M}$	有効時間、SPICLK から $\overline{SPIPTE}$ 無効 まで	偶数	$0.5t_{c(SPC)M} - 3$ $0.5t_{c(SPC)M} + 3$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$ $0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 3$	
高速モード					
4	$t_{d(PICO)M}$	遅延時間、SPICLK から SPIPICO 有 効まで	偶数、奇数	1	ns
5	$t_{v(PICO)M}$	有効時間、SPICLK 後の SPIPICO が 有効な期間	偶数	$0.5t_{c(SPC)M} - 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	
通常モード					
4	$t_{d(PICO)M}$	遅延時間、SPICLK から SPIPICO 有 効まで	偶数、奇数	5	ns
5	$t_{v(PICO)M}$	有効時間、SPICLK 後の SPIPICO が 有効な期間	偶数	$0.5t_{c(SPC)M} - 3$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	

(1) 高速モードではピンの負荷は 5pF。

(2) 通常モードではピンの負荷は 20pF。

(3) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。

6.15.7.1.2 SPI コントローラ モードのスイッチング特性 - クロック位相 1

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ ^{(1) (2)}		(BRR+1) 条件 ⁽³⁾	最小値	最大値	単位
全般						
1	$t_{c(SPC)M}$	サイクル時間、SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPCH)M}$	パルス幅、SPICLK、最初のパルス	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	パルス幅、SPICLK、2 番目のパルス	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	遅延時間、SPIPTE 有効から SPICLK まで	偶数、奇数	$2t_{c(SPC)M} - 3t_{c(SYSCCLK)} - 3$	$2t_{c(SPC)M} - 3t_{c(SYSCCLK)} + 3$	ns
24	$t_{v(PTE)M}$	有効時間、SPICLK から SPIPTE 無効まで	偶数	- 3	+3	ns
			奇数	- 3	+3	
高速モード						
4	$t_{d(PICO)M}$	遅延時間、SPIPICO 有効から SPICLK まで	偶数	$0.5t_{c(SPC)M} - 1$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$		
5	$t_{v(PICO)M}$	有効時間、SPICLK 後の SPIPICO が有効な期間	偶数	$0.5t_{c(SPC)M} - 1$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$		
通常モード						
4	$t_{d(PICO)M}$	遅延時間、SPIPICO 有効から SPICLK まで	偶数	$0.5t_{c(SPC)M} - 5$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 5$		
5	$t_{v(PICO)M}$	有効時間、SPICLK 後の SPIPICO が有効な期間	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		

(1) 高速モードではピンの負荷は 5pF。

(2) 通常モードではピンの負荷は 20pF。

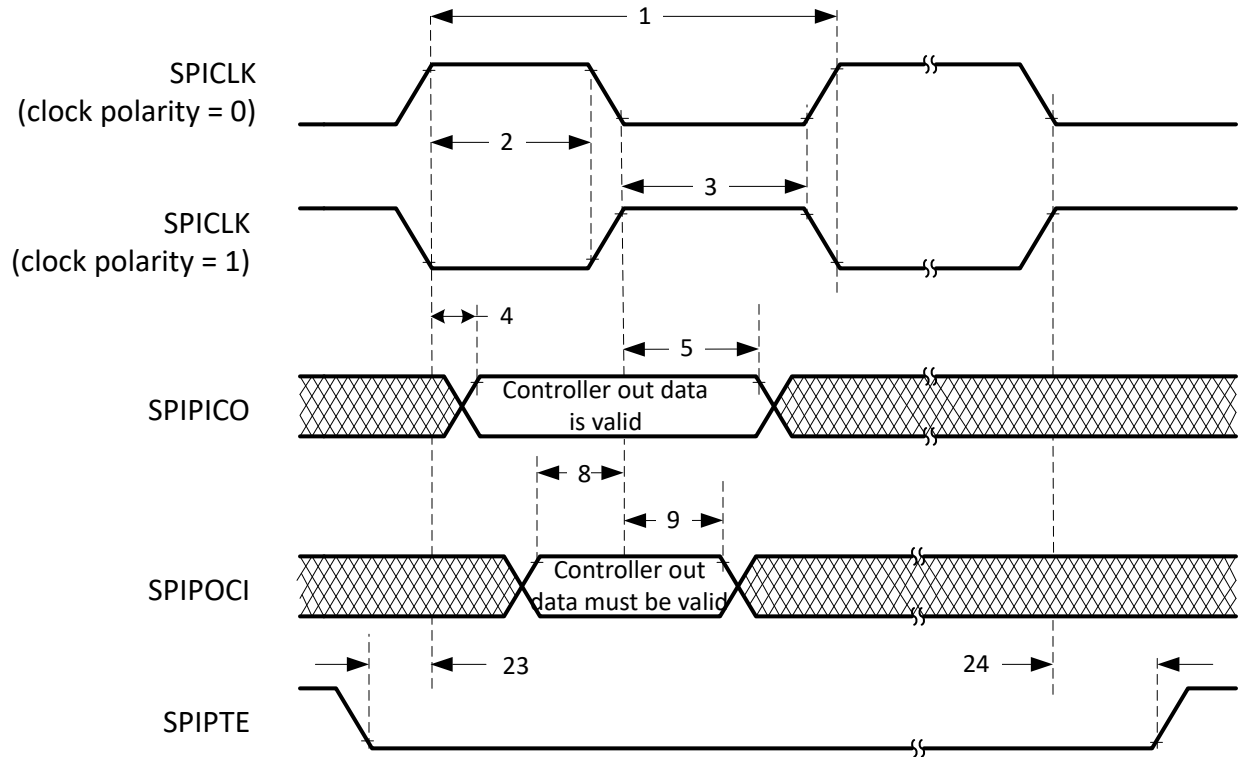
(3) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。

6.15.7.1.3 SPI コントローラ モードのタイミング要件

番号			(BRR+1) 条件 ⁽¹⁾	最小値	最大値	単位
高速モード						
8	t _{su(POCI)M}	セットアップ時間、SPIPOCI 有効から SPICLK まで	偶数、奇数	1		ns
9	t _{h(POCI)M}	ホールド時間、SPICLK 後の SPIPOCI が有効な期間	偶数、奇数	5		ns
通常モード						
8	t _{su(POCI)M}	セットアップ時間、SPIPOCI 有効から SPICLK まで	偶数、奇数	20		ns
9	t _{h(POCI)M}	ホールド時間、SPICLK 後の SPIPOCI が有効な期間	偶数、奇数	0		ns

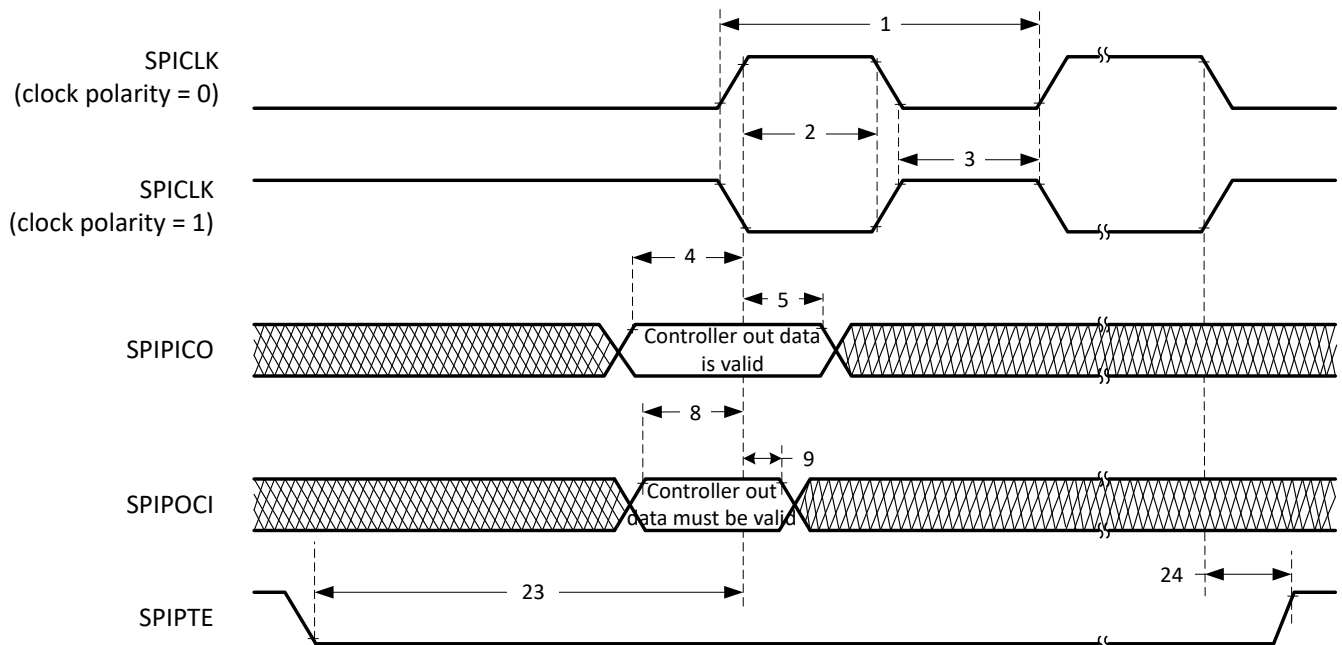
(1) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。

6.15.7.1.4 SPI コントローラ・モードのタイミング図



A. ワードの末尾では、FIFO モードおよび非 FIFO モードの連続送信ワード間を除いて、 $\overline{\text{SPIPTE}}$ は非アクティブになります。

図 6-99. SPI コントローラ・モードの外部タイミング (クロック位相 = 0)



A. ワードの末尾では、FIFO モードおよび非 FIFO モードの連続送信ワード間を除いて、 $\overline{\text{SPIPTE}}$ は非アクティブになります。

図 6-100. SPI コントローラ・モードの外部タイミング (クロック位相 = 1)

6.15.7.2 SPI ペリフェラル モードのタイミング

以下のセクションに、SPI ペリフェラル モードのタイミングを示します。高速モードの SPI の詳細については、『TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「シリアル ペリフェラル インターフェイス (SPI)」の章を参照してください。

6.15.7.2.1 SPI ペリフェラル モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ ⁽¹⁾ ⁽²⁾		最小値	最大値	単位
高速モード					
15	t _{d(POCI)S}	遅延時間、SPICLK から SPIPOCI 有効まで		9	ns
16	t _{v(POCI)S}	有効時間、SPICLK 後の SPIPOCI が有効な期間	0		ns
通常モード					
15	t _{d(POCI)S}	遅延時間、SPICLK から SPIPOCI 有効まで		20	ns
16	t _{v(POCI)S}	有効時間、SPICLK 後の SPIPOCI が有効な期間	0		ns

- (1) 高速モードではピンの負荷は 5pF。
(2) 通常モードではピンの負荷は 20pF。

6.15.7.2.2 SPI ペリフェラル モードのタイミング要件

番号			最小値	最大値	単位
12	$t_{c(SPC)S}$	サイクル時間、SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)S}$	パルス幅、SPICLK、最初のパルス	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)S}$	パルス幅、SPICLK、2 番目のパルス	$2t_{c(SYSCLK)} - 1$		ns
19	$t_{su(PICO)S}$	セットアップ時間、SPIPICO 有効から SPICLK まで	$1.5t_{c(SYSCLK)}$		ns
20	$t_{h(PICO)S}$	ホールド時間、SPICLK 後の SPIPICO が有効な期間	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(PTE)S}$	セットアップ時間、 $\overline{SPIPTE}$ 有効から SPICLK まで (クロック位相 = 0)	$2t_{c(SYSCLK)} + 11$		ns
		セットアップ時間、 $\overline{SPIPTE}$ 有効から SPICLK まで (クロック位相 = 1)	$2t_{c(SYSCLK)} + 20$		ns
26	$t_{h(PTE)S}$	ホールド時間、SPICLK から $\overline{SPIPTE}$ 無効まで	$1.5t_{c(SYSCLK)}$		ns

6.15.7.2.3 SPI ペリフェラル・モードのタイミング図

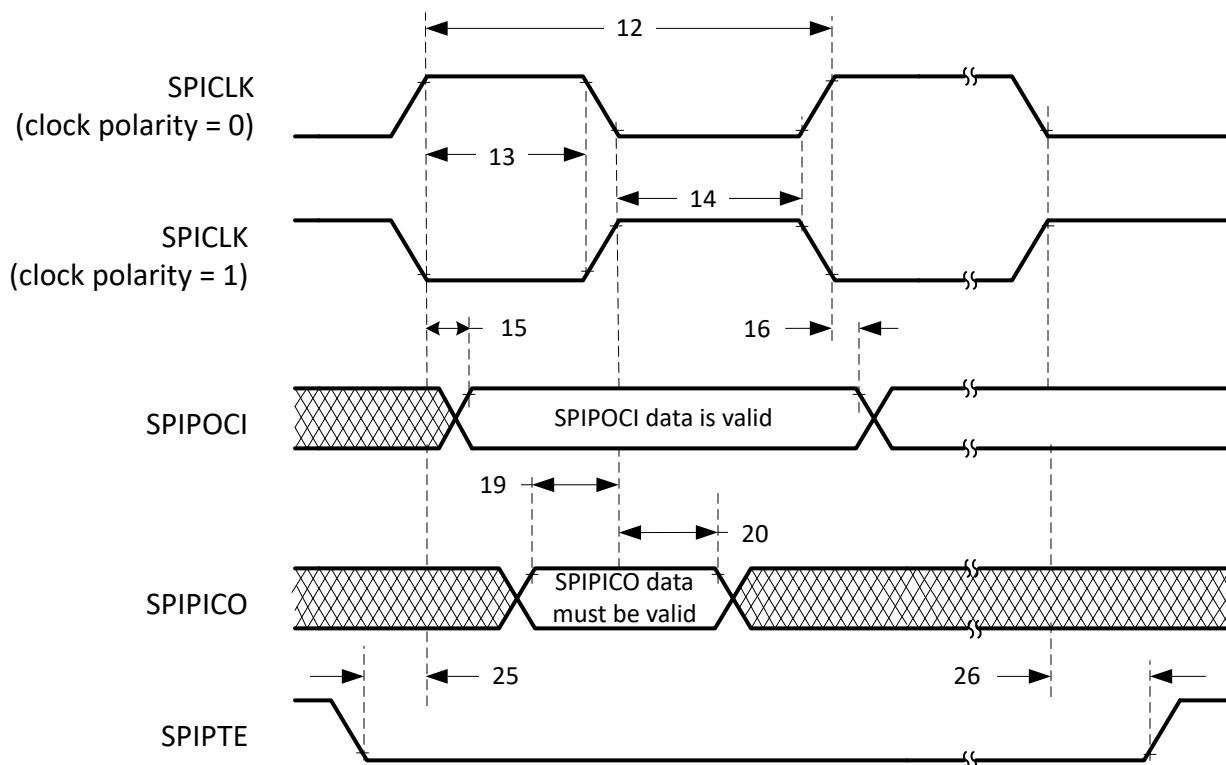


図 6-101. SPI ペリフェラル・モードの外部タイミング (クロック位相 = 0)

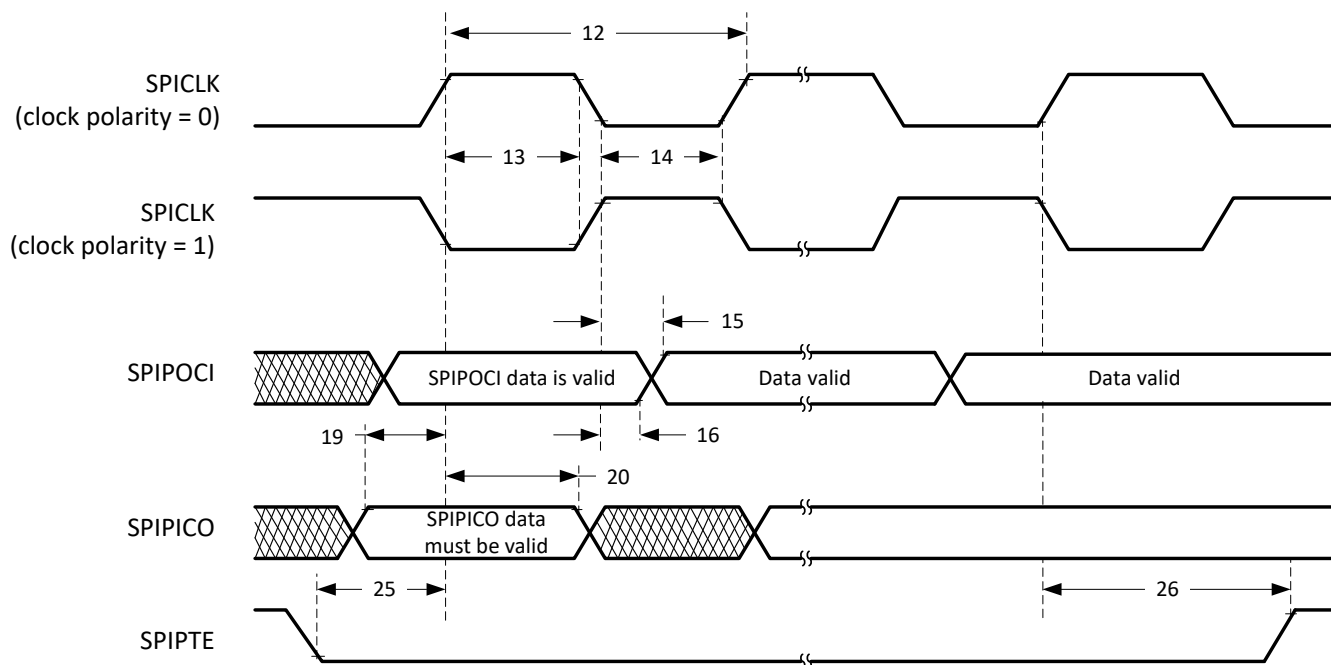


図 6-102. SPI ペリフェラル・モードの外部タイミング (クロック位相 = 1)

6.15.8 LIN (Local Interconnect Network)

このデバイスには、1 つの LIN (Local Interconnect Network) モジュールが搭載されています。この LIN モジュールは、LIN 仕様パッケージリビジョン 2.1 で定義されている LIN 2.1 規格に準拠しています。LIN は低コストのシリアル インターフェイスであり、CAN プロトコルでは実装にコストがかかりすぎる可能性があるアプリケーション向けに設計されています。たとえば、車載アプリケーションの車内照明やウィンドウ制御など、車内快適性機能を実現するための小規模サブネットワークなどです。

LIN 規格は、SCI (UART) シリアル データ リンク形式に基づいています。通信の基本構成は、任意のネットワーク ノード間でマルチキャストを送信するためのメッセージ識別機能を備えたシングルコマンドとマルチレスポンドです。

この LIN モジュールは、モジュールのコアが SCI なので、LIN として動作する以外に、SCI として動作するようにもプログラムできます。SCI のハードウェア機能は、LIN との互換性を実現するために強化されています。この SCI モジュールは、標準 NRZ (非ゼロ復帰) フォーマットを実装するユニバーサル非同期レシーバトランスミッタ (UART) です。

レジスタは LIN および SCI で共通ですが、レジスタの説明には、異なるモードでのレジスタ / ビットの使用方法を識別するための注記があります。このため、このモジュール用に作成されたコードをスタンドアロンの SCI モジュールに直接移植することはできません。その逆も同様です。

LIN モジュールの主な機能は次のとおりです。

- LIN 1.3、2.0、2.1 の各プロトコルとの互換性
- 最大 20kbps の構成可能なボーレート (LIN 2.1 プロトコルによる)
- 2 本の外部ピン: LINRX と LINTX
- マルチバッファ付き送受信ユニット
- メッセージフィルタリング用識別マスク
- コマンド ヘッダの自動生成
 - プログラマブルな同期ブレイク フィールド
 - 同期フィールド
 - 識別子フィールド
- レスポンドの自動同期
 - 同期ブレイク検出
 - オプションのボーレート更新
 - 同期検証
- 7 つのフラクショナル ビットを使用した 2^{31} 種類のプログラマブルな転送レート
- トランシーバからの、LINRX ドミナント レベルでのウェークアップ
- 自動ウェークアップのサポート
 - ウェークアップ信号の生成
 - 有効期限付きウェークアップ信号
- バス アイドルの自動検出
- エラー検出
 - ビット エラー
 - バス エラー
 - 無応答エラー
 - チェックサム エラー
 - 同期フィールド エラー
 - パリティ エラー
- 優先度エンコード機能付きの 2 本の割り込みライン:
 - 受信
 - 送信
 - ID、エラー、ステータス
- LIN 2.0 チェックサムをサポート
- フレーム処理用の拡張シンクロナイザ有限ステート マシン (FSM) をサポート

- 拡張フレームの処理能力を強化
- 拡張ボーレート ジェネレータ
- ウェークアップ / スリープ移行を更新

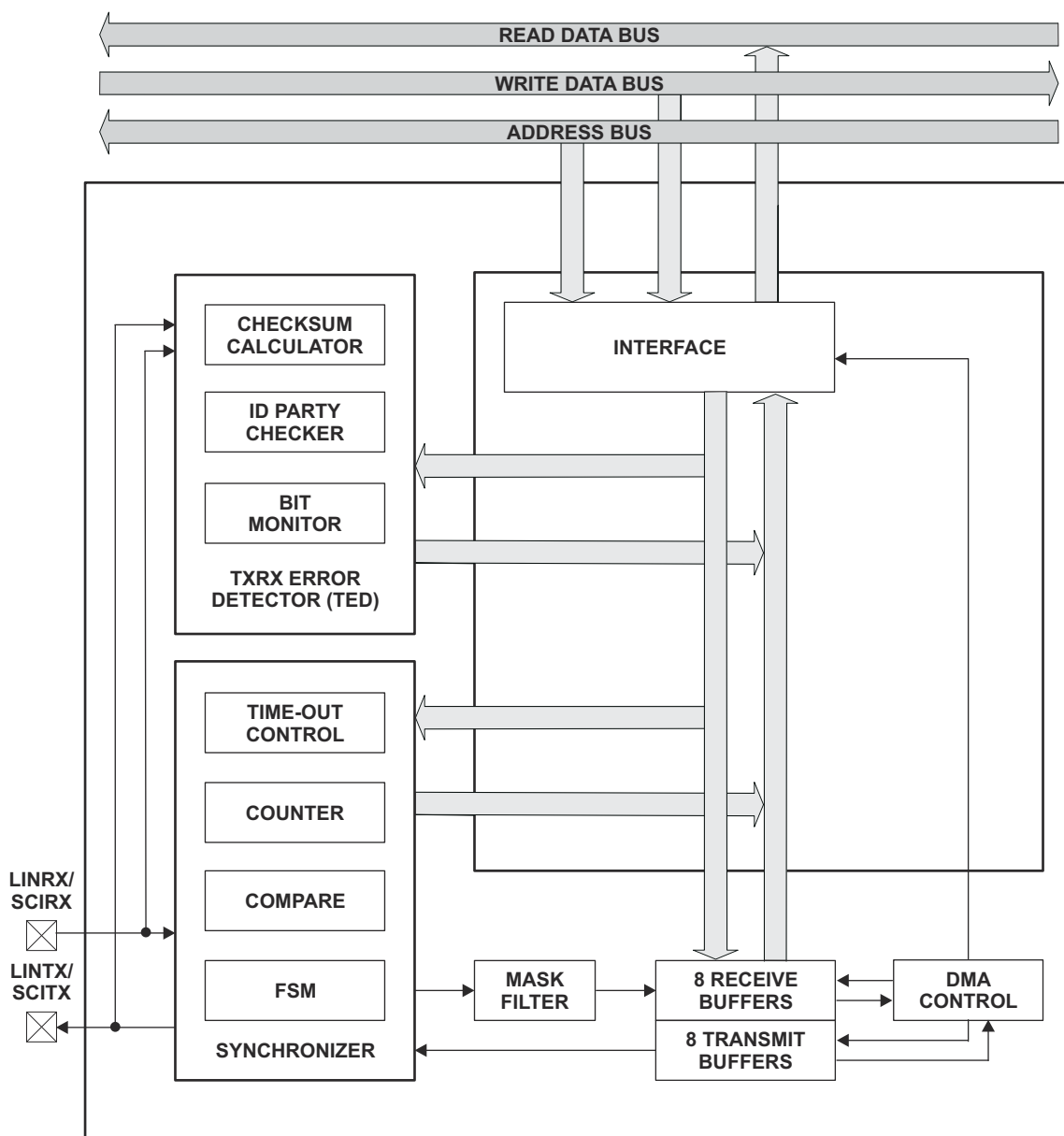


図 6-103. LIN のブロック図

6.15.9 EtherCAT SubordinateDevice コントローラ (ESC)

Ethernet for Control Automation Technology (EtherCAT®) は、Beckhoff Automation が発明したイーサネット ベースのフィールドバス システムであり、IEC 61158 で標準化されています。バスに接続されているすべての SubordinateDevice (または SubDevice) ノードは、ノード内のフレームをバッファする必要がなく、アドレスされたデータを迅速に解釈、処理、および変更します。このリアルタイム動作、フレーム処理、および転送要件は、EtherCAT SubDevice コントローラ (ESC) ハードウェアによって実装されています。EtherCAT では、SubDevice 内部でのデータ送信にソフトウェアによる操作は必要ありません。EtherCAT は MAC 層のみを定義しますが、より上位層のプロトコルとスタックは ESC に接続されているマイクロコントローラ上のソフトウェアで実装されます。

EtherCAT:

- MainDevice (または MDevice) および SubDevice のセットアップを含む。SubDevice ノードはデジチェーン形式で物理的に接続されているが、論理的にはループで動作する
- SubDevice ノード間の正確で低ジッタの同期に特化
- IEEE 802.3 イーサネットの物理層と標準的なイーサネット フレームを使用

6.15.9.1 ESC の機能

この MCU の ESC の機能を以下に示します。

- EtherCAT PHY に接続するための最大 2 つの MII ポート
- 16 ビット非同期インターフェイスを経由するプロセス データ インターフェイス
- 64 ビットの分散クロック
 - デバイス イベントを同期するための同期出力信号と、イベントのタイムスタンプをサポートするラッチ入力信号
 - SYNC0/1 (o/ps) および LATCH0/1 の分散クロック機能によって GPIO を同期でき、任意の GPIO からの入力や、内部デバイス イベント用のその他の多重化オプションを使用可能
- 8 つのフィールド バス メモリ管理ユニット (FMMU)
 - RD/、WR/、RDWR のすべてのネイティブ タイプをサポートし、ビットおよびバイト アドレッシングの機能を内蔵
- 8 つの同期マネージャ
- I2C EEPROM インターフェイス
- 最大 32 個の汎用入力 (GPI) と 32 個の汎用出力 (GPO)
- GPIO パッドに接続された 2 つの SYNC 信号と 2 つの LATCH 信号
- パリティ付きの 16KB RAM

6.15.9.2 ESC サブシステムの統合機能

ESC 機能に加えて、ESC と MCU の統合によって提供されるデバイス固有の機能は以下のとおりです。

- 初期化中の CPU1 サブシステムへの ESC アクセスの割り当て
- MDevice からの EtherCAT リセット要求は、MCU 上の NMI または汎用割り込みコントローラにルーティング可能
- MCU の NMI にルーティングされる RAM パリティ エラー
- EtherCAT RAM への DMA アクセス
- 16 ビット ASYNC PDI インターフェイスに統合された最大 32 個の GPI および最大 32 個の GPO 機能
- CLB へのインターフェイス
- SYNC0/1 の分散クロック機能により、PWM の同期、割り込み / DMA リクエストの生成、eCAP キャプチャのトリガが可能になり、GPIO アクセスによる外部コンポーネントのアクションが可能になる。
- EtherCAT SYNC0/1 パルスは CLA タスクをトリガできる。
- LATCH0/1 の分散クロック機能により、GPIO または PWM クロスバー トリガからの入力が可能

6.15.9.3 EtherCAT IP のブロック図

図 6-104 に、EtherCAT IP の一般的な機能を示します。

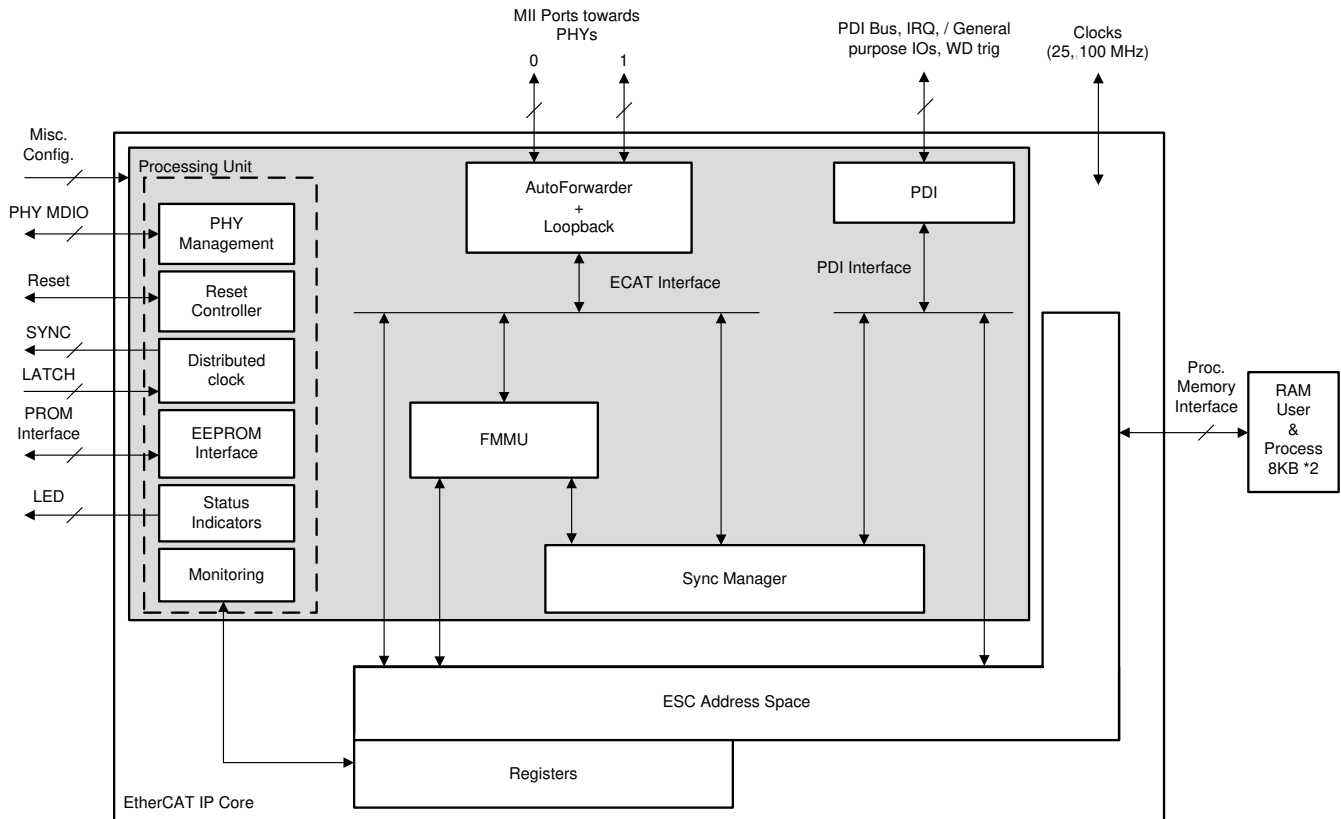


図 6-104. EtherCAT IP のブロック図

6.15.9.4 EtherCAT の電氣的データおよびタイミング

6.15.9.4.1 EtherCAT のタイミング要件

番号			最小値	公称値	最大値	単位
EtherCAT						
	$t_{c(ECTCLK)}$	サイクル時間、ECTCLK		10		ns
MII1	$t_{c(TXCLK)}$	サイクル時間、ESC_TXy_CLK		40		ns
MII2/MII3	$t_w(TXCK)$	パルス幅、ESC_TXy_CLK High または Low	16		24	ns
MII4	$t_{c(RXCK)}$	サイクル時間、ESC_RXy_CLK		40		ns
MII5/MII6	$t_w(RXCK)$	パルス幅、ESC_RXy_CLK High または Low	16		24	ns
MII8	$t_{su}(RXDV-RXCKH)$	セットアップ時間、有効な信号を受信してから ESC_RXy_CLK High まで	10			ns
MII9	$t_h(RXCKH-RXDV)$	ホールド時間、ESC_RXy_CLK High から有効な信号を受信する間	2			ns
MDIO						
MDIO4	$t_{su}(MDV-MCKH)$	セットアップ時間、ESC_MDIO_DATA 有効から ESC_MDIO_CLK High まで	20			ns
MDIO5	$t_h(MCKH-MDV)$	ホールド時間、ESC_MDIO_CLK High から ESC_MDIO_DATA 有効の間	-1			ns

6.15.9.4.2 EtherCAT のスイッチング特性

自由気流での動作温度範囲内 (特に記述のない限り)

番号	パラメータ	最小値	標準値	最大値	単位	
自動シフトの補償						
MII7	t _d (TXCLK-TXDV)	遅延時間、ESC_TXy_CLK から ESC_TXy_DATA[3:0] および ESC_TXy_ENA まで		20 + input_dly + output_dly + TX_SHIFT*t _c (CLK_100)	30 + input_dly + output_dly + TX_SHIFT*t _c (CLK_100)	ns
MDIO						
MDIO1	t _c (MCK)	サイクル時間、ESC_MDIO_CLK		400		ns
MDIO2/MDIO3	t _w (MCK)	パルス幅、ESC_MDIO_CLK が High または Low		160	240	ns
MDIO7	t _d (MCKH-MDV)	遅延時間、ESC_MDIO_CLK High から ESC_MDIO_DATA 有効まで			0.5t _c (MCK) + 30	ns
	t _v (MCKH-MDV)	有効時間、ESC_MDIO_CLK High から ESC_MDIO_DATA 有効まで		0.5t _c (MCK) - 3.0		ns

6.15.9.4.3 EtherCAT のタイミング図

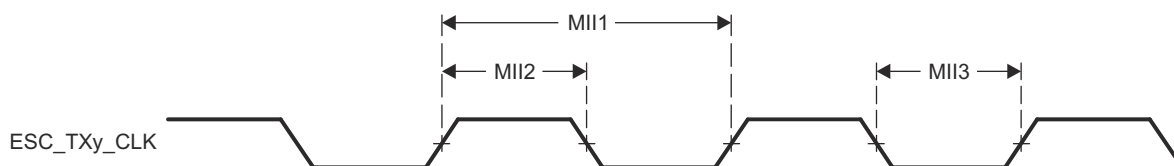


図 6-105. EtherCAT 送信クロックのタイミング (MII 動作)

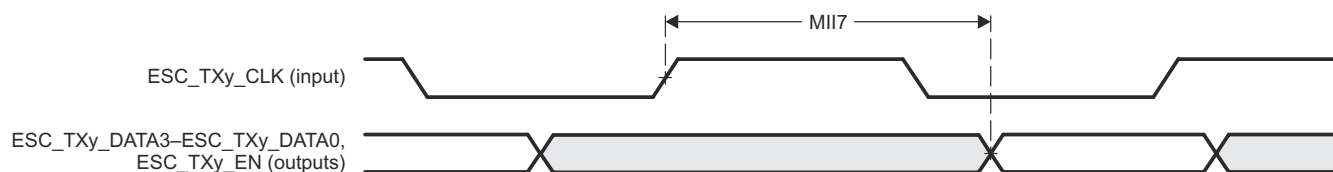


図 6-106. EtherCAT 送信インターフェースのタイミング (MII 動作)

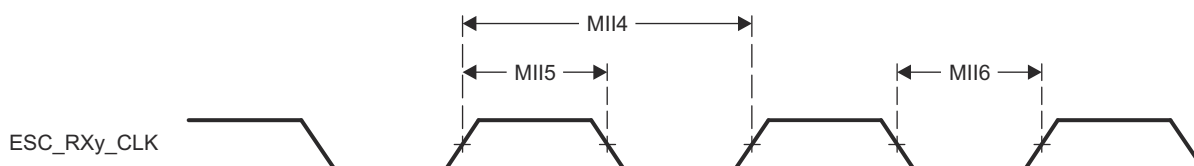


図 6-107. EtherCAT 受信クロックのタイミング (MII 動作)

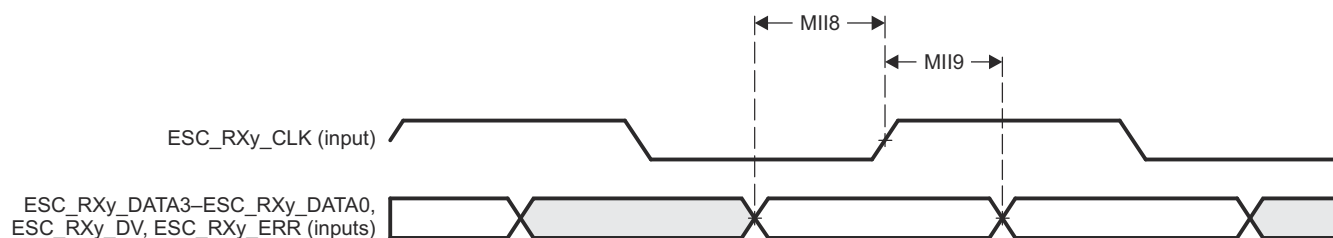


図 6-108. EtherCAT 受信インターフェースのタイミング (MII 動作)

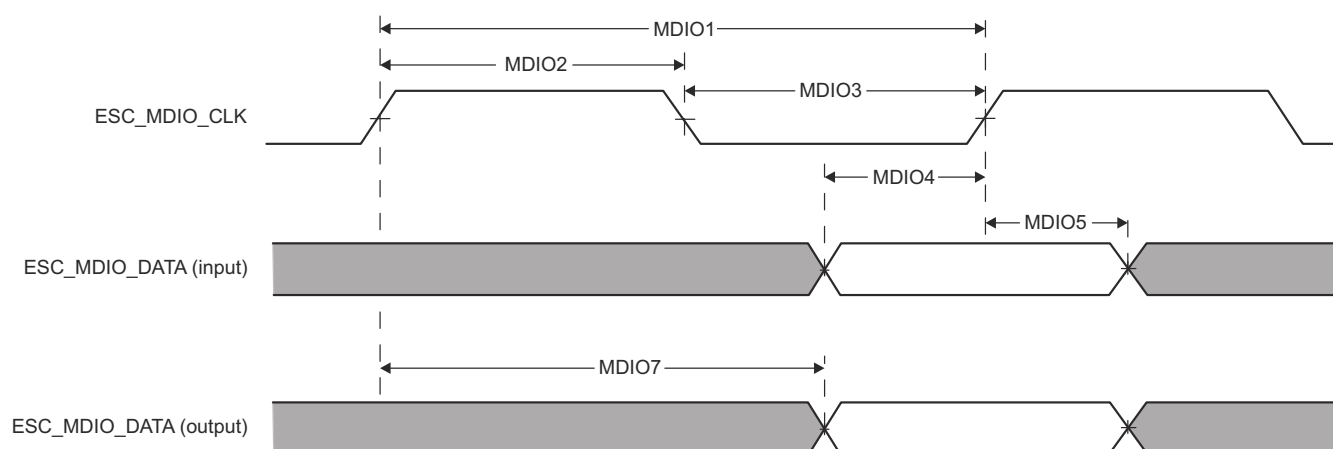


図 6-109. EtherCAT MDIO のタイミング図

6.15.10 ユニバーサル シリアル バス (USB)

この USB コントローラは、USB ホストまたはデバイス機能とのフルスピードまたはロースピードでのポイントツーポイント通信機能コントローラとして動作します。

USB モジュールの主な機能は次のとおりです。

- USB 2.0 フルスピードおよびロースピード動作
- PHY 内蔵
- 制御、割り込み、バルクの 3 つの転送タイプ
- 32 個のエンドポイント
 - コントロール転送専用の IN エンドポイントおよび OUT エンドポイント各 1 個
 - 転送タイプが設定可能な IN エンドポイントおよび OUT エンドポイント各 15 個
- 4KB の専用エンドポイントメモリ

図 6-110 に、USB のブロック図を示します。

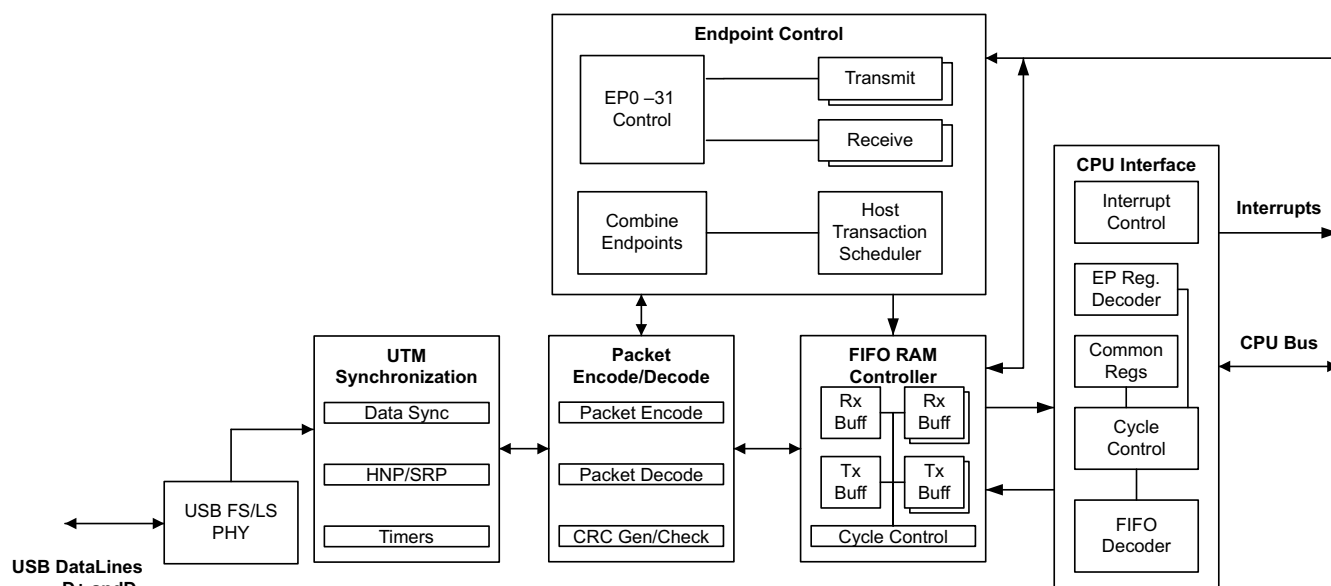


図 6-110. USB のブロック図

注

オンチップのゼロピン発振器 (「INTOSC の特性」セクションを参照) の精度は、USB プロトコルの精度要件を満たしません。USB を使用するアプリケーションでは、外部クロックソースを使用する必要があります。USB ブートモードを使用するアプリケーションについては、「ブート ROM およびペリフェラル ブート」セクションのクロック周波数の要件を参照してください。

6.15.10.1 USB の電气的データおよびタイミング

6.15.10.1.1 USB 入力ポート DP および DM のタイミング要件

		最小値	最大値	単位
V(CM)	差動入力同相範囲	0.8	2.5	V
Z(IN)	入力インピーダンス	300		kΩ
VCRS	クロスオーバー電圧	1.3	2.0	V
V _{IL}	静的 SE 入力ロジック LOW レベル	0.8		V
V _{IH}	静的 SE 入力ロジック HIGH レベル		2.0	V

6.15.10.1.1 USB 入力ポート DP および DM のタイミング要件 (続き)

		最小値	最大値	単位
VDI	差動入力電圧	0.2		V

6.15.10.1.2 USB 出力ポート DP および DM スイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	最大値	単位
V _{OH}	D+, D- シングルエンド	USB 2.0 負荷条件	2.8	3.6	V
V _{OL}	D+, D- シングルエンド	USB 2.0 負荷条件	0	0.3	V
Z(DRV)	D+, D- インピーダンス		28	44	Ω
t _r	立ち上がり時間	フルスピード、差動、C _L = 50pF、10%/90%、 D+ に R _{pu}	4	20	ns
t _f	立ち下がり時間	フルスピード、差動、C _L = 50pF、10%/90%、 D+ に R _{pu}	4	20	ns

6.15.11 UART (Universal Asynchronous Receiver-Transmitter)

このデバイスの UART (Universal Asynchronous Receiver/Transmitter) モジュールの主な機能は次のとおりです。

- プログラマブルなボーレートジェネレータにより、通常速度 (16 分周) で最大 12.5Mbps、高速 (8 分周) で最大 25Mbps を実現
- 送信と受信で個別の FIFO (16 段 8 ビット幅) を備え、CPU 割り込み処理における負荷を軽減
- 従来のダブルバッファインターフェイスを提供する 1 バイト動作を含む、プログラマブルな FIFO 長 (FIFO 以外のモード)
- $\frac{1}{8}$ 、 $\frac{1}{4}$ 、 $\frac{1}{2}$ 、 $\frac{3}{4}$ 、および $\frac{7}{8}$ の FIFO トリガーレベル
- スタート、ストップ、およびパリティ用の標準非同期通信ビット
- 改行の生成と検出
- プログラマブルなシリアル インターフェイス特性
 - 5、6、7、または 8 データビット
 - 偶数パリティビット、奇数パリティビット、スティックパリティビット、およびパリティなしビットの生成と検出
 - 1 または 2 ストップビットの生成
- 次の機能を提供する IrDA SIR (Serial-IR) エンコーダおよびデコーダ
 - IrDA SIR または UART 入出力のプログラマブルな使用
 - 最大 115.2kbps 半二重のデータレート用の IrDA SIR エンコーダおよびデコーダ機能をサポート
 - 通常の 3/16 ビット持続期間と低電力ビット持続期間をサポート (1.41~2.23μs)
 - 低電力モード ビット持続期間用に基準クロックの分周 (1~256) を可能とするプログラマブルな内部クロックジェネレータ
- EIA-485 9 ビットをサポート
- 標準 FIFO レベルおよびデータ転送終了 (EOT) 割り込み
- ダイレクトメモリアクセス (DMA) コントローラによる効率的な転送
 - 送信用と受信でチャンネルを分離
 - 設定した FIFO レベルでアサートされるバースト要求を受信
 - 設定した FIFO レベルでアサートされるバースト要求を送信

図 6-111 に、UART モジュールのブロック図を示します。

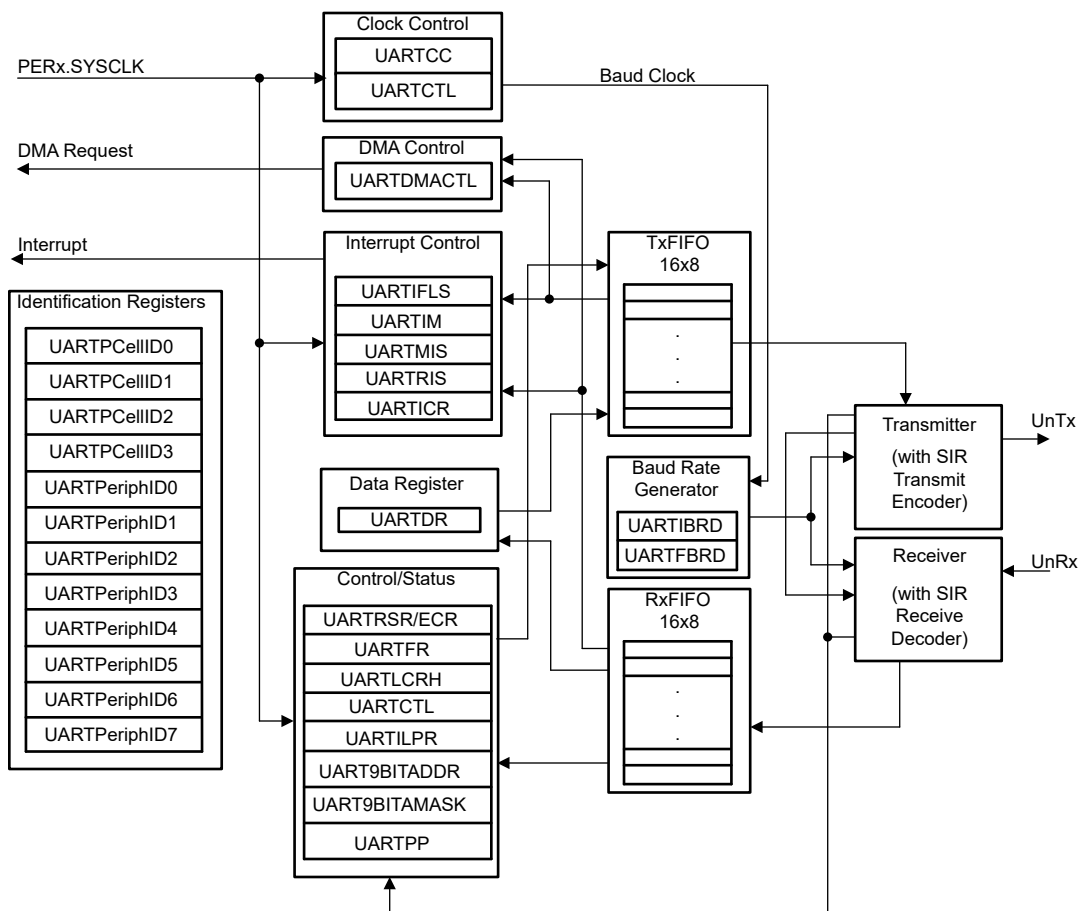


図 6-111. UART モジュールのブロック図

7 詳細説明

7.1 概要

TMS320F28P65x (F28P65x) は、電力密度の向上、スイッチング周波数の向上、IGBT、GaN、および SiC 技術の使用のサポートなど、パワー エレクトロニクス効率を向上させるように設計された、スケーラブルできわめてレイテンシの低いデバイスである C2000™ リアルタイム マイクロコントローラ ファミリの製品です。

主なアプリケーションには以下が含まれます。

- 産業用モータドライブ
- モータ制御
 - トラクション インバータ モーター制御
 - HVAC (空調) モーター制御
 - 移動型ロボットのモーター制御
- ソーラー インバータ
 - セントラル インバータ
 - マイクロ インバータ
 - ストリング インバータ
- デジタル電源
- HV/EV (ハイブリッド車と電気自動車) 向けパワートレイン
- EV 充電インフラ
- エネルギー ストレージシステム
- 産業用ロボットと協働ロボット (コボット)
- 産業用機械と工作機械
- 産業用移動型ロボット

リアルタイム制御サブシステムは、TI の 32 ビット C28x DSP コアをベースにしており、オンチップ フラッシュまたは SRAM から実行される浮動小数点または固定小数点コードに対して コアごとに 200MIPS の信号処理性能を発揮します。これは、Cortex®-M7 ベースのデバイスの 400MHz の処理能力に相当します (C28x DSP コアは Cortex®-M7 コアの 2 倍の性能を実現)。C28x CPU は、三角関数演算ユニット (TMU) と VCRC (巡回冗長検査) 拡張命令セットによってさらに強化されており、リアルタイム制御システムでよく使われる重要なアルゴリズムを高速化します。拡張命令セットにより、IEEE 倍精度 64 ビット浮動小数点演算が可能になります。最後に、制御補償器アクセラレータ (CLA) を使用すると、独立した処理能力のコアごとに 200MIPS を追加できます。これは、Cortex®-M7 ベースのデバイスの 280MHz の処理能力に相当します (CLA CPU は Cortex®-M7 よりも 40% 高い性能を実現)。

セカンダリ C28x CPU には、永続的および過渡的な障害を検出するために、ePIE および DMA とともにロックステップデュアル CPU コンパレータ オプションが追加されています。既存のファームウェアから新しいファームウェアへのコンテキスト切り換えを高速化するため、ライブ ファームウェア アップデート (LFU) のためのハードウェア拡張が F28P65x に追加されました。

高性能アナログ ブロックは、処理および制御ユニットと緊密に統合されており、最適なリアルタイム シグナル チェーン性能を実現します。A/D コンバータ (ADC) は 最大 40 個のアナログ チャネルをサポートし、そのうち 22 個は汎用入出力 (GPIO) 機能を備えています。ハードウェアの改善により、オーバーサンプリングの実装は大幅に簡略化されました。セーフティ クリティカルな ADC 変換に対応するため、複数の ADC モジュールから取得した ADC 変換結果を比較できるハードウェア冗長性チェックが追加されており、CPU サイクルを追加することなく一貫性を保つことができます。周波数に依存しない 36 個の PWM はすべて高分解能機能を備えており、3 相インバータから高度なマルチレベル電源トポロジまで、複数の電力段を制御できます。これらの PWM は、最小デッドバンド ロジック (MINDL) 機能と不正な組み合わせロジック (ICL) 機能で強化されています。

構成可能ロジック ブロック (CLB) を内蔵しているため、ユーザーはカスタム ロジックを追加し、FPGA に類似した機能を C2000 リアルタイム マイコンに統合できます。

このデバイスでは、EtherCAT SubDevice コントローラ、および CAN FD や USB 2.0 などの他の業界標準プロトコルを使用できます。高速シリアル インターフェイス (FSI) を使用すると、絶縁境界越しに最高 200Mbps の堅牢な通信が可能です。

高度接続型デバイスである F28P65x は、さまざまなセキュリティ イネーブラも提供し、設計者がサイバーセキュリティ戦略を実装するのに役立つほか、ハードウェア暗号化、セキュア JTAG、セキュア ブートなどのサポート機能も搭載しています。

安全性の観点から、F28P65x は多数の安全イネーブラをサポートしています。詳細については、『[C2000™ リアルタイムマイコンの産業用機能安全](#)』および『[C2000™ リアルタイム マイコンの車載向け機能安全](#)』を参照してください。

C2000 MCU をお客様のリアルタイム制御システムに適した選択肢にしている機能について詳しく知るには、『[C2000™ リアルタイム マイクロコントローラを使った開発のための基本ガイド](#)』をご覧くださいとともに、[C2000™ リアルタイム マイコン](#)のページにアクセスしてください。

『[C2000™ リアルタイム制御マイコン \(MCU\) を使用した設計の開始](#)』入門ガイドは、C2000 デバイスを使用する開発について、ハードウェアからサポート リソースまで、あらゆる側面をカバーしています。主要な参考資料に加えて、各セクションには関連するリンクとリソースが掲載されており、さらに詳細な情報を知ることができます。

設計を開始する際は、以下の資料をご確認ください。[TMDSCNCD28P65X](#) 評価ボードをご覧ください、[C2000Ware](#) をダウンロードしてください。

7.2 機能ブロック図

[図 7-1](#) に、CPU システムおよび関連ペリフェラルを示します。

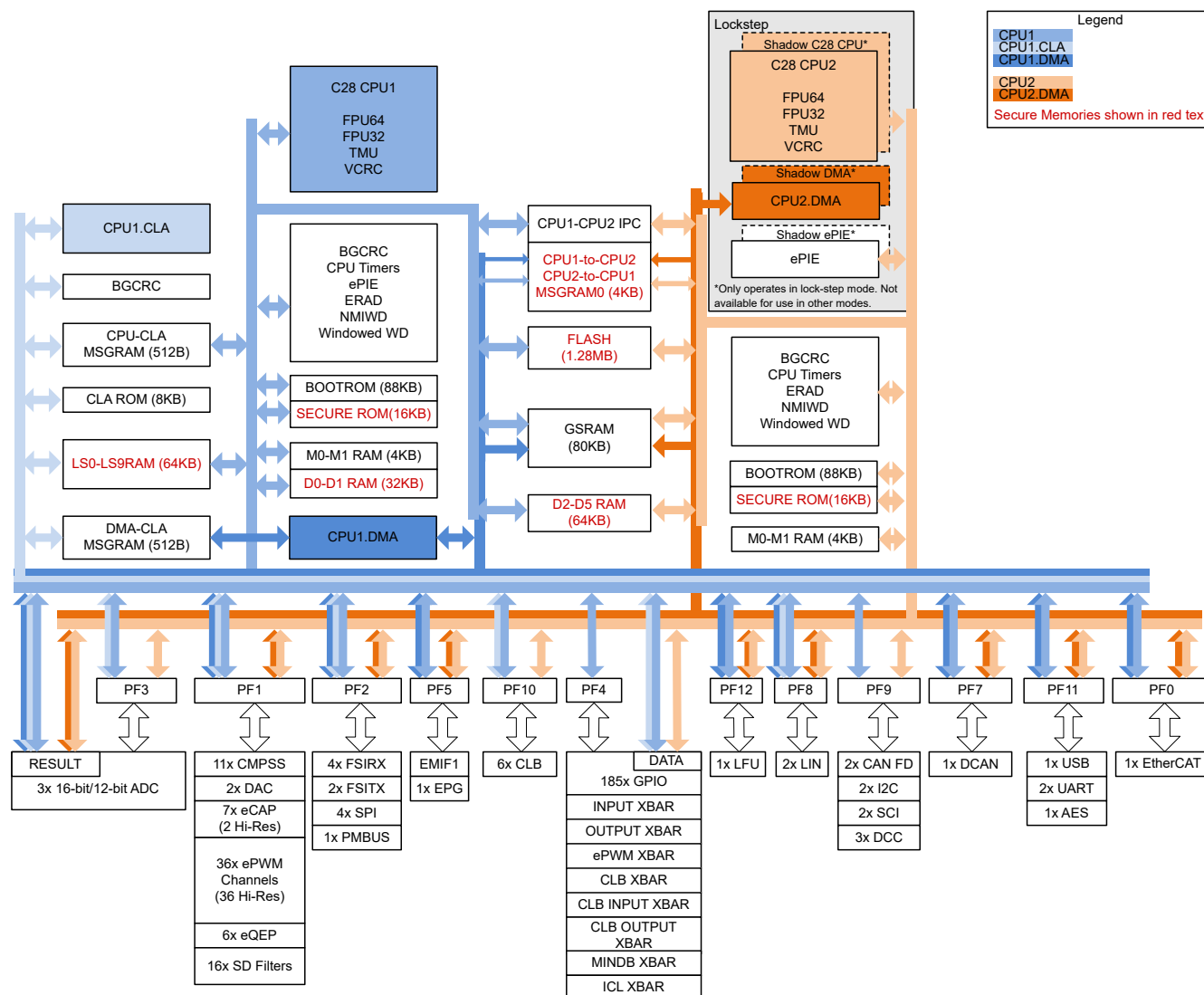


図 7-1. 機能ブロック図

7.3 メモリ

7.3.1 C28x メモリ マップ

「C28x メモリ マップ」表に、C28x メモリ マップを示します。『TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』のシステム制御の章にある「メモリ コントローラ モジュール」を参照してください。

表 7-1. C28x メモリ マップ

開始アドレス	サイズ	CLA MEMORY	CPU1 MEMORY	CPU2 MEMORY	CLA アクセ ス	DMA アク セス	ECC / パリ ティ	アクセス保 護	セキュリティ
0x0000 0000	1K x 16	-	M0 RAM	M0 RAM			ECC	あり	
0x0000 0400	1K x 16	-	M1 RAM	M1 RAM			ECC	あり	
0x0000 0800	512 x 16	-	予約済み						
0x0000 0A00	768 x 16	-	ペリフェラル (ADC、タイマ)		あり				
0x0000 0D00	512 x 16	-	PIE ベクタ テーブル	PIE ベクタ テーブル					
0x0000 1480	128 x 16	CPU1.CLA から CPU1 への MSGRAM		-	あり		パリティ		
0x0000 1500	128 x 16	CPU1 から CPU1.CLA への MSGRAM		-	あり		パリティ		
0x0000 1680	128 x 16	CPU1.CLA から CPU1.DMA への MSGRAM		-	あり	あり	パリティ		
0x0000 1700	128 x 16	CPU1.DMA から CPU1.CLA への MSGRAM		-	あり	あり	パリティ		
0x0000 1800	10K x 16	-	ペリフェラル (CLB、制御、アナログ、通信、XBAR、GPIO)		あり				
0x0000 4000	8K x 16	LS8 RAM(CLA1Prog) ⁽³⁾			あり		パリティ	あり	あり
0x0000 6000	8K x 16	LS9 RAM(CLA1Prog) ⁽³⁾			あり		パリティ	あり	あり
0x0000 8000	2K x 16	LS0 RAM (CLA プログラム / データ、または CPU1 ローカル メモリとして使用可能)		D2 RAM (CPU2 がマッピング されている) ⁽²⁾	あり		パリティ	あり	あり
0x0000 8800	2K x 16	LS1 RAM (CLA プログラム / データ、または CPU1 ローカル メモリとして使用可能)			あり		パリティ	あり	あり
0x0000 9000	2K x 16	LS2 RAM (CLA プログラム / データ、または CPU1 ローカル メモリとして使用可能)			あり		パリティ	あり	あり
0x0000 9800	2K x 16	LS3 RAM (CLA プログラム / データ、または CPU1 ローカル メモリとして使用可能)			あり		パリティ	あり	あり
0x0000 A000	2K x 16	LS4 RAM (CLA プログラム / データ、または CPU1 ローカル メモリとして使用可能)		D3 RAM (CPU2 がマッピング されている) ⁽²⁾	あり		パリティ	あり	あり
0x0000 A800	2K x 16	LS5 RAM (CLA プログラム / データ、または CPU1 ローカル メモリとして使用可能)			あり		パリティ	あり	あり
0x0000 B000	2K x 16	LS6 RAM (CLA プログラム / データ、または CPU1 ローカル メモリとして使用可能)			あり		パリティ	あり	あり
0x0000 B800	2K x 16	LS7 RAM (CLA プログラム / データ、または CPU1 ローカル メモリとして使用可能)			あり		パリティ	あり	あり
0x0000 C000	8K x 16	-	D0 RAM	D4 RAM (CPU2 がマッピング されている) ⁽²⁾			パリティ	あり	あり
0x0000 E000	8K x 16	-	D1 RAM	D5 RAM (CPU2 がマッピング されている) ⁽²⁾			パリティ	あり	あり
0x0000 F000	4K x16	CLA1 データ ROM			あり		パリティ		
0x0001 0000	8K x 16	-	GS0 RAM ⁽¹⁾			あり	パリティ	あり	
0x0001 2000	8K x 16	-	GS1 RAM ⁽¹⁾			あり	パリティ	あり	

表 7-1. C28x メモリ マップ (続き)

開始アドレス	サイズ	CLA MEMORY	CPU1 MEMORY	CPU2 MEMORY	CLA アクセ ス	DMA アク セス	ECC / パリ ティ	アクセス保 護	セキュリティ
0x0001 4000	8K x 16	-	GS2 RAM ⁽¹⁾			あり	パリティ	あり	
0x0001 6000	8K x 16	-	GS3 RAM ⁽¹⁾			あり	パリティ	あり	
0x0001 8000	8K x 16	-	GS4 RAM ⁽¹⁾			あり	パリティ	あり	
0x0001 A000	8K x 16	-	D2 RAM (CPU1 がマッピング されている) ⁽²⁾	-			パリティ	あり	あり
0x0001 C000	8K x 16	-	D3 RAM (CPU1 がマッピング されている) ⁽²⁾	-			パリティ	あり	あり
0x0001 E000	8K x 16	-	D4 RAM (CPU1 がマッピング されている) ⁽²⁾	-			パリティ	あり	あり
0x0002 0000	8K x 16	-	D5 RAM (CPU1 がマッピング されている) ⁽²⁾	-			パリティ	あり	あり
0x0002 2000	8K x 16	-	LS8 RAM (CPU1 がマッピ ングされている)	-			パリティ	あり	あり
0x0002 4000	8K x 16	-	LS9 RAM (CPU1 がマッピ ングされている)	-			パリティ	あり	あり
0x0003 0800	8K x 16	-	EtherCAT RAM (ダイレクト アクセス)			あり	パリティ		
0x0003 A000	1K x 16	-	CPU1 から CPU2 への MSGRAM0			あり	パリティ	あり	あり
0x0003 B000	1K x 16	-	CPU2 から CPU1 への MSGRAM0			あり	パリティ	あり	あり
0x0004 1000	2K x 16	-	USB RAM			あり			
0x0004 9000	2K x 16	-	CAN-A MSGRAM			あり	パリティ		
0x0005 9000	4K x 16	-	MCAN-A MSGRAM			あり	ECC		
0x0005 B000	4K x 16	-	MCAN-B MSGRAM			あり	ECC		
0x0007 2000	7.5K x 16	-	TI OTP ⁽⁴⁾				ECC		
0x0007 8000	1K x 16	-	ユーザー DCSP OTP				ECC		あり
0x0007 8800	1K x 16	-	ユーザー OTP バンク 1				ECC		
0x0007 9000	1K x 16	-	ユーザー OTP バンク 2				ECC		
0x0007 9800	1K x 16	-	ユーザー OTP バンク 3				ECC		
0x0007 A000	1K x 16	-	ユーザー OTP バンク 4				ECC		
0x0008 0000	640K x 16	-	フラッシュ				ECC		あり
0x003F 3000	8K x 16	-	セキュア ROM	セキュア ROM			パリティ		あり
0x003F 5000	45K x 16	-	ブート ROM	ブート ROM			パリティ		
0x003F FFBE	1 x 16	-	PIE ベクタ フェッチ エラー (ブート ROM の一部)	PIE ベクタ フェッチ エラー (ブート ROM の一部)			パリティ		
0x003F FFC0	64 x 16	-	デフォルト ベクタ (ブート ROM の一部)	デフォルト ベクタ (ブート ROM の一部)			パリティ		
0x0101 1000	4K x 16	-	CLA データ ROM				パリティ		

(1) CPU サブシステム間で共有。

(2) メモリは、CPU1 または CPU2 のいずれかにマッピングできます。

- (3) CLA プログラム メモリとしてのみ使用されます。CLA プログラムが LS8/LS9 からフェッチします。CLA データ アクセスは、このアドレス範囲のペリフェラル フレームに送られます。マッピングの詳細については、MSEL_LS8 および MSEL_LS9 の LSxMSEL レジスタの説明を参照してください。
- (4) TI OTP は テキサス・インスツルメンツの内部用。

7.3.2 制御補償器アクセラレータ (CLA) メモリ マップ

表 7-2 に、CLA データ ROM メモリ マップを示します。CLA プログラム ROM の詳細については、『[TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「CLA プログラム ROM (CLAPROMCRC)」の章を参照してください。

表 7-2. CLA データ ROM メモリ マップ

メモリ	開始アドレス	終了アドレス	長さ
FFT テーブル (ロード)	0x0101 1070	0x0101 186F	0x0800
データ (ロード)	0x0101 1870	0x0101 1FF9	0x078A
バージョン (ロード)	0x0101 1FFA	0x0101 1FFF	0x0006
FFT テーブル (実行)	0x0000 F070	0x0000 F86F	0x0800
データ (実行)	0x0000 F870	0x0000 FFF9	0x078A
バージョン (実行)	0x0000 FFFA	0x0000 FFFF	0x0006

7.3.3 フラッシュ メモリ マップ

F28P65x デバイスには、5 つのフラッシュ バンク (1.3MB [640KW]) を搭載しています。フラッシュをプログラムするコードは RAM から実行する必要があります。消去またはプログラム動作が進行中の場合、フラッシュ バンクにアクセスすることはできません。以下の「フラッシュ セクタのアドレス」表に、各型番で使用可能なフラッシュ セクタのアドレスを一覧で示します。

7.3.3.1 フラッシュ セクタのアドレス

表 7-3. フラッシュ メモリ マップ

部品番号	セクタ	アドレス			ECC アドレス		
		サイズ	START	終了	サイズ	START	終了
すべて	TI OTP バンク 0 (TI 用)	1536 x 16	0x0007 2000	0x0007 25FF	128 x 16	0x0107 0400	0x0107 04BF
	TI OTP バンク 1 (TI 用)	1536 x 16	0x0007 3000	0x0007 35FF	128 x 16	0x0107 0600	0x0107 06BF
	TI OTP バンク 2 (TI 用)	1536 x 16	0x0007 4000	0x0007 45FF	128 x 16	0x0107 0800	0x0107 08BF
	TI OTP バンク 3 (TI 用)	1536 x 16	0x0007 5000	0x0007 55FF	128 x 16	0x0107 0A00	0x0107 0ABF
	TI OTP バンク 4 (TI 用)	1536 x 16	0x0007 6000	0x0007 65FF	128 x 16	0x0107 0C00	0x0107 0CBF
	ユーザー バンク 0 (DCSM OTP)	1K x 16	0x0007 8000	0x0007 83FF	128 x 16	0x0107 1000	0x0107 107F
	ユーザー OTP バンク 1	1K x 16	0x0007 8800	0x0007 8BFF	128 x 16	0x0107 1080	0x0107 10FF
	ユーザー OTP バンク 2	1K x 16	0x0007 9000	0x0007 93FF	128 x 16	0x0107 1100	0x0107 117F
	ユーザー OTP バンク 3	1K x 16	0x0007 9800	0x0007 9BFF	128 x 16	0x0107 1180	0x0107 11FF
	ユーザー OTP バンク 4	1K x 16	0x0007 A000	0x0007 A3FF	128 x 16	0x0107 1200	0x0107 127F
すべて	バンク 0 ⁽¹⁾						
	セクタ 0 ~ 127	128K x 16	0x0008 0000	0x0009 FFFF	16K x 16	0x0108 0000	0x0108 3FFF
	バンク 1 ⁽¹⁾						
	セクタ 0 ~ 127	128K x 16	0x000A 0000	0x000B FFFF	16K x 16	0x0108 4000	0x0108 7FFF
F28P65xDKx、 F28P65xSKx、 F28P65xSHx	バンク 2 ⁽¹⁾						
	セクタ 0 ~ 127	128K x 16	0x000C 0000	0x000D FFFF	16K x 16	0x0108 8000	0x0108 BFFF
F28P65xDKx、 F28P65xSKx	バンク 3 ⁽¹⁾						
	セクタ 0 ~ 127	128K x 16	0x000E 0000	0x000F FFFF	16K x 16	0x0108 C000	0x0108 FFFF
F28P65xDKx、 F28P65xSKx、 F28P65xDHx	バンク 4 ⁽¹⁾						
	セクタ 0 ~ 127	128K x 16	0x0010 0000	0x0011 FFFF	16K x 16	0x0109 0000	0x0109 3FFF

(1) セクタの詳細については、「フラッシュ セクタのオフセット」表を参照してください。

表 7-4. フラッシュ セクタのオフセット

セクタ	フラッシュ バンクの開始アドレスからのオフセット		フラッシュ バンクの ECC 開始アドレスからのオフセット	
	サイズ	オフセット	サイズ	オフセット
セクタ 0	1K x 16	0x0000 0000	128 x 16	0x0000 0000
セクタ 1	1K x 16	0x0000 0400	128 x 16	0x0000 0080
セクタ 2	1K x 16	0x0000 0800	128 x 16	0x0000 0100
セクタ 3	1K x 16	0x0000 0C00	128 x 16	0x0000 0180
セクタ 4	1K x 16	0x0000 1000	128 x 16	0x0000 0200
セクタ 5	1K x 16	0x0000 1400	128 x 16	0x0000 0280

表 7-4. フラッシュ セクタのオフセット (続き)

セクタ	フラッシュ バンクの開始アドレスからのオフセット		フラッシュ バンクの ECC 開始アドレスからのオフセット	
	サイズ	オフセット	サイズ	オフセット
セクタ 6	1K x 16	0x0000 1800	128 x 16	0x0000 0300
セクタ 7	1K x 16	0x0000 1C00	128 x 16	0x0000 0380
セクタ 8	1K x 16	0x0000 2000	128 x 16	0x0000 0400
セクタ 9	1K x 16	0x0000 2400	128 x 16	0x0000 0480
セクタ 10	1K x 16	0x0000 2800	128 x 16	0x0000 0500
セクタ 11	1K x 16	0x0000 2C00	128 x 16	0x0000 0580
セクタ 12	1K x 16	0x0000 3000	128 x 16	0x0000 0600
セクタ 13	1K x 16	0x0000 3400	128 x 16	0x0000 0680
セクタ 14	1K x 16	0x0000 3800	128 x 16	0x0000 0700
セクタ 15	1K x 16	0x0000 3C00	128 x 16	0x0000 0780
セクタ 16	1K x 16	0x0000 4000	128 x 16	0x0000 0800
セクタ 17	1K x 16	0x0000 4400	128 x 16	0x0000 0880
セクタ 18	1K x 16	0x0000 4800	128 x 16	0x0000 0900
セクタ 19	1K x 16	0x0000 4C00	128 x 16	0x0000 0980
セクタ 20	1K x 16	0x0000 5000	128 x 16	0x0000 0A00
セクタ 21	1K x 16	0x0000 5400	128 x 16	0x0000 0A80
セクタ 22	1K x 16	0x0000 5800	128 x 16	0x0000 0B00
セクタ 23	1K x 16	0x0000 5C00	128 x 16	0x0000 0B80
セクタ 24	1K x 16	0x0000 6000	128 x 16	0x0000 0C00
セクタ 25	1K x 16	0x0000 6400	128 x 16	0x0000 0C80
セクタ 26	1K x 16	0x0000 6800	128 x 16	0x0000 0D00
セクタ 27	1K x 16	0x0000 6C00	128 x 16	0x0000 0D80
セクタ 28	1K x 16	0x0000 7000	128 x 16	0x0000 0E00
セクタ 29	1K x 16	0x0000 7400	128 x 16	0x0000 0E80
セクタ 30	1K x 16	0x0000 7800	128 x 16	0x0000 0F00
セクタ 31	1K x 16	0x0000 7C00	128 x 16	0x0000 0F80
セクタ 32	1K x 16	0x0000 8000	128 x 16	0x0000 1000
セクタ 33	1K x 16	0x0000 8400	128 x 16	0x0000 1080
セクタ 34	1K x 16	0x0000 8800	128 x 16	0x0000 1100
セクタ 35	1K x 16	0x0000 8C00	128 x 16	0x0000 1180
セクタ 36	1K x 16	0x0000 9000	128 x 16	0x0000 1200
セクタ 37	1K x 16	0x0000 9400	128 x 16	0x0000 1280
セクタ 38	1K x 16	0x0000 9800	128 x 16	0x0000 1300
セクタ 39	1K x 16	0x0000 9C00	128 x 16	0x0000 1380
セクタ 40	1K x 16	0x0000 A000	128 x 16	0x0000 1400
セクタ 41	1K x 16	0x0000 A400	128 x 16	0x0000 1480
セクタ 42	1K x 16	0x0000 A800	128 x 16	0x0000 1500
セクタ 43	1K x 16	0x0000 AC00	128 x 16	0x0000 1580
セクタ 44	1K x 16	0x0000 B000	128 x 16	0x0000 1600
セクタ 45	1K x 16	0x0000 B400	128 x 16	0x0000 1680
セクタ 46	1K x 16	0x0000 B800	128 x 16	0x0000 1700
セクタ 47	1K x 16	0x0000 BC00	128 x 16	0x0000 1780
セクタ 48	1K x 16	0x0000 C000	128 x 16	0x0000 1800
セクタ 49	1K x 16	0x0000 C400	128 x 16	0x0000 1880
セクタ 50	1K x 16	0x0000 C800	128 x 16	0x0000 1900

表 7-4. フラッシュ セクタのオフセット (続き)

セクタ	フラッシュ バンクの開始アドレスからのオフセット		フラッシュ バンクの ECC 開始アドレスからのオフセット	
	サイズ	オフセット	サイズ	オフセット
セクタ 51	1K x 16	0x0000 CC00	128 x 16	0x0000 1980
セクタ 52	1K x 16	0x0000 D000	128 x 16	0x0000 1A00
セクタ 53	1K x 16	0x0000 D400	128 x 16	0x0000 1A80
セクタ 54	1K x 16	0x0000 D800	128 x 16	0x0000 1B00
セクタ 55	1K x 16	0x0000 DC00	128 x 16	0x0000 1B80
セクタ 56	1K x 16	0x0000 E000	128 x 16	0x0000 1C00
セクタ 57	1K x 16	0x0000 E400	128 x 16	0x0000 1C80
セクタ 58	1K x 16	0x0000 E800	128 x 16	0x0000 1D00
セクタ 59	1K x 16	0x0000 EC00	128 x 16	0x0000 1D80
セクタ 60	1K x 16	0x0000 F000	128 x 16	0x0000 1E00
セクタ 61	1K x 16	0x0000 F400	128 x 16	0x0000 1E80
セクタ 62	1K x 16	0x0000 F800	128 x 16	0x0000 1F00
セクタ 63	1K x 16	0x0000 FC00	128 x 16	0x0000 1F80
セクタ 64	1K x 16	0x0001 0000	128 x 16	0x0000 2000
セクタ 65	1K x 16	0x0001 0400	128 x 16	0x0000 2080
セクタ 66	1K x 16	0x0001 0800	128 x 16	0x0000 2100
セクタ 67	1K x 16	0x0001 0C00	128 x 16	0x0000 2180
セクタ 68	1K x 16	0x0001 1000	128 x 16	0x0000 2200
セクタ 69	1K x 16	0x0001 1400	128 x 16	0x0000 2280
セクタ 70	1K x 16	0x0001 1800	128 x 16	0x0000 2300
セクタ 71	1K x 16	0x0001 1C00	128 x 16	0x0000 2380
セクタ 72	1K x 16	0x0001 2000	128 x 16	0x0000 2400
セクタ 73	1K x 16	0x0001 2400	128 x 16	0x0000 2480
セクタ 74	1K x 16	0x0001 2800	128 x 16	0x0000 2500
セクタ 75	1K x 16	0x0001 2C00	128 x 16	0x0000 2580
セクタ 76	1K x 16	0x0001 3000	128 x 16	0x0000 2600
セクタ 77	1K x 16	0x0001 3400	128 x 16	0x0000 2680
セクタ 78	1K x 16	0x0001 3800	128 x 16	0x0000 2700
セクタ 79	1K x 16	0x0001 3C00	128 x 16	0x0000 2780
セクタ 80	1K x 16	0x0001 4000	128 x 16	0x0000 2800
セクタ 81	1K x 16	0x0001 4400	128 x 16	0x0000 2880
セクタ 82	1K x 16	0x0001 4800	128 x 16	0x0000 2900
セクタ 83	1K x 16	0x0001 4C00	128 x 16	0x0000 2980
セクタ 84	1K x 16	0x0001 5000	128 x 16	0x0000 2A00
セクタ 85	1K x 16	0x0001 5400	128 x 16	0x0000 2A80
セクタ 86	1K x 16	0x0001 5800	128 x 16	0x0000 2B00
セクタ 87	1K x 16	0x0001 5C00	128 x 16	0x0000 2B80
セクタ 88	1K x 16	0x0001 6000	128 x 16	0x0000 2C00
セクタ 89	1K x 16	0x0001 6400	128 x 16	0x0000 2C80
セクタ 90	1K x 16	0x0001 6800	128 x 16	0x0000 2D00
セクタ 91	1K x 16	0x0001 6C00	128 x 16	0x0000 2D80
セクタ 92	1K x 16	0x0001 7000	128 x 16	0x0000 2E00
セクタ 93	1K x 16	0x0001 7400	128 x 16	0x0000 2E80
セクタ 94	1K x 16	0x0001 7800	128 x 16	0x0000 2F00
セクタ 95	1K x 16	0x0001 7C00	128 x 16	0x0000 2F80

表 7-4. フラッシュ セクタのオフセット (続き)

セクタ	フラッシュ バンクの開始アドレスからのオフセット		フラッシュ バンクの ECC 開始アドレスからのオフセット	
	サイズ	オフセット	サイズ	オフセット
セクタ 96	1K x 16	0x0001 8000	128 x 16	0x0000 3000
セクタ 97	1K x 16	0x0001 8400	128 x 16	0x0000 3080
セクタ 98	1K x 16	0x0001 8800	128 x 16	0x0000 3100
セクタ 99	1K x 16	0x0001 8C00	128 x 16	0x0000 3180
セクタ 100	1K x 16	0x0001 9000	128 x 16	0x0000 3200
セクタ 101	1K x 16	0x0001 9400	128 x 16	0x0000 3280
セクタ 102	1K x 16	0x0001 9800	128 x 16	0x0000 3300
セクタ 103	1K x 16	0x0001 9C00	128 x 16	0x0000 3380
セクタ 104	1K x 16	0x0001 A000	128 x 16	0x0000 3400
セクタ 105	1K x 16	0x0001 A400	128 x 16	0x0000 3480
セクタ 106	1K x 16	0x0001 A800	128 x 16	0x0000 3500
セクタ 107	1K x 16	0x0001 AC00	128 x 16	0x0000 3580
セクタ 108	1K x 16	0x0001 B000	128 x 16	0x0000 3600
セクタ 109	1K x 16	0x0001 B400	128 x 16	0x0000 3680
セクタ 110	1K x 16	0x0001 B800	128 x 16	0x0000 3700
セクタ 111	1K x 16	0x0001 BC00	128 x 16	0x0000 3780
セクタ 112	1K x 16	0x0001 C000	128 x 16	0x0000 3800
セクタ 113	1K x 16	0x0001 C400	128 x 16	0x0000 3880
セクタ 114	1K x 16	0x0001 C800	128 x 16	0x0000 3900
セクタ 115	1K x 16	0x0001 CC00	128 x 16	0x0000 3980
セクタ 116	1K x 16	0x0001 D000	128 x 16	0x0000 3A00
セクタ 117	1K x 16	0x0001 D400	128 x 16	0x0000 3A80
セクタ 118	1K x 16	0x0001 D800	128 x 16	0x0000 3B00
セクタ 119	1K x 16	0x0001 DC00	128 x 16	0x0000 3B80
セクタ 120	1K x 16	0x0001 E000	128 x 16	0x0000 3C00
セクタ 121	1K x 16	0x0001 E400	128 x 16	0x0000 3C80
セクタ 122	1K x 16	0x0001 E800	128 x 16	0x0000 3D00
セクタ 123	1K x 16	0x0001 EC00	128 x 16	0x0000 3D80
セクタ 124	1K x 16	0x0001 F000	128 x 16	0x0000 3E00
セクタ 125	1K x 16	0x0001 F400	128 x 16	0x0000 3E80
セクタ 126	1K x 16	0x0001 F800	128 x 16	0x0000 3F00
セクタ 127	1K x 16	0x0001 FC00	128 x 16	0x0000 3F80

7.3.4 EMIF チップ セレクト メモリ マップ

EMIF1 メモリ マップは、両方の CPU サブシステムで同じです。EMIF メモリ マップは、EMIF チップ セレクト メモリ マップの表に示されています。

表 7-5. EMIF チップ セレクト メモリ マップ

EMIF CS	サイズ ⁽²⁾	開始アドレス	終了アドレス	CLA アクセス	DMA アクセス
EMIF1 CS0n - データ ⁽¹⁾	256M x 16	0x8000 0000	0x8FFF FFFF		あり
EMIF1 CS0n - プログラム + データ ⁽¹⁾	512K x 16	0x0028 0000	0x002F FFFF		あり
EMIF1 CS2n - プログラム + データ	256K x 16	0x0030 0000	0x0033 FFFF		あり
EMIF1 CS3n - プログラム + データ	256K x 16	0x0034 0000	0x0037 FFFF		あり
EMIF1 CS4n - プログラム + データ	393K x 16	0x0038 0000	0x003D FFFF		あり

- (1) デュアル マップ - EMIF1 CS0n がアドレス 0x2x_xxxx にマップされている場合、EMIF1 CS2n は 0x30_0000 から 0x33_FFFF まで (512K x 16) のみ利用可能です。
- (2) この表に示す利用可能なメモリ サイズは、32 ビット メモリを想定した場合の最大サイズです。ピン多重化の設定によって、他のメモリ サイズには適用できない場合があります。

7.3.5 ペリフェラル・レジスタのメモリ・マップ

表 7-6. ペリフェラル・レジスタのメモリ・マップ

構造	DriverLib 名	ベース アドレス	CPU1	CPU1.D MA	CPU1.C LA1	CPU2	CPU2.D MA	パイプライン保護
ペリフェラル・フレーム 0 (PF0)								
ADC_RESULT_REGS	ADCARESULT_BASE	0x0000_0A00	あり	あり	あり	あり	あり	-
ADC_RESULT_REGS	ADCBRESULT_BASE	0x0000_0A80	あり	あり	あり	あり	あり	-
ADC_RESULT_REGS	ADCCRESULT_BASE	0x0000_0B00	あり	あり	あり	あり	あり	-
CPUTIMER_REGS	CPUTIMER0_BASE	0x0000_0C00	あり	-	-	あり	-	-
CLA_ONLY_REGS	CLA1_ONLY_BASE	0x0000_0C00	-	-	あり	-	-	-
CPUTIMER_REGS	CPUTIMER1_BASE	0x0000_0C08	あり	-	-	あり	-	-
CPUTIMER_REGS	CPUTIMER2_BASE	0x0000_0C10	あり	-	-	あり	-	-
PIE_CTRL_REGS	PIECTRL_BASE	0x0000_0CE0	あり	-	-	あり	-	-
CLA_SOFTINT_REGS	CLA1_SOFTINT_BASE	0x0000_0CE0	-	-	あり	-	-	-
PIE_VECT_TABLE	PIEVECTTABLEMAIN_BASE	0x0000_0D00	あり	-	-	あり	-	-
PIE_VECT_TABLE	PIEVECTTABLEEXTENSION_BASE	0x0000_0E00	あり	-	-	あり	-	-
DMA_REGS	DMA_BASE	0x0000_1000	あり	-	-	あり	-	-
DMA_CH_REGS	DMA_CH1_BASE	0x0000_1020	あり	-	-	あり	-	-
DMA_CH_REGS	DMA_CH2_BASE	0x0000_1040	あり	-	-	あり	-	-
DMA_CH_REGS	DMA_CH3_BASE	0x0000_1060	あり	-	-	あり	-	-
DMA_CH_REGS	DMA_CH4_BASE	0x0000_1080	あり	-	-	あり	-	-
DMA_CH_REGS	DMA_CH5_BASE	0x0000_10A0	あり	-	-	あり	-	-
DMA_CH_REGS	DMA_CH6_BASE	0x0000_10C0	あり	-	-	あり	-	-
CLA_REGS	CLA1_BASE	0x0000_1400	あり	-	-	-	-	-
ESCSS_REGS	ESC_SS_BASE	0x0005_7E00	あり	-	-	あり	-	あり
ESCSS_CONFIG_REGS	ESC_SS_CONFIG_BASE	0x0005_7F00	あり	-	-	あり	-	あり
PCTRACE_BUFFER_REGS	ERAD_PCTRACE_BUFFER_BASE	0x0005_FE00	あり	-	-	あり	-	あり
UID_REGS	UID_BASE	0x0007_2168	あり	-	-	-	-	-
DCSM_Z1_OTP	DCSM_Z1OTP_BASE	0x0007_8000	あり	-	-	-	-	-
DCSM_Z2_OTP	DCSM_Z2OTP_BASE	0x0007_8200	あり	-	-	-	-	-
ペリフェラル・フレーム 1 (PF1)								
EPWM_REGS	EPWM17_BASE	0x0000_2C00	あり	あり	あり	あり	あり	あり
EPWM_XCMP_REGS	EPWM17XCMP_BASE	0x0000_2D00	あり	あり	あり	あり	あり	あり
DE_REGS	EPWM17DE_BASE	0x0000_2DC0	あり	あり	あり	あり	あり	あり
MINDB_LUT_REGS	EPWM17MINDBLUT_BASE	0x0000_2DE0	あり	あり	あり	あり	あり	あり
EPWM_REGS	EPWM18_BASE	0x0000_2E00	あり	あり	あり	あり	あり	あり
EPWM_XCMP_REGS	EPWM18XCMP_BASE	0x0000_2F00	あり	あり	あり	あり	あり	あり
DE_REGS	EPWM18DE_BASE	0x0000_2FC0	あり	あり	あり	あり	あり	あり
MINDB_LUT_REGS	EPWM18MINDBLUT_BASE	0x0000_2FE0	あり	あり	あり	あり	あり	あり
EPWM_REGS	EPWM1_BASE	0x0000_3000	あり	あり	あり	あり	あり	あり
EPWM_XCMP_REGS	EPWM1XCMP_BASE	0x0000_3100	あり	あり	あり	あり	あり	あり
DE_REGS	EPWM1DE_BASE	0x0000_31C0	あり	あり	あり	あり	あり	あり
MINDB_LUT_REGS	EPWM1MINDBLUT_BASE	0x0000_31E0	あり	あり	あり	あり	あり	あり

表 7-6. パリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース アドレス	CPU1	CPU1.D MA	CPU1.C LA1	CPU2	CPU2.D MA	パイプライン保護
EPWM_REGS	EPWM2_BASE	0x0000_3200	あり	あり	あり	あり	あり	あり
EPWM_XCMP_REGS	EPWM2XCMP_BASE	0x0000_3300	あり	あり	あり	あり	あり	あり
DE_REGS	EPWM2DE_BASE	0x0000_33C0	あり	あり	あり	あり	あり	あり
MINDB_LUT_REGS	EPWM2MINDBLUT_BASE	0x0000_33E0	あり	あり	あり	あり	あり	あり
EPWM_REGS	EPWM3_BASE	0x0000_3400	あり	あり	あり	あり	あり	あり
EPWM_XCMP_REGS	EPWM3XCMP_BASE	0x0000_3500	あり	あり	あり	あり	あり	あり
DE_REGS	EPWM3DE_BASE	0x0000_35C0	あり	あり	あり	あり	あり	あり
MINDB_LUT_REGS	EPWM3MINDBLUT_BASE	0x0000_35E0	あり	あり	あり	あり	あり	あり
EPWM_REGS	EPWM4_BASE	0x0000_3600	あり	あり	あり	あり	あり	あり
EPWM_XCMP_REGS	EPWM4XCMP_BASE	0x0000_3700	あり	あり	あり	あり	あり	あり
DE_REGS	EPWM4DE_BASE	0x0000_37C0	あり	あり	あり	あり	あり	あり
MINDB_LUT_REGS	EPWM4MINDBLUT_BASE	0x0000_37E0	あり	あり	あり	あり	あり	あり
EPWM_REGS	EPWM5_BASE	0x0000_3800	あり	あり	あり	あり	あり	あり
EPWM_XCMP_REGS	EPWM5XCMP_BASE	0x0000_3900	あり	あり	あり	あり	あり	あり
DE_REGS	EPWM5DE_BASE	0x0000_39C0	あり	あり	あり	あり	あり	あり
MINDB_LUT_REGS	EPWM5MINDBLUT_BASE	0x0000_39E0	あり	あり	あり	あり	あり	あり
EPWM_REGS	EPWM6_BASE	0x0000_3A00	あり	あり	あり	あり	あり	あり
EPWM_XCMP_REGS	EPWM6XCMP_BASE	0x0000_3B00	あり	あり	あり	あり	あり	あり
DE_REGS	EPWM6DE_BASE	0x0000_3BC0	あり	あり	あり	あり	あり	あり
MINDB_LUT_REGS	EPWM6MINDBLUT_BASE	0x0000_3BE0	あり	あり	あり	あり	あり	あり
EPWM_REGS	EPWM7_BASE	0x0000_3C00	あり	あり	あり	あり	あり	あり
EPWM_XCMP_REGS	EPWM7XCMP_BASE	0x0000_3D00	あり	あり	あり	あり	あり	あり
DE_REGS	EPWM7DE_BASE	0x0000_3DC0	あり	あり	あり	あり	あり	あり
MINDB_LUT_REGS	EPWM7MINDBLUT_BASE	0x0000_3DE0	あり	あり	あり	あり	あり	あり
EPWM_REGS	EPWM8_BASE	0x0000_3E00	あり	あり	あり	あり	あり	あり
EPWM_XCMP_REGS	EPWM8XCMP_BASE	0x0000_3F00	あり	あり	あり	あり	あり	あり
DE_REGS	EPWM8DE_BASE	0x0000_3FC0	あり	あり	あり	あり	あり	あり
MINDB_LUT_REGS	EPWM8MINDBLUT_BASE	0x0000_3FE0	あり	あり	あり	あり	あり	あり
EPWM_REGS	EPWM9_BASE	0x0000_4000	あり	あり	あり	あり	あり	あり
EPWM_XCMP_REGS	EPWM9XCMP_BASE	0x0000_4100	あり	あり	あり	あり	あり	あり
DE_REGS	EPWM9DE_BASE	0x0000_41C0	あり	あり	あり	あり	あり	あり
MINDB_LUT_REGS	EPWM9MINDBLUT_BASE	0x0000_41E0	あり	あり	あり	あり	あり	あり
EPWM_REGS	EPWM10_BASE	0x0000_4200	あり	あり	あり	あり	あり	あり
EPWM_XCMP_REGS	EPWM10XCMP_BASE	0x0000_4300	あり	あり	あり	あり	あり	あり
DE_REGS	EPWM10DE_BASE	0x0000_43C0	あり	あり	あり	あり	あり	あり
MINDB_LUT_REGS	EPWM10MINDBLUT_BASE	0x0000_43E0	あり	あり	あり	あり	あり	あり

表 7-6. パリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース アドレス	CPU1	CPU1.D MA	CPU1.C LA1	CPU2	CPU2.D MA	パイプライン保護
EPWM_REGS	EPWM11_BASE	0x0000_4400	あり	あり	あり	あり	あり	あり
EPWM_XCMP_REGS	EPWM11XCMP_BASE	0x0000_4500	あり	あり	あり	あり	あり	あり
DE_REGS	EPWM11DE_BASE	0x0000_45C0	あり	あり	あり	あり	あり	あり
MINDB_LUT_REGS	EPWM11MINDBLUT_BASE	0x0000_45E0	あり	あり	あり	あり	あり	あり
EPWM_REGS	EPWM12_BASE	0x0000_4600	あり	あり	あり	あり	あり	あり
EPWM_XCMP_REGS	EPWM12XCMP_BASE	0x0000_4700	あり	あり	あり	あり	あり	あり
DE_REGS	EPWM12DE_BASE	0x0000_47C0	あり	あり	あり	あり	あり	あり
MINDB_LUT_REGS	EPWM12MINDBLUT_BASE	0x0000_47E0	あり	あり	あり	あり	あり	あり
EPWM_REGS	EPWM13_BASE	0x0000_4800	あり	あり	あり	あり	あり	あり
EPWM_XCMP_REGS	EPWM13XCMP_BASE	0x0000_4900	あり	あり	あり	あり	あり	あり
DE_REGS	EPWM13DE_BASE	0x0000_49C0	あり	あり	あり	あり	あり	あり
MINDB_LUT_REGS	EPWM13MINDBLUT_BASE	0x0000_49E0	あり	あり	あり	あり	あり	あり
EPWM_REGS	EPWM14_BASE	0x0000_4A00	あり	あり	あり	あり	あり	あり
EPWM_XCMP_REGS	EPWM14XCMP_BASE	0x0000_4B00	あり	あり	あり	あり	あり	あり
DE_REGS	EPWM14DE_BASE	0x0000_4BC0	あり	あり	あり	あり	あり	あり
MINDB_LUT_REGS	EPWM14MINDBLUT_BASE	0x0000_4BE0	あり	あり	あり	あり	あり	あり
EPWM_REGS	EPWM15_BASE	0x0000_4C00	あり	あり	あり	あり	あり	あり
EPWM_XCMP_REGS	EPWM15XCMP_BASE	0x0000_4D00	あり	あり	あり	あり	あり	あり
DE_REGS	EPWM15DE_BASE	0x0000_4DC0	あり	あり	あり	あり	あり	あり
MINDB_LUT_REGS	EPWM15MINDBLUT_BASE	0x0000_4DE0	あり	あり	あり	あり	あり	あり
EPWM_REGS	EPWM16_BASE	0x0000_4E00	あり	あり	あり	あり	あり	あり
EPWM_XCMP_REGS	EPWM16XCMP_BASE	0x0000_4F00	あり	あり	あり	あり	あり	あり
DE_REGS	EPWM16DE_BASE	0x0000_4FC0	あり	あり	あり	あり	あり	あり
MINDB_LUT_REGS	EPWM16MINDBLUT_BASE	0x0000_4FE0	あり	あり	あり	あり	あり	あり
EQEP_REGS	EQEP1_BASE	0x0000_5080	あり	あり	あり	あり	あり	あり
EQEP_REGS	EQEP2_BASE	0x0000_50C0	あり	あり	あり	あり	あり	あり
EQEP_REGS	EQEP3_BASE	0x0000_5100	あり	あり	あり	あり	あり	あり
EQEP_REGS	EQEP4_BASE	0x0000_5140	あり	あり	あり	あり	あり	あり
EQEP_REGS	EQEP5_BASE	0x0000_5180	あり	あり	あり	あり	あり	あり
EQEP_REGS	EQEP6_BASE	0x0000_51C0	あり	あり	あり	あり	あり	あり
ECAP_REGS	ECAP1_BASE	0x0000_5200	あり	あり	あり	あり	あり	あり
ECAP_SIGNAL_MONITORING	ECAP1SIGNALMONITORING_BASE	0x0000_5240	あり	あり	あり	あり	あり	あり
ECAP_REGS	ECAP2_BASE	0x0000_5300	あり	あり	あり	あり	あり	あり
ECAP_SIGNAL_MONITORING	ECAP2SIGNALMONITORING_BASE	0x0000_5340	あり	あり	あり	あり	あり	あり
ECAP_REGS	ECAP3_BASE	0x0000_5400	あり	あり	あり	あり	あり	あり
ECAP_SIGNAL_MONITORING	ECAP3SIGNALMONITORING_BASE	0x0000_5440	あり	あり	あり	あり	あり	あり
ECAP_REGS	ECAP4_BASE	0x0000_5500	あり	あり	あり	あり	あり	あり
ECAP_SIGNAL_MONITORING	ECAP4SIGNALMONITORING_BASE	0x0000_5540	あり	あり	あり	あり	あり	あり

表 7-6. ペリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース アドレス	CPU1	CPU1.D MA	CPU1.C LA1	CPU2	CPU2.D MA	パイプライン保護
ECAP_REGS	ECAP5_BASE	0x0000_5600	あり	あり	あり	あり	あり	あり
ECAP_SIGNAL_M ONITORING	ECAP5SIGNALMONITORING_BASE	0x0000_5640	あり	あり	あり	あり	あり	あり
ECAP_REGS	ECAP6_BASE	0x0000_5700	あり	あり	あり	あり	あり	あり
HRCAP_REGS	HRCAP6_BASE	0x0000_5720	あり	あり	あり	あり	あり	あり
ECAP_SIGNAL_M ONITORING	ECAP6SIGNALMONITORING_BASE	0x0000_5740	あり	あり	あり	あり	あり	あり
ECAP_REGS	ECAP7_BASE	0x0000_5800	あり	あり	あり	あり	あり	あり
HRCAP_REGS	HRCAP7_BASE	0x0000_5820	あり	あり	あり	あり	あり	あり
ECAP_SIGNAL_M ONITORING	ECAP7SIGNALMONITORING_BASE	0x0000_5840	あり	あり	あり	あり	あり	あり
CMPSS_REGS	CMPSS1_BASE	0x0000_5900	あり	あり	あり	あり	あり	あり
CMPSS_REGS	CMPSS2_BASE	0x0000_5940	あり	あり	あり	あり	あり	あり
CMPSS_REGS	CMPSS3_BASE	0x0000_5980	あり	あり	あり	あり	あり	あり
CMPSS_REGS	CMPSS4_BASE	0x0000_59C0	あり	あり	あり	あり	あり	あり
CMPSS_REGS	CMPSS5_BASE	0x0000_5A00	あり	あり	あり	あり	あり	あり
CMPSS_REGS	CMPSS6_BASE	0x0000_5A40	あり	あり	あり	あり	あり	あり
CMPSS_REGS	CMPSS7_BASE	0x0000_5A80	あり	あり	あり	あり	あり	あり
CMPSS_REGS	CMPSS8_BASE	0x0000_5AC0	あり	あり	あり	あり	あり	あり
CMPSS_REGS	CMPSS9_BASE	0x0000_5B00	あり	あり	あり	あり	あり	あり
CMPSS_REGS	CMPSS10_BASE	0x0000_5B40	あり	あり	あり	あり	あり	あり
CMPSS_REGS	CMPSS11_BASE	0x0000_5B80	あり	あり	あり	あり	あり	あり
DAC_REGS	DACA_BASE	0x0000_5C00	あり	あり	あり	あり	あり	あり
DAC_REGS	DACC_BASE	0x0000_5C20	あり	あり	あり	あり	あり	あり
HRPWMCAL_REG S	HRPWMCAL1_BASE	0x0000_5C80	あり	あり	あり	あり	あり	あり
HRPWMCAL_REG S	HRPWMCAL2_BASE	0x0000_5CC0	あり	あり	あり	あり	あり	あり
HRPWMCAL_REG S	HRPWMCAL3_BASE	0x0000_5D00	あり	あり	あり	あり	あり	あり
SDFM_REGS	SDFM1_BASE	0x0000_5E00	あり	あり	あり	あり	あり	あり
SDFM_REGS	SDFM2_BASE	0x0000_5E80	あり	あり	あり	あり	あり	あり
SDFM_REGS	SDFM3_BASE	0x0000_5F00	あり	あり	あり	あり	あり	あり
SDFM_REGS	SDFM4_BASE	0x0000_5F80	あり	あり	あり	あり	あり	あり
ペリフェラル・フレーム 2 (PF2)								
SPI_REGS	SPIA_BASE	0x0000_6100	あり	あり	あり	あり	あり	あり
SPI_REGS	SPIB_BASE	0x0000_6110	あり	あり	あり	あり	あり	あり
SPI_REGS	SPIC_BASE	0x0000_6120	あり	あり	あり	あり	あり	あり
SPI_REGS	SPID_BASE	0x0000_6130	あり	あり	あり	あり	あり	あり
BGCRC_REGS	BGCRC_CPU_BASE	0x0000_6340	あり	-	-	あり	-	あり
BGCRC_REGS	BGCRC_CLA_BASE	0x0000_6380	あり	-	あり	-	-	あり
PMBUS_REGS	PMBUSA_BASE	0x0000_6400	あり	あり	あり	あり	あり	あり
FSI_TX_REGS	FSITXA_BASE	0x0000_6600	あり	あり	あり	あり	あり	あり
FSI_RX_REGS	FSIRXA_BASE	0x0000_6680	あり	あり	あり	あり	あり	あり
FSI_TX_REGS	FSITXB_BASE	0x0000_6700	あり	あり	あり	あり	あり	あり
FSI_RX_REGS	FSIRXB_BASE	0x0000_6780	あり	あり	あり	あり	あり	あり
FSI_RX_REGS	FSIRXC_BASE	0x0000_6880	あり	あり	あり	あり	あり	あり
FSI_RX_REGS	FSIRXD_BASE	0x0000_6980	あり	あり	あり	あり	あり	あり
ペリフェラル・フレーム 3 (PF3)								
ADC_REGS	ADCA_BASE	0x0000_7400	あり	-	あり	あり	-	あり

表 7-6. パリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース アドレス	CPU1	CPU1.D MA	CPU1.C LA1	CPU2	CPU2.D MA	パイプライン保護
ADC_REGS	ADCB_BASE	0x0000_7500	あり	-	あり	あり	-	あり
ADC_REGS	ADCC_BASE	0x0000_7600	あり	-	あり	あり	-	あり
パリアフェラル・フレーム 4 (PF4)								
EPWM_XBAR_REGS	EPWMXBARB_BASE	0x0000_7800	あり	-	-	-	-	あり
SYNC_SOC_REGS	SYNCSOC_BASE	0x0000_78F8	あり	-	-	-	-	あり
INPUT_XBAR_REGS	INPUTXBAR_BASE	0x0000_7900	あり	-	-	-	-	あり
XBAR_REGS	XBAR_BASE	0x0000_7920	あり	-	-	-	-	あり
INPUT_XBAR_REGS	CLBINPUTXBAR_BASE	0x0000_7960	あり	-	-	-	-	あり
CPU1_DMA_CLA_SRC_SEL_REGS、 CPU2_DMA_CLA_SRC_SEL_REGS	CPU1DMACLASRCSEL_BASE、 CPU2DMACLASRCSEL_BASE	0x0000_7980	あり	-	-	あり	-	あり
MINDB_XBAR_REGS	MINDBXBAR_BASE	0x0000_79C0	あり	-	-	-	-	あり
ICL_XBAR_REGS	ICLXBAR_BASE	0x0000_79E0	あり	-	-	-	-	あり
EPWM_XBAR_REGS	EPWMXBARA_BASE	0x0000_7A00	あり	-	-	-	-	あり
CLB_XBAR_REGS	CLBXBAR_BASE	0x0000_7A80	あり	-	-	-	-	あり
OUTPUT_XBAR_EXT64_REGS	OUTPUTXBAR_BASE	0x0000_7B00	あり	-	-	-	-	あり
OUTPUT_XBAR_REGS	CLBOUTPUTXBAR_BASE	0x0000_7B80	あり	-	-	-	-	あり
GPIO_CTRL_REGS	GPIOCTRL_BASE	0x0000_7C00	あり	-	-	-	-	あり
GPIO_DATA_REGS	GPIODATA_BASE	0x0000_7F00	あり	-	あり	あり	-	あり
GPIO_DATA_READ_REGS	GPIODATAREAD_BASE	0x0000_7F80	あり	-	あり	あり	-	あり
パリアフェラル・フレーム 5 (PF5)								
EMIF_REGS	EMIF1_BASE	0x0004_7000	あり	-	-	あり	-	あり
CPU1TOCPU2_IPC_REGS_CPU2VIEW	IPC_CPUXTOCPUX_BASE	0x0005_CE00	-	-	-	あり	-	あり
CPU1TOCPU2_IPC_REGS_CPU1VIEW	IPC_CPUXTOCPUX_BASE	0x0005_CE00	あり	-	-	-	-	あり
DEV_CFG_REGS	DEVCFG_BASE	0x0005_D000	あり	-	-	あり	-	あり
CLK_CFG_REGS	CLKCFG_BASE	0x0005_D200	あり	-	-	あり	-	あり
CPU1_SYS_REGS、 CPU2_SYS_REGS	CPU1SYS_BASE、CPU2SYS_BASE	0x0005_D300	あり	-	-	あり	-	あり
CPU1_SYS_STATUS_REGS、 CPU2_SYS_STATUS_REGS	CPU1SYSSTATUS_BASE、 CPU2SYSSTATUS_BASE	0x0005_D400	あり	-	-	あり	-	あり
CPU1_PERIPH_A_C_REGS、 CPU2_PERIPH_A_C_REGS	CPU1PERIPHAC_BASE、 CPU2PERIPHAC_BASE	0x0005_D500	あり	-	-	あり	-	あり
ANALOG_SUBSYS_REGS	ANALOGSUBSYS_BASE	0x0005_D700	あり	-	-	-	-	あり
ERAD_GLOBAL_REGS	ERAD_GLOBAL_BASE	0x0005_E800	あり	-	-	あり	-	あり

表 7-6. ペリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース アドレス	CPU1	CPU1.D MA	CPU1.C LA1	CPU2	CPU2.D MA	パイプライン保護
ERAD_HWBP_REGS	ERAD_HWBP1_BASE	0x0005_E900	あり	-	-	あり	-	あり
ERAD_HWBP_REGS	ERAD_HWBP2_BASE	0x0005_E908	あり	-	-	あり	-	あり
ERAD_HWBP_REGS	ERAD_HWBP3_BASE	0x0005_E910	あり	-	-	あり	-	あり
ERAD_HWBP_REGS	ERAD_HWBP4_BASE	0x0005_E918	あり	-	-	あり	-	あり
ERAD_HWBP_REGS	ERAD_HWBP5_BASE	0x0005_E920	あり	-	-	あり	-	あり
ERAD_HWBP_REGS	ERAD_HWBP6_BASE	0x0005_E928	あり	-	-	あり	-	あり
ERAD_HWBP_REGS	ERAD_HWBP7_BASE	0x0005_E930	あり	-	-	あり	-	あり
ERAD_HWBP_REGS	ERAD_HWBP8_BASE	0x0005_E938	あり	-	-	あり	-	あり
ERAD_COUNTER_REGS	ERAD_COUNTER1_BASE	0x0005_E980	あり	-	-	あり	-	あり
ERAD_COUNTER_REGS	ERAD_COUNTER2_BASE	0x0005_E990	あり	-	-	あり	-	あり
ERAD_COUNTER_REGS	ERAD_COUNTER3_BASE	0x0005_E9A0	あり	-	-	あり	-	あり
ERAD_COUNTER_REGS	ERAD_COUNTER4_BASE	0x0005_E9B0	あり	-	-	あり	-	あり
ERAD_CRC_GLOBAL_REGS	ERAD_CRC_GLOBAL_BASE	0x0005_EA00	あり	-	-	あり	-	あり
ERAD_CRC_REGS	ERAD_CRC1_BASE	0x0005_EA10	あり	-	-	あり	-	あり
ERAD_CRC_REGS	ERAD_CRC2_BASE	0x0005_EA20	あり	-	-	あり	-	あり
ERAD_CRC_REGS	ERAD_CRC3_BASE	0x0005_EA30	あり	-	-	あり	-	あり
ERAD_CRC_REGS	ERAD_CRC4_BASE	0x0005_EA40	あり	-	-	あり	-	あり
ERAD_CRC_REGS	ERAD_CRC5_BASE	0x0005_EA50	あり	-	-	あり	-	あり
ERAD_CRC_REGS	ERAD_CRC6_BASE	0x0005_EA60	あり	-	-	あり	-	あり
ERAD_CRC_REGS	ERAD_CRC7_BASE	0x0005_EA70	あり	-	-	あり	-	あり
ERAD_CRC_REGS	ERAD_CRC8_BASE	0x0005_EA80	あり	-	-	あり	-	あり
PCTRACE_REGS	ERAD_PCTRACE_BASE	0x0005_EAD0	あり	-	-	あり	-	あり
EPG_REGS	EPG_BASE	0x0005_EC00	あり	-	-	あり	-	あり
EPG_MUX_REGS	EPGMUX_BASE	0x0005_ECD0	あり	-	-	あり	-	あり
ADC_SAFECHECK_INTEVT_REGS	ADCSAFETYINTEVTAGG1_BASE	0x0005_EE00	あり	-	-	-	-	あり
ADC_SAFECHECK_INTEVT_REGS	ADCSAFETYINTEVTAGG2_BASE	0x0005_EE40	-	-	-	あり	-	あり
ADC_SAFECHECK_REGS	ADCSAFETYCHK1_BASE	0x0005_EE80	あり	-	-	あり	-	あり
ADC_SAFECHECK_REGS	ADCSAFETYCHK2_BASE	0x0005_EE90	あり	-	-	あり	-	あり
ADC_SAFECHECK_REGS	ADCSAFETYCHK3_BASE	0x0005_EEA0	あり	-	-	あり	-	あり
ADC_SAFECHECK_REGS	ADCSAFETYCHK4_BASE	0x0005_EEB0	あり	-	-	あり	-	あり

表 7-6. パリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース アドレス	CPU1	CPU1.D MA	CPU1.C LA1	CPU2	CPU2.D MA	パイプライン保護
ADC_SAFECHECK_REGS	ADCSAFETYCHK5_BASE	0x0005_EEC0	あり	-	-	あり	-	あり
ADC_SAFECHECK_REGS	ADCSAFETYCHK6_BASE	0x0005_EED0	あり	-	-	あり	-	あり
ADC_SAFECHECK_REGS	ADCSAFETYCHK7_BASE	0x0005_EEE0	あり	-	-	あり	-	あり
ADC_SAFECHECK_REGS	ADCSAFETYCHK8_BASE	0x0005_EEF0	あり	-	-	あり	-	あり
DCSM_Z1_REGS	DCSM_Z1_BASE	0x0005_F000	あり	-	-	あり	-	あり
DCSM_Z2_REGS	DCSM_Z2_BASE	0x0005_F080	あり	-	-	あり	-	あり
DCSM_COMMON_REGS	DCSMCOMMON_BASE	0x0005_F0C0	あり	-	-	あり	-	あり
MEM_CFG_REGS	MEMCFG_BASE	0x0005_F400	あり	-	-	あり	-	あり
EMIF1_CONFIG_REGS	EMIF1CONFIG_BASE	0x0005_F4C0	あり	-	-	あり	-	あり
ACCESS_PROTECTION_REGS	ACCESSPROTECTION_BASE	0x0005_F500	あり	-	-	あり	-	あり
MEMORY_ERROR_REGS	MEMORYERROR_BASE	0x0005_F540	あり	-	-	あり	-	あり
ROM_WAIT_STATE_REGS	ROMWAITSTATE_BASE	0x0005_F580	あり	-	-	あり	-	あり
TEST_ERROR_REGS	TESTERROR_BASE	0x0005_F590	あり	-	-	あり	-	あり
FLASH_CTRL_REGS	FLASH0CTRL_BASE	0x0005_F800	あり	-	-	あり	-	あり
FLASH_ECC_REGS	FLASH0ECC_BASE	0x0005_FB00	あり	-	-	あり	-	あり
パリアフェラル・フレーム 7 (PF7)								
CAN_REGS	CANA_BASE	0x0004_8000	あり	あり	-	あり	あり	あり
LCM_REGS	LCM_CPU2_BASE	0x0004_C800	-	-	-	あり	-	あり
LCM_REGS	LCM_CPU2.DMA1_BASE	0x0004_E800	-	-	-	あり	-	あり
MCANSS_REGS	MCANASS_BASE	0x0005_A400	あり	-	-	あり	-	あり
MCAN_REGS	MCANA_BASE	0x0005_A600	あり	-	-	あり	-	あり
MCAN_ERROR_REGS	MCANA_ERROR_BASE	0x0005_A800	あり	-	-	あり	-	あり
MCANSS_REGS	MCANBSS_BASE	0x0005_C400	あり	-	-	あり	-	あり
MCAN_REGS	MCANB_BASE	0x0005_C600	あり	-	-	あり	-	あり
MCAN_ERROR_REGS	MCANB_ERROR_BASE	0x0005_C800	あり	-	-	あり	-	あり
DCC_REGS	DCC0_BASE	0x0005_E700	あり	-	-	あり	-	あり
DCC_REGS	DCC1_BASE	0x0005_E740	あり	-	-	あり	-	あり
DCC_REGS	DCC2_BASE	0x0005_E780	あり	-	-	あり	-	あり
パリアフェラル・フレーム 8 (PF8)								
LIN_REGS	LINA_BASE	0x0000_6E00	あり	あり	あり	あり	あり	あり
LIN_REGS	LINB_BASE	0x0000_6F00	あり	あり	あり	あり	あり	あり
パリアフェラル・フレーム 9 (PF9)								
WD_REGS	WD_BASE	0x0000_7000	あり	-	-	あり	-	あり
NMI_INTERRUPT_REGS	NMI_BASE	0x0000_7060	あり	-	-	あり	-	あり
XINT_REGS	XINT_BASE	0x0000_7070	あり	-	-	あり	-	あり
SCI_REGS	SCIA_BASE	0x0000_7200	あり	-	-	あり	-	あり
SCI_REGS	SCIB_BASE	0x0000_7210	あり	-	-	あり	-	あり
I2C_REGS	I2CA_BASE	0x0000_7300	あり	-	-	あり	-	あり

表 7-6. ペリフェラル・レジスタのメモリ・マップ (続き)

構造	DriverLib 名	ベース アドレス	CPU1	CPU1.D MA	CPU1.C LA1	CPU2	CPU2.D MA	パイプライン保護
I2C_REGS	I2CB_BASE	0x0000_7340	あり	-	-	あり	-	あり
ペリフェラル・フレーム 10 (PF10)								
CLB_LOGIC_CONFIG_REGS	CLB1_LOGICCFG_BASE	0x0000_2000	あり	-	あり	あり	-	あり
CLB_LOGIC_CONTROL_REGS	CLB1_LOGICCTRL_BASE	0x0000_2100	あり	-	あり	あり	-	あり
CLB_DATA_EXCHANGE_REGS	CLB1_DATAEXCH_BASE	0x0000_2180	あり	-	あり	あり	-	あり
CLB_LOGIC_CONFIG_REGS	CLB2_LOGICCFG_BASE	0x0000_2200	あり	-	あり	あり	-	あり
CLB_LOGIC_CONTROL_REGS	CLB2_LOGICCTRL_BASE	0x0000_2300	あり	-	あり	あり	-	あり
CLB_DATA_EXCHANGE_REGS	CLB2_DATAEXCH_BASE	0x0000_2380	あり	-	あり	あり	-	あり
CLB_LOGIC_CONFIG_REGS	CLB3_LOGICCFG_BASE	0x0000_2400	あり	-	あり	あり	-	あり
CLB_LOGIC_CONTROL_REGS	CLB3_LOGICCTRL_BASE	0x0000_2500	あり	-	あり	あり	-	あり
CLB_DATA_EXCHANGE_REGS	CLB3_DATAEXCH_BASE	0x0000_2580	あり	-	あり	あり	-	あり
CLB_LOGIC_CONFIG_REGS	CLB4_LOGICCFG_BASE	0x0000_2600	あり	-	あり	あり	-	あり
CLB_LOGIC_CONTROL_REGS	CLB4_LOGICCTRL_BASE	0x0000_2700	あり	-	あり	あり	-	あり
CLB_DATA_EXCHANGE_REGS	CLB4_DATAEXCH_BASE	0x0000_2780	あり	-	あり	あり	-	あり
CLB_LOGIC_CONFIG_REGS	CLB5_LOGICCFG_BASE	0x0000_2800	あり	-	あり	あり	-	あり
CLB_LOGIC_CONTROL_REGS	CLB5_LOGICCTRL_BASE	0x0000_2900	あり	-	あり	あり	-	あり
CLB_DATA_EXCHANGE_REGS	CLB5_DATAEXCH_BASE	0x0000_2980	あり	-	あり	あり	-	あり
CLB_LOGIC_CONFIG_REGS	CLB6_LOGICCFG_BASE	0x0000_2A00	あり	-	あり	あり	-	あり
CLB_LOGIC_CONTROL_REGS	CLB6_LOGICCTRL_BASE	0x0000_2B00	あり	-	あり	あり	-	あり
CLB_DATA_EXCHANGE_REGS	CLB6_DATAEXCH_BASE	0x0000_2B80	あり	-	あり	あり	-	あり
ペリフェラル・フレーム 11 (PF11)								
USB_REGS	USBA_BASE	0x0004_0000	あり	あり	-	あり	あり	あり
AES_REGS	AESA_BASE	0x0004_2000	あり	あり	-	あり	あり	あり
AES_SS_REGS	AESA_SS_BASE	0x0004_2C00	あり	あり	-	あり	あり	あり
UART_REGS、 UART_REGS_WRITE	UARTA_BASE、UARTAWRITE_BASE	0x0006_A000	あり	あり	-	あり	あり	あり
UART_REGS、 UART_REGS_WRITE	UARTB_BASE、UARTBWRITE_BASE	0x0006_A800	あり	あり	-	あり	あり	あり
ペリフェラル・フレーム 12 (PF12)								
CPU1_LFU_REGS、 CPU2_LFU_REGS	CPU1LFU_BASE、CPU2LFU_BASE	0x0000_7FE0	あり	-	あり	あり	-	あり

7.3.6 メモリタイプ

7.3.6.1 専用 RAM (Mx および Dx RAM)

CPU サブシステムには、ECC 対応の専用 RAM ブロックがあります。M0、M1、Dx。M0/M1 メモリは、CPU と緊密に結合された小型の非セキュア ブロックです (つまり、CPU のみがアクセスできます)。Dx メモリはセキュア ブロックであり、アクセス保護機能も備えています (CPU 書き込み / CPU フェッチ保護)。D2-D5 メモリブロックは、いずれかの CPU にマッピング可能です。CPU1 にマッピングされている場合、CPU2 から D2-D5 メモリにアクセスできません。逆に、D2-D5 メモリが CPU2 にマッピングされている場合、CPU1 はこれらのメモリブロックにアクセスできません。

7.3.6.2 ローカル共有 RAM (LSx RAM)

各サブシステム専用の RAM ブロックは、その CPU および CLA からのみアクセスでき、ローカル共有 RAM (LSx RAM) と呼ばれます。

すべての LSx RAM ブロックに ECC があります。これらのメモリはセキュアであり、アクセス保護 (CPU 書き込み / CPU フェッチ) 機能を備えています。

デフォルトでは、これらのメモリは CPU 専用であり、ユーザーは、LSxMSEL レジスタの MSEL_LSx ビット フィールドを適切に構成すれば、これらのメモリを CLA と共有することを選択できます。

表 7-7 に、LSx RAM のイニシエータ アクセスを示します。

**表 7-7. LSx RAM へのイニシエータ アクセス
(他のアクセス保護はすべてディセーブルと想定)**

MSEL_LSx1	CLAPGM_LSx	CPU が許可されたアクセス	CLA が許可されたアクセス	備考
00	X	すべて	-	LSx メモリは、CPU 専用 RAM として構成されています。
01	0	すべて	データ読み取り データ書き込み	LSx メモリは、CPU と CLA1 の間で共有されます。
01	1	エミュレーション読み取り エミュレーション書き込み	フェッチのみ	LSx メモリは CLA1 のプログラム メモリです。

1. MSEL_LS8 と MSEL_LS9 には、対応する CLAPGM_LSx ビットはありません。MSEL_LS8 または MSEL_LS9 ビットが「1」なら、これらのメモリブロックは CLA プログラム メモリにのみ割り当てられます

7.3.6.3 グローバル共有 RAM (GSx RAM)

CPU と DMA の両方からアクセス可能な RAM ブロックは、グローバル共有 RAM (GSx RAM) と呼ばれます。各共有 RAM ブロックは、GSxMSEL レジスタのビットの構成に基づいて、いずれかの CPU サブシステムが所有できます。

すべての GSx RAM ブロックにパリティがあります。

一方の CPU サブシステムが GSx RAM を所有する場合、その CPUx と CPUx.DMA はその RAM ブロックへのフル アクセス権を持ち、他の CPUy と CPUy.DMA は読み取りアクセス権のみを持ちます (フェッチ / 書き込みのアクセス権はありません)。

表 7-8 に、GSx RAM へのイニシエータ アクセスを示します。

**表 7-8. GSx RAM へのイニシエータ アクセス
(他のアクセス保護はすべてディセーブルと想定)**

GSxMSEL	CPU	命令フェッチ	読み取り	書き込み	CPUx.DMA 読み取り	CPUx.DMA 書き込み
0	CPU1	あり	あり	あり	あり	あり
	CPU2	-	あり	-	あり	-
1	CPU1	-	あり	-	あり	-
	CPU2	あり	あり	あり	あり	あり

GSx RAM は、アクセス保護機能 (CPU 書き込み / CPU フェッチ / DMA 書き込み) を備えています。

7.3.6.4 CPU メッセージ RAM (CPU MSGRAM)

これらの RAM ブロックを使用して、CPU1 と CPU2 の間でデータを共有できます。これらの RAM は、プロセッサ間通信に使用されるため、IPC RAM とも呼ばれます。CPU MSRAM には、CPU サブシステムからの CPU/DMA 読み取り / 書き込みアクセスと、他のサブシステムからの CPU/DMA 読み取り専用アクセスがあります。

この RAM にはパリティがあります。

7.3.6.5 CLA メッセージ RAM (CLA MSGRAM)

これらの RAM ブロックを使用して、CPU と CLA の間でデータを共有できます。CLA には、CLA-to-CPU MSGRAM に対する読み取り / 書き込みアクセス権があります。CPU には、CPU-to-CLA MSGRAM に対する読み取り / 書き込みアクセス権があります。CPU および CLA は、いずれも両方の MSGRAM に対する読み取りアクセス権を持ちます。この RAM にはパリティがあります。

7.3.6.6 CLA-DMA メッセージ RAM (CLA-DMA MSGRAM)

これらの RAM ブロックを使用して、DMA と CLA の間でデータを共有できます。CLA には、CLA-to-DMA MSGRAM に対する読み取り / 書き込みアクセス権があります。DMA には、DMA-to-CLA MSGRAM に対する読み取り / 書き込みアクセス権があります。DMA および CLA は、いずれも両方の MSGRAM に対する読み取りアクセス権を持ちます。この RAM にはパリティがあります。

7.4 識別

表 7-9 に、デバイス識別レジスタを示します。これらのデバイス識別レジスタの詳細については、『[TMS320F28P65x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル](#)』を参照してください。生産ステータス (TMX または TMS) の識別およびその他のデバイス情報については、PARTIDH および PARTIDL のレジスタの説明を参照してください。

表 7-9. デバイス識別レジスタ

名称	アドレス	SIZE (x16)	説明
PARTIDH	0x0005 D00A	2	デバイスの製品識別番号
			TMS320F28P650DK9 0x08FF 0800
			TMS320F28P650DK7 0x08FE 0800
			TMS320F28P650DK8 0x08FD 0800
			TMS320F28P659DK8 0x08FD 0800
			TMS320F28P650SK7 0x08FC 0800
			TMS320F28P650DK6 0x08FB 0800
			TMS320F28P650SK6 0x08FA 0800
			TMS320F28P659DH8 0x08F9 0800
			TMS320F28P650SH6 0x08F8 0800
			TMS320F28P659SH6 0x08F8 0800
			TMS320F28P650DH6 0x08F7 0800
			TMS320F28P650SH7 0x08F6 0800
REVID	0x0005 D00C	2	シリコンのリビジョン番号
			リビジョン 0 0x0000 0001
			リビジョン A 0x0000 0002
UID_UNIQUE	0x0007 2168	4	固有の識別番号。この番号は、同じ PARTIDH を持つデバイスの中でそれぞれ異なっています。この固有の番号は、アプリケーションでシリアル番号として使用できます。この番号は TMS デバイスにのみ存在します。

7.5 バス アーキテクチャ – ペリフェラル コネクティビティ

「C28x バス コントローラ ペリフェラル アクセス」の表には、C28x の各バス コントローラからペリフェラルおよび構成レジスタへのアクセス性の概要が示されています。ペリフェラルは、個別に CPU1 または CPU2 サブシステムに割り当てることができます (たとえば、ePWM を CPU1 に、eQEP を CPU2 に割り当てることができます)。

表 7-10. C28x バス コントローラ ペリフェラル アクセス

ペリフェラル (バス アクセス タイプ別)	CPU1.DMA	CPU1.CLA1	CPU1	CPU2	CPU2.DMA
CPU1 または CPU2 に割り当て可能で、セカンダリ コントローラを持つペリフェラル					
ペリフェラル フレーム 1: - ePWM - SDFM - eCAP - eQEP - CMPSS - DAC - HRPWM	Y	Y	Y	Y	Y
ペリフェラル フレーム 2: - SPI - FSI - PMBus	Y	Y	Y	Y	Y
CPU1 または CPU2 サブシステムに割り当て可能なペリフェラル					
SCI			Y	Y	
I2C			Y	Y	
DCAN	Y		Y	Y	Y
CAN-FD			Y	Y	
ADC の構成		Y	Y	Y	
EMIF1	Y		Y	Y	Y
EPG	Y		Y	Y	Y
USB	Y		Y	Y	Y
UART	Y		Y	Y	Y
EtherCAT	Y		Y	Y	Y
DCC			Y	Y	
ペリフェラルには CPU1 からのみアクセス可能					
ペリフェラル リセット、ペリフェラル CPU 選択			Y		
GPIO ピンのマッピングおよび構成			Y		
アナログ システム制御			Y		
リセット構成			Y		
セマフォにより一度に 1 つの CPU からしかアクセスできないもの					
クロックおよび PLL 構成			Y	Y	
各 CPU および CLA に独自のレジスタ コピーを持つペリフェラルおよびレジスタ					
システム構成 (WD、NMIWD、LPM、ペリフェラル クロック ゲーティング)			Y	Y	
フラッシュ構成			Y	Y	

表 7-10. C28x バス コントローラ ペリフェラル アクセス (続き)

ペリフェラル (バス アクセス タイプ別)	CPU1.DMA	CPU1.CLA1	CPU1	CPU2	CPU2.DMA
CPU タイマ			Y	Y	
DMA および CLA トリガ ソース選択			Y	Y	
ERAD			Y	Y	
GPIO データ		Y	Y	Y	
ADC 変換結果	Y	Y	Y	Y	Y

7.6 ブート ROM

リセットのたびにデバイスは、リセットの種類とブート構成に応じて、ROM 内のブートシーケンスを実行します。このシーケンスは、アプリケーションコードを実行するためにデバイスを初期化します。またブート ROM には、CPU のためにアプリケーションを RAM にロードする際に使用するペリフェラル ブートローダも含まれています。これらのブートローダは、安全性またはセキュリティのために無効化できます。

表 7-11 に、C28x CPU で利用可能なブート機能を示します。加えて表 7-12 では、デバイス上のさまざまな ROM のサイズを確認できます。

表 7-11. ブート システムの概要

ブート機能	CPU
初期ブート プロセス	デバイスリセット。
ブート モードの選択	GPIO
サポートされたブート モード	フラッシュブート セキュア フラッシュブート RAM ブート FWU ブート 待機ブート
サポートされるペリフェラル ブート ローダ	パラレル IO SCI/待機 CAN CANFD I2C SPI

表 7-12. ROM メモリ

ROM	CPU サイズ
セキュア、および非セキュアなブート ROM	64KB

7.6.1 デバイス ブート

このセクションでは、CPU コアがリセットされたときの一般的なブート ROM の手順について説明します。CPU1 は常に最初にブートします。CPU1 がアプリケーションをブートすると、CPU1 のユーザー アプリケーションコードは CPU2 を構成し、CPU2 をリセットから解放してブートできるようになります。表 7-13 および表 7-14 に、各コアの一般的なブートアップ手順を示します。

ブート中に、各 CPU のブート ROM コードは、RAM 内のブートステータスロケーションを更新し、このプロセス中に実行されたアクションの詳細を示します。さらに、CPU2 はブートステータスを CPU2TOCPU1PCBOOTSTS レジスタに書き込み、そのステータスを CPU1 に伝えます。

詳細については、『[TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「ブートステータス情報」のセクションを参照してください。

表 7-13. CPU1 のブート ROM の手順

ステップ	CPU1 ACTION
1	デバイスの C28x CPU と M0/M1 RAM の構成を初期化します
2	スタック アドレッシング モードを使用するようにデバイスを初期化し、DP を下位 64k に初期化し、オーバーフロー モード ビットをクリアします
3	トリムが OTP からロードされ、デバイス構成レジスタがプログラムされます
4	POR では、すべての CPU RAM (GSxRAM を含む) が初期化されます。2KB RAM が初期化されると、ブートが続行されます
5	マスク不可能割り込み (NMI) 処理を有効化し、DCSM を初期します。
6	有効にすると、MPOST POR メモリ テストが実行されます。MPOST の実行後に、元のクロック周波数は復元されません
7	ボンディングされていない IO においてプルアップをイネーブル
8	デバイスのキャリブレーションを実行し、アナログトリムを設定します。その後、リセットが処理され、初期化完了のために RAM がチェックされます
9	ブート モード GPIO ピンをポーリングして、実行するブート モードを決定。ブート モード / 構成に基づいてブート ロードを実行。ブート シーケンスのフローチャートについては、『 TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル 』のブート フロー図を参照してください
10	アプリケーションがロードされた後、アプリケーションを実行する前に、ウォッチドッグがイネーブルになります

表 7-14. CPU2 のブート ROM の手順

ステップ	CPU1 ACTION
1	CPU2 は、CPU1 のアプリケーションによってリセットから解除します
2	CPU1TOCPU2IPCFLG0 を設定したら、CPU1TOCPU2IPCBOOTMODE レジスタを読み取ります。正しく設定されていない場合、または無効な値がある場合、IPC は CPU1 に送信され、CPU2 は永久に待機します。ユーザーは CPU2 をリセットし、有効な値を設定する必要があります
3	フラッシュは電源をオンにし、電源が完了するまで待機します
4	POR では、すべての CPU2 RAM (GSxRAM を除く) が初期化されます (これらは 2 つの初期化グループに分割されます)
5	NMI はイネーブです
6	デバイスを初期化して、ロックステップを設定します (イネーブルではありません)。これは、デバイス内の初期化されていないフロップを初期化するためです
7	リセットが処理されます
8	CPU2 CPU1TOCPU2IPCBOOTMODE レジスタの値を使用して、「コマンド待機」モードが指定されている場合、待機ループに入り、CPU1 C28x がブート モードを更新し、IPCFLG0 を設定するまで待機します。ブート モードが指定されている場合、ブート ROM はウォッチドッグをイネーブルにし、指定されたブート モード位置からブートします
9	IPCFLG0 が「コマンド待機」モードに設定されている場合、ウォッチドッグがイネーブルになり、ブート ROM が CPU1TOCPU2IPCBOOTMODE で指定されたブート モードを実行します

7.6.2 デバイス ブート モード

このセクションでは、デフォルトのブート モードと、このデバイスでサポートされているすべてのブート モードについて説明します。ブート ROM は、ブート モード選択、汎用入出力 (GPIO) ピンを使用して、ブート モードの構成を判断します。

表 7-15 に、デフォルトのブート モード選択ピンで選択可能なブート モード オプションを示します。ブートアップ テーブルで選択可能なブート モードと、使用するブート モード選択ピン GPIO をカスタマイズできるようにデバイスをプログラムすることができます。

サポートされているすべてのペリフェラル ブート モードは、ペリフェラル モジュールの最初のインスタンス (SCIA, SPIA, I2CA, CANA など) を使用します。この章でこれらのブート モードに言及する場合は、最初のモジュール インスタンスを指しています。たとえば SCI ブートと言え、SCIA ポートでの SCI ブートを意味します。他のペリフェラル ブートについても同様です。

ブート ROM の実行からフラッシュ内の最初の命令をフェッチするまでの時間である $t_{boot-flash}$ については、「リセット XRSn のスイッチング特性」セクションと「パワーオン リセット」の図を参照してください。

表 7-15. デバイスのデフォルト ブート モード

ブート モード	GPIO72 (デフォルト ブート モード選択ピン 1)	GPIO84 (デフォルト ブート モード選択ピン 0)
パラレル IO	0	0
SCI / ウェイト ブート ⁽¹⁾	0	1
CAN	1	0
フラッシュ / USB ⁽²⁾	1	1

- (1) SCI オートポーロック プロセス中に SCI が「A」または「a」を待機し続ける限り、SCI ブート モードが待機ブート モードとして使用されます。
(2) プログラムされていないデバイスでは、デフォルトのフラッシュ エントリ アドレスがプログラムされていないときにフラッシュ ブートを選択すると、ブート モードがフラッシュ ブートから USB ブートに切り替わります。詳細については、表 7-16 を参照してください。

表 7-16. CPU1 のフラッシュから USB へのブート決定表

フラッシュ エントリ ポイント アドレスの値	値の理由	選択されるブート モード
0x00000000	フラッシュがロック / 保護されている	フラッシュからブート
0xFFFFFFFF	フラッシュがプログラムされていない	USB ブート
その他の値	フラッシュがプログラムされている	フラッシュからブート

注

サポートされているすべてのペリフェラル ブート モードは、ペリフェラル モジュールの最初のインスタンス (SCIA, SPIA, I2CA, CANA など) を使用します。これらのブート モードについて、この章で言及する場合、そのモードが実際に最初のモジュール インスタンスであること指しています。たとえば SCI ブートと言え、SCIA ポートでの SCI ブートを意味します。これは、他のペリフェラル ブート モードについても同様です。

7.6.3 デバイス ブートの構成

このセクションでは、利用可能なブート構成とその構成方法について詳しく説明します。このデバイスでは、0～3 本のブートモード選択ピンと、1～8 個のブートモードの構成がサポートされています。

デバイスをデフォルト設定からアプリケーションのカスタム設定に変更および構成するには、次のプロセスを使用します。

1. アプリケーションをブートできるようにするさまざまな方法をすべて決定します(たとえば、メイン アプリケーション用のフラッシュ ブートのプライマリ ブート オプション、ファームウェア更新用の CAN ブートのセカンダリ ブート オプション、デバッグ用の SCI ブートの 3 番目のブート オプションなどです)。
2. 必要なブートモードの数に基づいて、ブートモードの選択に必要なブートモード選択ピン (BMSP) の数を決定します。(たとえば、3 つのブートモード オプションから選択するには、2 つの BMSP が必要です)。
3. 必要な BMSP を物理的な GPIO ピンに割り当てます。(たとえば、BMSP0 を GPIO10 に、BMSP1 を GPIO51 に、BMSP2 をデフォルト (ディセーブル) のままにするなど)。これらの構成を実行する方法の詳細については、『[TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「ブートモードピンの構成」セクションを参照してください。
4. 決定したブートモード定義を、BMSP のデコードされた値に相関付けるカスタム ブート テーブルのインデックスに割り当てます。たとえば、BOOTDEF0 = フラッシュからブート、BOOTDEF1 = CAN ブート、BOOTDEF2 = SCI ブートに割り当て、その他のすべての BOOTDEFx はデフォルト / なしのままにします。カスタム ブートモード表の設定と構成の詳細については、『[TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「ブートモード表オプションの構成」を参照してください。

また、『[TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「ブートモードの使用例」セクションに、BMSP およびカスタム ブート テーブルの構成方法に関する使用例がいくつか記載されています。

注

CAN ブートモードは、XTAL をオンにします。CAN ブートモードを使用する前に、アプリケーションに XTAL がインストールされていることを確認してください。

7.6.4 GPIO の割り当て

このセクションでは、BOOT_DEF メモリの領域 Z1-OTP-BOOTDEF-LOW / Z2-OTP-BOOTDEF-LOW および Z1-OTP-BOOTDEF-HIGH / Z2-OTP-BOOTDEF-HIGH でのブート モードの設定に使用される GPIO とブート オプションの値について詳細に説明します。BOOT_DEFx の構成方法については、『[TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「ブート モード表オプションの構成」セクションを参照してください。ブート モード オプションを選択するときは、使用する特定のデバイス パッケージのピン マルチプレクサ オプションで、必要なピンが利用可能であることを確認します。

デフォルトのブート モード GPIO ピン:

- ブート モード ピン 0 - GPIO84
- ブート モード ピン 1 - GPIO72

ブートピン選択のガイドライン:

- PWM 機能を持つピンは避けてください。
- アナログまたは USB ピンにすることはできません。
- ブート モード選択ピンとデフォルトのブート ペリフェラル ピンは、すべてのパッケージで使用できます。
- JTAG エミュレーション ピンと水晶振動子ピンは避けてください。
- ブート モード選択ピンは入力にすることができます。
- ピンに PHY ブートストラップ機能を持たせることはできません。

表 7-17. SCI ブート オプション

オプション	BOOTDEF 値	SCITXDA GPIO	SCIRXDA GPIO	サポート対象のパッケージ
0 (デフォルト)	0x01	GPIO12	GPIO13	すべて
1	0x21	GPIO84	GPIO85	すべて
2	0x41	GPIO36	GPIO35	176-QFP、169-BGA、256-BGA
3	0x61	GPIO42	GPIO43	すべて
4	0x81	GPIO65	GPIO64	すべて
5	0xA1	GPIO29	GPIO28	176-QFP、169-BGA、256-BGA
6	0xC1	GPIO8	GPIO9	176-QFP、169-BGA、256-BGA

表 7-18. CAN ブート オプション

オプション	BOOTDEF 値	CANTXA GPIO	CANRXA GPIO	サポート対象のパッケージ
0 (デフォルト)	0x02	GPIO59	GPIO58	すべて
1	0x22	GPIO4	GPIO5	176-QFP、169-BGA、256-BGA
3	0x42	GPIO19	GPIO18	176-QFP、169-BGA、256-BGA
4	0x62	GPIO37	GPIO36	176-QFP、169-BGA、256-BGA
5	0x82	GPIO63	GPIO62	すべて

表 7-19. CAN FD ブート オプション

オプション	BOOTDEF 値	MCAN TX	MCAN RX	サポート対象のパッケージ
0	0x08	GPIO4	GPIO10	すべて
1	0x18	GPIO8	GPIO10	176-QFP、169-BGA、256-BGA
2	0x28	GPIO19	GPIO18	176-QFP、169-BGA、256-BGA

表 7-19. CAN FD ブート オプション (続き)

オプション	BOOTDEF 値	MCAN TX	MCAN RX	サポート対象のパッケージ
3	0x38	GPIO4	GPIO5	176-QFP、169-BGA、256-BGA
4	0x48	GPIO74	GPIO75	176-QFP、169-BGA、256-BGA

表 7-20. USB ブート オプション

オプション	ブート モード値	USB0 DM	USB0 DP	サポート対象のパッケージ
0 (デフォルト)	0x09	GPIO42	GPIO43	すべて

表 7-21. I2C ブート オプション

オプション	BOOTDEF 値	SDAA GPIO	SCLA GPIO	サポート対象のパッケージ
0	0x07	GPIO0	GPIO1	すべて
1	0x27	GPIO42	GPIO43	すべて
2	0x47	GPIO91	GPIO92	すべて
3	0x67	GPIO104	GPIO105	176-QFP、169-BGA、256-BGA

表 7-22. SPI ブート オプション

オプション	BOOTDEF 値	SPIPCOA	SPIOCIA	SPICLKA	SPIPTA	サポート対象のパッケージ
0	0x06	GPIO58	GPIO59	GPIO34	GPIO35	すべて
1	0x26	GPIO198	GPIO203	GPIO204	GPIO205	176-QFP、169-BGA、256-BGA
2	0x46	GPIO16	GPIO17	GPIO18	GPIO19	176-QFP、169-BGA、256-BGA
3	0x66	GPIO54	GPIO55	GPIO56	GPIO57	176-QFP、169-BGA、256-BGA

表 7-23. パラレル ブート オプション

オプション	BOOTDEF 値	D0～D7 GPIO	C28x (DSP) 制御 GPIO	ホスト制御 GPIO	サポート対象のパッケージ
0 (デフォルト)	0x00	D0～GPIO0 D1～GPIO1 D2～GPIO2 D3～GPIO3 D4～GPIO4 D5～GPIO5 D6～GPIO6 D7～GPIO7	GPIO10	GPIO11	すべて
1	0x20	D0～GPIO89 D1～GPIO90 D2～GPIO58 D3～GPIO59 D4～GPIO60 D5～GPIO61 D6～GPIO62 D7～GPIO88	GPIO91	GPIO92	176-QFP、256-BGA

7.7 セキュリティ

セキュリティ機能は、デュアル コード セキュリティ モジュール (DCSM) によって実装されます。第一の防御層はチップの境界を保護することであり、これは常に有効にしておく必要があります。それに加えて、デュアル ゾーン セキュリティ機能をコード分割のサポートに利用できます。

7.7.1 チップの境界の保護

次の 2 つの機能をファームウェア アップデート コードの認証と組み合わせて使用すると、デバイス上で不正なコードが実行されるのを防止するのに役立ちます。

7.7.1.1 JTAGLOCK

USER OTP で JTAGLOCK 機能をイネーブルにすると、デバイス上のリソースへの JTAG アクセス (デバッグ プローブなど) がディセーブルになります。

7.7.1.2 ゼロピン ブート

USER OTP ブロックでゼロピン ブート オプションをフラッシュ ブートと組み合わせてイネーブルにすると、ピンベースの外部ブートローダー オプション (SCI、CAN、Parallel など) がすべてブロックされます。

7.7.2 デュアル ゾーン セキュリティ

デュアル ゾーン セキュリティ メカニズムは、ゾーン 1 (Z1) とゾーン 2 (Z2) の 2 つのゾーンを保護します。両方のゾーンに対するセキュリティの実装は同一です。各ゾーンには、専用のセキュア・リソース (OTP メモリおよびセキュア ROM) と、割り当てられたセキュア・リソース (LSx RAM、フラッシュ・セクタ) があります。

7.7.3 免責事項

Code Security Module Disclaimer

このデバイスに搭載されているコード・セキュリティ・モジュール (CSM) は、関連メモリに保存されているデータをパスワードで保護するように設計されています。テキサス・インスツルメンツは、このデバイスに適用される保証期間において、標準契約条件に従って、この CSM がテキサス・インスツルメンツの発行した仕様書に準拠していることを保証します。

ただし、テキサス・インスツルメンツは、CSM で情報漏洩もしくは侵害が発生しないこと、または関連メモリに格納されているデータに他の手段でアクセスできないことを保証もしくは表明するものではありません。さらに、前述の規定を除き、テキサス・インスツルメンツは、商品性または特定目的への適合性に関する黙示の保証を含めて、CSM について、またはこのデバイスの動作について、保証または表明を行うものではありません。

いかなる場合においても、テキサス・インスツルメンツは、CSM またはこのデバイスの何らかの方法での使用に関連または起因して発生した、特別、間接的、偶発的、懲罰的な損害について、テキサス・インスツルメンツがこれらの損害の可能性について通知されていたかどうかにかかわらず、一切責任を負わないものとします。除外される損害には、データの消失、営業上の信用喪失、使用不能の損失、または業務の中断、その他の経済的損失が含まれますが、これらに限定されません。

7.8 AES (Advanced Encryption Standard) アクセラレータ

AES モジュールは、バイナリ キーをベースとして、ハードウェア アクセラレーションによるデータの暗号化および復号化処理を提供します。AES は、暗号化と復号化についてハードウェアで 128、192、または 256 ビット キーをサポートする対称暗号化モジュールです。AES モジュールは対称アルゴリズムをベースにしているため、暗号化と復号化のキーは同一となります。データの暗号化は、プレーン テキストから暗号化テキストと呼ばれる判読できない形式に変換することを意味します。暗号化テキストの復号では、暗号化されたデータが元のプレーン テキスト形式に変換されます。AES アクセラレータの主な特長を以下で説明します。

基本的な AES 暗号化および復号化操作は、以下の方法でサポートされています。

- 基本的な GHASH 演算によるガロア カウンタ モード (GCM)
- CBC-MAC によるカウンタ モード (CCM)
- XTS モード

以下のフィードバック演算モードが利用可能です。

- 電子コード ブック モード (ECB)
- 暗号ブロック チェーン モード (CBC)
- カウンタ モード (CTR)
- 暗号フィードバック モード (CFB)、128 ビット
- F8 モード
- キーのサイズ: 128、192、および 256 ビット
- CBC_MAC および Fedora 9 (F9) 認証モードのサポート
- 基本的な GHASH 演算 (暗号化なしを選択した場合)
- ハードウェア内でのキー スケジューリング
- μ DMA 転送のサポート
- 完全な同期式设计

図 7-2 に、AES のブロック図を示します。

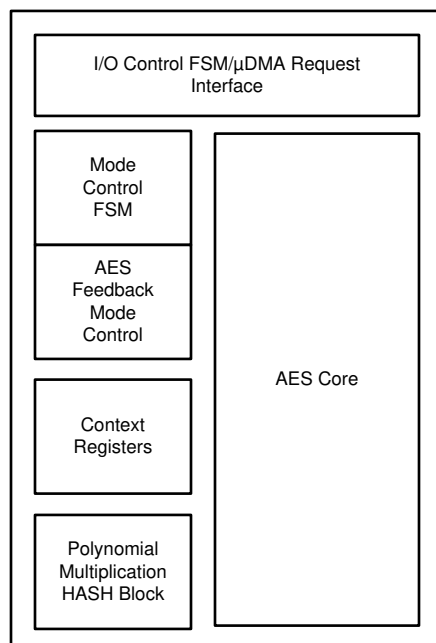


図 7-2. AES のブロック図

AES アクセラレータの詳細については、『[TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「Advance Encryption Standard Accelerator (AES)」の章を参照してください。

7.9 C28x (CPU1/CPU2) サブシステム

7.9.1 C28x プロセッサ

この CPU は 32 ビット固定小数点プロセッサです。このデバイスは、デジタル信号処理、RISC (Reduced Instruction Set Computing)、マイクロコントローラ アーキテクチャ、ファームウェア、ツール セットの機能を最大限に活用しています。

CPU の特長として、改良型ハーバード アーキテクチャおよびサーキュラー アドレッシングがあります。RISC の特長は、シングルスサイクルの命令実行、レジスタ間の演算、改良型ハーバード アーキテクチャです。マイクロコントローラの特長としては、直感的な命令セット、バイトのパッキングとアンパッキング、ビット操作などによる使いやすさがあります。改良型ハーバード アーキテクチャの CPU は、命令とデータのフェッチを並列に実行できます。CPU は、データを書き込んでいる間に、命令とデータを同時に読み取ることができ、パイプライン全体でシングルスサイクル命令実行の動作を維持できます。CPU は、6 つの独立したアドレス / データ バスを使用してこの処理を行います。

CPU アーキテクチャおよび命令セットの詳細については、『[TMS320C28x CPU および命令セット リファレンス ガイド](#)』を参照してください。

7.9.1.1 浮動小数点演算ユニット (FPU)

C28x + 浮動小数点 (C28x+FPU) プロセッサでは、レジスタと命令を追加して C28x 固定小数点 CPU の機能を拡張することにより、IEEE 単精度浮動小数点の演算をサポートしています。

C28x+FPU を搭載したデバイスは、標準の C28x レジスタ・セットに加えて、追加の浮動小数点ユニット・レジスタ・セットを備えています。追加の浮動小数点ユニット・レジスタは以下のとおりです。

- 8 つの浮動小数点結果レジスタ RnH (n = 0~7)
- 浮動小数点ステータス・レジスタ (STF)
- リピート・ブロック・レジスタ (RB)

リピート・ブロック・レジスタを除くすべての浮動小数点レジスタにシャドウイングが行われます。このシャドウイングは、優先度の高い割り込みで使用して、浮動小数点レジスタのコンテキスト保存と復元を高速化できます。

C28x 浮動小数点ユニット (FPU) の詳細については、『[TMS320C28x 拡張命令セット・テクニカル・リファレンス・マニュアル](#)』を参照してください。

7.9.1.2 高速整数除算ユニット

C28x CPU の高速整数除算 (FINTDIV) ユニットの、データ・タイプ・サイズ (16/16、32/16、32/32、64/32、64/64) の異なる 3 種類の整数除算 (切り捨て、モジュラス、ユークリッド) を符号なしまたは符号付き形式でサポートしています。

- 切り捨て整数除算は、C 言語 (/、% 演算子) でネイティブにサポートされています。
- モジュラス除算とユークリッド除算は、制御アルゴリズムでより効率的であり、C 組み込み関数でサポートされています。

3 種類の整数除算はいずれも、指数成分と剰余成分の両方を生成し、割り込み可能で、最小数の確定的サイクル数 (32/32 除算では 10 サイクル) で実行されます。さらに、C28x CPU の高速除算機能は、浮動小数点 32 ビット (5 サイクル) および 64 ビット (20 サイクル) 除算の高速実行を独自にサポートしています。

高速整数除算の詳細については、『[高速整数除算 - C2000™ 製品ファミリでの異なる方法](#)』アプリケーション・レポートを参照してください。

7.9.1.3 三角関数演算ユニット (TMU)

三角関数演算ユニット (TMU) は、C28x+FPU に命令を追加するとともに既存の FPU 命令を活用することで、その機能を拡張し、[表 7-24](#) に示すような、一般的な三角関数と算術演算の実行を高速化します。

表 7-24. TMU がサポートする命令

命令	C での等価演算	パイプラインのサイクル数
MPY2PIF32 RaH,RbH	$a = b * 2\pi$	2/3
DIV2PIF32 RaH,RbH	$a = b / 2\pi$	2/3
DIVF32 RaH,RbH,RcH	$a = b/c$	5
SQRTF32 RaH,RbH	$a = \sqrt{b}$	5

表 7-24. TMU がサポートする命令 (続き)

命令	C での等価演算	パイプラインのサイクル数
SINPUF32 RaH,RbH	$a = \sin(b \cdot 2\pi)$	4
COSPUF32 RaH,RbH	$a = \cos(b \cdot 2\pi)$	4
ATANPUF32 RaH,RbH	$a = \tan(b)/2\pi$	4
QUADF32 RaH,RbH,RcH,RdH	ATANPU2 の計算に役立つ演算	5

C2000 デジタル制御ライブラリの非線形比例積分微分制御 (NLPID) コンポーネントにおける、浮動小数点電力関数の演算をサポートするために、指数命令 **IEXP2F32** および対数命令 **LOG2F32** が追加されています。これら 2 つの追加命令により、電力関数の計算を、ライブラリにあるエミュレーションを使用した場合の標準的な 300 サイクルから、10 サイクル未満に低減できます。

既存の命令、パイプライン、メモリ バス アーキテクチャに変更は加えられていません。すべての TMU 命令は、既存の FPU レジスタセット (R0H~R7H) を使用して演算を実行します。

詳細については、『[TMS320C28x 拡張命令セット テクニカル リファレンス マニュアル](#)』を参照してください。

7.9.1.4 VCRC ユニット

巡回冗長検査 (CRC) アルゴリズムは、大規模なデータ ブロック、通信パケット、またはコード セクションでデータの整合性を検証するための明快な方法を提供します。C28x+VCRC は、8 ビット、16 ビット、24 ビット、32 ビットの CRC を実行できます。たとえば 10 バイトのブロック長の場合、VCRC は CRC 計算を 10 サイクルで完了します。CRC 結果レジスタには現在の CRC が収容されており、CRC 命令が実行されると値が更新されます。

以下が、VCRC の CRC 計算ロジックで使用する CRC 多項式です。

- CRC8 多項式 = 0x07
- CRC16 多項式 1 = 0x8005
- CRC16 多項式 2 = 0x1021
- CRC24 多項式 = 0x5d6dcb
- CRC32 多項式 1 = 0x04c11db7
- CRC32 多項式 2 = 0x1edc6f41

このモジュールでは、1 サイクルで 1 バイトのデータに対する CRC を計算できます。CRC8、CRC16、CRC24、CRC32 の CRC 計算は、(C28x コアが読み取る 16 ビットまたは 32 ビットのデータ全体を計算する代わりに) バイト単位で実行されるので、各種規格で要求されているバイト単位の計算要件にも適合します。

また、この VCRC ユニットでは、任意の多項式のサイズ (1 バイト~32 バイト) と値を指定して、カスタムの CRC 要件を満たすこともできます。カスタムの多項式を使用する場合には、CRC の実行時間が 3 サイクルに増加します。

巡回冗長検査 (VCRC) 命令セットの詳細については、『[TMS320C28x 拡張命令セット テクニカル リファレンス マニュアル](#)』を参照してください。

7.9.1.5 ロックステップ比較モジュール (LCM)

ランタイム中のハードウェア モジュールの整合性は、機能安全に関する重要な要件です。ロックステップ CPU アーキテクチャによって実装されたハードウェア冗長性 (2 つの CPU で同じ機能を実行して CPU の出力を継続的に比較) は、永続的な障害と過渡的な障害の両方について高い診断範囲を達成する実証済みの手法です。CPU からの出力を比較して永続的および過渡的な障害を検出するために、ロックステップ コンパレータ モジュール (LCM) が実装されています。

LCM の主な機能は次のとおりです。

- パイプライン方式のアーキテクチャ
- 冗長比較
- セルフ テスト機能
 - 一致 / 不一致テスト
 - エラー強制機能
- 時間的冗長性: クロックや電源の故障などの共通原因故障の問題に対処するために、2 つのモジュールの動作が 2 サイクルずつスキューされます。これにより、時間的冗長性が確保されます。
- 空間的冗長性: ロックステップ アーキテクチャでは、モジュール インスタンスが冗長的にインスタンス化され、その出力が比較されます。冗長的なインスタンス化により、空間的冗長性を実現します。
- 遅延なしの機能出力パスにより (時間的冗長性を維持しながら) システムで遅延なしの CPU 実行を実現。
- モジュールの重要なメモリ マップレジスタについてのパリティ方式を使用したレジスタ保護。

図 7-3 に、LCM のブロック図を示します。

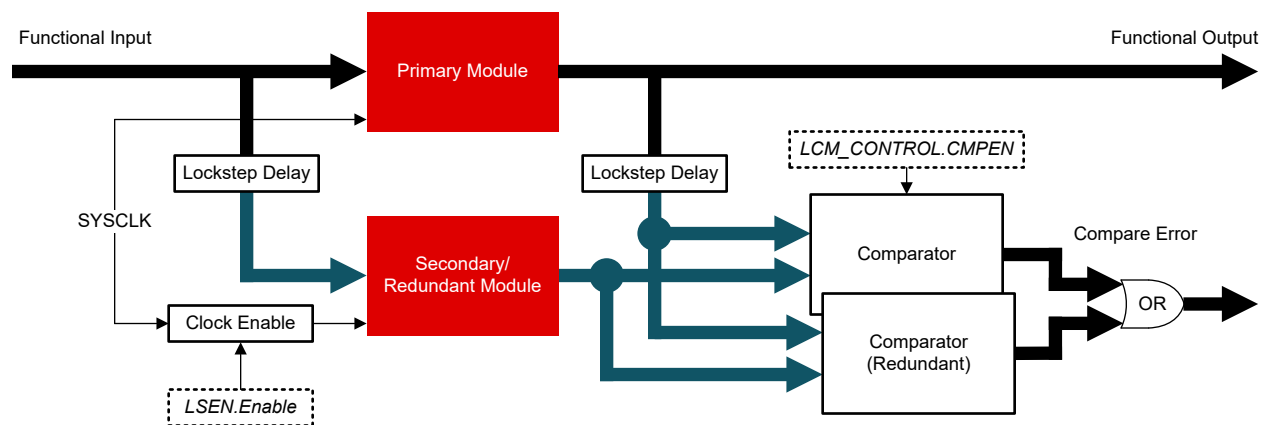


図 7-3. LCM のブロック図

注

このブロック図で示しているモジュールは、デバイスでどちらを使用できるかに応じて、CPU (CPU1 など) またはペリフェラル (DMA など) のどちらかになります。

7.9.2 制御補償器アクセラレータ (CLA)

CLA タイプ 2 は、独立した、完全にプログラマブルな 32 ビット浮動小数点演算プロセッサであり、C28x ファミリーで制御ループの同時実行を可能にします。CLA の割り込みレイテンシが短いため、ADC サンプルを「ジャスト イン タイム」で読み取ることができます。これにより、ADC サンプルから出力までの遅延が大幅に減少し、システム応答の高速化と高い MHz での制御ループを実現できます。CLA を使って時間に制約のある制御ループを処理することで、メイン CPU は、他のシステムタスク、たとえば通信や診断を自由に実行できます。

制御補償アクセラレータは、並列処理を追加することで C28x CPU の機能を拡張します。時間に制約のある制御ループを CLA で処理することにより、ADC のサンプリングから出力までの遅延を低減できます。したがって CLA を使用することで、より速いシステム応答とより高い周波数の制御ループを実現できます。時間に制約のあるタスクに CLA を利用すると、メイン CPU が解放され、その他のシステム機能と通信機能を同時に実行できます。

CLA の主な機能を以下に示します。

- CLA ソフトウェア開発には C コンパイラが利用可能
- メイン CPU と同じ速度のクロック (SYSCLKOUT) で動作
- 独立したアーキテクチャにより、メイン C28x CPU から独立して CLA アルゴリズムを実行
 - 充実したバス アーキテクチャ:
 - プログラム アドレス バス (PAB) とプログラム データ バス (PDB)
 - データ読み取りアドレス バス (DRAB)、データ読み取りデータ バス (DRDB)、データ書き込みアドレス バス (DWAB)、データ書き込みデータ バス (DWDB)
 - 独立した 8 段パイプライン。
 - 16 ビット プログラム カウンタ (MPC)
 - 4 つの 32 ビット結果レジスタ (MR0~MR3)
 - 2 つの 16 ビット補助レジスタ (MAR0、MAR1)
 - ステータス レジスタ (MSTF)
- 命令セットの内容:
 - IEEE 単精度 (32 ビット) 浮動小数点演算
 - 並列ロードまたはストア付き浮動小数点演算
 - 並列加減算付き浮動小数点乗算
 - $1/X$ と $1/\sqrt{X}$ の概算
 - データ タイプ変換
 - 条件付き分岐および呼び出し
 - データのロード / ストア操作
- CLA プログラム コードは、最大 8 つのタスクもしくは割り込みサービス ルーチン、または 7 つのタスクとメインのバックグラウンド タスクで構成できます。
 - 各タスクの開始アドレスは MVECT レジスタで指定されます。
 - 設定可能な CLA プログラム メモリ空間内にタスクが収まる限り、タスク サイズに制限はありません。
 - 一度に 1 つのタスクが最後まで処理されます。タスクのネスティングはありません。
 - タスクが完了すると、PIE 内でタスク固有の割り込みが生成されます。
 - 1 つのタスクが完了すると、次に優先度が高い保留タスクが自動的に開始されます。
 - タイプ 2 CLA では、バックグラウンドでメイン タスクを継続的に実行しながら、優先度の高い他のイベントによってフォアグラウンド タスクをトリガすることも可能です。
- タスクトリガ機構:
 - C28x CPU から IACK 命令による
 - タスク 1~タスク 8: CLA が第 2 位の所有権を持つ共有バスに接続されているペリフェラルから、最大 256 のトリガソースを使用可能。
 - タスク 8 は、バックグラウンド タスクに設定でき、タスク 1~7 はペリフェラルトリガに設定できます。
- メモリおよび共有ペリフェラル:
 - CLA とメイン CPU の間の通信のための 2 つの専用メッセージ RAM。

- C28x CPU は、CLA プログラムとデータ メモリをメイン CPU 空間または CLA 空間に割り当てることが可能。
- CLA と DMA の間の通信のための 2 つの専用メッセージ RAM

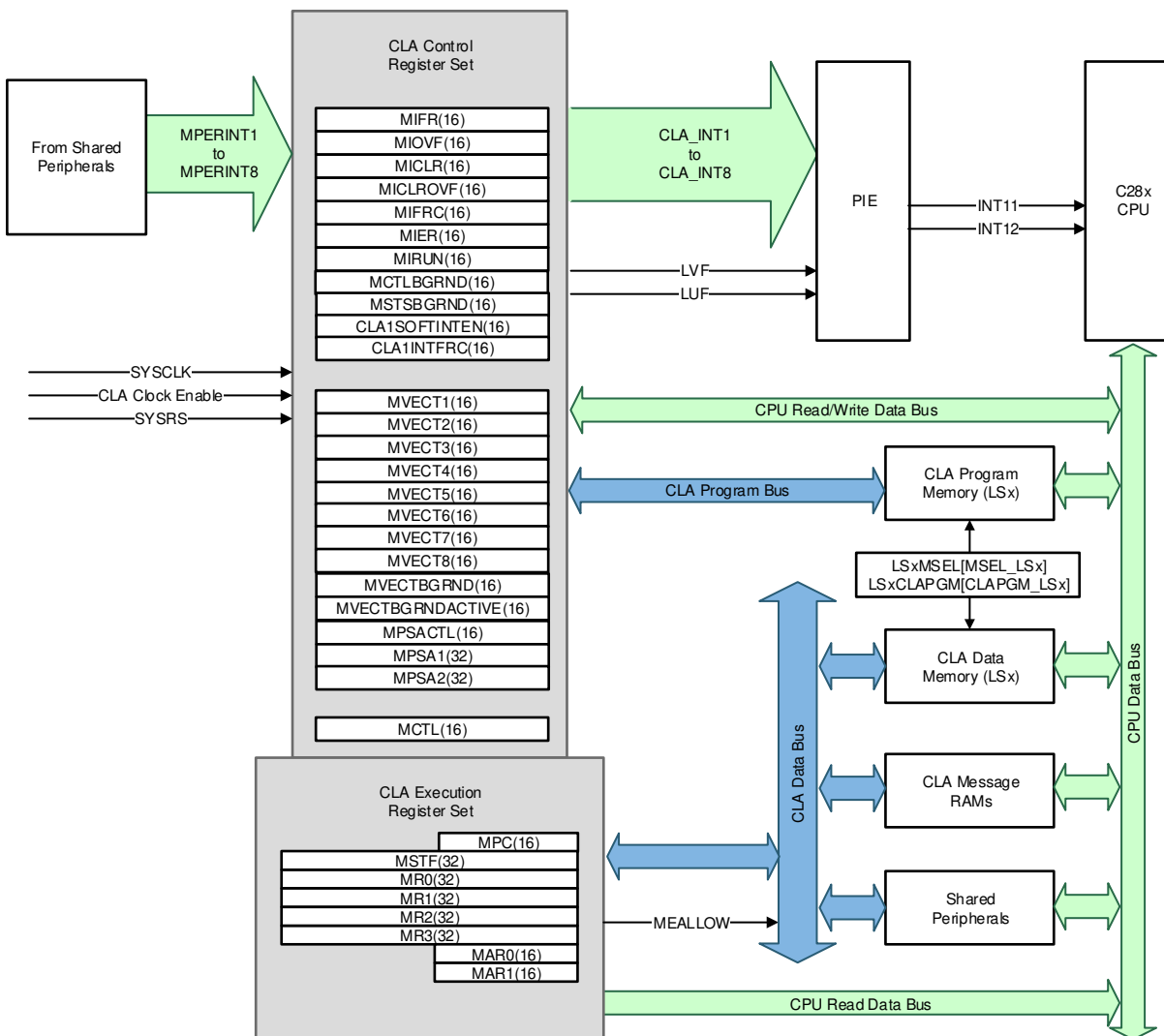


図 7-4. CLA のブロック図

7.9.3 組み込みのリアルタイム解析および診断 (ERAD)

ERAD モジュールは、デバイスのデバッグ機能とシステム分析機能を強化します。ERAD モジュールが提供するデバッグおよびシステム分析の拡張は、CPU の外部で行われます。ERAD モジュールは、拡張バス コンパレータ ユニットとシステム イベント カウンタ ユニットで構成されています。拡張バス コンパレータ ユニットは、ハードウェア ブレークポイント、ハードウェア ウォッチポイント、およびその他の出力イベントの生成に使用されます。システム イベント カウンタ ユニットは、システムの分析とプロファイル作成に使用されます。ERAD モジュールは、デバッグとアプリケーション ソフトウェアからアクセスでき、特にデバッグが接続されていない状態で、多くのリアルタイム システムにおいてデバッグ性能が大幅に向上します。TMS320F28P65x デバイスには、ERAD モジュールに 8 つの拡張バス コンパレータ ユニット (ハードウェア ブレークポイント数を 2 から 10 に増加) と、4 つのベンチマーク システム イベント カウンタ ユニットが搭載されています。

7.9.4 バックグラウンド CRC-32 (BGCR32)

バックグラウンド CRC (BGCR32) モジュールは、構成可能なメモリ・ブロックで CRC-32 を計算します。これは、アイドル サイクル中 (CPU、CLA、または DMA がメモリ ブロックにアクセスしていないとき) に、指定されたメモリ ブロックをフェッチすることで実行されます。計算された CRC-32 の値をゴールデン CRC-32 の値と比較して、合格か不合格かを示します。基本的に、BGCR32 はメモリの障害や破損の識別に役立ちます。

BGCR32 モジュールの主な機能は次のとおりです。

- 32 ビット・データの 1 サイクル CRC-32 計算
- ゼロ・ウェイト状態メモリの場合、CPU 帯域幅に影響なし
- ゼロでないウェイト状態メモリの場合、CPU 帯域幅への影響は最小限
- デュアル動作モード (CRC-32 モードおよびスクラブ・モード)
- CRC-32 完了の時間を計測するウォッチドッグ・タイマ
- CRC-32 計算を一時停止および再開可能

7.9.5 ダイレクト メモリ アクセス (DMA)

DMA モジュールは、CPU を介さずにペリフェラルやメモリ間でデータを転送するためのハードウェア方式を提供し、他のシステム機能の処理能力を解放します。さらに、DMA には、転送時にデータを直交的に再配置する機能、および複数のバッファを「ピンポン」方式で選択してデータを転送する機能があります。これらの機能は、最適な CPU 処理のためにデータをブロックに分けて構造化するのに役立ちます。DMA のデバイスレベル ブロック図を [図 7-5](#) に示します。

DMA の主な特長は次のとおりです。

- 独立した ePIE 割り込みを持つ 6 つのチャネル
- ペリフェラル割り込みトリガ ソース
 - ADC 割り込みおよび EVT 信号
 - 外部割り込み
 - ePWM SOC 信号
 - CPU タイマ
 - eCAP
 - SPI 送信および受信
 - UART 送信および受信
 - CAN 送信および受信
 - LIN 送信および受信
- データ ソースおよびデータ デスティネーション:
 - GSx RAM
 - ADC 結果レジスタ
 - 制御ペリフェラル レジスタ (ePWM、eQEP、eCAP)
 - 通信ペリフェラル レジスタ (SPI、LIN、CAN、PMBus、UART、FSI)
- ワード サイズ: 16 ビットまたは 32 ビット (SPI は 16 ビットに限定)
- スループット: 調停なしで、1 ワードあたり 4 サイクル

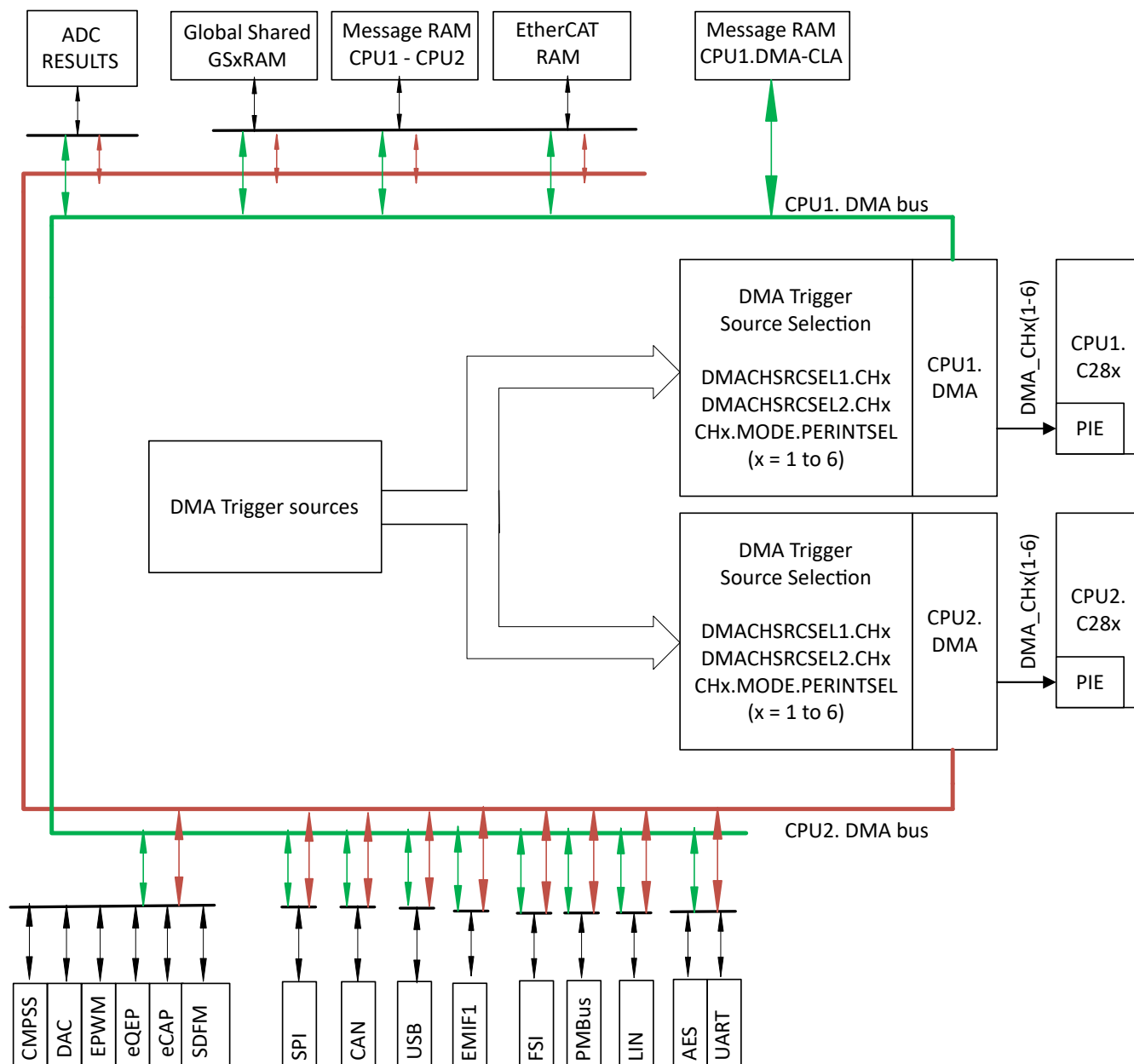


図 7-5. DMA のブロック図

7.9.6 プロセッサ間通信 (IPC) モジュール

プロセッサ間通信 (IPC) モジュールにより、CPU サブシステム間の通信が可能になります。

IPC の主な特長は次のとおりです。

- メッセージ RAM
- IPC フラグと割り込み
- IPC コマンド レジスタ
- フラッシュ ポンプ セマフォ
- クロック構成セマフォ
- フリーランニング カウンタ

すべての IPC 機能は互いに独立しており、ほとんどの場合、特定のデータフォーマットを必要としません。また、ブートモード用とステータス通信用の 2 つのレジスタがあります。これらのレジスタの詳細については、『[TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』の「ROM コードとペリフェラル ブート」の章を参照してください。

このデバイスには 2 つの C28x コア (CPU1、CPU2) と 1 つの IPC モジュールがあります。

- CPU1_TO_CPU2 IPC アーキテクチャ ([図 7-6](#) を参照)

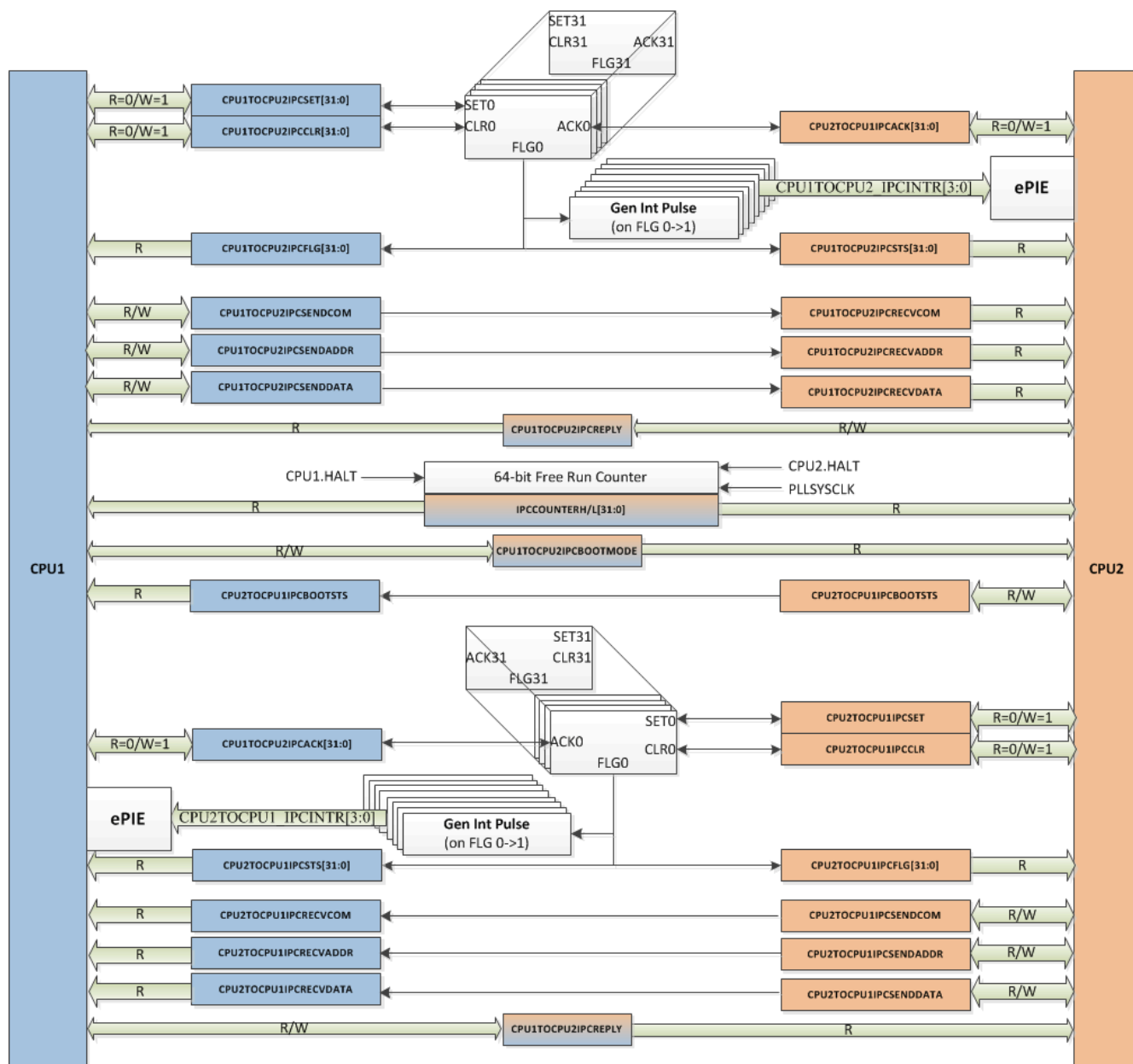


図 7-6. CPU1_TO_CPU2 IPC モジュール

7.9.7 C28x タイマ

CPU タイマ 0、1、2 は、同一仕様の 32 ビット タイマであり、周期をプリセット可能で、16 ビット クロック プリスケールリングを備えています。これらのタイマには、32 ビットのカウンタダウン レジスタがあり、カウンタが 0 に達したときに割り込みを発生させます。このカウンタは、CPU クロック速度をプリスケール設定値で除算した速度でデクリメントされます。カウンタが 0 になると、32 ビットの周期値が自動的に再ロードされます。

CPU タイマ 0 は汎用であり、PIE ブロックに接続されています。CPU タイマ 1 も汎用であり、CPU の INT13 に接続されています。CPU タイマ 2 は、TI-RTOS 用に予約されています。これは、CPU の INT14 に接続されています。TI-RTOS を使用していない場合は、CPU タイマ 2 を汎用として使用できます。

CPU タイマ 2 には、次のいずれかのクロックを供給できます。

- SYSCLK (デフォルト)
- 内部ゼロ ピン発振器 1 (INTOSC1)
- 内部ゼロ ピン発振器 2 (INTOSC2)
- X1 (XTAL)

7.9.8 デュアル・クロック・コンパレータ (DCC)

DCC モジュールは、より正確で信頼性の高いバージョンである 2 番目のクロックに基づいてクロック入力を評価および監視するのに使用されます。この計測機器は、クロック・ソースまたはクロック構造の障害を検出するために使用され、システムの安全性指標を強化します。

7.9.8.1 特長

DCC の特長は次のとおりです。

- アプリケーションが、2 つのクロック信号の周波数の間で固定比率を維持できるようにします。
- 基準クロック・サイクル数に関して、プログラム可能な許容範囲ウィンドウを定義できます。
- アプリケーションが介在しなくても継続的に監視できます。
- スポット測定のためのシングル・シーケンス・モードをサポートしています。
- 複数の特殊な使用事例のために各カウンタのクロック源を選択することもできます。

7.9.8.2 DCCx クロック ソース入力のマッピング

表 7-25. DCCx クロック ソース 0 表

DCCxCLKSRC0[3:0]	クロック名
0x0	XTAL/X1
0x1	INTOSC1
0x2	INTOSC2
0x4	TCK
0x5	CPU1.SYSCLK
0x8	AUXCLKIN
0xC	INPUT XBAR (入力クロスバーの出力 16)
その他	予約済み

表 7-26. DCCx クロック ソース 1 表

DCCxCLKSRC1[4:0]	クロック名
0x0	PLLRAWCLK
0x2	INTOSC1
0x3	INTOSC2
0x6	CPU1.SYSCLK
0x9	Input XBAR (入力クロスバーの出力 15)
0xA	AUXCLKIN
0xB	EPWMCLK
0xC	LSPCLK
0xD	ADCCLK
0xE	WDCLK
0xF	CAN0BITCLK
その他	予約済み

7.9.9 ウォッチドッグ タイマ付きノンマスカブル割り込み (NMIWD)

NMIWD モジュールは、システム レベルのエラーを処理するために使用されます。それぞれの CPU に NMIWD モジュールがあります。監視対象の条件は次のとおりです。

- 発振器の障害によるシステム クロックの喪失
- CPU によるフラッシュ メモリへのアクセス時の訂正できない ECC エラー
- CPU、CLA、または DMA による RAM へのアクセス時の訂正できない ECC またはパリティ エラー
- CPU による ROM へのアクセス時のパリティ エラー
- もう一方の CPU でのベクタ フェッチ エラー
- BGCRC モジュールからの CRC 失敗エラー
- EtherCAT MainDevice からのリセット要求、または EtherCAT RAM へのアクセス時の訂正できないエラー
- CPU1/CPU2 による HWBIST エラー
- ERAD モジュールからの NMI
- CPU1 のみ: CPU2 でのウォッチドッグまたは NMI ウォッチドッグのリセット

ラッチされたエラー状態に CPU が応答しない場合、NMI ウォッチドッグは、プログラム可能な時間間隔の後にリセットをトリガします。デフォルトの時間は、65536 SYSCLK サイクルです。

7.9.10 ウォッチドッグ

このウォッチドッグ モジュールは、従来の TMS320C2000 デバイスと同じですが、オプションでカウンタのソフトウェアリセット間隔の下限を設定できます。このウィンドウ付きカウントダウンはデフォルトで無効になっているため、ウォッチドッグは完全に下位互換性があります。

ウォッチドッグは、リセットまたは割り込みのどちらかを生成します。選択可能な分周器付きの内部発振器からクロックが供給されます。

図 7-7 に、ウォッチドッグ モジュール内の各種機能ブロックを示します。

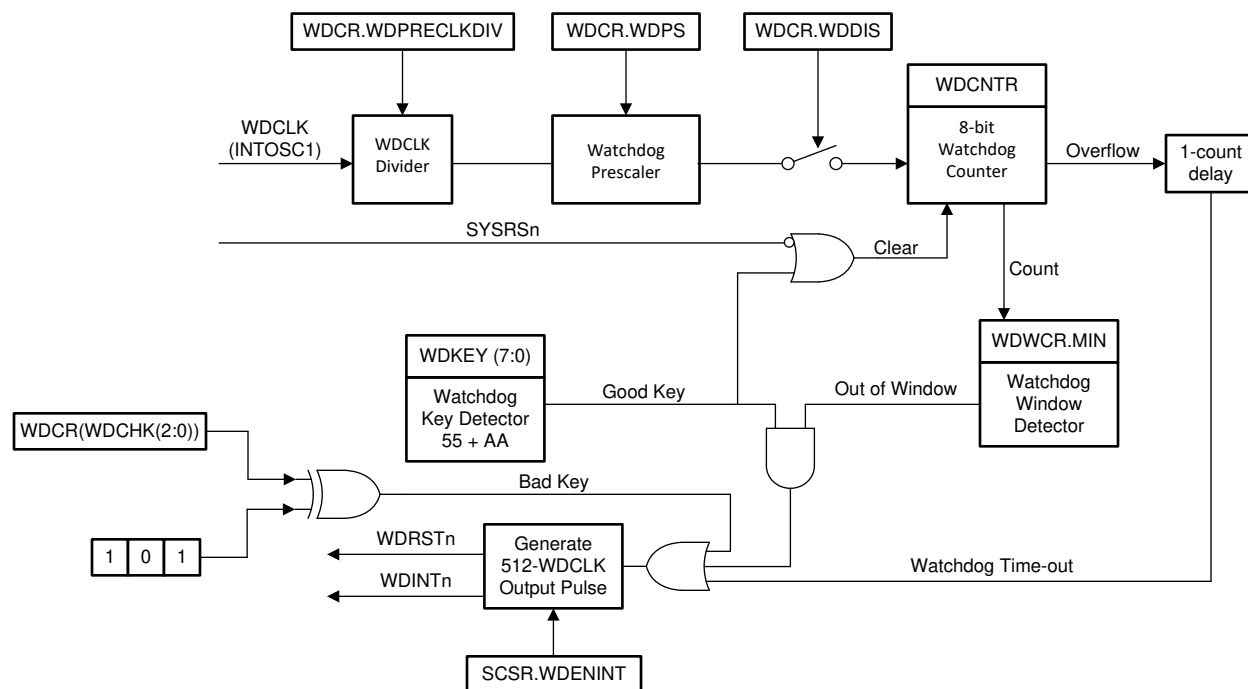


図 7-7. ウィンドウ ウォッチドッグ

7.9.11 構成可能ロジック ブロック (CLB)

C2000 構成可能ロジック ブロック (CLB) は、ソフトウェアを使って相互接続できるブロックの集合体であり、カスタム デジタル ロジック機能の実装や既存のオンチップ ペリフェラルの拡張に使用できます。CLB は、一連のクロスバー相互接続を使用して既存のペリフェラルを拡張することができます。この相互接続によって、拡張パルス幅変調器 (ePWM)、拡張キャプチャ モジュール (eCAP)、拡張直交エンコーダ パルス モジュール (eQEP) など、既存の制御ペリフェラルに高いレベルの接続性が得られます。クロスバーを使って、CLB を外部 GPIO ピンに接続することもできます。このように、CLB とデバイスのペリフェラルとの連携を構成することにより、コンパレータなどの小規模な論理機能を実行したり、またはカスタムのシリアル データ交換プロトコルを実装したりできます。従来は外部のロジック デバイスを使って他の方法で実現していた機能が、CLB によって MCU 内で実装できるようになりました。

CLB ペリフェラルは、CLB ツールを使って構成します。CLB ツール、使用例、アプリケーション ノート、およびユーザーガイドの詳細については、[C2000 MCU 向け C2000Ware パッケージ \(C2000Ware_2_00_00_03 以降\)](#) の次の場所を参照してください。

- [C2000WARE_INSTALL_LOCATION\utilities\clb_tool\clb_syscfg\doc](#)
- [CLB ツール ユーザー ガイド](#)
- 『[C2000™ 構成可能ロジック ブロック \(CLB\) を使用した設計](#)』アプリケーション ノート
- 『[カスタム ロジックを FPGA/CPLD から C2000™ マイクロコントローラへ移行する方法](#)』アプリケーション ノート

図 7-8 に、CLB モジュールとその相互接続を示します。

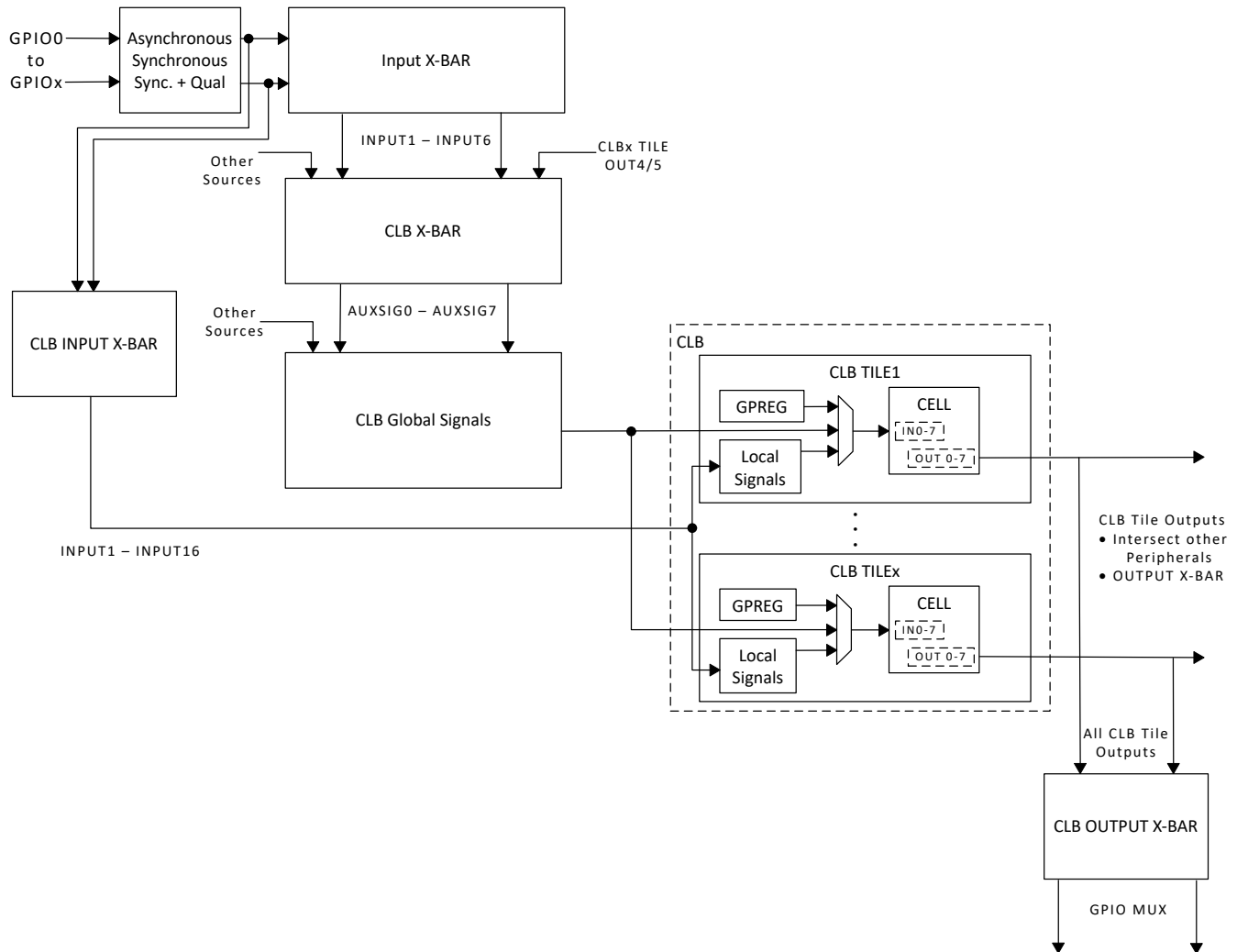


図 7-8. GPIO から CLB へのタイル接続

C2000Ware モーター制御 SDK では、アブソリュート エンコーダ プロトコル インターフェイスが **Position Manager** ソリューションとして提供されています。C2000Ware モーター制御 SDK には、構成ファイル、アプリケーション プログラミング インターフェイス (API)、およびこれらのソリューションの使用例が付属しています。一部のソリューションでは、テキサス・インスツルメンツが構成した CLB を、SPI ポートや C28x CPU など他のオンチップ リソースと組み合わせて使って、より複雑な機能を実行します。

8 アプリケーション、実装、およびレイアウト

8.1 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.2 デバイスの主な特長

表 8-1. デバイスの主な特長

モジュール	機能	システムの利点
C28x プロセッシング		
リアルタイム制御 CPU	最大 600 の MIPS 2 つの C28x コア: 400MIPS (2 x 200MIPS) 1 つの CLA コア: 200MIPS フラッシュ: 最大 1.28MB (C28x CPU 間で共有) RAM: 最大 248 KB 64 ビット浮動小数点ユニット (FPU64) 三角関数演算ユニット (TMU) CRC エンジンおよび命令 (VCRC) 高速整数除算ユニット (FINTDIV)	テキサス・インスツルメンツの 2 つの 32 ビット C28x DSP コアは、オンチップ フラッシュまたは SRAM から実行される浮動小数点または固定小数点コードに対して 400MHz の信号処理能力があります。 オンチップ・フラッシュまたは SRAM から実行される浮動小数点または固定小数点コードに対して 400 MHz の信号処理能力があります。 CLA: ユーザーは、メイン CPU と同時にタイムクリティカルな制御ループを実行可能 FPU64: IEEE 754 倍精度浮動小数点演算のネイティブ ハードウェア サポート TMU: 制御アプリケーション向けに最適化された迅速な計算 (たとえば PLL や DQ 変換) のために、三角関数と算術演算の実行を高速化するために使用されるアクセラレータ。制御ループの高速化を実現し、効率の向上と部品サイズの小型化に貢献します。 非線形 PID 制御アルゴリズムをサポートするための特別な命令 VCRC: 大規模なデータ ブロック、通信パケット、またはコード セクションでデータの整合性を検証するための明快な方法を提供します。 FINTDIV: 制御アルゴリズムで使用されるユークリッド除算やモジュラス除算などの線形除算演算をサポート 「C2000™ 制御 MCU の最適化されたシグナル チェーンを紹介するリアルタイム ベンチマーク」 を参照してください。
センシング		
A/D コンバータ (ADC) (12 ビットまたは 16 ビットに構成可能)	3 つの ADC モジュール 16 ビット モード: (1.1MSPS) シングルエンド モード: 最大 40 チャネル 差動モード: 最大 19 チャネル 12 ビット モード: (3.8 MSPS) シングルエンド モード: 最大 40 チャネル 差動モード: 最大 19 チャネル	ADC は 3 相すべての電流と DC バスをジッタ 0 で高精度かつ同時にサンプリング。 ADC 後処理 - オンチップ ハードウェアにより、ADC の ISR (割り込みサービス ルーチン) の複雑さを緩和し、電流ループのサイクルを短縮。 マルチフェーズ アプリケーションでは、多くの ADC が役に立ちます。より効果的な MSPS (オーバーサンプリング) と標準的な ENOB を提供し、制御ループの性能を向上します。

表 8-1. デバイスの主な特長 (続き)

モジュール	機能	システムの利点
コンパレータ・サブシステム (CMPSS)	CMPSS 11 個のウィンドウ付きコンパレータ、12 ビット D/A コンバータ (DAC) 付き 2 つの 12 ビット DAC 出力 (バッファ付き) 検出からトリップまでの時間は 60ns DAC ランブ生成 外部ピンの低 DAC 出力 デジタル フィルタ スロープ補償	誤検出によるアラームを防止するシステム保護機能: コンパレータ サブシステム (CMPSS) モジュールは、ピーク電流モード制御、スイッチング電源、力率改善、電圧トリップ監視などのアプリケーションに役立ちます。 アナログ コンパレータ サブシステムに搭載されているブランキング ウィンドウとフィルタリング機能により、PWM トリップのトリガと不要なノイズの除去が簡単になります。 制御精度の向上を実現します。コンパレータと 12 ビット DAC (CMPSS) を使用して PWM を制御するために、CPU をさらに構成する必要はありません。 同じピンを使用して保護と制御を実現します。
シグマ デルタ フィルタ モジュール (SDFM)	最大 16 つの独立して構成可能なデジタル コンパレータ フィルタ チャネル 最大 16 つの独立して構成可能なデジタル データ フィルタ チャネル	強化デルタ シグマ変調器によるガルバニック絶縁を可能にします。 SDFM は外部デルタ シグマ変調器 ADC とのインターフェイスであり、絶縁を必要とする信号に最適です。 コンパレータ フィルタは過電流と過小電流の保護をサポートしますが、CPU の介入なしで PWM をトリップします デジタル データ フィルタは、より高い ENOB を提供し、制御ループの性能を向上します
拡張直交エンコーダ パルス (eQEP)	6 つの eQEP モジュール	リニアまたはロータリ インクリメンタル エンコーダとの直接インターフェイスに使用して、高性能動作および位置制御システムに使用される回転機械から位置、方向、速度などの情報を入手できます。また、外部デバイス (センサなど) からの入力パルスのカウントする、その他のアプリケーションでも使用できます。
拡張キャプチャ (eCAP)	6 つの eCAP モジュール イベント間の経過時間を測定します (最大 4 つのタイムスタンプ付きイベント)。 入力クロスバースタブ経由で任意の GPIO に接続します。 キャプチャ モードで使わない場合、eCAP モジュールを単一チャネル PWM 出力 (APWM) として構成可能。	eCAP の用途は以下のとおりです。 回転機械の速度測定 (たとえば、歯付きスプロケットをホール センサで検知) 位置センサ パルス間の経過時間測定 パルス列信号の周期およびデューティ サイクル測定 デューティ サイクル符号化電流 / 電圧センサから得られた電流または電圧振幅の復号

表 8-1. デバイスの主な特長 (続き)

モジュール	機能	システムの利点
アクチュエーション		
拡張パルス幅変調 (ePWM) / 高分解能パルス幅変調 (HRPWM)	最大 36 個の ePWM チャンネル デッドバンド付きのハイサイド/ローサイド PWM を生成する能力 バレー スイッチング (バレー ポイントで PWM 出力を切り替える機能) とブランキング ウィンドウなどの機能をサポート	最高のパワー トポロジに対応する、フレキシブルな PWM 波形生成。 シャドウ デッド バンド自体およびシャドウ アクション検証機能により、適応型 PWM の生成と保護が可能になり、制御精度の向上と電力損失の低減を実現できます。 力率補正 (PFC) アプリケーションに特に関係の深い、力率 (PF) と全高調波歪 (THD) の改善を可能にします。軽負荷時の効率向上。
	HRPWM 機能: 36 のチャンネルすべてが高分解能 (150ps) を実現 デューティ サイクル、周期、デッドバンド、位相オフセットに対して 150ps のステップを備えており、99% の精度向上を実現します	高精度の制御に役立ち、高い周波数での電力変換の性能向上を実現します。 よりクリーンな波形を実現し、出力の発振/リミット サイクルを回避します。
	ワンショットリロードおよびグローバル リロード機能	可変周波数およびマルチフェーズの DC-DC アプリケーションに不可欠であり、高い周波数の制御ループ (2MHz 超) の達成に役立ちます。 高い周波数でのインターリーブ LLC トポロジの制御を可能にします
	サイクルごと (CBC) のトリップ イベントおよびワンショットトリップ (OST) のトリップ イベントに対して独立した PWM 動作	フォルト状態時に、サイクルごとの保護と完全な PWM シャットオフを実現します。マルチフェーズ PFC または DC-DC 制御の実装に役立ちます。
	SYNC でのロード (SYNC イベントでのシャドウからアクティブへのロードをサポート)	可変周波数アプリケーションを実現 (電力変換で LLC 制御が可能)。
	ソフトウェアの介入なし (ISR: 割り込みサービスルーチンの待ち時間なし) で PWM をシャットダウン可能	障害発生時の高速な保護
	遅延トリップ機能	ピーク電流モード制御 (PCMC) 位相シフトフル ブリッジ (PSFB) DC-DC によるデッドバンドの実装を容易にし、(コンパレータ、トリップ、または SYNC 入力によるトリガ イベントでも) 多くの CPU リソースを占有しません。
	デッド バンド ジェネレータ (DB) サブモジュール	プログラマブル遅延を立ち上がり (RED) および立ち下がり (FED) PWM 信号エッジに追加することで、ハイサイドおよびローサイド ゲートの同時オン状態を防止します。
	フレキシブルな PWM 位相の関係とタイマの同期	各 ePWM モジュールは、他の ePWM モジュールや他のペリフェラルと同期させることができます。PWM エッジと特定のイベントとが完全同期するよう維持します。 パワー デバイスのスイッチングと同期して、特定のサンプリング ウィンドウを使用するフレキシブルな ADC スケジューリングをサポートします。
	ダイオード エミュレーション	ダイオード エミュレーション ロジックは、ノイズの多い環境における堅牢なダイオード モード検出と制御を実装するためのハードウェア機能と他の IP への必要なフックを提供します。
コネクティビティ		
シリアル・ペリフェラル・インターフェイス (SPI)	4 つの高速 SPI ポート	50 MHz をサポート
シリアル通信インターフェイス (SCI)	2 つの SCI (UART) モジュール	コントローラとのインターフェイス
コントローラ エリア ネットワーク (CAN/DCAN)	1 つの DCAN モジュール	Classic CAN モジュールとの互換性を提供

表 8-1. デバイスの主な特長 (続き)

モジュール	機能	システムの利点
コントローラ エリア ネットワーク (FD/ MCAN)	2 つの MCAN モジュール	MCAN は、従来型の CAN と CAN FD の両方のプロトコルをサポートしています
I2C (Inter-Integrated Circuit)	2 つの I2C モジュール	外部 EEPROM、センサ、またはコントローラとのインターフェイス
ASRAM および SDRAM をサポートする 2 つの外部メモリ インターフェイス (EMIF)	1 つの EMIF モジュール	外部 ASRAM および SDRAM とのインターフェイス
他のシステムの特長		
構成可能ロジック ブロック (CLB)	ソフトウェアを使用して相互接続することでカスタム デジタル ロジック機能を実装できる、構成可能なブロックのコレクション	ユーザー カスタマイズされた PWM 保護機能、複雑なアルゴリズム / ステートマシンをオフロードするためのカスタム ロジック、カスタム パリフェラル、サーボドライブで使用するアブソリュート エンコーダの実装に使用されます マルチレベル インバータ / PFC またはマルチレベル DC-DC の保護にも使用されます ETPWM、ECAP、QEP、GPIO などの既存の IP を中心にロジックを構築する機能を提供します。 PWM 安全モジュール、エンコーダ エンジンなどの独自の IP を開発できます。
セキュリティ エンハンサ	デュアル ゾーン コード セキュリティ モジュール (DCSM) セキュア ブート JTAGLOCK バックグラウンド CRC (BGCR)C 汎用 CRC (GCR)C ウォッチドッグ レジスタへの書き込み保護 クロック消失検出ロジック (MCD) 誤り訂正符号 (ECC) およびパリティ	DCSM: 社外秘コードの複製やリバース エンジニアリングを防止します セキュア ブート: AES128 CMAC アルゴリズムを使用して、デバイス上で実行されるコードが本物であることを保証 JTAGLOCK: デバイスのエミュレーションをブロックする機能 AES アクセラレーション: ハードウェア アクセラレータは、CPU の帯域幅を解放しながら暗号メッセージ処理のサイクル時間を大幅に改善します BGCRC: CPU のオーバーヘッドやシステム性能に影響を与えることなく、メモリの整合性をチェックします GCRC: 構成可能なメモリ ブロックで CRC 値を計算するための指定されたコネクティビティ マネージャ モジュール ウォッチドッグ: CPU が無限ループに陥った場合にリセットを生成 レジスタへの書き込み保護: システム構成レジスタのロック保護 不要な CPU 書き込みに対する保護 MCD: クロック故障の自動検出 ECC およびパリティ: シングル ビットの誤り訂正とダブル ビットの誤り検出
クロスバー (XBAR)	さまざまな構成でデバイスの入力、出力、内部リソースを接続できるフレキシビリティを実現します。 - 入力クロスバー - 出力クロスバー - ePWM クロスバー - CLB 入力クロスバー - CLB 出力クロスバー - CLB クロスバー	ハードウェア設計の汎用性を向上: 入力クロスバー: 任意の GPIO からチップ内の複数の IP ブロックに信号を接続 出力クロスバー: 内部信号を指定された GPIO ピンに接続 ePWM クロスバー: 内部信号をさまざまな IP ブロックから ePWM に接続 CLB 入力クロスバー: 信号を任意の GPIO から構成可能ロジック ブロック (CLB) に直接ルーティング可能 CLB 出力クロスバー: 信号を CLB タイルから指定された GPIO ピンに送信可能 CLB クロスバー: ユーザーがさまざまな IP ブロックから CLB に信号を接続できるようにします

表 8-1. デバイスの主な特長 (続き)

モジュール	機能	システムの利点
ダイレクト メモリ アクセス (DMA) コントローラ	2 つの 6 チャンネルの DMA (Direct Memory Access) コントローラ	ダイレクト メモリ アクセス (DMA) モジュールは、CPU を介せずにペリフェラルやメモリ間でデータを転送するためのハードウェア方式を提供し、それによって CPU の帯域幅を他のシステム機能のために解放します。
USB		システムのデータ ロギングや、オンチップ フラッシュの更新のために USB からブートする場合に便利です

8.3 アプリケーション情報

8.3.1 代表的なアプリケーション

「代表的なアプリケーション」セクションでは、このデバイスのいくつかのアプリケーションについて詳しく説明します。アプリケーションの詳細なリストについては、このデータシートの「アプリケーション」セクションを参照してください。

8.3.1.1 サーボ ドライブ制御モジュール

サーボ ドライブは、高精度のトルク制御を実現するために高精度の電流および電圧センシングを必要とし、多くの場合、通信インターフェイスとともに複数のエンコーダ タイプのインターフェイスをサポートします。この C2000 デバイスは、スタンドアロン サーボ ドライブ用のシングルチップ ソリューション (図 8-1 参照) として、または、非集中型システム (図 8-2 参照) で使用することができます。後者の場合、F28P65x C2000 デバイスはコントローラとして機能し、すべての電圧入力および電流入力をサンプリングして、インバータのための正確な PWM 信号を生成します。各 C2000 デバイスが、対象となる 1 軸のリアルタイム コントローラとして機能し、モーターの電流制御ループを実行します。高速シリアル インターフェイス (FSI) ペリフェラルを使用すると、1 つの C2000 デバイスで最大 16 軸を制御できます。C2000 デバイスは、外部ループ コントローラとして、メイン軸のモーター制御を実行し、FSI 経由で他のすべての軸とのデータ交換を制御するとともに、EtherCAT 経由でホストまたは PLC と通信します。

8.3.1.1.1 システム ブロック図

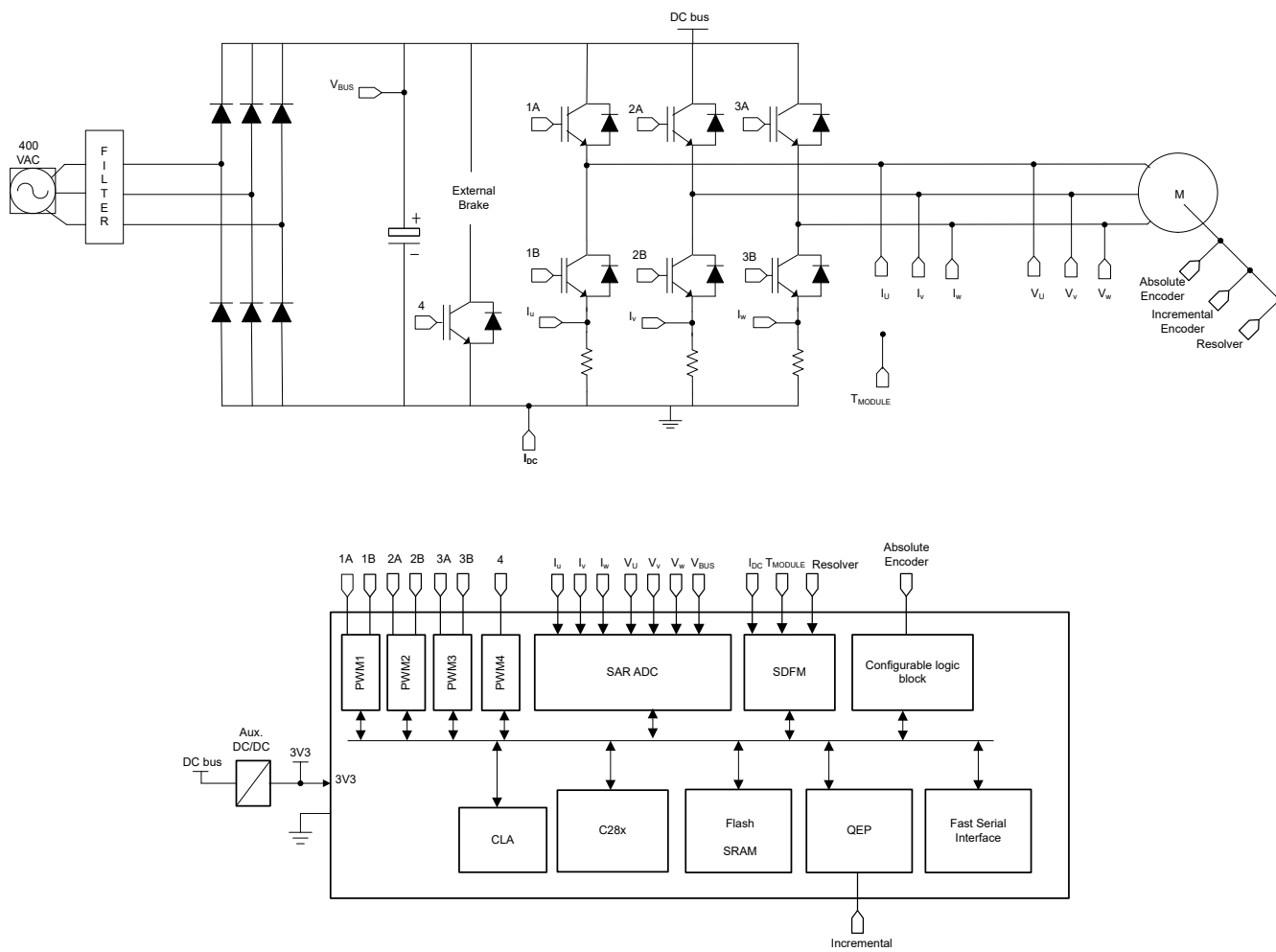


図 8-1. サーボ ドライブ制御モジュール

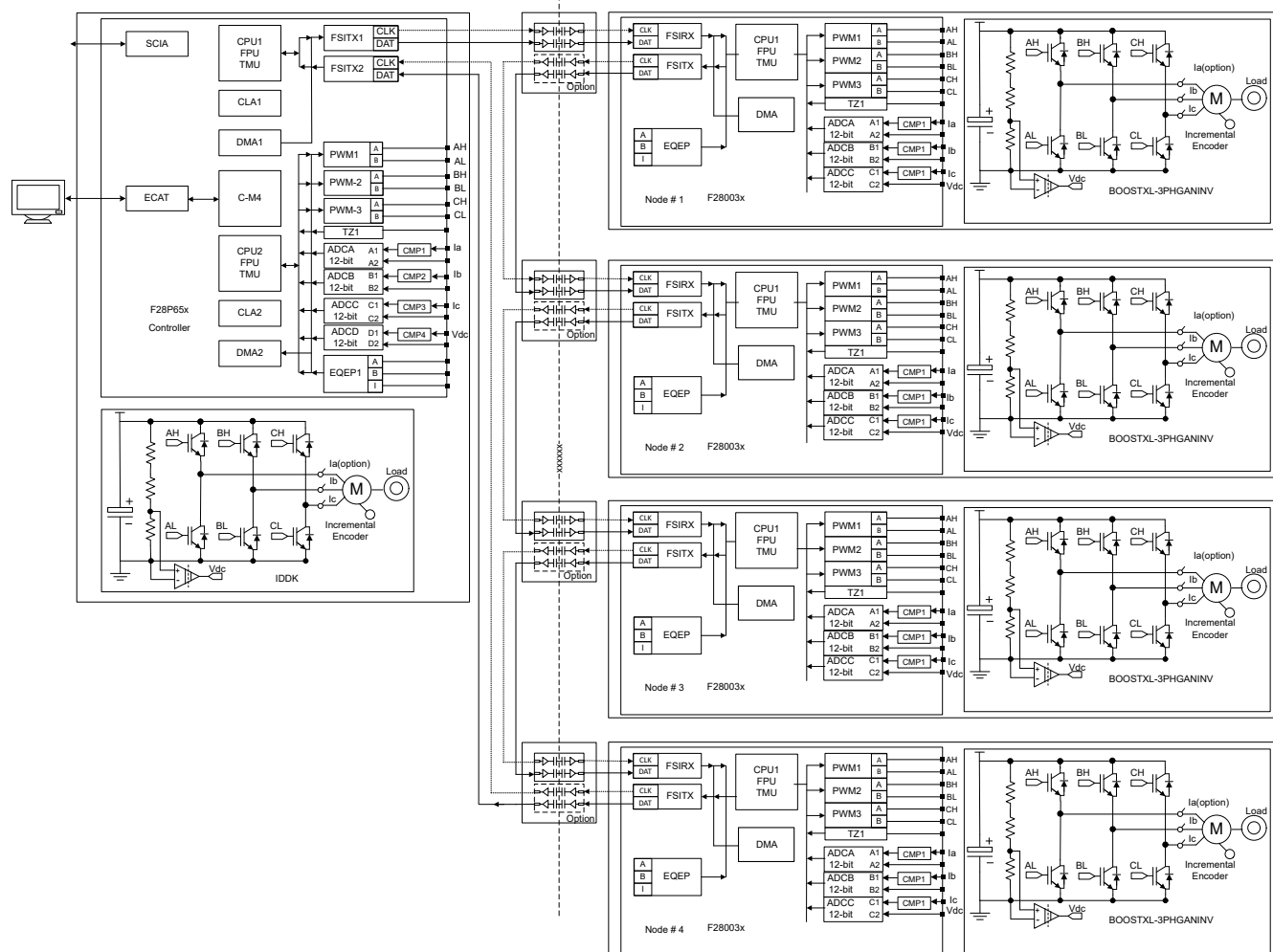


図 8-2. 分散型多軸サーボ ドライブ

8.3.1.1.2 サーボ ドライブ制御モジュールのリソース

リファレンス・デザインと関連トレーニング・ビデオ

シャント ベースのインライン モーター位相電流センシング機能を搭載した 48V 3 相インバータ評価モジュール

BOOSTXL-3PHGANINV 評価モジュールは、高精度インライン シャント ベース位相電流センシング機能を搭載した 48V/10A 3 相 GaN インバータを採用し、サーボドライブなどの高精度ドライブを正確に制御します。

産業用モーター制御向け C2000 DesignDRIVE 開発キット

この DesignDRIVE 開発キット (IDDK) ハードウェアによって、高電圧 3 相モーターを駆動する電力段全体を搭載した統合型サーボドライブ設計を実現し、また、さまざまな位置フィードバック、電流センシング、制御トポロジに関する評価を容易に実施することができます。

C2000 DesignDRIVE position manager BoosterPack™ プラグイン モジュール

この PositionManager BoosterPack は、アブソリュート エンコーダ、リゾルバや SinCos トランスデューサなどのアナログ センサへのインターフェイスを評価するためのフレキシブルな低電圧プラットフォームです。低コストのこの評価基板は、DesignDRIVE Position Manager ソフトウェア ソリューションとの組み合わせにより、一般的に使用されている EnDat、BiSS、T-format などのさまざまなタイプのポジション エンコーダを C2000 リアルタイム制御デバイスとインターフェイスするための強力なツールになります。C2000 Position Manager 技術は、最もよく使われているデジタルおよびアナログ ポ

ジション センサとのインターフェイスを C2000 リアルタイム コントローラに統合して、このような機能のための外部 FPGA を不要にします。

C2000Ware モーター制御 SDK

C2000™ マイクロコントローラ (MCU) 用のモーター制御 SDK は、さまざまな 3 相モーター制御アプリケーション向けの C2000 リアルタイム コントローラ ベースのモーター制御システムの開発時間を最小限に抑える目的で設計された、ソフトウェア インフラ、ツール、資料の包括的なセットです。このソフトウェアには、C2000 モーター制御評価モジュール (EVM) で動作するファームウェアと、産業用ドライブ、ロボット、家電製品、車載アプリケーションを対象とした TI Designs (TID) が含まれています。MotorControl SDK は、高性能モーター制御アプリケーションの開発と評価のすべての段階で必要とされるあらゆるリソースを提供します。

TIDM-02006 高速シリアル インターフェイス (FSI) 経由の分散型多軸サーボドライブのリファレンス デザイン

このリファレンス デザインは、C2000™ リアルタイム コントローラを使用した高速シリアル インターフェイス (FSI) 経由の分散型または非集中型多軸サーボドライブの例を示します。多軸サーボドライブは、ファクトリ オートメーションやロボットなど多くのアプリケーションで使用されています。この種のシステムで、1 軸当たりのコスト、性能、使いやすさは常に重要な考慮事項になっています。FSI は、低ジッタで、コスト最適化された信頼性の高い高速通信インターフェイスであり、複数の C2000 マイクロコントローラをデジタイズチェーン接続することもできます。このデザインでは、TMS320F280049 または TMS320F280025 の各リアルタイム コントローラが、それぞれ 1 つの軸に対応する分散型のリアルタイム コントローラであり、モーターの電流制御ループを実行します。TMS320F28388D という単一製品が、すべての軸に対応する位置および速度の制御ループを実行します。同じ F2838x が、マルチコアを活用して、集中型のモーター制御軸に加えて EtherCAT 通信も実施します。このデザインは、テキサス・インスツルメンツの既存の EVM キットを複数使用しており、該当ソフトウェアは C2000WARE モーター制御 SDK の一部としてリリース済みです。

TIDM-02007 シングル MCU で高速電流ループ (FCL) および SFRA を使った 2 軸モーター ドライブのリファレンス デザイン

このリファレンス デザインは、単一の C2000 コントローラ上で高速電流ループ (FCL) およびソフトウェア周波数応答アナライザ (SFRA) 技術を使った 2 軸モーター ドライブの例を示します。FCL は、デュアル コア (CPU、CLA) 並列処理技術を使って、制御帯域幅と位相マージンの大幅な拡大、フィードバック サンプリングから PWM 更新までのレイテンシの短縮、制御帯域幅の拡大と変調指数の最大化、ドライブの DC バス使用率の向上とモータの速度範囲の拡大を実現します。SFRA ツールが統合されているため、開発者は、アプリケーションの周波数応答を迅速に測定して、速度および電流コントローラを調整できます。システムレベルの統合と C2000 シリーズ MCU の性能により、非常に堅牢な位置制御と高い性能を同時に実現する 2 軸モータ ドライブの要件をサポートできます。本ソフトウェアは C2000Ware MotorControl SDK でリリースされています。

EtherCAT プロトコル: C2000™ TMS320F2838x デバイス ファミリの EtherCAT (ビデオ)

このビデオでは、TMS320F2838x デバイスの EtherCAT スレーブ コントローラ機能の詳細、TMS320F2838x デバイスの EtherCAT スレーブ コントローラのサブシステムとデバイスの統合の詳細、TMS320F2838x デバイスの EtherCAT IP と Beckhoff Automation ET1100 EtherCAT ASIC との比較について説明します。

『PMSM で高速電流ループを使用する EtherCAT ベースの接続サーボドライブ』アプリケーション レポート

このアプリケーション レポートは、EtherCAT® 通信を評価し、テキサス・インスツルメンツの TMS320F28388D リアルタイム コントローラを使用して接続されたサーボ ドライブの高速電流ループ (FCL) 対応制御ループの周波数応答解析を実行するのに役立ちます。

8.3.1.2 ソーラー・マイクロ・インバータ

ソーラー マイクロ インバータは、DC-AC インバータの電力段と 1 つ以上の最大電力点追従 (MPPT) DC-DC 電力段で構成されています。インバータ (DC-AC) の一般的なスイッチング周波数は 20kHz~50kHz で、DC-DC 側のスイッチング周波数は 100kHz~200kHz の範囲です。これを実現するために、さまざまな出力段トポロジを使用できます。この図は、代表的な出力段と、制御および通信の要件のみを示しています。C2000 マイクロコントローラには、オンチップの EPWM、ADC、アナログ・コンパレータ・モジュールが搭載されており、このようなマイクロ・インバータ・システムの完全なデジタル制御を実装できます。

8.3.1.2.1 システム・ブロック図

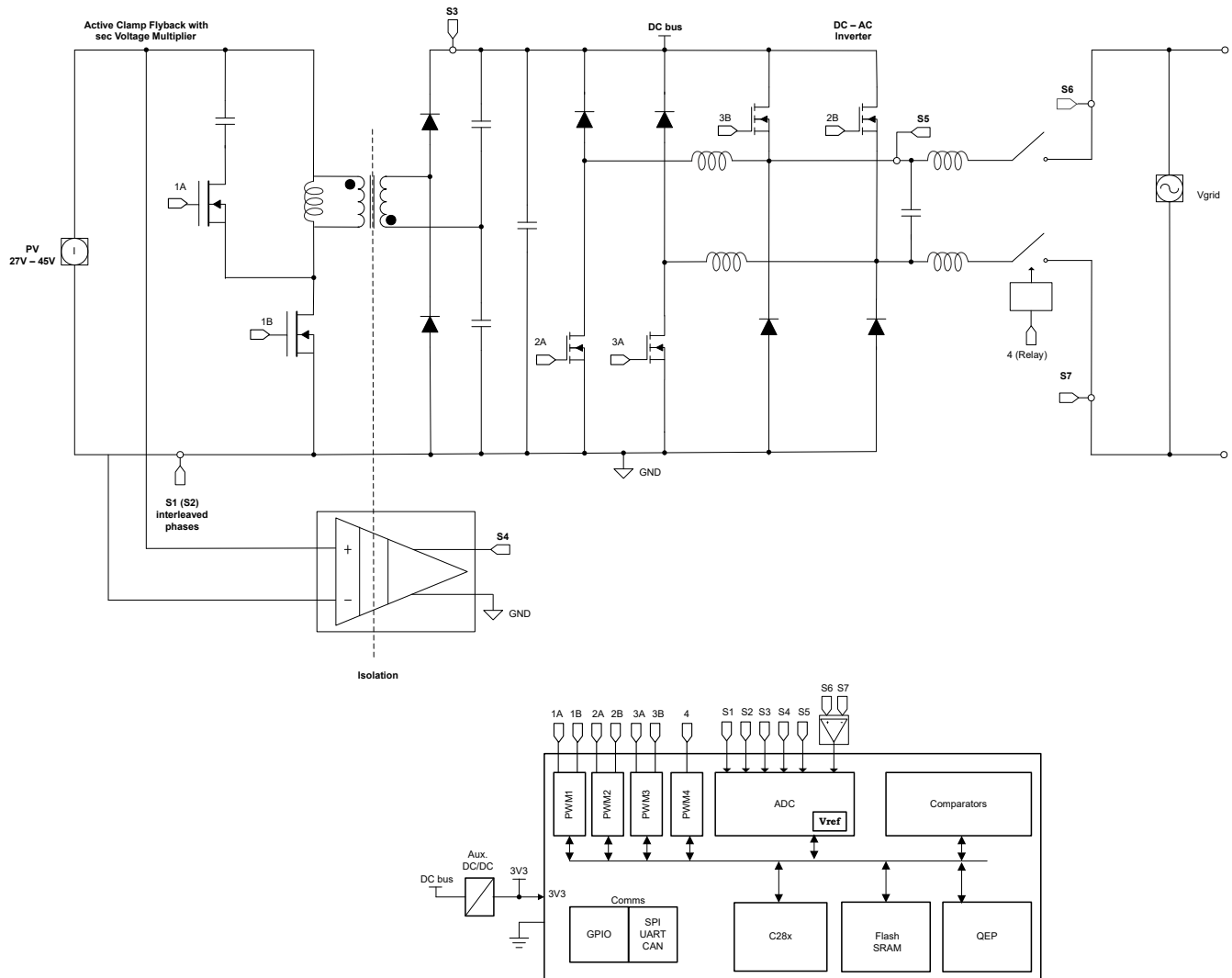


図 8-3. ソーラー・マイクロ・インバータ

8.3.1.2.2 ソーラー マイクロ インバータのリソース

リファレンス・デザインと関連トレーニング・ビデオ

C2000™ MCU デジタル電源 (ビデオ)

このトレーニング シリーズでは、デジタル電源制御の基礎と C2000 マイクロコントローラへの実装方法を説明します。

太陽光発電グリッドにエネルギー ストレージを追加する場合の 4 つの主な設計上の考慮事項

このホワイト ペーパーでは、グリッドに接続されたストレージ統合型太陽光発電システムの設計上の考慮事項について説明します

C2000WARE-DIGITALPOWER-SDK

C2000™ マイクロコントローラ (MCU) 向けの DigitalPower SDK は、ソフトウェア インフラ、ツール、資料の包括的なセットであり、AC-DC、DC-DC、DC-AC 電源アプリケーション向け C2000 MCU ベースのデジタル電源システムの開発期間の大幅な短縮を可能にします。C2000 デジタル電源評価基板 (EVM) で動作するファームウェアと、太陽光発電、テレコム、サーバー、電気自動車 (EV) チャージャ、産業用パワー デリバリ アプリケーション向けの TI Designs (TID) が含まれ

ています。DigitalPower SDK は、デジタル電源アプリケーションの開発と評価のすべての段階で必要とされるあらゆるリソースを提供します。

C2000™ Piccolo マイクロコントローラを使用したデジタル制御ソーラー マイクロ インバータの設計

このドキュメントは、C2000 マイクロコントローラを使用したデジタル制御ソーラー マイクロ インバータの実装の詳細を説明しています。250W の絶縁型マイクロ インバータ設計では、Piccolo-B (F28035) 制御カードを使用して、必要なすべての PV インバータ機能を提供します。このドキュメントでは、マイクロ インバータ ボードの電力段について、さらには、開ループ動作と閉ループ動作を検証してソフトウェアを構築するインクリメンタル ビルド レベル システムについて説明します。このガイドでは、電力フローの制御、PV パネルからの電力の最大化 (MPPT)、フェーズ ロック ループ (PLL) を使用したグリッドへのロック、テキサス・インスツルメンツのソーラー マイクロインバータ キット (TMSOLARUINVKIT) のハードウェア詳細について説明します。

TIDU405B グリッドに接続されたソーラー マイクロ インバータ、MPPT 付き

この C2000 ソーラー マイクロ インバータ EVM ハードウェアは、2 段で構成されています。それらを以下に示します。(1) 2 次側電圧マルチプライヤを搭載したアクティブ クランプ フライバック DC-DC コンバータと (2) DC-AC インバータ。図 1b に、このアプリケーションのブロック図を示します。DC-DC コンバータは、パネルが最大電力伝送ポイントで動作するように、PV パネルから DC 電流を引き込みます。そのためには、MPPT アルゴリズムで決定されたレベルでパネル出力、つまり DC-DC コンバータ入力を維持する必要があります。MPPT アルゴリズムは、最大電力伝送のためのパネル出力電流 (基準電流) を決定します。次に、フライバック コンバータの電流制御ループにより、コンバータの入力電流が確実に MPPT 基準電流に追従するようになります。また、フライバック コンバータは、DC-DC 段の高周波絶縁も実現します。フライバック段の出力は、高電圧 DC バスであり、これが DC-AC インバータを駆動します。インバータ段は、DC バスを目的の設定点に維持し、制御された正弦波電流をグリッドに注入します。また、グリッド同期も実装しており、グリッド電圧の位相および周波数にロックされた電流波形を維持します。C2000 Piccolo マイクロコントローラは、オンチップ PWM、ADC、およびアナログ コンパレータ モジュールを搭載しており、このようなマイクロ インバータ システムの完全なデジタル制御を実装できます。

『単相グリッド接続インバータ向け C2000™ マイクロコントローラを使用したソフトウェア フェーズ ロック ループ設計』アプリケーション レポート

グリッド接続アプリケーションでは、グリッドに同期して電力を供給するために、グリッドの位相を正確に推定する必要があります。これは、ソフトウェア フェーズ ロック ループ (PLL) を使用して実現します。このアプリケーション レポートでは、ソフトウェア フェーズ ロック ループの設計におけるさまざまな課題について説明し、単相グリッド接続アプリケーション向けに C2000 コントローラを使用してフェーズ ロック ループを設計する方法を示します。

8.3.1.3 EV 充電ステーション向けパワー・モジュール

DC 充電ステーションのパワー・モジュールは、AC/DC 電力段と DC/DC 電力段で構成されています。出力段に関連する各コンバータは、パワー・スイッチ、ゲート・ドライバ、電流および電圧センシング、リアルタイム・マイクロコントローラで構成されています。入力側では 3 相 AC 電源が AC/DC 電力段に接続されています。このブロックは、入力 AC 電圧を約 800V の固定 DC 電圧に変換します。この電圧は DC/DC 電力段への入力として機能します。DC/DC 電力段は、電力を処理して電気自動車のバッテリーと直接接続します。各出力段には個別のリアルタイム・マイクロコントローラがあり、アナログ信号の処理と高速な制御動作を行います。

AC/DC 段 (PFC 段とも呼ばれます) は、EV 充電ステーションでの電力変換の第 1 段階です。ここでは、電力網からの入力 AC 電力 (380~415VAC) を 800V 程度の安定した DC リンク電圧に変換します。PFC 段は、THD < 5% (標準値) で正弦波入力電流を維持し、線間入力電圧の振幅よりも高い電圧の制御された DC 出力電圧を供給します。DC/DC 段は、EV 充電ステーションにおける第 2 段階の電力変換です。入力 DC リンク電圧 800V (3 相システムの場合) を、電気自動車のバッテリーを充電するためのより低い DC 電圧に変換します。DC/DC コンバータは、バッテリーの充電状態 (SOC) に応じて定電流または定電圧モードでバッテリーを充電する機能を備えて、広い範囲にわたって定格電力をバッテリーに供給できるようになっている必要があります。

8.3.1.3.1 システム ブロック図

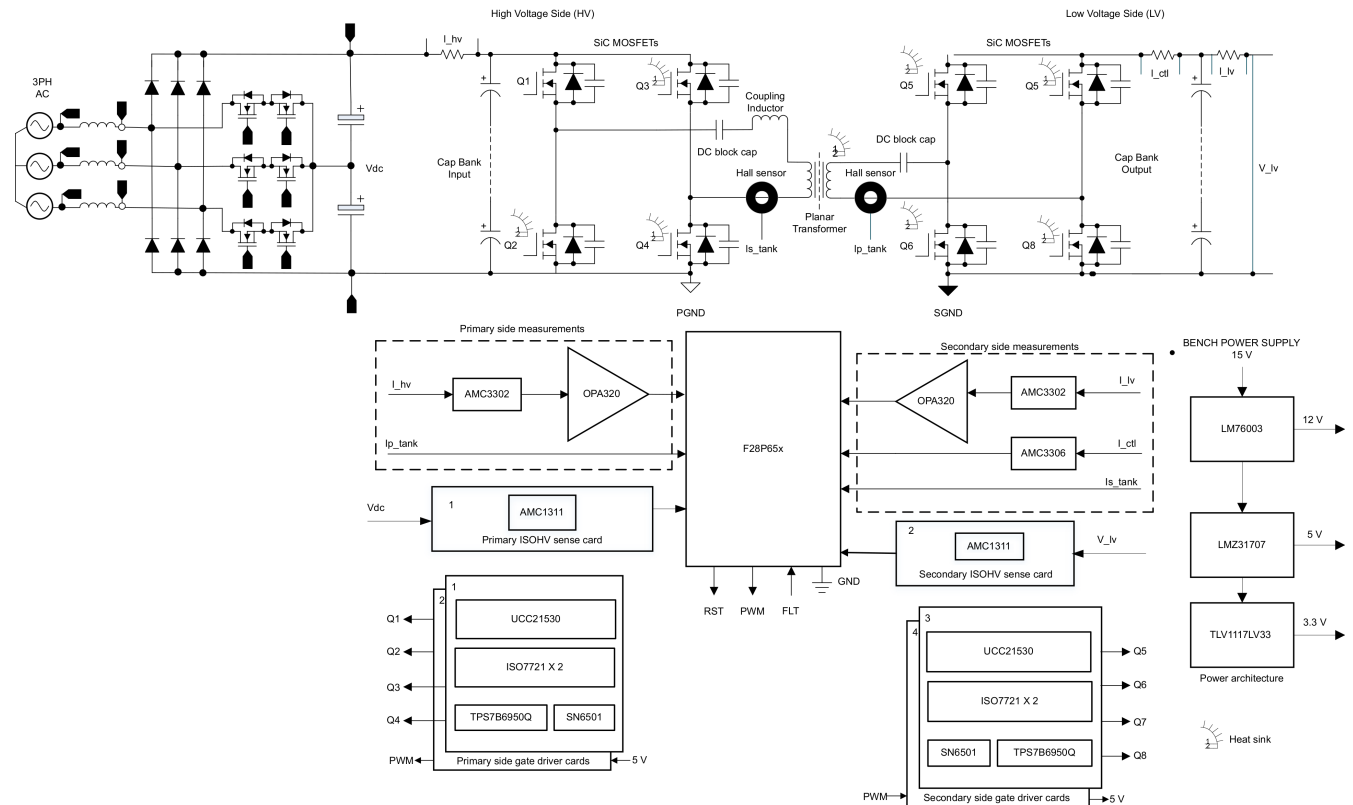


図 8-4. デュアル アクティブ ブリッジ DC-DC コンバータ

8.3.1.3.2 EV 充電ステーション向けパワー モジュール資料

リファレンス・デザインと関連トレーニング・ビデオ

TIDM-02002 CLLLC 共振デュアル アクティブ ブリッジ、HEV/EV オンボード チャージャ(ビデオ)

双方向の電源フロー能力とソフト スイッチング特性を持つ CLLLC 共振 DAB は、ハイブリッド電気自動車 / 電気自動車 (HEV/EV) のオンボード チャージャおよびエネルギー ストレージ アプリケーションに理想的な候補です。このデザインでは、閉電圧および閉電流モードで C2000™ MCU を使ってこの電源トポロジを制御する方法を示します。このリファレンス デザインのハードウェアとソフトウェアは開発期間の短縮を可能にします。

TIDA-01606 10kW、双方向 3 相 3 レベル (T タイプ) インバータおよび PFC のリファレンス デザイン

このリファレンス デザインは、双方向 3 レベル、3 相、SiC ベースのアクティブ フロント エンド (AFE) インバータおよび PFC 段を実装する方法の概要を示します。このデザインでは、50kHz のスイッチング周波数と LCL 出力フィルタを使用して、磁気素子のサイズを縮小しています。99% のピーク効率を達成しています。このデザインは、DQ ドメインに完全な 3 相 AFE 制御を実装する方法を示しています。制御とソフトウェアは、実際のハードウェアと、ループ内ハードウェア (HIL) のセットアップ上で検証されます。

TIDA-010210 GaN をベースとする 11kW、双方向、3 相 ANPC のリファレンス デザイン

このリファレンス デザインは、3 レベル、3 相、GaN (窒化ガリウム) をベースとする ANPC インバータの電力段を実装するための設計テンプレートを提供します。高速スイッチング パワー デバイスを使用すると、100kHz を上回る高周波数でパワー デバイスのスイッチングを実施できます。この場合、フィルタで使用する磁気素子のサイズを小型化し、電力段の電力密度を高めることができます。マルチレベル トポロジー採用により、600V 定格のパワー デバイスを、最大 1,000V というそれより高い DC バス電圧でできるようになります。スイッチング電圧ストレスが低いことでスイッチング損失の低減につながり、その結果、98.5% というピーク効率を達成しています。

TIDA-010054 レベル 3 電気自動車充電ステーション向け双方向デュアル アクティブ ブリッジのリファレンス デザイン

このリファレンス デザインは、単相デュアル アクティブ ブリッジ (DAB) DC-DC コンバータの実装の概要を示します。DAB トポロジには、ソフト スイッチング整流、デバイス数の削減、高効率といった利点があります。この設計は、電力密度、コスト、重量、ガバナニク絶縁、高い電圧変換比、信頼性が重要な要因になる場合に役立ち、EV (電気自動車) の充電ステーションやエネルギー ストレージのアプリケーションに最適です。DAB にモジュール方式と対称構造を取り入れることで、コンバータを積層して高い電力スループットを達成でき、双方向モードの動作が容易になり、バッテリー充放電のアプリケーションをサポートできます。

C2000™ MCU - 電気自動車 (EV) トレーニング・ビデオ (ビデオ)

C2000™ MCU に関するこのビデオ・コレクションは、電気自動車 (EV) 特有のトレーニングを英語と中国語の両方で取り扱っています。

レベル 3 EV 充電ステーションの電力の最大化

この記事では、C2000 の豊富なポートフォリオを紹介し、エンジニアが設計上の課題を解決して高度な電源トポロジを実装するのに役立つ最適なソリューションを提供していることを説明します。

電気自動車充電ステーションの電源トポロジに関する考慮事項アプリケーション レポート

このアプリケーション レポートでは、高速 DC 充電ステーションを設計するためのビルディング ブロックとして機能するパワー モジュールを設計する際のトポロジに関する考慮事項について説明します。

TIDUEG2C TIDM-02002 HEV/EV オンボード チャージャ向け双方向 CLLLC 共振デュアル アクティブ ブリッジ (DAB) のリファレンス デザイン

双方向の電源フロー能力とソフト スイッチング特性を持つ CLLLC 共振 DAB は、ハイブリッド電気自動車 / 電気自動車 (HEV / EV) のオンボード チャージャおよびエネルギー ストレージ アプリケーションに理想的な候補です。このデザインでは、閉電圧および閉電流ループ モードで C2000™ MCU を使ってこの電源トポロジを制御する方法を示します。このリファレンス デザインのハードウェアとソフトウェアは開発期間の短縮を可能にします。

TIDM-1000 C2000 MCU を使ったウィーン整流器をベース とする 3 相力率改善のリファレンス デザイン

ウィーン整流器の電源トポロジは、オフボード電気自動車充電やテレコム用整流器など、大電力の 3 相力率改善アプリケーションで使用されます。このデザインは、C2000 MCU を使用してウィーン整流器を制御する方法を示します。

8.3.1.4 オンボード充電器 (OBC)

オンボード充電器 (OBC) は、AC/DC パワー コンバータとそれに続く DC/DC パワー コンバータの 2 つの電力段で構成されています。OBC は、単一の MCU を使用して AC/DC と DC/DC の両方のパワー コンバータを制御することで実装できます。たとえば、図 8-5 に示すように、3 つの 3.7kW 単相 OBC モジュールを使用して 11kW OBC を実装できます。このアプローチにより、単相 240AC (北米) と 3 相 AC (その他の地域) の両方を簡単にサポートできます。

OBC 充電の設計要件は次のとおりです。

- 高効率の電力変換と電力密度の向上を可能にする、高性能で高速なデジタル制御ループ。
- 高帯域幅で高速応答の電流センシングを通じて、高精度の制御と過電流状況における高速シャットダウンを実現。
- パワー スイッチ [絶縁ゲート バイポーラトランジスタ / シリコン カーバイド (IGBT/SiC)] を安全かつ効率的に制御および保護。

8.3.1.4.1 システム ブロック図

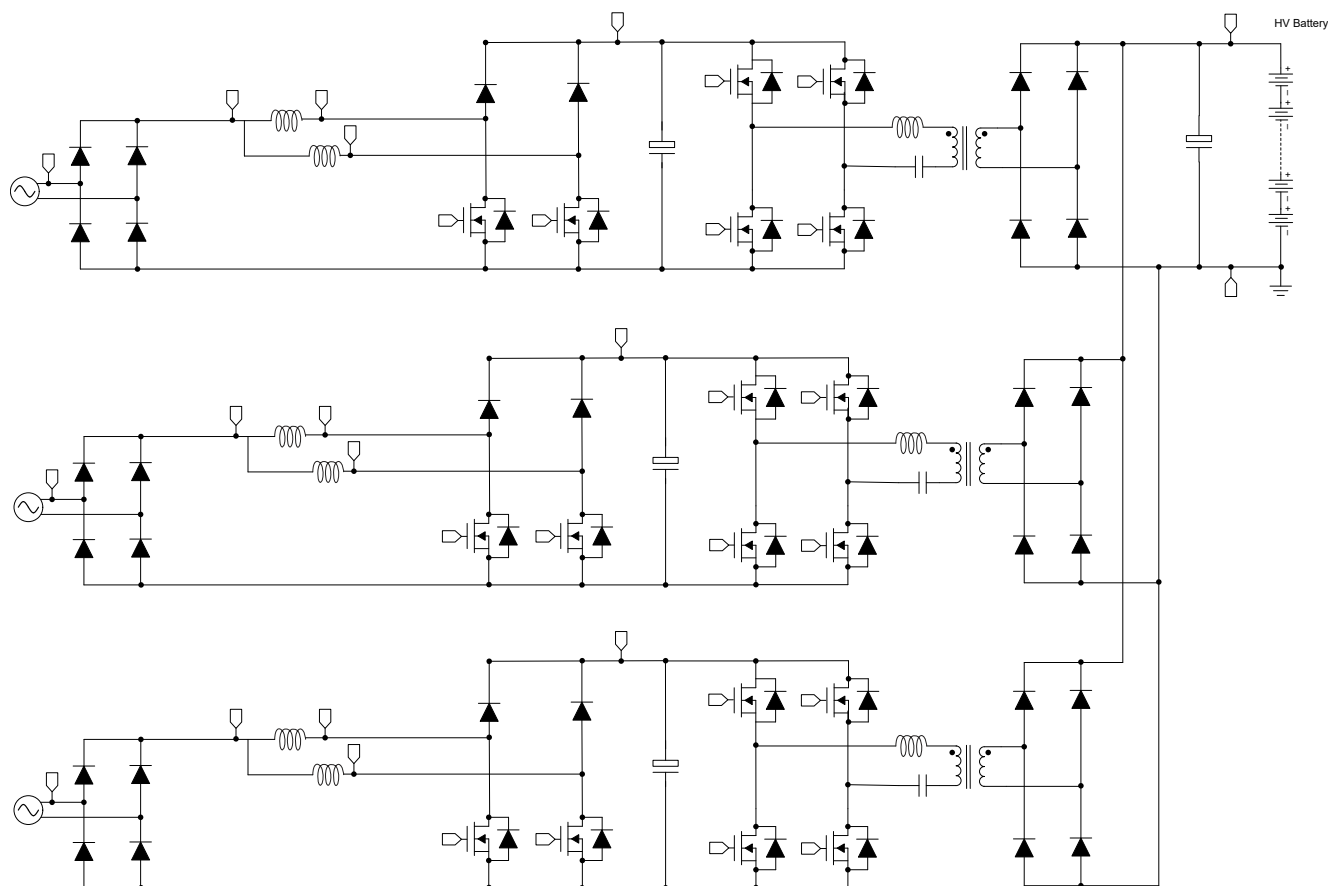


図 8-5. 11kW のモジュール型 OBC 電源トポロジ (単方向、ブリッジ PFC)

8.3.1.4.2 OBC のリソース

リファレンス・デザインと関連トレーニング・ビデオ

『高周波共振コンバータ設計上の考慮事項、パート 1』

『高周波共振コンバータ設計における検討事項、パート 2』アプリケーション レポート

『リアルタイム マイコンの採用で、パワー エレクトロニクスの電力効率と電力密度を最適化』アプリケーション レポート

C2000™ MCU - 電気自動車 (EV) トレーニング・ビデオ (ビデオ)

C2000™ MCU に関するこのビデオ・コレクションは、電気自動車 (EV) 特有のトレーニングを英語と中国語の両方で取り扱っています。

『EV オンボード チャージャ向けの CLLLC と DAB の比較』アプリケーション レポート

『CLB を使用したハードウェア ベースの同期整流制御』アプリケーション レポート

PMP22650 GaN ベース、6.6kW、双方向オンボード チャージャのリファレンス デザイン

PMP22650 リファレンス デザインは、6.6kW の双方向オンボード チャージャです。このデザインは、同期整流機能付きの 2 相トータムポール PFC とフル ブリッジ CLLLC コンバータを搭載しています。CLLLC は周波数変調と位相変調の両方を活用し、必須のレギュレーション範囲全体で出力のレギュレーションを実施します。このデザインは TMS320F28388D マイコンの内部にある単一のプロセッシング コアを使用して、PFC と CLLLC の両方を制御します。同期整流機能は、同じマイクロコントローラに Rogowski コイル使用の電流センサを組み合わせる形で実装しています。

複数の高速 GaN スイッチ (LMG3522) を使用して、高密度を達成しています。この PFC は 120kHz で動作し、CLLLC は 200kHz ~ 800kHz の可変周波数で動作します。電力密度が 3.8kW/リットルのオープン フレーム電源との組み合わせで、96.5% のピーク システム効率を達成しています。このデザインに関する計算は 6.6kW の出力電力を想定して実施しましたが、このデザインは 240V 入力を受け入れて 32A ブレーカを使用する 7kW 強 (たとえば 7.2kW~7.4kW) 定格の OBC (オンボード チャージャ) 開発の適切な出発点となります。

TIDUEG2C TIDM-02002 HEV/EV オンボード チャージャ向け双方向 CLLLC 共振デュアル アクティブ ブリッジ (DAB) のリファレンス デザイン

双方向の電源フロー能力とソフト スイッチング特性を持つ CLLLC 共振 DAB は、ハイブリッド電気自動車 / 電気自動車 (HEV / EV) のオンボード チャージャおよびエネルギー ストレージ アプリケーションに理想的な候補です。このデザインでは、閉電圧および閉電流ループ モードで C2000™ MCU を使ってこの電源トポロジを制御する方法を示します。このリファレンス デザインのハードウェアとソフトウェアは開発期間の短縮を可能にします。

TIDM-02013: CCM トーテムポール PFC と CLLLC DC/DC を搭載した 7.4kW オンボード チャージャのリファレンス デザイン

TIDM-02013 は双方向オンボード チャージャのリファレンス デザインです。このデザインは、インターリーブ連続導通モード (CCM) トーテムポール (TTPL) ブリッジレス力率補正 (PFC) 電力段と、その後段にある CLLLC DC/DC 電力段で構成されています。これらはいずれも、単一の C2000™ リアルタイム制御マイクロコントローラ (MCU) を使用して制御するほか、TI の GaN (窒化ガリウム) パワー モジュールを活用しています。この電源トポロジは、双方向の電源フロー (PFC とグリッド接続型インバータ) に対応する能力があるほか、GaN デバイスを使用して、電源の効率向上とサイズ縮小を実現しています。このリファレンス デザインで利用可能なハードウェアとソフトウェアにより、製品開発期間を短縮できます。

TIDUEG3A TIDM-1022 バレー スイッチング、昇圧、力率補正 (PFC) のリファレンス デザイン

このリファレンス デザインでは、効率と全高調波歪み (THD) の基準を満たすことが難しい軽負荷条件で、昇圧力率補正 (PFC) コンバータの効率と THD を大幅に改善するためのデジタル制御方式を説明します。これは、C2000™ マイクロコントローラ (MCU) の内蔵デジタル制御機能を使用して実現されます。このリファレンス デザインは、位相シェディング、バレー スイッチング、バレー スキッピング、ゼロ電圧スイッチング (ZVS) をサポートしており、各種の負荷および瞬時入力電圧条件に対応します。このリファレンス デザインで利用可能なソフトウェアにより、製品開発期間を短縮できます。

GaN HEMT を備えた PMP41078 高電圧から低電圧への DC-DC コンバータのリファレンス デザイン

このリファレンス デザインでは、650V 窒化ガリウム (GaN) 高電子移動度トランジスタ (HEMT) を搭載した 3.5kW の高電圧から低電圧への DC-DC コンバータについて説明します。LMG3522R030 を 1 次スイッチとして使用すると、コンバータは高スイッチング周波数で動作します。このデザインでは、コンバータは小型化されたトランスを使用しています。アクティブ クランプ 金属酸化膜半導体電界効果トランジスタ (MOSFET) の放熱性能を緩和するため、このコンバータは 2 チャネルのアクティブ クランプ回路を使用しています。

8.3.1.5 高電圧トラクション インバータ

トラクション ドライブ サブシステムは、AC 誘導モーター、または内部永久磁石同期モーター (IPMSM) と同期リラクタンスモーター (SynRM) の組み合わせを駆動するように設計されています。ダイナミック デカップリングを備えた広帯域幅のフィールド オリエンテッド コントロール (FOC) 方式を、C2000 リアルタイム制御マイコンや弱め界磁および過変調の技術とともに実装することで、業界をリードする最大 20,000RPM でモーターを高速駆動します。これにより、トラクション モーターのコスト削減と軽量化が可能になります。

トラクション ドライブ システムでは通常、モーターの極数と一致する可変リラクタンス (VR) リゾルバを使用して、回転子の電気角を直接測定します。リゾルバ信号を使用して位置と速度を測定するには、リゾルバ / デジタル変換 (RDC) が必要です。RDC は従来、PGA411-Q1 などの別の IC によって処理されていました。C2000 マイコンを使用すると、高速トラクション インバータ用の RDC をメイン制御マイコンに統合することができ、CPU を介さずに DMA で励起生成を処理することができます。また、フィードバックは ADC を経由して読み取られ、CPU でデコードされます。

位相シフト フルブリッジ (PSFB) トポロジにより、スイッチング デバイスがゼロ電圧スイッチング (ZVS) でスイッチングできるため、スイッチング損失が低減し、効率が向上します。ピーク電流モード制御 (PCMC) は、電圧フィードフォワード、サイクル単位の自動電流制限、フラックス バランシングなどの利点があるため、電力コンバータにとって非常に望ましい制御

方式であり、高速で効率的な制御ループ計算とともに複雑な PWM 駆動波形を生成する必要があります。これは C2000 マイクロコントローラ上で PWM モジュール、DAC およびスロープ補償ハードウェア付きのアナログ コンパレータ、および高効率の 32 ビット CPU と組み合わせられた 12 ビットの高速 ADC など、高度なオンチップ制御ペリフェラルによって可能になっています。

図 8-6 に、HEV/EV のトラクション インバータと双方向 DC/DC コンバータの両方を制御する、単一の C2000™ リアルタイム MCU の概略ブロック図を示します。

8.3.1.5.1 システム ブロック図

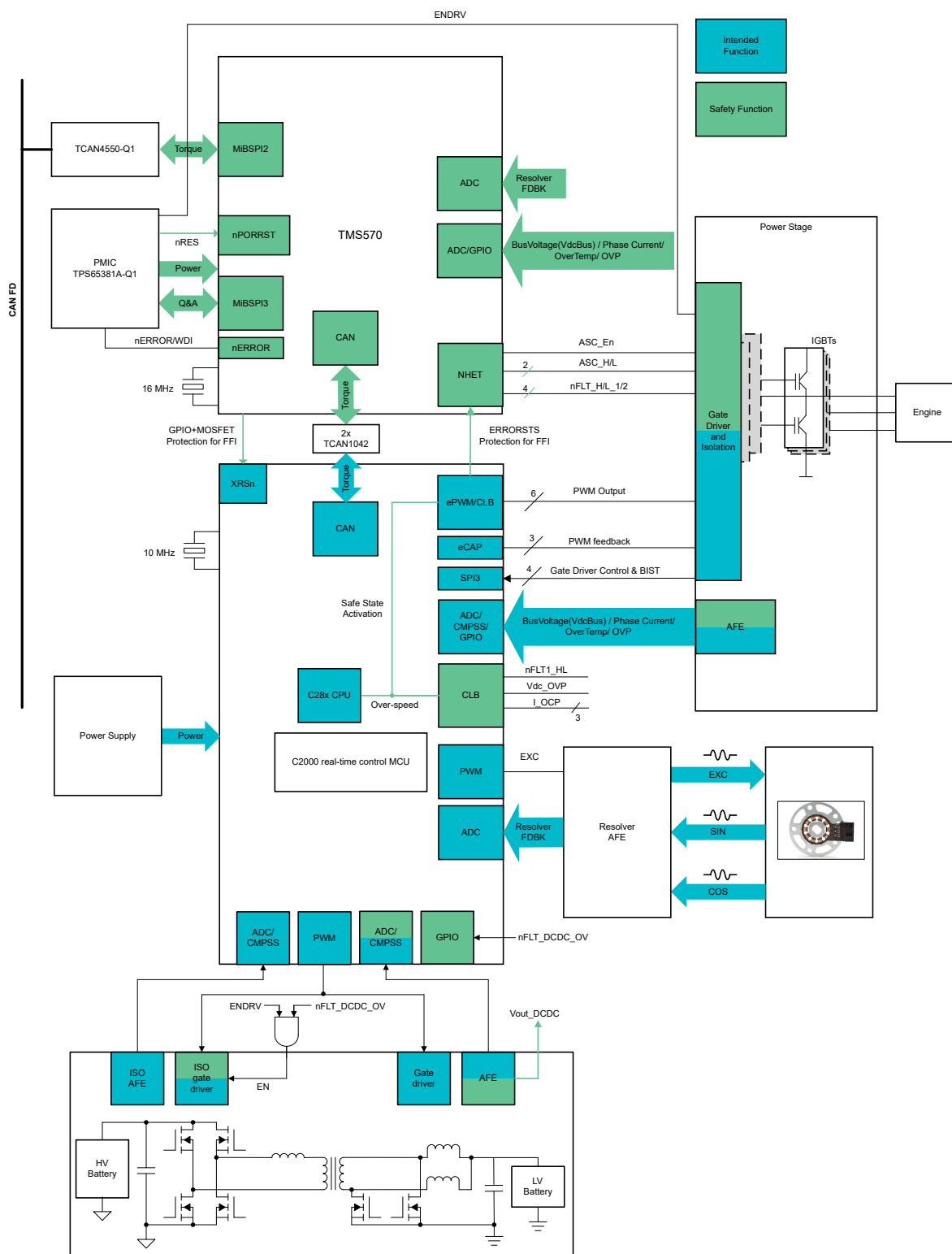


図 8-6. トラクション インバータ (高電圧)

8.3.1.5.2 高電圧トラクション インバータのリソース

リファレンス・デザインと関連トレーニング・ビデオ

TIDM-02009 ASIL D 安全コンセプトを評価された高速トラクション、双方向 DC/DC 変換のリファレンス デザイン

このリファレンス デザインは、単一の TMS320F28388D リアルタイム C2000™ マイコンによる、HEV/EV トラクション インバータと双方向 DC/DC コンバータの制御を実証します。トラクション制御機能はソフトウェア ベースのリゾルバ / デジタル コンバータ (RDC) を使用し、最高 20,000RPM に達する高速でモーターを駆動します。DC/DC コンバータは、位相シフト フルブリッジ (PSFB) トポロジと同期整流 (SR) 方式を採用したピーク電流モード制御 (PCMC) 手法を使用します。トラクション インバータ段は、UCC5870-Q1 スマート ゲートドライバで駆動する SiC (シリコン カーバイド) 電力段を使用します。PCMC の波形を生成するために、最新の PWM モジュールと、コンパレータ サブシステム (CMPSS) が内蔵しているスローブ補償機能を使用しています。ASIL 分割ベースのシステム向け機能安全コンセプトであり、TÜV SÜD がすでに評価を完了しているため、ISO 26262 ASIL D までのシステム レベル安全性インテグリティレベル (SIL) の提示に適用しており、代表的な安全性の目標を達成できます。

C2000™ MCU - 電気自動車 (EV) | TI.com トレーニング シリーズ (ビデオ)

C2000™ MCU に関するこのビデオ コレクションは、電気自動車 (EV) 特有のトレーニングを英語と中国語の両方で取り扱っています。

C2000 マイクロコントローラを使用した PSFB 制御アプリケーション レポート

このアプリケーション レポートでは、テキサス・インスツルメンツの高電圧位相シフト フル ブリッジ (HVPSFB) キットに実装されているデジタル制御 PSFB システムの実装の詳細を示します。このキットは、400V DC 入力を安定化された 12V DC 出力に変換し、最大 600W の動作定格を備えています。ピーク電流モード制御 (PCMC) と電圧モード制御 (VMC) の両方の実装について説明します。

TIDA-BIDIR-400-12 双方向 DC/DC コンバータ

このドキュメントでは、このような絶縁型双方向 DC/DC コンバータのマイクロコントローラ ベースの実装について詳しく説明します。位相シフト フルブリッジ (PSFB) と同期整流によって、降圧モードでの 400V バス/バッテリーから 12V バッテリーへの電力フローを制御し、またプッシュプル段によって、昇圧モードでの低電圧バッテリーから高電圧バス / バッテリーへの逆電力フローを制御します。このデザインは、各モードで最大 300W の出力電力定格となっています。

TIDM-02014 車載対応、大電力、高性能、SiC トラクション インバータのリファレンス デザイン

TIDM-02014 は、テキサス・インスツルメンツと Wolfspeed が開発した 800V、300kW の SiC ベースのトラクション インバータ システムのリファレンス デザインであり、設計エンジニアが高性能で高効率のトラクション インバータ システムを作成して市場に投入するまでの期間を短縮するための基盤として使用できます。このソリューションは、TI と Wolfspeed が開発したトラクション インバータ システムの技術を使用してシステムの効率を向上させる方法を提示します。そのために、高性能の絶縁型ゲートドライバと、リアルタイムで可変のゲートドライブ能力を活用して Wolfspeed の SiC パワー モジュールを駆動する方法により、オーバーシュートを低減し、許容可能な電圧範囲内にとどめます。制御性能の優れた TI の MCU は、革新的な高集積のリアルタイム ペリフェラルを搭載しており、20,000RPM を超える速度でも効果的なトラクション モーター制御を実現できます。高速電流ループの実装は、モーターのトルクリップルを最小限に抑え、滑らかな速度トルク プロファイルを実現するのに役立ちます。システムの機械的および熱的設計は、Wolfspeed によって実現されます。

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 入門と次のステップ

『**C2000™ リアルタイム制御マイコン (MCU) を使用した設計の開始**』入門ガイドは、C2000 デバイスを使用する開発について、ハードウェアからサポート リソースまで、あらゆる側面をカバーしています。主要な参考資料に加えて、各セクションには関連するリンクとリソースが掲載されており、さらに詳細な情報を知ることができます。

9.2 デバイスの命名規則

製品開発サイクルの段階を示すために、TI では TMS320 MCU デバイスとサポート ツールのすべての型番に接頭辞が割り当てられています。TMS320™ MCU 商用ファミリの製品には、次の 3 つの接頭辞のいずれかが付いています。TMX、TMP、TMS (たとえば、TMS320F28P659DK-Q1)。テキサス・インスツルメンツでは、サポート ツールについては、使用可能な 3 つの接頭辞のうち TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、エンジニアリング プロトタイプ (デバイスでは TMX、ツールでは TMDX) から、完全に認定済みの量産版デバイスとツール (デバイスでは TMS、ツールでは TMDS) まで、製品開発の進展段階を表しています。

デバイスの開発進展フロー:

TMX 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ・フローを使用しない可能性があります。

TMP プロトタイプ・デバイス。最終的なシリコン・ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

TMS 認定済みのシリコン・ダイの量産バージョン。

サポート・ツールの開発進展フロー:

TMDX 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。

TMDS 完全に認定済みの開発サポート製品です。

TMX および TMP デバイスと TMDX 開発サポート・ツールは、以下の免責事項の下で出荷されます。

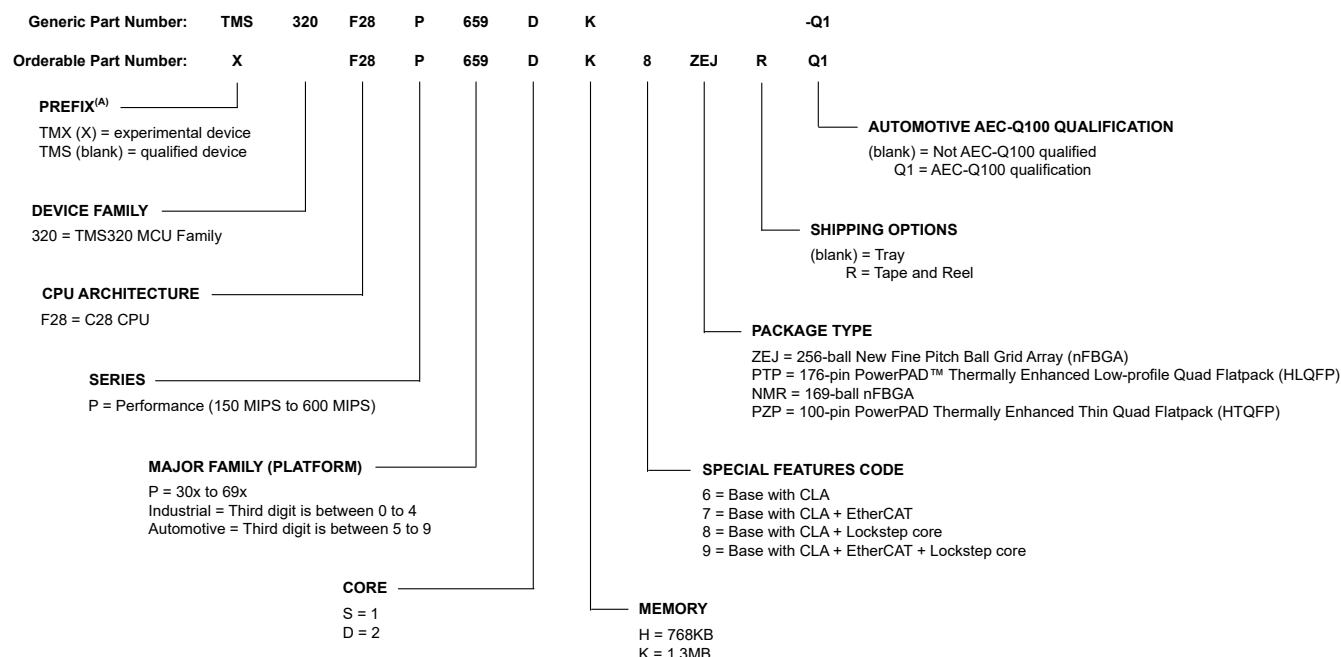
「開発中の製品は、社内での評価用です」。

量産デバイスおよび TMDS 開発サポート・ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ・デバイス (X または P) の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツでは、それらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

TI デバイスの項目表記には、デバイス ファミリの接尾辞も含まれます。この接尾辞は、パッケージの種類 (例:ZEJ) を示しています。

デバイスの型番と詳しい注文情報については、テキサス・インスツルメンツの Web サイト (www.tij.co.jp) を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。



A. 注文用型番には接頭辞 X を使用。

図 9-1. デバイスの命名規則

9.3 マーキング

図 9-2、図 9-3、図 9-4、図 9-5、図 9-6、図 9-7、図 9-8 に、パッケージ マーキングを示します。表 9-1 に、シリコンのリビジョンコードを示します。

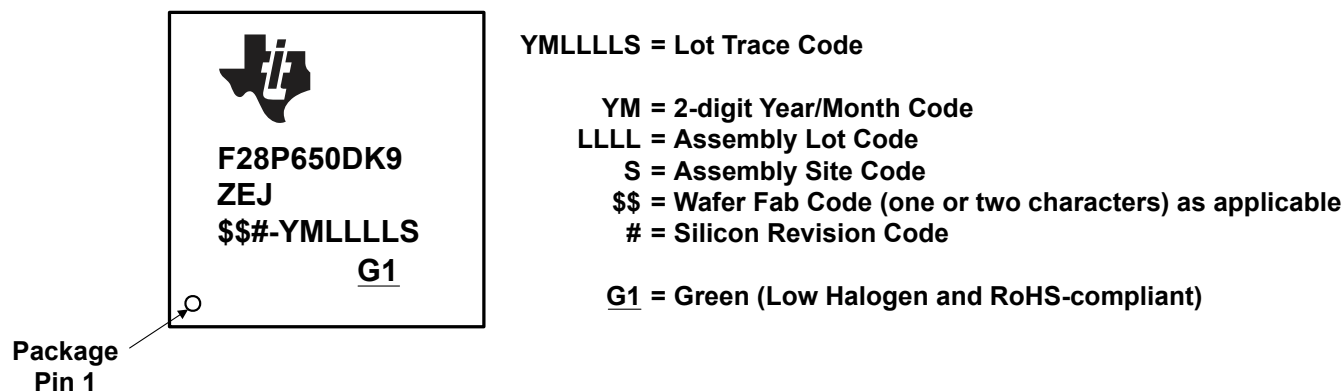
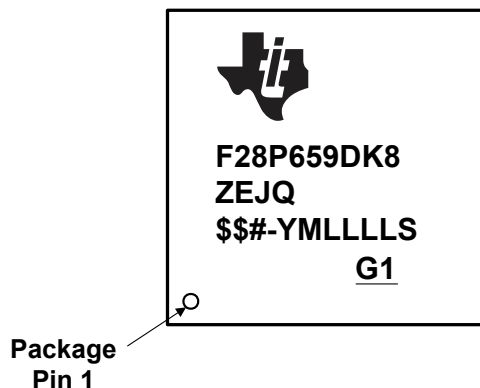


図 9-2. ZEJ パッケージのパッケージ マーキング – 車載以外

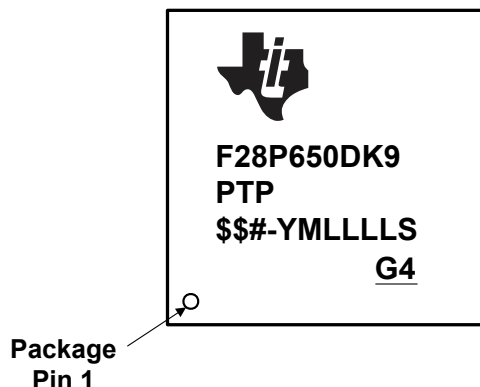


YMLLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
\$\$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G1 = Green (Low Halogen and RoHS-compliant)

図 9-3. ZEJ パッケージのパッケージ マーキング – 車載

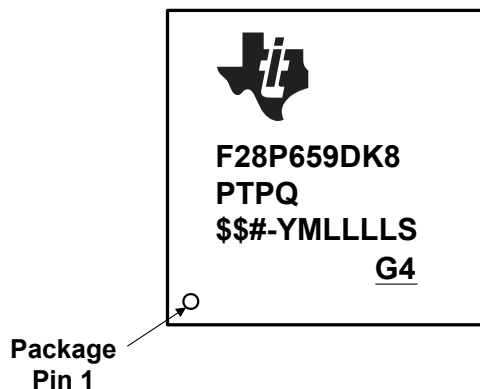


YMLLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
\$\$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 9-4. PTP パッケージのパッケージ マーキング – 車載以外



YMLLLLLS = Lot Trace Code

YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code
\$\$ = Wafer Fab Code (one or two characters) as applicable
= Silicon Revision Code

G4 = Green (Low Halogen and RoHS-compliant)

図 9-5. PTP パッケージのパッケージ マーキング – 車載

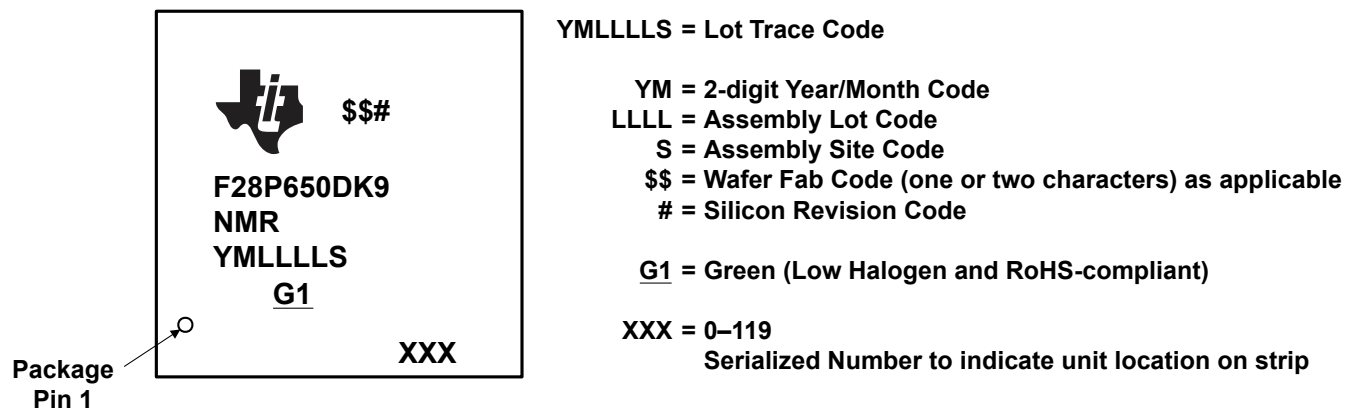


図 9-6. NMR パッケージのパッケージ マーキング – 車載以外

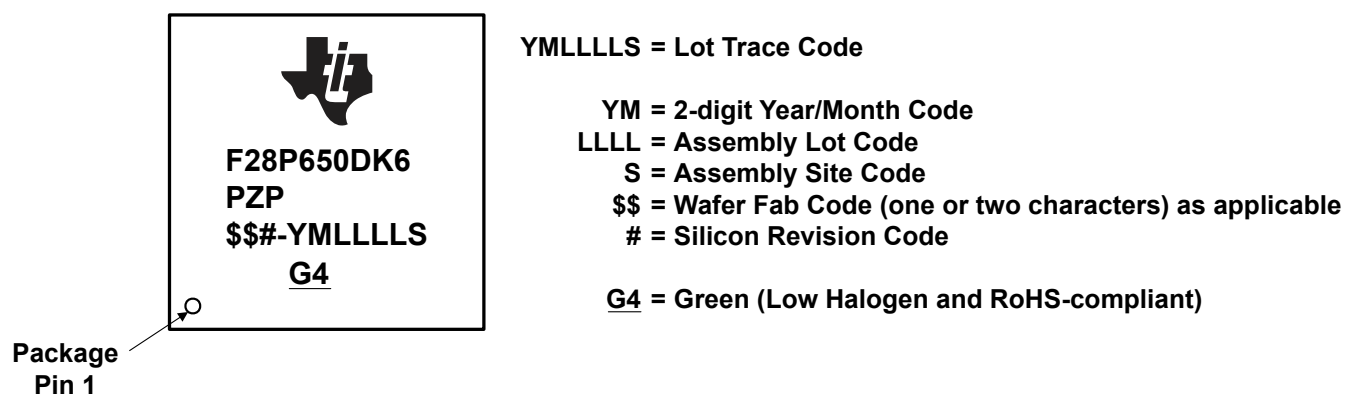


図 9-7. PZP パッケージのパッケージ マーキング – 車載以外

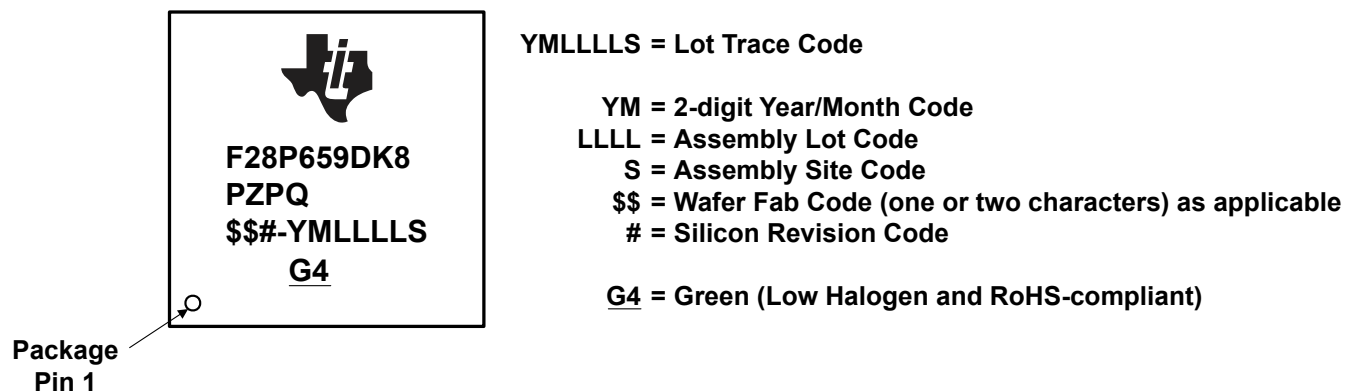


図 9-8. PZP パッケージのパッケージ マーキング – 車載

表 9-1. リビジョンの識別

シリコンのリビジョン コード	シリコンのリビジョン	REVID ⁽¹⁾ アドレス: 0x5D00C	備考
空白	0	0x0000 0001	このシリコン リビジョンは TMX として供給されます。
A	A	0x0000 0002	このシリコン リビジョンは TMS として供給されます。

(1) シリコンのリビジョン ID

9.4 ツールとソフトウェア

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。ツールおよびソフトウェアの一部は、デバイスの性能評価や、コードの生成に使用され、それに従ってソリューションの開発が行われます。**C2000™ リアルタイム制御 MCU**用に提供しているすべてのツールおよびソフトウェアを参照するには、**C2000 リアルタイム制御 MCU - 設計および開発**のページをご覧ください。

開発ツール

F28P65X controlCARD

TMDSCNCD28P65X は、TI の **C2000™** マイコン シリーズの **F28P65x** デバイスに適した、低コストの評価 / 開発ボードです。このボードには、**HSEC180** (180 ピンの高速) エッジ コネクタが付属し、**controlCARD** として初期評価とプロトタイプ製作に最適です。**TMDSCNCD28P65X** の評価には 180 ピンのドッキング ステーションである **TMDSHSECDOCK** が必須になります。別売またはバンドル キットとして購入できます。

LAUNCHXL-F28P65X

LAUNCHXL-F28P65X は、TI (テキサス・インスツルメンツ) の **C2000™** リアルタイム マイコンである **F28P65x** デバイスファミリ向けの低コスト開発ボードです。初期の評価とプロトタイプ製作に最適なこのボードは、次期アプリケーションを開発するための標準化済みで使いやすいプラットフォームを実現します。このボードは **LaunchPad™** 開発キットの拡張バージョンであり、開発用に追加のピンを採用し、2 個の **BoosterPack™** プラグイン モジュールとの接続をサポートしています。多様な TI のマイコン **LaunchPad** エコシステムの一部であるこのボードには、幅広いプラグイン モジュールとの相互互換性があります。

TI Resource Explorer

操作性を向上させるには、**TI Resource Explorer** からアプリケーションのサンプル、ライブラリ、資料を参照してください。

ソフトウェア ツール

C2000 MCU 用 C2000Ware

C2000™ MCU 用の **C2000Ware** は、ソフトウェアおよびドキュメントの総合的なセットで、ソフトウェア開発時間を最小化できるよう設計されています。特定デバイス向けドライバ、ライブラリ、ペリフェラル サンプルを収録しています。

DigitalPower SDK

DigitalPower SDK は、ソフトウェア インフラ、ツール、資料の総合的なセットで、AC/DC、DC/DC、DC/AC 電源アプリケーション向け **C2000 MCU** ベース デジタル電源システムの開発期間の大幅な短縮を可能にします。このソフトウェアには、**C2000 デジタル電源評価モジュール (EVM)** で動作するファームウェアと、太陽光発電、テレコム、サーバー、電気自動車 (EV) チャージャ、産業用電源供給アプリケーション向けの **TI Designs (TID)** が含まれています。**DigitalPower SDK** は、デジタル電源アプリケーションの開発と評価のすべての段階で必要とされるあらゆるリソースを提供します。

モーター制御 SDK

モーター制御 SDK は、さまざまな 3 相モーター制御アプリケーションで使用するために **C2000 MCU** ベースのモーター制御システムの開発時間を最小限に抑える目的で設計したソフトウェア インフラ、ツール、資料の総合的なセットです。このソフトウェアには、**C2000 モーター制御評価基板 (EVM)** で動作するファームウェアと、産業用ドライブおよびその他のモーター制御向けの **TI Designs (TID)** が含まれています。**MotorControl SDK** は、高性能モーター制御アプリケーションの開発と評価のすべての段階で必要とされるあらゆるリソースを用意しています。

Code Composer Studio™ 統合開発環境 (IDE)

Code Composer Studio は、テキサス・インスツルメンツのマイクロコントローラおよびプロセッサ用の統合開発環境 (IDE) です。**CCS** は、組み込みアプリケーションの開発とデバッグに必要な一連のツールで構成されています。**Code Composer Studio** は、Windows®, Linux®, macOS® デスクトップからダウンロードできます。<https://dev.ti.com> にアクセスし、クラウド環境で使用することもできます。**Code Composer Studio** は、最適化 C/C++ コンパイラ、ソースコード エディタ、プロジェクト ビルド環境、デバッグ、プロファイラなど、多数の機能を搭載しています。直観的な IDE を使用すると、アプリケーション開発フローの各ステップを順に実行することができます。使い慣れたツールとインターフェイスを活用して、これまで以上に迅速に開発を開始できます。**Code Composer Studio** のデスクトップ バージョンは、**Eclipse** ソフトウェア フレームワークの利点と、テキサス・インスツルメンツの高度な機能を組み合わせたもので、魅力的かつ機能の豊富

な環境を実現しています。クラウド ベースの **Code Composer Studio** は、Theia アプリケーション フレームワークを活用し、大量のソフトウェアのダウンロードやインストールを不要にして、クラウド上での開発を可能にします。

SysConfig システム構成ツール

SysConfig は、ピン、ペリフェラル、無線、サブシステム、その他のコンポーネントを構成するための包括的なグラフィカルユーティリティコレクションです。**SysConfig** を使用すると、問題の管理、表面化、解決をビジュアルな方法で実行できるので、より多くの時間をアプリケーションの差異化に割り当てることができます。このツールの出力には **C** ヘッダとコードファイルが含まれており、ソフトウェア開発キット (SDK) サンプルと組み合わせて使用することも、カスタム ソフトウェアの構成に使用することもできます。**SysConfig** ツールは、入力した要件を満たす **PinMux** 設定を自動的に選択します。**SysConfig** ツールは **CCS** に統合されており、スタンドアロン インストーラとしても提供されています。また、dev.ti.com クラウド ツール ポータルからも使用できます。**SysConfig** システム構成ツールの詳細については、[システム構成ツールのページ](#)を参照してください。

C2000 サード パーティ検索ツール

テキサス・インスツルメンツは複数の企業と協力し、テキサス・インスツルメンツの **C2000** デバイスに対応する多様なソリューションとサービスを提供しています。これらの企業は、各種 **C2000** デバイスを使用した量産へと至るお客様の開発工程の迅速化に役立ちます。この検索ツールをダウンロードすると、サード パーティ各社の概要を手早く参照し、お客様のニーズに適したサード パーティを見つけることができます。

UniFlash スタンドアロン フラッシュ ツール

UniFlash は、GUI、コマンドライン、またはスクリプト インターフェイスからオンチップ フラッシュ メモリをプログラムするために使用される、スタンドアロンのツールです。

モデル

製品の「設計および開発」ページでは、各種のモデルをダウンロードできます。これらのモデルには、I/O バッファ情報仕様 (IBIS) モデルや、バウンダリ スキャン記述言語 (BSDL) モデルが含まれます。利用可能なすべてのモデルを参照するには、各デバイスの「設計および開発」ページの「設計ツールとシミュレーション」セクションをご覧ください。

トレーニング

設計エンジニアが **C2000** マイクロコントローラの機能および性能を十分に活用できるよう、TI は各種のトレーニング リソースを開発しました。オンライン トレーニング資料や、ダウンロード可能な実践的ワークショップを活用することで、**C2000** マイクロコントローラ ファミリの完全な動作の知識を簡単に習得できます。これらのトレーニング資料は、習得を容易にし、開発期間を短縮し、製品を短期間で開発できるよう設計されています。各種トレーニング資料の詳細については、[C2000™ リアルタイム制御 MCU - サポートおよびトレーニング](#)のサイトを参照してください。

9.5 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

プロセッサおよび関連ペリフェラルに関する最新ドキュメント、その他の技術資料を以下に示します。

注

テキサス・インスツルメンツでは、より包括的な用語を使用するように移行を進めています。一部の言語については、特定のテクノロジー分野で期待される言語とは異なる場合があります。

エラッタ

『[TMS320F28P65x リアルタイム MCU シリコン エラッタ](#)』には、シリコンについて既知の問題と回避策が記載されています。

テクニカル リファレンス マニュアル

『[TMS320F28P65x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル](#)』には、F28P65x リアルタイム マイクロコントローラの各ペリフェラルおよびサブシステムについて、統合、環境、機能説明、プログラミング モデルの詳細が記載されています。

CPU ユーザー ガイド

『TMS320C28x CPU および命令セット リファレンス ガイド』では、TMS320C28x 固定小数点デジタル信号プロセッサ (DSP) の CPU (Central Processing Unit) およびアセンブリ言語命令について記述しています。このリファレンス ガイドでは、これらの DSP で利用可能なエミュレーション機能についても解説しています。

『TMS320C28x 拡張命令セット テクニカル リファレンス マニュアル』では、TMU、VCU-II、および FPU アクセラレータのアーキテクチャ、パイプライン、命令セットについて記述しています。

ペリフェラル ガイド

『C2000 リアルタイム マイクロコントローラ ペリフェラル リファレンス ガイド』は、TMS320x28x および F29x デバイスで使用可能なペリフェラルについて説明しています。このリファレンス ガイドには、各デバイスで使用されるペリフェラルと、それらのペリフェラルの説明が記載されています。

ツール ガイド

『TMS320C28x アセンブリ言語ツール v22.6.0.LTS ユーザー ガイド』では、TMS320C28x デバイス用のアセンブリ言語ツール (アセンブリ言語コードを開発するためのアセンブラや他のツール)、アセンブラ ディレクティブ、マクロ、共通オブジェクト ファイル フォーマット、シンボリック デバッグ ディレクティブについて記述しています。

『TMS320C28x 最適化 C/C++ コンパイラ v22.6.0.LTS ユーザー ガイド』では、TMS320C28x C/C++ コンパイラについて記述しています。このコンパイラは、ANSI 標準の C/C++ ソースコードから、TMS320C28x デバイス用の TMS320 DSP アセンブリ言語ソースコードを生成します。

アプリケーション ノート

『SMT & パッケージ アプリケーション ノート』Web サイトには、テキサス・インスツルメンツの表面実装テクノロジー (SMT) のドキュメントと、パッケージに関連する各種トピックについてのアプリケーション ノートの一覧があります。

『半導体パッキング方法』では、半導体デバイスをエンド ユーザーへの配送用に準備するためのパッキング手法について記述しています。

『組込みプロセッサの有効寿命計算』では、テキサス・インスツルメンツの組込みプロセッサ (EP) を電子機器システムにおいて通電状態で使用したときの有効寿命を計算するための手法を解説しています。これは、テキサス・インスツルメンツの EP の信頼性が最終システムの信頼性要件を満たすかどうかを判定したい一般的なエンジニアを対象としています。

『IBIS (I/O バッファ情報仕様) モデル作成の概要』では、IBIS の歴史、利点、互換性、モデルの生成フロー、入力 / 出力構造のモデル作成におけるデータの要件、将来の動向など、各種の側面から解説しています。

『C2000™ マイクロコントローラのシリアル フラッシュ プログラミング』では、フラッシュ カーネルおよび ROM ロダーを使用したデバイスのシリアル プログラミングについて記載しています。

『C2000™ リアルタイム マイクロコントローラを使った開発のための基本ガイド』では、リアルタイム制御システムに関連する C2000 マイクロコントローラ ユニット (MCU) を差別化するためのコンポーネントについて詳細に説明しています。

『8 ビット (バイト) アドレス指定可能な CPU から C28x CPU へのソフトウェアの移行』では、8 ビット (バイト) アドレス指定可能な CPU から C28x CPU にソフトウェアを移行する一般的なシナリオについて議論するとともに、アドレス指定能力にかかわらずアプリケーションを開発する方法について説明しています。

『F2800x C2000™ リアルタイム MCU シリーズ用ハードウェア設計ガイド』アプリケーション ノートは、C2000 デバイスを使用するハードウェア開発者向けの重要なガイドであり、設計プロセスの合理化と、設計不具合の可能性低減に役立ちます。ここで説明する主なトピックは、電源要件、汎用入出力 (GPIO) 接続、アナログ入力と ADC、クロック生成と要件、JTAG デバッグなどです。

9.6 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.7 商標

PowerPAD™, C2000™, TMS320™, LaunchPad™, BoosterPack™, Code Composer Studio™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

EtherCAT® is a registered trademark of Beckhoff Automation GmbH, Germany.

Bosch® is a registered trademark of Robert Bosch GmbH Corporation.

Windows® is a registered trademark of Microsoft Corporation.

Linux® is a registered trademark of Linus Torvalds.

macOS® is a registered trademark of Apple Inc.

すべての商標は、それぞれの所有者に帰属します。

9.8 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.9 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from NOVEMBER 15, 2023 to APRIL 7, 2025

Page

• この改訂履歴には、SPRSP69B から SPRSP69C への変更点が記載されています。.....	1
• グローバル: テキサス・インスツルメンツでは、より包括的な用語を使用するように移行を進めています。一部の言語については、特定のテクノロジー分野で期待される言語とは異なる場合があります。 SPI について、従来の用語のすべてのインスタンスをコントローラとペリフェラルに変更。従来のピン名のすべてのインスタンスを POCI (ペリフェラル出力コントローラ入力)、PICO (ペリフェラル入力コントローラ出力)、CS (チップ セレクト) に変更。 I2C バス インターフェイス について、従来の用語のすべてのインスタンスをコントローラとターゲットに変更。 CAN および LIN インターフェイス / バス について、従来の用語のすべてのインスタンスをコマンドとレスポンスに変更。 EtherCAT コントローラについて、従来の用語のすべてのインスタンスを MainDevice (または MDevice) と SubordinateDevice (または Subdevice) に変更。.....	1
• グローバル: ドキュメントのステータス ステートメントを「特に記述のない限り、このドキュメントには製品データが含まれています」から「製品データ」に変更。.....	1
• 「特長」セクション: 「4 つのシリアル通信インターフェイス (SCI) (UART をサポート)」を「2 つのシリアル通信インターフェイス (SCI) (UART をサポート)」に変更。.....	1
• 「特長」セクション: 「機能安全準拠」機能と「安全関連認証」機能を更新。機能安全証明書へのリンクを追加。.....	1
• 「概要」セクション: アプリケーションの一覧を更新。.....	3
• 「ピン属性」の表: 表を更新。.....	12
• 「アナログ信号」表: 表を更新。.....	68
• 「電源およびグラウンド」表: VDDOSC の説明を更新。.....	68
• 「ADC ピン上のデジタル入出力 (AGPIO)」セクション: セクションを追加。.....	90
• 「推奨動作条件」の表: 「バイアス電源電圧、VDD」を更新。MIN VDD を「1.14V/ns」から「1.19V/ns」に変更。NOM VDD を「1.2V/ns」から「1.25V/ns」に変更。MAX VDD を「1.32V/ns」から「1.31V/ns」に変更。.....	103
• 「推奨動作条件」の表: 「接合部温度、T _J 」から「S バージョン」を削除。「自由気流での周囲温度、T _A 」から「Q バージョン (AEC Q100 認定)」を削除。.....	103
• 「ペリフェラル ディセーブル時の標準的な電流低減」の表: 「eCAP6 および eCAP7」および「ePWM1 ~ ePWM18」の脚注を更新。.....	115
• 「遅延ブロック」セクション: 外部 VREG への参照を削除。.....	122
• 「内部 VDD LDO 電圧レギュレータ (VREG)」セクション: タイトルを「内部 1.2V LDO 電圧レギュレータ (VREG)」から「内部 VDD LDO 電圧レギュレータ (VREG)」に変更。セクションを更新。.....	122
• 「VDD デカップリング」セクション: 構成 1 と構成 2 を更新。.....	123
• 「外部 VREG シーケンスの概要」の表: 許容可能な列を更新。.....	126
• 「内部 VREG シーケンスの概要」の表: 許容可能な列を更新。.....	126
• 「パワー マネージメント モジュールの動作条件」表: 「内部 VREG VDDIO ランプ レート...」の脚注を追加。.....	127
• 「パワー マネージメント モジュールの特性」の表、V _{XRSn-MON-RELEASE-DELAY} パラメータ: 「VDDIO POR イベント後の XRSn 解除遅延」を「VDD POR イベント後の XRSn 解除遅延」に変更。.....	127
• 「パワー マネージメント モジュールの特性」の表: 「電源電圧の図を参照してください」という脚注を「I/O BOR 動作領域の図を参照してください」に変更。.....	127
• 「クロック供給システム」図: 図を更新。.....	133
• 「フラッシュ パラメータ」の表: 「フラッシュ全体における N _{wec} 書き込み / 消去サイクル (すべてのセクタを結合)」を「デバイス全体における N _{wec} 書き込み / 消去サイクル」に変更。.....	146
• 「エミュレーション / JTAG」セクション: 「GPIO35 (TDI) および GPIO37 (TDO) ピン」を「GPIO222 (TDI) および GPIO223 (TDO) ピン」に変更して最初の段落を更新。.....	150
• 「GPIO の電氣的データおよびタイミング」セクション: 「多くの GPIO には出力 X-BAR のマルチプレクサ オプションがあり...」の段落を更新。.....	154

• 「A/D コンバータ (ADC) の特性」セクション: 入力マルチプレクサの特長を「最大 40 チャンネル (シングルエンド) または 19 チャンネル (差動) の入力マルチプレクサ」に変更。「4 つのフレキシブルな PIE 割り込み」の特長を「4 つのフレキシブルな割り込み」に変更。.....	181
• 「ADC 特性 12 ビット シングルエンド」の表: 「パッケージ サイズのセラミック コンデンサ...許容誤差が最大± 20% まで許容されます」の脚注を更新。「パッケージ サイズのセラミック コンデンサ...VREFHI 容量は、リファレンス IC バッファ出力要件に依存します」の脚注を追加。.....	186
• 「ADC 特性 12 ビット 差動」の表: 「パッケージ サイズのセラミック コンデンサ...許容誤差が最大± 20% まで許容されます」の脚注を更新。「パッケージ サイズのセラミック コンデンサ...VREFHI 容量は、リファレンス IC バッファ出力要件に依存します」の脚注を追加。.....	186
• 「ADC 特性 16 ビット シングルエンド」の表: 「内部」リファレンス コンデンサの値を変更。MIN 値を「22μF」から「4.7μF」に変更。22μF の TYP 値を追加。.....	186
• 「ADC 特性 16 ビット シングルエンド」の表: 「外部」リファレンス コンデンサの値を変更。MIN 値を「22μF」から「4.7μF」に変更。22μF の TYP 値を追加。.....	186
• 「ADC 特性 16 ビット シングルエンド」の表: 「パッケージ サイズのセラミック コンデンサ...許容誤差が最大± 20% まで許容されます」の脚注を更新。「パッケージ サイズのセラミック コンデンサ...VREFHI 容量は、リファレンス IC バッファ出力要件に依存します」の脚注を追加。.....	186
• 「ADC 特性 16 ビット 差動」の表: 「内部」リファレンス コンデンサの値を変更。MIN 値を「2.2μF」から「4.7μF」に変更。22μF の TYP 値を追加。.....	186
• 「ADC 特性 16 ビット 差動」の表: 「外部」リファレンス コンデンサの値を変更。MIN 値を「2.2μF」から「4.7μF」に変更。22μF の TYP 値を追加。.....	186
• 「ADC 特性 16 ビット 差動」の表: 「パッケージ サイズのセラミック コンデンサ...許容誤差が最大± 20% まで許容されます」の脚注を更新。「パッケージ サイズのセラミック コンデンサ...VREFHI 容量は、リファレンス IC バッファ出力要件に依存します」の脚注を追加。.....	186
• 「ADC の INL と DNL」の図: 図を追加。.....	196
• 「差動入力モデル」の図: 図を更新。.....	198
• 「ADC タイミング図」セクション: 「ADCINTSEL は、ADCINT フラグを設定するように構成されます...」の箇条書き項目を更新。.....	203
• eCAP のブロック図: 図を更新。.....	222
• 「eCAP の電氣的データおよびタイミング」セクション: 「汎用入力のタイミング要件」の表に参照を追加。.....	223
• 「HRCAP 標準偏差特性図」の図: 「電流と電圧の変動...」の脚注を「1.2V」から「VDD」に変更して更新。.....	225
• 「ePWM トリップ入力の接続」の図: 図を更新。.....	227
• eQEP のブロック図: 図を更新。.....	234
• 「SDFM の電氣的データおよびタイミング」セクション: セクションを更新。.....	238
• 「SDFM の電氣的データおよびタイミング (同期 GPIO)」セクション: セクションを追加。.....	238
• 「SDFM の電氣的データおよびタイミング (ASYNC を使用)」セクション: セクションを追加。.....	238
• 「同期 GPIO SYNC オプション使用時の SDFM のタイミング要件」セクション: セクションを追加。.....	238
• 「SDFM タイミング図」セクション: セクションを追加。.....	239
• 「I2C (Inter-Integrated Circuit)」セクション: 「2 つの ePIE 割り込みをサポート」を「2 つの割り込みをサポート」に変更して特長一覧を更新。.....	252
• 「I2C ペリフェラル モジュール インターフェイス」の図: 図を更新。.....	252
• 「シリアル通信インターフェイス (SCI)」セクション: 「このモジュールのすべてのレジスタは、8 ビット レジスタ...」を削除。注:.....	260
• 「SPI コントローラ モードのタイミング」セクション: 注に「HS_MODE では、最大 50Mhz のクロックがサポートされます」を追加。.....	264
• 「USB 入力ポート DP および DM のタイミング要件」の表、VDI パラメータ: 0.2 を「最大値」から「最小値」の列に移動。.....	276
• UART (Universal Asynchronous Receiver-Transmitter) セクション: DMA の特長を更新。.....	278
• 「概要」セクション: アプリケーションの一覧を更新。.....	280

• 「フラッシュ メモリ マップ」の表: ユーザー OTP バンク 1 の終了アドレスを「0x0007 88FF」から「0x0007 8BFF」に変更。ユーザー OTP バンク 3 の終了アドレスを「0x0007 98FF」から「0x0007 9BFF」に変更。.....	286
• 「ペリフェラル レジスタのメモリ マップ」の表: UID_BASE のベース アドレスを「0x0007_2172」から「0x0007_2168」に変更。.....	291
• 「デバイス識別レジスタ」の表: UID_UNIQUE のアドレスを「0x0007 2172」から「0x0007 2168」に変更。.....	301
• 「ロックステップ比較モジュール (LCM)」セクション: 「空間的冗長性」の特長の箇条書き項目を更新。.....	314
• 「ダイレクト メモリ アクセス (DMA)」セクション: DMA の特長のリストを更新。.....	318
• 「OBC の技術関連資料」セクション: セクションを更新。.....	340
• 「ZEJ パッケージのパッケージ マーキング – 車載以外」の図: G1 の定義を更新。.....	346
• 「ZEJ パッケージのパッケージ マーキング – 車載」の図: G1 のデバイス番号と定義を更新。.....	346
• 「PTP パッケージのパッケージ マーキング – 車載以外」の図: G4 の定義を更新。.....	346
• 「PTP パッケージのパッケージ マーキング – 車載」の図: G4 のデバイス番号と定義を更新。.....	346
• 「NMR パッケージのパッケージ マーキング – 車載以外」の図: G1 の定義を更新。.....	346
• 「PZP パッケージのパッケージ マーキング – 車載以外」の図: G4 の定義を更新。.....	346
• 「PZP パッケージのパッケージ マーキング – 車載」の図: G4 のデバイス番号と定義を更新。.....	346
• 「ドキュメントのサポート」セクション: 「アプリケーション ノート」セクションに『8 ビット (バイト) アドレス指定可能な CPU から C28x CPU へのソフトウェアの移行』を追加。.....	350
• 「ドキュメントのサポート」セクション: 『F2800x C2000™ リアルタイム MCU シリーズ用ハードウェア設計ガイド』アプリケーション ノートを追加。.....	350

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

テキサス・インスツルメンツのパッケージの詳細については、[パッケージ情報 Web](#) サイトをご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F28P650DH6NMRR	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DH6 NMR
F28P650DH6NMRR.A	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DH6 NMR
F28P650DH6NMRR.B	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DH6 NMR
F28P650DH6PTP	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DH6 PTP
F28P650DH6PTP.A	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DH6 PTP
F28P650DH6PTP.B	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DH6 PTP
F28P650DH6PZPR	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DH6 PZP
F28P650DH6PZPR.A	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DH6 PZP
F28P650DH6PZPR.B	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DH6 PZP
F28P650DH6ZEJR	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DH6 ZEJ
F28P650DH6ZEJR.A	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DH6 ZEJ
F28P650DH6ZEJR.B	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DH6 ZEJ
F28P650DK6NMRR	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 NMR
F28P650DK6NMRR.A	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 NMR
F28P650DK6NMRR.B	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 NMR
F28P650DK6PTP	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 PTP

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F28P650DK6PTP.A	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 PTP
F28P650DK6PTP.B	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 PTP
F28P650DK6PZP	Active	Production	HTQFP (PZP) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 PZP
F28P650DK6PZP.A	Active	Production	HTQFP (PZP) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 PZP
F28P650DK6PZP.B	Active	Production	HTQFP (PZP) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 PZP
F28P650DK6PZPR	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 PZP
F28P650DK6PZPR.A	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 PZP
F28P650DK6PZPR.B	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 PZP
F28P650DK6ZEJR	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 ZEJ
F28P650DK6ZEJR.A	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 ZEJ
F28P650DK6ZEJR.B	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 ZEJ
F28P650DK7NMRR	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK7 NMR
F28P650DK7NMRR.A	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK7 NMR
F28P650DK7NMRR.B	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK7 NMR
F28P650DK7PTP	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK7 PTP
F28P650DK7PTP.A	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK7 PTP
F28P650DK7PTP.B	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK7 PTP

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F28P650DK7ZEJR	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK7 ZEJ
F28P650DK7ZEJR.A	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK7 ZEJ
F28P650DK7ZEJR.B	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK7 ZEJ
F28P650DK8NMRR	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK8 NMR
F28P650DK8NMRR.A	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK8 NMR
F28P650DK8NMRR.B	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK8 NMR
F28P650DK8PTP	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK8 PTP
F28P650DK8PTP.A	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK8 PTP
F28P650DK8PTP.B	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK8 PTP
F28P650DK8ZEJR	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK8 ZEJ
F28P650DK8ZEJR.A	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK8 ZEJ
F28P650DK8ZEJR.B	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK8 ZEJ
F28P650DK9NMR	Active	Production	NFBGA (NMR) 169	260 JEDEC TRAY (10+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 NMR
F28P650DK9NMR.A	Active	Production	NFBGA (NMR) 169	260 JEDEC TRAY (10+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 NMR
F28P650DK9NMR.B	Active	Production	NFBGA (NMR) 169	260 JEDEC TRAY (10+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 NMR
F28P650DK9NMRR	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 NMR
F28P650DK9NMRR.A	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 NMR

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F28P650DK9NMRR.B	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 NMR
F28P650DK9PTP	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 PTP
F28P650DK9PTP.A	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 PTP
F28P650DK9PTP.B	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 PTP
F28P650DK9ZEJ	Active	Production	NFBGA (ZEJ) 256	119 JEDEC TRAY (10+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 ZEJ
F28P650DK9ZEJ.A	Active	Production	NFBGA (ZEJ) 256	119 JEDEC TRAY (10+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 ZEJ
F28P650DK9ZEJ.B	Active	Production	NFBGA (ZEJ) 256	119 JEDEC TRAY (10+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 ZEJ
F28P650DK9ZEJR	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 ZEJ
F28P650DK9ZEJR.A	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 ZEJ
F28P650DK9ZEJR.B	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 ZEJ
F28P650SH6NMRR	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SH6 NMR
F28P650SH6NMRR.A	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SH6 NMR
F28P650SH6NMRR.B	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SH6 NMR
F28P650SH6PTP	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SH6 PTP
F28P650SH6PTP.A	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SH6 PTP
F28P650SH6PTP.B	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SH6 PTP
F28P650SH6PZPR	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SH6 PZP

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F28P650SH6PZPR.A	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SH6 PZP
F28P650SH6PZPR.B	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SH6 PZP
F28P650SH6ZEJR	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SH6 ZEJ
F28P650SH6ZEJR.A	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SH6 ZEJ
F28P650SH6ZEJR.B	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SH6 ZEJ
F28P650SH7NMRR	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SH7 NMR
F28P650SH7NMRR.A	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SH7 NMR
F28P650SH7NMRR.B	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SH7 NMR
F28P650SH7PTP	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SH7 PTP
F28P650SH7PTP.A	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SH7 PTP
F28P650SH7PTP.B	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SH7 PTP
F28P650SH7ZEJR	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SH7 ZEJ
F28P650SH7ZEJR.A	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SH7 ZEJ
F28P650SH7ZEJR.B	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SH7 ZEJ
F28P650SK6NMRR	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SK6 NMR
F28P650SK6NMRR.A	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SK6 NMR
F28P650SK6NMRR.B	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SK6 NMR

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F28P650SK6PTP	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SK6 PTP
F28P650SK6PTP.A	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SK6 PTP
F28P650SK6PTP.B	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SK6 PTP
F28P650SK6PZPR	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SK6 PZP
F28P650SK6PZPR.A	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SK6 PZP
F28P650SK6PZPR.B	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SK6 PZP
F28P650SK6ZEJR	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SK6 ZEJ
F28P650SK6ZEJR.A	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SK6 ZEJ
F28P650SK6ZEJR.B	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SK6 ZEJ
F28P650SK7NMRR	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SK7 NMR
F28P650SK7NMRR.A	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SK7 NMR
F28P650SK7NMRR.B	Active	Production	NFBGA (NMR) 169	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SK7 NMR
F28P650SK7PTP	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SK7 PTP
F28P650SK7PTP.A	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SK7 PTP
F28P650SK7PTP.B	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650SK7 PTP
F28P650SK7ZEJR	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SK7 ZEJ
F28P650SK7ZEJR.A	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SK7 ZEJ

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F28P650SK7ZEJR.B	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SK7 ZEJ
F28P659DH8PZPRQ1	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659DH8 PZPQ
F28P659DH8PZPRQ1.A	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659DH8 PZPQ
F28P659DH8PZPRQ1.B	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659DH8 PZPQ
F28P659DK8PTPQ1	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 PTPQ
F28P659DK8PTPQ1.A	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 PTPQ
F28P659DK8PTPQ1.B	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 PTPQ
F28P659DK8PZPQ1	Active	Production	HTQFP (PZP) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 PZPQ
F28P659DK8PZPQ1.A	Active	Production	HTQFP (PZP) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 PZPQ
F28P659DK8PZPQ1.B	Active	Production	HTQFP (PZP) 100	90 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 PZPQ
F28P659DK8PZPRQ1	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 PZPQ
F28P659DK8PZPRQ1.A	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 PZPQ
F28P659DK8PZPRQ1.B	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 PZPQ
F28P659DK8ZEJQ1	Active	Production	NFBGA (ZEJ) 256	119 JEDEC TRAY (10+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 ZEJQ
F28P659DK8ZEJQ1.A	Active	Production	NFBGA (ZEJ) 256	119 JEDEC TRAY (10+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 ZEJQ
F28P659DK8ZEJQ1.B	Active	Production	NFBGA (ZEJ) 256	119 JEDEC TRAY (10+1)	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 ZEJQ
F28P659DK8ZEJRQ1	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 ZEJQ

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F28P659DK8ZEJRQ1.A	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 ZEJQ
F28P659DK8ZEJRQ1.B	Active	Production	NFBGA (ZEJ) 256	1000 LARGE T&R	Yes	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 ZEJQ
F28P659SH6PTPQ1	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659SH6 PTPQ
F28P659SH6PTPQ1.A	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659SH6 PTPQ
F28P659SH6PTPQ1.B	Active	Production	HLQFP (PTP) 176	40 JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659SH6 PTPQ
F28P659SH6PZPRQ1	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659SH6 PZPQ
F28P659SH6PZPRQ1.A	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659SH6 PZPQ
F28P659SH6PZPRQ1.B	Active	Production	HTQFP (PZP) 100	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659SH6 PZPQ

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

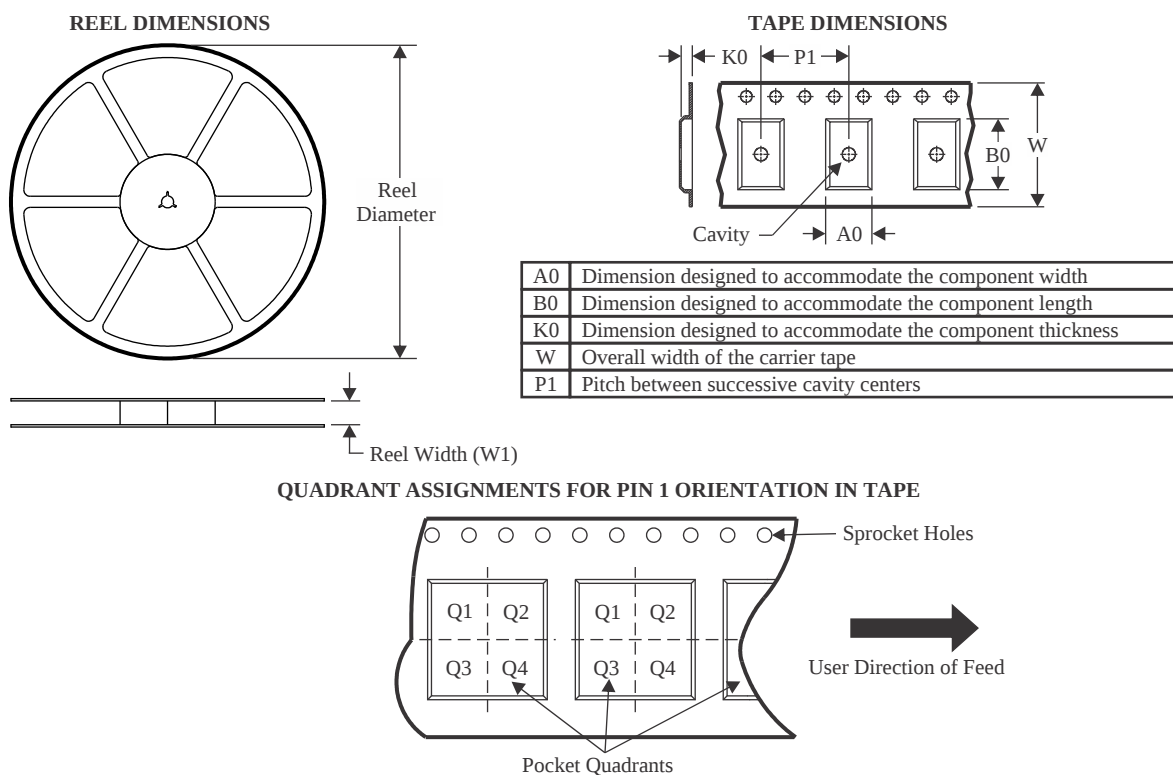
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

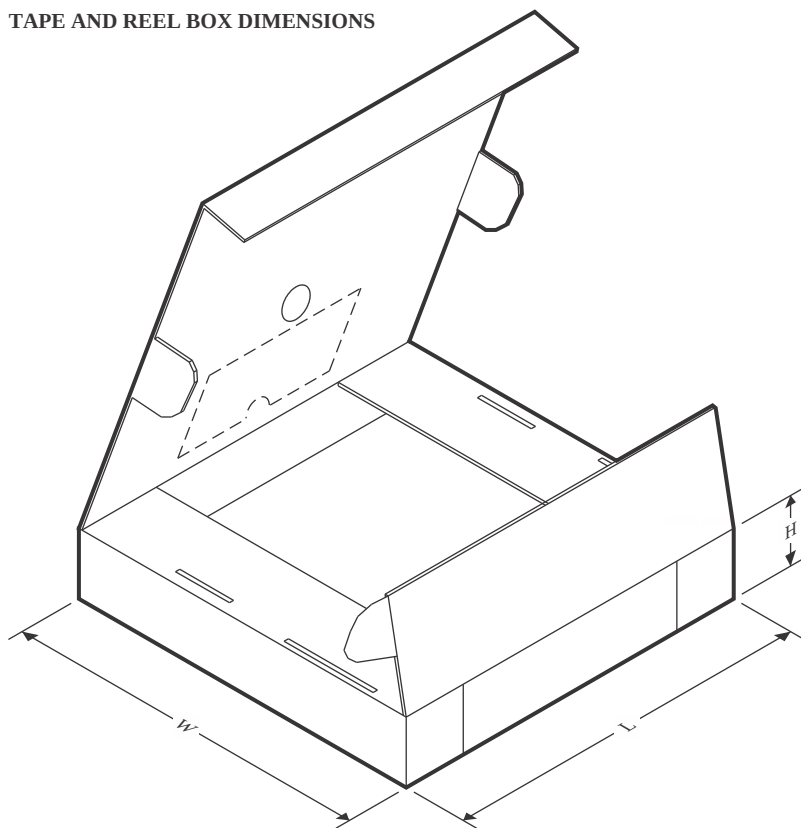


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
F28P650DH6NMRR	NFBGA	NMR	169	1000	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q1
F28P650DH6PZPR	HTQFP	PZP	100	1000	330.0	24.4	17.0	17.0	1.5	20.0	24.0	Q2
F28P650DH6ZEJR	NFBGA	ZEJ	256	1000	330.0	24.4	13.35	13.35	2.6	16.0	24.0	Q1
F28P650DK6NMRR	NFBGA	NMR	169	1000	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q1
F28P650DK6PZPR	HTQFP	PZP	100	1000	330.0	24.4	17.0	17.0	1.5	20.0	24.0	Q2
F28P650DK6ZEJR	NFBGA	ZEJ	256	1000	330.0	24.4	13.35	13.35	2.6	16.0	24.0	Q1
F28P650DK7NMRR	NFBGA	NMR	169	1000	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q1
F28P650DK7ZEJR	NFBGA	ZEJ	256	1000	330.0	24.4	13.35	13.35	2.6	16.0	24.0	Q1
F28P650DK8NMRR	NFBGA	NMR	169	1000	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q1
F28P650DK8ZEJR	NFBGA	ZEJ	256	1000	330.0	24.4	13.35	13.35	2.6	16.0	24.0	Q1
F28P650DK9NMRR	NFBGA	NMR	169	1000	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q1
F28P650DK9ZEJR	NFBGA	ZEJ	256	1000	330.0	24.4	13.35	13.35	2.6	16.0	24.0	Q1
F28P650SH6NMRR	NFBGA	NMR	169	1000	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q1
F28P650SH6PZPR	HTQFP	PZP	100	1000	330.0	24.4	17.0	17.0	1.5	20.0	24.0	Q2
F28P650SH6ZEJR	NFBGA	ZEJ	256	1000	330.0	24.4	13.35	13.35	2.6	16.0	24.0	Q1
F28P650SH7NMRR	NFBGA	NMR	169	1000	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
F28P650SH7ZEJR	NFBGA	ZEJ	256	1000	330.0	24.4	13.35	13.35	2.6	16.0	24.0	Q1
F28P650SK6NMRR	NFBGA	NMR	169	1000	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q1
F28P650SK6PZPR	HTQFP	PZP	100	1000	330.0	24.4	17.0	17.0	1.5	20.0	24.0	Q2
F28P650SK6ZEJR	NFBGA	ZEJ	256	1000	330.0	24.4	13.35	13.35	2.6	16.0	24.0	Q1
F28P650SK7NMRR	NFBGA	NMR	169	1000	330.0	16.4	9.3	9.3	1.5	12.0	16.0	Q1
F28P650SK7ZEJR	NFBGA	ZEJ	256	1000	330.0	24.4	13.35	13.35	2.6	16.0	24.0	Q1
F28P659DH8PZPRQ1	HTQFP	PZP	100	1000	330.0	24.4	17.0	17.0	1.5	20.0	24.0	Q2
F28P659DK8PZPRQ1	HTQFP	PZP	100	1000	330.0	24.4	17.0	17.0	1.5	20.0	24.0	Q2
F28P659DK8ZEJRQ1	NFBGA	ZEJ	256	1000	330.0	24.4	13.35	13.35	2.6	16.0	24.0	Q1
F28P659SH6PZPRQ1	HTQFP	PZP	100	1000	330.0	24.4	17.0	17.0	1.5	20.0	24.0	Q2

TAPE AND REEL BOX DIMENSIONS

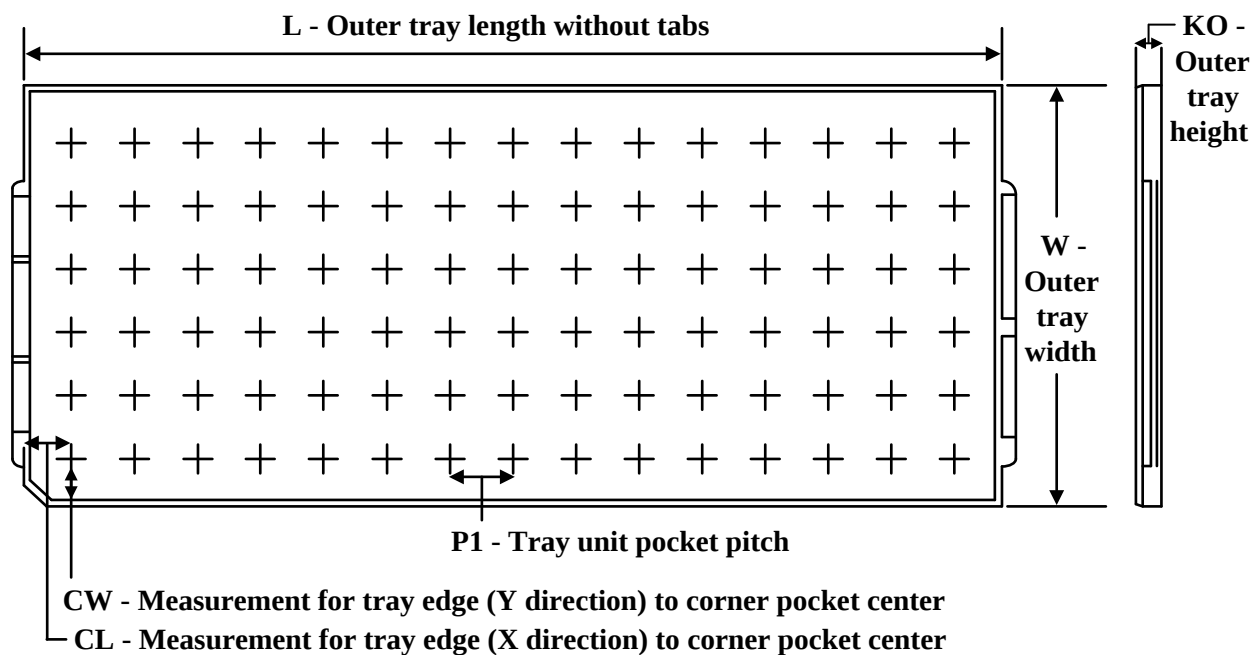


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
F28P650DH6NMRR	NFBGA	NMR	169	1000	336.6	336.6	31.8
F28P650DH6PZPR	HTQFP	PZP	100	1000	367.0	367.0	55.0
F28P650DH6ZEJR	NFBGA	ZEJ	256	1000	336.6	336.6	41.3
F28P650DK6NMRR	NFBGA	NMR	169	1000	336.6	336.6	31.8
F28P650DK6PZPR	HTQFP	PZP	100	1000	367.0	367.0	55.0
F28P650DK6ZEJR	NFBGA	ZEJ	256	1000	336.6	336.6	41.3
F28P650DK7NMRR	NFBGA	NMR	169	1000	336.6	336.6	31.8
F28P650DK7ZEJR	NFBGA	ZEJ	256	1000	336.6	336.6	41.3
F28P650DK8NMRR	NFBGA	NMR	169	1000	336.6	336.6	31.8
F28P650DK8ZEJR	NFBGA	ZEJ	256	1000	336.6	336.6	41.3
F28P650DK9NMRR	NFBGA	NMR	169	1000	336.6	336.6	31.8
F28P650DK9ZEJR	NFBGA	ZEJ	256	1000	336.6	336.6	41.3
F28P650SH6NMRR	NFBGA	NMR	169	1000	336.6	336.6	31.8
F28P650SH6PZPR	HTQFP	PZP	100	1000	367.0	367.0	55.0
F28P650SH6ZEJR	NFBGA	ZEJ	256	1000	336.6	336.6	41.3
F28P650SH7NMRR	NFBGA	NMR	169	1000	336.6	336.6	31.8
F28P650SH7ZEJR	NFBGA	ZEJ	256	1000	336.6	336.6	41.3
F28P650SK6NMRR	NFBGA	NMR	169	1000	336.6	336.6	31.8

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
F28P650SK6PZPR	HTQFP	PZP	100	1000	367.0	367.0	55.0
F28P650SK6ZEJR	NFBGA	ZEJ	256	1000	336.6	336.6	41.3
F28P650SK7NMRR	NFBGA	NMR	169	1000	336.6	336.6	31.8
F28P650SK7ZEJR	NFBGA	ZEJ	256	1000	336.6	336.6	41.3
F28P659DH8PZPRQ1	HTQFP	PZP	100	1000	367.0	367.0	55.0
F28P659DK8PZPRQ1	HTQFP	PZP	100	1000	367.0	367.0	55.0
F28P659DK8ZEJRQ1	NFBGA	ZEJ	256	1000	336.6	336.6	41.3
F28P659SH6PZPRQ1	HTQFP	PZP	100	1000	367.0	367.0	55.0

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (μm)	P1 (mm)	CL (mm)	CW (mm)
F28P650DH6PTP	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P650DH6PTP.A	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P650DH6PTP.B	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P650DK6PTP	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P650DK6PTP.A	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P650DK6PTP.B	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P650DK6PZP	PZP	HTQFP	100	90	6 X 15	150	315	135.9	7620	15.4	20.3	21
F28P650DK6PZP.A	PZP	HTQFP	100	90	6 X 15	150	315	135.9	7620	15.4	20.3	21
F28P650DK6PZP.B	PZP	HTQFP	100	90	6 X 15	150	315	135.9	7620	15.4	20.3	21
F28P650DK7PTP	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P650DK7PTP.A	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P650DK7PTP.B	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P650DK8PTP	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P650DK8PTP.A	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P650DK8PTP.B	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P650DK9NMR	NMR	NFBGA	169	260	10 X 26	150	315	135.9	7620	11.8	10	10.35
F28P650DK9NMR.A	NMR	NFBGA	169	260	10 X 26	150	315	135.9	7620	11.8	10	10.35

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
F28P650DK9NMR.B	NMR	NFBGA	169	260	10 X 26	150	315	135.9	7620	11.8	10	10.35
F28P650DK9PTP	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P650DK9PTP.A	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P650DK9PTP.B	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P650DK9ZEJ	ZEJ	NFBGA	256	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
F28P650DK9ZEJ.A	ZEJ	NFBGA	256	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
F28P650DK9ZEJ.B	ZEJ	NFBGA	256	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
F28P650SH6PTP	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P650SH6PTP.A	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P650SH6PTP.B	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P650SH7PTP	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P650SH7PTP.A	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P650SH7PTP.B	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P650SK6PTP	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P650SK6PTP.A	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P650SK6PTP.B	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P650SK7PTP	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P650SK7PTP.A	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P650SK7PTP.B	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P659DK8PTPQ1	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P659DK8PTPQ1.A	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P659DK8PTPQ1.B	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P659DK8PZPQ1	PZP	HTQFP	100	90	6 X 15	150	315	135.9	7620	15.4	20.3	21
F28P659DK8PZPQ1.A	PZP	HTQFP	100	90	6 X 15	150	315	135.9	7620	15.4	20.3	21
F28P659DK8PZPQ1.B	PZP	HTQFP	100	90	6 X 15	150	315	135.9	7620	15.4	20.3	21
F28P659DK8ZEJQ1	ZEJ	NFBGA	256	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
F28P659DK8ZEJQ1.A	ZEJ	NFBGA	256	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
F28P659DK8ZEJQ1.B	ZEJ	NFBGA	256	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
F28P659SH6PTPQ1	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P659SH6PTPQ1.A	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P659SH6PTPQ1.B	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7

GENERIC PACKAGE VIEW

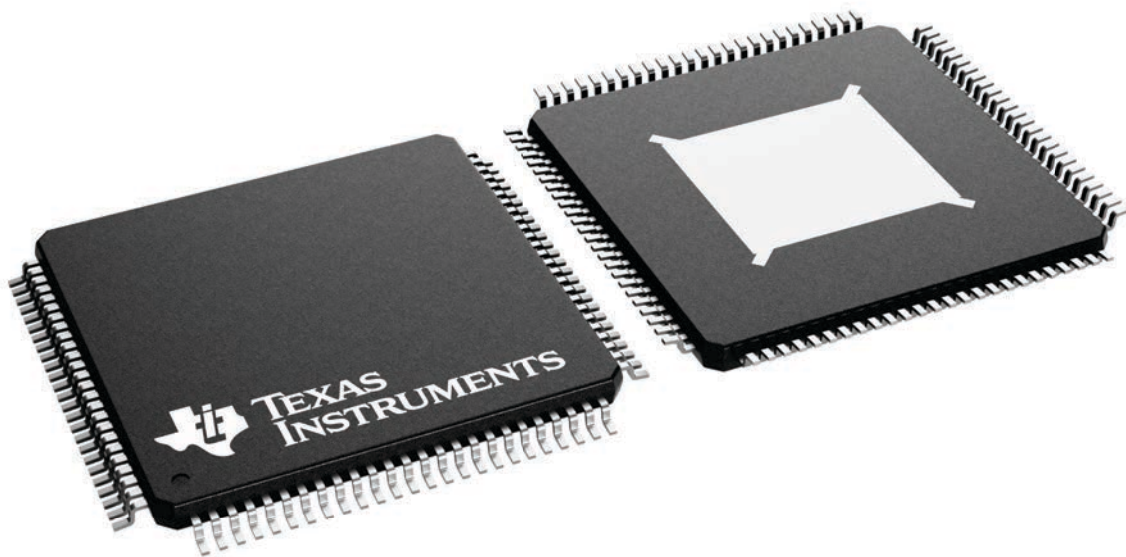
PZP 100

PowerPAD™ TQFP - 1.2 mm max height

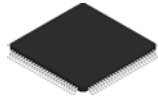
14 x 14 mm Pkg Body, 0.5 mm pitch
16 x 16 mm Pkg Area

PLASTIC QUAD FLATPACK

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



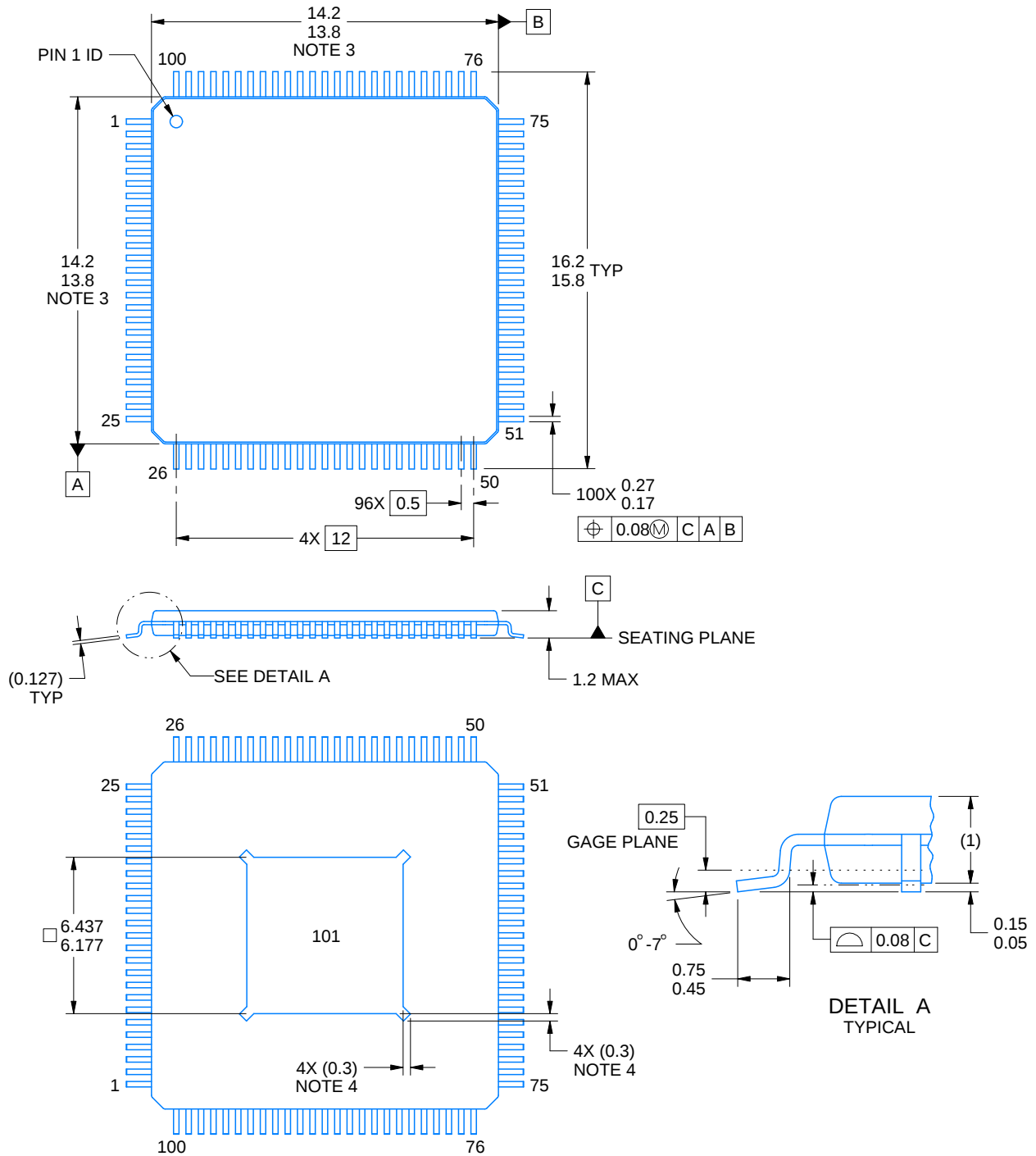
PZP0100T



PACKAGE OUTLINE

PowerPAD™ TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



4228494/B 08/2022

NOTES:

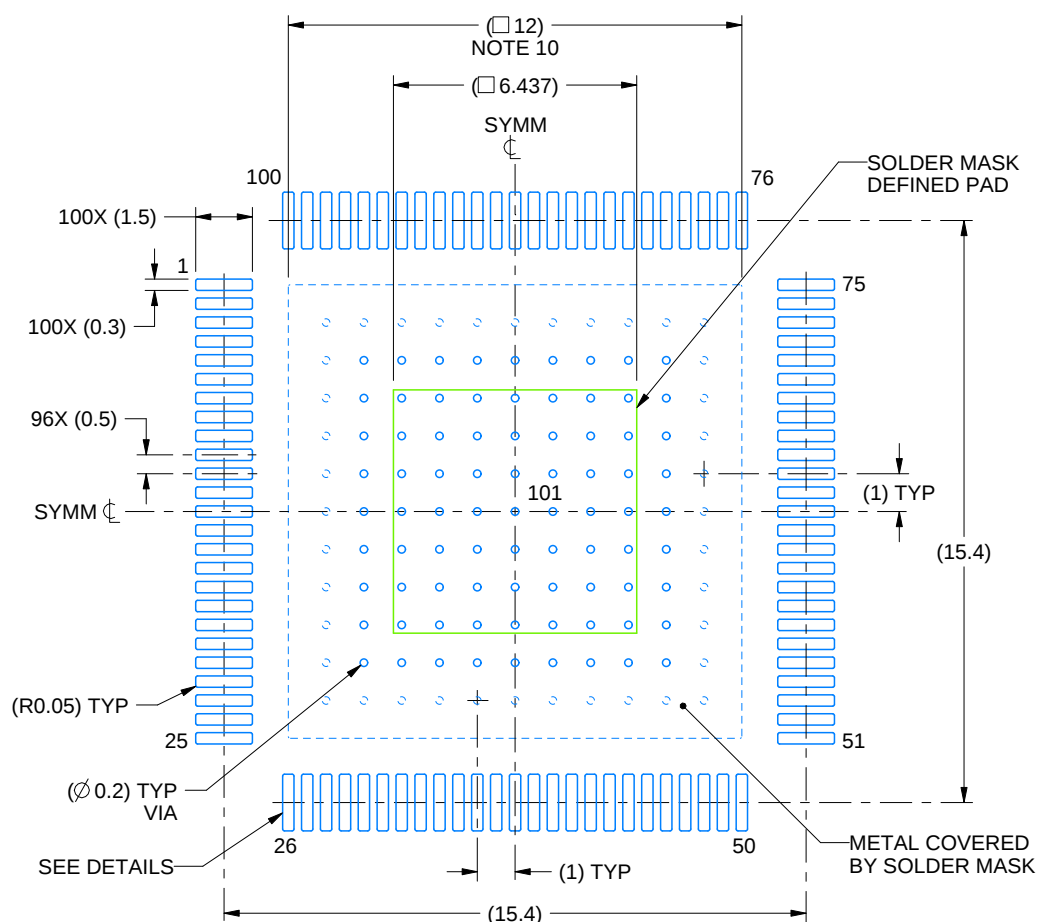
PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs.
4. Strap features may not be present.
5. Reference JEDEC registration MS-026.

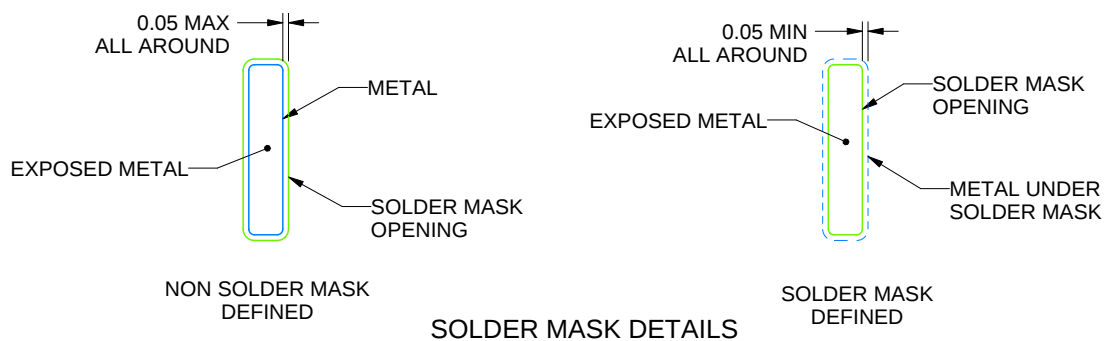
PZP0100T

PowerPAD™ TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:5X



4228494/B 08/2022

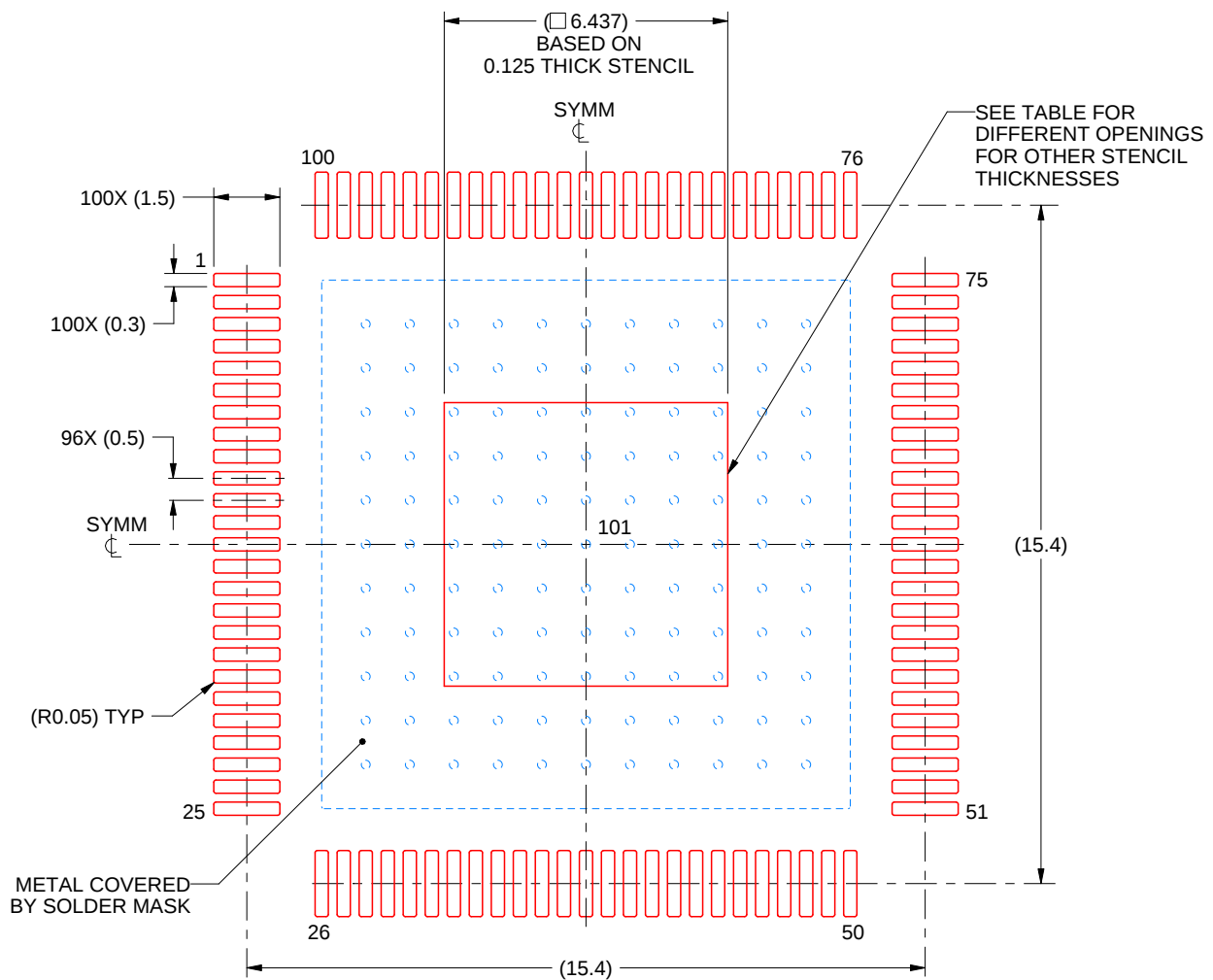
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

PZP0100T

PowerPAD™ TQFP - 1.2 mm max height

PLASTIC QUAD FLATPACK



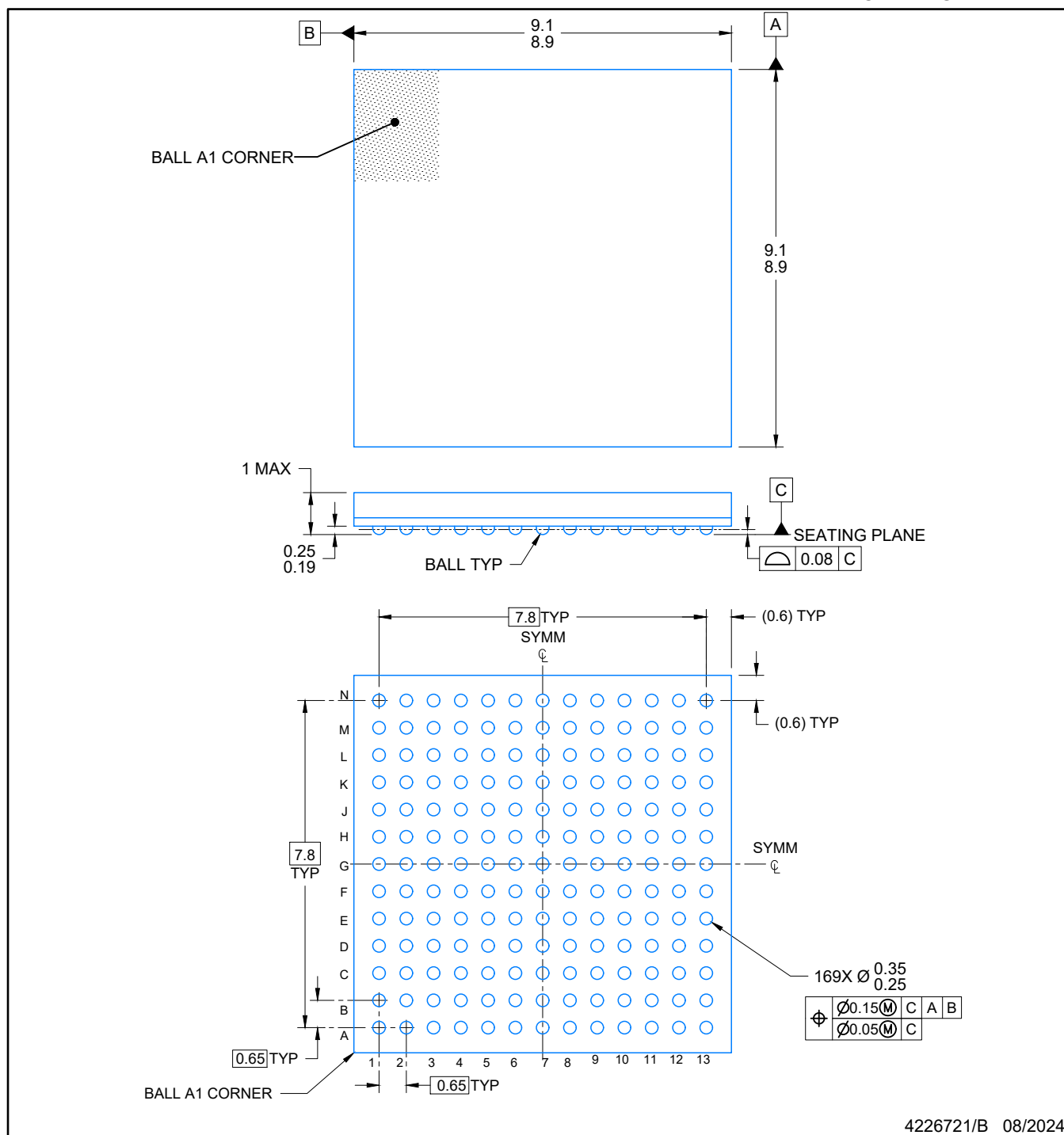
SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	7.197 X 7.197
0.125	6.437 X 6.437 (SHOWN)
0.150	5.876 X 5.876
0.175	5.440 X 5.440

4228494/B 08/2022

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

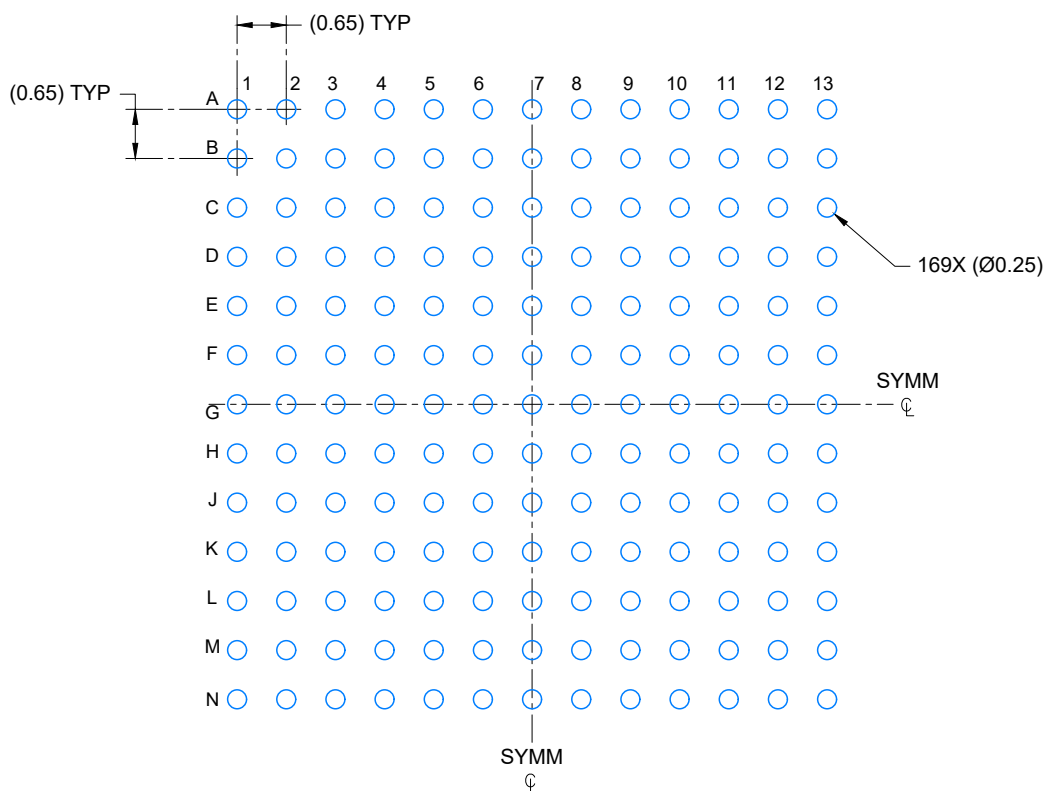


4226721/B 08/2024

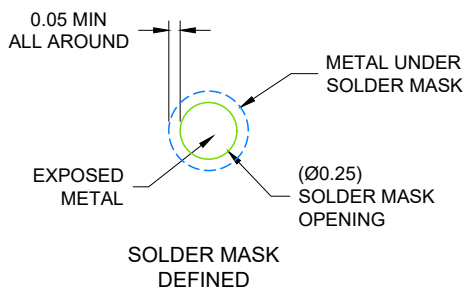
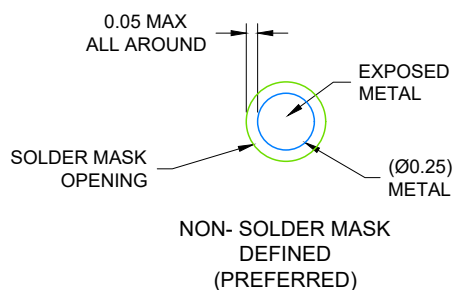
NOTES:

NanoFree is a trademark of Texas Instruments.

- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
SCALE: 10X



SOLDER MASK DETAILS
NOT TO SCALE

4226721/B 08/2024

NOTES: (continued)

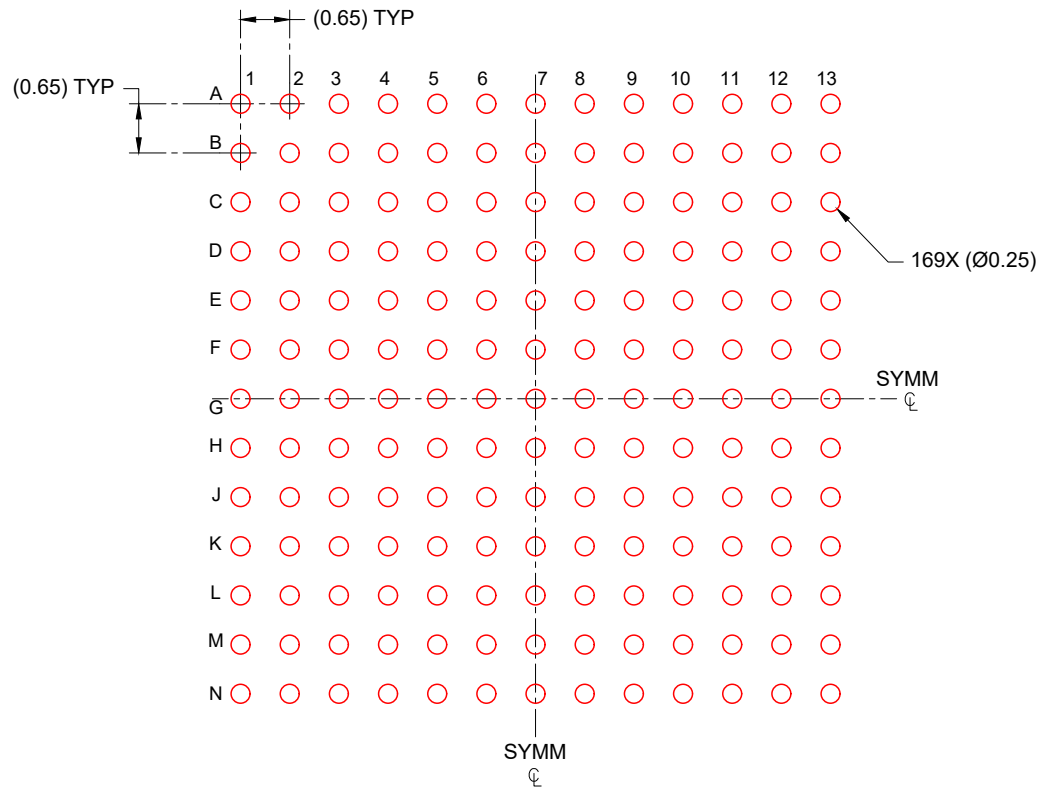
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. Refer to Texas Instruments Literature number SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

NMR0169A

NFBGA - 1 mm max height

PLASTIC BALL GRID ARRAY

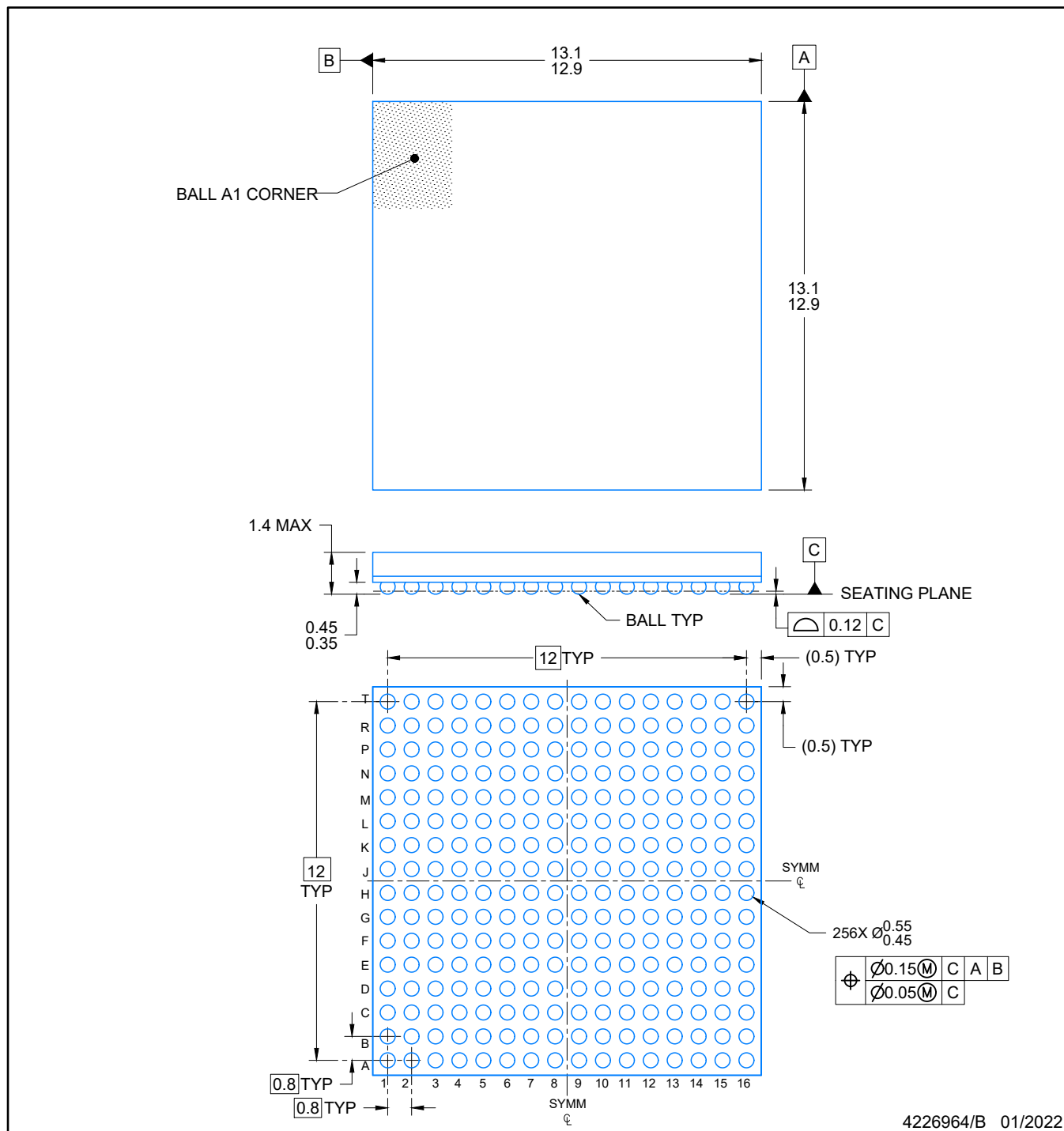


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4226721/B 08/2024

NOTES: (continued)

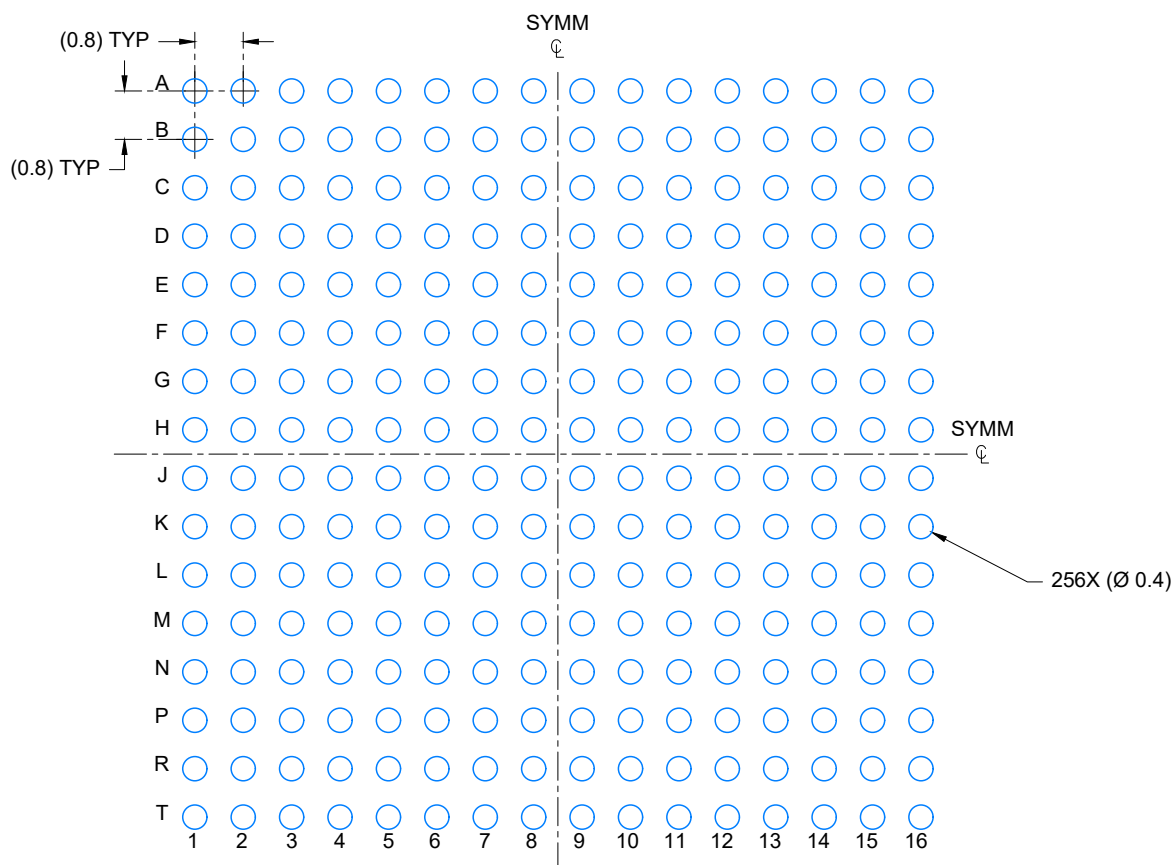
4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.



4226964/B 01/2022

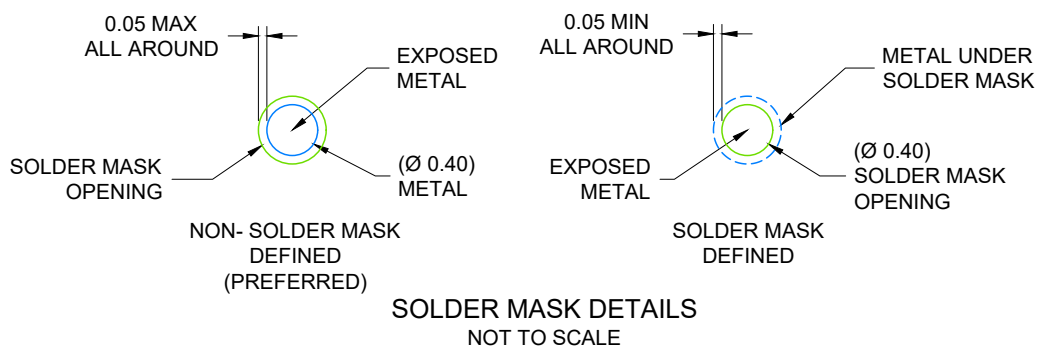
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE

SCALE: 8X



4226964/B 01/2022

NOTES: (continued)

- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. Refer to Texas Instruments Literature number SNVA009 (www.ti.com/lit/snva009).



SOLDER PASTE EXAMPLE
BASED ON 0.150 mm THICK STENCIL
SCALE: 8X

4226964/B 01/2022

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

GENERIC PACKAGE VIEW

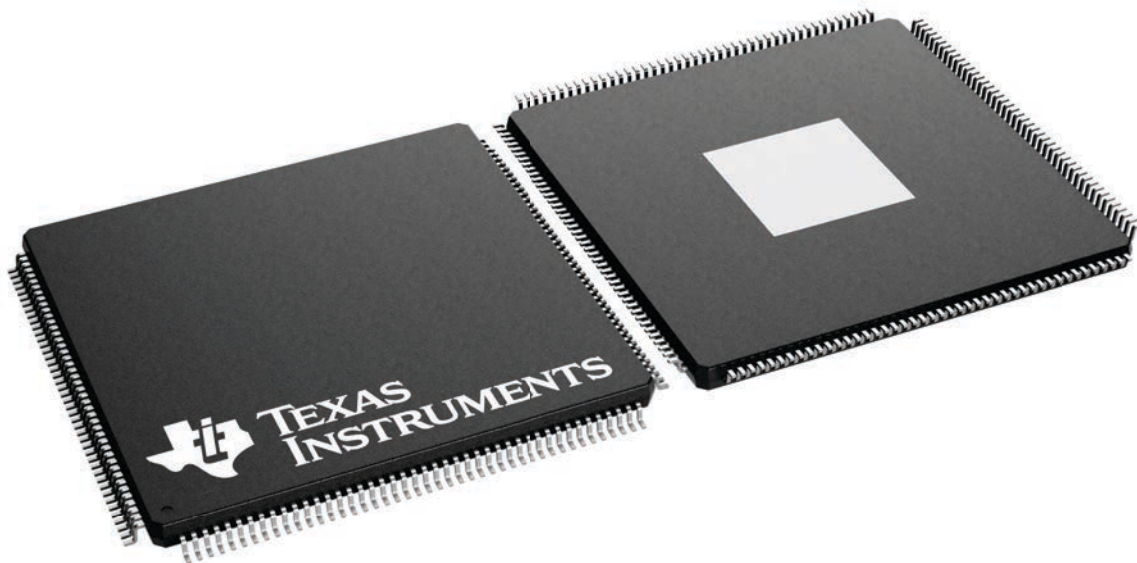
PTP 176

HLQFP - 1.6 mm max height

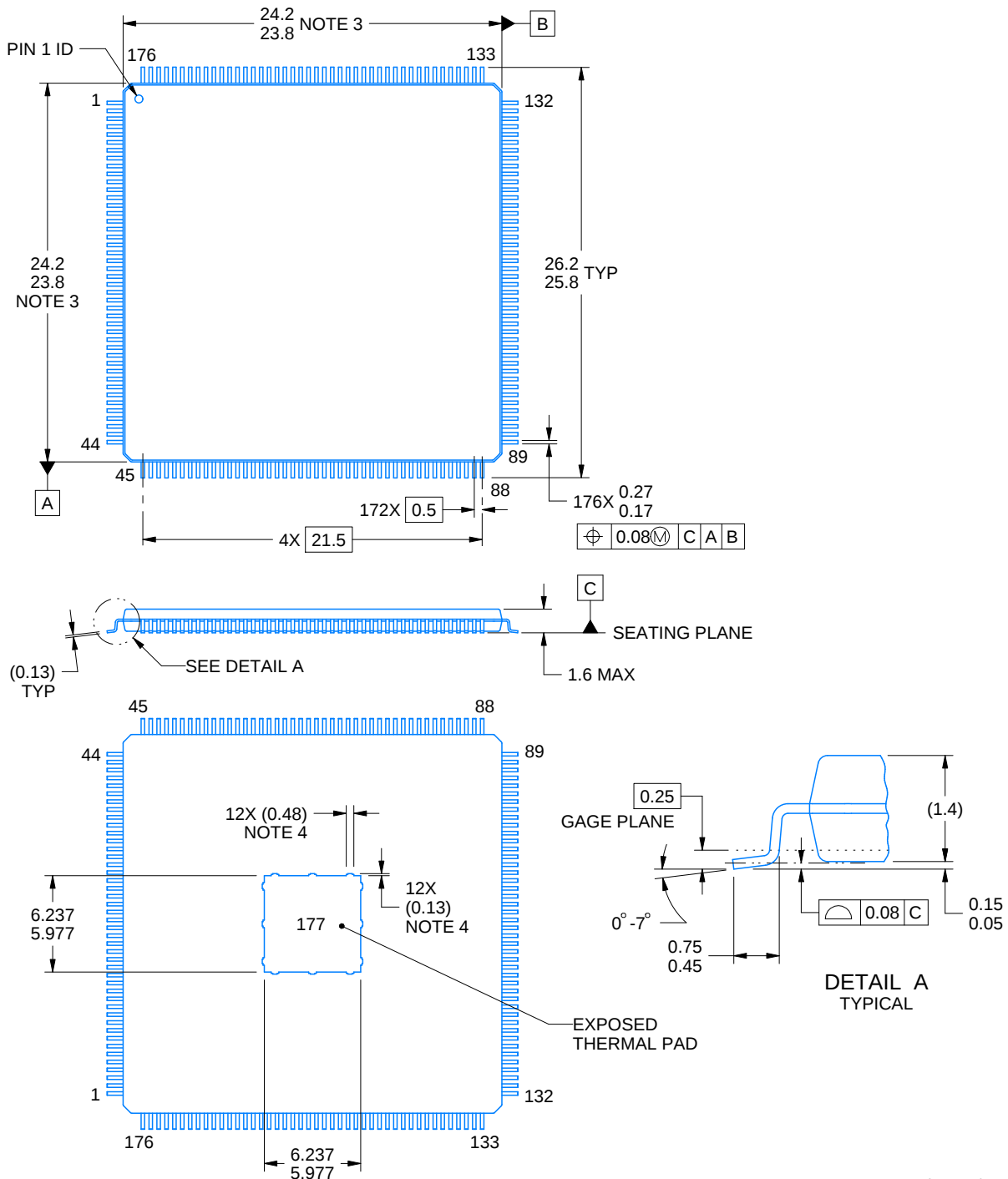
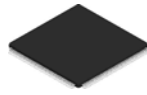
24 x 24, 0.5 mm pitch

PLASTIC QUAD FLATPACK

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4226435/A



4228495/B 08/2022

NOTES:

PowerPAD is a trademark of Texas Instruments.

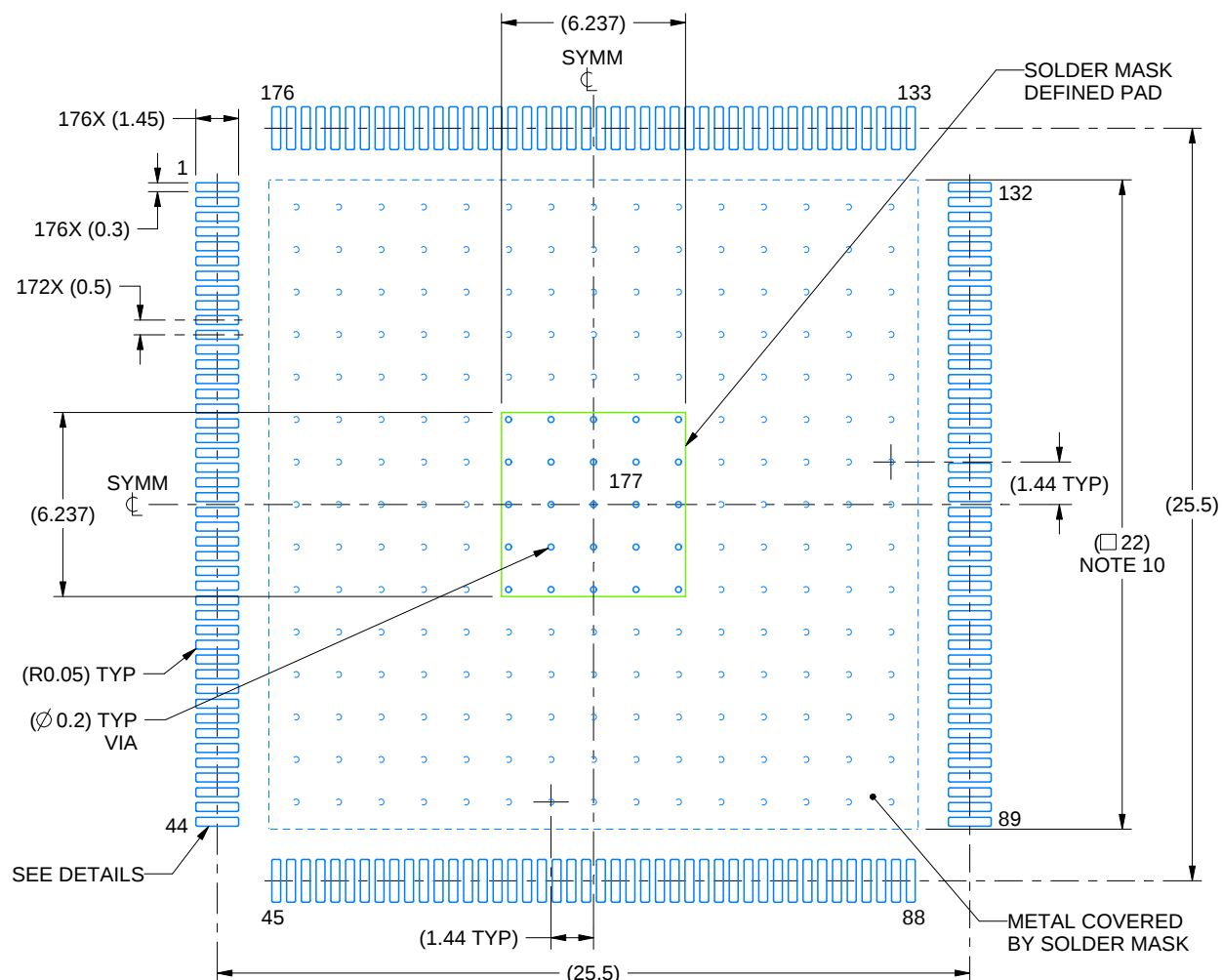
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs.
4. Strap features may not be present.
5. Reference JEDEC registration MS-026.

EXAMPLE BOARD LAYOUT

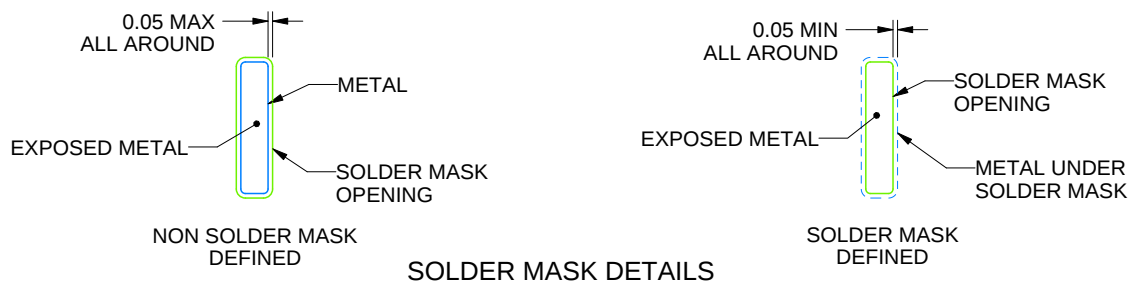
PTP0176H

PowerPAD™ HLQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:4X



4228495/B 08/2022

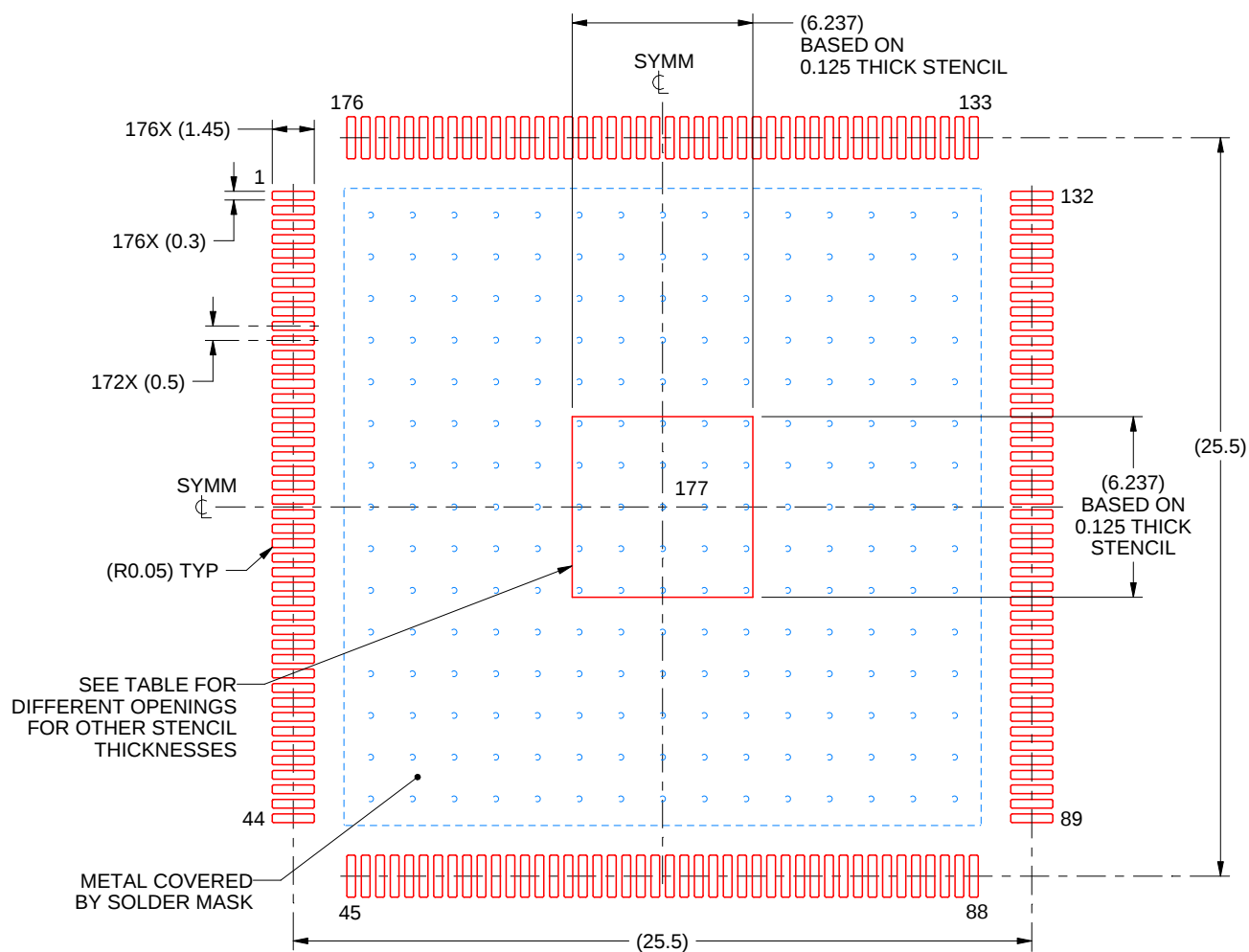
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

PTP0176H

PowerPAD™ HLQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:4X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	6.973 X 6.973
0.125	6.237 X 6.237 (SHOWN)
0.150	5.694 X 5.694
0.175	5.271 X 5.271

4228495/B 08/2022

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated