TMS320F280015x リアルタイム・マイクロコントローラ

1 特長

- 32 ビット ロックステップ デュアル TMS320C28x コア、120MHz
  - IEEE 754 浮動小数点ユニット (FPU)
  - 三角関数演算ユニット (TMU)
  - CRC エンジンおよび命令 (VCRC)
- オンチップ メモリ
  - 256KB (128KW) のシングル バンク フラッシュ (ECC 保護)
  - 36KB (18KW) の RAM (ECC / パリティ保護)
  - セキュリティ
    - JTAGLOCK
    - ゼロピン ブート
    - デュアル ゾーン セキュリティ
- クロックおよびシステム制御
  - 2 つの内部 10MHz 発振器
  - 水晶発振器または外部クロック入力
  - ウィンドウ付きウォッチドッグ タイマ モジュール
  - クロック消失検出回路
  - デュアル クロック コンパレータ (DCC)
- コア 1.2V、I/O 3.3V の設計
  - 1.2V 生成用の内部 VREG
  - ブラウンアウト リセット (BOR) 回路
- システム ペリフェラル
  - 52 本の個別にプログラム可能な多重化された汎用入出力 (GPIO) ピン (11 本はアナログと共有)
  - アナログ ピン上の 10 のデジタル入力
  - 強化ペリフェラル割り込み拡張 (ePIE)
  - 多様な低消費電力モード (LPM) のサポート
  - 固有の識別 (UID) 番号
- 通信ペリフェラル
  - 1 つの電力管理バス (PMBus) インターフェイス
  - 2 つの I2C (Inter-integrated Circuit) インターフェイス
  - 1 つの CAN/DCAN (Controller Area Network) バス ポート
  - 1 つの CAN FD/MCAN (Controller Area Network with Flexible Data-Rate) バス ポート
  - 1 つのシリアル ペリフェラル インターフェイス (SPI) ポート
  - 3 つの UART 互換シリアル通信インターフェイス (SCI)
  - 1 つの UART 互換 LIN (Local Interconnect Network) インターフェイス
- アナログ システム
  - 2 つの 4MSPS、12 ビットのアナログ / デジタル コンバータ (ADC)
    - 最大 21 の外部チャネル (11 は GPIO と共有)
    - ADC ごとに 4 つの後処理ブロック (PPB) を内蔵
  - 12 ビット リファレンス D/A コンバータ (DAC) を備えた
    1 つのウィンドウ付きコンパレータ (CMPSS)
    - デジタル グリッチ フィルタ
    - COMPDACOUT (11 ビット)
  - 3 つのウィンドウ付きコンパレータ (CMPSS_LITE) (有効ビット数 9.5 ビットのリファレンス DAC 付き)
- 拡張制御ペリフェラル
  - 14 の ePWM チャネル、うち 4 チャネルが高分解能 (分解能 150ps)
    - デッドバンド サポートを内蔵
    - ハードウェア トリップ ゾーン (TZ) を内蔵
  - 3 つの拡張キャプチャ (eCAP) モジュール
  - 2 つの拡張直交エンコーダ パルス (eQEP) モジュール、CW/CCW 動作モードをサポート
  - 組み込みパターン ジェネレータ (EPG)
- SW AES 用 CMAC キー (128 ビット)
- 診断機能
  - メモリ パワー オン自己テスト (MPOST)
- 機能安全準拠
  - 機能安全アプリケーション向けに開発
  - ISO 26262 および IEC 61508 システムの設計を支援するドキュメントを使用可能
  - ASIL D および SIL 3 までの決定論的能力
  - ASIL B および SIL 2 までのハードウェア安全度
- 安全関連の認証
  - TÜV SÜD により ISO 26262 認証済み (ASIL B まで)
  - TÜV SÜD により IEC 61508 認証済み (SIL 2 まで)
- パッケージ オプション:
  - 80 ピンの薄型クワッド フラットパック (LQFP) [接尾辞 PN]
  - 64 ピンの LQFP [PM サフィックス]
  - 48 ピン PowerPAD™ 熱的に強化された薄型クワッド フラットパック (HTQFP) [接尾辞 PHP]
  - 32 ピンの超薄型クワッド フラットパック リードなし (VQFN) [接尾辞 RHB]
- 周囲温度 (T_A) (「製品情報」の表と「デバイスの比較」を参照):
  - F280015xS、F280015xQ パーツ:-40℃ ～ 125℃
  - F280015xE パーツ:-40℃ ～ 150℃

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

2 アプリケーション

- 車載用
  - 先進運転支援システム (ADAS)
    - レーダー ECU
    - 機械式スキャン LIDAR
  - ボディ・エレクトロニクス / ライティング
    - ドア・モジュール
    - トランク・モジュール
    - ウィンドウ・モジュール
    - ボディ・コントロール・モジュール (BCM)
    - HVAC (エアコン) コンプレッサ・モジュール
    - HVAC (エアコン) 制御モジュール
    - 車内ヒーター・モジュール
    - ヘッドライト
    - コンフォート・シート・モジュール
    - シート位置 / 可倒式シート・モジュール
    - ステアリング・ホイール制御
    - DC/AC インバータ
    - 中電力 DC/DC コンバータ
- ハイブリッド、電気、パワートレイン・システム
  - バッテリ管理システム (BMS)
    - DC/DC コンバータ
    - インバータとモーター制御
    - オンボード・チャージャ (OBC) およびワイヤレス・チャージャ
    - 車両制御ユニット (VCU)
    - バーチャル・エンジン・サウンド・システム (VESS)
    - エンジン・ファン
    - eTurbo / チャージャ
    - ポンプ
    - オートマティック・トランスミッション (AT)
    - 電動パワー・ステアリング (EPS)
  - インフォテインメントおよびクラスタ
    - ヘッドアップ・ディスプレイ
    - テレマティクス制御ユニット
    - 車載用ヘッド・ユニット
    - アフターマーケット・オーディオ・アンプ
    - 車載用アクティブ・ノイズ・キャンセル
    - 車載用外部アンプ
- 産業用
  - モーター・ドライブ
    - AC ドライブ制御モジュール
    - AC ドライブ電力段モジュール
    - サーボ・ドライブ制御モジュール
    - サーボ・ドライブの電力段モジュール
  - ファクトリ・オートメーションおよび制御
    - 移動型ロボットのモーター制御
  - テレコムとサーバーの電源
    - 商用 DC/DC
    - 商用ネットワークとサーバーの PSU (電源)
    - 商用テレコム整流器
  - UPS
    - 3 相 UPS
    - 単相オンライン UPS

3 概要

TMS320F280015x (F280015x) は、パワー エレクトロニクスの効率を高めるために設計されたスケーラブルな超低レイテンシ デバイスであるコスト最適化 C2000 リアルタイム マイクロコントローラ ファミリの製品です。

主なアプリケーションには以下が含まれます。

- HVAC (エアコン) コンプレッサ モジュール
- ヘッドライト
- DC/DC コンバータ
- インバータおよびモーター制御
- オンボード チャージャ (OBC) / ワイヤレス チャージャ
- ポンプ
- 産業用モータドライブ
- モータ制御
- デジタル電源
- センシングと信号処理

TMS320F280015x にはロックステップ動作のデュアル 32 ビット C28x CPU が搭載されており、大幅なソフトウェアのオーバーヘッドなしで ASIL B 機能安全デバイス定格を達成できます。リアルタイム制御サブシステムは、テキサス・インスツルメンツの 32 ビット C28x DSP コアをベースにしており、オンチップ フラッシュまたは SRAM から実行される浮動小数点または固定小数点コードに対して 120MHz の信号処理性能を発揮します。C28x CPU は、三角関数演算ユニット

Copyright © 2025 Texas Instruments Incorporated

(TMU) と VCRC (巡回冗長検査) 拡張命令セットによってさらに強化され、リアルタイム制御システムでよく使われる重要なアルゴリズムを高速化します。

F280015x は最大 256KB (128KW) のフラッシュ メモリをサポートしています。最大 36KB (18KW) のオンチップ SRAM も利用でき、フラッシュ メモリを補完できます。

F280015x リアルタイム マイクロコントローラ (MCU) に内蔵された高性能アナログ ブロックは、リアルタイム シグナル チェーン性能を最適化するために、処理および PWM ユニットと密結合されています。14 の PWM チャネルにより、3 相インバータから力率補正とその他の先進マルチレベル電源トポロジまで、各種出力段を制御できます。

インターフェイスは、各種の業界標準通信ポート (PMBUS、SPI、SCI、LIN、I2C、CAN、CAN FD など) によりサポートされており、最適な信号配置を行うための複数のピン多重化方法を備えています。

C2000™ MCU は、お客様のリアルタイム制御システムに適した選択肢です。その機能について詳しく知るには、『C2000 ™ リアルタイム マイクロコントローラを使った開発のための基本ガイド』をご覧いただくとともに、C2000 リアルタイム マイクロコントローラ のページにアクセスしてください。

*『C2000 ™ リアルタイム制御マイコン (MCU) を使用した設計の開始』入門ガイド*は、C2000 デバイスを使用する開発について、ハードウェアからサポート リソースまで、あらゆる側面をカバーしています。主要な参考資料に加えて、各セクションには関連するリンクとリソースが掲載されており、さらに詳細な情報を知ることができます。

設計を開始する際は、以下の資料をご確認ください。TMDSCNCD2800157 評価ボードをご覧になり、C2000Ware をダウンロードしてください。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (公称)
TMS320F2800157-Q1	PN (LQFP、80)	14mm × 14mm	12mm × 12mm
	PM (LQFP、64)	12mm × 12mm	10mm × 10mm
	PHP (HTQFP、48)	9mm × 9mm	7mm × 7mm
	RHB (VQFN、32)	5mm × 5mm	5mm × 5mm
TMS320F2800157	PN (LQFP、80)	14mm × 14mm	12mm × 12mm
	PM (LQFP、64)	12mm × 12mm	10mm × 10mm
	PHP (HTQFP、48)	9mm × 9mm	7mm × 7mm
TMS320F2800156-Q1	PN (LQFP、80)	14mm × 14mm	12mm × 12mm
	PM (LQFP、64)	12mm × 12mm	10mm × 10mm
	PHP (HTQFP、48)	9mm × 9mm	7mm × 7mm
	RHB (VQFN、32)	5mm × 5mm	5mm × 5mm
TMS320F2800155-Q1	PN (LQFP、80)	14mm × 14mm	12mm × 12mm
	PM (LQFP、64)	12mm × 12mm	10mm × 10mm
	PHP (HTQFP、48)	9mm × 9mm	7mm × 7mm
	RHB (VQFN、32)	5mm × 5mm	5mm × 5mm
TMS320F2800155	PN (LQFP、80)	14mm × 14mm	12mm × 12mm
	PM (LQFP、64)	12mm × 12mm	10mm × 10mm
	PHP (HTQFP、48)	9mm × 9mm	7mm × 7mm
TMS320F2800154-Q1	PN (LQFP、80)	14mm × 14mm	12mm × 12mm
	PM (LQFP、64)	12mm × 12mm	10mm × 10mm
	PHP (HTQFP、48)	9mm × 9mm	7mm × 7mm
	RHB (VQFN、32)	5mm × 5mm	5mm × 5mm
TMS320F2800153-Q1	PHP (HTQFP、48)	9mm × 9mm	7mm × 7mm
	RHB (VQFN、32)	5mm × 5mm	5mm × 5mm

Copyright © 2025 Texas Instruments Incorporated

パッケージ情報 (続き)

部品番号	パッケージ [1]	パッケージ サイズ[2]	本体サイズ (公称)
TMS320F2800152-Q1	PHP (HTQFP、48)	9mm × 9mm	7mm × 7mm
	RHB (VQFN、32)	5mm × 5mm	5mm × 5mm

(1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。

製品情報

部品番号 [1]	コード[2]	パッケージ オプション	AEC-Q100	周波数 (MHz)	CMPSS (12 ビット DAC)	HRPWM チャネル	フラッシュ サイズ	自由気流での周囲温度
TMS320F2800157	S	80PN 64PM 48PHP	–	120	1	4	256KB	-40℃ ～ 125℃
TMS320F2800155							128KB	
TMS320F2800157-Q1	Q	80PN 64PM 48PHP 32RHB	グレード 1	120	1	4	256KB	
TMS320F2800155-Q1							128KB	
TMS320F2800156-Q1				100	–	–	256KB	
TMS320F2800154-Q1							128KB	
TMS320F2800153-Q1		48PHP 32RHB		120	1	4	64KB	
TMS320F2800152-Q1				100	–	–	64KB	
TMS320F2800157-Q1[3]	E	48PHP	グレード 0	120	1	4	256KB	-40℃ ～ 150℃
TMS320F2800156-Q1[3]				100	–	–	256KB	

(1) これらのデバイスの詳細については、「デバイスの比較」の表を参照してください。
(2) **S**:非車載パーツ
Q:車載**グレード 1** パーツ
E:車載**グレード 0** パーツ
(3) プレビュー情報 (量産データではありません)。

Copyright © 2025 Texas Instruments Incorporated

3.1 機能ブロック図

「機能ブロック図」に、CPU システムと関連ペリフェラルを示します。

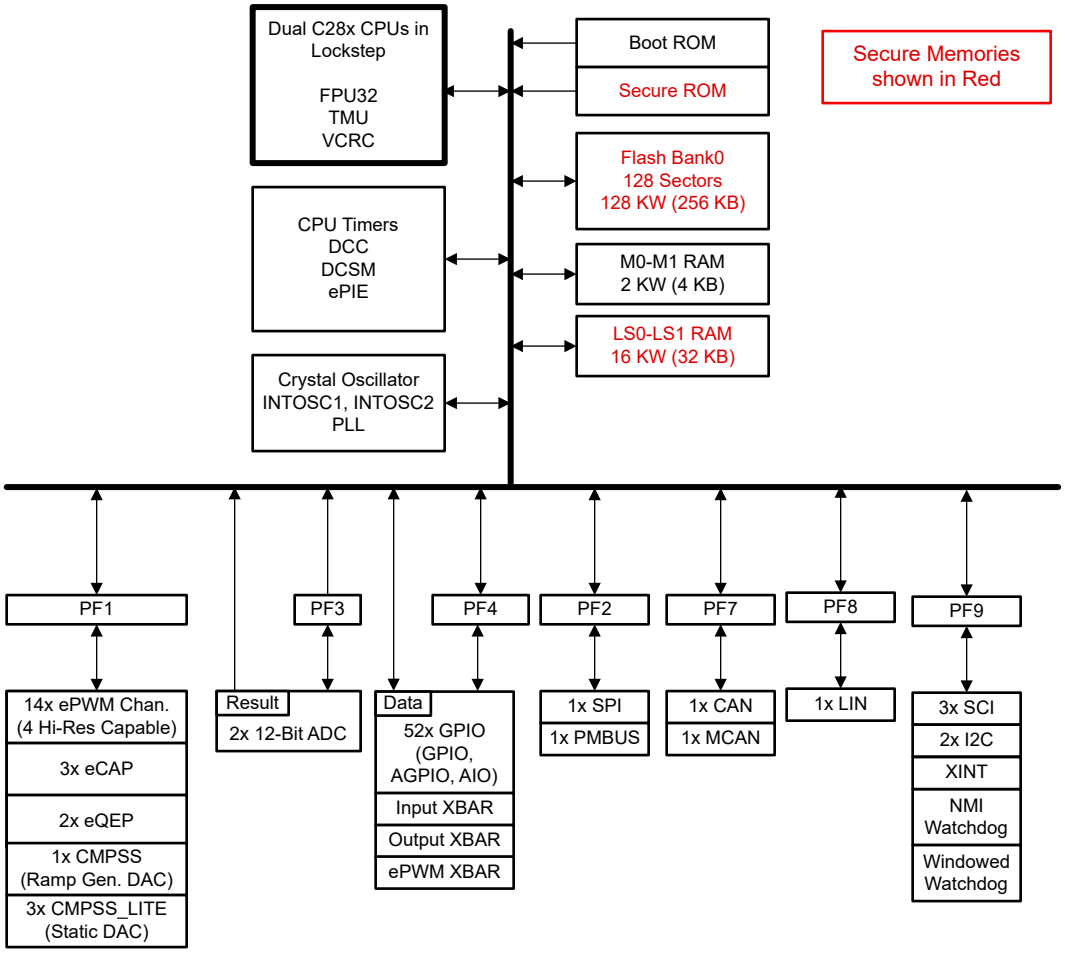


図 3-1. 機能ブロック図

目次

1 特長.... 1
2 アプリケーション....2
3 概要.... 2
3.1 機能ブロック図....5
4 デバイスの比較....7
4.1 関連製品....10
5 ピン構成および機能.... 11
5.1 ピン配置図.... 11
5.2 ピン属性....15
5.3 信号の説明.... 31
5.4 ピン多重化....38
5.5 内部プルアップおよびプルダウン付きのピン.... 45
5.6 未使用ピンの接続.... 45
6 仕様.... 47
6.1 絶対最大定格.... 47
6.2 ESD 定格 - 民生用.... 47
6.3 ESD 定格 - 車載用.... 48
6.4 推奨動作条件.... 48
6.5 消費電力の概略....50
6.6 電気的特性....60
6.7 PN パッケージの熱抵抗特性.... 61
6.8 PM パッケージの熱抵抗特性....61
6.9 PHP パッケージの熱抵抗特性....61
6.10 RHB パッケージの熱抵抗特性....62
6.11 熱設計の検討事項....62
6.12 AEC-Q100 グレード 0 の熱設計に関する考慮事項... 62
6.13 システム.... 64
6.14 アナログ・ペリフェラル.... 109
6.15 制御ペリフェラル....136
6.16 通信ペリフェラル....147
7 詳細説明.... 169
7.1 概要....169
7.2 機能ブロック図....170
7.3 メモリ.... 171
7.4 識別....178
7.5 C28x プロセッサ....179
7.6 デバイス ブート モード.... 182
7.7 セキュリティ....190
7.8 ウォッチドッグ....191
7.9 C28x タイマ....192
7.10 デュアル・クロック・コンパレータ (DCC).... 193
7.11 機能安全....194
8 アプリケーション、実装、およびレイアウト....195
8.1 アプリケーションと実装.... 195
8.2 デバイスの主な特長....195
8.3 アプリケーション情報....198
9 デバイスおよびドキュメントのサポート....215
9.1 使い始めと次の手順.... 215
9.2 デバイス命名規則....215
9.3 マーキング....216
9.4 ツールとソフトウェア.... 220
9.5 ドキュメントのサポート....222
9.6 サポート・リソース.... 223
9.7 商標....223
9.8 静電気放電に関する注意事項....223
9.9 用語集....224
10 改訂履歴.... 225
11 メカニカル、パッケージ、および注文情報....226

Copyright © 2025 Texas Instruments Incorporated

4 デバイスの比較

表 4-1 に、TMS320F280015x デバイスの機能を示します。

表 4-1. デバイスの比較

機能[1]		F2800157 F2800157-Q1[2]	F2800155 F2800155-Q1	F2800153-Q1	F2800156-Q1[2]	F2800154-Q1	F2800152-Q1
プロセッサおよびアクセラレータ							
C28x (デュアルコア、ロックステップ)	周波数 (MHz)	120			100		
	FPU32 - タイプ 0	あり					
	TMU – タイプ 0	あり					
	VCRC	あり					
メモリ							
フラッシュ		256KB (128KW)	128KB (64KW)	64KB (32KW)	256KB (128KW)	128KB (64KW)	64KB (32KW)
RAM		36KB (18KW)					
セキュリティ:JTAGLOCK、ゼロピン ブート、デュアル ゾーン セキュリティ		あり					
システム							
32 ビット CPU タイマ		3					
ウォッチドッグ タイマ		1					
デュアル クロック比較 (DCC)		1					
外部割り込み		5					
組み込みパターン ジェネレータ (EPG)		1					
ノンマスカブル割り込みウォッチドッグ (NMIWD) タイマ		1					
水晶発振器 / 外部クロック入力		1					
内部発振器の精度 (2 INTOSC)		「内部発振器」セクションを参照					
GPIO	80 ピン QFP PN	52 (11 はアナログと共有、4 は TDI、TDO、X1、X2 と共有)					
	64 ピン QFP PM	37 (11 はアナログと共有、4 は TDI、TDO、X1、X2 と共有)					
	48 ピン QFP PHP	27 (9 はアナログと共有、4 は TDI、TDO、X1、X2 と共有)					
	32 ピン QFN RHB	18 (5 はアナログと共有、4 は TDI、TDO、X1、X2 と共有)					
	追加 GPIO	4 (cJTAG を使用する場合は TDI と TDO は GPIO として使用可能。 INTOSC をクロック ソースとして使用する場合は X1 と X2 を GPIO として使用可能) 注:これら 4 つの GPIO を上記の数に含む。					
AIO (アナログと共有するデジタル入力)	80 ピン QFP PN	10					
	64 ピン QFP PM	10					
	48 ピン QFP PHP	9					
	32 ピン QFN RHB	6					
アナログ ペリフェラル							
ADC 12 ビット	ADC の数	2					

表 4-1. デバイスの比較 (続き)

機能[1]		F2800157 F2800157-Q1[2]	F2800155 F2800155-Q1	F2800153-Q1	F2800156-Q1[2]	F2800154-Q1	F2800152-Q1
ADC 変換時間 (ns)[3] / MSPS	80 ピン QFP PN	250ns / 4.00MSPS			290ns / 3.45MSPS		
	64 ピン QFP PM						
	48 ピン QFP PHP						
	32 ピン QFN RHB						
ADC チャネル (シングルエンド)	80 ピン QFP PN	21 (11 は GPIO と共有)					
	64 ピン QFP PM	21 (11 は GPIO と共有)					
	48 ピン QFP PHP	18 (9 は GPIO と共有)					
	32 ピン QFN RHB	11 (5 は GPIO と共有)					
温度センサ		1					
コンパレータ サブシステム	CMPSS (それぞれ 2 つのコンパレータと、ランプ生成器のインクリメントとデクリメントを行う 2 つのダイナミック DAC を含む)	1			-		
	CMPSS_LITE (それぞれ 2 つのコンパレータと 2 つのスタティック DAC を含む)	3					
	CMPx_DACL 出力	1			-		
制御ペリフェラル[4]							
eCAP モジュール – タイプ 2		3					
ePWM/HRPWM – タイプ 4	合計チャネル数	14					
	高分解能チャネル	4 (ePWM1、ePWM2)			–		
eQEP モジュール – タイプ 2		2					
通信ペリフェラル[4]							
PMBus – タイプ 0		1					
CAN – タイプ 0		1					
CAN FD (MCAN) – タイプ 2		1					
I2C – タイプ 1		2					
SCI – タイプ 0 (UART 互換)		3					
LIN – タイプ 1 (UART 互換)		1					
SPI – タイプ 2		1					

Copyright © 2025 Texas Instruments Incorporated

表 4-1. デバイスの比較 (続き)

機能[1]		F2800157 F2800157-Q1[2]	F2800155 F2800155-Q1	F2800153-Q1	F2800156-Q1[2]	F2800154-Q1	F2800152-Q1
パッケージ、温度、認定オプション							
F280015xS パーツ	接合部温度 (T_J)	-40℃ ～ 140℃		-			
	自由気流での周囲温度 (T_A)	-40℃ ～ 125℃		-			
	パッケージ オプション	80PN、64PM、48PHP		-			
	AEC-Q100 認定[5]	-					
F280015xQ パーツ	接合部温度 (T_J)	-40℃ ～ 140℃					
	自由気流での周囲温度 (T_A)	-40℃ ～ 125℃					
	パッケージ オプション	80PN、64PM、48PHP、32RHB[6]		48PHP、32RHB[6]	80PN、64PM、48PHP、32RHB[6]		48PHP、32RHB[6]
	AEC-Q100 認定[5]	グレード 1					
F280015xE パーツ	接合部温度 (T_J)	-40℃ ～ 155℃	-	-	-40℃ ～ 155℃	-	-
	自由気流での周囲温度 (T_A)	-40℃ ～ 150℃	-	-	-40℃ ～ 150℃	-	-
	パッケージ オプション	48PHP	-	-	48PHP	-	-
	AEC-Q100 認定[5]	グレード 0	-	-	グレード 0	-	-

(1) タイプの違いは、ペリフェラル モジュールの機能上の主要な相違を表します。同じペリフェラル タイプのデバイス間でも、モジュールの基本的な機能には影響しないわずかな違いがあることがあります。
(2) TMS320F2800157-Q1 **(グレード 1)** および TMS320F2800156-Q1 **(グレード 1)** デバイスの情報は量産データです。
TMS320F2800157-Q1 **(グレード 0)** および TMS320F2800156-Q1 **(グレード 0)** デバイスの情報はプレビュー情報のみです (量産データではありません)。
(3) サンプル アンド ホールド ウィンドウの開始から、次の変換のサンプル アンド ホールド ウィンドウの開始までの時間。
(4) 複数のパッケージで供給されるデバイスの場合、パッケージが小さいほどデバイスのピン数が少ないため、小型パッケージに記載されているペリフェラル数が減少します。デバイスに内部的に存在するペリフェラルの数は、その型番で提供される最大のパッケージに比べて減少しません。小型パッケージのピンでアクセス可能なペリフェラル インスタンスについては、セクション 5 を参照してください。
(5) Q1 は、車載アプリケーション向けの AEC -Q100 認定を表します。
(6) 32 RHB は機能安全品質管理されています。

4.1 関連製品

TMS320F2803x リアルタイム・マイクロコントローラ
F2803x シリーズは、ピン数とメモリ・サイズについて、より広範な選択肢を提供します。F2803x シリーズでは、パラレル制御補償器アクセラレータ (CLA) オプションも採り入れています。

TMS320F2807x リアルタイム・マイクロコントローラ
F2807x シリーズは、最高の性能、最大のピン数、フラッシュ・メモリ・サイズ、ペリフェラルの選択肢を提供します。F2807x シリーズには、最新世代のアクセラレータ、ePWM ペリフェラル、アナログ・テクノロジーが含まれています。

TMS320F28004x リアルタイム・マイクロコントローラ
F28004x シリーズは、最新世代の拡張機能を備えた F2807x シリーズの縮小版です。

TMS320F2838x リアルタイム・マイクロコントローラ
F2838x シリーズは、より高い性能、より多くのピン数、フラッシュ・メモリ・サイズ、ペリフェラル、および幅広い接続オプションを提供します。F2838x シリーズには、最新世代のアクセラレータ、ePWM ペリフェラル、アナログ・テクノロジーが含まれています。

TMS320F28002x リアルタイム・マイクロコントローラ
F28002x シリーズは、最新世代の拡張機能を備えた F28004x シリーズの縮小版です。

TMS320F28003x リアルタイム・マイクロコントローラ
F28003x シリーズは、F28002x シリーズをベースにしており、高い周波数、大容量のメモリ、多くのペリフェラル・オプションを提供します。CAN FD とセキュリティ機能は、F2838x シリーズから導入されています。

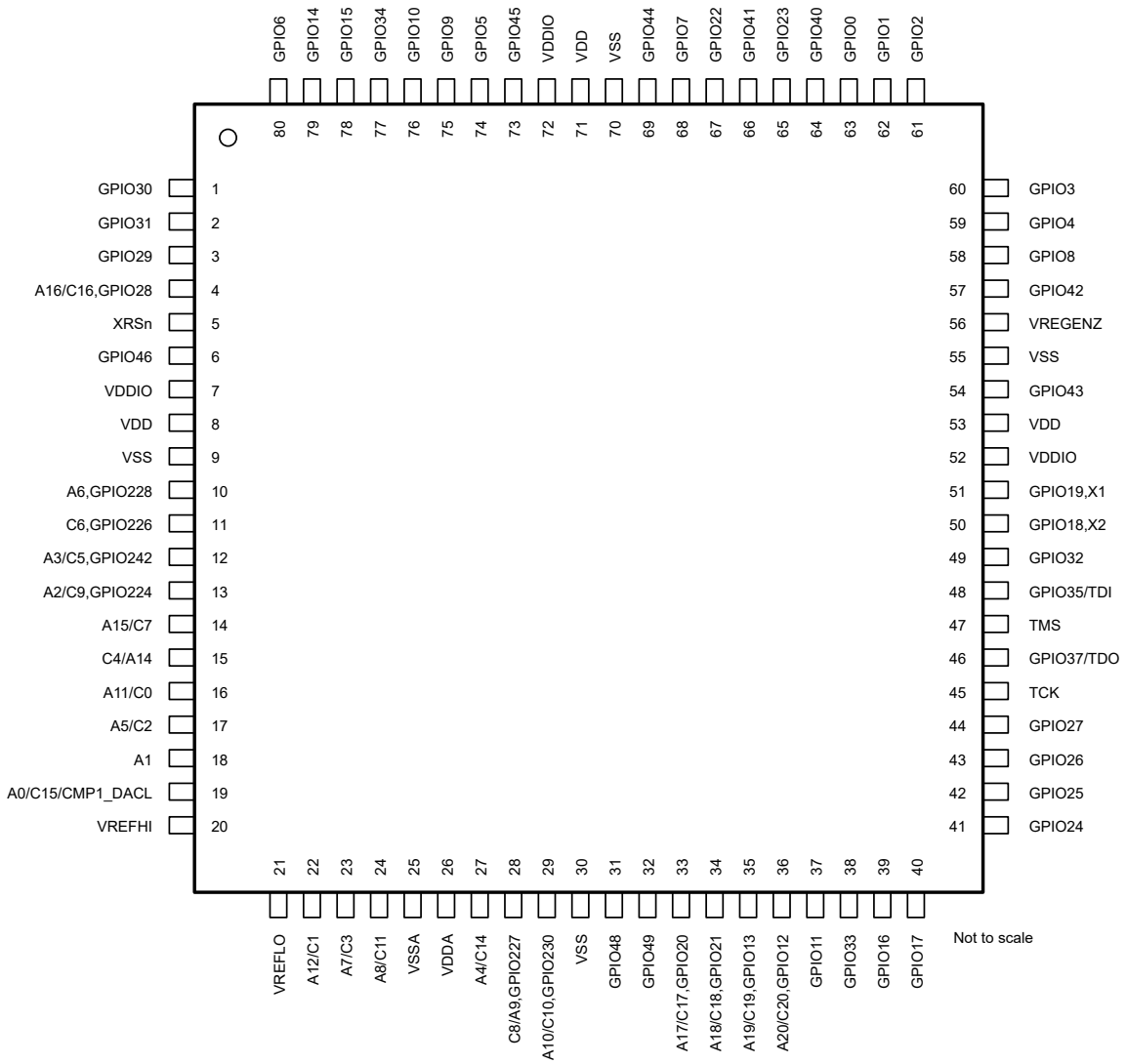
TMS320F280013x リアルタイム・マイクロコントローラ
F280013x は F280015x と同様のクラスのデバイスで、産業用アプリケーション向けに設計されています。

Copyright © 2025 Texas Instruments Incorporated

5 ピン構成および機能

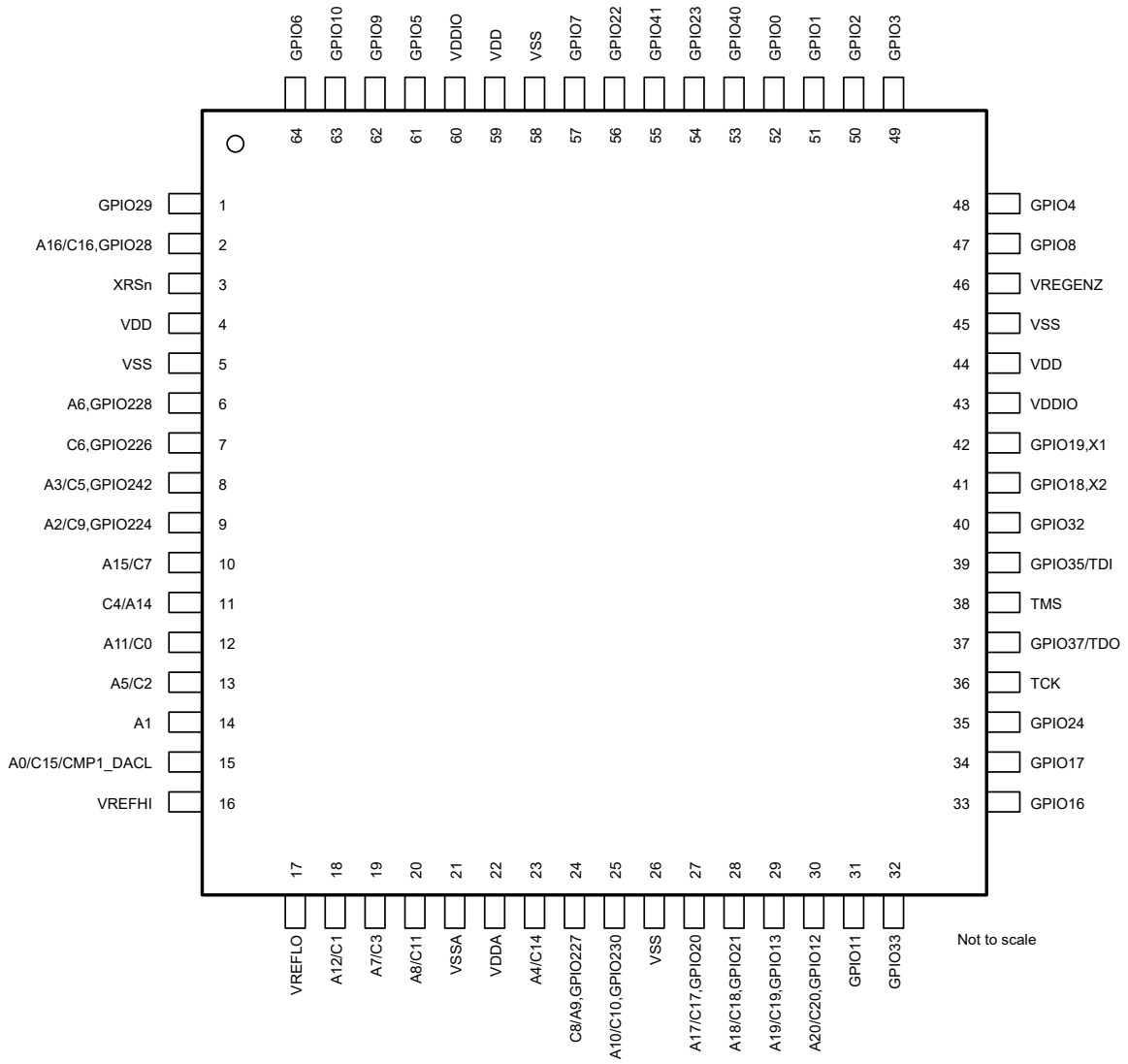
5.1 ピン配置図

図 5-1 に、80 ピン PN 薄型クワッド フラットパック (LQFP) のピン配置を示します。図 5-2 に、64 ピン PM LQFP のピン配置を示します。図 5-3 に、48 ピン PHP PowerPAD™ 熱的に強化された薄型クワッド フラットパック (HTQFP) のピン配置を示します。図 5-4 に、32 ピン RHB 超薄型クワッド フラットパック、リードなし (VQFN) のピン配置を示します。



A. GPIO 端子には GPIO 機能のみを表示しています。多重化された信号名全体については、セクション 5.2 を参照してください。

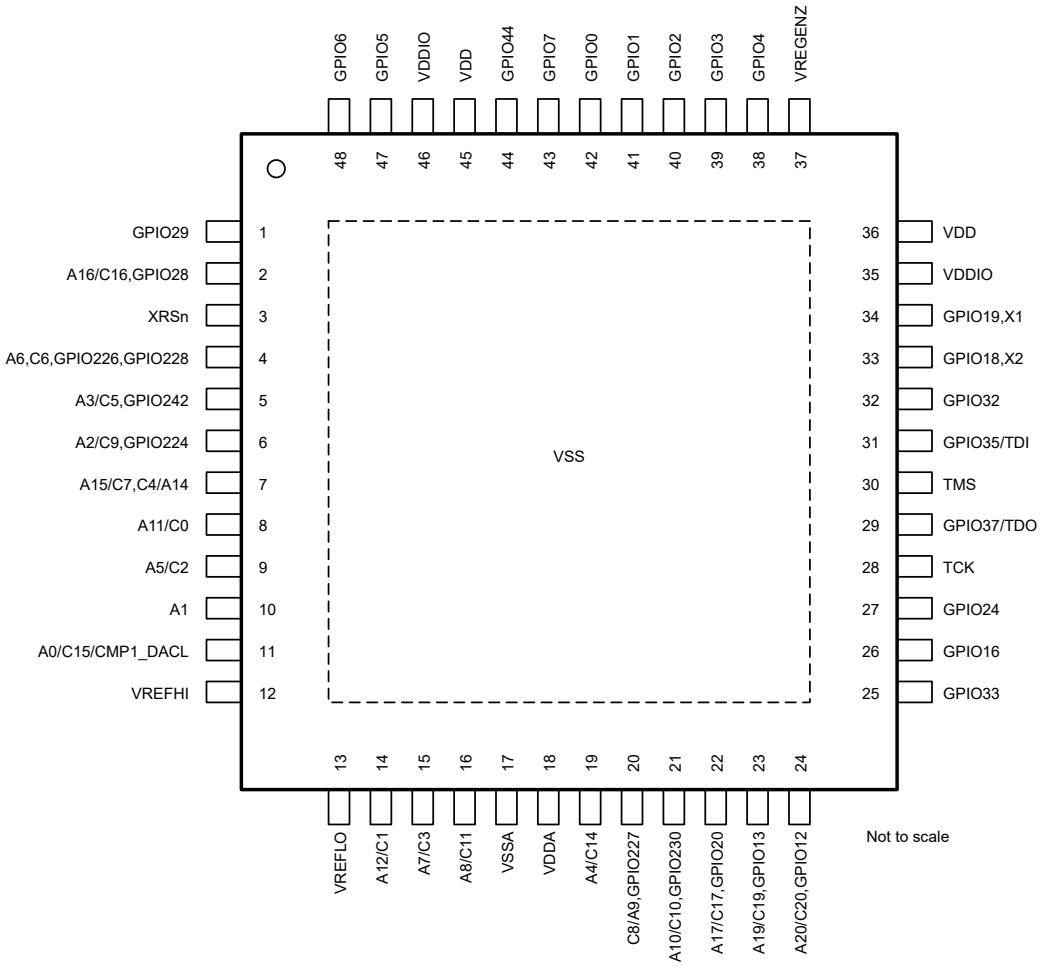
図 5-1. 80 ピン PN 薄型クワッド フラットパック (上面図)



A. GPIO 端子には GPIO 機能のみを表示しています。多重化された信号名全体については、セクション 5.2 を参照してください。

図 5-2. 64 ピン PM 薄型クワッド フラットパック (上面図)

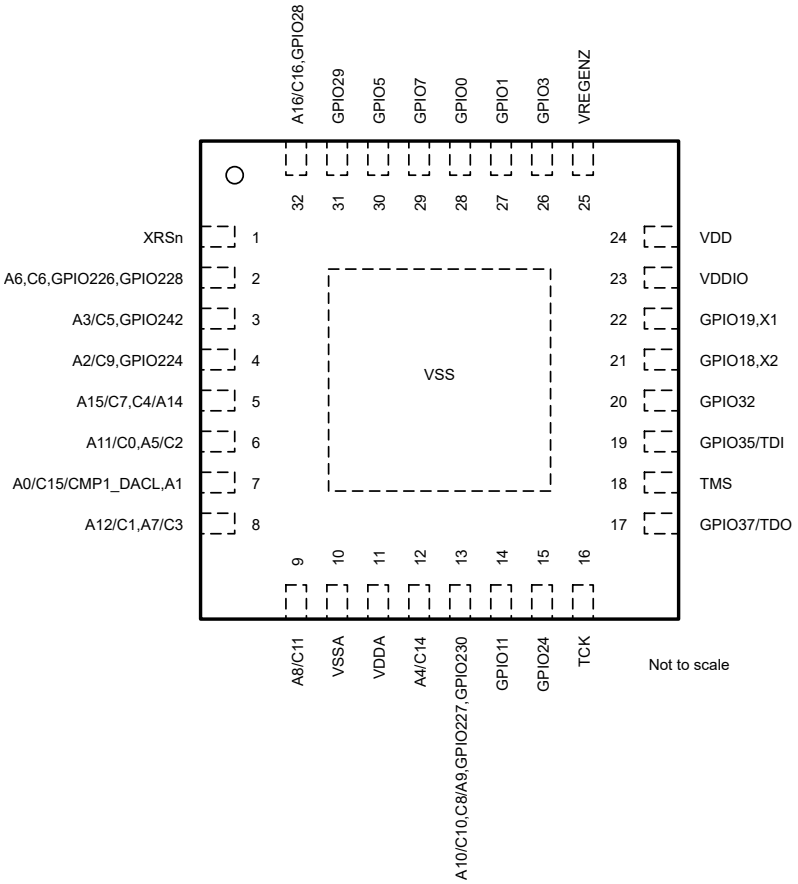
Copyright © 2025 Texas Instruments Incorporated



A. GPIO 端子には GPIO 機能のみを表示しています。多重化された信号名全体については、セクション 5.2 を参照してください。

B. GPIO226 と GPIO228 の両方が出力として構成されている場合、ピン 4 での競合を防止するため、GPIO226 は自動的に入力に変更されます。

図 5-3. 48 ピン PHP PowerPAD™ 熱的に強化された薄型クワッド フラットパック (上面図)



A. GPIO 端子には GPIO 機能のみを表示しています。多重化された信号名全体については、セクション 5.2 を参照してください。
B. GPIO226 と GPIO228 の両方が出力として構成されている場合、ピン 2 での競合を防止するため、GPIO226 は自動的に入力に変更されます。
C. GPIO227 と GPIO230 の両方が出力として構成されている場合、ピン 13 での競合を防止するため、GPIO227 は自動的に入力に変更されます。

図 5-4. 32 ピン RHB 超薄型クワッド フラットパック、リードなし (上面図)

Copyright © 2025 Texas Instruments Incorporated

5.2 ピン属性

表 5-1. ピン属性

信号名	多重化位置	80 PN	64 PM	48 PHP	32 RHB	ピンの種類	説明
アナログ							
A0		19	15	11	7	I	ADC-A 入力 0
C15						I	ADC-C 入力 15
CMP1_DACL						I	CMPSS-1 低 DAC 出力
CMP3_HP2						I	CMPSS-3 ハイコンパレータ正入力 2
CMP3_LP2						I	CMPSS-3 ローコンパレータ正入力 2
AIO231	0、4、8、12					I	デジタル入力 231 に使用されるアナログ ピン
A1		18	14	10	7	I	ADC-A 入力 1
CMP1_HP4						I	CMPSS-1 ハイコンパレータ正入力 4
CMP1_LP4						I	CMPSS-1 ローコンパレータ正入力 4
AIO232	0、4、8、12					I	デジタル入力 232 に使用されるアナログ ピン
A2		13	9	6	4	I	ADC-A 入力 2
C9						I	ADC-C 入力 9
CMP1_HP0						I	CMPSS-1 ハイコンパレータ正入力 0
CMP1_LP0						I	CMPSS-1 ローコンパレータ正入力 0
GPIO224						I/O	汎用入出力 224。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A3		12	8	5	3	I	ADC-A 入力 3
C5						I	ADC-C 入力 5
CMP3_HN0						I	CMPSS-3 ハイコンパレータ負入力 0
CMP3_HP3						I	CMPSS-3 ハイコンパレータ正入力 3
CMP3_LN0						I	CMPSS-3 ローコンパレータ負入力 0
CMP3_LP3						I	CMPSS-3 ローコンパレータ正入力 3
GPIO242						I/O	汎用入出力 242。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A4		27	23	19	12	I	ADC-A 入力 4
C14						I	ADC-C 入力 14
CMP2_HP0						I	CMPSS-2 ハイコンパレータ正入力 0
CMP2_LP0						I	CMPSS-2 ローコンパレータ正入力 0
CMP4_HN0						I	CMPSS-4 ハイコンパレータ負入力 0
CMP4_HP3						I	CMPSS-4 ハイコンパレータ正入力 3
CMP4_LN0						I	CMPSS-4 ローコンパレータ負入力 0
CMP4_LP3						I	CMPSS-4 ローコンパレータ正入力 3
AIO225	0、4、8、12					I	デジタル入力 225 に使用されるアナログ ピン

表 5-1. ピン属性 (続き)

信号名	多重化位置	80 PN	64 PM	48 PHP	32 RHB	ピンの種類	説明
A5						I	ADC-A 入力 5
C2						I	ADC-C 入力 2
CMP3_HN1						I	CMPSS-3 ハイコンパレータ負入力 1
CMP3_HP1		17	13	9	6	I	CMPSS-3 ハイコンパレータ正入力 1
CMP3_LN1						I	CMPSS-3 ロー コンパレータ負入力 1
CMP3_LP1						I	CMPSS-3 ロー コンパレータ正入力 1
AIO244	0、4、8、12					I	デジタル入力 244 に使用されるアナログ ピン
A6						I	ADC-A 入力 6
CMP1_HP2						I	CMPSS-1 ハイコンパレータ正入力 2
CMP1_LP2		10	6	4	2	I	CMPSS-1 ロー コンパレータ正入力 2
GPIO228						I/O	汎用入出力 228。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A7						I	ADC-A 入力 7
C3						I	ADC-C 入力 3
CMP4_HN1						I	CMPSS-4 ハイコンパレータ負入力 1
CMP4_HP1		23	19	15	8	I	CMPSS-4 ハイコンパレータ正入力 1
CMP4_LN1						I	CMPSS-4 ロー コンパレータ負入力 1
CMP4_LP1						I	CMPSS-4 ロー コンパレータ正入力 1
AIO245	0、4、8、12					I	デジタル入力 245 に使用されるアナログ ピン
A8						I	ADC-A 入力 8
C11						I	ADC-C 入力 11
CMP2_HP4						I	CMPSS-2 ハイコンパレータ正入力 4
CMP2_LP4		24	20	16	9	I	CMPSS-2 ロー コンパレータ正入力 4
CMP4_HP4						I	CMPSS-4 ハイコンパレータ正入力 4
CMP4_LP4						I	CMPSS-4 ロー コンパレータ正入力 4
AIO241	0、4、8、12					I	デジタル入力 241 に使用されるアナログ ピン
A10						I	ADC-A 入力 10
C10						I	ADC-C 入力 10
CMP2_HN0						I	CMPSS-2 ハイコンパレータ負入力 0
CMP2_HP3						I	CMPSS-2 ハイコンパレータ正入力 3
CMP2_LN0		29	25	21	13	I	CMPSS-2 ロー コンパレータ負入力 0
CMP2_LP3						I	CMPSS-2 ロー コンパレータ正入力 3
GPIO230						I/O	汎用入出力 230。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A11						I	ADC-A 入力 11
C0						I	ADC-C 入力 0
CMP1_HN1						I	CMPSS-1 ハイコンパレータ負入力 1
CMP1_HP1		16	12	8	6	I	CMPSS-1 ハイコンパレータ正入力 1
CMP1_LN1						I	CMPSS-1 ロー コンパレータ負入力 1
CMP1_LP1						I	CMPSS-1 ロー コンパレータ正入力 1
AIO237	0、4、8、12					I	デジタル入力 237 に使用されるアナログ ピン

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	80 PN	64 PM	48 PHP	32 RHB	ピンの種類	説明
A12		22	18	14	8	I	ADC-A 入力 12
C1						I	ADC-C 入力 1
CMP2_HN1						I	CMPSS-2 ハイコンパレータ負入力 1
CMP2_HP1						I	CMPSS-2 ハイコンパレータ正入力 1
CMP2_LN1						I	CMPSS-2 ロー コンパレータ負入力 1
CMP2_LP1						I	CMPSS-2 ロー コンパレータ正入力 1
CMP4_HP2						I	CMPSS-4 ハイコンパレータ正入力 2
CMP4_LP2						I	CMPSS-4 ロー コンパレータ正入力 2
AIO238	0、4、8、12					I	デジタル入力 238 に使用されるアナログ ピン
A15		14	10	7	5	I	ADC-A 入力 15
C7						I	ADC-C 入力 7
CMP1_HN0						I	CMPSS-1 ハイコンパレータ負入力 0
CMP1_HP3						I	CMPSS-1 ハイコンパレータ正入力 3
CMP1_LN0						I	CMPSS-1 ロー コンパレータ負入力 0
CMP1_LP3						I	CMPSS-1 ロー コンパレータ正入力 3
AIO233	0、4、8、12					I	デジタル入力 233 に使用されるアナログ ピン
A16		4	2	2	32	I	ADC-A 入力 16
C16						I	ADC-C 入力 16
GPIO28						I/O	汎用入出力 28。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A17		33	27	22		I	ADC-A 入力 17
C17						I	ADC-C 入力 17
GPIO20						I/O	汎用入出力 20。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A18		34	28			I	ADC-A 入力 18
C18						I	ADC-C 入力 18
GPIO21						I/O	汎用入出力 21。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A19		35	29	23		I	ADC-A 入力 19
C19						I	ADC-C 入力 19
GPIO13						I/O	汎用入出力 13。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A20		36	30	24		I	ADC-A 入力 20
C20						I	ADC-C 入力 20
GPIO12						I/O	汎用入出力 12。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。

表 5-1. ピン属性 (続き)

信号名	多重化位置	80 PN	64 PM	48 PHP	32 RHB	ピンの種類	説明
A14		15	11	7	5	I	ADC-A 入力 14
C4						I	ADC-C 入力 4
CMP3_HP4						I	CMPSS-3 ハイコンパレータ正入力 4
CMP3_LP4						I	CMPSS-3 ロー コンパレータ正入力 4
AIO239	0、4、8、12					I	デジタル入力 239 に使用されるアナログ ピン
C6		11	7	4	2	I	ADC-C 入力 6
CMP3_HP0						I	CMPSS-3 ハイコンパレータ正入力 0
CMP3_LP0						I	CMPSS-3 ロー コンパレータ正入力 0
GPIO226						I/O	汎用入出力 226。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
A9		28	24	20	13	I	ADC-A 入力 9
C8						I	ADC-C 入力 8
CMP2_HP2						I	CMPSS-2 ハイコンパレータ正入力 2
CMP2_LP2						I	CMPSS-2 ロー コンパレータ正入力 2
CMP4_HP0						I	CMPSS-4 ハイコンパレータ正入力 0
CMP4_LP0						I	CMPSS-4 ロー コンパレータ正入力 0
GPIO227						I/O	汎用入出力 227。このピンには、この表の GPIO セクションに記載されているデジタル マルチプレクサ機能もある。
VREFHI		20	16	12		I	ADC の高い基準電圧。外部リファレンス モードでは、高い側のリファレンス電圧を外部からこのピンに印加します。内部リファレンス モードでは、デバイスによってこのピンに電圧が駆動されます。いずれのモードでも、2.2µF 以上のコンデンサをこのピンに配置する。このコンデンサは、VREFHI ピンと VREFLO ピンの間で、できるだけデバイスに近い場所に配置する必要がある。32 QFN パッケージでは、VREFHI は内部で VDDA に接続されている。
VREFLO		21	17	13		I	ADC の低い基準電圧
GPIO							
GPIO0	0、4、8、12	63	52	42	28	I/O	汎用入出力 0
EPWM1_A	1					O	ePWM-1 出力 A
CANA_RX	2					I	CAN-A 受信
OUTPUTXBAR7	3					O	出力クロスバー出力 7
SCIA_RX	5					I	SCI-A 受信データ
I2CA_SDA	6					I/OD	I2C-A オープンドレイン双方向データ
SPIA_STE	7					I/O	SPI-A スレーブ送信イネーブル (STE)
MCAN_RX	10					I	CAN/CAN FD 受信
EQEP1_INDEX	13					I/O	eQEP-1 インデックス
EPWM3_A	15					O	ePWM-3 出力 A

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	80 PN	64 PM	48 PHP	32 RHB	ピンの種類	説明
GPIO1	0、4、8、12	62	51	41	27	I/O	汎用入出力 1
EPWM1_B	1					O	ePWM-1 出力 B
SCIA_TX	5					O	SCI-A 送信データ
I2CA_SCL	6					I/OD	I2C-A オープンドレイン双方向クロック
SPIA_SOMI	7					I/O	SPI-A スレーブ出力、マスタ入力 (SOMI)
EQEP1_STROBE	9					I/O	eQEP-1 ストローブ
MCAN_TX	10					O	CAN/CAN FD 送信
EPWM3_B	15					O	ePWM-3 出力 B
GPIO2	0、4、8、12	61	50	40		I/O	汎用入出力 2
EPWM2_A	1					O	ePWM-2 出力 A
OUTPUTXBAR1	5					O	出力クロスバー出力 1
PMBUSA_SDA	6					I/OD	PMBus-A オープンドレイン双方向データ
SPIA_SIMO	7					I/O	SPI-A スレーブ入力、マスタ出力 (SIMO)
SCIA_TX	9					O	SCI-A 送信データ
I2CB_SDA	11					I/OD	I2C-B オープンドレイン双方向データ
CANA_TX	14					O	CAN-A 送信
EPWM4_A	15					O	ePWM-4 出力 A
GPIO3	0、4、8、12	60	49	39	26	I/O	汎用入出力 3
EPWM2_B	1					O	ePWM-2 出力 B
OUTPUTXBAR2	2、5					O	出力クロスバー出力 2
PMBUSA_SCL	6					I/OD	PMBus-A オープンドレイン双方向クロック
SPIA_CLK	7					I/O	SPI-A クロック
SCIA_RX	9					I	SCI-A 受信データ
I2CB_SCL	11					I/OD	I2C-B オープンドレイン双方向クロック
CANA_RX	14					I	CAN-A 受信
EPWM4_B	15					O	ePWM-4 出力 B
GPIO4	0、4、8、12	59	48	38		I/O	汎用入出力 4
EPWM3_A	1					O	ePWM-3 出力 A
I2CA_SCL	2					I/OD	I2C-A オープンドレイン双方向クロック
MCAN_TX	3					O	CAN/CAN FD 送信
OUTPUTXBAR3	5					O	出力クロスバー出力 3
CANA_TX	6					O	CAN-A 送信
EQEP2_STROBE	9					I/O	eQEP-2 ストローブ
SPIA_SOMI	14					I/O	SPI-A スレーブ出力、マスタ入力 (SOMI)
EPWM1_A	15					O	ePWM-1 出力 A

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	80 PN	64 PM	48 PHP	32 RHB	ピンの種類	説明
GPIO5	0、4、8、12	74	61	47	30	I/O	汎用入出力 5
EPWM3_B	1					O	ePWM-3 出力 B
I2CA_SDA	2					I/OD	I2C-A オープンドレイン双方向データ
OUTPUTXBAR3	3					O	出力クロスバー出力 3
MCAN_RX	5					I	CAN/CAN FD 受信
CANA_RX	6					I	CAN-A 受信
SPIA_STE	7					I/O	SPI-A スレーブ送信イネーブル (STE)
SCIA_RX	11					I	SCI-A 受信データ
EPWM1_B	15					O	ePWM-1 出力 B
GPIO6	0、4、8、12	80	64	48		I/O	汎用入出力 6
EPWM4_A	1					O	ePWM-4 出力 A
OUTPUTXBAR4	2					O	出力クロスバー出力 4
SYNCOUT	3					O	外部 ePWM 同期パルス
EQEP1_A	5					I	eQEP-1 入力 A
EPWM2_A	15					O	ePWM-2 出力 A
GPIO7	0、4、8、12	68	57	43	29	I/O	汎用入出力 7
EPWM4_B	1					O	ePWM-4 出力 B
EPWM2_A	2					O	ePWM-2 出力 A
OUTPUTXBAR5	3					O	出力クロスバー出力 5
EQEP1_B	5					I	eQEP-1 入力 B
SPIA_SIMO	7					I/O	SPI-A スレーブ入力、マスタ出力 (SIMO)
SCIA_TX	11					O	SCI-A 送信データ
CANA_TX	14					O	CAN-A 送信
EPWM2_B	15					O	ePWM-2 出力 B
GPIO8	0、4、8、12	58	47			I/O	汎用入出力 8
EPWM5_A	1					O	ePWM-5 出力 A
ADCSOCAO	3					O	外部 ADC 用の ADC 変換開始 A
EQEP1_STROBE	5					I/O	eQEP-1 ストローブ
SCIA_TX	6					O	SCI-A 送信データ
SPIA_SIMO	7					I/O	SPI-A スレーブ入力、マスタ出力 (SIMO)
I2CA_SCL	9					I/OD	I2C-A オープンドレイン双方向クロック
GPIO9	0、4、8、12	75	62			I/O	汎用入出力 9
EPWM5_B	1					O	ePWM-5 出力 B
SCIB_TX	2					O	SCI-B 送信データ
OUTPUTXBAR6	3					O	出力クロスバー出力 6
EQEP1_INDEX	5					I/O	eQEP-1 インデックス
SCIA_RX	6					I	SCI-A 受信データ
SPIA_CLK	7					I/O	SPI-A クロック
I2CB_SCL	14					I/OD	I2C-B オープンドレイン双方向クロック

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	80 PN	64 PM	48 PHP	32 RHB	ピンの種類	説明
GPIO10	0、4、8、12					I/O	汎用入出力 10
EPWM6_A	1					O	ePWM-6 出力 A
ADCSOCBO	3					O	外部 ADC 用の ADC 変換開始 B
EQEP1_A	5	76	63			I	eQEP-1 入力 A
SCIB_TX	6					O	SCI-B 送信データ
SPIA_SOMI	7					I/O	SPI-A スレーブ出力、マスタ入力 (SOMI)
I2CA_SDA	9					I/OD	I2C-A オープンドレイン双方向データ
GPIO11	0、4、8、12					I/O	汎用入出力 11
EPWM6_B	1					O	ePWM-6 出力 B
CANA_RX	2					I	CAN-A 受信
OUTPUTXBAR7	3					O	出力クロスバー出力 7
EQEP1_B	5	37	31		14	I	eQEP-1 入力 B
SCIB_RX	6					I	SCI-B 受信データ
SPIA_STE	7					I/O	SPI-A スレーブ送信イネーブル (STE)
EQEP2_A	11					I	eQEP-2 入力 A
SPIA_SIMO	13					I/O	SPI-A スレーブ入力、マスタ出力 (SIMO)
GPIO12	0、4、8、12					I/O	汎用入出力 12。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM7_A	1					O	ePWM-7 出力 A
MCAN_RX	3					I	CAN/CAN FD 受信
EQEP1_STROBE	5	36	30	24		I/O	eQEP-1 ストローブ
SCIB_TX	6					O	SCI-B 送信データ
PMBUSA_CTL	7					I/O	PMBus-A 制御信号 - スレーブ入力 / マスタ出力
SPIA_CLK	11					I/O	SPI-A クロック
CANA_RX	13					I	CAN-A 受信
GPIO13	0、4、8、12					I/O	汎用入出力 13。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EPWM7_B	1					O	ePWM-7 出力 B
MCAN_TX	3					O	CAN/CAN FD 送信
EQEP1_INDEX	5	35	29	23		I/O	eQEP-1 インデックス
SCIB_RX	6					I	SCI-B 受信データ
PMBUSA_ALERT	7					I/OD	PMBus-A オープンドレイン双方向アラート信号
SPIA_SOMI	11					I/O	SPI-A スレーブ出力、マスタ入力 (SOMI)
CANA_TX	13					O	CAN-A 送信
GPIO14	0、4、8、12					I/O	汎用入出力 14
SCIB_TX	2					O	SCI-B 送信データ
I2CB_SDA	5					I/OD	I2C-B オープンドレイン双方向データ
OUTPUTXBAR3	6	79				O	出力クロスバー出力 3
PMBUSA_SDA	7					I/OD	PMBus-A オープンドレイン双方向データ
EQEP2_A	10					I	eQEP-2 入力 A
EPWM3_A	13					O	ePWM-3 出力 A

表 5-1. ピン属性 (続き)

信号名	多重化位置	80 PN	64 PM	48 PHP	32 RHB	ピンの種類	説明
GPIO15	0、4、8、12					I/O	汎用入出力 15
SCIB_RX	2					I	SCI-B 受信データ
I2CB_SCL	5					I/OD	I2C-B オープンドレイン双方向クロック
OUTPUTXBAR4	6	78				O	出力クロスバー出力 4
PMBUSA_SCL	7					I/OD	PMBus-A オープンドレイン双方向クロック
EQEP2_B	10					I	eQEP-2 入力 B
EPWM3_B	13					O	ePWM-3 出力 B
GPIO16	0、4、8、12					I/O	汎用入出力 16
SPIA_SIMO	1					I/O	SPI-A スレーブ入力、マスタ出力 (SIMO)
OUTPUTXBAR7	3					O	出力クロスバー出力 7
EPWM5_A	5					O	ePWM-5 出力 A
SCIA_TX	6					O	SCI-A 送信データ
EQEP1_STROBE	9	39	33	26		I/O	eQEP-1 ストローブ
PMBUSA_SCL	10					I/OD	PMBus-A オープンドレイン双方向クロック
XCLKOUT	11					O	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。
EQEP2_B	13					I	eQEP-2 入力 B
GPIO17	0、4、8、12					I/O	汎用入出力 17
SPIA_SOMI	1					I/O	SPI-A スレーブ出力、マスタ入力 (SOMI)
OUTPUTXBAR8	3					O	出力クロスバー出力 8
EPWM5_B	5					O	ePWM-5 出力 B
SCIA_RX	6	40	34			I	SCI-A 受信データ
EQEP1_INDEX	9					I/O	eQEP-1 インデックス
PMBUSA_SDA	10					I/OD	PMBus-A オープンドレイン双方向データ
CANA_TX	11					O	CAN-A 送信
EPWM6_A	14					O	ePWM-6 出力 A
GPIO18	0、4、8、12					I/O	汎用入出力 18
SPIA_CLK	1					I/O	SPI-A クロック
SCIB_TX	2					O	SCI-B 送信データ
CANA_RX	3					I	CAN-A 受信
EPWM6_A	5					O	ePWM-6 出力 A
I2CA_SCL	6	50	41	33	21	I/OD	I2C-A オープンドレイン双方向クロック
EQEP2_A	9					I	eQEP-2 入力 A
PMBUSA_CTL	10					I/O	PMBus-A 制御信号 - スレーブ入力 / マスタ出力
XCLKOUT	11					O	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。
X2	ALT					I/O	水晶発振器出力。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	80 PN	64 PM	48 PHP	32 RHB	ピンの種類	説明
GPIO19	0、4、8、12	51	42	34	22	I/O	汎用入出力 19
SPIA_STE	1					I/O	SPI-A スレーブ送信イネーブル (STE)
SCIB_RX	2					I	SCI-B 受信データ
CANA_TX	3					O	CAN-A 送信
EPWM6_B	5					O	ePWM-6 出力 B
I2CA_SDA	6					I/OD	I2C-A オープンドレイン双方向データ
EQEP2_B	9					I	eQEP-2 入力 B
PMBUSA_ALERT	10					I/OD	PMBus-A オープンドレイン双方向アラート信号
X1	ALT					I/O	水晶発振器入力またはシングルエンド クロック入力。水晶発振器をイネーブルにする前に、デバイス初期化ソフトウェアでこのピンを設定する必要がある。この発振器を使用するには、X1 と X2 の間に水晶振動子を接続する必要がある。このピンを使って、シングルエンドの 3.3V レベル クロックを供給することもできる。
GPIO20	0、4、8、12	33	27	22		I/O	汎用入出力 20。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EQEP1_A	1					I	eQEP-1 入力 A
CANA_TX	3					O	CAN-A 送信
SPIA_SIMO	6					I/O	SPI-A スレーブ入力、マスタ出力 (SIMO)
MCAN_TX	9					O	CAN/CAN FD 送信
I2CA_SCL	11					I/OD	I2C-A オープンドレイン双方向クロック
SCIC_TX	15					O	SCI-C 送信データ
GPIO21	0、4、8、12	34	28			I/O	汎用入出力 21。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
EQEP1_B	1					I	eQEP-1 入力 B
CANA_RX	3					I	CAN-A 受信
SPIA_SOMI	6					I/O	SPI-A スレーブ出力、マスタ入力 (SOMI)
MCAN_RX	9					I	CAN/CAN FD 受信
I2CA_SDA	11					I/OD	I2C-A オープンドレイン双方向データ
SCIC_RX	15					I	SCI-C 受信データ
GPIO22	0、4、8、12	67	56			I/O	汎用入出力 22
EQEP1_STROBE	1					I/O	eQEP-1 ストローブ
SCIB_TX	3					O	SCI-B 送信データ
LINA_TX	9					O	LIN-A 送信
EPWM4_A	14					O	ePWM-4 出力 A
GPIO23	0、4、8、12	65	54			I/O	汎用入出力 23
EQEP1_INDEX	1					I/O	eQEP-1 インデックス
SCIB_RX	3					I	SCI-B 受信データ
LINA_RX	9					I	LIN-A 受信
EPWM4_B	14					O	ePWM-4 出力 B

表 5-1. ピン属性 (続き)

信号名	多重化位置	80 PN	64 PM	48 PHP	32 RHB	ピンの種類	説明
GPIO24	0、4、8、12	41	35	27	15	I/O	汎用入出力 24
OUTPUTXBAR1	1					O	出力クロスバー出力 1
EQEP2_A	2					I	eQEP-2 入力 A
SPIA_STE	3					I/O	SPI-A スレーブ送信イネーブル (STE)
EPWM4_A	5					O	ePWM-4 出力 A
SPIA_SIMO	6					I/O	SPI-A スレーブ入力、マスタ出力 (SIMO)
PMBUSA_SCL	10					I/OD	PMBus-A オープンドレイン双方向クロック
SCIA_TX	11					O	SCI-A 送信データ
ERRORSTS	13					O	エラー ステータス出力。外部プルダウンが必要。
GPIO25	0、4、8、12	42				I/O	汎用入出力 25
OUTPUTXBAR2	1					O	出力クロスバー出力 2
EQEP2_B	2					I	eQEP-2 入力 B
EQEP1_A	5					I	eQEP-1 入力 A
PMBUSA_SDA	10					I/OD	PMBus-A オープンドレイン双方向データ
SCIA_RX	11					I	SCI-A 受信データ
GPIO26	0、4、8、12	43				I/O	汎用入出力 26
OUTPUTXBAR3	1、5					O	出力クロスバー出力 3
EQEP2_INDEX	2					I/O	eQEP-2 インデックス
PMBUSA_CTL	10					I/O	PMBus-A 制御信号 - スレーブ入力 / マスタ出力
I2CA_SDA	11					I/OD	I2C-A オープンドレイン双方向データ
GPIO27	0、4、8、12	44				I/O	汎用入出力 27
OUTPUTXBAR4	1、5					O	出力クロスバー出力 4
EQEP2_STROBE	2					I/O	eQEP-2 ストローブ
PMBUSA_ALERT	10					I/OD	PMBus-A オープンドレイン双方向アラート信号
I2CA_SCL	11					I/OD	I2C-A オープンドレイン双方向クロック
GPIO28	0、4、8、12	4	2	2	32	I/O	汎用入出力 28。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
SCIA_RX	1					I	SCI-A 受信データ
EPWM7_A	3					O	ePWM-7 出力 A
OUTPUTXBAR5	5					O	出力クロスバー出力 5
EQEP1_A	6					I	eQEP-1 入力 A
EQEP2_STROBE	9					I/O	eQEP-2 ストローブ
LINA_TX	10					O	LIN-A 送信
SPIA_CLK	11					I/O	SPI-A クロック
ERRORSTS	13					O	エラー ステータス出力。外部プルダウンが必要。
I2CB_SDA	14					I/OD	I2C-B オープンドレイン双方向データ

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	80 PN	64 PM	48 PHP	32 RHB	ピンの種類	説明
GPIO29	0、4、8、12	3	1	1	31	I/O	汎用入出力 29
SCIA_TX	1					O	SCI-A 送信データ
EPWM7_B	3					O	ePWM-7 出力 B
OUTPUTXBAR6	5					O	出力クロスバー出力 6
EQEP1_B	6					I	eQEP-1 入力 B
EQEP2_INDEX	9					I/O	eQEP-2 インデックス
LINA_RX	10					I	LIN-A 受信
SPIA_STE	11					I/O	SPI-A スレーブ送信イネーブル (STE)
ERRORSTS	13					O	エラー ステータス出力。外部プルダウンが必要。
I2CB_SCL	14					I/OD	I2C-B オープンドレイン双方向クロック
GPIO30	0、4、8、12	1				I/O	汎用入出力 30
CANA_RX	1					I	CAN-A 受信
OUTPUTXBAR7	5					O	出力クロスバー出力 7
EQEP1_STROBE	6					I/O	eQEP-1 ストローブ
MCAN_RX	10					I	CAN/CAN FD 受信
EPWM1_A	11					O	ePWM-1 出力 A
GPIO31	0、4、8、12	2				I/O	汎用入出力 31
CANA_TX	1					O	CAN-A 送信
OUTPUTXBAR8	5					O	出力クロスバー出力 8
EQEP1_INDEX	6					I/O	eQEP-1 インデックス
MCAN_TX	10					O	CAN/CAN FD 送信
EPWM1_B	11					O	ePWM-1 出力 B
GPIO32	0、4、8、12	49	40	32	20	I/O	汎用入出力 32
I2CA_SDA	1					I/OD	I2C-A オープンドレイン双方向データ
EQEP1_INDEX	2					I/O	eQEP-1 インデックス
SPIA_CLK	3					I/O	SPI-A クロック
EPWM4_B	5					O	ePWM-4 出力 B
LINA_TX	6					O	LIN-A 送信
CANA_TX	10					O	CAN-A 送信
PMBUSA_SDA	11					I/OD	PMBus-A オープンドレイン双方向データ
ADCSOCBO	13					O	外部 ADC 用の ADC 変換開始 B
GPIO33	0、4、8、12	38	32	25		I/O	汎用入出力 33
I2CA_SCL	1					I/OD	I2C-A オープンドレイン双方向クロック
OUTPUTXBAR4	5					O	出力クロスバー出力 4
LINA_RX	6					I	LIN-A 受信
CANA_RX	10					I	CAN-A 受信
EQEP2_B	11					I	eQEP-2 入力 B
ADCSOCAO	13					O	外部 ADC 用の ADC 変換開始 A
GPIO34	0、4、8、12	77				I/O	汎用入出力 34
OUTPUTXBAR1	1					O	出力クロスバー出力 1
PMBUSA_SDA	6					I/OD	PMBus-A オープンドレイン双方向データ
I2CB_SDA	14					I/OD	I2C-B オープンドレイン双方向データ

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	80 PN	64 PM	48 PHP	32 RHB	ピンの種類	説明
GPIO35	0、4、8、12	48	39	31	19	I/O	汎用入出力 35
SCIA_RX	1					I	SCI-A 受信データ
SPIA_SOMI	2					I/O	SPI-A スレーブ出力、マスタ入力 (SOMI)
I2CA_SDA	3					I/OD	I2C-A オープンドレイン双方向データ
CANA_RX	5					I	CAN-A 受信
PMBUSA_SCL	6					I/OD	PMBus-A オープンドレイン双方向クロック
LINA_RX	7					I	LIN-A 受信
EQEP1_A	9					I	eQEP-1 入力 A
PMBUSA_CTL	10					I/O	PMBus-A 制御信号 - スレーブ入力 / マスタ出力
EPWM5_B	11					O	ePWM-5 出力 B
TDI	15					I	JTAG テスト データ入力 (TDI) - TDI は、このピンのデフォルトの多重化選択になっている。内部プルアップは、デフォルトでディセーブルになっている。このピンを JTAG TDI として使用する場合は、入力がフローティング入力にならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要がある。
GPIO37	0、4、8、12	46	37	29	17	I/O	汎用入出力 37
OUTPUTXBAR2	1					O	出力クロスバー出力 2
SPIA_STE	2					I/O	SPI-A スレーブ送信イネーブル (STE)
I2CA_SCL	3					I/OD	I2C-A オープンドレイン双方向クロック
SCIA_TX	5					O	SCI-A 送信データ
CANA_TX	6					O	CAN-A 送信
LINA_TX	7					O	LIN-A 送信
EQEP1_B	9					I	eQEP-1 入力 B
PMBUSA_ALERT	10					I/OD	PMBus-A オープンドレイン双方向アラート信号
EPWM5_A	11					O	ePWM-5 出力 A
TDO	15					O	JTAG テスト データ出力 (TDO) - TDO は、このピンのデフォルトの多重化選択になっている。内部プルアップは、デフォルトでディセーブルになっている。JTAG アクティビティがない場合、TDO 機能はトライステート状態になり、このピンはフローティング状態のままになる。GPIO 入力がフローティングにならないように、内部プルアップをイネーブルにするか、または外部プルアップをボードに追加する必要がある。
GPIO39	0、4、8、12					I/O	汎用入出力 39
MCAN_RX	6					I	CAN/CAN FD 受信
EQEP2_INDEX	9					I/O	eQEP-2 インデックス
SYNCOUT	13					O	外部 ePWM 同期パルス
EQEP1_INDEX	14					I/O	eQEP-1 インデックス
GPIO40	0、4、8、12	64	53			I/O	汎用入出力 40
EPWM2_B	5					O	ePWM-2 出力 B
PMBUSA_SDA	6					I/OD	PMBus-A オープンドレイン双方向データ
SCIB_TX	9					O	SCI-B 送信データ
EQEP1_A	10					I	eQEP-1 入力 A

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	80 PN	64 PM	48 PHP	32 RHB	ピンの種類	説明
GPIO41	0、4、8、12	66	55			I/O	汎用入出力 41
EPWM7_A	1					O	ePWM-7 出力 A
EPWM2_A	5					O	ePWM-2 出力 A
PMBUSA_SCL	6					I/OD	PMBus-A オープンドレイン双方向クロック
SCIB_RX	9					I	SCI-B 受信データ
EQEP1_B	10					I	eQEP-1 入力 B
GPIO42	0、4、8、12	57				I/O	汎用入出力 42
LINA_RX	2					I	LIN-A 受信
OUTPUTXBAR5	3					O	出力クロスバー出力 5
PMBUSA_CTL	5					I/O	PMBus-A 制御信号 - スレーブ入力 / マスタ出力
I2CA_SDA	6					I/OD	I2C-A オープンドレイン双方向データ
SCIC_RX	7					I	SCI-C 受信データ
EQEP1_STROBE	10					I/O	eQEP-1 ストローブ
GPIO43	0、4、8、12	54				I/O	汎用入出力 43
OUTPUTXBAR6	3					O	出力クロスバー出力 6
PMBUSA_ALERT	5、9					I/OD	PMBus-A オープンドレイン双方向アラート信号
I2CA_SCL	6					I/OD	I2C-A オープンドレイン双方向クロック
SCIC_TX	7					O	SCI-C 送信データ
EQEP1_INDEX	10					I/O	eQEP-1 インデックス
GPIO44	0、4、8、12	69		44		I/O	汎用入出力 44
OUTPUTXBAR7	3					O	出力クロスバー出力 7
EQEP1_A	5					I	eQEP-1 入力 A
PMBUSA_SDA	6					I/OD	PMBus-A オープンドレイン双方向データ
PMBUSA_CTL	9					I/O	PMBus-A 制御信号 - スレーブ入力 / マスタ出力
GPIO45	0、4、8、12	73				I/O	汎用入出力 45
OUTPUTXBAR8	3					O	出力クロスバー出力 8
PMBUSA_ALERT	9					I/OD	PMBus-A オープンドレイン双方向アラート信号
GPIO46	0、4、8、12	6				I/O	汎用入出力 46
LINA_TX	3					O	LIN-A 送信
MCAN_TX	5					O	CAN/CAN FD 送信
PMBUSA_SDA	9					I/OD	PMBus-A オープンドレイン双方向データ
GPIO48	0、4、8、12	31				I/O	汎用入出力 48
OUTPUTXBAR3	1					O	出力クロスバー出力 3
CANA_TX	3					O	CAN-A 送信
MCAN_TX	5					O	CAN/CAN FD 送信
SCIA_TX	6					O	SCI-A 送信データ
PMBUSA_SDA	9					I/OD	PMBus-A オープンドレイン双方向データ

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	80 PN	64 PM	48 PHP	32 RHB	ピンの種類	説明
GPIO49	0、4、8、12	32				I/O	汎用入出力 49
OUTPUTXBAR4	1					O	出力クロスバー出力 4
CANA_RX	3					I	CAN-A 受信
MCAN_RX	5					I	CAN/CAN FD 受信
SCIA_RX	6					I	SCI-A 受信データ
LINA_RX	9					I	LIN-A 受信
GPIO224	0、4、8、12	13	9	6	4	I/O	汎用入出力 224。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
OUTPUTXBAR3	5					O	出力クロスバー出力 3
SPIA_SIMO	6					I/O	SPI-A スレーブ入力、マスタ出力 (SIMO)
EPWM1_A	9					O	ePWM-1 出力 A
CANA_TX	10					O	CAN-A 送信
EQEP1_A	11					I	eQEP-1 入力 A
SCIC_TX	14					O	SCI-C 送信データ
GPIO226	0、4、8、12	11	7	4	2	I/O	汎用入出力 226。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
LINA_RX	3					I	LIN-A 受信
EPWM6_A	5					O	ePWM-6 出力 A
SPIA_CLK	6					I/O	SPI-A クロック
EPWM1_B	9					O	ePWM-1 出力 B
EQEP1_STROBE	11					I/O	eQEP-1 ストローブ
SCIC_RX	14					I	SCI-C 受信データ
GPIO227	0、4、8、12	28	24	20	13	I/O	汎用入出力 227。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
I2CB_SCL	1					I/OD	I2C-B オープンドレイン双方向クロック
EPWM3_A	3					O	ePWM-3 出力 A
OUTPUTXBAR1	5					O	出力クロスバー出力 1
EPWM2_B	6					O	ePWM-2 出力 B
GPIO228	0、4、8、12	10	6	4	2	I/O	汎用入出力 228。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
ADCSOCAO	3					O	外部 ADC 用の ADC 変換開始 A
CANA_TX	5					O	CAN-A 送信
SPIA_SOMI	6					I/O	SPI-A スレーブ出力、マスタ入力 (SOMI)
EPWM2_B	9					O	ePWM-2 出力 B
EQEP1_B	11					I	eQEP-1 入力 B

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン属性 (続き)

信号名	多重化位置	80 PN	64 PM	48 PHP	32 RHB	ピンの種類	説明
GPIO230	0、4、8、12	29	25	21	13	I/O	汎用入出力 230。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
I2CB_SDA	1					I/OD	I2C-B オープン ドレイン双方向データ
EPWM3_B	3					O	ePWM-3 出力 B
CANA_RX	5					I	CAN-A 受信
EPWM2_A	6					O	ePWM-2 出力 A
I2CA_SDA	7					I/OD	I2C-A オープン ドレイン双方向データ
PMBUSA_SCL	9					I/OD	PMBus-A オープン ドレイン双方向クロック
GPIO242	0、4、8、12	12	8	5	3	I/O	汎用入出力 242。このピンには、この表の ANALOG セクションに記載されているアナログ機能もある。
OUTPUTXBAR2	5					O	出力クロスバー出力 2
SPIA_STE	6					I/O	SPI-A スレーブ送信イネーブル (STE)
EPWM4_A	9					O	ePWM-4 出力 A
CANA_RX	10					I	CAN-A 受信
EQEP1_INDEX	11					I/O	eQEP-1 インデックス
テスト、JTAG、リセット							
TCK		45	36	28	16	I	内部プルアップ付き JTAG テスト クロック。
TMS		47	38	30	18	I/O	内部プルアップ付き JTAG テスト モード選択 (TMS)。このシリアル制御入力は、TCK の立ち上がりエッジで、TAP コントローラにシフトインされる。このデバイスには TRSTn ピンがない。通常動作時に JTAG をリセット状態に維持するために、基板上で TMS ピンと VDDIO の間に外部プルアップ抵抗 (推奨 2.2kΩ) を配置する必要がある。
XRSn		5	3	3	1	I/OD	デバイス リセット (IN) およびウォッチドッグ リセット (OUT)。電源投入時、このピンはデバイスによって Low に駆動される。また、外部回路がこのピンを駆動して、デバイス リセットをアサートすることもできる。ウォッチドッグ リセットが発生した場合、MCU もこのピンを Low に駆動する。ウォッチドッグ リセット時には、512 OSCCLK サイクルのウォッチドッグ リセット期間にわたって、XRSn ピンが Low に駆動される。XRSn と VDDIO の間に 2.2kΩ～10kΩ の抵抗を配置する必要がある。ノイズ フィルタリングのために XRS と VSS の間にコンデンサを配置する場合、容量は 100nF 以下にする必要がある。これらの値は、ウォッチドッグ リセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRSn ピンを VOL に正しく駆動できるように決められている。このピンは内部プルアップ付きのオープン ドレイン出力。このピンが外部デバイスによって駆動される場合は、オープン ドレイン デバイスを使用して駆動する必要があります。
電源およびグランド							
VDD		8、53、71	4、44、59	36、45	24		1.2V デジタル ロジック電源ピン。使用方法の詳細については、「パワー マネージメント モジュール (PMM)」セクションを参照。

表 5-1. ピン属性 (続き)

信号名	多重化位置	80 PN	64 PM	48 PHP	32 RHB	ピンの種類	説明
VDDA		26	22	18	11		3.3V アナログ電源ピン。各ピンに、最小 2.2µF のデカップリング コンデンサを配置。32 QFN パッケージでは、VREFHI は内部で VDDA に接続されている。使用方法の詳細については、「パワー マネージメント モジュール (PMM)」セクションを参照。
VDDIO		7、52、72	43、60	35、46	23		3.3V デジタル I/O 電源ピン。使用方法の詳細については、「パワー マネージメント モジュール (PMM)」セクションを参照。
VREGENZ		56	46	37	25	I	内部プルダウン付きの内部電圧レギュレータ イネーブル。VSS (Low) に接続すると、内部 VREG がイネーブルになる。VDDIO (High) に接続すると、外部電源を使用。
VSS		9、30、55、70	5、26、45、58	PAD	PAD		デジタル グランド。QFN パッケージの場合、パッケージの底面にあるグランド パッドを PCB のグランド プレーンに半田付けする必要がある。
VSSA		25	21	17	10		アナログ GND

Copyright © 2025 Texas Instruments Incorporated

5.3 信号の説明

5.3.1 アナログ信号

表 5-2. アナログ信号

信号名	ピンの種類	説明	80 PN	64 PM	48 PHP	32 RHB
A0	I	ADC-A 入力 0	19	15	11	7
A1	I	ADC-A 入力 1	18	14	10	7
A2	I	ADC-A 入力 2	13	9	6	4
A3	I	ADC-A 入力 3	12	8	5	3
A4	I	ADC-A 入力 4	27	23	19	12
A5	I	ADC-A 入力 5	17	13	9	6
A6	I	ADC-A 入力 6	10	6	4	2
A7	I	ADC-A 入力 7	23	19	15	8
A8	I	ADC-A 入力 8	24	20	16	9
A9	I	ADC-A 入力 9	28	24	20	13
A10	I	ADC-A 入力 10	29	25	21	13
A11	I	ADC-A 入力 11	16	12	8	6
A12	I	ADC-A 入力 12	22	18	14	8
A14	I	ADC-A 入力 14	15	11	7	5
A15	I	ADC-A 入力 15	14	10	7	5
A16	I	ADC-A 入力 16	4	2	2	32
A17	I	ADC-A 入力 17	33	27	22	
A18	I	ADC-A 入力 18	34	28		
A19	I	ADC-A 入力 19	35	29	23	
A20	I	ADC-A 入力 20	36	30	24	
AIO225	I	デジタル入力 225 に使用されるアナログ ピン	27	23	19	12
AIO231	I	デジタル入力 231 に使用されるアナログ ピン	19	15	11	7
AIO232	I	デジタル入力 232 に使用されるアナログ ピン	18	14	10	7
AIO233	I	デジタル入力 233 に使用されるアナログ ピン	14	10	7	5
AIO237	I	デジタル入力 237 に使用されるアナログ ピン	16	12	8	6
AIO238	I	デジタル入力 238 に使用されるアナログ ピン	22	18	14	8
AIO239	I	デジタル入力 239 に使用されるアナログ ピン	15	11	7	5
AIO241	I	デジタル入力 241 に使用されるアナログ ピン	24	20	16	9
AIO244	I	デジタル入力 244 に使用されるアナログ ピン	17	13	9	6
AIO245	I	デジタル入力 245 に使用されるアナログ ピン	23	19	15	8
C0	I	ADC-C 入力 0	16	12	8	6
C1	I	ADC-C 入力 1	22	18	14	8

Copyright © 2025 Texas Instruments Incorporated

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	80 PN	64 PM	48 PHP	32 RHB
C2	I	ADC-C 入力 2	17	13	9	6
C3	I	ADC-C 入力 3	23	19	15	8
C4	I	ADC-C 入力 4	15	11	7	5
C5	I	ADC-C 入力 5	12	8	5	3
C6	I	ADC-C 入力 6	11	7	4	2
C7	I	ADC-C 入力 7	14	10	7	5
C8	I	ADC-C 入力 8	28	24	20	13
C9	I	ADC-C 入力 9	13	9	6	4
C10	I	ADC-C 入力 10	29	25	21	13
C11	I	ADC-C 入力 11	24	20	16	9
C14	I	ADC-C 入力 14	27	23	19	12
C15	I	ADC-C 入力 15	19	15	11	7
C16	I	ADC-C 入力 16	4	2	2	32
C17	I	ADC-C 入力 17	33	27	22	
C18	I	ADC-C 入力 18	34	28		
C19	I	ADC-C 入力 19	35	29	23	
C20	I	ADC-C 入力 20	36	30	24	
CMP1_DACL	I	CMPSS-1 低 DAC 出力	19	15	11	7
CMP1_HN0	I	CMPSS-1 ハイコンパレータ負入力 0	14	10	7	5
CMP1_HN1	I	CMPSS-1 ハイコンパレータ負入力 1	16	12	8	6
CMP1_HP0	I	CMPSS-1 ハイコンパレータ正入力 0	13	9	6	4
CMP1_HP1	I	CMPSS-1 ハイコンパレータ正入力 1	16	12	8	6
CMP1_HP2	I	CMPSS-1 ハイコンパレータ正入力 2	10	6	4	2
CMP1_HP3	I	CMPSS-1 ハイコンパレータ正入力 3	14	10	7	5
CMP1_HP4	I	CMPSS-1 ハイコンパレータ正入力 4	18	14	10	7
CMP1_LN0	I	CMPSS-1 ローコンパレータ負入力 0	14	10	7	5
CMP1_LN1	I	CMPSS-1 ローコンパレータ負入力 1	16	12	8	6
CMP1_LP0	I	CMPSS-1 ローコンパレータ正入力 0	13	9	6	4
CMP1_LP1	I	CMPSS-1 ローコンパレータ正入力 1	16	12	8	6
CMP1_LP2	I	CMPSS-1 ローコンパレータ正入力 2	10	6	4	2
CMP1_LP3	I	CMPSS-1 ローコンパレータ正入力 3	14	10	7	5
CMP1_LP4	I	CMPSS-1 ローコンパレータ正入力 4	18	14	10	7
CMP2_HN0	I	CMPSS-2 ハイコンパレータ負入力 0	29	25	21	13
CMP2_HN1	I	CMPSS-2 ハイコンパレータ負入力 1	22	18	14	8
CMP2_HP0	I	CMPSS-2 ハイコンパレータ正入力 0	27	23	19	12
CMP2_HP1	I	CMPSS-2 ハイコンパレータ正入力 1	22	18	14	8
CMP2_HP2	I	CMPSS-2 ハイコンパレータ正入力 2	28	24	20	13
CMP2_HP3	I	CMPSS-2 ハイコンパレータ正入力 3	29	25	21	13
CMP2_HP4	I	CMPSS-2 ハイコンパレータ正入力 4	24	20	16	9
CMP2_LN0	I	CMPSS-2 ローコンパレータ負入力 0	29	25	21	13
CMP2_LN1	I	CMPSS-2 ローコンパレータ負入力 1	22	18	14	8
CMP2_LP0	I	CMPSS-2 ローコンパレータ正入力 0	27	23	19	12

Copyright © 2025 Texas Instruments Incorporated

表 5-2. アナログ信号 (続き)

信号名	ピンの種類	説明	80 PN	64 PM	48 PHP	32 RHB
CMP2_LP1	I	CMPSS-2 ロー コンパレータ正入力 1	22	18	14	8
CMP2_LP2	I	CMPSS-2 ロー コンパレータ正入力 2	28	24	20	13
CMP2_LP3	I	CMPSS-2 ロー コンパレータ正入力 3	29	25	21	13
CMP2_LP4	I	CMPSS-2 ロー コンパレータ正入力 4	24	20	16	9
CMP3_HN0	I	CMPSS-3 ハイ コンパレータ負入力 0	12	8	5	3
CMP3_HN1	I	CMPSS-3 ハイ コンパレータ負入力 1	17	13	9	6
CMP3_HP0	I	CMPSS-3 ハイ コンパレータ正入力 0	11	7	4	2
CMP3_HP1	I	CMPSS-3 ハイ コンパレータ正入力 1	17	13	9	6
CMP3_HP2	I	CMPSS-3 ハイ コンパレータ正入力 2	19	15	11	7
CMP3_HP3	I	CMPSS-3 ハイ コンパレータ正入力 3	12	8	5	3
CMP3_HP4	I	CMPSS-3 ハイ コンパレータ正入力 4	15	11	7	5
CMP3_LN0	I	CMPSS-3 ロー コンパレータ負入力 0	12	8	5	3
CMP3_LN1	I	CMPSS-3 ロー コンパレータ負入力 1	17	13	9	6
CMP3_LP0	I	CMPSS-3 ロー コンパレータ正入力 0	11	7	4	2
CMP3_LP1	I	CMPSS-3 ロー コンパレータ正入力 1	17	13	9	6
CMP3_LP2	I	CMPSS-3 ロー コンパレータ正入力 2	19	15	11	7
CMP3_LP3	I	CMPSS-3 ロー コンパレータ正入力 3	12	8	5	3
CMP3_LP4	I	CMPSS-3 ロー コンパレータ正入力 4	15	11	7	5
CMP4_HN0	I	CMPSS-4 ハイ コンパレータ負入力 0	27	23	19	12
CMP4_HN1	I	CMPSS-4 ハイ コンパレータ負入力 1	23	19	15	8
CMP4_HP0	I	CMPSS-4 ハイ コンパレータ正入力 0	28	24	20	13
CMP4_HP1	I	CMPSS-4 ハイ コンパレータ正入力 1	23	19	15	8
CMP4_HP2	I	CMPSS-4 ハイ コンパレータ正入力 2	22	18	14	8
CMP4_HP3	I	CMPSS-4 ハイ コンパレータ正入力 3	27	23	19	12
CMP4_HP4	I	CMPSS-4 ハイ コンパレータ正入力 4	24	20	16	9
CMP4_LN0	I	CMPSS-4 ロー コンパレータ負入力 0	27	23	19	12
CMP4_LN1	I	CMPSS-4 ロー コンパレータ負入力 1	23	19	15	8
CMP4_LP0	I	CMPSS-4 ロー コンパレータ正入力 0	28	24	20	13
CMP4_LP1	I	CMPSS-4 ロー コンパレータ正入力 1	23	19	15	8
CMP4_LP2	I	CMPSS-4 ロー コンパレータ正入力 2	22	18	14	8
CMP4_LP3	I	CMPSS-4 ロー コンパレータ正入力 3	27	23	19	12
CMP4_LP4	I	CMPSS-4 ロー コンパレータ正入力 4	24	20	16	9
VREFHI	I	ADC の高い基準電圧。外部リファレンス モードでは、高い側のリファレンス電圧を外部からこのピンに印加します。内部リファレンス モードでは、デバイスによってこのピンに電圧が駆動されます。いずれのモードでも、2.2μF 以上のコンデンサをこのピンに配置する。このコンデンサは、VREFHI ピンと VREFLO ピンの間で、できるだけデバイスに近い場所に配置する必要がある。32 QFN パッケージでは、VREFHI は内部で VDDA に接続されている。	20	16	12	
VREFLO	I	ADC の低い基準電圧	21	17	13	

5.3.2 デジタル信号

表 5-3. デジタル信号

信号名	ピンの種類	説明	GPIO	80 PN	64 PM	48 PHP	32 RHB
ADCSOCAO	O	外部 ADC 用の ADC 変換開始 A	8、33、228	10、38、58	6、32、47	4、25	2
ADCSOCBO	O	外部 ADC 用の ADC 変換開始 B	10、32	49、76	40、63	32	20
CANA_RX	I	CAN-A 受信	0、3、5、11、12、18、21、30、33、35、49、230、242	1、12、29、32、34、36、37、38、48、50、60、63、74	8、25、28、30、31、32、39、41、49、52、61	5、21、24、25、31、33、39、42、47	3、13、14、19、21、26、28、30
CANA_TX	O	CAN-A 送信	2、4、7、13、17、19、20、31、32、37、48、224、228	2、10、13、31、33、35、40、46、49、51、59、61、68	6、9、27、29、34、37、40、42、48、50、57	4、6、22、23、29、32、34、38、40、43	2、4、17、20、22、29
EPWM1_A	O	ePWM-1 出力 A	0、4、30、224	1、13、59、63	9、48、52	6、38、42	4、28
EPWM1_B	O	ePWM-1 出力 B	1、5、31、226	2、11、62、74	7、51、61	4、41、47	2、27、30
EPWM2_A	O	ePWM-2 出力 A	2、6、7、41、230	29、61、66、68、80	25、50、55、57、64	21、40、43、48	13、29
EPWM2_B	O	ePWM-2 出力 B	3、7、40、227、228	10、28、60、64、68	6、24、49、53、57	4、20、39、43	2、13、26、29
EPWM3_A	O	ePWM-3 出力 A	0、4、14、227	28、59、63、79	24、48、52	20、38、42	13、28
EPWM3_B	O	ePWM-3 出力 B	1、5、15、230	29、62、74、78	25、51、61	21、41、47	13、27、30
EPWM4_A	O	ePWM-4 出力 A	2、6、22、24、242	12、41、61、67、80	8、35、50、56、64	5、27、40、48	3、15
EPWM4_B	O	ePWM-4 出力 B	3、7、23、32	49、60、65、68	40、49、54、57	32、39、43	20、26、29
EPWM5_A	O	ePWM-5 出力 A	8、16、37	39、46、58	33、37、47	26、29	17
EPWM5_B	O	ePWM-5 出力 B	9、17、35	40、48、75	34、39、62	31	19
EPWM6_A	O	ePWM-6 出力 A	10、17、18、226	11、40、50、76	7、34、41、63	4、33	2、21
EPWM6_B	O	ePWM-6 出力 B	11、19	37、51	31、42	34	14、22
EPWM7_A	O	ePWM-7 出力 A	12、28、41	4、36、66	2、30、55	2、24	32
EPWM7_B	O	ePWM-7 出力 B	13、29	3、35	1、29	1、23	31
EQEP1_A	I	eQEP-1 入力 A	6、10、20、25、28、35、40、44、224	4、13、33、42、48、64、69、76、80	2、9、27、39、53、63、64	2、6、22、31、44、48	4、19、32
EQEP1_B	I	eQEP-1 入力 B	7、11、21、29、37、41、228	3、10、34、37、46、66、68	1、6、28、31、37、55、57	1、4、29、43	2、14、17、29、31
EQEP1_INDEX	I/O	eQEP-1 インデックス	0、9、13、17、23、31、32、39、43、242	2、12、35、40、49、54、63、65、75	8、29、34、40、52、54、62	5、23、32、42	3、20、28
EQEP1_STROBE	I/O	eQEP-1 ストローブ	1、8、12、16、22、30、42、226	1、11、36、39、57、58、62、67	7、30、33、47、51、56	4、24、26、41	2、27
EQEP2_A	I	eQEP-2 入力 A	11、14、18、24	37、41、50、79	31、35、41	27、33	14、15、21
EQEP2_B	I	eQEP-2 入力 B	15、16、19、25、33	38、39、42、51、78	32、33、42	25、26、34	22
EQEP2_INDEX	I/O	eQEP-2 インデックス	26、29、39	3、43	1	1	31
EQEP2_STROBE	I/O	eQEP-2 ストローブ	4、27、28	4、44、59	2、48	2、38	32
ERRORSTS	O	エラー ステータス出力。外部プルダウンが必要。	24、28、29	3、4、41	1、2、35	1、2、27	15、31、32
GPIO0	I/O	汎用入出力 0	0	63	52	42	28
GPIO1	I/O	汎用入出力 1	1	62	51	41	27
GPIO2	I/O	汎用入出力 2	2	61	50	40	
GPIO3	I/O	汎用入出力 3	3	60	49	39	26
GPIO4	I/O	汎用入出力 4	4	59	48	38	
GPIO5	I/O	汎用入出力 5	5	74	61	47	30
GPIO6	I/O	汎用入出力 6	6	80	64	48	
GPIO7	I/O	汎用入出力 7	7	68	57	43	29
GPIO8	I/O	汎用入出力 8	8	58	47		
GPIO9	I/O	汎用入出力 9	9	75	62		
GPIO10	I/O	汎用入出力 10	10	76	63		
GPIO11	I/O	汎用入出力 11	11	37	31		14
GPIO12	I/O	汎用入出力 12	12	36	30	24	
GPIO13	I/O	汎用入出力 13	13	35	29	23	
GPIO14	I/O	汎用入出力 14	14	79			
GPIO15	I/O	汎用入出力 15	15	78			

Copyright © 2025 Texas Instruments Incorporated

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	80 PN	64 PM	48 PHP	32 RHB
GPIO16	I/O	汎用入出力 16	16	39	33	26	
GPIO17	I/O	汎用入出力 17	17	40	34		
GPIO18	I/O	汎用入出力 18	18	50	41	33	21
GPIO19	I/O	汎用入出力 19	19	51	42	34	22
GPIO20	I/O	汎用入出力 20	20	33	27	22	
GPIO21	I/O	汎用入出力 21	21	34	28		
GPIO22	I/O	汎用入出力 22	22	67	56		
GPIO23	I/O	汎用入出力 23	23	65	54		
GPIO24	I/O	汎用入出力 24	24	41	35	27	15
GPIO25	I/O	汎用入出力 25	25	42			
GPIO26	I/O	汎用入出力 26	26	43			
GPIO27	I/O	汎用入出力 27	27	44			
GPIO28	I/O	汎用入出力 28	28	4	2	2	32
GPIO29	I/O	汎用入出力 29	29	3	1	1	31
GPIO30	I/O	汎用入出力 30	30	1			
GPIO31	I/O	汎用入出力 31	31	2			
GPIO32	I/O	汎用入出力 32	32	49	40	32	20
GPIO33	I/O	汎用入出力 33	33	38	32	25	
GPIO34	I/O	汎用入出力 34	34	77			
GPIO35	I/O	汎用入出力 35	35	48	39	31	19
GPIO37	I/O	汎用入出力 37	37	46	37	29	17
GPIO39	I/O	汎用入出力 39	39				
GPIO40	I/O	汎用入出力 40	40	64	53		
GPIO41	I/O	汎用入出力 41	41	66	55		
GPIO42	I/O	汎用入出力 42	42	57			
GPIO43	I/O	汎用入出力 43	43	54			
GPIO44	I/O	汎用入出力 44	44	69		44	
GPIO45	I/O	汎用入出力 45	45	73			
GPIO46	I/O	汎用入出力 46	46	6			
GPIO48	I/O	汎用入出力 48	48	31			
GPIO49	I/O	汎用入出力 49	49	32			
GPIO224	I/O	汎用入出力 224	224	13	9	6	4
GPIO226	I/O	汎用入出力 226	226	11	7	4	2
GPIO227	I/O	汎用入出力 227	227	28	24	20	13
GPIO228	I/O	汎用入出力 228	228	10	6	4	2
GPIO230	I/O	汎用入出力 230	230	29	25	21	13
GPIO242	I/O	汎用入出力 242	242	12	8	5	3
I2CA_SCL	I/OD	I2C-A オープンドレイン双方向クロック	1、4、8、18、20、27、33、37、43	33、38、44、46、50、54、58、59、62	27、32、37、41、47、48、51	22、25、29、33、38、41	17、21、27
I2CA_SDA	I/OD	I2C-A オープンドレイン双方向データ	0、5、10、19、21、26、32、35、42、230	29、34、43、48、49、51、57、63、74、76	25、28、39、40、42、52、61、63	21、31、32、34、42、47	13、19、20、22、28、30
I2CB_SCL	I/OD	I2C-B オープンドレイン双方向クロック	3、9、15、29、227	3、28、60、75、78	1、24、49、62	1、20、39	13、26、31
I2CB_SDA	I/OD	I2C-B オープンドレイン双方向データ	2、14、28、34、230	4、29、61、77、79	2、25、50	2、21、40	13、32
LINA_RX	I	LIN-A 受信	23、29、33、35、42、49、226	3、11、32、38、48、57、65	1、7、32、39、54	1、4、25、31	2、19、31
LINA_TX	O	LIN-A 送信	22、28、32、37、46	4、6、46、49、67	2、37、40、56	2、29、32	17、20、32
MCAN_RX	I	CAN/CAN FD 受信	0、5、12、21、30、39、49	1、32、34、36、63、74	28、30、52、61	24、42、47	28、30
MCAN_TX	O	CAN/CAN FD 送信	1、4、13、20、31、46、48	2、6、31、33、35、59、62	27、29、48、51	22、23、38、41	27
OUTPUTXBAR1	O	出力クロスバー出力 1	2、24、34、227	28、41、61、77	24、35、50	20、27、40	13、15
OUTPUTXBAR2	O	出力クロスバー出力 2	3、25、37、242	12、42、46、60	8、37、49	5、29、39	3、17、26

表 5-3. デジタル信号 (続き)

信号名	ピンの種類	説明	GPIO	80 PN	64 PM	48 PHP	32 RHB
OUTPUTXBAR3	O	出力クロスバー出力 3	4、5、14、26、48、224	13、31、43、59、74、79	9、48、61	6、38、47	4、30
OUTPUTXBAR4	O	出力クロスバー出力 4	6、15、27、33、49	32、38、44、78、80	32、64	25、48	
OUTPUTXBAR5	O	出力クロスバー出力 5	7、28、42	4、57、68	2、57	2、43	29、32
OUTPUTXBAR6	O	出力クロスバー出力 6	9、29、43	3、54、75	1、62	1	31
OUTPUTXBAR7	O	出力クロスバー出力 7	0、11、16、30、44	1、37、39、63、69	31、33、52	26、42、44	14、28
OUTPUTXBAR8	O	出力クロスバー出力 8	17、31、45	2、40、73	34		
PMBUSA_ALERT	I/OD	PMBus-A オープン ドレイン双方向アラート信号	13、19、27、37、43、45	35、44、46、51、54、73	29、37、42	23、29、34	17、22
PMBUSA_CTL	I/O	PMBus-A 制御信号 - スレーブ入力 / マスタ出力	12、18、26、35、42、44	36、43、48、50、57、69	30、39、41	24、31、33、44	19、21
PMBUSA_SCL	I/OD	PMBus-A オープン ドレイン双方向クロック	3、15、16、24、35、41、230	29、39、41、48、60、66、78	25、33、35、39、49、55	21、26、27、31、39	13、15、19、26
PMBUSA_SDA	I/OD	PMBus-A オープン ドレイン双方向データ	2、14、17、25、32、34、40、44、46、48	6、31、40、42、49、61、64、69、77、79	34、40、50、53	32、40、44	20
SCIA_RX	I	SCI-A 受信データ	0、3、5、9、17、25、28、35、49	4、32、40、42、48、60、63、74、75	2、34、39、49、52、61、62	2、31、39、42、47	19、26、28、30、32
SCIA_TX	O	SCI-A 送信データ	1、2、7、8、16、24、29、37、48	3、31、39、41、46、58、61、62、68	1、33、35、37、47、50、51、57	1、26、27、29、40、41、43	15、17、27、29、31
SCIB_RX	I	SCI-B 受信データ	11、13、15、19、23、41	35、37、51、65、66、78	29、31、42、54、55	23、34	14、22
SCIB_TX	O	SCI-B 送信データ	9、10、12、14、18、22、40	36、50、64、67、75、76、79	30、41、53、56、62、63	24、33	21
SCIC_RX	I	SCI-C 受信データ	21、42、226	11、34、57	7、28	4	2
SCIC_TX	O	SCI-C 送信データ	20、43、224	13、33、54	9、27	6、22	4
SPIA_CLK	I/O	SPI-A クロック	3、9、12、18、28、32、226	4、11、36、49、50、60、75	2、7、30、40、41、49、62	2、4、24、32、33、39	2、20、21、26、32
SPIA_SIMO	I/O	SPI-A スレーブ入力、マスタ出力 (SIMO)	2、7、8、11、16、20、24、224	13、33、37、39、41、58、61、68	9、27、31、33、35、47、50、57	6、22、26、27、40、43	4、14、15、29
SPIA_SOMI	I/O	SPI-A スレーブ出力、マスタ入力 (SOMI)	1、4、10、13、17、21、35、228	10、34、35、40、48、59、62、76	6、28、29、34、39、48、51、63	4、23、31、38、41	2、19、27
SPIA_STE	I/O	SPI-A スレーブ送信イネーブル (STE)	0、5、11、19、24、29、37、242	3、12、37、41、46、51、63、74	1、8、31、35、37、42、52、61	1、5、27、29、34、42、47	3、14、15、17、22、28、30、31
SYNCOUT	O	外部 ePWM 同期パルス	6、39	80	64	48	
TDI	I	JTAG テスト データ入力 (TDI) - TDI は、このピンのデフォルトの多重化選択になっている。内部プルアップは、デフォルトでディセーブルになっている。このピンを JTAG TDI として使用する場合は、入力がフローティング入力にならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要がある。	35	48	39	31	19
TDO	O	JTAG テスト データ出力 (TDO) - TDO は、このピンのデフォルトの多重化選択になっている。内部プルアップは、デフォルトでディセーブルになっている。JTAG アクティビティがない場合、TDO 機能はトライステート状態になり、このピンはフローティング状態のままになる。GPIO 入力がフローティングにならないように、内部プルアップをイネーブルにするか、または外部プルアップをボードに追加する必要がある。	37	46	37	29	17
X1	I/O	水晶発振器入力またはシングルエンド クロック入力。水晶発振器をイネーブルにする前に、デバイス初期化ソフトウェアでこのピンを設定する必要がある。この発振器を使用するには、X1 と X2 の間に水晶振動子を接続する必要がある。このピンを使って、シングルエンドの 3.3V レベル クロックを供給することもできる。	19	51	42	34	22
X2	I/O	水晶発振器出力。	18	50	41	33	21
XCLKOUT	O	外部クロック出力。このピンは、デバイス内のクロック信号の中から選択されたものを分周した信号を出力します。	16、18	39、50	33、41	26、33	21

Copyright © 2025 Texas Instruments Incorporated

5.3.3 電源およびグランド

表 5-4. 電源およびグランド

信号名	ピンの種類	説明	80 PN	64 PM	48 PHP	32 RHB
VDD		1.2V デジタル ロジック電源ピン。使用方法の詳細については、「パワー マネージメント モジュール (PMM)」セクションを参照。	8、53、71	4、44、59	36、45	24
VDDA		3.3V アナログ電源ピン。各ピンに、最小 2.2µF のデカップリング コンデンサを配置。32 QFN パッケージでは、VREFHI は内部で VDDA に接続されている。使用方法の詳細については、「パワー マネージメント モジュール (PMM)」セクションを参照。	26	22	18	11
VDDIO		3.3V デジタル I/O 電源ピン。使用方法の詳細については、「パワー マネージメント モジュール (PMM)」セクションを参照。	7、52、72	43、60	35、46	23
VREGENZ	I	内部プルダウン付きの内部電圧レギュレータ イネーブル。VSS (Low) に接続すると、内部 VREG がイネーブルになる。VDDIO (High) に接続すると、外部電源を使用。	56	46	37	25
VSS		デジタル グランド。QFN パッケージの場合、パッケージの底面にあるグランド パッドを PCB のグランド プレーンに半田付けする必要がある。	9、30、55、70	5、26、45、58	PAD	PAD
VSSA		アナログ GND	25	21	17	10

5.3.4 テスト、JTAG、リセット

表 5-5. テスト、JTAG、リセット

信号名	ピンの種類	説明	80 PN	64 PM	48 PHP	32 RHB
TCK	I	内部プルアップ付き JTAG テスト クロック。	45	36	28	16
TMS	I/O	内部プルアップ付き JTAG テスト モード選択 (TMS)。このシリアル制御入力は、TCK の立ち上がりエッジで、TAP コントローラにシフトインされる。このデバイスには TRSTn ピンがない。通常動作時に JTAG をリセット状態に維持するために、基板上で TMS ピンと VDDIO の間に外部プルアップ抵抗 (推奨 2.2kΩ) を配置する必要がある。	47	38	30	18
XRSn	I/OD	デバイス リセット (IN) およびウォッチドッグ リセット (OUT)。電源投入時、このピンはデバイスによって Low に駆動される。また、外部回路がこのピンを駆動して、デバイス リセットをアサートすることもできる。ウォッチドッグ リセットが発生した場合、MCU もこのピンを Low に駆動する。ウォッチドッグ リセット時には、512 OSCCLK サイクルのウォッチドッグ リセット期間にわたって、XRSn ピンが Low に駆動される。XRSn と VDDIO の間に 2.2kΩ～10kΩ の抵抗を配置する必要がある。ノイズ フィルタリングのために XRS と VSS の間にコンデンサを配置する場合、容量は 100nF 以下にする必要がある。これらの値は、ウォッチドッグ リセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRSn ピンを VOL に正しく駆動できるように決められている。このピンは内部プルアップ付きのオープン ドレイン出力。このピンが外部デバイスによって駆動される場合は、オープン ドレイン デバイスを使用して駆動する必要があります。	5	3	3	1

5.4 ピン多重化

5.4.1 GPIO 多重化ピン

セクション 5.4.1.1 に、GPIO 多重化ピンを示します。

Copyright © 2025 Texas Instruments Incorporated

5.4.1.1 GPIO 多重化ピン

表 5-6. GPIO 多重化ピン

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO0	EPWM1_A	CANA_RX	OUTPUTXBAR7	SCIA_RX	I2CA_SDA	SPIA_STE		MCAN_RX		EQEP1_INDEX		EPWM3_A	
GPIO1	EPWM1_B			SCIA_TX	I2CA_SCL	SPIA_SOMI	EQEP1_STROBE	MCAN_TX				EPWM3_B	
GPIO2	EPWM2_A			OUTPUTXBAR1	PMBUSA_SDA	SPIA_SIMO	SCIA_TX		I2CB_SDA		CANA_TX	EPWM4_A	
GPIO3	EPWM2_B	OUTPUTXBAR2		OUTPUTXBAR2	PMBUSA_SCL	SPIA_CLK	SCIA_RX		I2CB_SCL		CANA_RX	EPWM4_B	
GPIO4	EPWM3_A	I2CA_SCL	MCAN_TX	OUTPUTXBAR3	CANA_TX		EQEP2_STROBE				SPIA_SOMI	EPWM1_A	
GPIO5	EPWM3_B	I2CA_SDA	OUTPUTXBAR3	MCAN_RX	CANA_RX	SPIA_STE			SCIA_RX			EPWM1_B	
GPIO6	EPWM4_A	OUTPUTXBAR4	SYNCOUT	EQEP1_A								EPWM2_A	
GPIO7	EPWM4_B	EPWM2_A	OUTPUTXBAR5	EQEP1_B		SPIA_SIMO			SCIA_TX		CANA_TX	EPWM2_B	
GPIO8	EPWM5_A		ADCSOCAO	EQEP1_STROBE	SCIA_TX	SPIA_SIMO	I2CA_SCL						
GPIO9	EPWM5_B	SCIB_TX	OUTPUTXBAR6	EQEP1_INDEX	SCIA_RX	SPIA_CLK					I2CB_SCL		
GPIO10	EPWM6_A		ADCSOCBO	EQEP1_A	SCIB_TX	SPIA_SOMI	I2CA_SDA						
GPIO11	EPWM6_B	CANA_RX	OUTPUTXBAR7	EQEP1_B	SCIB_RX	SPIA_STE			EQEP2_A	SPIA_SIMO			
GPIO12	EPWM7_A		MCAN_RX	EQEP1_STROBE	SCIB_TX	PMBUSA_CTL			SPIA_CLK	CANA_RX			
GPIO13	EPWM7_B		MCAN_TX	EQEP1_INDEX	SCIB_RX	PMBUSA_ALERT			SPIA_SOMI	CANA_TX			
GPIO14		SCIB_TX		I2CB_SDA	OUTPUTXBAR3	PMBUSA_SDA		EQEP2_A		EPWM3_A			
GPIO15		SCIB_RX		I2CB_SCL	OUTPUTXBAR4	PMBUSA_SCL		EQEP2_B		EPWM3_B			
GPIO16	SPIA_SIMO		OUTPUTXBAR7	EPWM5_A	SCIA_TX		EQEP1_STROBE	PMBUSA_SCL	XCLKOUT	EQEP2_B			
GPIO17	SPIA_SOMI		OUTPUTXBAR8	EPWM5_B	SCIA_RX		EQEP1_INDEX	PMBUSA_SDA	CANA_TX		EPWM6_A		
GPIO18	SPIA_CLK	SCIB_TX	CANA_RX	EPWM6_A	I2CA_SCL		EQEP2_A	PMBUSA_CTL	XCLKOUT				X2
GPIO19	SPIA_STE	SCIB_RX	CANA_TX	EPWM6_B	I2CA_SDA		EQEP2_B	PMBUSA_ALERT					X1
GPIO20	EQEP1_A		CANA_TX		SPIA_SIMO		MCAN_TX		I2CA_SCL			SCIC_TX	
GPIO21	EQEP1_B		CANA_RX		SPIA_SOMI		MCAN_RX		I2CA_SDA			SCIC_RX	
GPIO22	EQEP1_STROBE		SCIB_TX				LINA_TX				EPWM4_A		
GPIO23	EQEP1_INDEX		SCIB_RX				LINA_RX				EPWM4_B		
GPIO24	OUTPUTXBAR1	EQEP2_A	SPIA_STE	EPWM4_A	SPIA_SIMO			PMBUSA_SCL	SCIA_TX	ERRORSTS			
GPIO25	OUTPUTXBAR2	EQEP2_B		EQEP1_A				PMBUSA_SDA	SCIA_RX				
GPIO26	OUTPUTXBAR3	EQEP2_INDEX		OUTPUTXBAR3				PMBUSA_CTL	I2CA_SDA				
GPIO27	OUTPUTXBAR4	EQEP2_STROBE		OUTPUTXBAR4				PMBUSA_ALERT	I2CA_SCL				
GPIO28	SCIA_RX		EPWM7_A	OUTPUTXBAR5	EQEP1_A		EQEP2_STROBE	LINA_TX	SPIA_CLK	ERRORSTS	I2CB_SDA		
GPIO29	SCIA_TX		EPWM7_B	OUTPUTXBAR6	EQEP1_B		EQEP2_INDEX	LINA_RX	SPIA_STE	ERRORSTS	I2CB_SCL		
GPIO30	CANA_RX			OUTPUTXBAR7	EQEP1_STROBE			MCAN_RX	EPWM1_A				
GPIO31	CANA_TX			OUTPUTXBAR8	EQEP1_INDEX			MCAN_TX	EPWM1_B				
GPIO32	I2CA_SDA	EQEP1_INDEX	SPIA_CLK	EPWM4_B	LINA_TX			CANA_TX	PMBUSA_SDA	ADCSOCBO			
GPIO33	I2CA_SCL			OUTPUTXBAR4	LINA_RX			CANA_RX	EQEP2_B	ADCSOCAO			
GPIO34	OUTPUTXBAR1				PMBUSA_SDA						I2CB_SDA		
GPIO35	SCIA_RX	SPIA_SOMI	I2CA_SDA	CANA_RX	PMBUSA_SCL	LINA_RX	EQEP1_A	PMBUSA_CTL	EPWM5_B			TDI	
GPIO37	OUTPUTXBAR2	SPIA_STE	I2CA_SCL	SCIA_TX	CANA_TX	LINA_TX	EQEP1_B	PMBUSA_ALERT	EPWM5_A			TDO	

Copyright © 2025 Texas Instruments Incorporated

表 5-6. GPIO 多重化ピン (続き)

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO39					MCAN_RX		EQEP2_INDEX			SYNCOUT	EQEP1_INDEX		
GPIO40				EPWM2_B	PMBUSA_SDA		SCIB_TX	EQEP1_A					
GPIO41	EPWM7_A			EPWM2_A	PMBUSA_SCL		SCIB_RX	EQEP1_B					
GPIO42		LINA_RX	OUTPUTXBAR5	PMBUSA_CTL	I2CA_SDA	SCIC_RX		EQEP1_STROBE					
GPIO43			OUTPUTXBAR6	PMBUSA_ALERT	I2CA_SCL	SCIC_TX	PMBUSA_ALERT	EQEP1_INDEX					
GPIO44			OUTPUTXBAR7	EQEP1_A	PMBUSA_SDA		PMBUSA_CTL						
GPIO45			OUTPUTXBAR8				PMBUSA_ALERT						
GPIO46			LINA_TX	MCAN_TX			PMBUSA_SDA						
GPIO48	OUTPUTXBAR3		CANA_TX	MCAN_TX	SCIA_TX		PMBUSA_SDA						
GPIO49	OUTPUTXBAR4		CANA_RX	MCAN_RX	SCIA_RX		LINA_RX						
GPIO224				OUTPUTXBAR3	SPIA_SIMO		EPWM1_A	CANA_TX	EQEP1_A		SCIC_TX		
GPIO226			LINA_RX	EPWM6_A	SPIA_CLK		EPWM1_B		EQEP1_STROBE		SCIC_RX		
GPIO227	I2CB_SCL		EPWM3_A	OUTPUTXBAR1	EPWM2_B								
GPIO228			ADCSOCAO	CANA_TX	SPIA_SOMI		EPWM2_B		EQEP1_B				
GPIO230	I2CB_SDA		EPWM3_B	CANA_RX	EPWM2_A	I2CA_SDA	PMBUSA_SCL						
GPIO242				OUTPUTXBAR2	SPIA_STE		EPWM4_A	CANA_RX	EQEP1_INDEX				
AIO225													
AIO231													
AIO232													
AIO233													
AIO237													
AIO238													
AIO239													
AIO241													
AIO244													
AIO245													

Copyright © 2025 Texas Instruments Incorporated

5.4.2 ADC ピンのデジタル入力 (AIO)

ポート H の GPIO は、アナログ・ピンと多重化されています。これらは、「AIO」とも呼ばれます。これらのピンは入力モードでのみ機能します。デフォルトでは、これらのピンはアナログ・ピンとして機能し、GPIO はハイ・インピーダンス状態になります。GPHAMSEL レジスタは、これらのピンをデジタルまたはアナログ動作用に構成するために使用します。

注

鋭いエッジ (大きい dv/dt) を持つデジタル信号を AIO に接続すると、隣接するアナログ信号に対してクロストークが発生する可能性があります。したがって、アナログ機能に隣接するチャネルを使用する場合は、AIO に接続する信号のエッジ・レートを制限する必要があります。

5.4.3 ADC ピン上のデジタル入出力 (AGPIO)

一部の GPIO はアナログ ピンと多重化されており、デジタル入出力機能を備えています。これらは、「AGPIO」とも呼ばれます。AIO とは異なり、AGPIO には完全な入力と出力の機能があります。デフォルトでは、AGPIO は接続されていないため、構成する必要があります。表 5-7 に、AGPIO の構成方法を示します。アナログ機能をイネーブルにするには、アナログ サブシステムのレジスタ AGPIOCTRLx を設定します。デジタル機能をイネーブルにするには、「汎用入出力 (GPIO)」の章のレジスタ GPxAMSEL を設定します。

表 5-7. AGPIO の構成

AGPIOCTRLx.GPIOy (デフォルト = 0)	GPxAMSEL.GPIOy (デフォルト = 1)	ピン接続先:	
		ADC	GPIOy
0	0	-	あり
0	**1**	**-** [(1)]	**-** [(1)]
1	0	-	あり
1	1	あり	-

(1) デフォルトでは、AGPIO ピンに接続される信号はありません。ピン機能を使用するには、表内の他の行のいずれかを選択する必要があります。

注

鋭いエッジ (大きい dv/dt) を持つデジタル信号を AGPIO に接続すると、隣接するアナログ信号に対してクロストークが発生する可能性があります。したがって、アナログ機能に隣接するチャネルを使用する場合は、AGPIO に接続する信号のエッジ レートを制限する必要があります。

図 5-5 に、AGPIO を実装したアナログ サブシステムの一般的な回路図を示します。表 5-8 に、注意する必要がある特定のアナログ入力ピンの使用事例の組み合わせを示します。AGPIO アナログ ピン パスには、53Ω の追加の直列スイッチが含まれています。これにより、図 5-5 に示すように、ADC および CMPSS コンパレータと共有される低容量の絶縁型ノードが作成されます。ADC が (ADC サンプル / ホールド コンデンサに保存されている前の電圧に応じて) チャネルをサンプリングするとき、このノードに外乱が生じ、それによって最大 50ns の誤 CMPSS 事象が発生する可能性があります。表 5-8 に示すように、CMPSS 入力、ADC サンプリング、AGPIO の組み合わせには注意するか、回避方法を使用する必要があります。次の回避方法を実装することで、この潜在的な外乱に対応できます。

1. ADC と CMPSS の両方を同時に必要とするアナログ チャネルには、別のピン (AIO ピン タイプ) を使用します。
2. CMPSS デジタル フィルタを 50ns 以上の設定で使用します。これにより、一時的な外乱がフィルタリングされます。
3. 外乱によって誤トリップが発生しないように、ADC の サンプル / ホールド コンデンサを事前に調整します。たとえば、影響を受けるチャネルが読み取られる直前に、ADC の別のチャネルから 3.3V 接続のダミー読み取りを実行します。これにより、外乱が正の方向になり、誤トリップから離れます。誤トリップの極性が反転した場合、0V 信号の逆のダミー読み取りを使用できます。

表 5-8. 特定のアナログ入力ピンの使用事例の組み合わせ

特定のアナログ ピンで使用される機能	使用部品				
CMPSS コンパレータ入力	あり	-	あり	-	あり
ADC サンプリング	あり	あり	-	あり	あり
AGPIO アナログ ピン タイプ	あり	あり	あり	-	-
AIO アナログ ピン タイプ	-	-	-	あり	あり
結果	回避方法が必要	特別な分析や回避方法は不要			

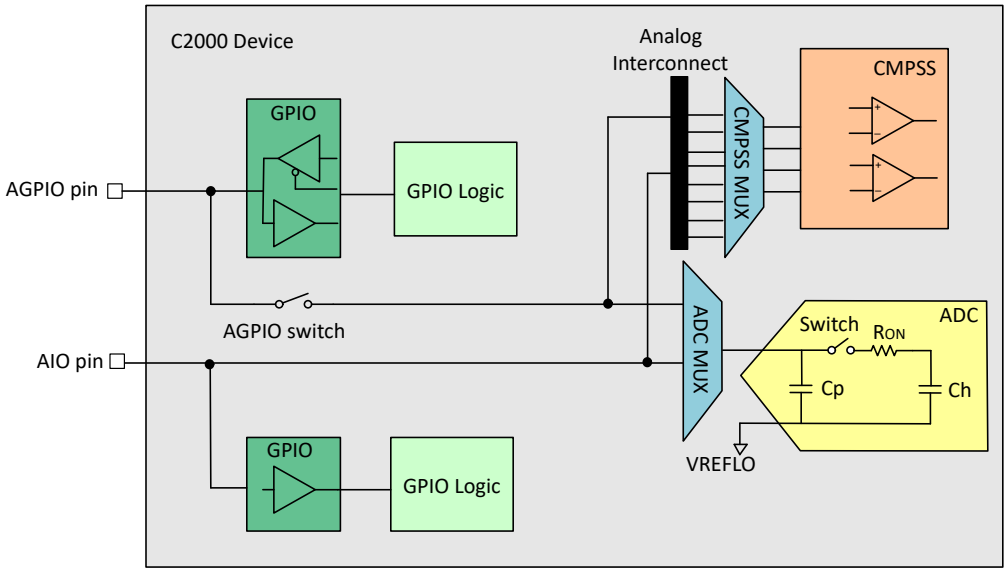


図 5-5. AGPIO を実装したアナログ サブシステムのブロック図

5.4.4 GPIO 入力クロスバー

入力クロスバーは、GPIO からの信号を、ADC、eCAP、ePWM、外部割り込みなどのさまざまな IP ブロックにルーティングするために使用されます (図 5-6 を参照)。表 5-9 に、入力クロスバーの接続先を示します。入力クロスバーの構成の詳細については、『TMS320F280015x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』のクロスバー (X-BAR)の章を参照してください。

Copyright © 2025 Texas Instruments Incorporated

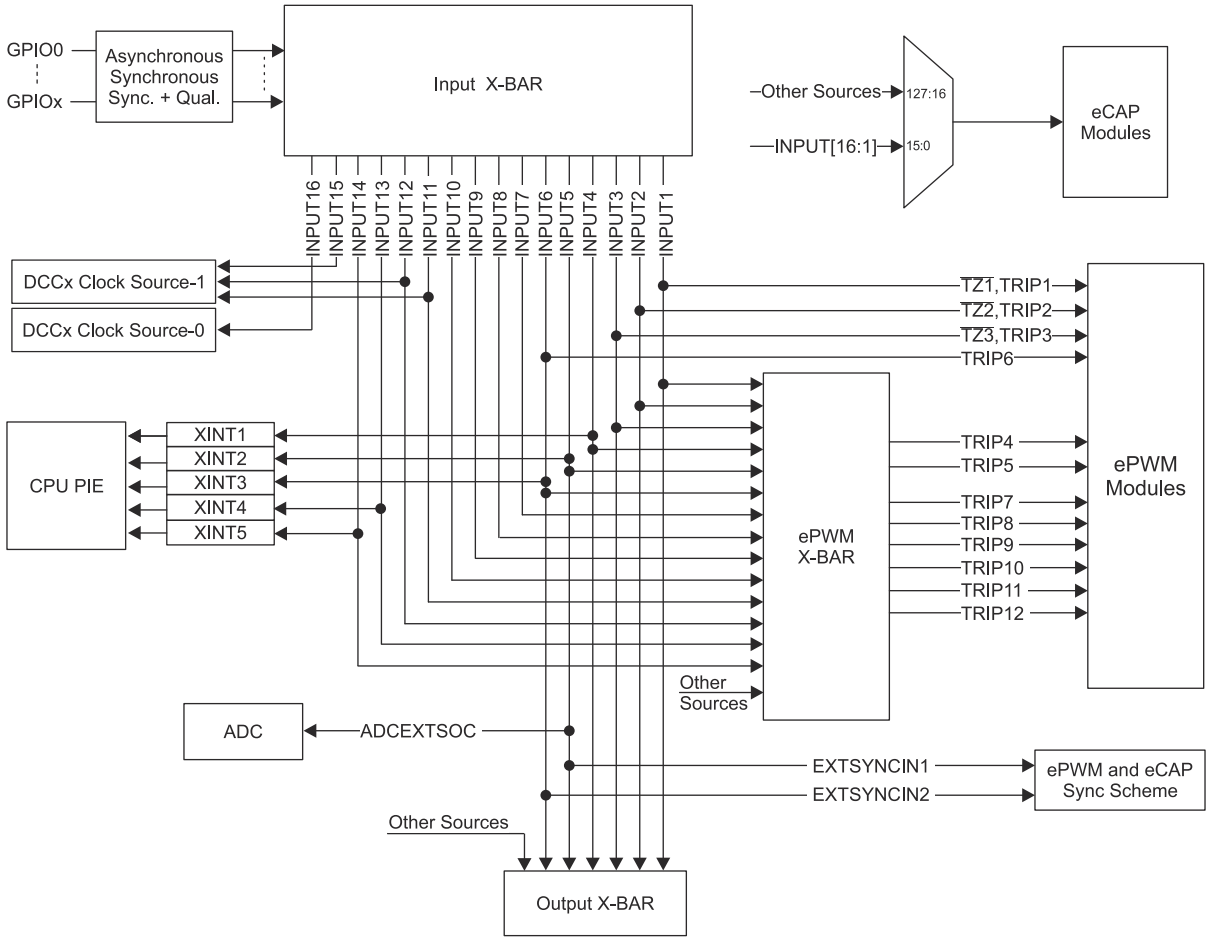


図 5-6. 入力クロスバー

表 5-9. クロスバーの接続先

入力	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
ECAP	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり
EPWM クロスバー	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり	あり		
出力クロスバー	あり	あり	あり	あり	あり	あり										
CPU XINT				XINT1	XINT2	XINT3							XINT4	XINT5		
EPWM トリップ	TZ1、TRIP1	TZ2、TRIP2	TZ3、TRIP3			TRIP6										
ADC 変換開始					ADCEXTSOC											
EPWM / ECAP 同期					EXTSYNCIN1	EXTSYNCIN2										
DCCx											CLK1	CLK1			CLK1	CLK0
EPG													EPG1IN1	EPG1IN2	EPG1IN3	EPG1IN4

5.4.5 GPIO 出力クロスバーおよび ePWM クロスバー

出力クロスバーには 8 つの出力があり、GPIO 多重化で OUTPUTXBARx として選択できます。ePWM クロスバーには 8 つの出力があり、ePWM の TRIPx 入力に接続されています。出力クロスバーおよび ePWM クロスバーのソースを 図 5-7 に示します。

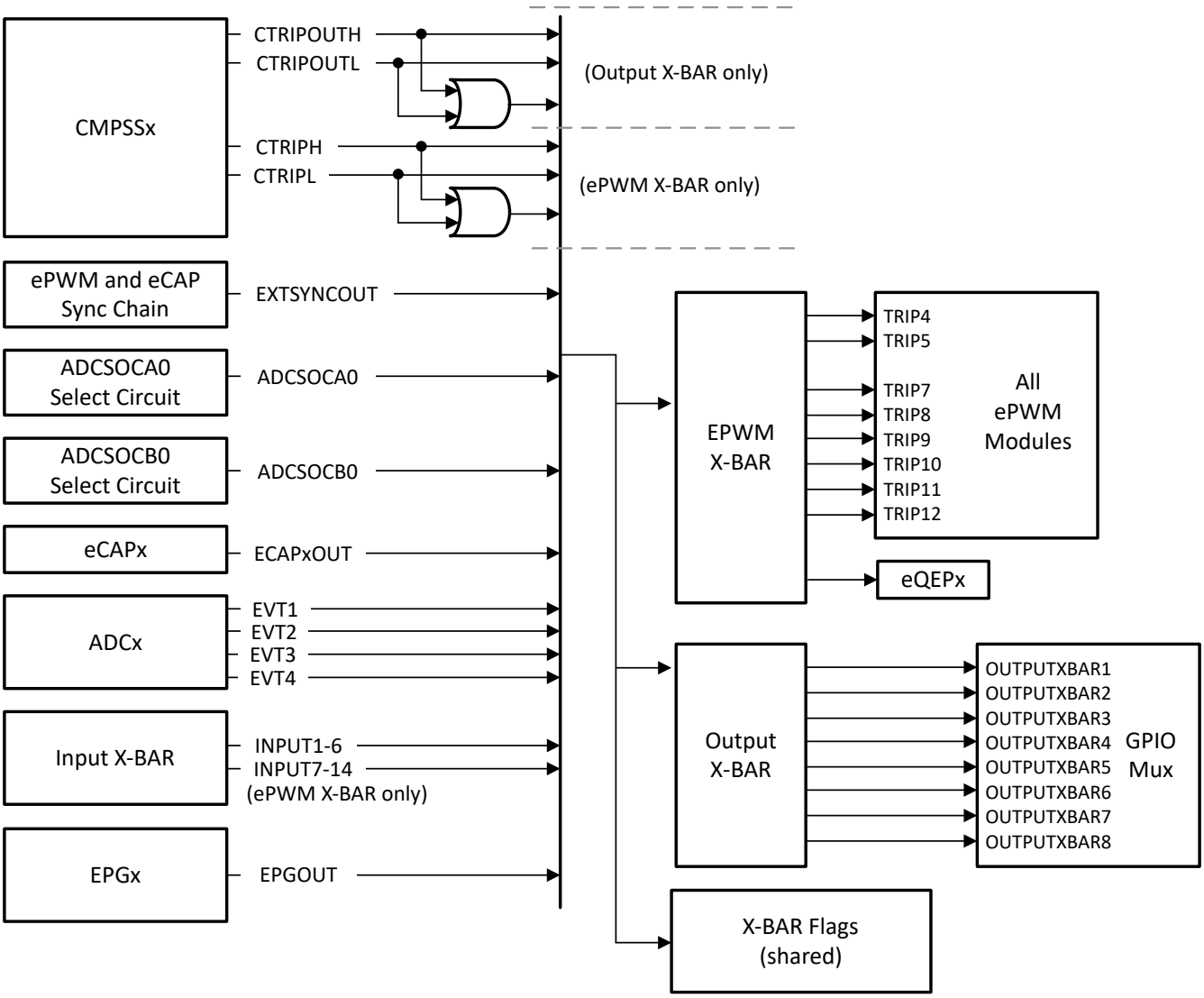


図 5-7. 出力クロスバーおよび ePWM クロスバー

Copyright © 2025 Texas Instruments Incorporated

5.5 内部プルアップおよびプルダウン付きのピン

デバイスの一部のピンには、内部プルアップまたはプルダウンが付いています。表 5-10 に、プル方向および動作するときを示します。GPIO ピンのプルアップは、デフォルトでディセーブルになっており、ソフトウェアによってイネーブルにできます。未接続入力がフローティングになるのを回避するため、特定のパッケージで未接続の GPIO ピンについては、ブート ROM が内部プルアップをイネーブルにします。表 5-10 に記載されているプルアップおよびプルダウン付きの他のピンは、常にオンであり、ディセーブルにできません。

表 5-10. 内部プルアップおよびプルダウン付きのピン

ピン	リセット (XRSn = 0)	デバイス・ブート	アプリケーション
GPIOx	プルアップ・ディセーブル	プルアップ・ディセーブル(1)	アプリケーションで設定
GPIO35/TDI	プルアップ・ディセーブル		アプリケーションで設定
GPIO37/TDO	プルアップ・ディセーブル		アプリケーションで設定
TCK	プルアップ・イネーブル		
TMS	プルアップ・イネーブル		
XRSn	プルアップ・イネーブル		
その他のピン (AIO を含む)	プルアップまたはプルダウンなし		

(1) 特定のパッケージで未接続の GPIO ピンについては、ブート ROM が内部プルアップをイネーブルにします。

5.6 未使用ピンの接続

デバイスのすべての機能を使用する必要のないアプリケーションについては、表 5-11 に、未使用のピンに対して許容される処置を示します。表 5-11 に複数の選択肢が示されている場合は、どれを採用してもかまいません。表 5-11 に記載されていないピンは、セクション 5 に従って接続する必要があります。

表 5-11. 未使用ピンの接続

信号名	許容される処置
アナログ	
VREFHI	VDDA に接続 (ADC がアプリケーションで使用されていない場合のみ適用)
VREFLO	VSSA に接続
アナログ入力ピン	• 接続なし • VSSA に接続 • 抵抗を経由して VSSA に接続
アナログ入力ピン (GPIO と共有)	• 接続なし • 抵抗を経由して VSSA に接続
デジタル	
GPIOx	• 接続なし (入力モードで内部プルアップをイネーブル) • 接続なし (出力モードで内部プルアップをディセーブル) • プルアップまたはプルダウン抵抗 (任意の値の抵抗、入力モードで内部プルアップをディセーブル)
GPIO35/TDI	TDI 多重化オプションを選択すると (デフォルト)、GPIO は入力モードになります。 • 内部プルアップをイネーブル • 外部プルアップ抵抗
GPIO37/TDO	TDO 多重化オプションを選択すると (デフォルト)、GPIO は JTAG 動作中のみ出力モードになります。それ以外の場合は、トライステート状態になります。入力バッファでの余分な電流を避けるため、このピンにバイアスを印加する必要があります。 • 内部プルアップをイネーブル • 外部プルアップ抵抗

表 5-11. 未使用ピンの接続 (続き)

信号名	許容される処置
TCK	• 接続なし • プルアップ抵抗
TMS	プルアップ抵抗
GPIO19/X1	XTAL をオフおよび: • 入力モードで内部プルアップをイネーブル • 入力モードで外部プルアップまたはプルダウン抵抗を使用 • 出力モードで内部プルアップをディセーブル
GPIO18/X2	XTAL をオフおよび: • 入力モードで内部プルアップをイネーブル • 入力モードで外部プルアップまたはプルダウン抵抗を使用 • 出力モードで内部プルアップをディセーブル
電源およびグランド	
VDD	すべての VDD ピンは、セクション 5.3 に従って接続する必要があります。ピンを外部回路のバイアスに使用することはできません。
VDDA	専用のアナログ電源を使用しない場合は、VDDIO に接続します。
VDDIO	すべての VDDIO ピンは、セクション 5.3 に従って接続する必要があります。
VSS	すべての VSS ピンは、基板のグランドに接続する必要があります。
VSSA	アナログ・グランドを使用しない場合は、VSS に接続します。

Copyright © 2025 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

推奨動作条件範囲内 (特に記述のない限り) (1) (2)

		最小値	最大値	単位
電源電圧	VSS を基準とした VDD	-0.3	1.5	V
	VSS を基準とした VDDIO	-0.3	4.6	
	VSSA を基準とした VDDA	-0.3	4.6	
入力電圧 (6)	V_{IN} (3.3V)	-0.3	4.6	V
出力電圧	V_O	-0.3	4.6	V
入力クランプ電流 - ピンごと (4) (5)	I_{IK} - V_{IN} < VSS/VSSA - V_{IN} > VDDIO/VDDA	-20	20	mA
入力クランプ電流 - すべてのピン数の合計 (5)	$I_{IKTOTAL}$ - V_{IN} < VSS/VSSA - V_{IN} > VDDIO/VDDA	-20	20	mA
出力電流	デジタル出力 (ピンごと)、I_{OUT}	-20	20	mA
動作時接合部温度	T_J	-40	155	℃
保存温度(3)	T_{stg}	-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) すべての電圧値は、特に記述のない限り、VSS 端子を基準とします。
(3) 長期にわたる高温保存または最高温度条件での長時間使用は、デバイスの寿命を縮める可能性があります。詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。
(4) ピンごとの連続クランプ電流は ±2mA です。
(5) VDDIO/VDDA を上回る、または VSS/VSSA を下回る V_{IN} を印加すると、ESD 電流クランプ ダイオードがターンオンし、それぞれの電源レールに余計な電流が流れます。この場合、本デバイスの永続的な損傷を防止するため、記載された最小値 / 最大値の範囲内に電流を維持する必要があります。
(6) 入力クランプ電流も確認する必要があります。

6.2 ESD 定格 - 民生用

			値	単位
F2800157、F2800155 (80 ピン PN パッケージ)				
$V_{(ESD)}$ 静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)		±2000	V
	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	すべてのピン	±500	
		80 ピン PN のコーナー・ピン: 1、20、21、40、41、60、61、80	±750	
F2800157、F2800155 (64 ピン PM パッケージ)				
$V_{(ESD)}$ 静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)		±2000	V
	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	すべてのピン	±500	
		64 ピン PM のコーナー・ピン: 1、16、17、32、33、48、49、64	±750	
F2800157、F2800155 (48 ピン PHP パッケージ)				
$V_{(ESD)}$ 静電気放電 (ESD)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)		±2000	V
	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	すべてのピン	±500	
		48 ピン PHP のコーナー・ピン: 1、12、13、24、25、36、37、48	±750	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。
(2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

6.3 ESD 定格 - 車載用

			値	単位
F2800157-Q1、F2800156-Q1、F2800155-Q1、F2800154-Q1 (80 ピン PN パッケージ)				
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、AEC Q100-002 準拠[1]	すべてのピン	±2000	V
	デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
		80 ピン PN のコーナー・ピン：1、20、21、40、41、60、61、80	±750	
F2800157-Q1、F2800156-Q1、F2800155-Q1、F2800154-Q1 (64 ピン PM パッケージ)				
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、AEC Q100-002 準拠[1]	すべてのピン	±2000	V
	デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
		64 ピン PM のコーナー・ピン：1、16、17、32、33、48、49、64	±750	
F2800157-Q1 (グレード 1 およびグレード 0)、F2800156-Q1 (グレード 1 およびグレード 0)、F2800155-Q1、F2800154-Q1、F2800153-Q1、F2800152-Q1 (48 ピン PHP パッケージ)				
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、AEC Q100-002 準拠[1]	すべてのピン	±2000	V
	デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
		48 ピン PHP のコーナー・ピン：1、12、13、24、25、36、37、48	±750	
F2800157-Q1、F2800156-Q1、F2800155-Q1、F2800154-Q1、F2800153-Q1、F2800152-Q1 (32 ピン RHB パッケージ)				
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、AEC Q100-002 準拠[1]	すべてのピン	±2000	V
	デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
		32 ピン RHB のコーナー・ピン：1、8、9、16、17、24、25、32	±750	

(1) AEC Q100-002 は、ANSI / ESDA / JEDEC JS-001 仕様に従って HBM ストレス試験を実施することを示しています。

6.4 推奨動作条件

		最小値	公称値	最大値	単位
デバイス電源電圧、VDDIO および VDDA	内部 BOR イネーブル[3]	$V_{BOR-VDDIO}$(MAX) + V_{BOR-GB} [2]	3.3	3.63	V
	内部 BOR ディセーブル	2.8	3.3	3.63	
デバイス電源電圧、VDD		1.14	1.2	1.32	V
デバイス グランド、VSS			0		V
アナログ グランド、VSSA			0		V
SR_{SUPPLY}	VSS に対する VDDIO、VDD、VDDA の電源ランプ レート[4]				
V_{IN}	デジタル入力電圧 [5]	VSS - 0.3		VDDIO + 0.3	V
	アナログ入力電圧 [5]	VSSA - 0.3		VDDA + 0.3	V
接合部温度、T_J [1]	F280015xS、F280015xQ パーツ	-40		140	℃
	F280015xE パーツ	-40		155	℃
自由気流での周囲温度、T_A	F280015xS、F280015xQ パーツ	-40		125	℃
	F280015xE パーツ	-40		150	℃

(1) T_J = 105°C を超えて長時間動作すると、デバイスの寿命が短くなります。詳細については、『組込みプロセッサの有効寿命計算』を参照してください。
(2) 「パワー マネージメント モジュール (PMM)」セクションを参照してください。
(3) デフォルトで、内部 BOR がイネーブルになっています。
(4) 「パワー マネージメント モジュールの動作条件」表を参照してください。

Copyright © 2025 Texas Instruments Incorporated

(5) VDDIO/VDDA を上回る、または VSS/VSSA を下回る V_{IN} を印加すると、ESD 電流クランプ ダイオードがターンオンし、それぞれの電源レールに余計な電流が流れます。VDDIO/VDDA 電圧が内部的に上昇し、その他の電気的特性に影響を及ぼす可能性があります。

6.5 消費電力の概略

このセクションに記載されている電流値は、絶対最大値ではなく、与えられたテスト条件での代表値を表しています。アプリケーションでの実際のデバイス電流は、アプリケーション・コードおよびピン構成によって異なります。セクション 6.5.1 および セクション 6.5.2 に、システム消費電流の値を示します。

6.5.1 システム消費電流 - VREG イネーブル - 内部電源

推奨動作条件範囲内 (特に記述のない限り)
標準値: V_{nom}、温度は T_J

パラメータ		テスト条件		最小値	標準値	最大値	単位
動作モード							
I_{DDIO}	動作時の VDDIO 消費電流	これは、標準的な大負荷アプリケーションにおける電流の推定値です。 実際の電流は、システムの動作、I/O の電気的負荷、およびスイッチング周波数によって異なります。これには、内部 Vreg が有効な場合のコア電源電流が含まれます。 - CPU は RAM から実行中 - フラッシュに電源を供給 - X1/X2 水晶振動子に電源を供給 - PLL 有効、SYSCLK = デバイスの最大周波数 - アナログ モジュールに電源を供給 - DC 負荷なしで出力は安定 - 入力は High または Low で安定	30°C		52	mA
			85°C		59.3	mA
			125°C		71.22	mA
			143°C(3)		77.1	mA
			155°C(4) (5)		44.1	mA
I_{DDA}	動作時の VDDA 消費電流		30°C		1.6	mA
			85°C		2	mA
			125°C		2.5	mA
			143°C(3)		2.5	mA
			155°C(4) (5)		2.6	mA
アイドル モード							
I_{DDIO}	デバイスがアイドル モードのときの VDDIO 消費電流	- CPU は IDLE モード - フラッシュへの電源供給なし - PLL 有効、SYSCLK = デバイスの最大周波数、CPUCLK はゲート - X1/X2 水晶振動子に電源を供給 - アナログ モジュールへの電源供給なし - DC 負荷なしで出力は安定 - 入力は High または Low で安定	30°C		19.3	mA
			85°C		24	mA
			125°C		37.22	mA
			134°C(3)		39.8	mA
			155°C(4)		45.1	mA
I_{DDA}	デバイスがアイドル モードのときの VDDA 消費電流		30°C		0.01	mA
			85°C		0.1	mA
			125°C		0.1	mA
			134°C(3)		0.1	mA
			155°C(4)		0.1	mA
STANDBY モード (PLL 有効)							
I_{DDIO}	デバイスがスタンバイ モードのときの VDDIO 消費電流	- CPU は STANDBY モード - フラッシュへの電源供給なし - PLL 有効、SYSCLK および CPUCLK はゲート - X1/X2 水晶振動子への電源供給なし - アナログ モジュールへの電源供給なし - DC 負荷なしで出力は安定 - 入力は High または Low で安定	30°C		7.6	mA
			85°C		11.8	mA
			125°C		23.82	mA
			131°C(3)		25.5	mA
			154°C(4)		31.8	mA
I_{DDA}	デバイスがスタンバイ モードのときの VDDA 消費電流		30°C		0.01	mA
			85°C		0.1	mA
			125°C		0.1	mA
			131°C(3)		0.1	mA
			154°C(4)		0.1	mA

Copyright © 2025 Texas Instruments Incorporated

6.5.1 システム消費電流 - VREG イネーブル - 内部電源 (続き)

推奨動作条件範囲内 (特に記述のない限り)
標準値: V_{nom}、温度は T_J

パラメータ		テスト条件		最小値	標準値	最大値	単位
STANDBY モード (PLL 無効)							
I_{DDIO}	デバイスがスタンバイ モードのときの VDDIO 消費電流	- CPU は STANDBY モード - フラッシュへの電源供給なし - PLL 無効、SYSCLK および CPUCLK はゲート - X1/X2 水晶振動子への電源供給なし - アナログ モジュールへの電源供給なし - DC 負荷なしで出力は安定 - 入力は High または Low で安定	30°C		5.8		mA
			85°C		10		mA
			125°C		22.92		mA
			131°C[3]		24.5		mA
			154°C[4]		29.7		mA
I_{DDA}	デバイスがスタンバイ モードのときの VDDA 消費電流		30°C		0.01		mA
			85°C		0.1		mA
			125°C		0.1		mA
			131°C[3]		0.1		mA
			154°C[4]		0.1		mA
ホールト モード							
I_{DDIO}	デバイスがホールト モードのときの VDDIO 消費電流	- CPU は HALT モード - フラッシュへの電源供給なし - PLL 無効、SYSCLK および CPUCLK はゲート - X1/X2 水晶振動子への電源供給なし - アナログ モジュールへの電源供給なし - DC 負荷なしで出力は安定 - 入力は High または Low で安定	30°C		5.3		mA
			85°C		9.5		mA
			125°C		22.52		mA
			131°C[3]		24.1		mA
			154°C[4]		29.2		mA
I_{DDA}	デバイスがホールト モードのときの VDDA 消費電流		30°C		0.01		mA
			85°C		0.1		mA
			125°C		0.1		mA
			131°C[3]		0.1		mA
			154°C[4]		0.1		mA
フラッシュ消去 / プログラム							
I_{DDIO}	消去 / プログラム サイクル中の VDDIO 消費電流[1]	- CPU は RAM から実行中 - フラッシュに対し連続的なプログラム / 消去操作を実行 - PLL 有効、SYSCLK = デバイスの最大周波数 - ペリフェラル クロックはオフ - X1/X2 水晶振動子に電源を供給 - アナログへの電源供給なし - 出力は DC 負荷なしで安定 - 入力は High または Low で安定			65[6]	90[6]	mA
I_{DDA}	消去 / プログラム サイクル中の VDDA 消費電流				0.1	2.6	mA

6.5.1 システム消費電流 - VREG イネーブル - 内部電源 (続き)

推奨動作条件範囲内 (特に記述のない限り)
標準値: V_{nom}、温度は T_J

パラメータ		テスト条件		最小値	標準値	最大値	単位
リセット モード							
I_{DDIO}	リセットがアクティブのときの VDDIO 消費電流(2)		30℃		7		mA
			85°C		10.7		mA
			125°C		17		mA
			129℃(3)		17.8		mA
			153℃(4)		24.3		mA
I_{DDA}	リセットがアクティブのときの VDDA 消費電流(2)		30℃		0.01		mA
			85°C		0.01		mA
			125°C		0.01		mA
			129℃(3)		0.01		mA
			153℃(4)		0.01		mA

(1) フラッシュ プログラミング中に発生したブラウンアウト イベントは、フラッシュ データを破壊し、デバイスを永続的にロックする可能性があります。代替電源 (USB プログラマなど) を使用するプログラミング環境では、電源のブラウンアウト状態を回避するために、十分なマージンを確保して、デバイスおよび他のシステム コンポーネントに定格電流を供給できるようにする必要があります。
(2) これは、リセットがアクティブ (XRSn が Low) の場合の消費電流です。
(3) この温度は、与えられた電流で T_A が 125℃ (AEC-Q100 グレード 1) のときの T_J です。消費電流によるデバイスの自己発熱により、T_J は T_A を上回ります。この T_J はすべてのパッケージに適用されます。消費電流による自己発熱の計算に使用する値については、各パッケージの「熱抵抗特性」セクションを参照してください。
(4) この温度は、与えられた電流で T_A が 150℃ (AEC-Q100 グレード 0) のときの T_J です。消費電流によるデバイスの自己発熱により、T_J は T_A を上回ります。この T_J は 48PHP パッケージに適用されます。消費電流による自己発熱の計算に使用する値については、各パッケージの「熱抵抗特性」セクションを参照してください。
(5) デバイスの T_J の最大値の仕様を超えないようにデバイスの SYSCLK 周波数を 60MHz に低減。詳細については、「AEC-Q100 グレード 0 の熱設計に関する考慮事項」セクションを参照してください。
(6) 連続的な消去 / プログラム パルスが T_J の最大値を超えるため、回避する必要があります。単一のセクタのプログラミングと消去であれば、T_J の最大値を超える熱上昇は発生せず、すべての温度で実行できます。供給される電流は、ピークの消去/プログラム パルス電流です。AEC-Q100 グレード 0 の温度範囲を使用する場合、デバイスの消費電力は約 169mW (連続) を超えてはなりません。そうしないと、T_J の最大値の仕様を超えます。T_J の最大値を超えないようにするため、消去 / プログラム フラッシュ パルス間の時間を長くすることで、消費される平均フラッシュ電流を低減できます。これにより、消去 / プログラム パルスで温度が上昇した後にデバイスを周囲温度まで冷却する時間が得られるため、デバイス全体の自己発熱が低減されます。

Copyright © 2025 Texas Instruments Incorporated

6.5.2 システム消費電流 - VREG ディセーブル - 外部電源

推奨動作条件範囲内 (特に記述のない限り)
標準値: V_{nom}、温度は T_J

パラメータ		テスト条件		最小値	標準値	最大値	単位
動作モード							
I_{DD}	動作時の VDD 消費電流	これは、標準的な大負荷アプリケーションにおける電流の推定値です。 実際の電流は、システムの動作、I/O の電気的負荷、およびスイッチング周波数によって異なります。これには、内部 Vreg が有効な場合のコア電源電流が含まれます。 - CPU は RAM から実行中 - フラッシュに電源を供給 - X1/X2 水晶振動子に電源を供給 - PLL 有効、SYSCLK = デバイスの最大周波数 - アナログ モジュールに電源を供給 - DC 負荷なしで出力は安定 - 入力は High または Low で安定	30°C		50		mA
			85°C			58.8	mA
			125°C			72.82	mA
			134°C(3)			74.9	mA
			155°C(4)			77.48	mA
I_{DDIO}	動作時の VDDIO 消費電流		30°C		9.75		mA
			85°C			8.14	mA
			125°C			8.12	mA
			134°C(3)			8.2	mA
			155°C(4)			8.34	mA
I_{DDA}	動作時の VDDA 消費電流		30°C		1.6		mA
			85°C			2	mA
			125°C			2.3	mA
			134°C(3)			2.4	mA
			155°C(4)			2.5	mA
アイドル モード							
I_{DD}	デバイスがアイドル モードのときの VDD 消費電流	- CPU は IDLE モード - フラッシュへの電源供給なし - PLL 有効、SYSCLK = デバイスの最大周波数、CPUCLK はゲート - X1/X2 水晶振動子に電源を供給 - アナログ モジュールへの電源供給なし - DC 負荷なしで出力は安定 - 入力は High または Low で安定	30°C		16.6		mA
			85°C			28.1	mA
			125°C			41.02	mA
			130°C(3)			42.0	mA
			153°C(4)			43.8	mA
I_{DDIO}	デバイスがアイドル モードのときの VDDIO 消費電流		30°C		4		mA
			85°C			4	mA
			125°C			4.5	mA
			130°C(3)			4.6	mA
			153°C(4)			5	mA
I_{DDA}	デバイスがアイドル モードのときの VDDA 消費電流		30°C		0.01		mA
			85°C			0.1	mA
			125°C			0.1	mA
			130°C(3)			0.1	mA
			153°C(4)			0.1	mA

6.5.2 システム消費電流 - VREG ディセーブル - 外部電源 (続き)

推奨動作条件範囲内 (特に記述のない限り)
標準値: V_{nom}、温度は T_J

パラメータ		テスト条件		最小値	標準値	最大値	単位
STANDBY モード (PLL 有効)							
I_{DD}	デバイスがスタンバイ モードのときの VDD 消費電流	- CPU は STANDBY モード - フラッシュへの電源供給なし - PLL 有効、SYSCLK および CPUCLK はゲート - X1/X2 水晶振動子への電源供給なし - アナログ モジュールへの電源供給なし - DC 負荷なしで出力は安定 - 入力は High または Low で安定	30℃		3.9		mA
			85℃		11.2		mA
			125℃		28.02		mA
			129℃(3)		29.0		mA
			152℃(4)		30.9		mA
I_{DDIO}	デバイスがスタンバイ モードのときの VDDIO 消費電流		30℃		6.8		mA
			85℃		5.11		mA
			125℃		5		mA
			129℃(3)		5		mA
			152℃(4)		5.06		mA
I_{DDA}	デバイスがスタンバイ モードのときの VDDA 消費電流		30℃		0.01		mA
			85℃		0.1		mA
			125℃		0.1		mA
			129℃(3)		0.1		mA
			152℃(4)		0.1		mA
STANDBY モード (PLL 無効)							
I_{DD}	デバイスがスタンバイ モードのときの VDD 消費電流	- CPU は STANDBY モード - フラッシュへの電源供給なし - PLL 無効、SYSCLK および CPUCLK はゲート - X1/X2 水晶振動子への電源供給なし - アナログ モジュールへの電源供給なし - DC 負荷なしで出力は安定 - 入力は High または Low で安定	30℃		2.8		mA
			85°C		10		mA
			125°C		26.82		mA
			129℃(3)		27.7		mA
			152℃(4)		29.64		mA
I_{DDIO}	デバイスがスタンバイ モードのときの VDDIO 消費電流		30℃		6.25		mA
			85°C		4.36		mA
			125°C		4.22		mA
			129℃(3)		4.23		mA
			152℃(4)		4.27		mA
I_{DDA}	デバイスがスタンバイ モードのときの VDDA 消費電流		30℃		0.01		mA
			85°C		0.1		mA
			125°C		0.1		mA
			129℃(3)		0.1		mA
			152℃(4)		0.1		mA

Copyright © 2025 Texas Instruments Incorporated

6.5.2 システム消費電流 - VREG ディセーブル - 外部電源 (続き)

推奨動作条件範囲内 (特に記述のない限り)
標準値: V_{nom}、温度は T_J

パラメータ		テスト条件		最小値	標準値	最大値	単位
ホールト モード							
I_{DD}	デバイスがホールト モードのときの VDD 消費電流	- CPU は HALT モード - フラッシュへの電源供給なし - PLL 無効、SYSCLK および CPUCLK はゲート - X1/X2 水晶振動子への電源供給なし - アナログ モジュールへの電源供給なし - DC 負荷なしで出力は安定 - 入力は High または Low で安定	30°C		2.3		mA
			85°C		9.6		mA
			125°C		26.32		mA
			129°C(3)		27.2		mA
			152°C(4)		29.14		mA
I_{DDIO}	デバイスがホールト モードのときの VDDIO 消費電流		30°C		6.20		mA
			85°C		4.36		mA
			125°C		4.23		mA
			129°C(3)		4.24		mA
			152°C(4)		4.27		mA
I_{DDA}	デバイスがホールト モードのときの VDDA 消費電流		30°C		0.01		mA
			85°C		0.1		mA
			125°C		0.1		mA
			129°C(3)		0.1		mA
			152°C(4)		0.1		mA
フラッシュ消去 / プログラム							
I_{DD}	消去 / プログラム サイクル中の VDD 消費電流(1)	- CPU は RAM から実行中 - フラッシュに対し連続的なプログラム / 消去操作を実行 - PLL 有効、SYSCLK = デバイスの最大周波数 - ペリフェラル クロックはオフ - X1/X2 水晶振動子に電源を供給 - アナログへの電源供給なし - 出力は DC 負荷なしで安定 - 入力は High または Low で安定			58	70	mA
I_{DDIO}	消去 / プログラム サイクル中の VDDIO 消費電流(1)				11	20	mA
I_{DDA}	消去 / プログラム サイクル中の VDDA 消費電流				0.1	2.5	mA

6.5.2 システム消費電流 - VREG ディセーブル - 外部電源 (続き)

推奨動作条件範囲内 (特に記述のない限り)
標準値: V_{nom}、温度は T_J

パラメータ		テスト条件		最小値	標準値	最大値	単位
リセット モード							
I_{DD}	リセットがアクティブのときの VDD 消費電流(2)		30°C		2.2		mA
			85°C		4.2		mA
			125°C		8.7		mA
			127°C(3)		9		mA
			152°C(4)		14		mA
I_{DDIO}	リセットがアクティブのときの VDDIO 消費電流(2)		30°C		5		mA
			85°C		5		mA
			125°C		5		mA
			127°C(3)		5		mA
			152°C(4)		5		mA
I_{DDA}	リセットがアクティブのときの VDDA 消費電流(2)		30°C		0.01		mA
			85°C		0.01		mA
			125°C		0.01		mA
			127°C(3)		0.01		mA
			152°C(4)		0.01		mA

(1) フラッシュ プログラミング中に発生したブラウンアウト イベントは、フラッシュ データを破壊し、デバイスを永続的にロックする可能性があります。代替電源 (USB プログラマなど) を使用するプログラミング環境では、電源のブラウンアウト状態を回避するために、十分なマージンを確保して、デバイスおよび他のシステム コンポーネントに定格電流を供給できるようにする必要があります。
(2) これは、リセットがアクティブ (XRSn が Low) の場合の消費電流です。
(3) この温度は、与えられた電流で T_A が 125℃ (AEC-Q100 グレード 1) のときの T_J です。消費電流によるデバイスの自己発熱により、T_J は T_A を上回ります。この T_J はすべてのパッケージに適用されます。消費電流による自己発熱の計算に使用する値については、各パッケージの「熱抵抗特性」セクションを参照してください。
(4) この温度は、与えられた電流で T_A が 150℃ (AEC-Q100 グレード 0) のときの T_J です。消費電流によるデバイスの自己発熱により、T_J は T_A を上回ります。この T_J は 48PHP パッケージに適用されます。消費電流による自己発熱の計算に使用する値については、各パッケージの「熱抵抗特性」セクションを参照してください。

6.5.3 動作モード・テストの説明

セクション 6.5.1、セクション 6.5.2、セクション 6.5.5.1 に、デバイスの動作モードでの消費電流値を示します。動作モードでは、アプリケーションで何が発生する可能性があるかを推定できます。これらの測定のテスト条件には、以下の特徴があります。

- コードは RAM から実行。
- フラッシュは読み取りで、アクティブ状態を保持。
- 外部コンポーネントは I/O ピンによって駆動されない。
- すべてのペリフェラルでクロックがイネーブルになっている。
- すべての CPU がコードをアクティブに実行。
- すべてのアナログ・ペリフェラルに電源が投入されている。ADC と DAC は定期的に変換を実行。

Copyright © 2025 Texas Instruments Incorporated

6.5.4 消費電流のグラフ

次のグラフは、デバイスの周波数、温度、電源、消費電流の関係の代表例を示したものです。実際の結果は、システムの実装と条件によって異なります。

図 6-1 に、周波数全体にわたる標準的な動作電流プロファイルを示します。図 6-2 は、内部電源の場合の通常動作時の電流プロファイルについて、全温度範囲と全動作モードのデータを示したものです。このデータは「システム消費電流 - VREG イネーブル - 内部電源」の表に基づいています (30℃ のデータを VNOM で取得し、それより高温のデータ点は VMAX で取得)。図 6-3 は、外部電源の場合の通常動作時の電流プロファイルについて、全温度範囲と全動作モードのデータを示したものです。このデータは「システム消費電流 - VREG イネーブル - 外部電源」の表に基づいています (30℃ のデータを VNOM で取得し、それより高温のデータ点は VMAX で取得)。

注意

図 6-2 は、125℃ を上回る動作モード電流データを含みます。このグラフに示されている電流と温度のすべての組み合わせが可能なわけではありません。機器の損傷のリスクを最小限に抑えるため、セクション 6.12 に示すように、動作電流を一定のレベル未満に制限して、デバイス仕様の T_J 最大値を超えないようにする必要があります。

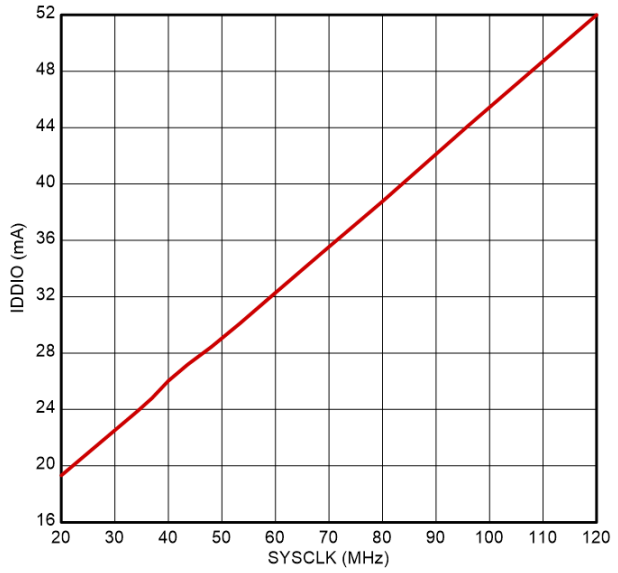


図 6-1. 動作時の電流と周波数との関係

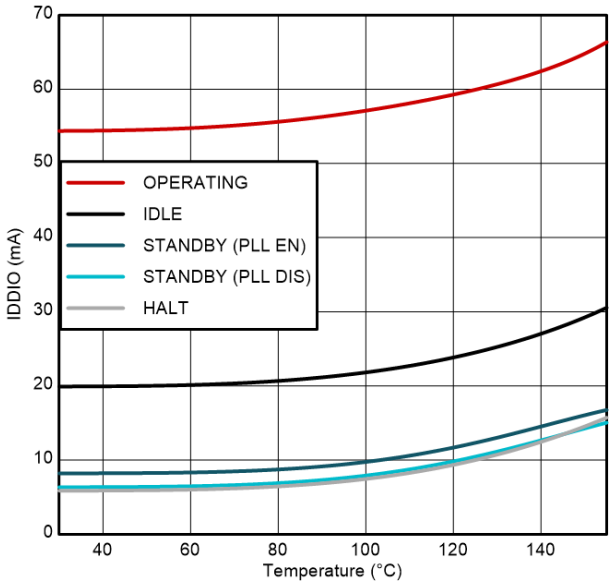


図 6-2. 電流と温度との関係 - 内部電源

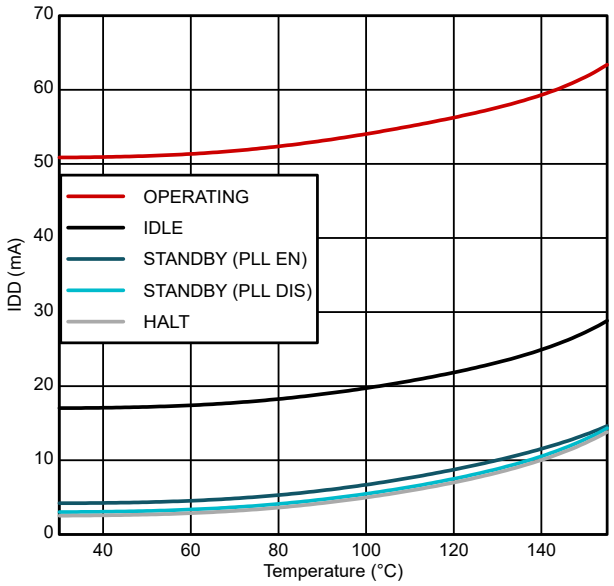


図 6-3. 電流と温度との関係 - 外部電源

Copyright © 2025 Texas Instruments Incorporated

6.5.5 消費電流の低減

F280015x デバイスには、デバイスの消費電流を低減する方法がいくつかあります。

- アプリケーションが動作していないときに、IDLE または STANDBY の 2 つの低消費電力モードのいずれかに移行できます。
- RAM からコードを実行する場合には、フラッシュ・モジュールの電源をオフにすることができます。
- 出力機能として設定されているピンのプルアップをディセーブルにします。
- 各ペリフェラルには、個別のクロック・イネーブル・ビット (PCLKCRx) があります。特定のアプリケーションで使用されていないペリフェラルについて、クロックをオフにすることにより、消費電流を低減できます。セクション 6.5.5.1 に、PCLKCRx レジスタを使用してクロックをディセーブルにすることにより実現できる、標準的な電流低減を示します。
- 低消費電力モードで最小の VDDA 消費電流を実現するには、『TMS320F280015x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「A/D コンバータ (ADC)」の章を参照して、各モジュールの電源が確実にオフになるようにしてください。

6.5.5.1 ペリフェラル ディセーブル時の標準的な電流低減

複数のインスタンスを持つペリフェラルの場合は、ここに記載された電流は、全モジュールを合計した値です。

ペリフェラル	I_{DDIO} 電流の低減 (mA)
ADC(1)	0.62
CMPSS_LITE(1)	0.26
CMPSS(1)	0.42
CPU タイマ	0.08
MCAN (CAN FD)	1.24
DCAN	1.32
DCC	0.06
eCAP	0.06
EPG	0.28
ePWM	0.88
HRPWM	0.94
eQEP	0.1
LIN	0.34
SCI	0.18
I2C	0.3
PMBUS	0.24
SPI	0.12

(1) この数値は、各モジュールのデジタル部分で消費される電流を示しています。

6.6 電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ			テスト条件	最小値	標準値	最大値	単位
デジタルおよびアナログ IO							
V_{OH}	High レベル出力電圧		I_{OH} = I_{OH} 最小値	VDDIO * 0.8			V
			I_{OH} = -100µA	VDDIO - 0.2			
V_{OL}	Low レベル出力電圧		I_{OL} = I_{OL} 最大値			0.4	V
			I_{OL} = 100µA			0.2	
I_{OH}	すべての出力ピンの High レベル出力ソース電流			-4			mA
I_{OL}	すべての出力ピンの Low レベル出力シンク電流					4	mA
R_{OH}	すべての出力ピンの High レベル出力インピーダンス		VOH = VDDS - 0.4V	50	65	96	Ω
R_{OL}	すべての出力ピンの Low レベル出力インピーダンス		VOL = 0.4V	48	60	84	Ω
V_{IH}	High レベル入力電圧			2.0			V
V_{IL}	Low レベル入力電圧					0.8	V
$V_{HYSTERESIS}$	入力ヒステリシス (AIO)			125			mV
	入力ヒステリシス (GPIO)			125			
$I_{PULLDOWN}$	入力電流	プルダウン付きピン	VDDIO = 3.3V V_{IN} = VDDIO		120		µA
I_{PULLUP}	入力電流	プルアップがイネーブルされたデジタル入力(1)	VDDIO = 3.3V V_{IN} = 0V		160		µA
$R_{PULLDOWN}$	弱プルダウン抵抗			22.66	31.49	61.55	kΩ
R_{PULLUP}	弱プルアップ抵抗			19.89	29.45	53.63	kΩ
I_{LEAK}	ピンのリーク電流	デジタル入力	プルアップおよび出力はディセーブル 0V ≤ V_{IN} ≤ VDDIO			0.1	µA
		アナログ ピン	アナログ ドライバはディセーブル 0V ≤ V_{IN} ≤ VDDA			0.1	
C_I	入力容量	デジタル入力			2		pF
		アナログ ピン(2)					
VREG および BOR							
VREG、POR、BOR(3)							

(1) プルアップまたはプルダウン付きピンの一覧については、「内部プルアップおよびプルダウン付きのピン」の表を参照してください。
(2) アナログ ピンは個別に規定されています。「ADC 入力モデル」セクションの「チャネルごとの寄生容量」の表を参照してください。
(3) 「パワー・マネージメント・モジュール (PMM)」セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.7 PN パッケージの熱抵抗特性

		℃/W(1)
RΘ JC	接合部からケースへの熱抵抗、上面	17.7
	接合部からケースへの熱抵抗、底面	N/A
RΘ JB	接合部から基板への熱抵抗	36.5
RΘ JA (高 k PCB)	接合部から周囲空気への熱抵抗	56.7
Psi JT	接合部とパッケージ上面との間	0.8
Psi JB	接合部と基板との間	36

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ JC [RΘ JC] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。
- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア・アレイ表面実装パッケージの熱測定用テスト基板』

6.8 PM パッケージの熱抵抗特性

		℃/W(1)
RΘ JC	接合部からケースへの熱抵抗、上面	20.3
	接合部からケースへの熱抵抗、底面	N/A
RΘ JB	接合部から基板への熱抵抗	36.4
RΘ JA (高 k PCB)	接合部から周囲空気への熱抵抗	59.8
Psi JT	接合部とパッケージ上面との間	0.9
Psi JB	接合部と基板との間	36

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ JC [RΘ JC] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。
- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア・アレイ表面実装パッケージの熱測定用テスト基板』

6.9 PHP パッケージの熱抵抗特性

		℃/W(1)
RΘ JC	接合部からケースへの熱抵抗、上面	17.1
	接合部からケースへの熱抵抗、底面	2.2
RΘ JB	接合部から基板への熱抵抗	12.3
RΘ JA (高 k PCB)	接合部から周囲空気への熱抵抗	29.5
Psi JT	接合部とパッケージ上面との間	0.2
Psi JB	接合部と基板との間	12.3

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ JC [RΘ JC] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。
- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア・アレイ表面実装パッケージの熱測定用テスト基板』

Copyright © 2025 Texas Instruments Incorporated

6.10 RHB パッケージの熱抵抗特性

		℃/W[1]
$R\Theta_{JC}$	接合部からケースへの熱抵抗、上面	20.7
	接合部からケースへの熱抵抗、底面	2.3
$R\Theta_{JB}$	接合部から基板への熱抵抗	11.3
$R\Theta_{JA}$ (高 k PCB)	接合部から周囲空気への熱抵抗	31.2
Psi $_{JT}$	接合部とパッケージ上面との間	0.2
Psi_{JB}	接合部と基板との間	11.2

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ JC [$R\Theta_{JC}$] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA / JEDEC 規格を参照してください。
- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア・アレイ表面実装パッケージの熱測定用テスト基板』

6.11 熱設計の検討事項

最終アプリケーションの設計と動作プロファイルに応じて、I_{DD} および I_{DDIO} の電流は変動する可能性があります。最終製品において推奨最大消費電力を超えるシステムでは、追加の熱強化が必要になる場合があります。周囲温度 (T_A) は、最終アプリケーションおよび製品の設計によって異なります。信頼性と機能に影響を与える重要な要因は、周囲温度ではなく、接合部温度 T_J です。したがって、規定された制限範囲内に T_J を維持するように注意する必要があります。動作接合部温度 T_J を推定するためには、T_{case} を測定する必要があります。通常、T_{case} は、パッケージ上面の中央で測定します。サーマル・アプリケーション・レポート*『半導体および IC パッケージの熱評価基準』*は、熱評価基準および定義の理解に役立ちます。

6.12 AEC-Q100 グレード 0 の熱設計に関する考慮事項

注

このセクションは、内部電源 (VREG イネーブル) モードにのみ適用されます。外部電源 (VREG ディセーブル) モードでは、このセクションの考慮事項は必要ありません。

F280015xE パーツは AEC-Q100 グレード 0 認定を取得済みです。周囲温度 T_A (150℃) と接合部温度 T_J (155℃) の両方の要件を維持するには、デバイス周波数、余剰 IO 電流、フラッシュ消去 / プログラム・パルス周波数を制限する必要があります。これは、内部電源モード (VREG イネーブル) でのみ必要です。以下の表に、グレード 0 デバイスのさまざまな周囲温度範囲について、T_A と T_J の要件を満たす方法の例を示します。

表 6-1. 動作モードの電力の例

電源	電圧 (V)	T_A 125℃		T_A 150℃[3]	
		電流[1] (mA)	電力 (mW)	電流[1] (mA)	電力 (mW)
IDDIO[2]	3.63	77.1	280	45.3	164
IDDA	3.63	2.6	9	1.4	5
合計		–	289	–	169

(1) 詳細については、「システム消費電流 - VREG イネーブル - 内部電源」の表を参照してください。
(2) VDDIO の電力はシステムの動作と負荷に依存します。この表に記載されている値は、IO バッファに DC 負荷がない一般的な IO スイッチング動作を想定したものです。
(3) 消費電流を低減するために周波数を 60MHz に制限。電流および電力の値は、「PHP パッケージの熱抵抗特性」に示されている熱特性に基づく推定最大許容値を表します。

Copyright © 2025 Texas Instruments Incorporated

表 6-2. AEC-Q100 グレード 0 の熱管理 - VREG イネーブル

T_A	使用事例			T_J	T_J の要件
	SYSCLK 周波数 $f_{(SYSCLK)}$	電源	T_A から T_J への温度上昇[(1)]		
125℃	120MHz	289mW	18℃	143℃	<155℃
150℃	60MHz	160mW	5℃	155℃	

(1) この例の T_A から T_J への温度上昇は、「PHP パッケージの熱抵抗特性」の表の $R\Theta_{JA}$ を使用して計算しています。

6.12.1 単純な周波数低減

T_A および T_J の要件を満たす最も単純なシステム・アプローチは、グレード 0 のアプリケーションで SYSCLK を常に $f_{(SYSCLK_TA_GRADE0)}$ MAX (60 MHz) で実行することです。

6.12.2 動的な周波数低減

別の実装として、システム温度に応じて $f_{(SYSCLK)}$ 周波数を動的に変更することもできます。外部温度センサを使用して T_A を測定するか、内部温度センサを使用して T_J を測定できます。温度が許容される最大の T_A (145℃) または T_J (155℃) を超える前に、アプリケーション・コードで前述のように $f_{(SYSCLK)}$ 周波数を低減できます。このアプローチに関するシステム上のいくつかの考慮事項を次に示します。

1. 温度センサ (内部または外部) には精度の仕様があり、遷移する温度スレッショルドを選択するときに考慮する必要があります。
2. 周波数範囲間の急速なサイクルを避けるため、温度スレッショルドのヒステリシスを使用する必要があります。
3. より高い温度範囲で制御ループを動作させる場合は、新しい $f_{(SYSCLK)}$ 周波数に合わせて制御ループと ePWM などのペリフェラルを調整する必要があります。
4. 特定のボーレートに依存する通信ペリフェラルは、新しい $f_{(SYSCLK)}$ 周波数に合わせて調整する必要があります。
5. ウォッチドッグ・タイマや遅延ソフトウェアの遅延機能など、時間ベースのカウンタを調整する必要があります。

これ以外にも、周波数を変更するときの必要な更新に影響するクロック関連の依存関係があります。どの依存関係の更新が必要かを判断するときは、「クロック供給システム」の図や C2000™ SysConfig のクロックツリー・ツールが役立ちます。

6.12.3 フラッシュの考慮事項

内部電源 (VREG イネーブル) 使用時のフラッシュ消去 / プログラムの電流により、デバイスの T_J の最大仕様を上回る自己発熱が発生することがあります。これを回避するために、フラッシュ消去 / プログラム・パルス間の時間を長くすることで、フラッシュ・プログラム / 消去の平均電流を低減できます。これにより、消去 / プログラム・パルスで温度が上昇した後に周囲温度まで冷却する時間が得られるため、デバイス全体の自己発熱が低減されます。

6.13 システム

6.13.1 パワー マネージメント モジュール (PMM)

6.13.1.1 概要

パワー・マネージメント・モジュール (PMM) は、デバイスの動作に必要なすべてのパワー・マネージメント機能を処理します。

6.13.1.2 概要

図 6-4 に、PWM のブロック図を示します。ご覧のように PMM は、さまざまなサブコンポーネントで構成されており、これについて以降のセクションで説明します。

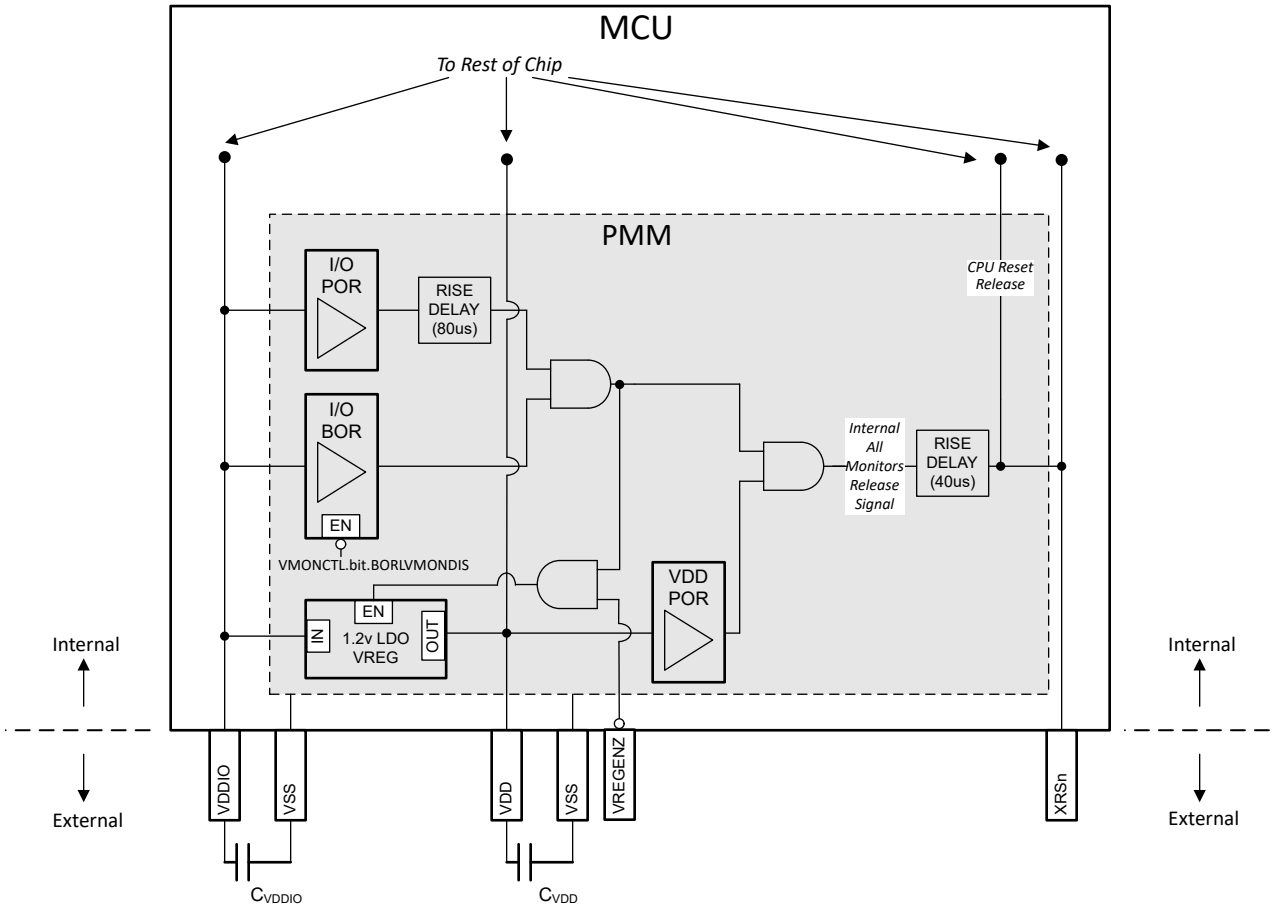


図 6-4. PMM のブロック図

6.13.1.2.1 電源レール監視

PMM には電源レールの電圧監視があり、パワーアップ時に電圧が設定したスレッショルドを超えると、XRSn 信号が解除されて HIGH になります。また、いずれかの電圧がプログラムされたレベルを下回った場合に、XRSn 信号を LOW にトリップする機能もあります。各種電圧監視については、以降のセクションで説明します。

注

ブートアップ後のアプリケーションでのデバイス動作に対して、すべての電圧監視がサポートされているわけではありません。電圧監視がサポートされていない場合、アプリケーション実行中にデバイスの電源電圧監視が必要であれば、外部監視回路を推奨します。

Copyright © 2025 Texas Instruments Incorporated

3 つの電圧監視 (I/O POR、I/O BOR、VDD POR) はすべて、デバイスが動作を開始する前にそれぞれの出力が解除される必要があります (すなわち、XRSn が HIGH になります)。ただし、いずれかの電圧監視がトリップした場合、XRSn は LOW に駆動されます。いずれかの電圧監視がトリップすると、I/O は高インピーダンスに保持されます。

6.13.1.2.1.1 I/O POR (パワーオン・リセット) 監視

I/O POR 監視は、VDDIO レールを監視します。これは、電源投入時に VDDIO 上で最初に解除される監視機能です (すなわち、最初にトリップ解除されます)。

6.13.1.2.1.2 I/O BOR (ブラウンアウト・リセット) 監視

I/O BOR 監視も、VDDIO レールを監視します。これは、 電源投入時に VDDIO 上で 2 番目に解除される監視です (すなわち、2 番目にトリップ解除されます) 。この監視は、I/O POR と比較すると許容範囲がより狭くなっています。

推奨動作電圧を下回る電圧低下が発生すると、I/O BOR がトリップしてデバイスがリセットされますが、これは VMONCTL.bit.BORLVMONDIS を 1 に設定することでディセーブルできます。I/O BOR をディセーブルにできるのは、デバイスが完全に起動した後のみです。I/O BOR がディセーブルになっている場合、電圧降下に対しては I/O POR がデバイスをリセットします。

注

I/O POR がトリップするレベルは、VDDIO の最小推奨電圧よりも相当に低いので、デバイス監視には使用しないでください。

図 6-5 に、I/O BOR の動作領域を示します。

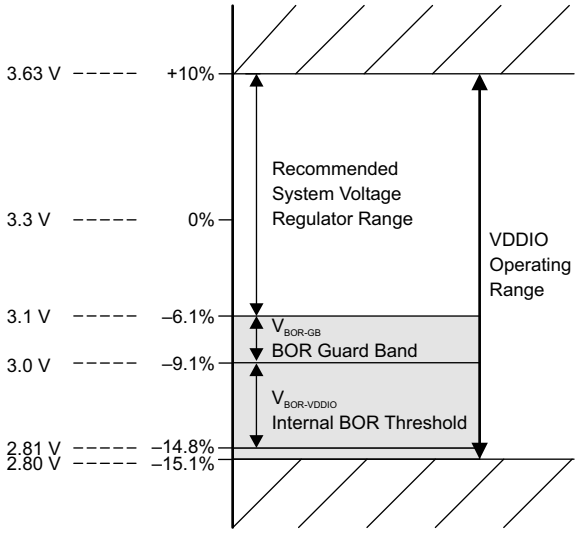


図 6-5. I/O BOR 動作領域

6.13.1.2.1.3 VDD POR (パワーオン・リセット) 監視

VDD POR 監視は、VDD レールを監視します。電源投入時に、電圧が VDD についてプログラムされたトリップ・レベルを超えると、この監視は解除されます(すなわち、トリップが解除されます)。

注

VDD POR は、VDD の最小推奨電圧よりも低いレベルにプログラムされているため、アプリケーションで VDD の最小推奨電圧が必要な場合は、VDD 監視に依存しないでください。

6.13.1.2.2 外部監視回路の使用

VDDIO 監視 : I/O BOR はアプリケーションでの使用をサポートしているため、I/O レールの監視に外部監視回路は必要ありません。

Copyright © 2025 Texas Instruments Incorporated

VDD 監視:

- 内部 VREG から供給される VDD:VDD 電源は VDDIO 電源から生成されます。VREG は、有効な VDDIO 電源 (IO BOR で監視) が有効な VDD 電源を暗黙的に示すように設計されています。
- 外部電源から供給される VDD:VDD POR はアプリケーションでの使用をサポートしていません。アプリケーションで VDD 監視が必要な場合は、外部監視回路を使用して VDD レールを監視できます。

注

内部 VREG による外部監視回路はサポートされていません。アプリケーションで VDD 監視が必要な場合は、VREGENZ ピンを備えたパッケージを使用して VDD に外部から電力を供給する必要があります。

6.13.1.2.3 遅延ブロック

電圧モニタのパス内の遅延ブロックは連携して動作し、電圧モニタと XRSn の間の解放時間を遅延させます。これにより、XRSn が解放されたときに電圧が確実に落ち着いているようにしています。遅延ブロックは、電源投入時 (すなわち、VDDIO および VDD が上昇しているとき) にのみアクティブになります。

遅延ブロックは、「パワー マネージメント モジュールの電気的データおよびタイミング」で規定されている最小スルーレートに影響を与えます。

注

ブロック図に示されている遅延時間は、標準値です。

6.13.1.2.4 内部 1.2V LDO 電圧レギュレータ (VREG)

内部 VREG は VDDIO レールから供給され、VDD ピンへの電力供給に必要な 1.2V を生成できます。内部 VREG により、VDD に外部電源を使用する必要はありませんが、VREG の安定性と過渡応答のために、VDD ピンにはデカップリング コンデンサが必要です。詳細については、「VDD デカップリング」を参照してください。

6.13.1.2.5 VREGENZ

VREGENZ (VREG ディセーブル) ピンは、内部 VREG の状態を制御します。内部 VREG をイネーブルにするには、VREGENZ ピンをロジック Low の電圧に接続します。外部から VDD に電力を供給するアプリケーション (外部 VREG) では、VREGENZ ピンを High に接続して内部 VREG をディセーブルにします。

注

すべてのデバイス パッケージで VREGENZ がピンへ接続されているわけではありません。VREGENZ なしのパッケージでは、外部 VREG モードはサポートされていません。

6.13.1.3 外付け部品

6.13.1.3.1 デカップリング・コンデンサ

正常に動作するためには、VDDIO および VDD にデカップリング・コンデンサが必要です。その要件については、以降のセクションで概要を説明します。

6.13.1.3.1.1 VDDIO デカップリング

VDDIO には、最小限のデカップリング容量を配置します。「パワー マネージメント モジュールの電気的データおよびタイミング」の C_{VDDIO} パラメータを参照してください。使用するデカップリング容量の実際の合計値が、VDDIO を駆動する電源の要件です。以下に示す構成のどちらでも許容可能です。

- **構成 1:**C_{VDDIO} パラメータに従って、各 VDDIO ピンにデカップリング コンデンサを配置します。
- **構成 2:**[C_{VDDIO} × VDDIO ピンの数] に相当する値の単一のデカップリング コンデンサを実装します。

注

デカップリング コンデンサは、デバイスのピンの近くに配置する必要があります。

6.13.1.3.1.2 VDD デカップリング

VDD には、最小限のデカップリング容量を配置します。「パワー マネージメント モジュールの電気的データとタイミング」の C_{VDD} パラメータ合計値を参照してください。

外部 VREG モードの場合は、使用するデカップリング容量の実際の合計値が、VDD を駆動する電源の要件となります。

以下に示す構成のどちらでも許容可能です。

- **構成 1:** 合計 C_{VDD} をすべての VDD ピンに対して均等に分けます。この構成では、PCB レベルで VDD ピンを分離できます。
- **構成 2:** 合計 C_{VDD} の値を持つ単一のデカップリング コンデンサ を実装します。この構成では、PCB 上ですべての VDD ピンを互いに接続する必要があります。

注

デカップリング コンデンサは、デバイスのピンの近くに配置する必要があります。

6.13.1.4 電源シーケンス

6.13.1.4.1 電源ピンの一括接続

すべての 3.3V レールを 1 つにまとめて接続し、単一の電源から電力を供給することを強く推奨します。その電源ピンを以下に示します。

- VDDIO
- VDDA

また、未接続のままにしないように、すべての電源ピンを接続します。

外部 VREG モードでは、VDD ピンを 1 つにまとめて接続し、単一の電源から電力を供給する必要があります。

内部 VREG モードでは、各 VDD ピンにコンデンサが接続されていれば、VDD ピンを 1 つにまとめて接続することは任意です。VDD デカップリングの構成については、「VDD デカップリング」セクションを参照してください。

このデバイスのアナログ・モジュールは、PSRR がかなり高いため、ほとんどの場合、VDDA のノイズが電源レールの推奨動作条件を超えない限り、アナログ・モジュールの性能低下は起こりません。したがって、通常は、VDDA を別に供給してもあまり利点はありません。ただし、ノイズの改善のために、VDDIO と VDDA の間に π 型フィルタを配置することは許容されます。

注

レールごとのすべての電源ピンは、内部で互いに接続されています。たとえば、すべての VDDIO ピンが内部で互いに接続され、すべての VDD ピンが内部で互いに接続されます。

6.13.1.4.2 信号ピンの電源シーケンス

デバイスに電源を供給する前に、いずれかのデジタル ピンに、VDDIO より 0.3V 上回る電圧または VSS より 0.3V 下回る電圧を印加しないでください。また、いずれかのアナログ ピン (VREFHI を含む) に、VDDA より 0.3V 上回る電圧または VSSA より 0.3V 下回る電圧を印加しないでください。要するに、すべての 3.3V レールが互いに接続されているとすれば、信号ピンを駆動するのは、XRSn が High になった後にしなければなりません。VDDIO と VDDA が互いに接続されていない場合であっても、このシーケンシングは、やはり必要です。

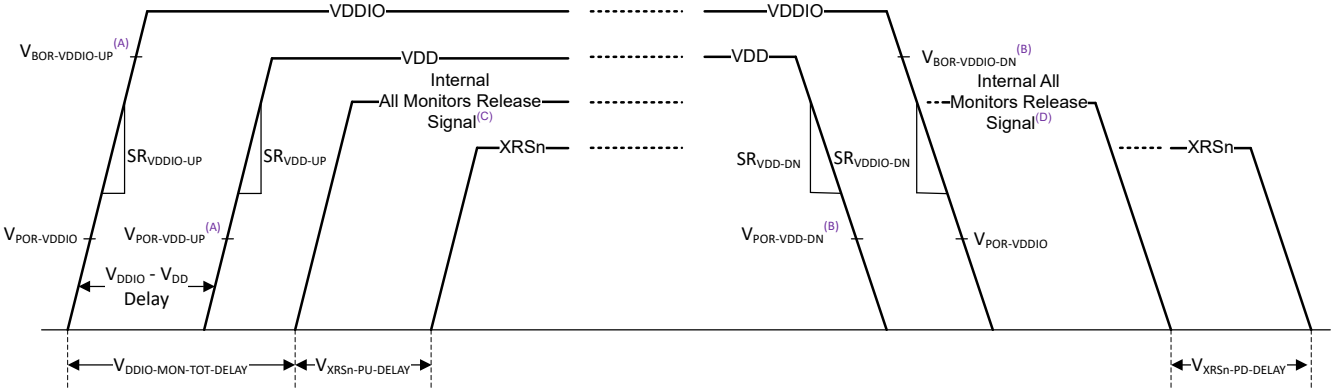
> **注意**
>
> 上記のシーケンスに違反した場合、デバイスが誤動作したり、デバイス内の意図しない寄生パスを電流が流れるために損傷したりする可能性があります。

6.13.1.4.3 電源ピンの電源シーケンス

Copyright © 2025 Texas Instruments Incorporated

6.13.1.4.3.1 外部 VREG/VDD モード シーケンス

図 6-6 に、外部 VREG モードの電源シーケンス要件を示します。表示されているすべてのパラメータの値については、パワー マネージメント モジュールの電気的データおよびタイミング を参照してください。



A. このトリップ ポイントは、XRSn が解除される前のトリップ ポイントです。「パワー マネージメント モジュールの特性」表を参照してください。
B. このトリップ ポイントは、XRSn が解除された後のトリップ ポイントです。「パワー マネージメント モジュールの特性」表を参照してください。
C. パワーアップ中に、すべての POR および BOR 監視が解除されると、全監視解除信号が High になります。「PMM のブロック図」を参照してください。
D. パワー ダウン中に、POR または BOR 監視のいずれかがトリップされると、全監視解除信号が LOW になります。「PMM のブロック図」を参照してください。

図 6-6. 外部 VREG パワーアップ シーケンス

- パワーアップ:
  1. VDDIO (すなわち 3.3V レール) は、規定された最小スルーレートで最初に立ち上がる必要があります。
  2. VDD (すなわち 1.2V レール) は、規定された最小スルーレートで次に立ち上がる必要があります。
  3. VDDIO レールの立ち上がりから VDD レールの立ち上がりまでの時間差も規定されています。
  4. $V_{DDIO\text{-}MON\text{-}TOT\text{-}DELAY}$ および $V_{XRSN\text{-}PD\text{-}DELAY}$ で規定された時間が経過すると、XRSn が解放され、デバイスはブートアップ シーケンスを開始します。
  5. I/O BOR 監視は、パワーアップ時とパワーダウン時でリリース ポイントが異なります。
  6. パワーアップ時には、XRSn が解放される前に VDDIO と VDD の両方のレールが立ち上がっている必要があります。
- パワーダウン:
  1. VDDIO と VDD のどちらが先にパワーダウンするという要件はありませんが、最小スルーレートの規定があります。
  2. I/O BOR 監視は、パワーアップ時とパワーダウン時でリリース ポイントが異なります。
  3. パワー ダウン中に POR または BOR 監視のいずれかがトリップすると、$V_{XRSN\text{-}PD\text{-}DELAY}$ の後、XRSn が LOW になります。

注

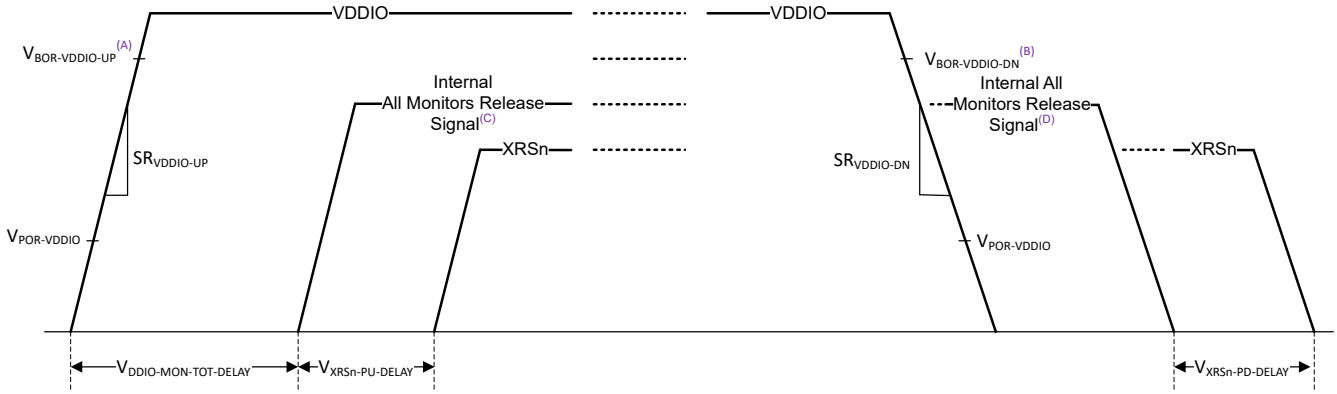
全監視解除信号は、内部信号です。

注

XRSn を駆動する外部回路 (例えば、電源監視回路) が存在する場合、すべての内部および外部ソースによって XRSn ピンが解放されるまで、ブートアップ シーケンスは開始されません。

6.13.1.4.3.2 内部 VREG/VDD モード シーケンス

図 6-7 に、内部 VREG モードの電源シーケンス要件を示します。表示されているすべてのパラメータの値は、「パワー マネージメント モジュールの電気的データおよびタイミング」に記載されています。



A. このトリップ ポイントは、XRSn が解除される前のトリップ ポイントです。「パワー マネージメント モジュールの特性」表を参照してください。
B. このトリップ ポイントは、XRSn が解除された後のトリップ ポイントです。「パワー マネージメント モジュールの特性」表を参照してください。
C. パワーアップ中に、すべての POR および BOR 監視が解除されると、全監視解除信号が High になります。「PMM のブロック図」を参照してください。
D. パワー ダウン中に、POR または BOR 監視のいずれかがトリップされると、全監視解除信号が LOW になります。「PMM のブロック図」を参照してください。

図 6-7. 内部 VREG パワーアップ シーケンス

- パワーアップ:
  1. VDDIO (すなわち 3.3V レール) は、規定された最小スルーレートで立ち上がる必要があります。
  2. I/O 監視 (I/O POR および I/O BOR) が解除されると、内部 VREG が起動します。
  3. $V_{DDIO\text{-}MON\text{-}TOT\text{-}DELAY}$ および $V_{XRSN\text{-}PU\text{-}DELAY}$ で規定された時間が経過すると、XRSn が解放され、デバイスはブートアップ シーケンスを開始します。
  4. I/O BOR 監視は、パワーアップ時とパワーダウン時でリリース ポイントが異なります。
- パワーダウン:
  1. パワーダウン時の VDDIO に対する唯一の要件は、スルーレートです。
  2. I/O BOR 監視は、パワーアップ時とパワーダウン時でリリース ポイントが異なります。
  3. I/O BOR トリップにより、$V_{XRSN\text{-}PD\text{-}DELAY}$ 後に XRSn が Low になり、また、内部 VREG がパワーダウンされます。

注

全監視解除信号は、内部信号です。

注

XRSn を駆動する外部回路 (例えば、電源監視回路) が存在する場合、すべての内部および外部ソースによって XRSn ピンが解放されるまで、ブートアップ シーケンスは開始されません。

6.13.1.4.3.3 電源シーケンスの概要と違反の影響

レールで許容されるパワーアップ シーケンスを以下にまとめます。ここで「パワーアップ」とは、対象のレールが推奨される最小動作電圧に達したことを意味します。

注意

許容されないシーケンスは、信頼性に関する問題を引き起こし、場合によっては損傷が発生する可能性があります。

単純化のため、すべての 3.3V レールを互いに接続して、「電源ピンの電源シーケンス」の説明に従うことを推奨します。

Copyright © 2025 Texas Instruments Incorporated

表 6-3. 外部 VREG シーケンスの概要

事例	レールのパワーアップ順序			許容可否
	VDDIO	VDDA	VDD	
A	1	2	3	あり
B	1	3	2	あり
C	2	1	3	なし
D	2	3	1	なし
E	3	2	1	なし
F	3	1	2	なし
G	1	1	2	あり
H	2	2	1	なし

表 6-4. 内部 VREG シーケンスの概要

事例	レールのパワーアップ順序		許容可否
	VDDIO	VDDA	
A	1	2	あり
B	2	1	なし
C	1	1	あり

注

デバイスのアナログ モジュールは、VDDA が推奨される最小動作電圧に達した後でのみ電力供給できます。

6.13.1.4.3.4 電源スルーレート

VDDIO には最小スルーレート要件があります。最小スルーレートが満たされていない場合、XRSn は、VDDIO が I/O BOR 領域を超えるまで数回トグルすることがあります。

注

XRSn が安定して High になった状態でのみブートが開始されるので、XRSn のトグルはデバイスに悪影響を及ぼしません。ただし、デバイスの XRSn を使用して他の IC のリセット信号をゲートする場合は、このトグルを防止するためにスルーレート要件を満たす必要があります。

外部 VREG モードの場合、VDD には最小スルーレート要件があります。最小スルーレートが満たされていない場合、VDD が最小動作電圧に達する前に VDD POR が解放され、デバイスが適切にリセットされた状態で起動しない可能性があります。

6.13.1.5 推奨動作条件の PMM への適用

「推奨動作条件」の表に記載されているように、デバイスのすべてのピンの電圧 (V_{IN}) は VSS - 0.3V よりも高く維持する必要があります。この値を下回る負電圧を印加すると、デバイスに電流が注入され、異常な動作が発生する可能性があります。PMM 付近のピンには特に注意が必要です。これらのピンに負電圧が印加されると、POR または BOR ブロックで予期せずに XRSn がアサートされたり、内部 VREG がディセーブルになる可能性があります (PMM のブロック図を参照)。このデバイスの PMM 付近のピンを以下の「PMM 付近のピン」の表に示します。

表 6-5. PMM 付近のピン

ピン名	ピン番号			
	80 PN	64 PM	48 PHP	32 RHB
GPIO42	57	–	–	–
GPIO8	58	47	–	–
GPIO4	59	48	38	–
GPIO3	60	49	39	26
GPIO2	61	50	40	–

表 6-5. PMM 付近のピン (続き)

ピン名	ピン番号			
	80 PN	64 PM	48 PHP	32 RHB
GPIO1	62	51	41	27
GPIO0	63	52	42	28

ピンに対する負のノイズを防止する方法を重要な順に次に示します。

1. ソースでノイズを低減または除去する。
2. これらのピンでノイズ源の間の結合を避ける。
3. デバイス ピン付近のフィルタでノイズを分離する。

Copyright © 2025 Texas Instruments Incorporated

6.13.1.6 パワー マネージメント モジュールの電気的データおよびタイミング

6.13.1.6.1 パワー マネージメント モジュールの動作条件

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
全般						
C_{VDDIO} (1) (2)	ピンごとの VDDIO 容量(7)		0.1			µF
C_{VDDA} (1) (2)	ピンごとの VDDA 容量(7)		2.2			µF
SR_{VDD33} (3)	3.3V レールの電源ランプ レート (VDDIO、VDDA)		20		100	mV/µs
$V_{BOR-VDDIO-GB}$ (5)	VDDIO ブラウンアウト リセット電圧ガードバンド			0.1		V
外部 VREG						
$C_{VDD\ TOTAL}$ (1) (4)	合計 VDD 容量 (7)			10		µF
SR_{VDD12} (3)	1.2V レールの電源ランプ レート (VDD)		10		100	mV/µs
V_{DDIO} - V_{DD} 遅延(6)	VDDIO と VDD の間の上昇下降遅延		0			us
内蔵 VREG						
$C_{VDD\ TOTAL}$ (1) (4)	合計 VDD 容量 (公称値) (7)		10		22	µF

(1) デカップリング容量の正確な値は、これらのピンに電力を供給するシステム電圧レギュレーション ソリューションによって決まります。
(2) 3.3V レール (VDDIO、VDDA) は互いに接続し、単一の電源から供給することを推奨します。
(3) 「電源スルーレート」セクションを参照してください。電源上昇下降速度が最大値よりも速いと、オンチップ ESD 保護がトリガされる可能性があります。
(4) デカップリング容量全体の可能な構成については、「パワー マネージメント モジュール (PMM)」のセクションを参照してください。
(5) 3.3V VDDIO システム レギュレータにおいて、通常の電源ノイズまたは負荷過渡イベントによって BOR-VDDIO リセットが発生することを回避するため、テキサス・インスツルメンツは $V_{BOR-VDDIO-GB}$ を推奨します。通常のデバイス動作時に BOR-VDDIO がアクティブになることを防止するためには、優れたシステム レギュレータ設計および (システム レギュレータの仕様に従った) デカップリング容量が重要です。$V_{BOR-VDDIO-GB}$ の値は、システム レベルの設計上の考慮事項であり、ここには、多くのアプリケーションについて一般的な電圧を示しています。
(6) 3.3V レールが上昇してから、1.2V レールが上昇するまでの遅延。許容される電源上昇下降シーケンスについては、「VREG シーケンスの概要」表を参照してください。
(7) コンデンサの最大許容誤差は 20% にする必要があります。

6.13.1.6.2 パワー マネージメント モジュールの特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{VREG}	内部電圧レギュレータ出力		1.152	1.2	1.248	V
$V_{VREG-PU}$	内部電圧レギュレータのパワーアップ時間				350	us
$V_{VREG-INRUSH}$ (5)	内部電圧レギュレータの突入電流			650		mA
$V_{POR-VDDIO}$	VDDIO パワーオン リセット電圧	XRSn 解除前および解除後		2.3		V
$V_{BOR-VDDIO-UP}$ (1)	上昇時の VDDIO ブラウンアウト リセット電圧	XRSn 解除前		2.7		V
$V_{BOR-VDDIO-DOWN}$ (1)	下降時の VDDIO ブラウンアウト リセット電圧	XRSn 解除後	2.81		3.0	V
$V_{POR-VDD-UP}$ (2)	上昇時の VDD パワー オン リセット電圧	XRSn 解除前		1		V
$V_{POR-VDD-DOWN}$ (2)	下降時の VDD パワー オン リセット電圧	XRSn 解除後		1		V
$V_{XRSn-PU-DELAY}$ (3)	パワーアップ時の電源上昇から XRSn 解除までの遅延			40		us

6.13.1.6.2 パワー マネージメント モジュールの特性 (続き)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{XRSn\text{-}PD\text{-}DELAY}$ (4)	パワーダウン時の電源下降から XRSn トリップまでの遅延			2		us
$V_{DDIO\text{-}MON\text{-}TOT\text{-}DELAY}$	VDDIO 監視のパスにおける合計遅延 (POR、BOR)			80		us
$V_{XRSn\text{-}MON\text{-}RELEASE\text{-}DELAY}$	VDD POR イベントから XRSn 解除までの遅延	電源は動作範囲内		40		us
	VDDIO BOR イベントから XRSn 解除までの遅延			40		us
	VDDIO POR イベントから XRSn 解除までの遅延			120		us

(1) 「I/O BOR 動作領域」の図を参照してください。
(2) $V_{POR\text{-}VDD}$ は推奨動作条件より大幅に低い値です。VDD の監視が必要な場合は、外部監視回路が必要です。
(3) 電源は、それぞれのレールの推奨最小動作条件を超えた後、完全に上昇したと見なされます。この遅延が有効になる前に、すべての POR および BOR 監視が解除される必要があります。RC ネットワーク遅延がこの値に加算されます。
(4) パワーダウン時に POR または BOR 監視がトリップすると、XRSn が直ちにトリップされます。この遅延時間は、POR、BOR 監視のどちらかのトリップから XRSn が Low になるまでの時間です。これは変動する可能性があり、電源の下降速度に依存します。RC ネットワーク遅延がこの値に加算されます。
(5) これは、内部 VREG がオンになったときに VDDIO レールに流れる過渡電流です。これにより、VREG がオンになると VDDIO レールに電圧降下が発生する可能性があり、その結果、VREG がステップ状に上昇する可能性があります。これによるデバイスへの悪影響はありませんが、必要があれば、VDDIO に十分なデカップリング コンデンサを使用するか、この過渡電流を供給できる LDO/DC-DC を選択することで効果を低減できます。

Copyright © 2025 Texas Instruments Incorporated

6.13.2 リセット タイミング

XRSn は、デバイスのリセット ピンです。入力およびオープン ドレイン出力として機能します。このデバイスでは、パワーオン リセット (POR) およびブラウンアウト リセット (BOR) の監視回路を内蔵しています。電源投入時は、この監視回路が XRSn ピンを Low に駆動します。詳細については、「パワー マネージメント モジュール (PMM)」セクションを参照してください。ウォッチドッグ リセットまたは NMI ウォッチドッグ リセットも、ピンを LOW に駆動します。外部のオープン ドレイン回路によりピンを駆動して、デバイス リセットをアサートすることもできます。

XRSn と VDDIO の間に 2.2kΩ～10kΩ の抵抗を配置する必要があります。ノイズ フィルタリングのため、XRSn と VSS の間にコンデンサを配置します。容量は 100nF 以下にする必要があります。これらの値は、ウォッチドッグ リセットがアサートされたときに、ウォッチドッグが 512 OSCCLK サイクル以内に XRSn ピンを V_{OL} に正しく駆動できるように決められています。図 6-8 に、リセットの推奨回路を示します。

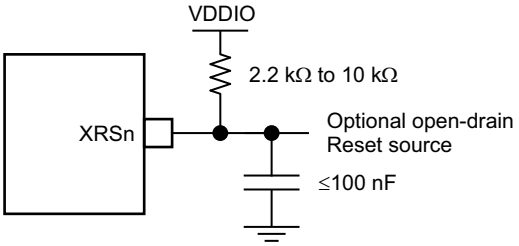


図 6-8. リセット回路

6.13.2.1 リセット ソース

「リセット信号」表に、各種のリセット信号と、デバイスへの影響をまとめます。

表 6-6. リセット信号

リセット ソース	CPU コアのリセット (C28x、FPU、TMU)	ペリフェラルのリセット	JTAG / デバッグ ロジックのリセット	IO	$\overline{\text{XRS}}$ 出力
POR	あり	あり	あり	ハイ インピーダンス	あり
BOR	あり	あり	あり	ハイ インピーダンス	あり
$\overline{\text{XRS}}$ ピン	あり	あり	なし	ハイ インピーダンス	-
$\overline{\text{WDRS}}$	あり	あり	なし	ハイ インピーダンス	あり
$\overline{\text{NMIWDRS}}$	あり	あり	なし	ハイ インピーダンス	あり
$\overline{\text{SYSRS}}$ (デバッガ リセット)	あり	あり	なし	ハイ インピーダンス	なし
$\overline{\text{SCCRESET}}$	あり	あり	なし	ハイ インピーダンス	なし
SIMRESET.$\overline{\text{XRS}}$	あり	あり	なし	ハイ インピーダンス	あり
SIMRESET.$\overline{\text{CPU1RS}}$	あり	あり	なし	ハイ インピーダンス	なし

パラメータ $t_{h(boot\text{-}mode)}$ は、これらのソースから開始されたいずれのリセットにも対応する必要があります。

『TMS320F280015x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「システム制御」の章にある「リセット」セクションを参照してください。

注意

一部のリセット ソースはデバイスによって内部で駆動されます。これらのソースの一部は XRSn を LOW に駆動します。これを使って、ブート ピンを駆動する他のデバイスをディセーブルにします。SCCRESET およびデバッガのリセット ソースは、XRSn を駆動しません。したがって、ブート モードに使用されるピンが、システム内の他のデバイスによってアクティブに駆動されないようにする必要があります。ブート構成には、OTP によってブート ピンを変更する機能があります。

Copyright © 2025 Texas Instruments Incorporated

6.13.2.2 リセットの電気的データおよびタイミング

6.13.2.2.1 リセット - XRSn - タイミング要件

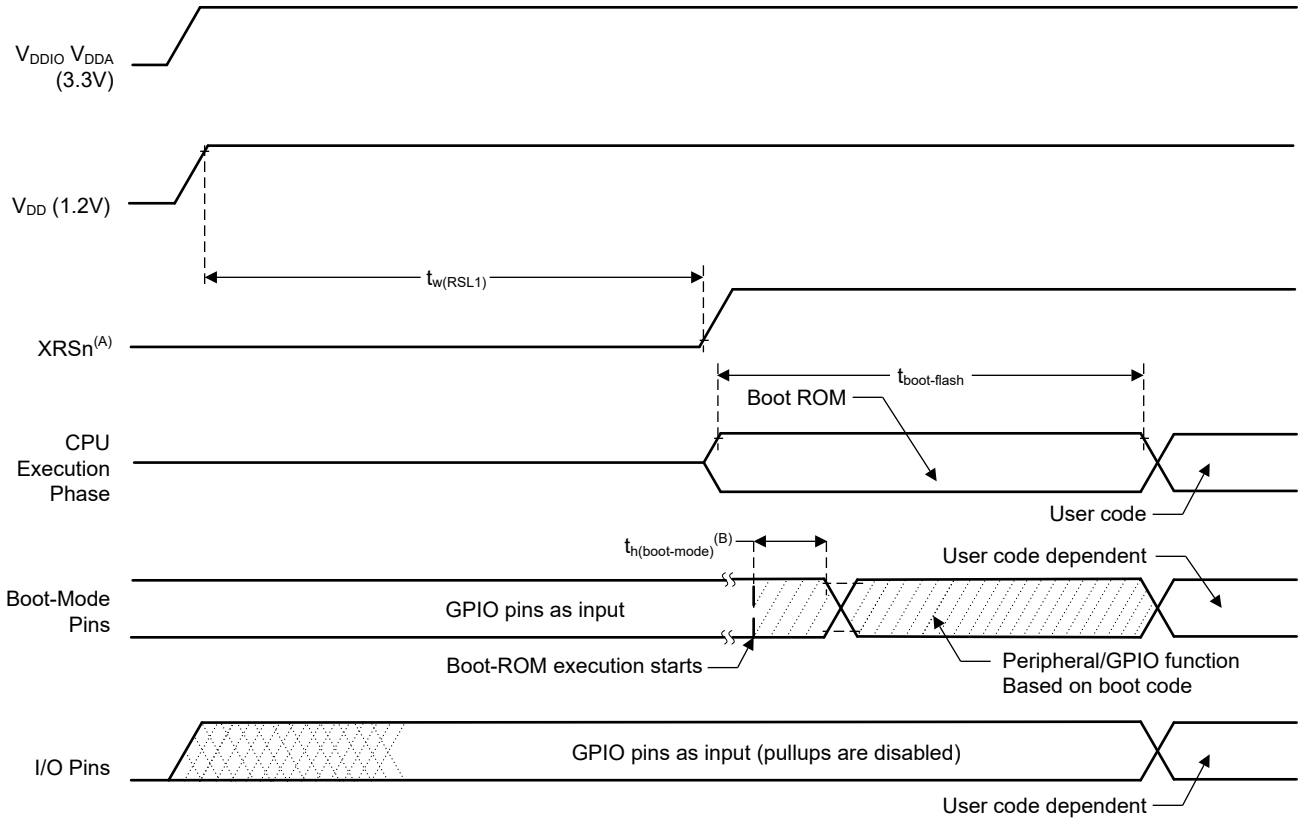
		最小値	最大値	単位
$t_{h(boot\text{-}mode)}$	ブート モード ピンのホールド時間	1.5		ms
$t_{w(RSL2)}$	パルス幅。ウォーム リセット時に XRSn が LOW	3.2		µs

6.13.2.2.2 リセット - XRSn - スイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
$t_{w(RSL1)}$	パルス幅。電源が安定した後、デバイスが XRSn を Low に駆動している期間		100		µs
$t_{w(WDRS)}$	パルス幅、ウォッチドッグによって生成されるリセット パルス		$512t_{c(OSCCLK)}$		サイクル
$t_{boot\text{-}flash}$	フラッシュ内での最初の命令フェッチまでのブート ROM 実行時間			1.2	ms

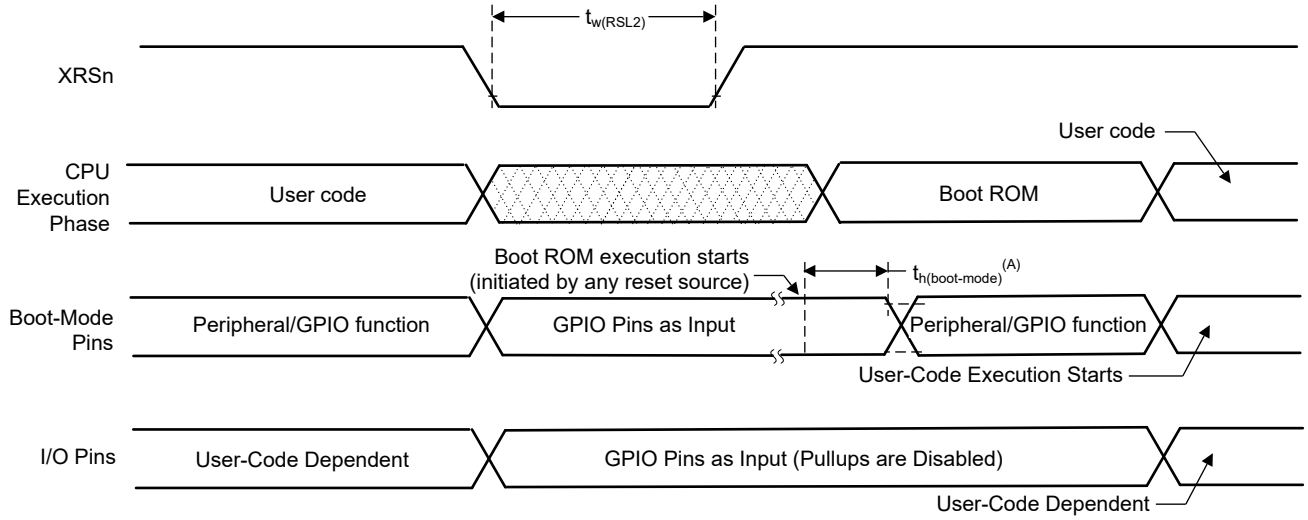
6.13.2.2.3 リセットのタイミング図



A. XRSn ピンは、外部のスーパーバイザまたはプルアップ抵抗によって駆動することができます。「ピン属性」の表を参照してください。オンチップのモニターは、電源が有効範囲になるまでこのピンを Low に保持します。

B. いずれかのソースからリセットした後 (「リセット要因」セクションを参照)、ブート ROM コードは、ブート モード ピンをサンプリングします。ブート モード ピンの状態に基づいて、ブート コードは、飛び先のメモリまたはブート コード関数に分岐します。(デバッガ環境で) パワーオン状態の後にブート ROM コードが実行される場合、ブート コードの実行時間は現在の SYSCLK 速度に基づきます。SYSCLK はユーザー環境によって決まっており、PLL 有効の場合と無効の場合があります。

図 6-9. パワーオン リセット



A. いずれかのソースからリセットした後 (「リセット要因」セクションを参照)、ブート ROM コードは、ブート モード ピンをサンプリングします。ブート モード ピンの状態に基づいて、ブート コードは、飛び先のメモリまたはブート コード関数に分岐します。(デバッガ環境で) パワーオン状態の後にブート ROM コードが実行される場合、ブート コードの実行時間は現在の SYSCLK 速度に基づきます。SYSCLK はユーザー環境によって決まっており、PLL 有効の場合と無効の場合があります。

図 6-10. ウォーム リセット

Copyright © 2025 Texas Instruments Incorporated

6.13.3 クロック仕様

6.13.3.1 クロック・ソース

表 6-7. 使用可能な基準クロック ソース

クロック ソース	説明
INTOSC1	内部発振器 1。 10MHz 内部発振器。
INTOSC2[(1)]	内部発振器 2。 10MHz 内部発振器。
X1 (XTAL)	X1 ピンと X2 ピンの間に接続された外付け水晶振動子もしくは発振子、または X1 ピンに接続されたシングルエンド クロック。

(1) リセット時、内部発振器 2 (INTOSC2) は、PLL (OSCCLK) のデフォルト クロック ソースになっています。

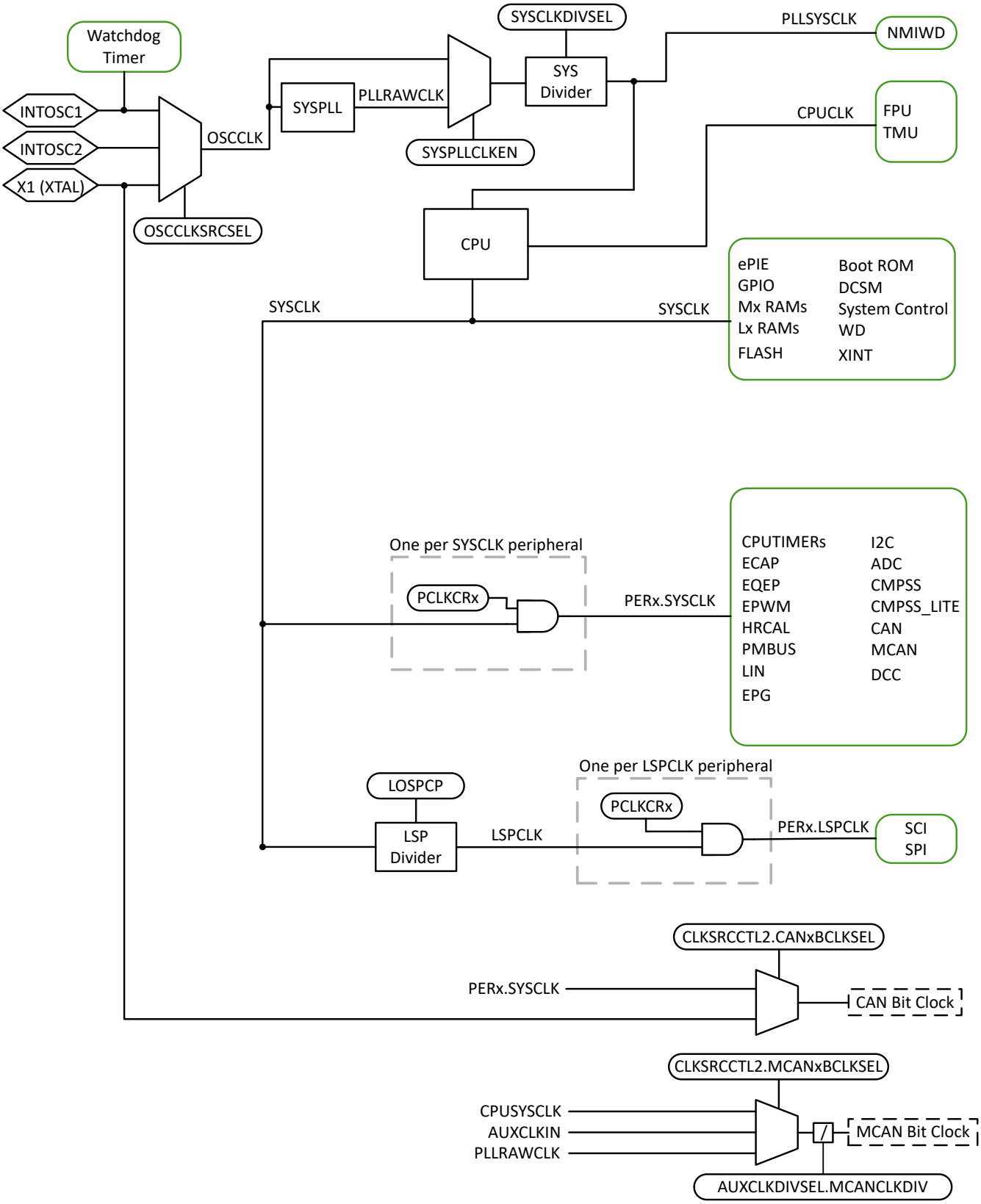


図 6-11. クロック供給システム

Copyright © 2025 Texas Instruments Incorporated

SYSPLL

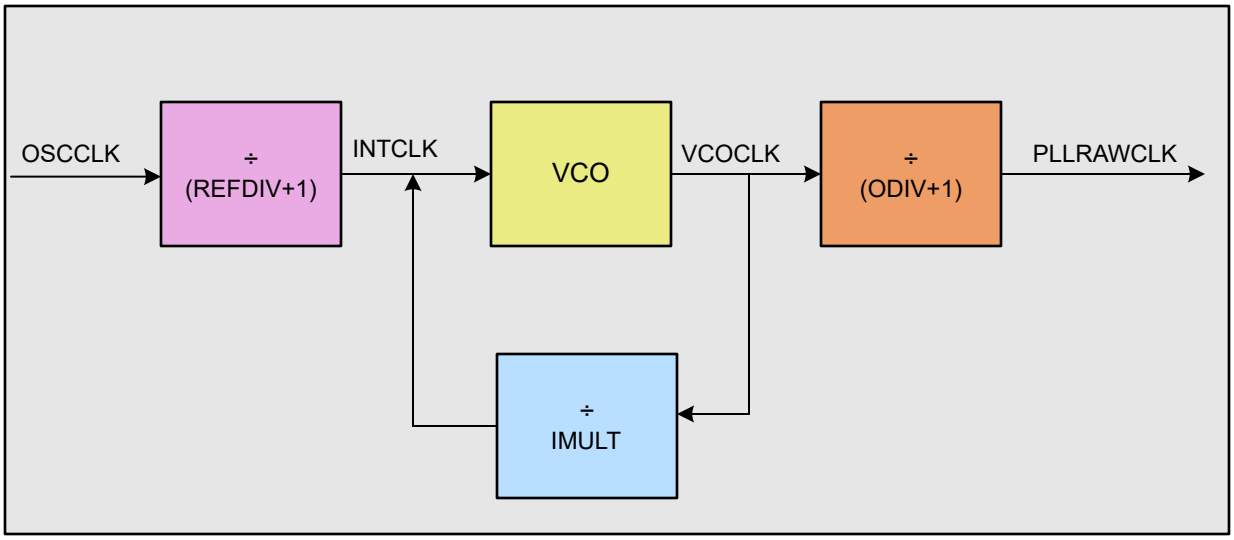


図 6-12. システム PLL

システム PLL の図:

$$f_{PLLRAWCLK} = \frac{f_{OSCCLK}}{(REFDIV + 1)} \times \frac{IMULT}{(ODIV + 1)} \quad (1)$$

6.13.3.2 クロック周波数、要件、および特性

このセクションでは、入力クロックの周波数およびタイミング要件、PLL ロック時間、内部クロックの周波数、出力クロックの周波数およびスイッチング特性について説明します。

6.13.3.2.1 入力クロック周波数およびタイミング要件、PLL ロック時間

6.13.3.2.1.1 入力クロック周波数

		最小値	最大値	単位
$f_{(XTAL)}$	外付け水晶振動子または発振子からの周波数、X1/X2	10	20	MHz
$f_{(X1)}$	外部発振器からの周波数、X1	10	25	MHz

6.13.3.2.1.2 XTAL 発振器の特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
X1 V_{IL}	有効 Low レベル入力電圧	-0.3		0.3 * VDDIO	V
X1 V_{IH}	有効 High レベル入力電圧	0.7 * VDDIO		VDDIO + 0.3	V

6.13.3.2.1.3 外部クロック ソース (水晶振動子ではない) 使用時の X1 入力レベルの特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
X1 V_{IL}	有効 Low レベル入力電圧 (バッファ)	-0.3	0.3 * VDDIO	V
X1 V_{IH}	有効 High レベル入力電圧 (バッファ)	0.7 * VDDIO	VDDIO + 0.3	V

6.13.3.2.1.4 X1 のタイミング要件

		最小値	最大値	単位
$t_{f(X1)}$	立ち下がり時間、X1		6	ns
$t_{r(X1)}$	立ち上がり時間、X1		6	ns
$t_{w(X1L)}$	パルス幅、$t_{c(X1)}$ のうち X1 が Low の割合	45%	55%	
$t_{w(X1H)}$	パルス幅、$t_{c(X1)}$ のうち X1 が High の割合	45%	55%	

6.13.3.2.1.5 AUXCLKIN のタイミング要件

		最小値	最大値	単位
$t_{f(AUXI)}$	立ち下がり時間、AUXCLKIN		6	ns
$t_{r(AUXI)}$	立ち上がり時間、AUXCLKIN		6	ns
$t_{w(AUXL)}$	パルス幅、$t_{c(XCI)}$ のうち AUXCLKIN が Low の割合	45%	55%	
$t_{w(AUXH)}$	パルス幅、$t_{c(XCI)}$ のうち AUXCLKIN が High の割合	45%	55%	

6.13.3.2.1.6 APLL の特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	最小値	標準値	最大値	単位
PLL ロック時間				
SYS PLL ロック時間 (1)			5µs + (1024 * (REFDIV + 1) * $t_{c(OSCCLK)}$)	us

(1) ここでの PLL ロック時間は、PLL がイネーブルになった後に PLL がロックするまでの、標準所要時間を定義しています (SYSPLLCTL1[PLLENA] = 1)。デュアル クロック コンパレータ (DCC) を使用した PLL クロックの確認に要する追加の時間は、ここでは考慮されていません。PLL の初期化には、C2000Ware の最新のサンプル ソフトウェアを使用することを推奨します。システム PLL については、InitSysPll() または SysCtl_setClock() を参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.13.3.2.1.7 XCLKOUT のスイッチング特性 - PLL バイパスまたはイネーブル

推奨動作条件範囲内 (特に記述のない限り)

パラメータ [1]		最小値	最大値	単位
$t_{f(XCO)}$	立ち下がり時間、XCLKOUT		6	ns
$t_{r(XCO)}$	立ち上がり時間、XCLKOUT		6	ns
$t_{w(XCOL)}$	パルス幅、XCLKOUT Low	H - 2[2]	H + 2[2]	ns
$t_{w(XCOH)}$	パルス幅、XCLKOUT High	H - 2[2]	H + 2[2]	ns
$f_{(XCO)}$	周波数、XCLKOUT		50	MHz

(1) これらのパラメータでは、6pF の負荷を想定しています。
(2) $H = 0.5t_{c(XCO)}$

6.13.3.2.1.8 内部クロック周波数

		最小値	公称値	最大値	単位
$f_{(SYSCLK)}$	周波数、デバイス (システム) クロック	2		120	MHz
$f_{(SYSCLK_TA_GRADE_0)}$	周波数、デバイス (システム) クロック、AEC-Q100 グレード 0、自由気流での周囲温度[2]	2		60	MHz
$t_{c(SYSCLK)}$	周期、デバイス (システム) クロック	8.33		500	ns
$f_{(INTCLK)}$	周波数、システム PLL が VCO に移行 (REFDIV 後)	2		20	MHz
$f_{(VCOCLK)}$	周波数、システム PLL は VCO (ODIV 前)	220		600	MHz
$f_{(PLLRAWCLK)}$	周波数、システム PLL 出力 (SYSCLK 分周器より前)	6		240	MHz
$f_{(PLL)}$	周波数、PLLSYSCLK	2		120	MHz
$f_{(PLL_LIMP)}$	周波数、PLL のリンプ周波数[1]		45/(ODIV + 1)		MHz
$f_{(LSP)}$	周波数、LSPCLK	2		120	MHz
$t_{c(LSPCLK)}$	周期、LSPCLK	8.33		500	ns
$f_{(OSCCLK)}$	周波数、OSCCLK (INTOSC1 または INTOSC2 または XTAL または X1)		それぞれのクロックを参照		MHz
$f_{(EPWM)}$	周波数、EPWMCLK			120	MHz
$f_{(HRPWM)}$	周波数、HRPWMCLK	60		120	MHz

(1) OSCCLK が停止状態のときの PLL 出力周波数 (OSCCLK が失われると PLL がリンプになります)
(2) 熱管理のためのデバイス周波数の変更に関する詳細については、「AEC-Q100 グレード 0 の熱設計に関する考慮事項」セクションを参照してください。

6.13.3.3 入力クロックおよび PLL

内蔵の ゼロ・ピン発振器に加えて、3 種類の外部クロック・ソースがサポートされています。

- シングルエンドの 3.3V 外部クロック。図 6-13 に示すように、クロック信号を X1 に接続し、XTALCR.SE ビットを 1 に設定する必要があります。
- 外部水晶振動子。図 6-14 に示すように、X1 と X2 の間に水晶振動子を接続して、さらに負荷コンデンサを VSS に接続する必要があります。
- 外部共振子。図 6-15 に示すよう に、X1 と X2 の間に共振子を接続し、そのグランドを VSS に接続する必要があります。

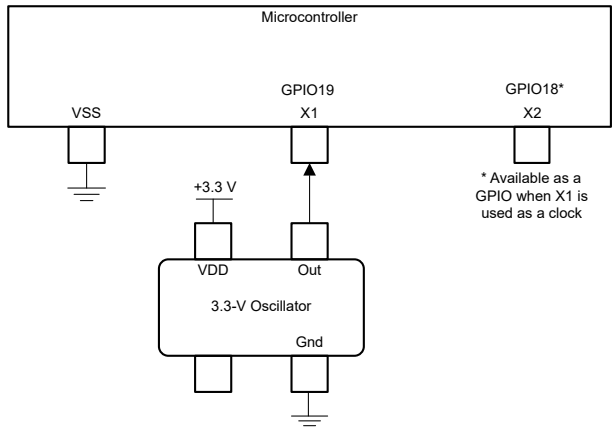


図 6-13. シングルエンド 3.3V 外部クロック

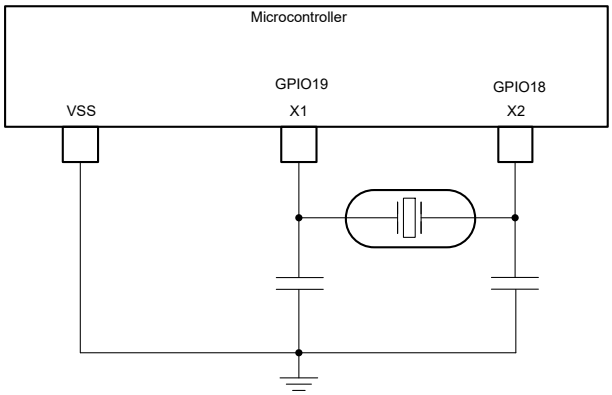


図 6-14. 外部水晶振動子

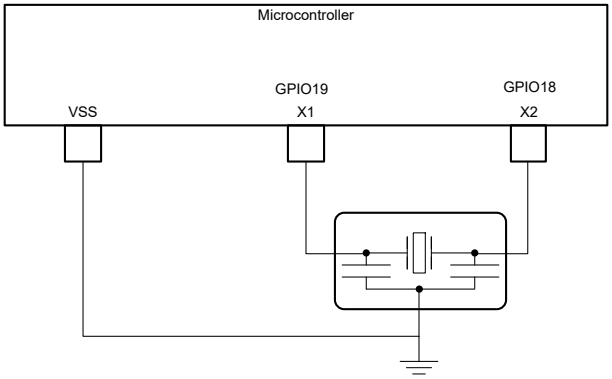


図 6-15. 外部共振子

6.13.3.4 XTAL 発振器

6.13.3.4.1 はじめに

このデバイスの水晶発振器は、内蔵の電気発振回路であり、適合する水晶振動子 (またはセラミック共振器) と組み合わせると、デバイスが必要とするシステム・クロックを生成できます。

6.13.3.4.2 概要

以下のセクションでは、電気発振回路と水晶振動子の部品について説明します。

6.13.3.4.2.1 電気発振回路

このデバイスの電気発振回路は、ピアス発振器です。これは正帰還インバータ回路であり、発振するためにはチューニング回路が必要です。この発振器に適合する水晶振動子と組み合わせると、タンク回路が形成されます。このタンク回路は、水晶振動子の基本周波数で発振します。このデバイスでは、発振器は、並列容量 (C0) および必要な負荷容量 (CL)

Copyright © 2025 Texas Instruments Incorporated

によって、並列共振モードで動作するように設計されています。図 6-16 に、電気発振回路とタンク回路の部品を示します。

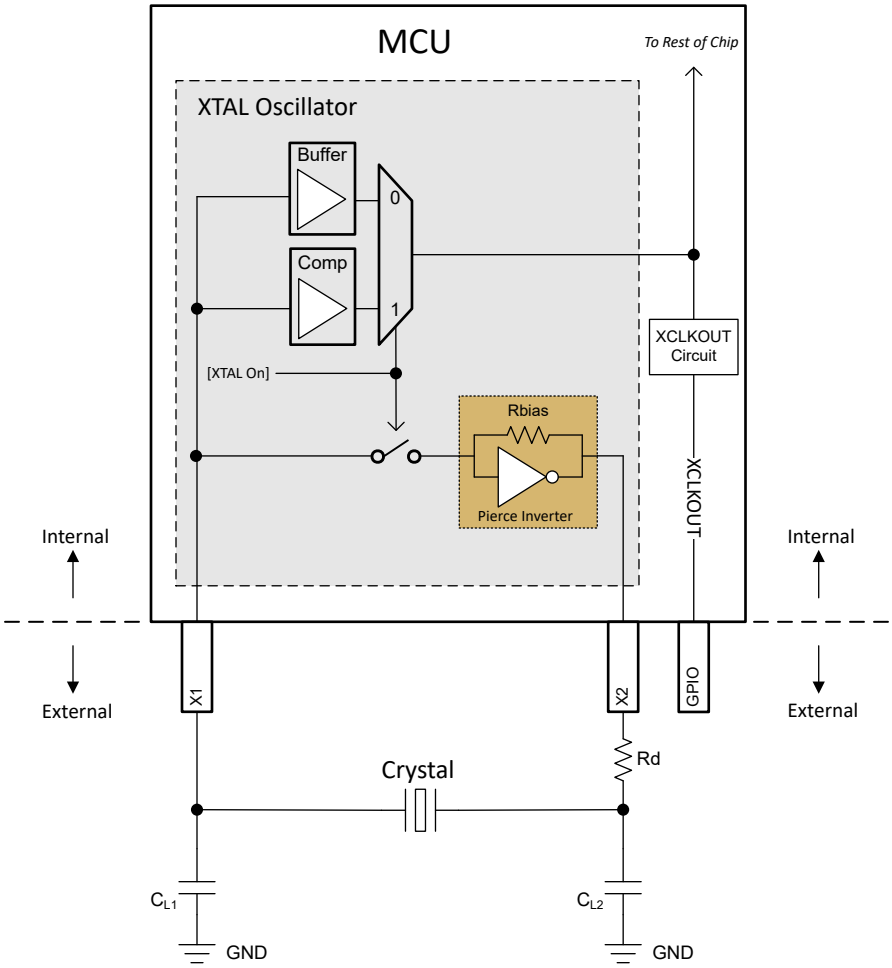


図 6-16. 電気発振回路のブロック図

6.13.3.4.2.1.1 動作モード

このデバイスの電気発振回路には、水晶振動子モードとシングルエンド・モードの 2 つの動作モードがあります。

6.13.3.4.2.1.1.1 水晶動作モード

水晶動作モードでは、負荷コンデンサ付きの水晶振動子を X1 および X2 に接続する必要があります。

この動作モードは、[XTAL On] = 1 のとき、すなわち XTALCR.OSCOFF = 0 および XTALCR.SE = 0 に設定することにより有効になります。帰還ループには内部バイアス抵抗があるため、外部バイアス抵抗は使用しないでください。外付けバイアス抵抗を追加すると、内部 Rbias と並列の抵抗ができて、バイアス動作点が移動し、クリップされた波形、仕様外のデューティ・サイクル、および実効負抵抗の減少につながる可能性があります。

この動作モードでは、結果として X1 に得られたクロックが、コンパレータ (Comp) を経由してチップの他の部分に渡されます。X1 のクロックは、コンパレータの VIH と VIL を満たす必要があります。コンパレータの VIH および VIL の要件については、「XTAL 発振器の特性」表を参照してください。

6.13.3.4.2.1.1.2 シングルエンド動作モード

シングルエンド動作モードでは、クロック信号は X1 に接続され、X2 は未接続のままです。このモードでは水晶振動子を使用しないでください。

このモードは、[XTAL On] = 0 のときにイネーブルになります。これは、XTALCR.OSCOFF = 1 および XTALCR.SE = 1 を設定することで実現できます。

この動作モードでは、X1 のクロックがバッファを経由してチップの他の部分に渡されます。バッファの入力要件については、「外部クロック・ソース (水晶振動子ではない) 使用時の X1 入力レベルの特性」表を参照してください。

6.13.3.4.2.1.2 XCLKOUT での XTAL 出力

チップの他の部分に供給される電気発振回路の出力は、CLKSRCCTL3.XCLKOUTSEL および XCLKOUTDIVSEL.XCLKOUTDIV レジスタを構成することにより、XCLKOUT で観察できます。XCLKOUT が出力される GPIO のリストについては、「GPIO 多重化ピン」表を参照してください。

6.13.3.4.2.2 水晶振動子

電気的には、水晶振動子は LCR (インダクタ-コンデンサ-抵抗) 回路で表現できます。ただし、LCR 回路と違って、直列抵抗が低いため、水晶振動子の Q 値は非常に高く、また、非常に減衰が小さくなっています。水晶振動子の要素を 図 6-17 に示し、以下で説明します。

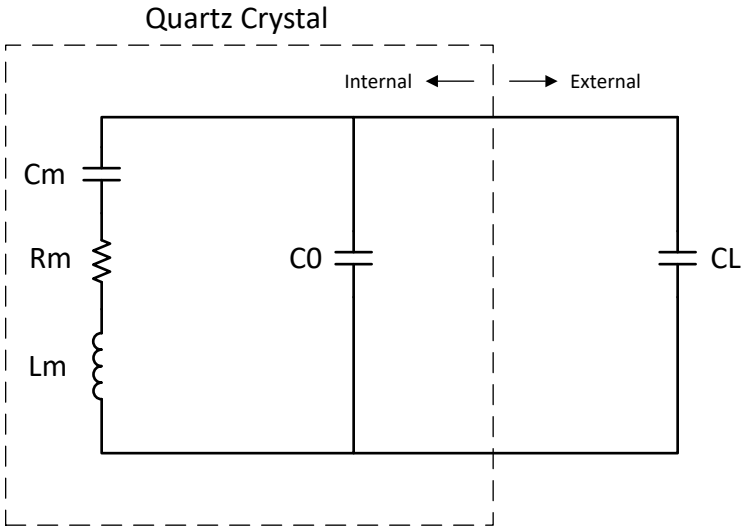


図 6-17. 水晶振動子の電気的表現

Cm (直列容量):水晶の弾性を表します。

R m (直列抵抗):水晶振動子内の抵抗性損失を表します。これは水晶の ESR ではありませんが、他の水晶振動子の要素の値によっては、近似できます。

Lm (直列インダクタンス):水晶振動子の振動質量を表します。

C0 (並列容量):水晶振動子の 2 つの電極と浮遊パッケージ容量から形成される静電容量。

CL (負荷容量):これは、水晶振動子の電極における実効的な容量であり、水晶の外部にあるものです。水晶振動子のデータシートで規定されている周波数 ppm は、通常、CL パラメータに関連付けられています。

ほとんどの水晶振動子メーカーでは、水晶振動子の 2 つのピンにおける実効容量として CL を指定していますが、一部の水晶振動子メーカーでは、水晶振動子ピンの 1 つだけの容量として CL を指定していることに注意してください。計算で正しい値を使用するために、CL の指定方法については、水晶振動子のメーカーにお問い合わせください。

図 6-16 によれば、CL1 と CL2 が直列になっているので、水晶振動子から見た等価合計容量を求めるには、静電容量の直列式を適用して、CL1 = CL2 の場合、単純に [CL1]/2 と計算する必要があります。

この値には、浮遊 PCB 容量を加算することを推奨します。3pF～5pF が妥当な推定値ですが、実際の値は対象となる PCB によって異なります。

Copyright © 2025 Texas Instruments Incorporated

負荷容量は、電気発振回路と水晶振動子の両方に対する要件であることに注意してください。選択する値は、電気発振回路と水晶振動子の両方を満たす必要があります。

水晶振動子に対する CL の影響は周波数変動です。実効負荷容量が目標値よりも小さい場合、水晶周波数が高くなり、その逆も同様です。ただし、通常、周波数変動の影響は非常に小さく、一般的には公称周波数から 10ppm 未満の変動となります。

6.13.3.4.2.3 GPIO 動作モード

このデバイスでは、XTAL の動作モードに応じて、X1 および X2 をそれぞれ GPIO19 および GPIO18 として使用できます。『TMS320F280015x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「外部発振器 (XTAL)」セクションを参照してください。

6.13.3.4.3 機能動作

6.13.3.4.3.1 ESR – 等価直列抵抗

等価直列抵抗は、共振時に水晶振動子が電気発振回路に与える抵抗性負荷です。ESR が大きくなるほど Q が低くなり、水晶振動子が起動または発振を維持する可能性が低くなります。ESR と水晶振動子の関係を以下に示します。

$$ESR = Rm * \left(1 + \frac{C0}{CL}\right)^2 \tag{2}$$

ESR は、水晶振動子の直列抵抗と等しくはありませんが、実効負荷容量が並列容量よりもはるかに大きい場合は近似できます。

6.13.3.4.3.2 Rneg – 負性抵抗

負性抵抗は、電気発振回路から水晶振動子に示されるインピーダンスです。発振中に発生する損失を打ち消すために、電気発振回路が水晶に供給すべきエネルギーの量です。Rneg は、回路がエネルギーを消費するのではなく供給していることを表しており、回路全体のゲインとみなすこともできます。

一般的に受け入れられる方法としては、あらゆる条件下で水晶振動子が確実に起動するように、Rneg > 3x ESR から 5x ESR に設定することです。水晶振動子の起動に必要なエネルギーは、発振を維持するためのエネルギーよりもわずかに多いことに注意してください。したがって、起動時に負性抵抗要件が満たされていることが保証されている場合、発振の維持は問題になりません。

図 6-18 および 図 6-19 に、このデバイスの負性抵抗と水晶振動子の間の関係の変動を示します。グラフからわかるように、水晶振動子の並列容量 (C0) と実効負荷容量 (CL) は電気発振回路の負性抵抗に大きな影響を及ぼします。これらは代表的なグラフであるため、設計上考慮すべき最小値および最大値については、表 6-8 を参照してください。

6.13.3.4.3.3 起動時間

水晶発振回路の部品を選択する際には、起動時間が重要な考慮事項になります。「Rneg – 負性抵抗」セクションで説明したように、あらゆる条件下で信頼性の高い起動を実現するには、水晶振動子の ESR に対して、Rneg > 3x ESR から 5x ESR にすることを推奨します。

水晶の ESR およびダンピング抵抗 (Rd) は、起動時間に大きな影響を及ぼします。この 2 つの値が大きいほど、水晶振動子の起動にかかる時間は長くなります。起動時間が長い場合は、通常、水晶振動子と部品が正しく適合していないことを示す兆候です。

標準的な起動時間については、「水晶発振回路の仕様」セクションを参照してください。ここに記載されている数値は、参考用に提供されている標準的な数値であることに注意してください。実際の起動時間は、対象の水晶振動子と外付け部品に大きく依存します。

6.13.3.4.3.3.1 X1 / X2 事前条件

このデバイスでは、X1 / X2 の GPIO19 および 18 としての代替機能を使用して、必要に応じて水晶振動子の起動時間を高速化できます。この機能は、XTAL がオンになる前に、負荷コンデンサ CL1 および CL2 を既知の状態に事前調整

することで実現されます。詳細については、『TMS320F280015x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』を参照してください。

6.13.3.4.3.4 DL – 励振レベル

励振レベルとは、電気発振回路によって供給され、水晶によって消費される電力を意味します。水晶メーカーのデータシートに記載されている最大励振レベルは、通常、損傷や動作寿命の大幅な短縮なしに水晶振動子が消費できる最大値です。一方、電気発振回路で規定されている励振レベルは、供給可能な最大電力です。実際に電気発振回路から供給される電力は、必ずしも最大電力ではなく、水晶振動子と基板の部品によって決まります。

電気発振回路からの実際の励振レベルが水晶振動子の最大励振レベル仕様を超える場合は、ダンピング抵抗 (Rd) を取り付けて電流を制限し、水晶振動子によって消費される電力を低減する必要があります。Rd は回路のゲインを低下させることに注意してください。したがって、実際に使用する値を評価して、スタートアップおよび持続的な発振に関する他のすべての条件が満たされていることを確認する必要があります。

6.13.3.4.4 水晶振動子の選択方法

「水晶発振器の仕様」を参照してください。

1. 水晶周波数を選択します (たとえば 20MHz)。
2. 20MHz に対する仕様として、水晶振動子の ESR が 50Ω 以下であることを確認します。
3. 20MHz に対する仕様として、水晶メーカーの負荷容量要件が 6pF～12pF の範囲内であることを確認します。
   - すでに説明したように、CL1 と CL2 は直列に配置されているので、CL1 = CL2 の場合、実効負荷容量 CL = [CL1]/2 となります。
   - この結果に基板の寄生成分を加算すると、CL = [CL1]/2 + 浮遊容量 となります。
4. 水晶振動子の最大励振レベルが 1mW 以上であることを確認します。この要件が満たされていない場合は、ダンピング抵抗 Rd を使用できます。Rd を使用するときの他の注意点については「DL – 励振レベル」を参照してください。

6.13.3.4.5 テスト

水晶振動子が常に起動して発振を維持できるように、ユーザーが水晶振動子のメーカーに依頼して、その基板での水晶振動子の特性を完全に評価することを推奨します。

以下に、実行可能ないくつかの測定の概要を示します。

水晶発振回路は静電容量に影響を受けやすいので、スコープ プローブを X1 および X2 に接続しないことを推奨します。スコープ プローブを使用して X1/X2 を監視する必要がある場合は、1pF 未満の容量を持つアクティブ プローブを使用する必要があります。

<u>周波数</u>

1. XCLKOUT の XTAL を引き出します。
2. この周波数を水晶周波数として測定します。

<u>負性抵抗</u>

1. XCLKOUT の XTAL を引き出します。
2. 負荷コンデンサの間に、水晶振動子と直列にポテンショメータを配置します。
3. XCLKOUT のクロックが停止するまで、ポテンショメータの抵抗を上げます。
4. この抵抗と水晶振動子の実際の ESR の和が、電気発振回路の負性抵抗です。

<u>起動時間</u>

1. XTAL をオフにします。
2. XCLKOUT の XTAL を引き出します。
3. XTAL をオンにして、XCLKOUT のクロックが 45% および 55% のデューティ サイクル内に維持されるまでに要する時間を測定します。

Copyright © 2025 Texas Instruments Incorporated

6.13.3.4.6 一般的な問題とデバッグのヒント

水晶振動子が起動しない

- 「水晶振動子の選択方法」セクションを読んで、記述に反する状況がないことを確認します。

水晶振動子の起動に長い時間を要する

- ダンピング抵抗 Rd を取り付けている場合、抵抗 Rd が大きすぎます。
- ダンピング抵抗を取り付けていない場合、水晶振動子の ESR が高すぎるか、または、負荷容量が大きいため回路全体のゲインが低すぎるかのどちらかです。

6.13.3.4.7 水晶発振回路の仕様

6.13.3.4.7.1 水晶発振器の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
起動時間(1)	f = 10MHz	ESR MAX = 110Ω CL1 = CL2 = 24pF C0 = 7pF		4		ms
	f = 20MHz	ESR MAX = 50Ω CL1 = CL2 = 24pF C0 = 7pF		2		ms
水晶振動子の励振レベル (DL)					1	mW

(1) 起動時間は、水晶振動子とタンク回路の部品に依存します。テキサス・インスツルメンツでは、水晶振動子のベンダーに対して、選択した水晶振動子を使用してアプリケーションの特性を評価することを推奨しています。

6.13.3.4.7.2 水晶振動子の等価直列抵抗 (ESR) 要件

「水晶振動子の等価直列抵抗 (ESR) 要件」表について:

1. 水晶振動子の並列容量 (C0) は 7pF 以下である必要があります。
2. ESR = 負性抵抗 / 3

表 6-8. 水晶振動子の等価直列抵抗 (ESR) 要件

水晶振動子の周波数 (MHz)	最大 ESR (Ω) (CL1 = CL2 = 12pF)	最大 ESR (Ω) (CL1 = CL2 = 24pF)
10	55	110
12	50	95
14	50	90
16	45	75
18	45	65
20	45	50

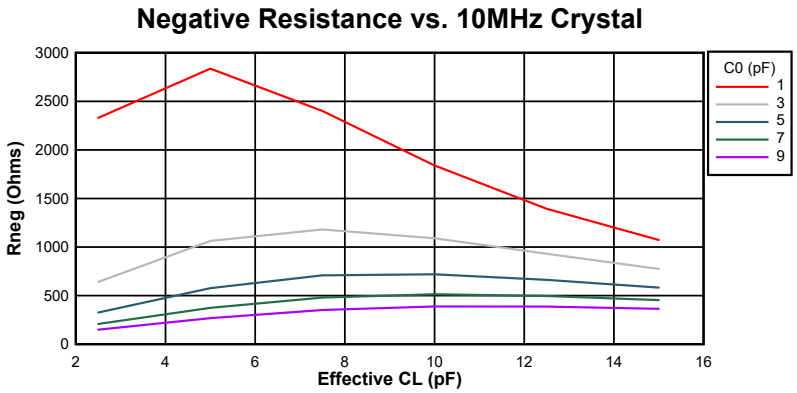


図 6-18. 10MHz 時の負性抵抗変動

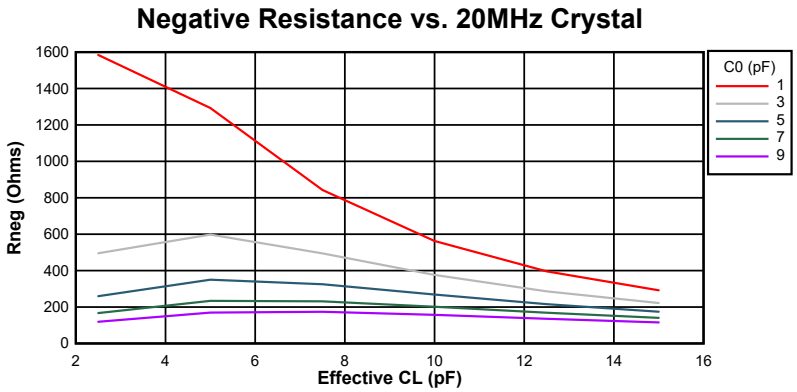


図 6-19. 20MHz 時の負性抵抗変動

6.13.3.4.7.3 水晶発振器のパラメータ

		最小値	最大値	単位
CL1、CL2	負荷容量	12	24	pF
C0	水晶振動子のシャント容量		7	pF

6.13.3.4.7.4 水晶発振器の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
起動時間[(1)]	f = 10MHz	ESR MAX = 110Ω CL1 = CL2 = 24pF C0 = 7pF		4		ms
	f = 20MHz	ESR MAX = 50Ω CL1 = CL2 = 24pF C0 = 7pF		2		ms
水晶振動子の励振レベル (DL)					1	mW

(1) 起動時間は、水晶振動子とタンク回路の部品に依存します。テキサス・インスツルメンツでは、水晶振動子のベンダーに対して、選択した水晶振動子を使用してアプリケーションの特性を評価することを推奨しています。

Copyright © 2025 Texas Instruments Incorporated

6.13.3.5 内部発振器

ボード製造コストとアプリケーション開発期間を削減するために、すべての F280015x デバイスには、INTOSC1 および INTOSC2 という 2 つの独立した内部発振器が搭載されています。デフォルトでは、INTOSC2 がシステム リファレンス クロック (OSCCLK) のソースとして設定され、INTOSC1 はバックアップ クロックのソースとして設定されます。

SCI のボーレートをより厳密に一致させる必要のあるアプリケーションには、C2000Ware から提供されている、SCI ボーチューニングの例 (baud_tune_via_uart) が利用できます。

6.13.3.5.1 INTOSC 特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		PART	パッケージ サフィックス	テスト条件	最小値	標準値	最大値	単位
f_{INTOSC}	周波数、INTOSC1 および INTOSC2[(1)]	F2800157、F2800155	PN (Q1 以外)	-40℃～125℃	9.82 (-1.8%)	10	10.1 (1.0%)	MHz
				-30℃～90℃	9.86 (-1.4%)	10	10.1 (1.0%)	
				-10℃～85℃	9.9 (-1.0%)	10	10.1 (1.0%)	
		F280015xQ、F280015xE パーツ	RHB、PHP、PM、PN (Q1)	-40℃～125℃	9.7 (-3.0%)	10	10.3 (3.0%)	
		F280015xE パーツ	PHP	-40℃～150℃		10		
$f_{INTOSC-STABILITY}$	室温での周波数安定性	すべて	すべて	30℃、公称 VDD		±0.1		%
$t_{INTOSC-ST}$	スタートアップおよびセトリング タイム	すべて	すべて				20	µs

(1) INTOSC 周波数は、半田リフロー時の熱および機械的ストレスにより、変化する場合があります。リフロー後のベーキングにより、ユニット性能をデータシートの値に復元できます。

6.13.4 フラッシュ・パラメータ

表 6-9 に、異なるクロック・ソースおよび周波数で必要な最小のフラッシュ・ウェイト状態を示します。ウェイト状態は、レジスタ FRDCNTL[RWAIT] で設定された値です。

表 6-9. 異なるクロック・ソースおよび周波数で必要な最小のフラッシュ・ウェイト状態

CPUCLK (MHz)	ウェイト状態 (FRDCNTL[RWAIT][(1)])
80 < CPUCLK ≤ 120	2
0 < CPUCLK ≤ 80	1

(1) FRDCNTL[RWAIT] に必要な最小値は 1 で、RWAIT = 0 はサポートされていません。

F280015x デバイスには、改善された 128 ビットのプリフェッチ バッファがあり、さまざまなウェイト状態にわたってフラッシュ コードを高効率で実行します。図 6-20 および 図 6-21 に、64 ビットのプリフェッチ・バッファを搭載した前世代のデバイスと比較した場合の、さまざまなウェイト状態設定での標準的な効率を示します。プリフェッチ・バッファを使用したウェイト状態の実行効率は、アプリケーション・ソフトウェアに存在する分岐の数によって異なります。線形コードと IF-THEN-ELSE コードの 2 つの例を示しています。

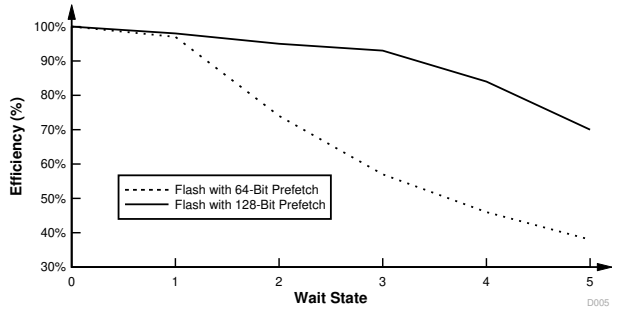


図 6-20. 多数の 32 ビット浮動小数点演算命令を含むアプリケーション・コード

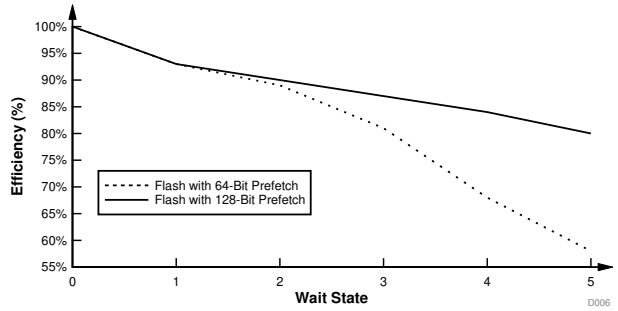


図 6-21. 16 ビットの IF-ELSE 命令を含むアプリケーション・コード

注

メイン・アレイのフラッシュ・プログラミングは、64 ビットのアドレス境界に合わせて整列させる必要があり、それぞれの 64 ビット・ワードは、書き込み / 消去サイクルごとに 1 回のみプログラムされます。

Copyright © 2025 Texas Instruments Incorporated

6.13.4.1 フラッシュ パラメータ

パラメータ		最小値	標準値	最大値	単位
プログラム時間[1]	128 データ ビット + 16 ECC ビット		62.5	625	µs
	2KB (セクタ)		8	80	µs
消去時間[2] [3] (25 サイクル未満)	2KB (セクタ)		15	55	ms
	64KB		17	61	ms
	128KB		18	66	ms
	256KB		21	78	ms
消去時間[2] [3] (1000 サイクル)	2KB (セクタ)		25	130	ms
	64KB		28	143	ms
	128KB		30	157	ms
	256KB		35	183	ms
消去時間[2] [3] (2000 サイクル)	2KB (セクタ)		30	221	ms
	64KB		33	243	ms
	128KB		36	265	ms
	256KB		42	310	ms
消去時間[2] [3] (20K サイクル)	2KB (セクタ)		120	1003	ms
	64KB		132	1102	ms
	128KB		145	1205	ms
	256KB		169	1410	ms
N_{wec} 書き込み / 消去サイクル (バンクごと)[4]				100000	サイクル
$t_{retention}$ データ保持期間 (T_J = 85℃)		20			年

(1) プログラム時間は、デバイスの最大周波数におけるものです。 プログラム時間には、フラッシュ ステート マシンのオーバーヘッドが含まれますが、以下に示すものを RAM に転送する時間は含まれていません。
•フラッシュ API を使用してフラッシュをプログラムするコード
•フラッシュ API そのもの
•プログラムすべきフラッシュ データ
すなわち、この表に示す時間は、必要なすべてのコード / データがデバイス RAM に収容されて、プログラムの用意ができた後に適用されます。転送時間は、使用する JTAG デバッグ プローブの速度によって大きく異なります。
プログラム時間の計算は、指定された動作周波数で一度に 144 ビットをプログラムするという条件に基づいています。プログラム時間には、CPU によるプログラム検証が含まれます。書き込み / 消去 (W/E) の繰り返しにより、プログラム時間が長くなることはありませんが、消去時間は長くなります。
消去時間には、CPU による消去検証が含まれ、データ転送時間は含まれません。

(2) 消去時間には、CPU による消去検証が含まれます。

(3) 本デバイスが テキサス・インスツルメンツから出荷されるとき、オンチップ フラッシュ メモリは消去された状態になっています。そのため、本デバイスを初めてプログラミングする場合、書き込みの前にフラッシュ メモリを消去する必要はありません。しかし、それ以降のすべての書き込み操作については、あらかじめ消去操作が必要です。

(4) バンクとセクタの合計書き込み / 消去サイクル数がこの数に制限されます。

6.13.5 RAM の仕様

表 6-10. RAM のパラメータ

RAM のタイプ	個々のサイズ	フェッチ時間 (サイクル)	読み取り時間 (サイクル)	格納時間 (サイクル)	サポートされるバスの幅 (ビット)	ホスト・アクセス・リスト	ウェイト状態	バースト・アクセスのサポート
LS RAM	32KB	2	2	1	16/32	C28x	0	なし
M0	2KB							
M1								

6.13.6 ROM の仕様

表 6-11. ROM のパラメータ

RAM のタイプ	個々のサイズ	フェッチ時間 (サイクル)	読み取り時間 (サイクル)	格納時間 (サイクル)	サポートされるバスの幅 (ビット)	ホスト・アクセス・リスト	ウェイト状態	バースト・アクセスのサポート
ブート ROM + セキュア ROM	96KB	2	2	1	16/32	C28x	0	なし

Copyright © 2025 Texas Instruments Incorporated

6.13.7 エミュレーション / JTAG

JTAG (IEEE 規格 1149.1-1990 標準テスト アクセス ポートおよびバウンダリ スキャン アーキテクチャ) ポートには、4 つの専用ピンがあります。TMS、TDI、TDO、TCK。cJTAG (IEEE 規格 1149.7-2009、ピン数削減および拡張機能テスト アクセス ポートおよびバウンダリ スキャン アーキテクチャ用) ポートは、必要なピンが 2 本だけ (TMS および TCK) というコンパクトな JTAG インターフェイスであり、従来の GPIO35 (TDI) および GPIO37 (TDO) ピンに他のデバイス機能を多重化できます。

通常、MCU ターゲットと JTAG ヘッダーの間の距離が 6 インチ (15.24cm) 未満で、JTAG チェーンに他のデバイスが存在しない場合、JTAG 信号にバッファは必要ありません。それ以外の場合は、各信号をバッファする必要があります。さらに、10MHz で動作するほとんどの JTAG デバッグ プローブでは、JTAG 信号に直列抵抗は必要ありません。ただし、高いエミュレーション速度 (35MHz 程度) が想定される場合は、各 JTAG 信号に対して 22Ω の抵抗を直列に配置する必要があります。

JTAG デバッグ プローブ ヘッダーの PD (電源検出) ピンは、基板の 3.3V 電源に接続する必要があります。ヘッダーの GND ピンは、基板のグランドに接続する必要があります。TDIS (ケーブル切断検出) も基板のグランドに接続する必要があります。JTAG クロックは、ヘッダーの TCK 出力ピンからヘッダーの RTCK 入力ピンにループバックする必要があります (JTAG デバッグ プローブによるクロックの連続性を検出するため)。この MCU は、14 ピンおよび 20 ピンのエミュレーション ヘッダーに存在する EMU0 および EMU1 信号をサポートしていません。これらの信号は、常に、2.2kΩ～4.7kΩ の範囲 (デバッガ ポートの駆動能力によって異なります) の基板上のプルアップ抵抗ペアを経由して、エミュレーション ヘッダーでプルアップする必要があります。通常、2.2kΩ の値を使用します。

ヘッダの $\overline{\text{RESET}}$ ピンは、JTAG デバッグ プローブ ヘッダーからのオープン ドレイン出力であり、JTAG デバッグ プローブ コマンドを使用して基板のコンポーネントをリセットできます (20 ピンのヘッダーでのみ利用可能)。図 6-22 に、14 ピン JTAG ヘッダーを MCU の JTAG ポート信号に接続する方法を示します。図 6-23 に、20 ピン ヘッダーへの接続方法を示します。20 ピン JTAG ヘッダーの EMU2、EMU3、および EMU4 ピンは使用しないので、グランドに接続する必要があります。

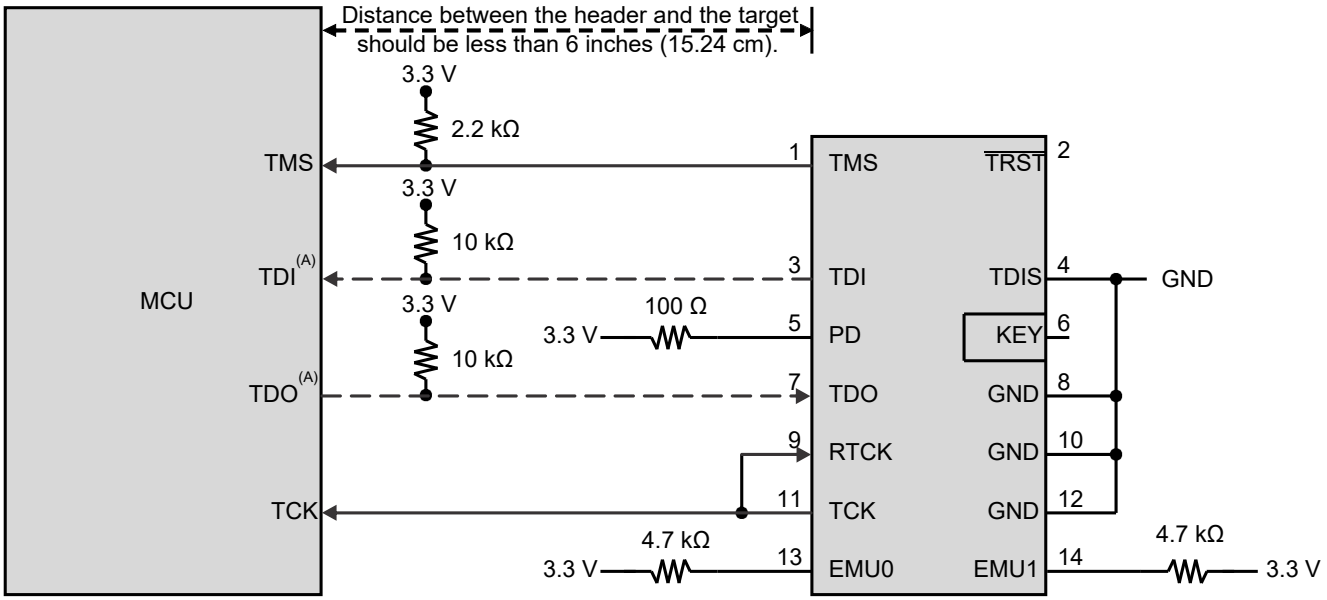
ハードウェア ブレークポイントとウォッチポイントの詳細については、『C2000 デバイス向け CCS でのハードウェア ブレークポイントとウォッチポイント』を参照してください。

JTAG エミュレーションの詳細については、*『XDS ターゲット接続ガイド』*を参照してください。

注

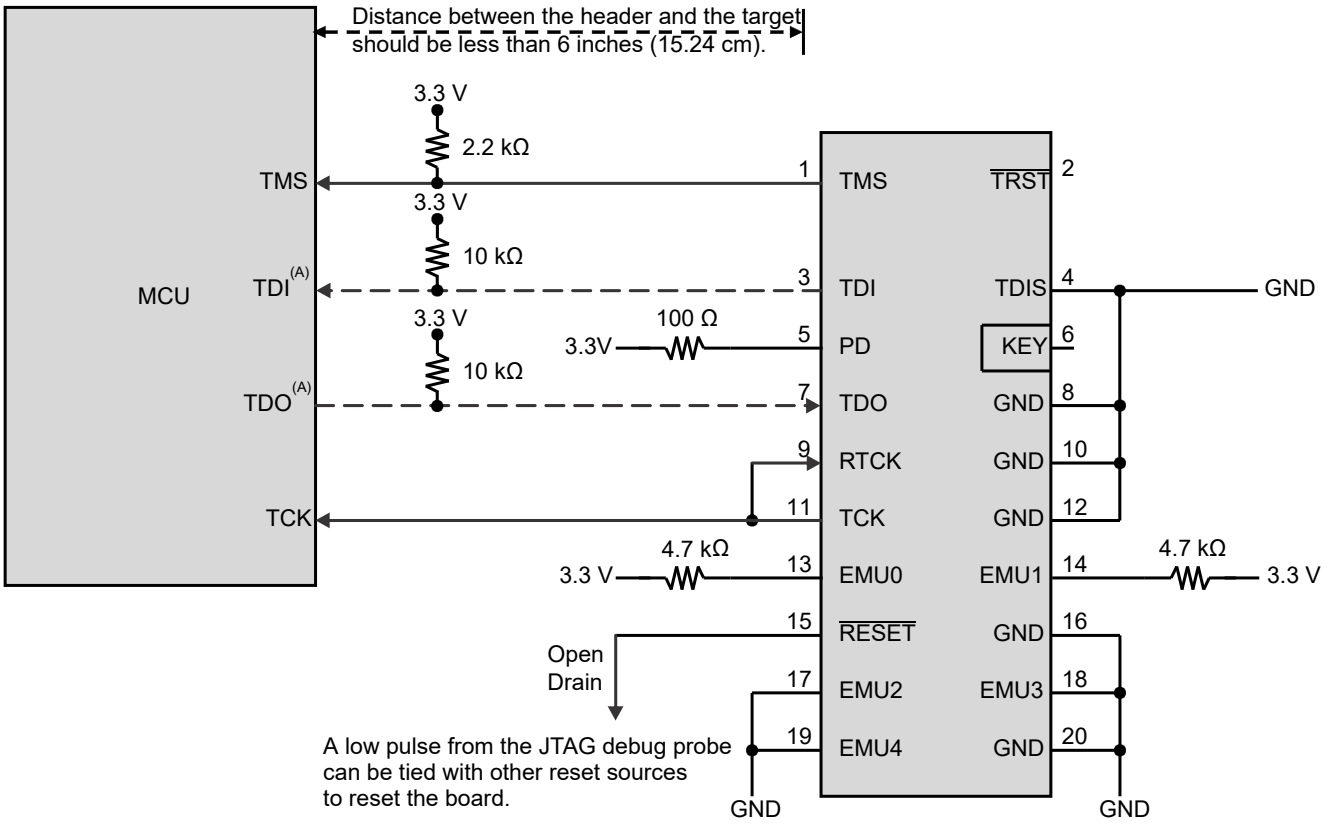
JTAG テスト データ入力 (TDI) は、このピンのデフォルトの多重化選択です。内部プルアップは、デフォルトでディセーブルになっている。このピンを JTAG の TDI として使用する場合、入力がフローティングにならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要があります。cJTAG オプションでは、このピンを GPIO として使用できます。

JTAG テスト データ出力 (TDO) は、このピンのデフォルトの多重化選択です。内部プルアップは、デフォルトでディセーブルになっている。JTAG アクティビティがない場合、TDO 機能はトライステート状態になり、このピンはフローティングのままになります。GPIO 入力がフローティングにならないように、内部プルアップをイネーブルにするか、ボードに外部プルアップを追加する必要があります。cJTAG オプションでは、このピンを GPIO として使用できます。



A. cJTAG オプションでは、TDI および TDO の接続は必要ありません。代わりに、これらのピンを GPIO として使用することができます。

図 6-22. 14 ピン JTAG ヘッダーへの接続



A. cJTAG オプションでは、TDI および TDO の接続は必要ありません。代わりに、これらのピンを GPIO として使用することができます。

図 6-23. 20 ピン JTAG ヘッダーへの接続

Copyright © 2025 Texas Instruments Incorporated

6.13.7.1 JTAG の電気的データおよびタイミング

6.13.7.1.1 JTAG のタイミング要件

番号			最小値	最大値	単位
1	$t_{c(TCK)}$	サイクル時間、TCK	66.66		ns
1a	$t_{w(TCKH)}$	パルス幅、TCK High (t_c の 40%)	26.66		ns
1b	$t_{w(TCKL)}$	パルス幅、TCK Low (t_c の 40%)	26.66		ns
3	$t_{su(TDI-TCKH)}$	入力セットアップ時間、TDI 有効から TCK High まで	7		ns
	$t_{su(TMS-TCKH)}$	入力セットアップ時間、TMS 有効から TCK High まで	7		
4	$t_{h(TCKH-TDI)}$	入力ホールド時間、TCK High から TDI 有効の間	7		ns
	$t_{h(TCKH-TMS)}$	入力ホールド時間、TCK High から TMS 有効の間	7		

6.13.7.1.2 JTAG スイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		最小値	最大値	単位
2	$t_{d(TCKL-TDO)}$	遅延時間、TCK LOW から TDO 有効まで	6	20	ns

6.13.7.1.3 JTAG のタイミング図

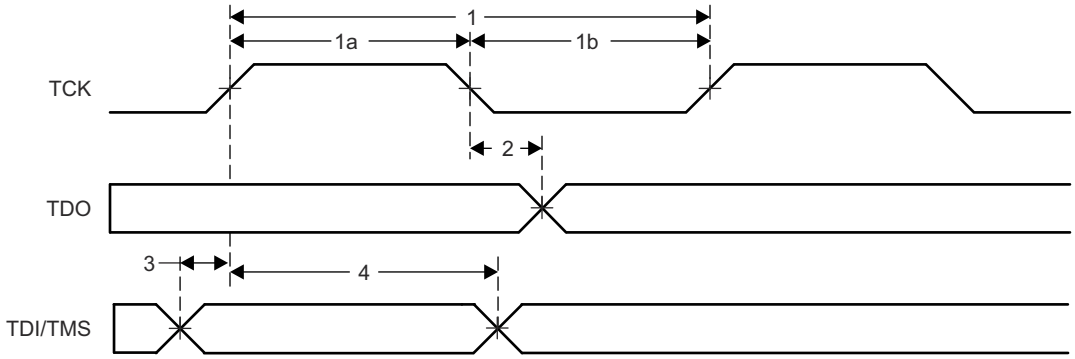


図 6-24. JTAG のタイミング

6.13.7.2 cJTAG の電気的データおよびタイミング

6.13.7.2.1 cJTAG のタイミング要件

番号			最小値	最大値	単位
1	$t_{c(TCK)}$	サイクル時間、TCK	100		ns
1a	$t_{w(TCKH)}$	パルス幅、TCK High (t_c の 40%)	40		ns
1b	$t_{w(TCKL)}$	パルス幅、TCK Low (t_c の 40%)	40		ns
3	$t_{su(TMS-TCKH)}$	入力セットアップ時間、TMS 有効から TCK High まで	7		ns
	$t_{su(TMS-TCKL)}$	入力セットアップ時間、TMS 有効から TCK Low まで	7		ns
4	$t_{h(TCKH-TMS)}$	入力ホールド時間、TCK High から TMS 有効の間	2		ns
	$t_{h(TCKL-TMS)}$	入力ホールド時間、TCK Low から TMS 有効の間	2		ns

6.13.7.2.2 cJTAG のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		最小値	最大値	単位
2	$t_{d(TCKL-TMS)}$	遅延時間、TCK LOW から TMS 有効まで	6	20	ns
5	$t_{dis(TCKH-TMS)}$	遅延時間、TCK High から TMS 無効まで		20	ns

6.13.7.2.3 cJTAG のタイミング図

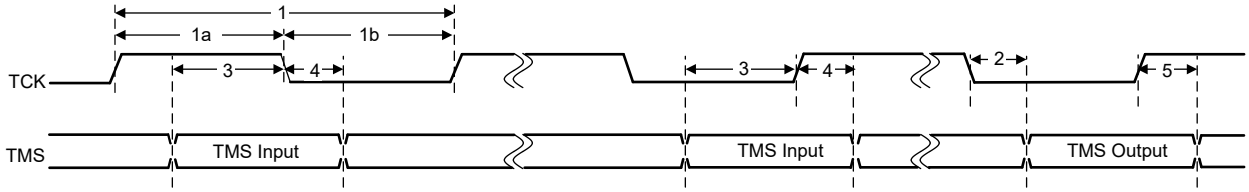


図 6-25. cJTAG タイミング

Copyright © 2025 Texas Instruments Incorporated

6.13.8 GPIO の電気的データおよびタイミング

ペリフェラル信号は、汎用入出力 (GPIO) 信号とマルチプレクスされます。リセット時、GPIO ピンは入力として構成されます。特定の入力では、ユーザーが入力クオリファイヤのサイクル数を選択することで、不要なノイズ グリッチをフィルタリングすることもできます。

多くの GPIO には、さまざまな内部信号を GPIO にルーティングできるようにする、出力クロスバー向けのマルチプレクサオプションがあります。すべての GPIO は、GPIO の High または Low 状態をさまざまな IP ブロック (ADC、eCAP、ePWM 、外部割り込みなど) にルーティングできる各入力クロスバーに接続されています。 詳細については、『TMS320F280015x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「クロスバー」の章を参照してください。

6.13.8.1 GPIO - 出力タイミング

6.13.8.1.1 汎用出力のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ			最小値	最大値	単位
$t_{r(GPO)}$	立ち上がり時間、GPIO が Low から High へ変化	すべての GPIO		6[(1)]	ns
$t_{f(GPO)}$	立ち下がり時間、GPIO が High から Low へ変化	すべての GPIO		6[(1)]	ns
t_{fGPO}	切り替え周波数、GPIO ピン			50	MHz

(1) 立ち上がり時間と立ち下がり時間は負荷によって異なります。これらの値は、6pF の負荷を想定しています。

6.13.8.1.2 汎用出力のタイミング図

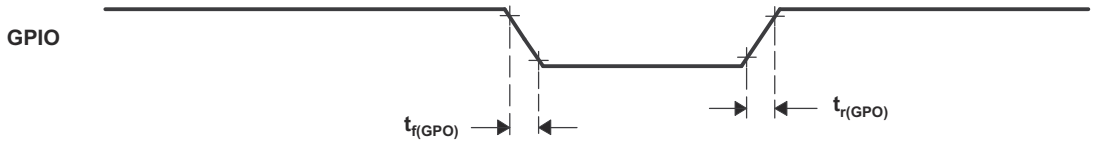


図 6-26. 汎用出力のタイミング

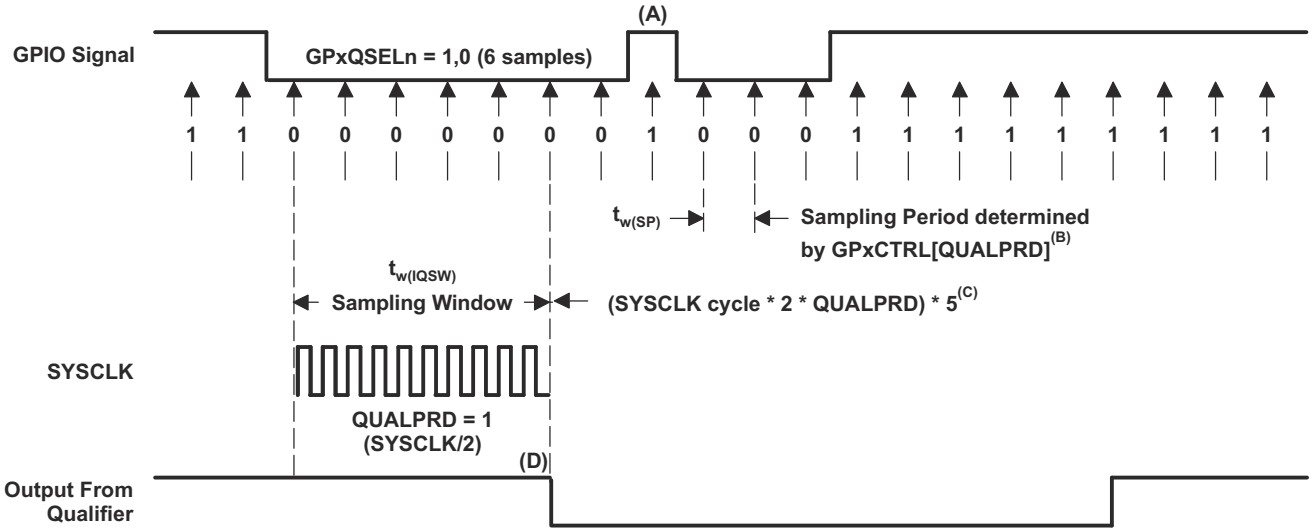
6.13.8.2 GPIO - 入力タイミング

6.13.8.2.1 汎用入力のタイミング要件

			最小値	最大値	単位
$t_{w(SP)}$	サンプリング周期	QUALPRD = 0	$1t_{c(SYSCLK)}$		サイクル
		QUALPRD ≠ 0	$2t_{c(SYSCLK)}$ * QUALPRD		サイクル
$t_{w(IQSW)}$	入力フィルタ サンプリング ウィンドウ		$t_{w(SP)}$ * (n(1) – 1)		サイクル
$t_{w(GPI)}$ (2)	パルス幅、GPIO Low/High	同期モード	$2t_{c(SYSCLK)}$		サイクル
		入力クオリファイヤあり	$t_{w(IQSW)}$ + $t_{w(SP)}$ + $1t_{c(SYSCLK)}$		サイクル

(1) 「n」は、GPxQSELn レジスタで定義されているフィルタ サンプルの数を表します。
(2) $t_{w(GPI)}$ のパルス幅は、アクティブ Low 信号については V_{IL} から V_{IL} まで、アクティブ High 信号については V_{IH} から V_{IH} までを測定します。

6.13.8.2.2 サンプリング・モード



A. このグリッチは、入力クオリファイヤによって無視されます。クオリフィケーションのサンプリング期間は、QUALPRD ビット・フィールドで指定します。この値は、00～0xFF の範囲で設定できます。QUALPRD = 00 の場合、サンプリング期間は 1 SYSCLK サイクルです。その他の値「n」である場合、クオリフィケーションのサンプリング期間は、2n SYSCLK サイクルになります (すなわち、2n SYSCLK サイクルごとに GPIO ピンがサンプリングされます)。
B. GPxCTRL レジスタで選択したこのクオリフィケーション期間は、8 つの GPIO ピン・グループに適用されます。
C. このクオリフィケーション・ブロックは、3 つまたは 6 つのサンプルを取得できます。使用するサンプル・モードは、GPxQSELn レジスタで選択します。
D. ここに示す例では、クオリファイヤが変化を検出するためには、入力が 10 SYSCLK サイクル以上の期間安定している必要があります。すなわち、入力は (5 x QUALPRD x 2) SYSCLK サイクルにわたって安定している必要があります。これにより、5 サンプリング期間での検出実施が確保されます。外部信号は非同期で駆動されるため、13 SYSCLK 幅のパルスであれば信頼性の高い認識が保証されます。

図 6-27. サンプリング・モード

Copyright © 2025 Texas Instruments Incorporated

6.13.8.3 入力信号のサンプリング・ウィンドウ幅

以下のセクションでは、各種の入力クオリファイヤ構成に対する入力信号のサンプリング・ウィンドウ幅の概要を説明します。

この式の「サンプリング周波数」は、SYSCLK を基準にして、信号をサンプリングする頻度を表します。

QUALPRD ≠ 0 の場合、サンプリング周波数 = SYSCLK/(2 × QUALPRD)

QUALPRD = 0 の場合、サンプリング周波数 = SYSCLK

QUALPRD ≠ 0 の場合、サンプリング周期 = SYSCLK サイクル × 2 × QUALPRD

上記の式で、「SYSCLK サイクル」は、SYSCLK の時間周期を表しています。

QUALPRD = 0 の場合、サンプリング周期 = SYSCLK サイクル

決められたサンプリング ウィンドウの中で、入力信号の 3 つまたは 6 つのサンプルを取得して、信号の有効性を判定します。これは、GPxQSELn レジスタに書き込まれた値によって決定されます。

ケース 1:

3 つのサンプルを使用したクオリフィケーション

QUALPRD ≠ 0 の場合、サンプリング・ウィンドウ幅 = (SYSCLK サイクル × 2 × QUALPRD) × 2

QUALPRD = 0 の場合、サンプリング・ウィンドウ幅 = (SYSCLK サイクル) ×2

ケース 2:

6 つのサンプルを使用したクオリフィケーション

QUALPRD ≠ 0 の場合、サンプリング・ウィンドウ幅 = (SYSCLK サイクル × 2 × QUALPRD) × 5

QUALPRD = 0 の場合、サンプリング・ウィンドウ幅 = (SYSCLK サイクル) × 5

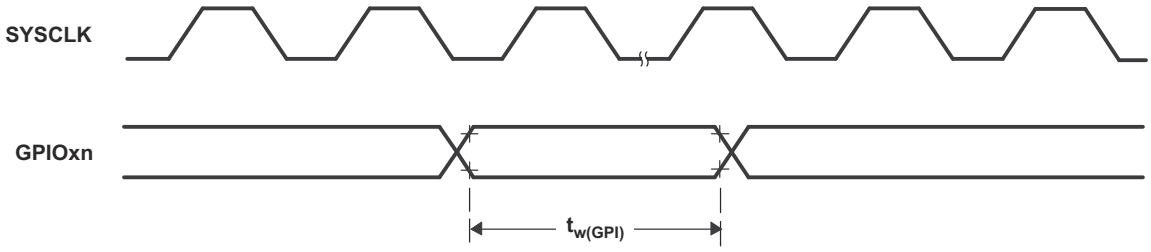


図 6-28. 汎用入力のタイミング

6.13.9 割り込み

C28x CPU には 14 本のペリフェラル割り込みラインがあります。そのうち 2 本 (INT13 および INT14) は、それぞれ CPU タイマ 1 および 2 に直接接続されています。残りの 12 本は、強化ペリフェラル割り込み拡張 (ePIE) モジュール経由でペリフェラル割り込み信号に接続されています。ePIE は、各 CPU 割り込みラインに最大 16 本のペリフェラル割り込みを多重化します。また、ベクタ テーブルを拡張して、各割り込みに独自の ISR を割り当てることもできます。これにより、CPU は多数のペリフェラルをサポートできます。

割り込みパスは、ペリフェラル、ePIE、CPU の 3 つのステージに分けられます。各段には、独自のイネーブル レジスタとフラグ レジスタがあります。このシステムにより、CPU は 1 つの割り込みを処理しながら他の割り込みを保留したり、ソフトウェア内でネストされた割り込みを実装および優先順位付けしたり、特定の重要なタスク中に割り込みを無効にしたりできます。

図 6-29 に、このデバイスの割り込みアーキテクチャを示します。

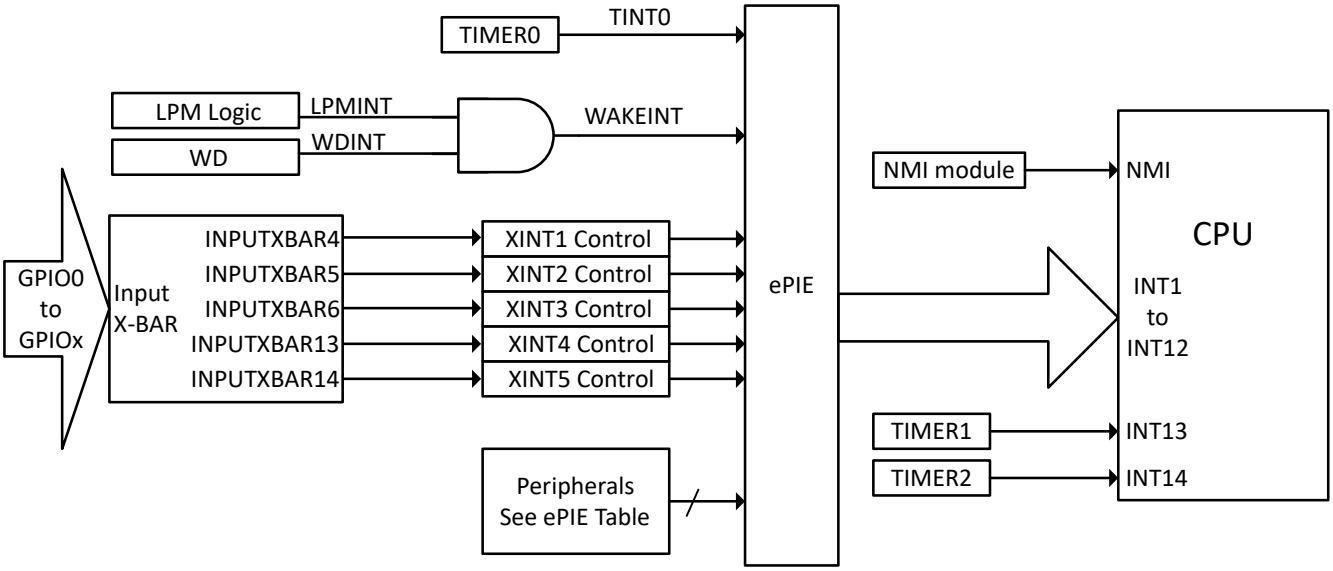


図 6-29. デバイス割り込みアーキテクチャ

Copyright © 2025 Texas Instruments Incorporated

6.13.9.1 外部割り込み (XINT) の電気的データおよびタイミング

入力クオリファイヤのパラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.13.9.1.1 外部割り込みのタイミング要件

			最小値	最大値	単位
$t_{w(INT)}$	パルス幅、INT 入力 Low/High	同期	$2t_{c(SYSCLK)}$		サイクル
		クオリファイヤあり	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCLK)}$		サイクル

6.13.9.1.2 外部割り込みのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{d(INT)}$	遅延時間、INT Low/High から割り込みベクタ フェッチまで[(1)]	$t_{w(IQSW)} + 14t_{c(SYSCLK)}$	$t_{w(IQSW)} + t_{w(SP)} + 14t_{c(SYSCLK)}$	サイクル

(1) これは、ISR がシングルサイクル メモリ内にあることを想定しています。

6.13.9.1.3 外部割り込みのタイミング

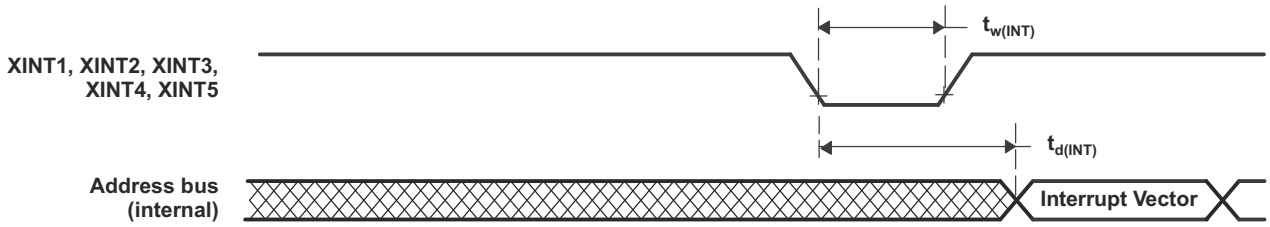


図 6-30. 外部割り込みのタイミング

6.13.10 低消費電力モード

このデバイスには、クロック ゲーティング低消費電力モードとして、ホールト、アイドル、スタンバイがあります。

すべての低消費電力モードの詳細と、開始および終了手順の詳細については、『TMS320F280015x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「低消費電力モード」セクションを参照してください。

6.13.10.1 クロック ゲーティング低消費電力モード

このデバイスの アイドル モードおよびホールト モードは、他の C28x デバイスのモードと同様です。表 6-12 に、いずれかのクロック ゲート低消費電力モードに移行したときのシステムへの影響を示します。

表 6-12. クロック ゲーティング低消費電力モードによるデバイスへの影響

モジュール / クロック ドメイン	IDLE	STANDBY	HALT
SYSCLK	アクティブ	ゲート	ゲート
CPUCLK	ゲート	ゲート	ゲート
PERx.SYSCLK に接続されたモジュールへのクロック	アクティブ	ゲート	ゲート
WDCLK	アクティブ	アクティブ	CLKSRCCTL1.WDHALTI = 0 の場合、ゲート
PLL	電源供給	電源供給	ソフトウェアは、HALT に入る前に PLL の電源をオフにする必要があります。
INTOSC1	電源供給	電源供給	CLKSRCCTL1.WDHALTI = 0 の場合、電源オフ
INTOSC2	電源供給	電源供給	CLKSRCCTL1.WDHALTI = 0 の場合、電源オフ
フラッシュ(1)	電源供給	電源供給	電源供給
XTAL(2)	電源供給	電源供給	電源供給

(1) フラッシュ モジュールは、いずれの LPM においても、ハードウェアによってパワーダウンされることはありません。アプリケーションで必要な場合は、ソフトウェアを使用して電源をオフにすることができます。詳細については、*『TMS320F280015x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』*の「システム制御」の章にある「フラッシュおよび OTP メモリ」セクションを参照してください。

(2) XTAL は、いずれの LPM においても、ハードウェアによってパワーダウンされることはありません。XTALCR.OSCOFF ビットを 1 に設定すると、ソフトウェアによって電源をオフにできます。XTAL が不要な場合は、アプリケーション実行中の任意の時点でこれを実行できます。

Copyright © 2025 Texas Instruments Incorporated

6.13.10.2 低消費電力モードのウェークアップ タイミング

入力クオリファイヤのパラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.13.10.2.1 アイドル モードのタイミング要件

			最小値　最大値	単位
$t_{w(WAKE)}$	パルス幅、外部ウェークアップ信号	入力クオリファイヤなし	$2t_{c(SYSCLK)}$	サイクル
		入力クオリファイヤあり	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	

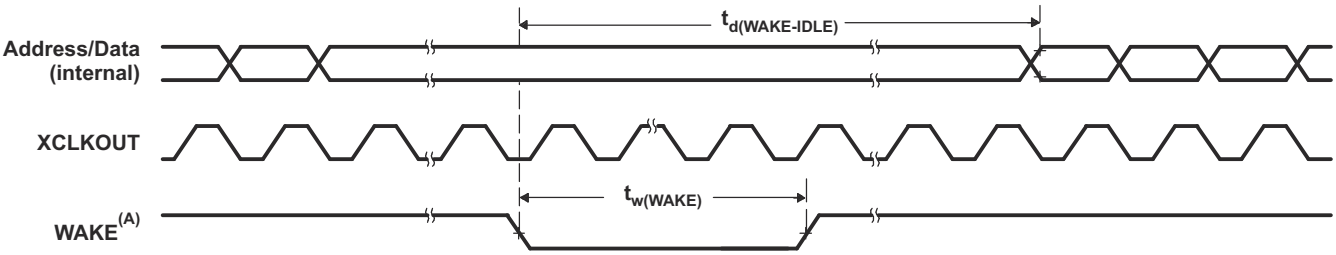
6.13.10.2.2 アイドル モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ			テスト条件	最小値　最大値	単位
$t_{d(WAKE-IDLE)}$	遅延時間、外部ウェーク信号からプログラム実行再開まで (1)	フラッシュから (アクティブ状態)	入力クオリファイヤなし	$40t_{c(SYSCLK)}$	サイクル
			入力クオリファイヤあり	$40t_{c(SYSCLK)} + t_{w(WAKE)}$	サイクル
$t_{d(WAKE-IDLE)}$	遅延時間、外部ウェーク信号からプログラム実行再開まで (1)	RAM から	入力クオリファイヤなし	$25t_{c(SYSCLK)}$	サイクル
			入力クオリファイヤあり	$25t_{c(SYSCLK)} + t_{w(WAKE)}$	サイクル

(1) これは、IDLE 命令の直後に続く命令の実行を開始するのに要する時間です。ISR の実行 (ウェークアップ信号によってトリガ) には、追加のレイテンシが伴います。

6.13.10.2.3 IDLE 開始および終了タイミング図



A. WAKE には、イネーブルになっている任意の割り込み、$\overline{WDINT}$、XRSn を使用できます。IDLE 命令が実行された後、ウェークアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。

図 6-31. IDLE 開始および終了タイミング図

6.13.10.2.4 スタンバイ モードのタイミング要件

			最小値　最大値	単位
$t_{w(WAKE-INT)}$	パルス幅、外部ウェークアップ信号	QUALSTDBY = 0 | $2t_{c(OSCCLK)}$	$3t_{c(OSCCLK)}$	サイクル
		QUALSTDBY > 0 | (2 + QUALSTDBY)$t_{c(OSCCLK)}$ (1)	(2 + QUALSTDBY) * $t_{c(OSCCLK)}$	

(1) QUALSTDBY は、LPMCR レジスタ内の 6 ビット フィールドです。

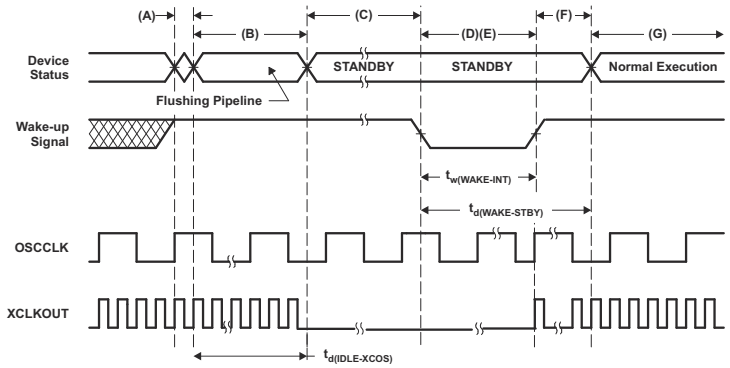
6.13.10.2.5 スタンバイ モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値　最大値	単位
$t_{d(IDLE-XCOS)}$	遅延時間、IDLE 命令実行から XCLKOUT 停止まで		$16t_{c(INTOSC1)}$	サイクル
$t_{d(WAKE-STBY)}$	遅延時間、外部ウェーク信号からプログラム実行再開まで (1)	フラッシュからのウェークアップ (フラッシュ モジュールはアクティブ状態)	$175t_{c(SYSCLK)} + t_{w(WAKE-INT)}$	サイクル
$t_{d(WAKE-STBY)}$	遅延時間、外部ウェーク信号からプログラム実行再開まで (1)	RAM からのウェークアップ	$3t_{c(OSC)} + 15t_{c(SYSCLK)} + t_{w(WAKE-INT)}$	サイクル

(1) これは、IDLE 命令の直後に続く命令の実行を開始するのに要する時間です。ISR の実行 (ウェークアップ信号によってトリガ) には、追加のレイテンシが伴います。

6.13.10.2.6 STANDBY の開始 / 終了タイミング図



A. IDLE 命令が実行され、デバイスがスタンバイ モードに移行します。
B. LPM ブロックが STANDBY 信号に応答し、SYSCLK は、最大 16 INTOSC1 クロック サイクルにわたって保持された後、オフになります。この遅延により、CPU パイプラインおよびその他の保留中の動作が適切にフラッシュされます。
C. ペリフェラルへのクロックがオフになります。ただし、PLL とウォッチドッグはシャットダウンされません。デバイスはこの時点で、スタンバイ モードになっています。IDLE 命令が実行された後、ウェークアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。
D. 外部ウェークアップ信号がアクティブに駆動されます。
E. デバイスをウェークアップするために GPIO ピンに供給されるウェークアップ信号は、最小パルス幅の要件を満たす必要があります。さらに、この信号ではグリッチをなくす必要があります。ノイズの多い信号が GPIO ピンに供給されると、デバイスのウェークアップ動作は確定的ではなくなり、デバイスは後続のウェークアップ パルスで低消費電力モードを終了できない場合があります。
F. 遅延時間が経過すると、スタンバイ モードが終了します。
G. 通常動作を再開します。本デバイスは割り込み (有効化されている場合) に応答するようになります。

図 6-32. STANDBY の開始 / 終了タイミング図

Copyright © 2025 Texas Instruments Incorporated

6.13.10.2.7 ホールト モードのタイミング要件

		最小値	最大値	単位
$t_{w(WAKE\text{-}GPIO)}$	パルス幅、GPIO ウェークアップ信号 (1)	t_{oscst} + $2t_{c(OSCCLK)}$		サイクル
$t_{w(WAKE\text{-}XRS)}$	パルス幅、$\overline{XRS}$ ウェークアップ信号 (1)	t_{oscst} + $8t_{c(OSCCLK)}$		サイクル

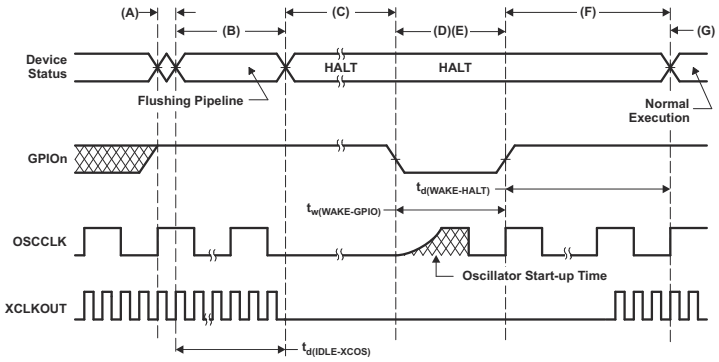
(1) OSCCLK に X1/X2 を使用するアプリケーションでは、スタートアップ時間がデバイス外部の回路やレイアウトなどに依存するため、ユーザーは、その場合の発振器のスタートアップ時間の特性を評価する必要があります。詳細については、「水晶発振器 (XTAL)」セクションを参照してください。OSCCLK に INTOSC1 または INTOSC2 を使用するアプリケーションについては、「内部発振器」セクションの t_{oscst} を参照してください。発振器のスタートアップ時間は、X1 ピンでシングルエンド水晶発振器を使用するアプリケーションには適用されません。これは、デバイスの外部から電力が供給されるためです。

6.13.10.2.8 ホールト モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{d(IDLE\text{-}XCOS)}$	遅延時間、IDLE 命令実行から XCLKOUT 停止まで		$16t_{c(INTOSC1)}$	サイクル
$t_{d(WAKE\text{-}HALT)}$	遅延時間、外部ウェーク信号終了から CPU1 プログラム実行再開まで			サイクル
	フラッシュからのウェークアップ - アクティブ状態のフラッシュ モジュール		$75t_{c(OSCCLK)}$	
	RAM からのウェークアップ		$75t_{c(OSCCLK)}$	

6.13.10.2.9 HALT 開始および終了タイミング図



A. IDLE 命令が実行され、デバイスが HALT モードに移行します。
B. LPM ブロックが HALT 信号に応答し、SYSCLK は、最大 16 INTOSC1 クロック・サイクルにわたって保持された後、オフになります。この遅延により、CPU パイプラインおよびその他の保留中の動作が適切にフラッシュされます。
C. ペリフェラルへのクロックがオフになり、PLL がシャットダウンされます。クロック・ソースとして水晶振動子またはセラミック発振子を使用する場合、内部発振器もシャットダウンされます。デバイスはこの時点で、HALT モードに移行しており、消費電力はごくわずかです。HALT モード中、内部発振器 (INTOSC1 および INTOSC2) とウォッチドッグを動作させたままにすることもできます。これは、CLKSRCCTL1.WDHALTI に 1 を書き込むことで行います。IDLE 命令が実行された後、ウェークアップ信号がアサートされる前に、5 OSCCLK サイクル (最小値) の遅延が必要です。
D. GPIOn ピン (デバイスの HALT を解除するために使用) を Low にすると、発振器がオンになり、発振器ウェークアップ・シーケンスが開始されます。GPIO ピンを High に駆動するのは、発振器が安定した後にする必要があります。これにより、PLL ロック・シーケンス時にクリーンなクロック信号を供給できます。GPIO ピンの立ち下がりエッジによって非同期にウェークアップ手順が開始されるので、HALT モードに移行する前および HALT モードになっている間は、低ノイズ環境を維持するように注意する必要があります。
E. デバイスをウェークアップするために GPIO ピンに供給されるウェークアップ信号は、最小パルス幅の要件を満たす必要があります。さらに、この信号からはグリッチを完全に除去する必要があります。ノイズの多い信号が GPIO ピンに供給されると、デバイスのウェークアップ動作は確定的ではなくなり、デバイスは後続のウェークアップ・パルスで低消費電力モードを終了できない場合があります。
F. コアへの CLKIN がイネーブルになると、デバイスは、いくらかのレイテンシの後で割り込みに応答します (割り込みイネーブルの場合)。これで、HALT モードが終了します。
G. 通常動作を再開します。
H. ユーザーは、安定した PLL ロックを確保するために、HALT からのウェークアップの際に PLL を再ロックする必要があります。

図 6-33. HALT 開始および終了タイミング図

Copyright © 2025 Texas Instruments Incorporated

6.14 アナログ・ペリフェラル

このセクションでは、アナログ・サブシステム・モジュールについて説明します。

このデバイスのアナログ・モジュールには、A/D コンバータ (ADC)、温度センサ、コンパレータ・サブシステム (CMPSS)、ライト・コンパレータ・サブシステム・バリアント (CMPSS_LITE) が含まれます。

アナログ・サブシステムには次のような特長があります。

- フレキシブルな電圧リファレンス
  - ADC は、VREFHI ピンおよび VSSA ピンを基準としています。
    - VREFHI ピンの電圧は、外部から駆動することも、内部バンドギャップ電圧リファレンスによって生成することもできます。
    - 内部電圧リファレンスの範囲は、0V～3.3V または 0V～2.5V のいずれかを選択できます。
  - コンパレータ DAC は、VDDA および VSSA を基準としています。
- フレキシブルなピンの用途
  - コンパレータ・サブシステムの入力とデジタル入力 (AIO) / 出力 (AGPIO) は、ADC 入力として多重化されます。
  - LOW のコンパレータ DAC (CMPx_DACL) は、外部で使用するために、オプションで多重化された ADC ピンに出力することができます (CMPSS 比較機能を使用する場合に限定され、一部の CMPSS インスタンスでのみ使用可能)。
  - オフセット・セルフ・キャリブレーションのために、すべての ADC で V_{REFLO} に内部接続

図 6-34 に、すべてのパッケージのアナログ・サブシステムのブロック図を示します。図 6-35 に、アナログ・グループの接続を示します。セクション 6.14.1 に、アナログ・ピンと内部接続を示します。セクション 6.14.2 に、アナログ信号の説明を示します。

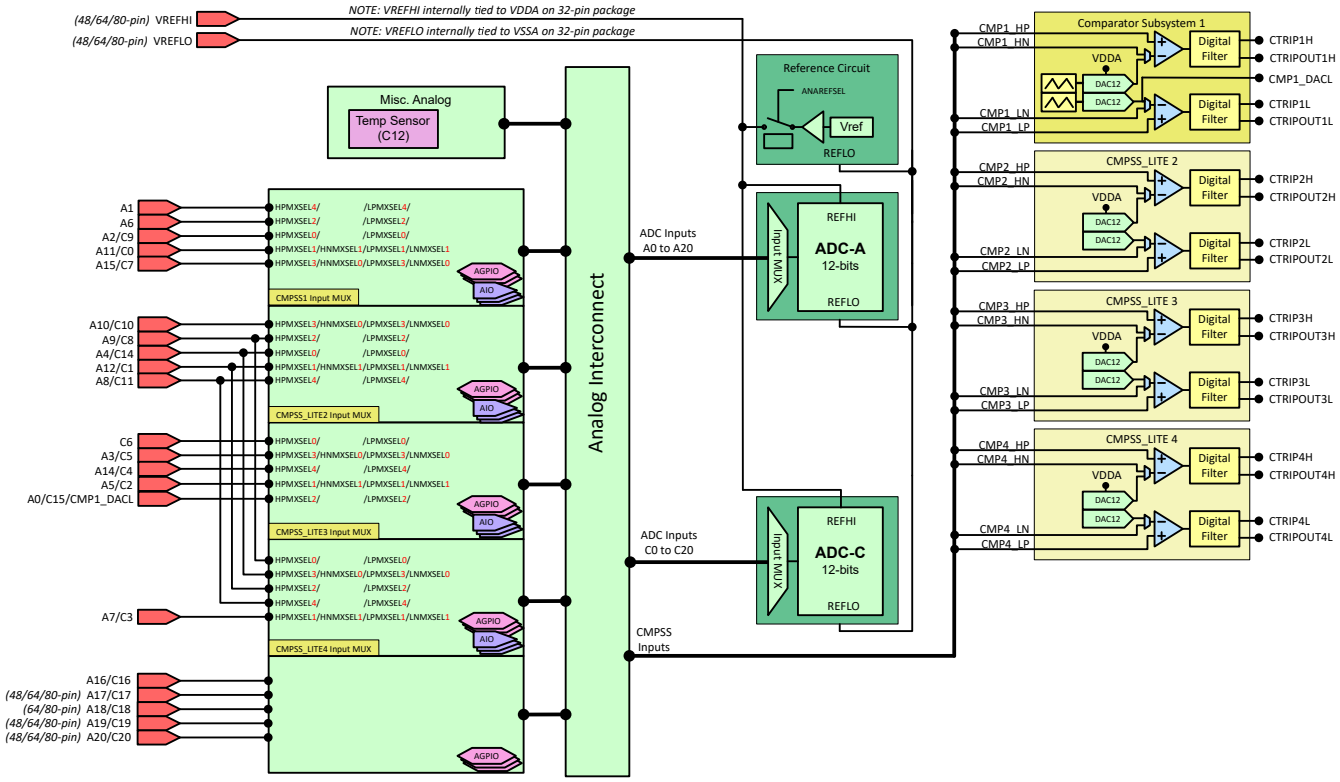
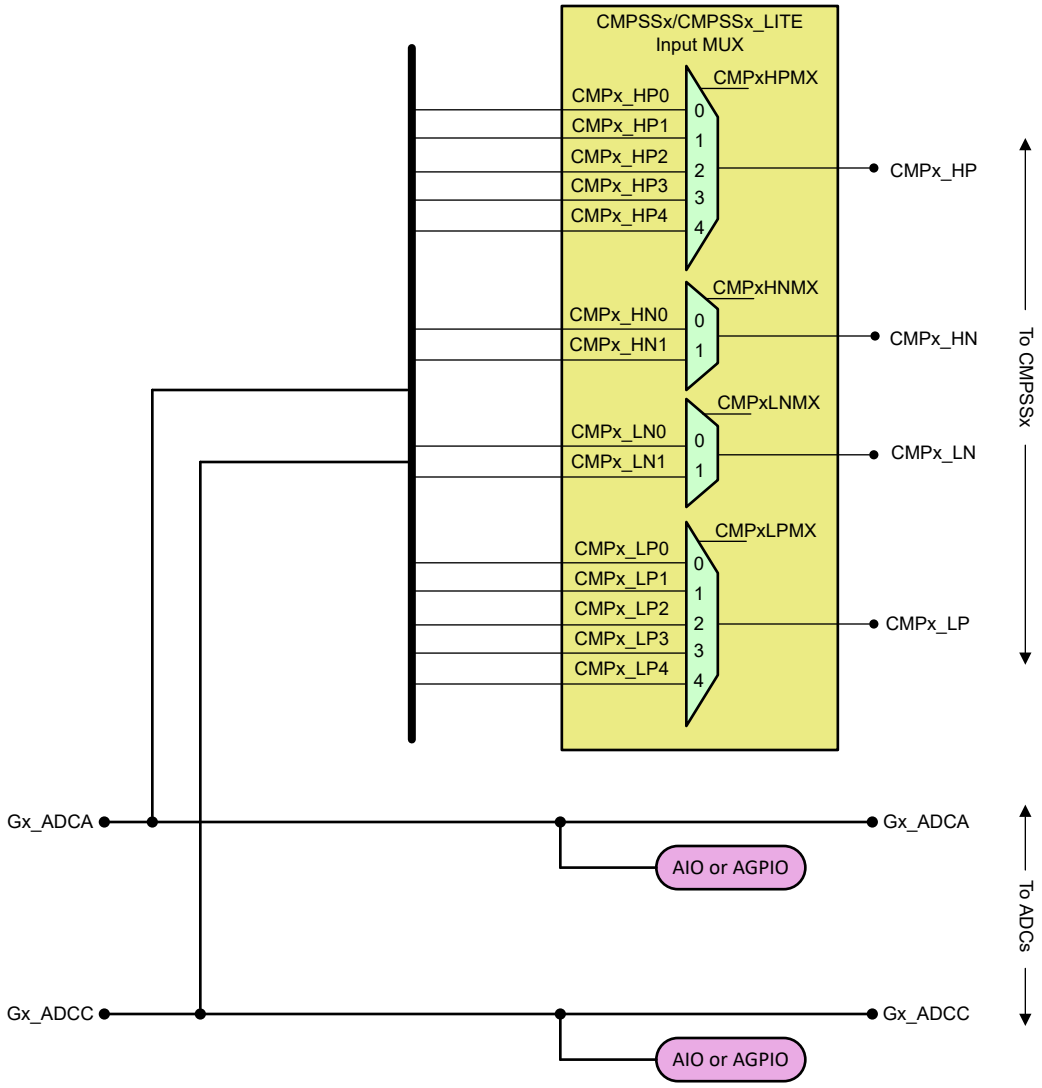


図 6-34. アナログ・サブシステムのブロック図



注:AIO は、デジタル入力モードのみをサポートしています。

図 6-35. アナログ・グループ接続

Copyright © 2025 Texas Instruments Incorporated

6.14.1 アナログ・ピンと内部接続

表 6-13. アナログ ピンと内部接続

ピン名	ピン数 / パッケージ				ADC		DAC	コンパレータ サブシステム (マルチプレクサ)				AIO 入力 / GPIO
	80 QFP	64 QFP	48 QFP	32 QFN	A	C		High 正	High 負	Low 正	Low 負	
VREFHI	20	16	12	-[4]								
VREFLO	21	17	13	-[4]	A13	C13						
アナログ グループ 1								CMP1				
A6	10	6	4[1]	2[1]	A6	-		CMP1 (HPMXSEL=2)		CMP1 (LPMXSEL=2)		GPIO228[3]
A2/C9	13	9	6	4	A2	C9		CMP1 (HPMXSEL=0)		CMP1 (LPMXSEL=0)		GPIO224[3]
A15/C7	14	10	7[1]	5[1]	A15	C7		CMP1 (HPMXSEL=3)	CMP1 (HNMXSEL=0)	CMP1 (LPMXSEL=3)	CMP1 (LNMXSEL=0)	AIO233
A11/C0	16	12	8	6[1]	A11	C0		CMP1 (HPMXSEL=1)	CMP1 (HNMXSEL=1)	CMP1 (LPMXSEL=1)	CMP1 (LNMXSEL=1)	AIO237
A1	18	14	10	7[1]	A1	-		CMP1 (HPMXSEL=4)		CMP1 (LPMXSEL=4)		AIO232
アナログ グループ 2								CMP2				
A10/C10	29	25	21	13[1]	A10	C10		CMP2 (HPMXSEL=3)	CMP2 (HNMXSEL=0)	CMP2 (LPMXSEL=3)	CMP2 (LNMXSEL=0)	GPIO230[3]
アナログ グループ 3								CMP3				
C6	11	7	4[1]	2[1]	-	C6		CMP3 (HPMXSEL=0)		CMP3 (LPMXSEL=0)		GPIO226[3]
A3/C5	12	8	5	3	A3	C5		CMP3 (HPMXSEL=3)	CMP3 (HNMXSEL=0)	CMP3 (LPMXSEL=3)	CMP3 (LNMXSEL=0)	GPIO242[3]
A14/C4	15	11	7[1]	5[1]	A14	C4		CMP3 (HPMXSEL=4)		CMP3 (LPMXSEL=4)		AIO239
A5/C2	17	13	9	6[1]	A5	C2		CMP3 (HPMXSEL=1)	CMP3 (HNMXSEL=1)	CMP3 (LPMXSEL=1)	CMP3 (LNMXSEL=1)	AIO244
A0/C15/CMP1_DACL	19	15	11	7[1]	A0	C15	CMP1_DACL	CMP3 (HPMXSEL=2)		CMP3 (LPMXSEL=2)		AIO231
アナログ グループ 4								CMP4				
A7/C3	23	19	15	8[1]	A7	C3		CMP4 (HPMXSEL=1)	CMP4 (HNMXSEL=1)	CMP4 (LPMXSEL=1)	CMP4 (LNMXSEL=1)	AIO245
アナログ グループ 2 および 4 の組み合わせ								CMP2/CMP4				
A12/C1	22	18	14	8[1]	A12	C1		CMP2 (HPMXSEL=1) CMP4 (HPMXSEL=2)	CMP2 (HNMXSEL=1)	CMP2 (LPMXSEL=1) CMP4 (LPMXSEL=2)	CMP2 (LNMXSEL=1)	AIO238
A8/C11	24	20	16	9	A8	C11		CMP2 (HPMXSEL=4) CMP4 (HPMXSEL=4)		CMP2 (LPMXSEL=4) CMP4 (LPMXSEL=4)		AIO241
A4/C14	27	23	19	12	A4	C14		CMP2 (HPMXSEL=0) CMP4 (HPMXSEL=3)	CMP4 (HNMXSEL=0)	CMP2 (LPMXSEL=0) CMP4 (LPMXSEL=3)	CMP4 (LNMXSEL=0)	AIO225
A9/C8	28	24	20	13[1]	A9	C8		CMP2 (HPMXSEL=2) CMP4 (HPMXSEL=0)		CMP2 (LPMXSEL=2) CMP4 (LPMXSEL=0)		GPIO227[3]
その他のアナログ												
温度センサ[2]	-	-	-	-	-	C12		CMP2 (HPMXSEL=5)				
A16/C16	4	2	2	32	A16	C16						GPIO28[3]
A17/C17	33	27	22	-	A17	C17						GPIO20[3]
A18/C18	34	28	-	-	A18	C18						GPIO21[3]

Copyright © 2025 Texas Instruments Incorporated

表 6-13. アナログ ピンと内部接続 (続き)

ピン名	ピン数 / パッケージ				ADC		DAC	コンパレータ サブシステム (マルチプレクサ)				AIO 入力 / GPIO
	80 QFP	64 QFP	48 QFP	32 QFN	A	C		High 正	High 負	Low 正	Low 負	
A19/C19	35	29	23	-	A19	C19						GPIO13[(3)]
A20/C20	36	30	24	-	A20	C20						GPIO12[(3)]

(1) このパッケージでは、1 本のピンで、異なる信号同士が結合されています。
(2) 内部接続のみ。デバイス ピンに接続されません。
(3) これらのアナログ ピンの GPIO では、デジタルの完全な入出力機能がサポートされており、AGPIO と呼ばれています。デフォルトでは AGPIO は接続されておらず、アナログ機能とデジタル機能の両方がディセーブルになっています。構成の詳細については、「ADC ピンのデジタル入出力 (AGPIO)」セクションを参照してください。
(4) 32 RHB パッケージでは、VREFHI は VDDA に、VREFLO は VSSA に、それぞれ内部的に接続されます。

Copyright © 2025 Texas Instruments Incorporated

6.14.2 アナログ信号の説明

表 6-14. アナログ信号の説明

信号名	概要
AIOx	ADC ピンのデジタル入力
Ax	ADC A 入力
Cx	ADC C 入力
CMPx_HNy	コンパレータ サブシステムのハイ コンパレータ負入力
CMPx_HPy	コンパレータ サブシステムのハイ コンパレータ正入力
CMPx_LNy	コンパレータ サブシステムのロー コンパレータ負入力
CMPx_LPy	コンパレータ サブシステムのロー コンパレータ正入力
CMPx_DACL	下位 CMPSS DAC からの DAC 出力 (外部ピンに接続可能)
TempSensor	内部温度センサ

6.14.3 A/D コンバータ (ADC)

ここで説明する ADC モジュールは、12 ビットの分解能を持つ逐次比較型 (SAR) ADC です。このセクションでは、コンバータのアナログ回路を「コア」と呼び、チャネル選択マルチプレクサ、サンプル/ホールド (S/H) 回路、逐次比較回路、電圧リファレンス回路、その他のアナログ サポート回路が含まれています。コンバータのデジタル回路は「ラッパー」と呼ばれ、プログラム可能な変換、結果レジスタ、アナログ回路へのインターフェイス、ペリフェラル バスへのインターフェイス、後処理回路、およびその他のオンチップ モジュールへのインターフェイス用のロジックが含まれています。

各 ADC モジュールは、単一のサンプル / ホールド (S/H) 回路で構成されています。ADC モジュールは、同じチップ上で複数回複製された設計になっており、複数の ADC を同時にサンプリングすることも、独立して動作させることもできます。ADC ラッパーは、変換開始 (SOC) ベースで動作します (『TMS320F280015x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「A/D コンバータ (ADC)」の章にある「SOC の動作原理」セクションを参照)。

各 ADC には次のような特長があります。

- 12 ビットの分解能
- VREFHI/VREFLO によって設定されるレシオメトリック外部リファレンス
- 2.5 V または 3.3 V の内部リファレンスを選択可能
- シングルエンド信号モード
- 最大 21 チャネルの入力マルチプレクサ
- 16 本の構成可能な SOC
- 16 個の個別にアドレス指定可能な結果レジスタ
- 複数のトリガ ソース
  - ソフトウェアによる直接開始
  - すべての ePWM :ADCSOC A または B
  - GPIO XINT2
  - CPU タイマ 0/1/2
  - ADCINT1/2
- 4 つのフレキシブルな割り込み
- バースト モード トリガ オプション
- 4 つの後処理ブロック、それぞれに次の機能を搭載:
  - 飽和オフセット較正
  - 設定点からの誤差の計算
  - 高、低、ゼロクロス比較、割り込みおよび ePWM トリップ機能付き
  - トリガからサンプルまでの遅延キャプチャ

注

すべてのチャネルがすべての ADC からピンへ接続できるわけではありません。使用可能なチャネルを確認するには、「ピン構成および機能」セクションを参照してください。

Copyright © 2025 Texas Instruments Incorporated

図 6-36 に、ADC コアと ADC ラッパーのブロック図を示します。

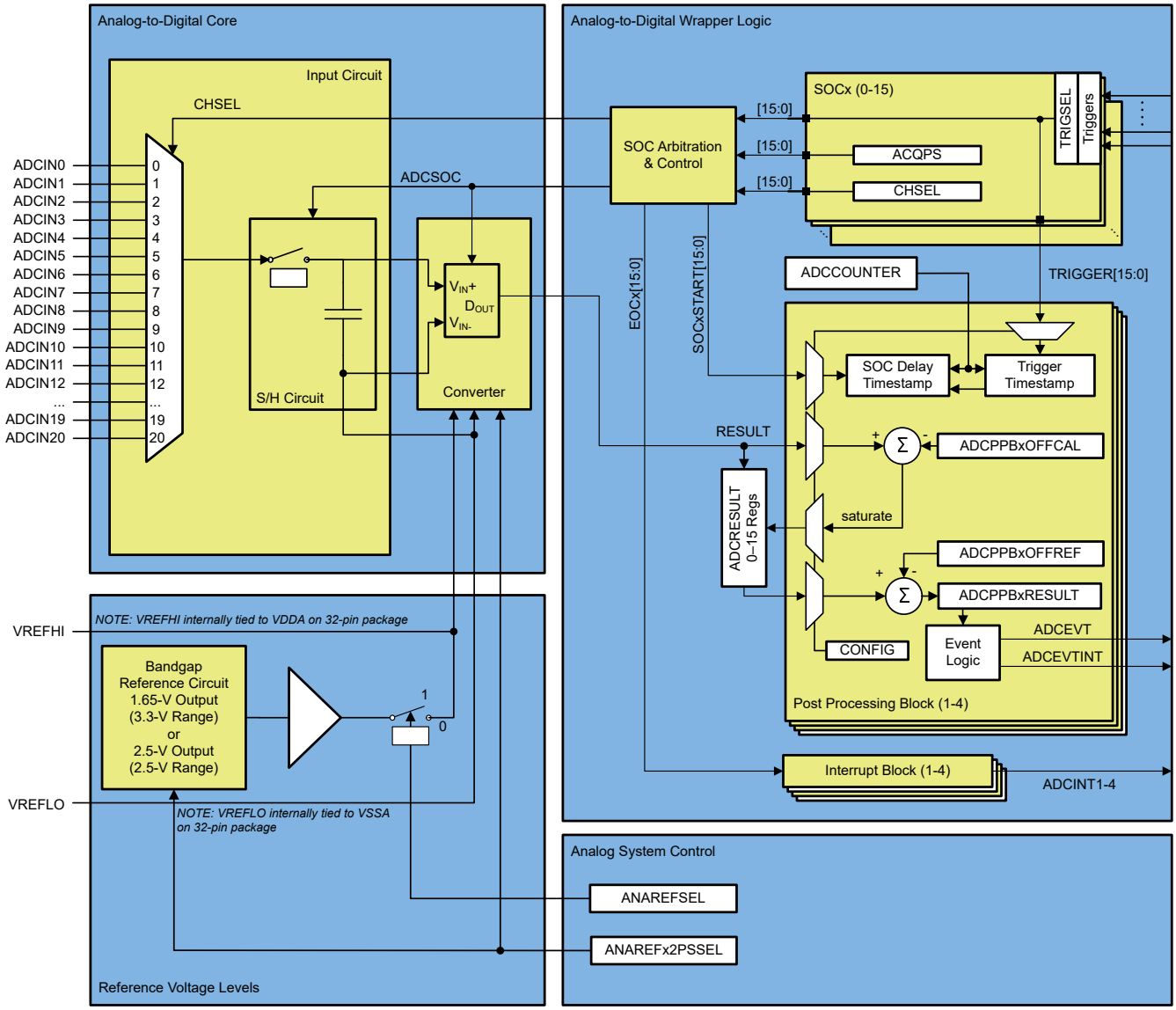


図 6-36. ADC モジュールのブロック図

6.14.3.1 ADC の構成可能性

一部の ADC 構成は、SOC によって個別に管理されますが、他の構成は、ADC モジュールごとにまとめて管理されます。表 6-15 に、基本的な ADC オプションとその構成レベルを示します。

表 6-15. ADC オプションおよび構成レベル

オプション	構成方法
クロック	モジュールごと(1)
分解能	構成不可 (12 ビット分解能のみ)
信号モード	構成不可 (シングルエンド信号モードのみ)
リファレンス電圧源	すべてのモジュールで外部または内部
トリガ ソース	SOC ごと(1)
変換対象チャネル	SOC ごと
アクイジション ウィンドウ幅	SOC ごと(1)
EOC の位置	モジュールごと
バースト モード	モジュールごと(1)

(1) これらの設定について、異なる ADC モジュールに異なる値を書き込むと、ADC が非同期に動作する可能性があります。ADC の動作が同期になるか非同期になるかについてのガイダンスは、『TMS320F280015x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「A/D コンバータ (ADC)」の章にある「同期動作の確保」セクションを参照してください。

6.14.3.1.1 信号モード

ADC は、シングルエンド信号処理をサポートしています。コンバータへの入力電圧は、1 本のピン (ADCINx) を介し、VREFLO を基準としてサンプリングされます。

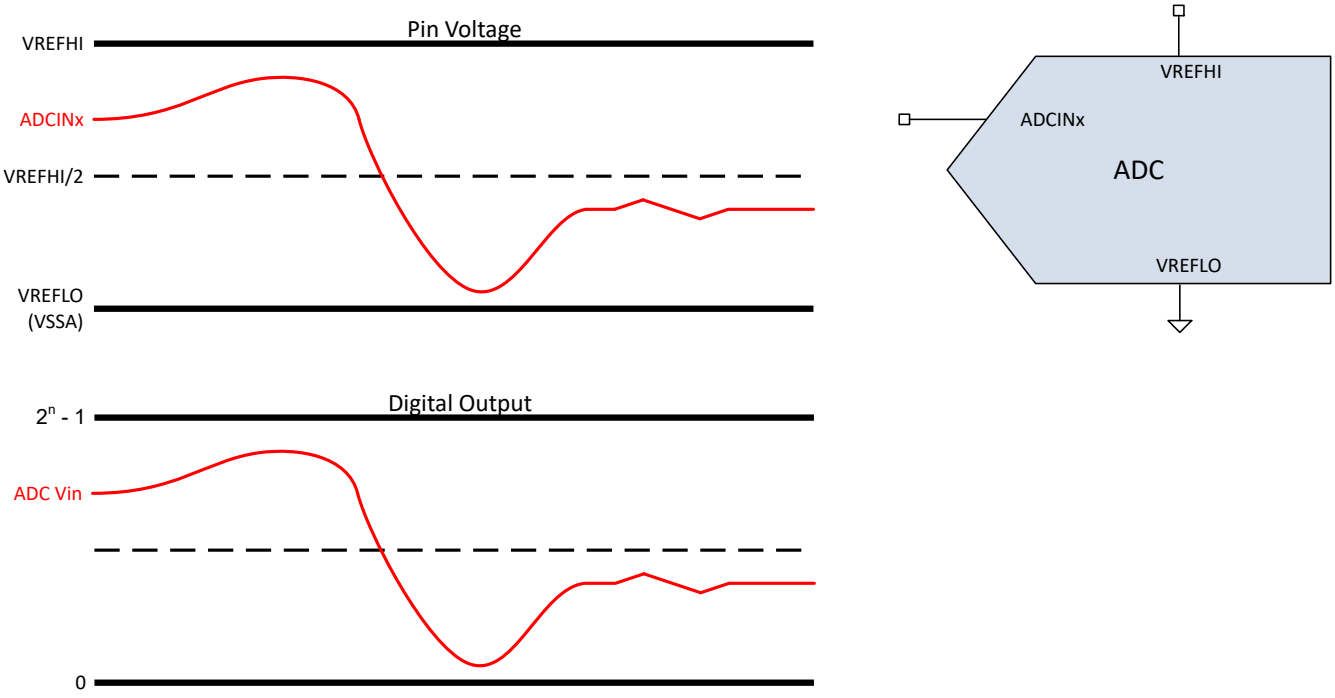


図 6-37. シングルエンド信号モード

Copyright © 2025 Texas Instruments Incorporated

6.14.3.2 ADC の電気的データおよびタイミング

注

ADC 入力は VDDA + 0.3V よりも低く維持する必要があります。ADC 入力がこのレベルを超えると、ADC によって他のチャネルに乱れが生じる可能性があります。メカニズムは次の 2 つです。

- ADC 入力の過電圧によって CMPSS マルチプレクサのオーバードライブが発生し、共通の CMPSS マルチプレクサを共有する他のすべてのチャネルに乱れが生じます。この乱れは、過電圧の入力が ADC によってサンプリングされるかどうかに関係なく続きます。
- 過電圧の ADC 入力が ADC によってサンプリングされると、VREFHI がより高いレベルに引き上げられます。これにより、V_{REF} が安定するまで、任意のチャネルでの以降の ADC 変換に乱れが生じます。

注

正常な機能動作を確保するためには、VREFHI ピンを VDDA + 0.3V よりも低く維持する必要があります。VREFHI ピンがこのレベルを超えると、ブロッキング回路が動作し内部の VREFHI 値が 0V になることで、ADC 変換出力が不正確になる可能性があります。

6.14.3.2.1 ADC の動作条件

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ADCCLK (PERx.SYSCLK から生成)	F2800157、F2800155、F2800153	5		60	MHz
	F2800156、F2800154、F2800152	5		50	
サンプル レート	120MHz SYSCLK F2800157、F2800155、F2800153			4	MSPS
	100MHz SYSCLK F2800156、F2800154、F2800152			3.45	
サンプル ウィンドウ幅 (ACQPS および PERx.SYSCLK により設定) (1)	50Ω 以下の R_s、AIO のピン	75			ns
	50Ω 以下の R_s、AGPIO のピン	90			
VREFHI	外部リファレンス	2.4	2.5 または 3.0	VDDA	V
VREFHI(2)	内部リファレンス = 3.3V レンジ		1.65		V
	内部リファレンス = 2.5V レンジ		2.5		V
VREFHI	パッケージ = 32QFN	VDDA	VDDA	VDDA	V
VREFLO		VSSA		VSSA	V
VREFHI - VREFLO		2.4		VDDA	V
変換範囲	内部リファレンス = 3.3V レンジ	0		3.3	V
	内部リファレンス = 2.5V レンジ	0		2.5	
	外部リファレンス	VREFLO		VREFHI	
	パッケージ = 32QFN	0		VDDA(3)	

(1) この他、ADC を正しく動作させるために、サンプル ウィンドウは少なくとも、1 ADCCLK サイクルにわたって継続する必要があります。
(2) 内部リファレンス モードでは、デバイスによってリファレンス電圧が VREFHI ピンから駆動されます。 このモードでは、ピンに電圧を印加しないでください。
(3) 32QFN パッケージでは、VREFHI は VDDA に、VREFLO は VSSA に、それぞれ内部的に接続されます。32QFN パッケージでは、内部リファレンス モードはサポートされていません。

6.14.3.2.2 ADC の特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
全般					
ADCCLK 変換サイクル	120MHz SYSCLK	10.1		11	ADCCLK
パワーアップ時間	外部リファレンス モード			500	µs
	内部リファレンス モード			5000	µs
	内部リファレンス モード、2.5V レンジと 3.3V レンジの間で切り替える場合。			5000	µs
VREFHI 入力電流 (1)			130		µA
内部リファレンス コンデンサの値 (2)		2.2			µF
外部リファレンス コンデンサの値(2)		2.2			µF
DC の特性					
ゲイン誤差	内部リファレンス	-45		45	LSB
	外部リファレンス	-5	±3	5	LSB
オフセット誤差		-5	±2	5	LSB
チャネル間ゲイン誤差 (4)			2		LSB
チャネル間オフセット誤差 (4)			2		LSB
ADC 間ゲイン誤差 (5)	すべての ADC で同一の VREFHI および VREFLO		4		LSB
ADC 間オフセット誤差 (5)	すべての ADC で同一の VREFHI および VREFLO		2		LSB
DNL 誤差		>-1	±0.5	1	LSB
INL 誤差		-2	±1.0	2	LSB
ADC 間絶縁	VREFHI = 2.5V、同期 ADC	-1		1	LSB
AC の特性					
SNR(3)	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK		68.8		dB
	VREFHI = 2.5V、fin = 100kHz、INTOSC からの SYSCLK		60.1		dB
THD(3)	VREFHI = 2.5V、fin = 100kHz		-80.6		dB
SFDR(3)	VREFHI = 2.5V、fin = 100kHz		79.2		dB
SINAD(3)	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK		68.5		dB
	VREFHI = 2.5V、fin = 100kHz、INTOSC からの SYSCLK		60.0		dB
ENOB(3)	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、シングル ADC		11.0		ビット
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、同期 ADC		11.0		ビット
	VREFHI = 2.5V、fin = 100kHz、X1 からの SYSCLK、非同期 ADC		非対応		ビット

Copyright © 2025 Texas Instruments Incorporated

6.14.3.2.2 ADC の特性 (続き)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
PSRR	VDD = DC 1.2V + 100mV DC から 1kHz の正弦波まで		60		dB
	VDD = DC 1.2V + 100mV DC から 300kHz の正弦波まで		57		
	VDDA = DC 3.3V + 200mV DC から 1kHz の正弦波まで		60		
	VDDA = DC 3.3V + 200mV 900kHz の正弦波		57		

(1) ADC 入力が VDDA を超えると、VREFHI の負荷電流が増加します。 その結果、不正確な変換が発生します。
(2) 0805 以下のパッケージ サイズのセラミック コンデンサを推奨します。許容誤差は最大 ±20% です。
(3) 容量性結合とクロストークを低減するためのベスト プラクティスの一部として、ADC 入力と VREFHI ピンに隣接するピンの I/O アクティビティを最小限に抑えます。
(4) 同じ ADC モジュールに属するすべてのチャネルでの変動。
(5) 他の ADC モジュールと比較した場合のワーストケースの変動。

6.14.3.2.3 ピンごとの ADC 性能

各ピンの ADC 性能は、隣接するピンの影響を受けます。以下のプロットは、これらのピンの性能の違いについて詳細を示しています。

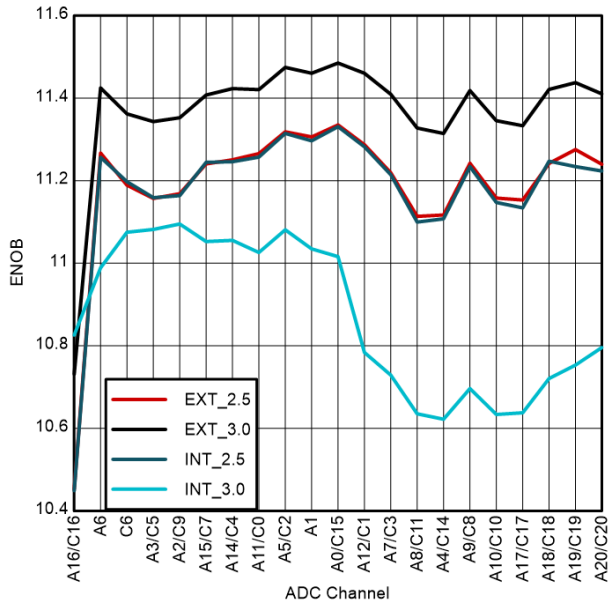


図 6-38. 80 ピン PN LQFP および 64 ピン PM LQFP のチャネルごとの ENOB

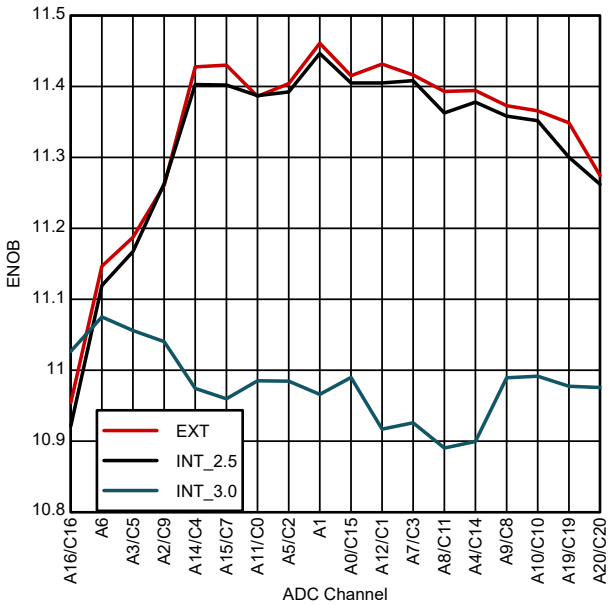


図 6-39. 48 ピン PHP HTQFP のチャネルごとの ENOB

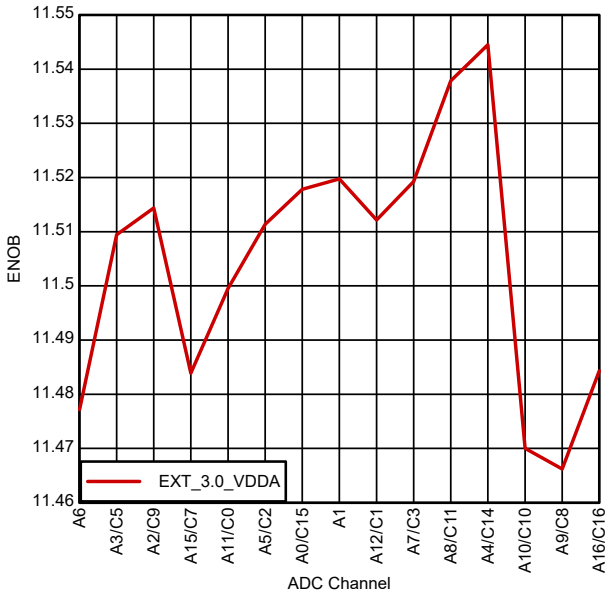


図 6-40. 32 ピン RHB VQFN のチャネルごとの ENOB

6.14.3.2.4 ADC 入力モデル

ADC 入力特性を図 6-41 および表 6-16 に示します。

表 6-16. 入力モデルのパラメータ

	説明	リファレンス モード	値
C_p	寄生入力容量	すべて	表 6-17、表 6-18、表 6-19、表 6-20 を参照
R_{on}	サンプリング スイッチ抵抗	外部リファレンス、2.5V 内部リファレンス	500Ω
		3.3V 内部リファレンス	860Ω
C_h	サンプリング コンデンサ	外部リファレンス、2.5V 内部リファレンス	12.5pF
		3.3V 内部リファレンス	7.5pF
R_s	公称ソース インピーダンス	すべて	50Ω

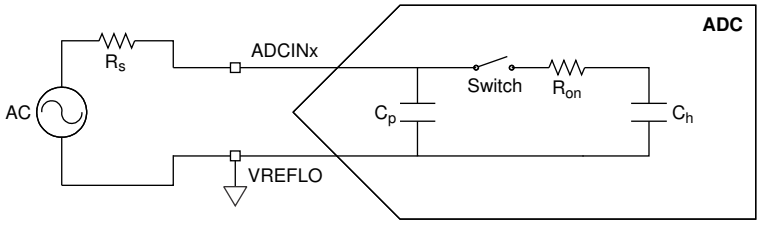


図 6-41. 入力モデル

この入力モデルは、アクイジション ウィンドウの幅を決定する際に、実際の信号源インピーダンスと合わせて使用する必要があります。詳細については、『TMS320F280015x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「A/D コンバータ (ADC)」の章にある「アクイジション ウィンドウ幅の選択」セクションを参照してください。ADC 入力回路の改善に関する推奨事項については、『C2000 MCU 用 ADC 入力回路の評価』アプリケーション ノートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

表 6-17. 80 ピン PN LQFP のチャネルごとの寄生容量

ADC チャネル	C_p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
A0/C15/CMP1_DACL	7.7	10.2
A1	1.6	4.1
A2/C9	1.5	4
A3/C5	1.8	4.3
A4/C14	2.4	4.9
A5/C2	2	4.5
A6	1.4	3.9
A7/C3	1.9	4.4
A8/C11	2.2	4.7
A9/C8	2.3	4.8
A10/C10	2	4.5
A11/C0	2.4	4.9
A12/C1	3.2	5.7
A14/C4/ADCINCAL	2.4	4.9
A15/C7	3	5.5
A16/C16	2.4	4.9
A17/C17	2.7	5.2
A18/C18	2.7	5.2
A19/C19	2.7	5.2
A20/C20	2.7	5.2
C6	1.7	4.2

表 6-18. 64 ピン PM LQFP のチャネルごとの寄生容量

ADC チャネル	C_p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
A0/C15/CMP1_DACL	7.7	10.2
A1	1.6	4.1
A2/C9	1.5	4
A3/C5	1.8	4.3
A4/C14	2.4	4.9
A5/C2	2	4.5
A6	1.4	3.9
A7/C3	1.9	4.4
A8/C11	2.2	4.7
A9/C8	2.3	4.8
A10/C10	2	4.5
A11/C0	2.4	4.9
A12/C1	3.2	5.7
A14/C4/ADCINCAL	2.4	4.9
A15/C7	3	5.5
A16/C16	2.4	4.9
A17/C17	2.7	5.2
A18/C18	2.7	5.2
A19/C19	2.7	5.2

Copyright © 2025 Texas Instruments Incorporated

表 6-18. 64 ピン PM LQFP のチャネルごとの寄生容量 (続き)

ADC チャネル	C_p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
A20/C20	2.7	5.2
C6	1.7	4.2

表 6-19. 48 ピン PHP HTQFP のチャネルごとの寄生容量

ADC チャネル	C_p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
A0/C15/CMP1_DACL	7.7	10.2
A1	1.6	4.1
A2/C9	1.5	4
A3/C5	1.8	4.3
A4/C14	2.4	4.9
A5/C2	2	4.5
A6/C6	3.1	8.1
A7/C3	1.9	4.4
A8/C11	2.2	4.7
A9/C8	2.3	4.8
A10/C10	2	4.5
A11/C0	2.4	4.9
A12/C1	3.2	5.7
A14/A15/C4/C7/ADCINCAL	5.4	10.4
A16/C16	2.4	4.9
A17/C17	2.7	5.2
A19/C19	2.7	5.2
A20/C20	2.7	5.2

表 6-20. 32 ピン RHB VQFN のチャネルごとの寄生容量

ADC チャネル	C_p (pF)	
	コンパレータ無効の場合	コンパレータ有効の場合
A0/A1/C15/CMP1_DACL	9.3	14.3
A2/C9	1.5	4
A3/C5	1.8	4.3
A4/C14	2.4	4.9
A5/C2/A11/C0	4.4	9.4
A6/C6	3.1	8.1
A7/C3/A12/C1	5.1	10.1
A8/C11	2.2	4.7
A9/C8/A10/C10	4.3	9.3
A14/A15/C4/C7/ADCINCAL	5.4	10.4
A16/C16	2.4	4.9

Copyright © 2025 Texas Instruments Incorporated

6.14.3.2.5 ADC のタイミング図

図 6-42 に、以下の前提による 2 つの SOC の ADC 変換タイミングを示します。

- SOC0 および SOC1 は、同じトリガを使用するように構成されています。
- トリガが発生したときに、他の SOC が変換中または保留中になっていることはありません。
- ラウンド ロビン ポインタは、最初に SOC0 で変換が発生する状態になっています。
- ADCINTSEL は、SOC0 の変換終了時に ADCINT フラグを設定するように構成されています (このフラグを CPU に通知して割り込みを発生させるかどうかは、割り込みコントローラの構成によって決まります)。

表 6-21 に、ADC タイミング パラメータの説明を示します。表 6-22 に、ADC タイミングの一覧を示します。

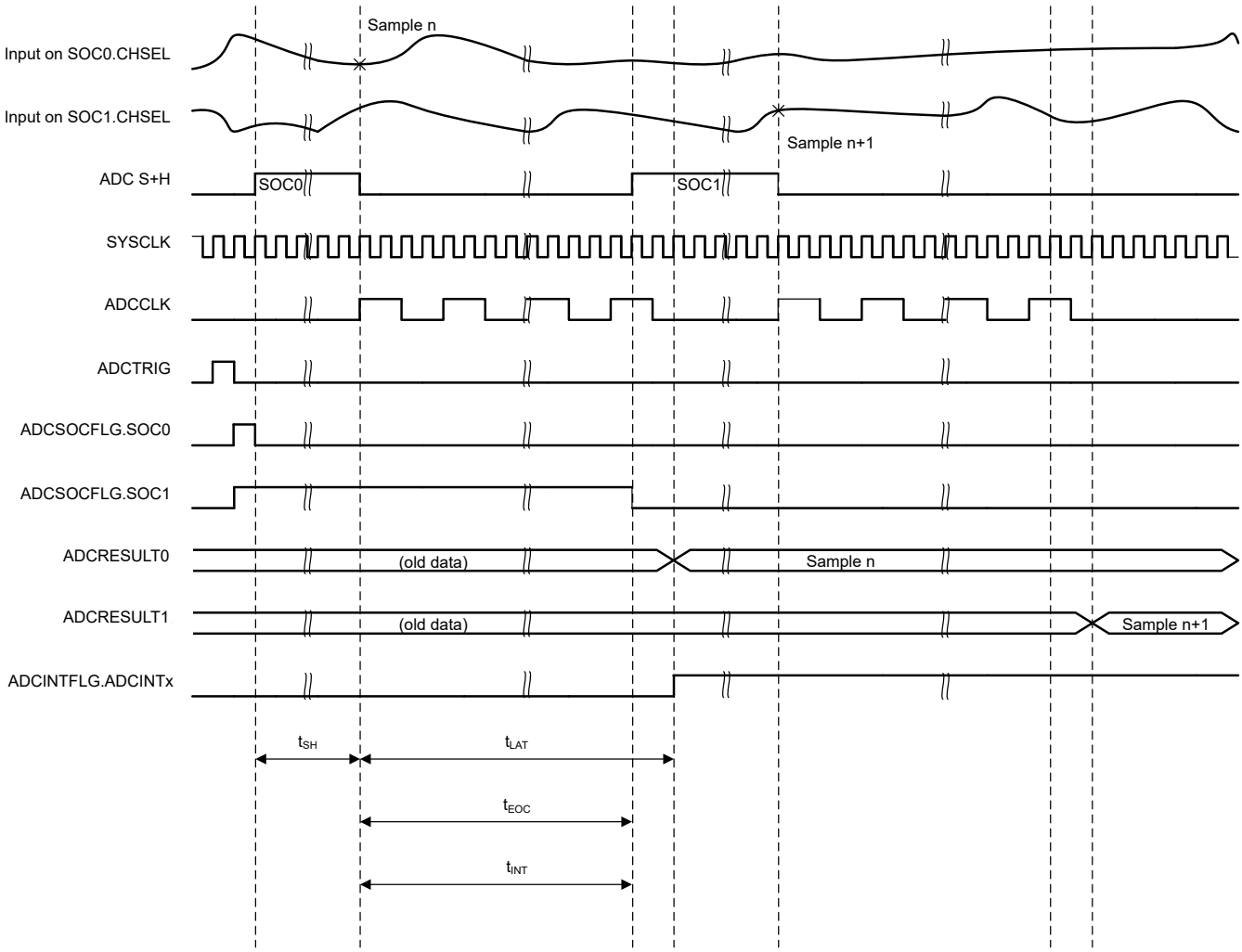


図 6-42. ADC タイミング

表 6-21. ADC タイミング パラメータの説明

パラメータ	説明
t_{SH}	S+H ウィンドウの幅。 このウィンドウの終了時点における S+H コンデンサでの値が、デジタル値に変換される電圧になります。この時間は、(ACQPS + 1) SYSCLK サイクルで与えられます。ACQPS は、各 SOC に対して個別に構成できるため、異なる SOC の t_{SH} は、同じであるとは限りません。 **注:** デバイスのクロック設定に関係なく、S+H コンデンサでの値は、S+H ウィンドウ終了の約 5ns 前にキャプチャされます。
t_{LAT}	S+H ウィンドウ終了から、ADC 結果が ADCRESULTx レジスタにラッチされるまでの時間。 この時間より前に ADCRESULTx レジスタを読み取った場合、前回の変換結果が返されます。
t_{EOC}	S+H ウィンドウ終了から、次の ADC 変換を開始できる S+H ウィンドウまでの時間。その後は、変換結果がラッチされる前にサンプリングを開始できます。
t_{INT}	S+H ウィンドウの終了から ADCINT フラグが設定されるまでの時間 (そのように構成されている場合)。 ADCCTL1 レジスタの INTPULSEPOS ビットが設定されている場合、t_{INT} は変換 (EOC) 信号の終了時点と一致します。 INTPULSEPOS ビットが 0 の場合、t_{INT} は、S+H ウィンドウの終了時点と一致します。t_{INT} によって ADC 結果レジスタの読み取りが () トリガされる場合、結果がラッチされた後に読み取りが発生するように注意する必要があります (そうでなければ、前回の結果が読み取られます)。 INTPULSEPOS ビットが 0 であり、ADCINTCYCLE レジスタの OFFSET フィールドが 0 でない場合、ADCINT フラグが設定される前に、OFFSET SYSCLK サイクルの遅延が発生します。この遅延時間を使えば、ちょうどサンプリングの用意ができた時点で ISR に入ることができます。

表 6-22. 12 ビット モードでの ADC タイミング

ADCCLK プリスケール		SYSCLK サイクル			
ADCCTL2. PRESCALE	プリスケール比	t_{EOC}	t_{LAT}	t_{INT} (早期)[1]	t_{INT} (遅延)
0	1	11	13	0	11
2	2	21	23	0	21
4	3	31	34	0	31
6	4	41	44	0	41
8	5	51	55	0	51
10	6	61	65	0	61
12	7	71	76	0	71
14	8	81	86	0	81

(1) デフォルトでは、INTPULSEPOS が 0 の場合、S+H ウィンドウの後 1 SYSCLK サイクル経過してから t_{INT} が発生します。これは、ADCINTCYCLE レジスタの OFFSET フィールドに書き込むことで変更できます。

Copyright © 2025 Texas Instruments Incorporated

6.14.4 温度センサ

6.14.4.1 温度センサの電気的データおよびタイミング

温度センサを使用して、デバイスの接合部温度を測定できます。温度センサは、ADC への内部接続を介してサンプリングされ、テキサス・インスツルメンツが提供するソフトウェアを使用して温度に変換されます。温度センサをサンプリングする場合、ADC は、「温度センサの特性」表に示すアクイジション時間を満たす必要があります。

6.14.4.1.1 温度センサの特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
T_{acc}	温度精度	内部リファレンス (-40℃～30℃)	-15	±2	15	℃
		内部リファレンス (30℃～85℃)	-9	±2	7	℃
		内部リファレンス (85℃～125℃)	-5	±2	8	℃
		内部リファレンス (125℃～140℃)	-6	±2	12	℃
		内部リファレンス (140℃～155℃)	-16	±2	16	℃
		外部リファレンス (-40℃～30℃)	-8	±2	10	℃
		外部リファレンス (30℃～140℃)	-5	±2	8	℃
		外部リファレンス (140℃～155℃)	-5	±2	8	℃
$t_{startup}$	スタートアップ時間 (TSNSCTL[ENABLE] から温度センサのサンプリングまで)			500		µs
t_{acq}	ADC アクイジション時間		450			ns

6.14.5 コンパレータ・サブシステム (CMPSS)

コンパレータ サブシステム (CMPSS) は、アナログ コンパレータとサポート回路で構成されており、ピーク電流モード制御、スイッチ モード電源、力率補正、電圧トリップ監視などの電源アプリケーションに便利です。

このデバイスには、CMPSS モジュールの 2 つのバリアント、CMPSS および CMPSS_LITE が含まれています。これらのモジュールのアーキテクチャは共通ですが、一部の機能はフル CMPSS バリアントでのみサポートされ、CMPSS_LITE ではサポートされていません。

コンパレータ サブシステムは、多数のモジュールで構築されています。各サブシステムには 2 つのコンパレータ、2 つのリファレンス用 12 ビット DAC (CMPSS_LITE のインスタンスでは有効 9.5 ビットのリファレンス用 DAC)、2 つのデジタル フィルタが含まれます。サブシステムには、2 つのランプ生成器も含まれています (フル CMPSS モジュールのみ、CMPSS_LITE インスタンスではサポートなし)。各モジュール内のコンパレータには、「H」または「L」の表記があります。この場合、「H」と「L」はそれぞれ「High」(ハイ) と「Low」(ロー) を表します。各コンパレータは、正入力の電圧が負入力の電圧よりも高いかどうかを示すデジタル出力を生成します。コンパレータの正入力は、外部ピンから駆動されます (CMPSS で利用可能なマルチプレクサ オプションについては、『TMS320F280015x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「アナログ サブシステム」の章を参照してください)。負入力は、外部ピンまたはプログラマブル リファレンス 12 ビット DAC によって駆動できます。各コンパレータ出力は、プログラム可能なデジタル フィルタを通過して、不要なトリップ信号を除去できます。フィルタリングが不要な場合は、フィルタなしの出力も使用できます。オプションで、サブシステムのハイ コンパレータおよびロー コンパレータのリファレンス 12 ビット DAC 値の制御に 2 つのランプ生成器回路を使用できます (フル CMPSS モジュールのみ、CMPSS_LITE インスタンスではサポートなし)。

各 CMPSS には、次のものが含まれます。

- 2 つのアナログ コンパレータ
- 2 つのプログラマブル リファレンス 12 ビット DAC (CMPSS_LITE インスタンスの有効ビット数 9.5 ビットの DAC)
- デュアル ランプ生成器 (フル CMPSS モジュールのみ、CMPSS_LITE インスタンスではサポートなし)
- 2 つのデジタル フィルタ、最大フィルタ クロック プリスケール 2^{24}
- サブモジュールを EPWMSYNCPER と同期可能
- EPWMBLANK によりクリア信号を拡張可能
- 出力を SYSCLK と同期可能
- 出力をラッチ可能
- 出力を反転可能
- 入力にヒステリシスを使用するオプション
- コンパレータの負入力を外部信号またはリファレンス DAC で駆動するオプション
- ロー コンパレータ DAC 出力 (CMPx_DACL) を外部ピンで使用するオプション (インスタンスのみ選択、比較機能とは相互に排他的で、同時利用は不可)
- CMPSS フィルタへの外部接続
- CMPSS トリップ出力によってトリガされるスタンバイおよびホールトの LPM (低消費電力モード) からのウェークアップ

6.14.5.1 CMPSS モジュールのバリエーション

このデバイスを構成する CMPSS モジュールには、次の 2 種類があります：CMPSS (完全型モジュール) および CMPSS_LITE (機能と性能の削減型モジュール)。これら 2 種類間での機能の違いを 表 6-23 にまとめます。

表 6-23. CMPSS と CMPSS_LITE の機能比較

機能	CMPSS	CMPSS_LITE
High および Low コンパレータ	あり	あり
デュアル 12 ビット・リファレンス DAC	あり	あり (有効 9.5 ビット)
DAC ランプ生成	あり	なし
外部ピンの低 DAC 出力	あり (一部の場合)	なし
デジタル・フィルタ	あり	あり

Copyright © 2025 Texas Instruments Incorporated

表 6-23. CMPSS と CMPSS_LITE の機能比較 (続き)

機能	CMPSS	CMPSS_LITE
性能	完全な性能 (「CMPSS コンパレータの電気的特性」の表を参照)	一部削減された性能 (「CMPSS_LITE コンパレータの電気的特性」表を参照)

6.14.5.2 CMPx_DACL

一部の CMPSS モジュールのインスタンスでは、DAC 出力からピンとの間でバッファが利用できます。この CMPSS モジュールからの CMPx_DACL 出力では、指定された CMPSS モジュールのローサイド DAC を使用します。CMPSS インスタンスからの DAC 出力を使用する場合、その CMPSS モジュールの他の機能はすべて使用できなくなります。

特定のデバイスで利用可能な CMPx_DACL のインスタンスについては、「アナログ ピンと内部接続」の表で、「DAC」列を参照してください。

DAC 出力の各機能については、「CMPx_DACL のバッファ付き出力の電気的特性」セクションを参照してください。

6.14.5.3 CMPSS 接続図

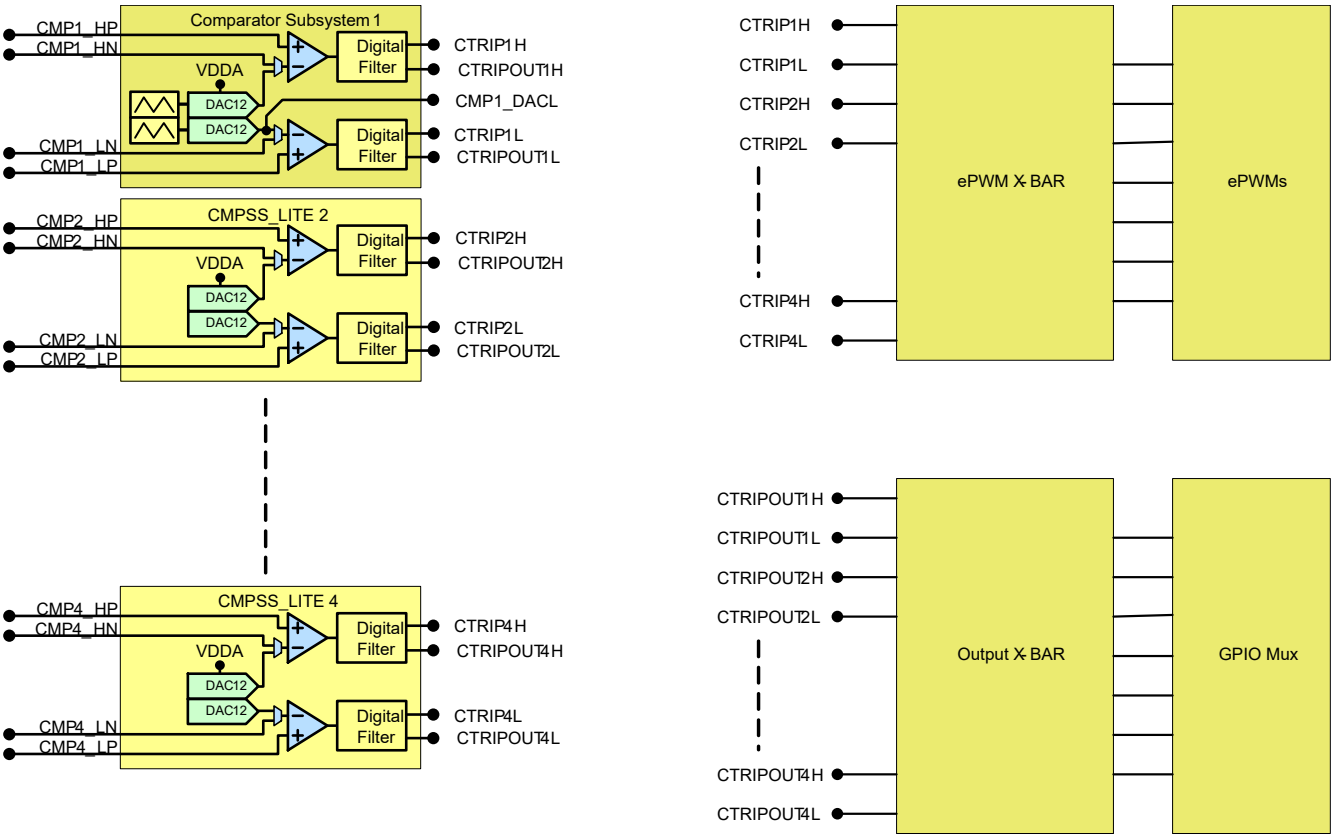


図 6-43. CMPSS の接続

6.14.5.4 ブロック図

CMPSS のブロック図を 図 6-44 に示します。CMPSS_LITE のブロック図を 図 6-45 に示します。

- ePWM トリップ応答のために、CTRIPx (x = H または L) 信号は、ePWM クロスバーに接続されています。ePWM クロスバーのマルチプレクサ構成の詳細については、『TMS320F280015x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「拡張パルス幅変調器 (ePWM)」の章を参照してください。
- CTRIPxOUTx (x = H または L) 信号は、外部信号用に出力クロスバーに接続されています。出力クロスバーのマルチプレクサ構成の詳細については、『TMS320F280015x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「汎用入出力 (GPIO)」の章を参照してください。

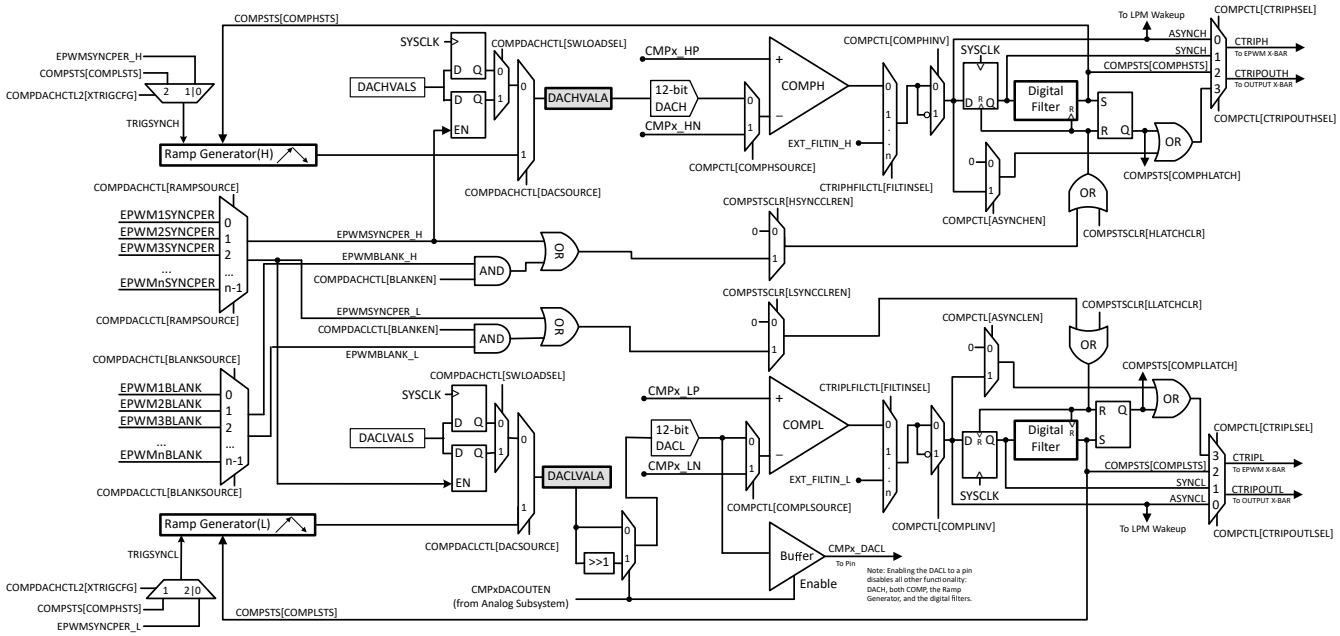
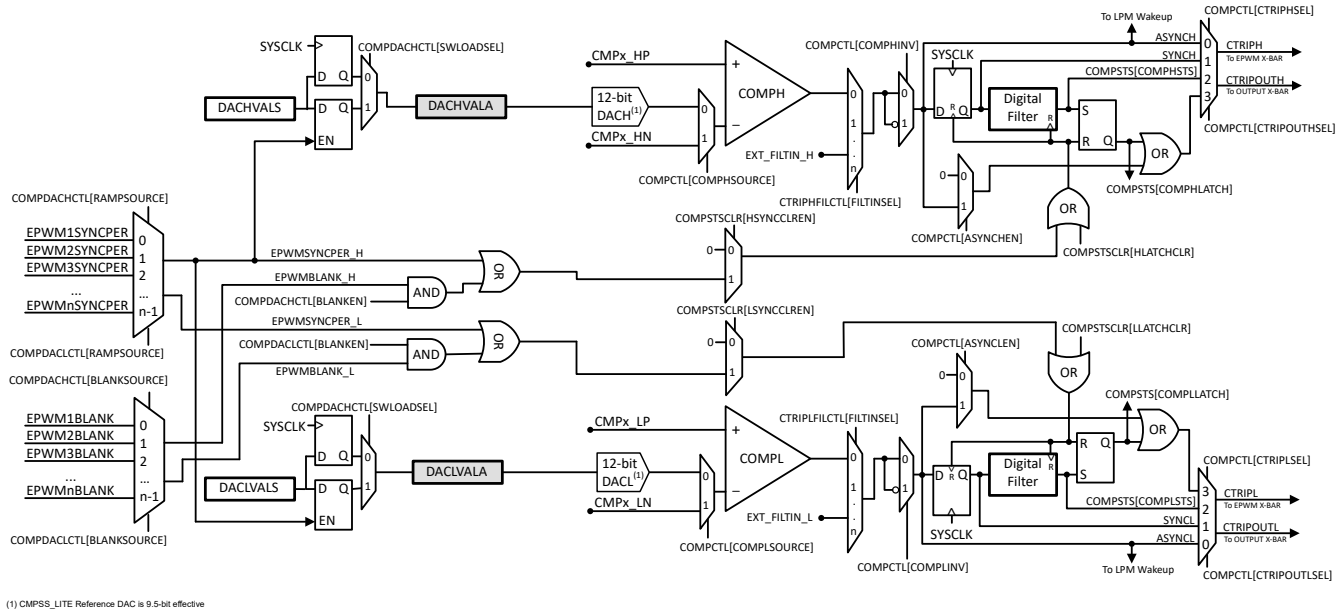


図 6-44. CMPSS モジュールのブロック図



(1) CMPSS_LITE Reference DAC is 9.5-bit effective

図 6-45. CMPSS_LITE モジュールのブロック図

各リファレンス 12 ビット DAC は、それぞれのコンパレータの負入力にリファレンス電圧を駆動するように構成できます。一部の CMPSS インスタンスでは、低 DAC 出力をピンに配線して、外部 DAC として動作させることもできます。この場合、CMPSS モジュールの他の機能は、高 DAC、両方のコンパレータ、ランプ生成器、デジタル フィルタを含めていずれも使用できません。リファレンス 12 ビット DAC を 図 6-46 に示します。

Copyright © 2025 Texas Instruments Incorporated

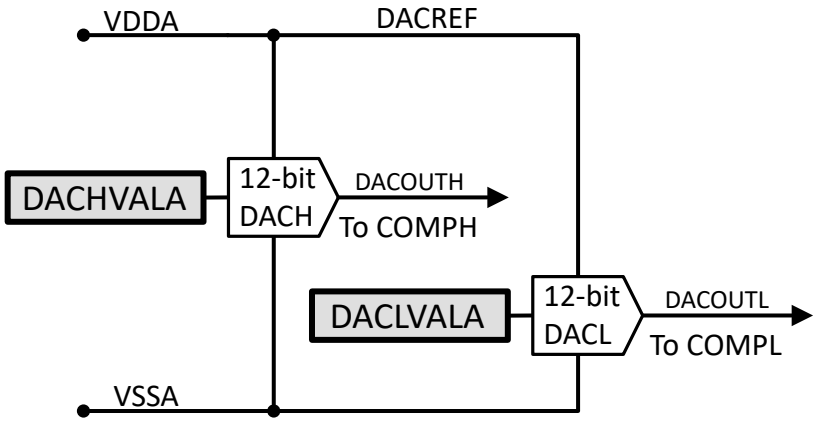


図 6-46. リファレンス DAC のブロック図

6.14.5.5 CMPSS の電気的データおよびタイミング

6.14.5.5.1 CMPSS コンパレータの電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
TPU	パワーアップ時間				500	µs
コンパレータ入力 (CMPINxx) 範囲			0		VDDA	V
入力換算オフセット誤差		低同相モード、反転入力は 50mV に設定	-20		20	mV
ヒステリシス (1)		1x	4	12	20	LSB
		2x	17	24	33	
		3x	25	36	50	
		4x	30	48	67	
応答時間 (CMPINx 入力変化から ePWM クロスバーまたは出力クロスバーの出力までの遅延)		ステップ応答		21	60	ns
		ランプ応答 (1.65 V/µs)		26		
		ランプ応答 (8.25 mV/µs)		30		ns
PSRR	電源除去比	最高 250kHz		46		dB
CMRR	同相除去比		40			dB

(1) 適用するヒステリシスの大きさを決定するための基準として、CMPSS DAC を使用します。 したがって、ヒステリシスは CMPSS DAC リファレンス電圧に応じてスケーリングされます。 ヒステリシスは、すべてのコンパレータ入力ソース構成で使用できます。

6.14.5.5.2 CMPSS_LITE コンパレータの電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
TPU	パワーアップ時間	バンドギャップはディセーブル			500	µs
コンパレータ入力 (CMPINxx) 範囲			0		VDDA	V
入力換算オフセット誤差		AIO/AGPIO 経由の入力同相モード = VDDA の 5%～95%	-20		20	mV
ヒステリシス (1)		1x	2	10	19	mV
		2x	8	20	34	
		3x	15	30	51	
		4x	20	41	70	
		5x	26	52	88	
		6x	32	64	109	
		7x	38	77	131	
応答時間 (CMPINx 入力変化から ePWM クロスバーまたは出力クロスバーの出力までの遅延)		ステップ応答		21	40	ns
		ランプ応答 (1.65 V/µs)		26		
		ランプ応答 (8.25 mV/µs)		30		
PSRR	電源除去比	最高 250kHz		46		dB
CMRR	同相除去比		40			dB

(1) ヒステリシスは、すべてのコンパレータ入力ソース構成で使用できます。

Copyright © 2025 Texas Instruments Incorporated

CMPSS コンパレータの入力換算オフセットとヒステリシス

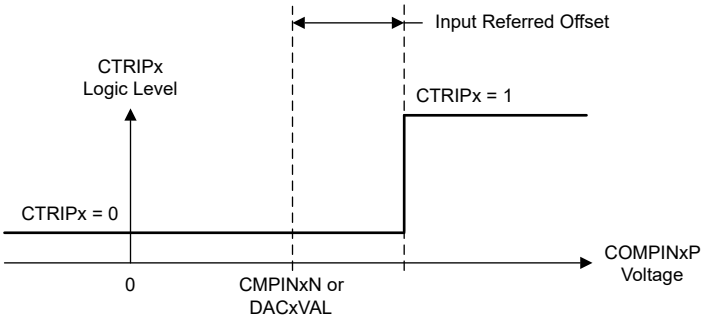


図 6-47. CMPSS コンパレータの入力換算オフセット

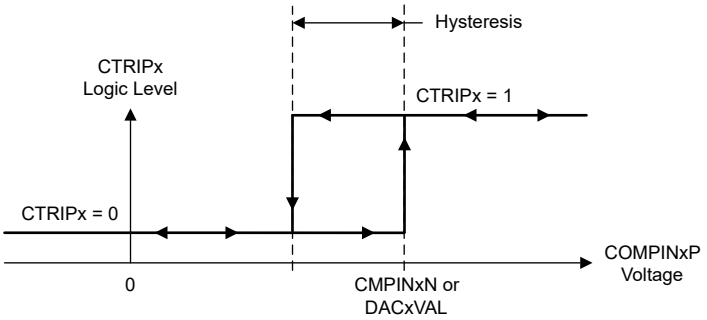


図 6-48. CMSS コンパレータのヒステリシス

6.14.5.5.3 CMPSS DAC の静的電気特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
CMPSS DAC 出力範囲	内部リファレンス	0		VDDA	V
静的オフセット誤差 (1)		-25		25	mV
静的ゲイン誤差 (1)		-2		2	% (対 FSR)
静的 DNL	エンドポイント補正	>-1		4	LSB
静的 INL	エンドポイント補正	-16		16	LSB
セトリング時間	フルスケール出力変化後 1LSB にセトリング			1	µs
分解能			12		ビット
CMPSS DAC 出力の外乱 (2)	コンパレータのトリップまたは CMPSS DAC コードの変化によって、同じ CMPSS モジュール内で発生する誤差	-100		100	LSB
CMPSS DAC の外乱時間 (2)				200	ns

(1) コンパレータの入力換算誤差を含みます。
(2) コンパレータのトリップ後、一定時間にわたって CMPSS DAC 出力に外乱誤差が生じることがあります。

6.14.5.5.4 CMPSS_LITE DAC の静的電気特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
CMPSS DAC 出力範囲		0		VDDA	V
静的オフセット誤差 (1)		-25		25	mV
静的ゲイン誤差 (1)		-0.5		0.5	% (対 FSR)
静的 DNL	エンドポイント補正	-5		5	LSB (12 ビット)
静的 INL	エンドポイント補正	-7		7	LSB (12 ビット)
静的 TUE (総合未調整誤差)			35		mV

6.14.5.5.4 CMPSS_LITE DAC の静的電気特性 (続き)

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	標準値	最大値	単位
セトリング時間	フルスケール出力変化後 1LSB にセトリング		1		µs
分解能 (2)			12		ビット

(1) コンパレータの入力換算誤差を含みます。
(2) 単調応答の 9.5 ビット有効分解能

6.14.5.5.5 CMPSS の説明用グラフ

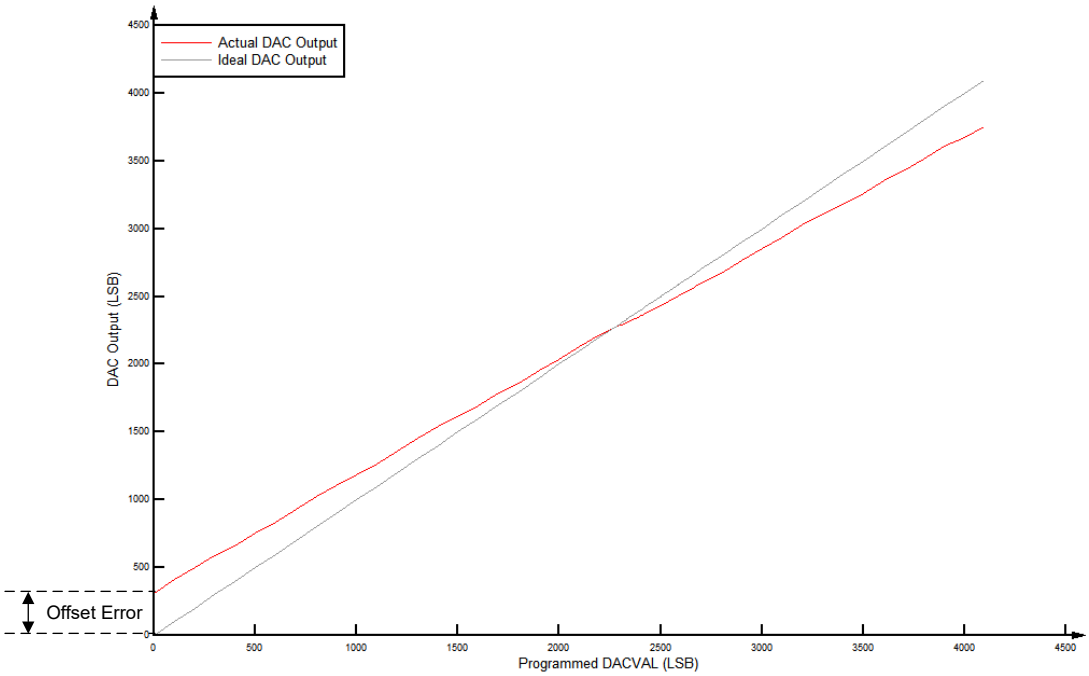


図 6-49. CMPSS DAC の静的オフセット

Copyright © 2025 Texas Instruments Incorporated

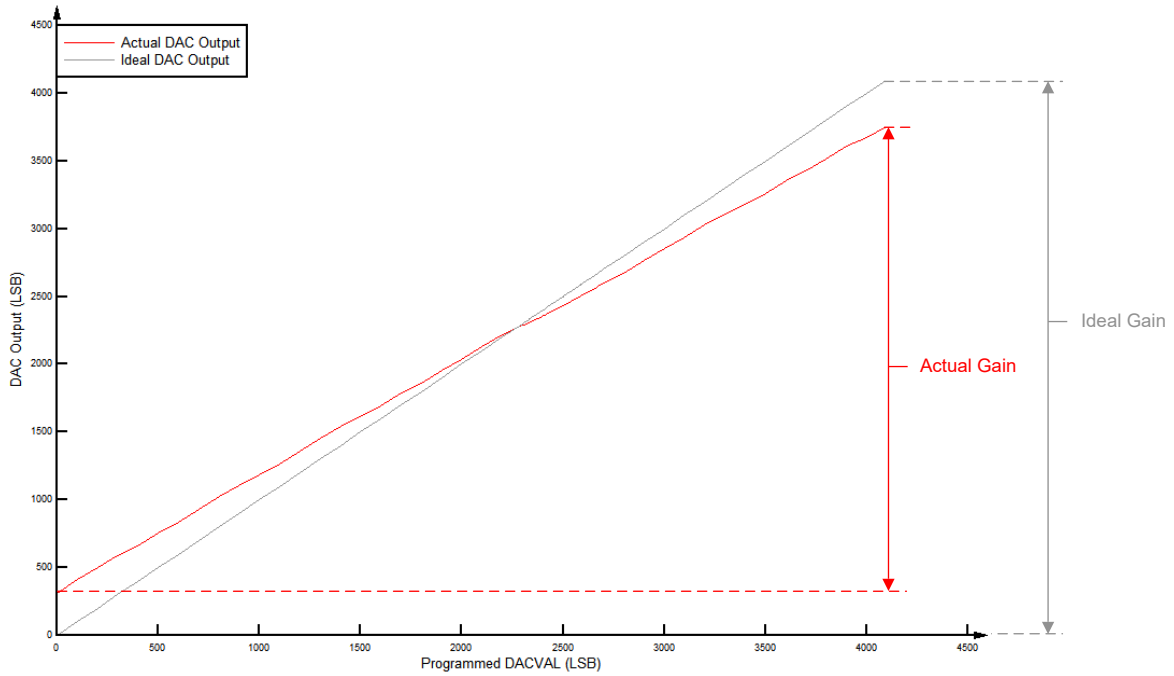


図 6-50. CMPSS DAC の静的ゲイン

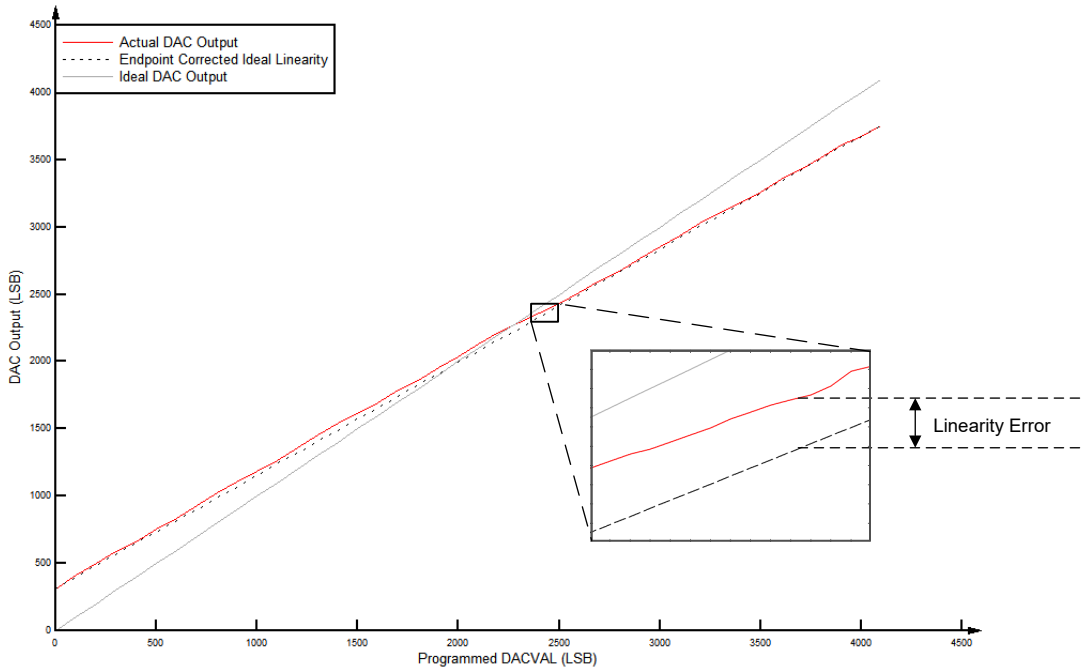


図 6-51. CMPSS DAC の静的直線性

6.14.5.5.6 CMPSS DAC の動的誤差

ランプ生成器を使用して内部 DAC を制御する場合、ステップ サイズはアプリケーションのニーズに応じて変わることがあります。DAC のステップ サイズはフルスケールの遷移より小さいため、セトリング時間は「CMPSS DAC の静的電気特性」の表に記載されている電気的仕様よりも改善されます。次の式と 図 6-52 は、さまざまな RAMPxSTEPVALA の値について、電圧の推定値と理想値との誤差に関する指針を示しています。

$$DYNAMICERROR = (m \times RAMPxSTEPVALA) + b \quad (3)$$

表 6-24. DAC の最大動的誤差項

式のパラメータ	最小値 (LSB)	最大値 (LSB)
m	0.10	0.18
b	3.7	5.6

注

上記の誤差項は、ターゲット デバイスの最大 SYSCLK に基づいています。最大 SYSCLK を下回る場合は、それに応じて「m」の誤差項をスケーリングする必要があります。

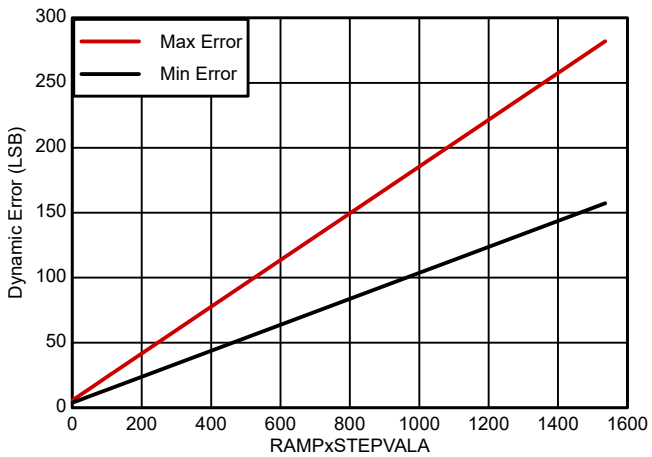


図 6-52. CMPSS DAC の動的誤差

6.14.5.5.7 CMPx_DACL のバッファ付き出力の動作条件

推奨動作条件範囲内 (特に記述のない限り)[1]

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_L	抵抗性負荷 [2]		5			kΩ
C_L	容量性負荷				100	pF
V_{OUT}	有効出力電圧範囲 [3]	R_L = 5kΩ	0.3		VDDA - 0.3	V
		R_L = 1kΩ	0.6		VDDA - 0.6	V
リファレンス電圧 [4]		VREFHI	2.4	2.5 または 3.0	VDDA	V

(1) 特に記述のない限り、標準値は VREFHI = 3.3V および VREFLO = 0V で測定されます。最小値と最大値は、VREFHI = 2.5V および VREFLO = 0V でテストまたは特性評価しています。
(2) DAC は最小 1kΩ の抵抗性負荷を駆動できますが、出力範囲は制限されます。
(3) これは DAC の線形出力範囲です。DAC はこの範囲外の電圧を生成できますが、バッファがあるので出力電圧は線形ではありません。
(4) 最高の PSRR 性能を得るには、VREFHI を VDDA よりも低くする必要があります。

Copyright © 2025 Texas Instruments Incorporated

6.14.5.5.8 CMPx_DACL のバッファ付き出力の電気的特性

推奨動作条件範囲内 (特に記述のない限り)[1]

パラメータ		テスト条件	最小値	標準値	最大値	単位
全般						
分解能 [4]				12		ビット
ロード レギュレーション			-1		1	mV/V
グリッチ エネルギー				1.5		V-ns
電圧出力セトリング時間、フルスケール		0.3V から 3V への遷移後 2LSB にセトリング			2	µs
電圧出力セトリング時間、1/4 フルスケール		0.3V から 0.75V への遷移後 2LSB にセトリング			1.6	µs
電圧出力スルー レート		0.3V から 3V への遷移時のスルーレート	2.8		4.5	V/µs
負荷過渡セトリング時間		5kΩ 負荷			328	ns
TPU	パワーアップ時間	バンドギャップはディセーブル			500	µs
DC の特性						
オフセット	オフセット誤差		-100		100	mV
ゲイン	ゲイン誤差 [2]		-1.5		1.5	% (対 FSR)
DNL	微分非直線性	エンドポイント補正	-2		2	LSB (12 ビット)
INL	積分非直線性	エンドポイント補正	-7		7	LSB (12 ビット)
AC の特性						
出力ノイズ		100Hz～100kHz の積分ノイズ		600		µVrms
		10kHz でのノイズ密度		800		nVrms/√Hz
SNR	信号対雑音比	1kHz、200KSPS		64		dB
THD	全高調波歪み	1kHz、200KSPS		-64.2		dB
SFDR	スプリアス フリー ダイナミック レンジ	1kHz、200KSPS		66		dB
SINAD	信号対雑音＋歪み比	1kHz、200KSPS		61.7		dB
PSRR	電源除去比[3]	DC		70		dB
		100 kHz		30		dB

(1) 特に記述のない限り、標準値は VREFHI = 3.3V および VREFLO = 0V で測定されます。最小値と最大値は、VREFHI = 2.5V および VREFLO = 0V でテストまたは特性評価しています。
(2) ゲイン誤差は、線形出力範囲について計算しています。
(3) VREFHI = 3.2V、VDDA = DC 3.3V + 100mV 正弦波。
(4) 11 ビット有効 (単調応答)。

6.15 制御ペリフェラル

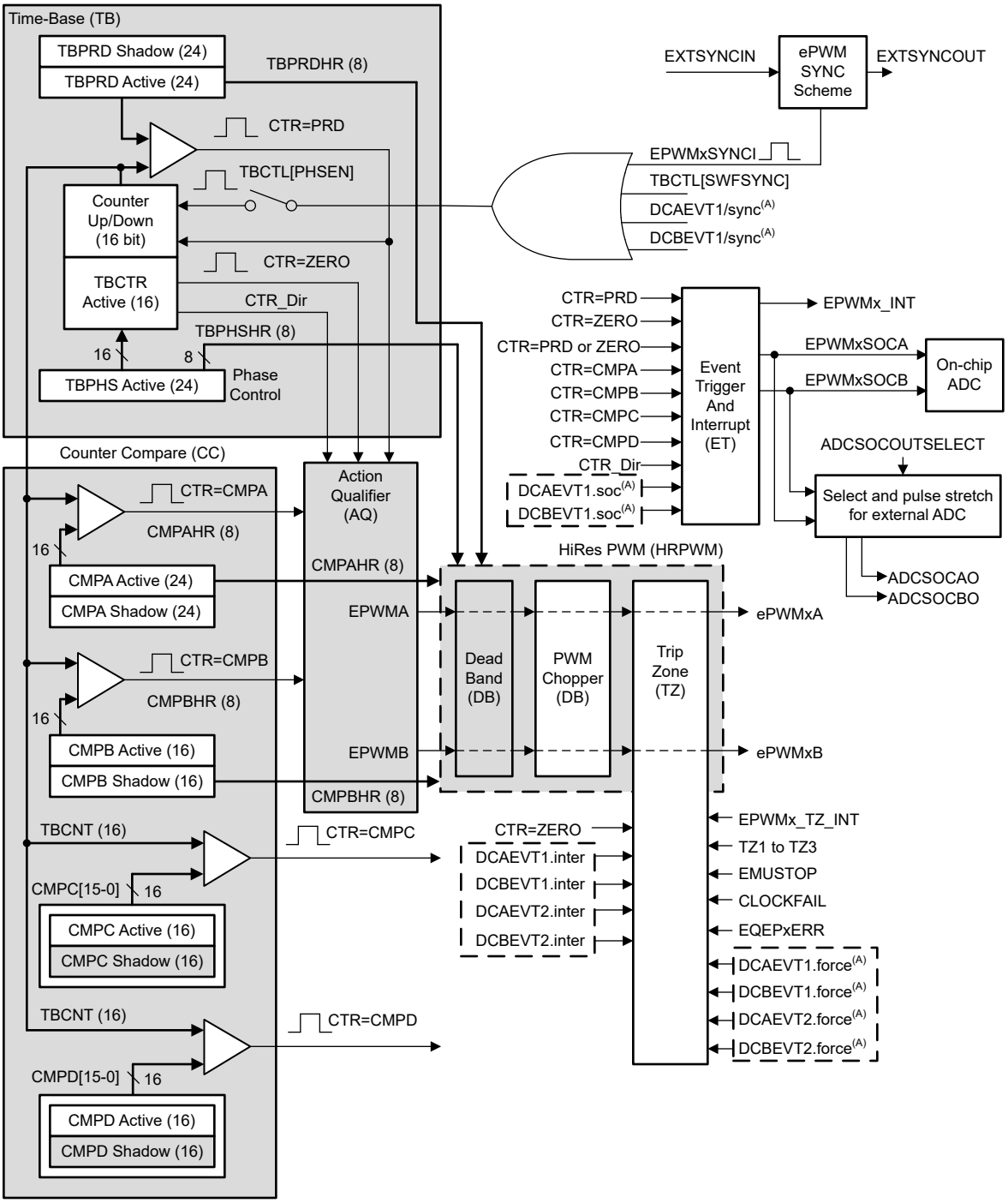
6.15.1 拡張パルス幅変調器 (ePWM)

ePWM ペリフェラルは、民生用および産業用機器で採用されている多くのパワー エレクトロニクス システムを制御するための重要な要素です。ePWM タイプ 4 モジュールは、個別のリソースが連携してシステムを形成するしくみによって、小さいモジュールからペリフェラルを構築して、最小限の CPU オーバーヘッドで複合パルス幅波形を生成できます。ePWM タイプ 4 モジュール の主な特長として、複合波形生成、デッドバンド生成、柔軟な同期方式、高度なトリップ ゾーン機能、グローバル レジスタ リロード機能が挙げられます。

デバイスの ePWM と eCAP の同期スキームにより、ePWM および eCAP モジュールの分割に柔軟性が生まれ、モジュール内でのローカルな同期が可能になります。

ePWM モジュールを 図 6-53 に示します。図 6-54 に、ePWM トリップ入力の接続を示します。

Copyright © 2025 Texas Instruments Incorporated



A. これらのイベントは、TRIPIN 入力のレベルに基づいて、ePWM デジタル比較 (DC) サブモジュールによって生成されます。

図 6-53. ePWM サブモジュールおよび重要な内部信号の相互接続

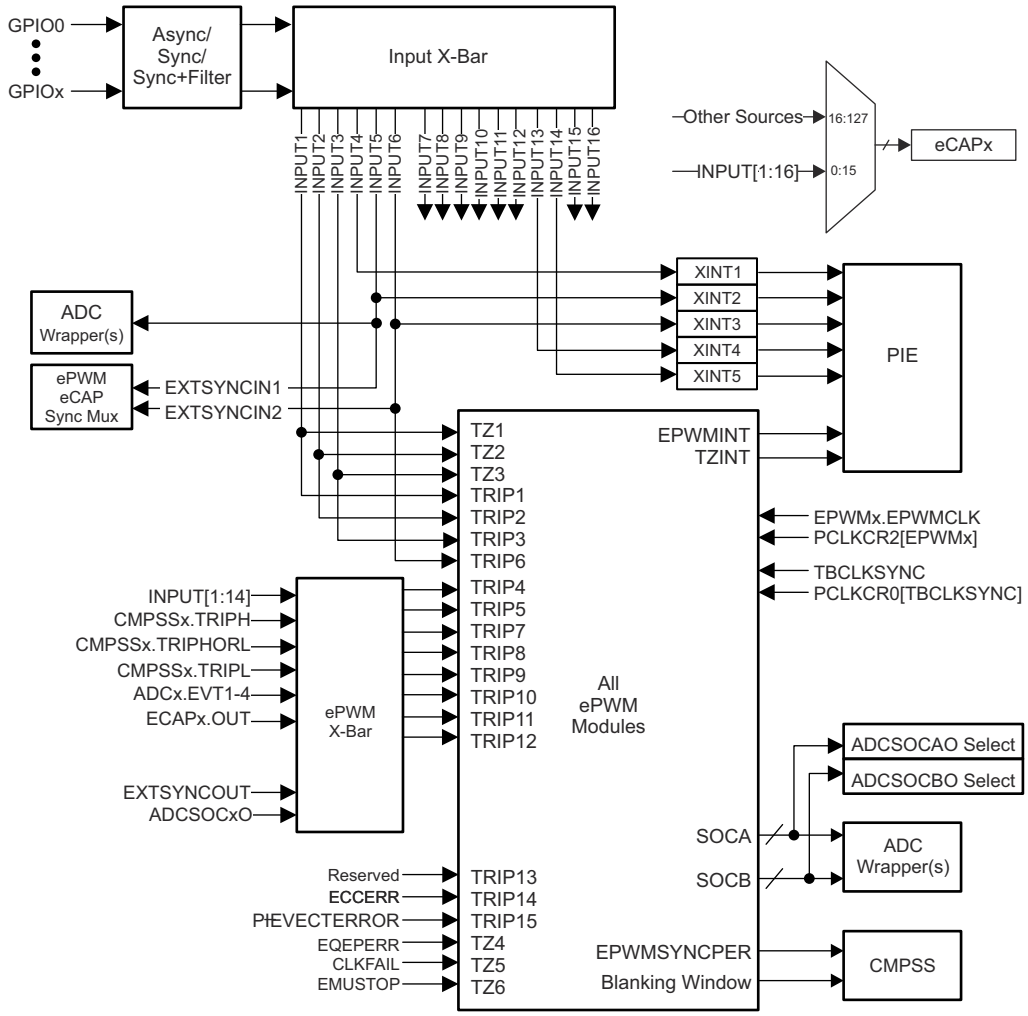


図 6-54. ePWM トリップ入力の接続

Copyright © 2025 Texas Instruments Incorporated

6.15.1.1 制御ペリフェラルの同期

デバイスの ePWM と eCAP の同期スキームにより、ePWM および eCAP モジュールの分割に柔軟性が生まれ、モジュール内でのローカルな同期が可能になります。図 6-55 に、この同期スキームを示します。

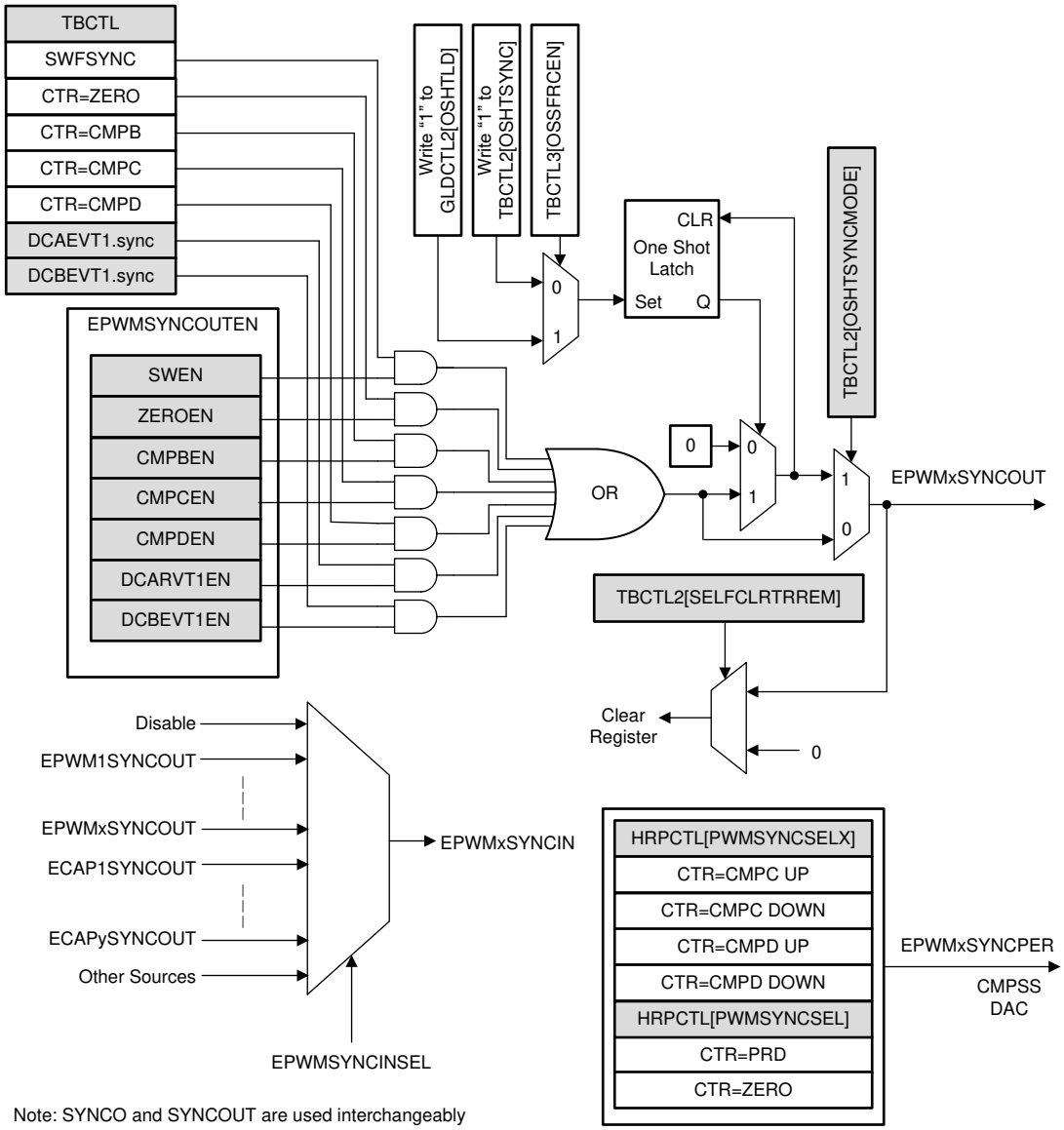


図 6-55. 同期チェーンのアーキテクチャ

6.15.1.2 ePWM の電気的データおよびタイミング

入力クオリファイヤ パラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.15.1.2.1 ePWM のタイミング要件

			最小値	最大値	単位
$t_{w(SYNCIN)}$	同期入力パルス幅	非同期	$2t_{c(EPWMCLK)}$		サイクル
		同期	$2t_{c(EPWMCLK)}$		
		入力クオリファイヤあり	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$		

6.15.1.2.2 ePWM のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ (1)		最小値	最大値	単位
$t_{w(PWM)}$	パルス幅、PWMx 出力 High/Low	20		ns
$t_{w(SYNCOUT)}$	同期出力パルス幅	$8t_{c(SYSCLK)}$		サイクル
$t_{d(TZ-PWM)}$	遅延時間、トリップ入力アクティブから PWM 強制 High まで 遅延時間、トリップ入力アクティブから PWM 強制 Low まで 遅延時間、トリップ入力アクティブから PWM ハイ インピーダンスまで		25	ns

(1) ピンの負荷は 20pF。

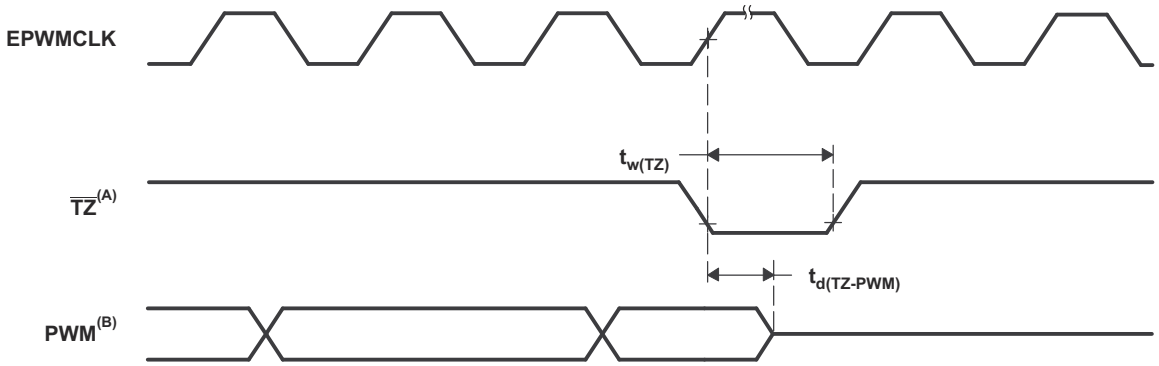
6.15.1.2.3 トリップ ゾーン入力のタイミング

入力クオリファイヤのパラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.15.1.2.3.1 トリップ ゾーン入力のタイミング要件

			最小値	最大値	単位
$t_{w(TZ)}$	パルス幅、$\overline{TZx}$ 入力 Low	非同期	$1t_{c(EPWMCLK)}$		サイクル
		同期	$2t_{c(EPWMCLK)}$		サイクル
		入力クオリファイヤあり	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$		サイクル

6.15.1.2.3.2 PWM ハイ インピーダンス特性のタイミング図



A. $\overline{TZ}$:$\overline{TZ1}$、$\overline{TZ2}$、$\overline{TZ3}$、TRIP1～TRIP12

B. PWM は、デバイスのすべての PWM ピンのことです。$\overline{TZ}$ が High になった後の PWM ピンの状態は、PWM 回復ソフトウェアによって異なります。

図 6-56. PWM ハイ インピーダンス特性

Copyright © 2025 Texas Instruments Incorporated

6.15.2 高分解能パルス幅変調器 (HRPWM)

HRPWM は、複数のディレイ・ラインを 1 つのモジュールに統合し、専用のキャリブレーション・ディレイ・ラインを使用して、簡素化されたキャリブレーション・システムを実現しています。それぞれの ePWM モジュールに、2 つの HR 出力があります。

- チャネル A の HR デューティおよびデッドバンド制御
- チャネル B の HR デューティおよびデッドバンド制御

HRPWM モジュールは、従来のデジタル PWM 方式を使用した場合よりもはるかに優れた PWM 分解能 (時間の粒度) を提供します。HRPWM モジュールの主な特長は次のとおりです。

- 従来のデジタル PWM の時間分解能性能を大幅に拡張します
- この機能は、シングル・エッジ (デューティ・サイクルおよび位相シフト制御) およびデュアル・エッジ (周波数 / 周期変調制御) の両方で使用できます。
- ePWM モジュールの 比較 A、比較 B、位相、周期、デッドバンド・レジスタを拡張することにより、より細かい時間粒度制御またはエッジの位置設定を制御します。

6.15.2.1 HRPWM の電気的データおよびタイミング

6.15.2.1.1 高分解能 PWM の特性

パラメータ	最小値	標準値	最大値	単位
マイクロ エッジ ポジショニング (MEP) ステップ サイズ (1)		150	310	ps

(1) MEP ステップ サイズは、高温かつ V_{DD} 最小電圧で最大になります。温度の上昇および電圧の低下に伴って、MEP ステップ サイズが増加し、温度の低下および電圧の上昇に伴って減少します。
HRPWM 機能を使用するアプリケーションでは、MEP スケール因子最適化 (SFO) 推定ソフトウェア機能を使用する必要があります。最終アプリケーションで SFO 機能を使用する方法の詳細については、テキサス・インスツルメンツのソフトウェア ライブラリを参照してください。SFO 機能は、HRPWM の動作中に、SYSCLK 周期あたりの MEP ステップ数を動的に推定するのに役立ちます。

6.15.3 外部 ADC 変換開始の電気的データおよびタイミング

6.15.3.1 外部 ADC 変換開始のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{w(ADCSOCL)}$	パルス幅、$\overline{ADCSOCxO}$ Low	$32t_{c(SYSCLK)}$		サイクル

6.15.3.2 $\overline{ADCSOCAO}$ または $\overline{ADCSOCBO}$ のタイミング図

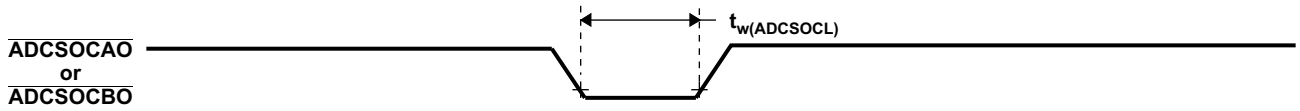


図 6-57. $\overline{ADCSOCAO}$ または $\overline{ADCSOCBO}$ のタイミング

6.15.4 拡張キャプチャ (eCAP)

eCAP モジュールの特長は次のとおりです。

- 回転機械の速度測定 (たとえば、歯付きスプロケットをホール センサで検知)
- 位置センサ パルス間の経過時間測定
- パルス列信号の周期およびデューティ サイクル測定
- デューティ サイクル符号化電流 / 電圧センサから得られた電流または電圧振幅の復号

このセクションで説明する eCAP モジュールの特長は次のとおりです。

- 4 つのイベント タイムスタンプ レジスタ (各 32 ビット)
- 最大 4 つの順序付きタイムスタンプ キャプチャ イベントのエッジ極性選択
- 4 つのイベントのいずれかが発生したときの割り込み
- 最大 4 つのイベント タイムスタンプのシングルショット キャプチャ
- 深さ 4 の循環バッファでのタイムスタンプの連続モード キャプチャ
- 絶対タイムスタンプ キャプチャ
- 差分 (デルタ) モード タイムスタンプ キャプチャ
- キャプチャ モードで使用しない場合、eCAP モジュールを単一チャネル PWM 出力として構成可能

タイプ 1 の eCAP におけるキャプチャ機能は、タイプ 0 の eCAP を拡張したものであり、以下の機能が追加されています。

- イベント フィルタ リセット ビット
  - ECCTL2[CTRFILTRESET] に 1 を書き込むと、イベント フィルタ、モジュロ カウンタ、および保留中の割り込みフラグがクリアされます。初期化とデバッグの際は、このビットのリセットが役立ちます。
- モジュロ カウンタのステータス ビット
  - モジュロ カウンタ (ECCTL2 [MODCNTRSTS]) は、どのキャプチャ レジスタを次にロードするかを示します。タイプ 0 の eCAP には、モジュロ カウンタの現在の状態を知る方法はありませんでした。
- 入力マルチプレクサ
  - ECCTL0 [INPUTSEL] は、128 の入力信号のいずれかを選択します。詳細については、『』『』『TMS320F280015x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』『』の「拡張キャプチャ (eCAP)」の章にある「eCAP のデバイス ピンの構成」セクションを参照してください。
- EALLOW 保護
  - 重要なレジスタに EALLOW 保護が追加されました。タイプ 0 とのソフトウェア互換性を維持するには、DEV_CFG_REGS.ECAPTYPE で、これらのレジスタを保護しないように構成します。

タイプ 2 の eCAP におけるキャプチャ機能は、タイプ 1 の eCAP を拡張したものであり、以下の機能が追加されています。

- ECAPxSYNCINSEL レジスタを追加
  - 外部 SYNCIN を選択するために、各 eCAP に ECAPxSYNCINSEL レジスタが追加されています。すべての eCAP は、個別の SYNCIN 信号を使用できます。

Copyright © 2025 Texas Instruments Incorporated

6.15.4.1 eCAP のブロック図

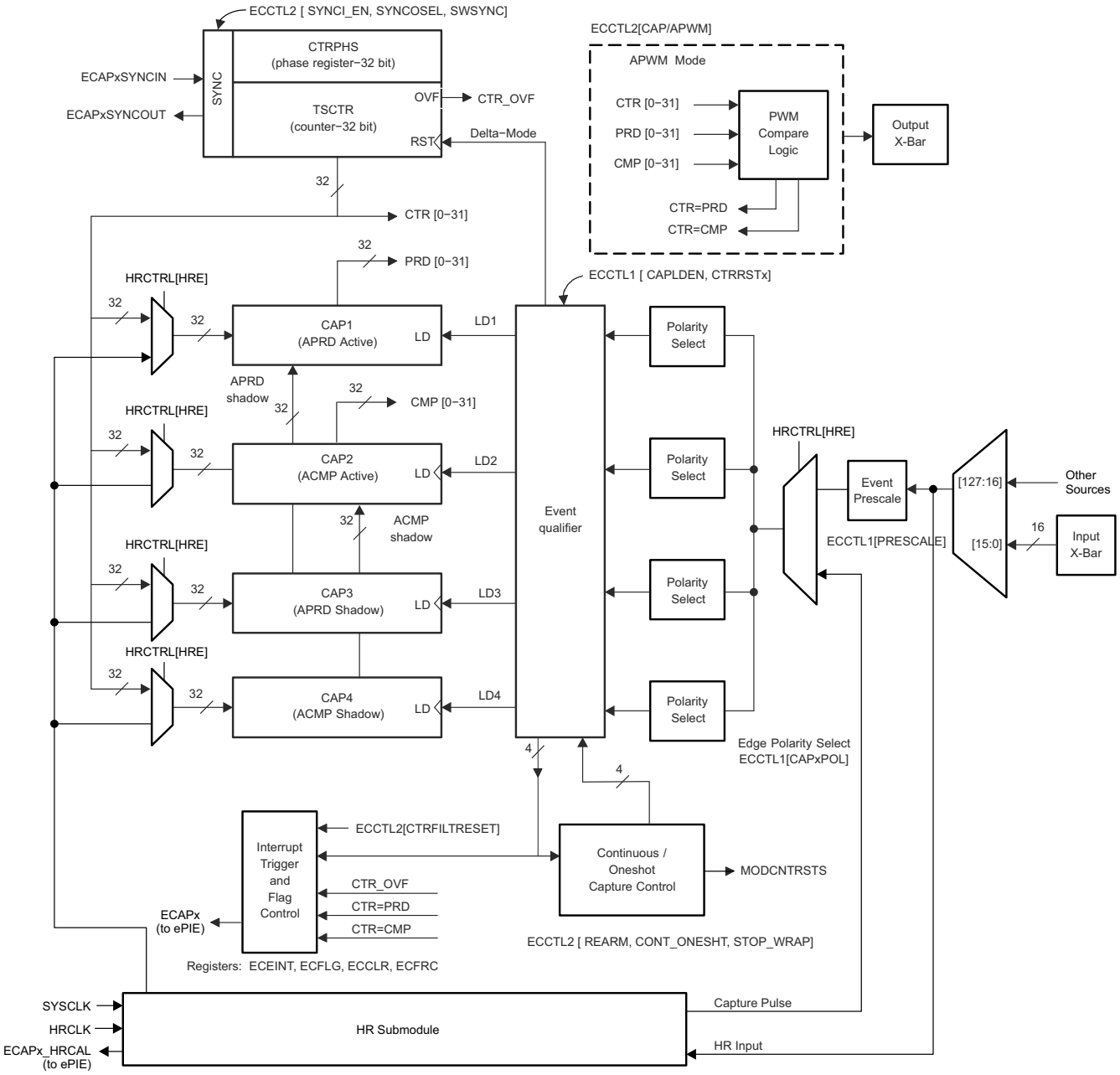


図 6-58. eCAP のブロック図

6.15.4.2 eCAP の同期

eCAP の各モジュールは、共通の SYNCIN ソースを選択することで、互いに同期させることができます。eCAP 用の SYNCIN ソースには、ソフトウェア同期入力と外部同期入力のどちらかを使用できます。 外部同期入力信号は、ePWM 、eCAP、またはクロスバーのいずれかから供給されます。SYNC 信号は、図 6-59 に示すように、ECAPx の ECAPxSYNCINSEL[SEL] ビットでの選択によって定義されます。

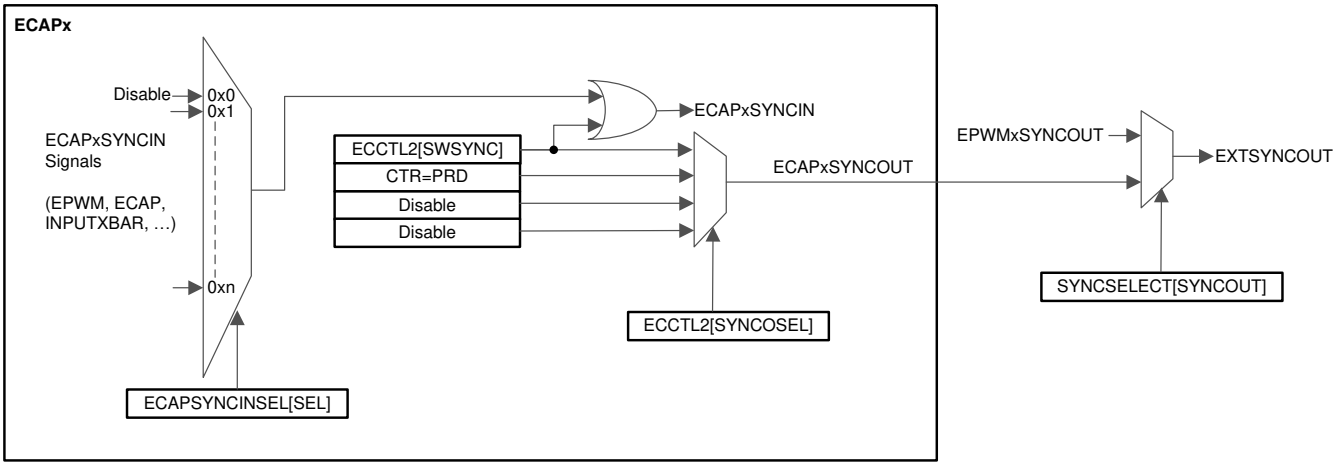


図 6-59. eCAP の同期方式

6.15.4.3 eCAP の電気的データおよびタイミング

入力クオリファイヤ パラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.15.4.3.1 eCAP のタイミング要件

			最小値	公称値	最大値	単位
$t_{w(CAP)}$	キャプチャ入力パルス幅	非同期	$2t_{c(SYSCLK)}$			ns
		同期	$2t_{c(SYSCLK)}$			
		入力クオリファイヤあり	$1t_{c(SYSCLK)} + t_{w_(IQSW)}$			

6.15.4.3.2 eCAP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
$t_{w(APWM)}$	パルス幅、APWMx 出力 High/Low	20			ns

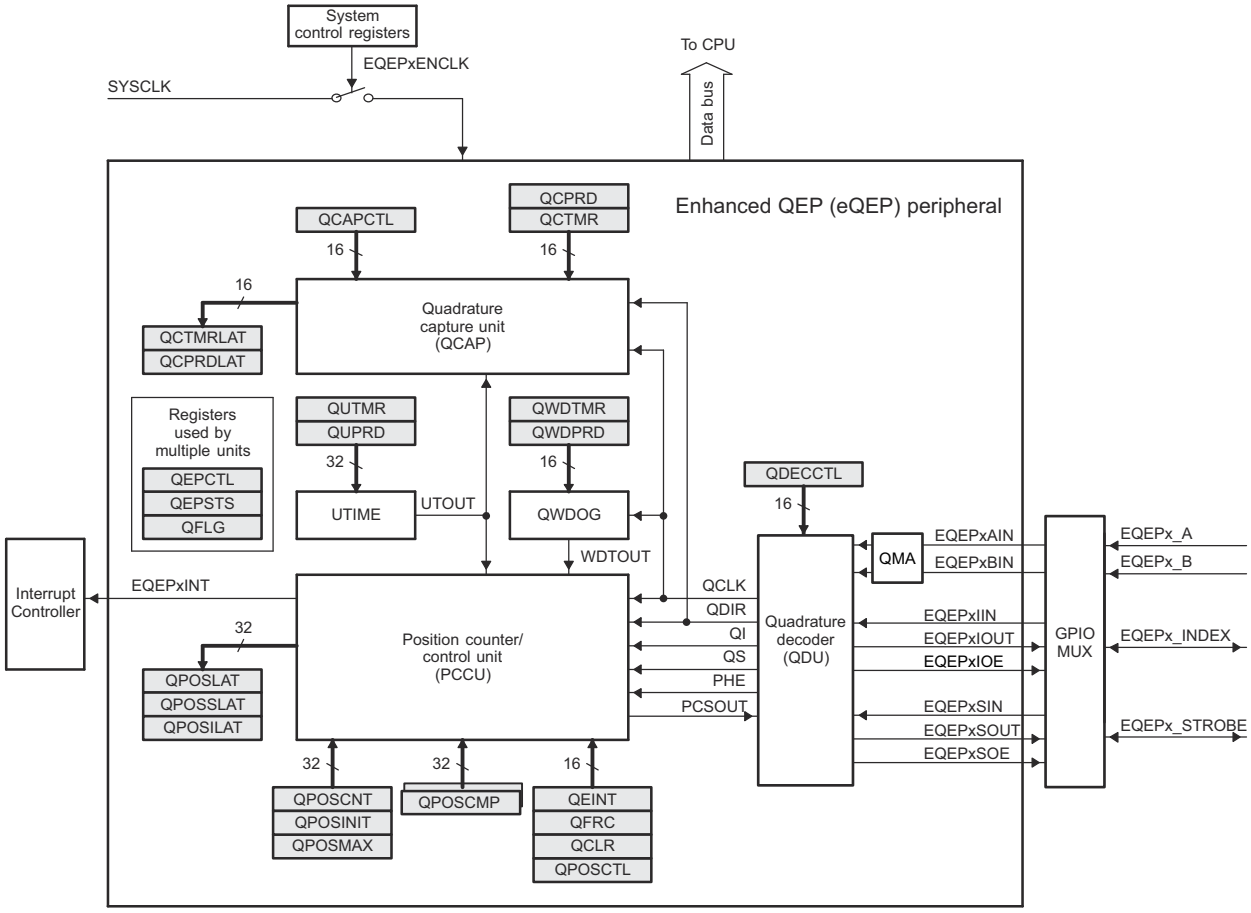
Copyright © 2025 Texas Instruments Incorporated

6.15.5 拡張直交エンコーダ パルス (eQEP)

このデバイスの eQEP モジュールは Type 2 です。eQEP インターフェイスは、高性能な動作位置制御システムで使用される回転機械から位置、方向、速度などの情報を取得するために、リニアまたはロータリ インクリメンタル エンコーダとの直接のインターフェイスになります。

eQEP ペリフェラルには、以下の主要な機能ユニットが含まれています (図 6-60 を参照)。

- 各ピンの入力クオリファイヤをプログラム可能 (GPIO MUX の一部)
- 直交デコーダ ユニット (QDU)
- 位置測定用の位置カウンタおよび制御ユニット (PCCU)
- 低速度測定用の直交エッジ キャプチャ ユニット (QCAP)
- 速度および周波数測定用のユニット タイム ベース (UTIME)
- ストール検出用ウォッチドッグ タイマ (QWDOG)
- 直交モード アダプタ (QMA)



Copyright © 2017, Texas Instruments Incorporated

図 6-60. eQEP のブロック図

6.15.5.1 eQEP の電気的データおよびタイミング

入力クオリファイヤのパラメータの説明については、「汎用入力のタイミング要件」表を参照してください。

6.15.5.1.1 eQEP のタイミング要件

			最小値	最大値	単位
$t_{w(QEPP)}$	QEP 入力周期	同期 (1)	$2t_{c(SYSCLK)}$		サイクル
		入力クオリファイヤにより同期	$2[1t_{c(SYSCLK)} + t_{w(IQSW)}]$		
$t_{w(INDEXH)}$	QEP インデックス入力 High 時間	同期 (1)	$2t_{c(SYSCLK)}$		サイクル
		入力クオリファイヤにより同期	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		
$t_{w(INDEXL)}$	QEP インデックス入力 Low 時間	同期 (1)	$2t_{c(SYSCLK)}$		サイクル
		入力クオリファイヤにより同期	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		
$t_{w(STROBH)}$	QEP ストローブ High 時間	同期 (1)	$2t_{c(SYSCLK)}$		サイクル
		入力クオリファイヤにより同期	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		
$t_{w(STROBL)}$	QEP ストローブ入力 Low 時間	同期 (1)	$2t_{c(SYSCLK)}$		サイクル
		入力クオリファイヤにより同期	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		

(1) eQEP モジュールの入力ピンでは、GPIO の GPxQSELn 非同期モードは使用できません。

6.15.5.1.2 eQEP のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	最大値	単位
$t_{d(CNTR)xin}$	遅延時間、外部クロックからカウンタ インクリメントまで		$5t_{c(SYSCLK)}$	サイクル
$t_{d(PCS\text{-}OUT)QEP}$	遅延時間、QEP 入力エッジから位置比較同期出力まで		$7t_{c(SYSCLK)}$	サイクル

Copyright © 2025 Texas Instruments Incorporated

6.16 通信ペリフェラル

6.16.1 CAN (Controller Area Network)

注

CAN モジュールは、*DCAN* と呼ばれる IP を使用します。このドキュメントでは、このペリフェラルに言及するとき、*CAN* および *DCAN* という呼称を同じように使っています。

CAN モジュールの主な機能は次のとおりです。

- ISO11898-1 に準拠 (Bosch® CAN プロトコル仕様 2.0 A および B)
- 最大 1Mbps のビット・レート
- 複数のクロック・ソースに対応
- 32 個のメッセージ・オブジェクト (メールボックス)。それぞれに次の特長があります。
  - 受信または送信として構成可能
  - 標準 (11 ビット) または拡張 (29 ビット) の識別子で構成可能
  - プログラム可能な識別子受信マスクをサポート
  - データ・フレームおよびリモート・フレームをサポート
  - 0～8 バイトのデータを保持
  - 構成およびデータ RAM のパリティチェック
- 各メッセージ・オブジェクトに個別の識別子マスク
- メッセージ・オブジェクト用のプログラム可能な FIFO モード
- プログラム可能なループバック・モードによる自己テスト動作
- デバッグをサポートするためのサスペンド・モード
- ソフトウェアによるモジュール・リセット
- バス・オフ状態の後、プログラマブル 32 ビット・タイマにより自動的にバス・オン
- 2 つの割り込みライン

注

100MHz の CAN ビット・クロックの場合、可能な最小のビット・レートは 3.90625Kbps です。

注

オンチップの発振器の精度は、INTOSC の特性表に記載されています。CAN ビットのタイミング設定、ビット・レート、バス長、伝搬遅延などのパラメータによっては、この発振器の精度が CAN プロトコルの要件を満たさない場合があります。この状況では、外部クロック・ソースを使用する必要があります。

CAN のブロック図を 図 6-61 に示します。

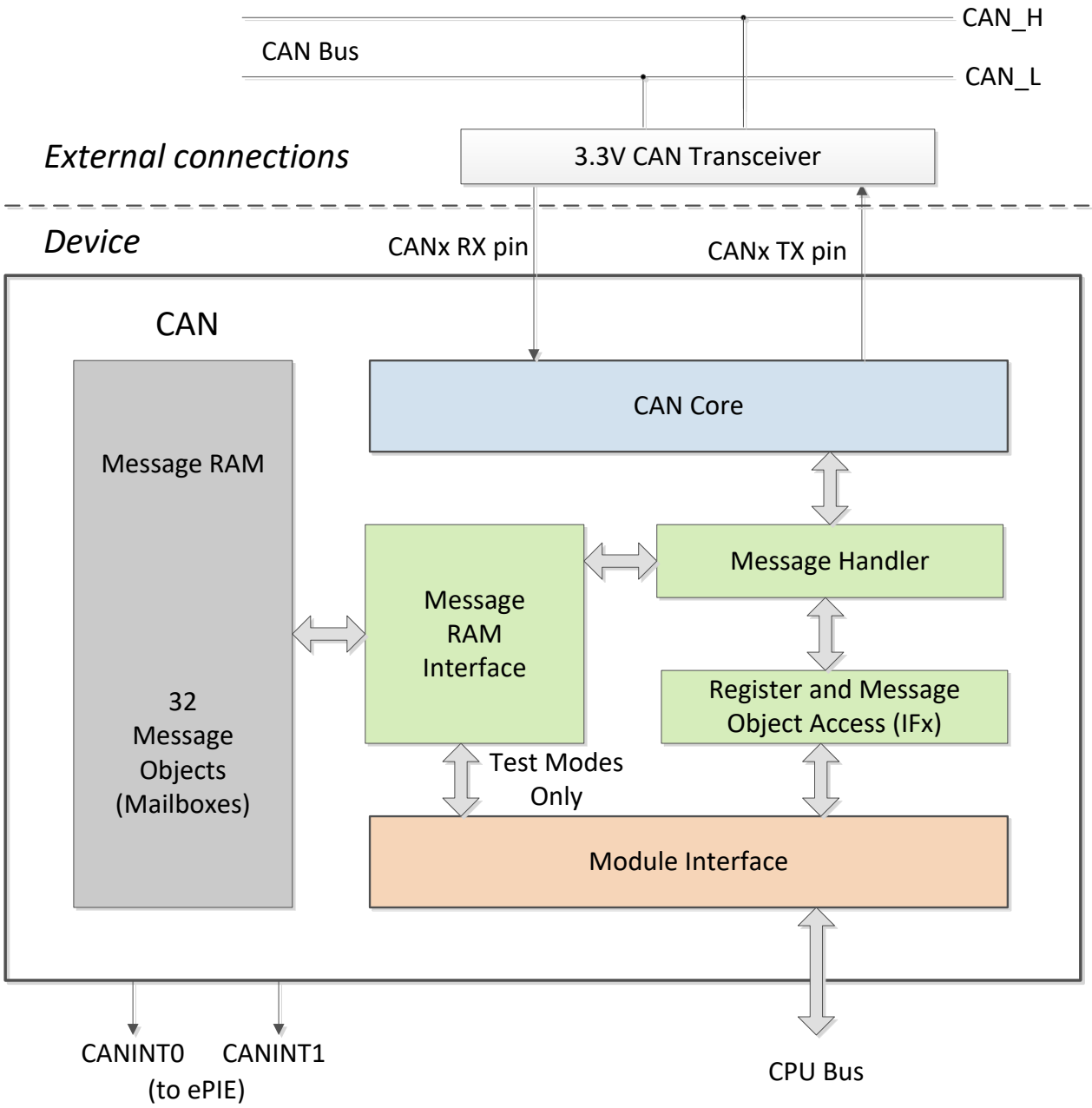


図 6-61. CAN ブロック図

6.16.2 モジュラー・コントローラ・エリア・ネットワーク (MCAN)

コントローラ エリア ネットワーク (CAN) は、高い信頼性で分散リアルタイム制御を効率的にサポートするシリアル通信プロトコルです。CAN は電気的干渉に対する高い耐性を持ち、さまざまな種類のエラーを検出できます。CAN では、多くのショート メッセージがネットワーク全体にブロードキャストされるため、システムのすべてのノードでデータの整合性が確保されます。

MCAN モジュールは、従来型の CAN と CAN FD (CAN とフレキシブル データ レート) の両方のプロトコルをサポートしています。CAN FD 機能により、データ フレームあたりのスループットが向上し、ペイロードが増加します。従来型の CAN デバイスと CAN FD デバイスは、バス エラーを生成せずに CAN FD を検出および無視できる部分的ネットワーク トラン

Copyright © 2025 Texas Instruments Incorporated

シーバが従来型の CAN デバイスで使用されている場合、競合なしで同じネットワーク上に共存できます。MCAN モジュールは、ISO 11898-1:2015 に準拠しています。

注

CAN FD 機能が利用可能かどうかは、デバイスの型番によります。

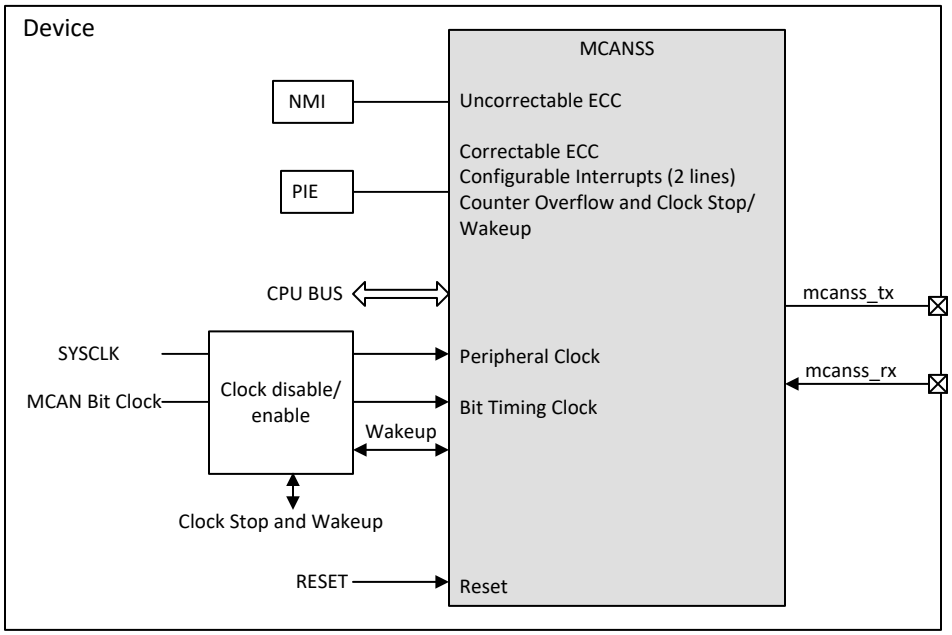


図 6-62. MCAN モジュールの概要

MCAN モジュールの主な機能は次のとおりです。

- CAN プロトコル 2.0A、B、ISO 11898-1:2015 に準拠
- 完全な CAN FD のサポート (最大 64 データ バイト)
- AUTOSAR および SAE J1939 をサポート
- 柔軟なメッセージ RAM 割り当て (以下の最大構成は 4352 の 32 ビット ワード メッセージ RAM を搭載したデバイスの場合)
  - 最大 32 個の専用送信バッファ
  - 構成可能な送信 FIFO、最大 32 個の素子
  - 構成可能な送信キュー、最大 32 個の素子
  - 構成可能な送信イベント FIFO、最大 32 個の素子
  - 最大 64 個の専用受信バッファ
  - 2 つの構成可能な受信 FIFO、それぞれ最大 64 個の素子
  - 最大 128 個のフィルタ素子
- セルフ テスト用のループバック モード
- マスク可能な割り込み (2 つの設定可能な割り込みライン、訂正可能な ECC、カウンタ オーバーフロー、クロックの停止 / ウェークアップ)
- マスク不可能割り込み (訂正不可能な ECC)
- 2 つのクロック ドメイン (CAN クロック / ホスト クロック)
- メッセージ RAM の ECC チェック
- クロックの停止およびウェークアップのサポート
- タイムスタンプ カウンタ

サポートされない機能:

- ホスト バス ファイアウォール
- クロックのキャリブレーション
- CAN 経由のデバッグ

6.16.3 I2C (Inter-Integrated Circuit)

I2C モジュールの主な機能は次のとおりです。

- NXP Semiconductors の I^2C バス規格 (バージョン 2.1) に準拠:
  - 8 ビット形式の転送をサポート
  - 7 ビットおよび 10 ビットのアドレッシング モード
  - ゼネラル コール
  - START バイト モード
  - 複数のマスタ トランスミッタとスレーブ レシーバをサポート
  - 複数のスレーブ トランスミッタとマスタ レシーバをサポート
  - マスタ送信 / 受信、受信 / 送信の組み合わせモード
  - 10Kbps～400Kbps のデータ転送レート (ファスト モード)
- 以下と互換性のある電圧スレッショルドをサポート:
  - SMBus 2.0 以下
  - PMBus 1.2 以下
- 1 つの 16 バイト受信 FIFO と、1 つの 16 バイト送信 FIFO
- 次の 2 つの割り込みをサポート
  - I2Cx 割り込み – 以下のいずれかの条件で、I2Cx 割り込みを生成するように構成できます。
    - 送信準備完了
    - 受信準備完了
    - レジスタ アクセス準備完了
    - アクノリッジなし
    - 調停消失
    - ストップ条件検出
    - スレーブとしてアドレス指定
  - I2Cx_FIFO 割り込み:
    - 送信 FIFO 割り込み
    - 受信 FIFO 割り込み
- モジュールのイネーブルおよびディセーブル機能
- フリー データ形式モード

図 6-63 に、本デバイス内の I2C ペリフェラル モジュールの接続図を示します。

Copyright © 2025 Texas Instruments Incorporated

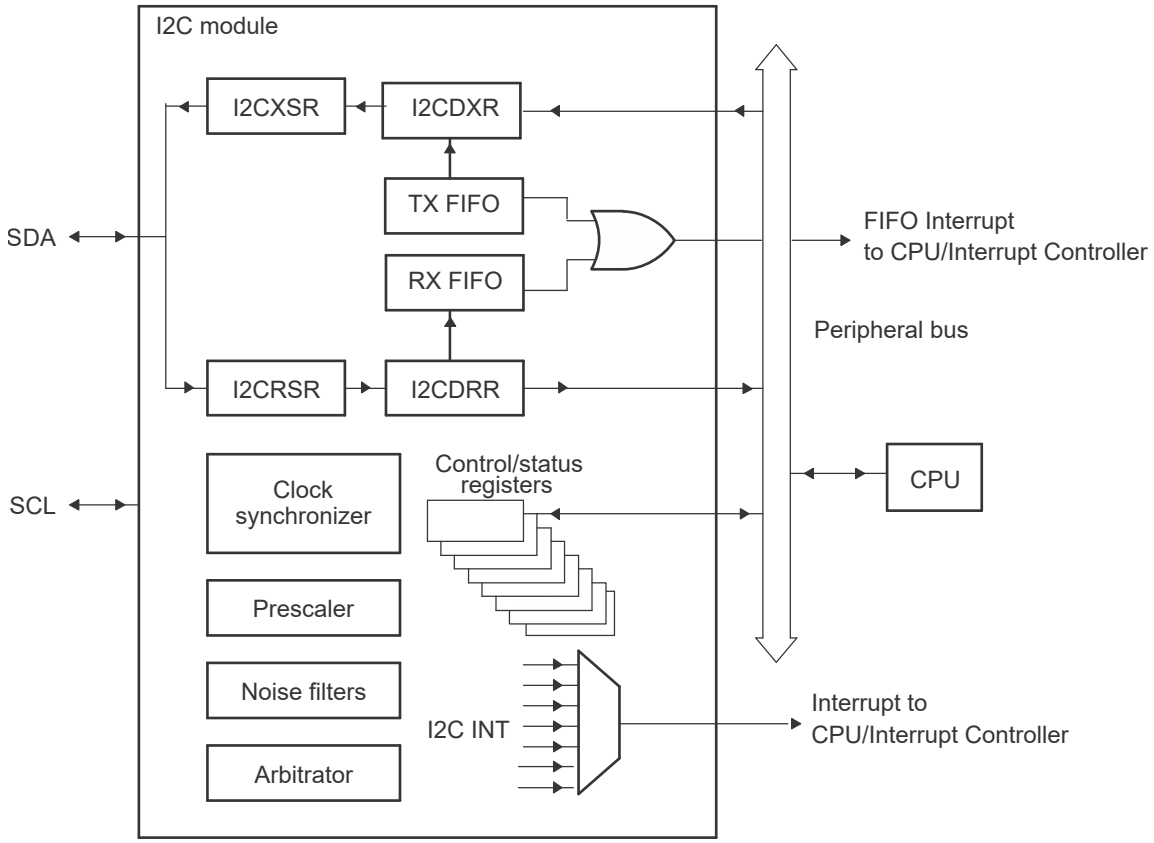


図 6-63. I2C ペリフェラル モジュール インターフェイス

6.16.3.1 I2C の電気的データおよびタイミング

注

すべての I2C プロトコルのタイミング仕様を満たすには、I2C モジュールのクロックを 7MHz～12MHz の範囲で構成する必要があります。

プルアップ抵抗は、I2C の標準タイミングを満たすように選択する必要があります。ほとんどの状況では、VDDIO に対する合計バス抵抗の 2.2kΩ で十分です。特定の設計のプルアップ抵抗値の評価については、『I2C バスのプルアップ抵抗の計算』アプリケーション ノートを参照してください。

6.16.3.1.1 I2C のタイミング要件

番号			最小値	最大値	単位
スタンダード モード					
T0	f_{mod}	I2C モジュールの周波数	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	ホールド時間、START 条件、SDA 立ち下がり後の SCL 立ち下がり遅延	4.0		µs
T2	$t_{su(SCL-SDA)START}$	セットアップ時間、繰り返し START、SCL 立ち上がり後の SDA 立ち下がり遅延	4.0		µs
T3	$t_{h(SCL-DAT)}$	ホールド時間、SCL 立ち下がり後のデータ	0		µs
T4	$t_{su(DAT-SCL)}$	セットアップ時間、SCL 立ち上がり前のデータ	250 (2)		ns
T5	$t_{r(SDA)}$	立ち上がり時間、SDA		1000 (1)	ns
T6	$t_{r(SCL)}$	立ち上がり時間、SCL		1000 (1)	ns
T7	$t_{f(SDA)}$	立ち下がり時間、SDA		300	ns
T8	$t_{f(SCL)}$	立ち下がり時間、SCL		300	ns
T9	$t_{su(SCL-SDA)STOP}$	セットアップ時間、STOP 条件、SCL 立ち上がり後の SDA 立ち上がり遅延	4.0		µs
T10	$t_{w(SP)}$	フィルタによって抑制されるスパイクのパルス幅	0	50	ns
T11	C_b	各バス ラインの容量性負荷		400	pF
ファスト モード					
T0	f_{mod}	I2C モジュールの周波数	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	ホールド時間、START 条件、SDA 立ち下がり後の SCL 立ち下がり遅延	0.6		µs
T2	$t_{su(SCL-SDA)START}$	セットアップ時間、繰り返し START、SCL 立ち上がり後の SDA 立ち下がり遅延	0.6		µs
T3	$t_{h(SCL-DAT)}$	ホールド時間、SCL 立ち下がり後のデータ	0		µs
T4	$t_{su(DAT-SCL)}$	セットアップ時間、SCL 立ち上がり前のデータ	100		ns
T5	$t_{r(SDA)}$	立ち上がり時間、SDA	20	300	ns
T6	$t_{r(SCL)}$	立ち上がり時間、SCL	20	300	ns
T7	$t_{f(SDA)}$	立ち下がり時間、SDA	11.4	300	ns
T8	$t_{f(SCL)}$	立ち下がり時間、SCL	11.4	300	ns
T9	$t_{su(SCL-SDA)STOP}$	セットアップ時間、STOP 条件、SCL 立ち上がり後の SDA 立ち上がり遅延	0.6		µs
T10	$t_{w(SP)}$	フィルタによって抑制されるスパイクのパルス幅	0	50	ns
T11	C_b	各バス ラインの容量性負荷		400	pF

(1) 立ち上がり時間を最小化するため、正味 2.2kΩ のプルアップ抵抗のオーダーで SDA と SCL の両方のバス ラインに強力なプルアップを使用することを推奨します。 また、SCL ピンと SDA ピンの両方に使用するプルアップ抵抗の値を一致させることを推奨します。
(2) C2000 I2C はファースト モード デバイスです。 I2C をスタンダード モードのホストでターゲット トランスミッタとして使用する場合には制限があります。 詳細については、『TMS320F280015x リアルタイム MCU シリコン エラッタ』を参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.16.3.1.2 I2C のスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ		テスト条件	最小値	最大値	単位
スタンダード モード						
S1	f_{SCL}	SCL クロック周波数		0	100	kHz
S2	T_{SCL}	SCL クロック周期		10		µs
S3	$t_{w(SCLL)}$	パルス幅、SCL クロック Low		4.7		µs
S4	$t_{w(SCLH)}$	パルス幅、SCL クロック High		4.0		µs
S5	t_{BUF}	STOP 条件と START 条件間のバス開放時間		4.7		µs
S6	$t_{v(SCL-DAT)}$	有効時間、SCL 立ち下がり後のデータ			3.45	µs
S7	$t_{v(SCL-ACK)}$	有効時間、SCL 立ち下がりからアクノリッジまで			3.45	µs
S8	I_I	ピンの入力電流	$0.1V_{bus} < V_i < 0.9V_{bus}$	-10	10	µA
ファスト モード						
S1	f_{SCL}	SCL クロック周波数		0	400	kHz
S2	T_{SCL}	SCL クロック周期		2.5		µs
S3	$t_{w(SCLL)}$	パルス幅、SCL クロック Low		1.3		µs
S4	$t_{w(SCLH)}$	パルス幅、SCL クロック High		0.6		µs
S5	t_{BUF}	STOP 条件と START 条件間のバス開放時間		1.3		µs
S6	$t_{v(SCL-DAT)}$	有効時間、SCL 立ち下がり後のデータ			0.9	µs
S7	$t_{v(SCL-ACK)}$	有効時間、SCL 立ち下がりからアクノリッジまで			0.9	µs
S8	I_I	ピンの入力電流	$0.1V_{bus} < V_i < 0.9V_{bus}$	-10	10	µA

6.16.3.1.3 I2C のタイミング図

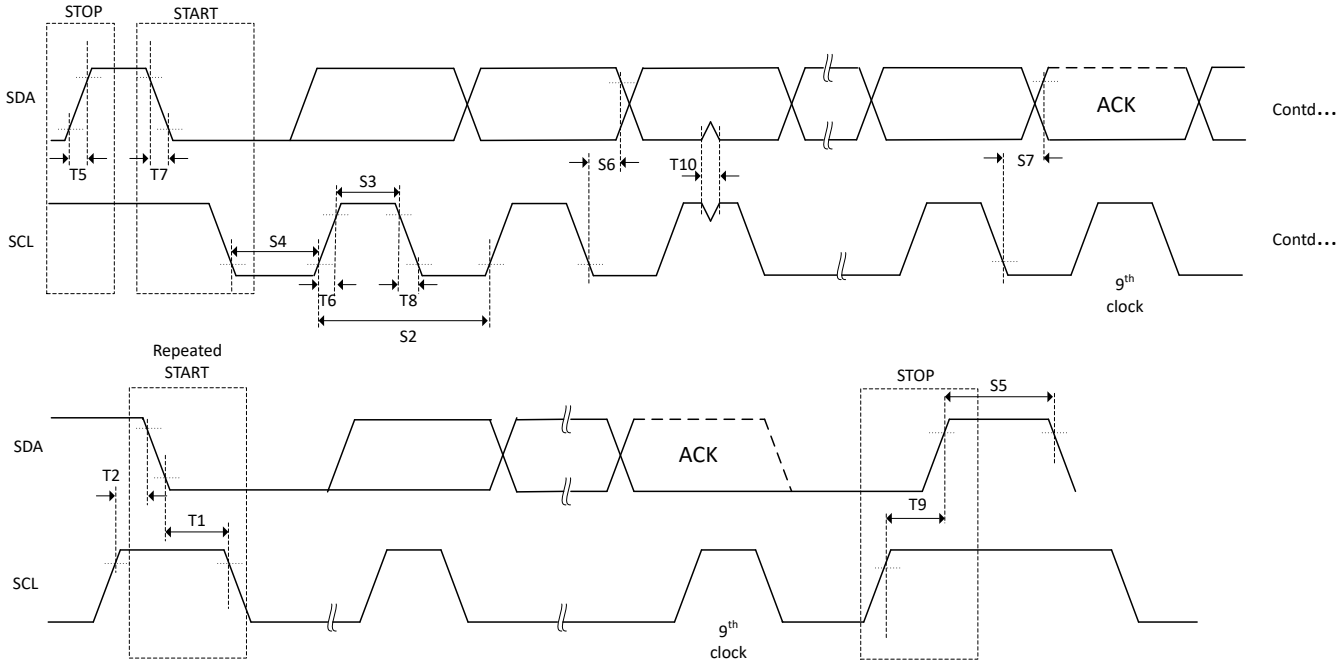


図 6-64. I2C のタイミング図

6.16.4 PMBus (Power Management Bus) インターフェイス

PMBus モジュールの主な機能は次のとおりです。

- SMI フォーラム PMBus 仕様 (Part I v1.0 および Part II v1.1) 準拠
- 以下と互換性のある電圧スレッショルドをサポート:
  - PMBus 1.2 以下
  - SMBus 2.0 以下
- マスタ モードとスレーブ モードをサポート
- I2C モードのサポート
- 以下の 2 種類の速度をサポート
  - スタンダード モード:最高 100kHz
  - ファースト モード:400 kHz
- パケット エラー チェック
- CONTROL 信号および ALERT 信号
- クロック High および Low でのタイムアウト
- 4 バイトの送信および受信バッファ
- 1 つのマスク可能割り込み、以下のいくつか条件によって生成可能:
  - 受信データ準備完了
  - 送信バッファ空
  - スレーブ アドレス受信
  - メッセージ終了
  - ALERT 入力アサート
  - クロック Low タイムアウト
  - クロック High タイムアウト
  - バス フリー

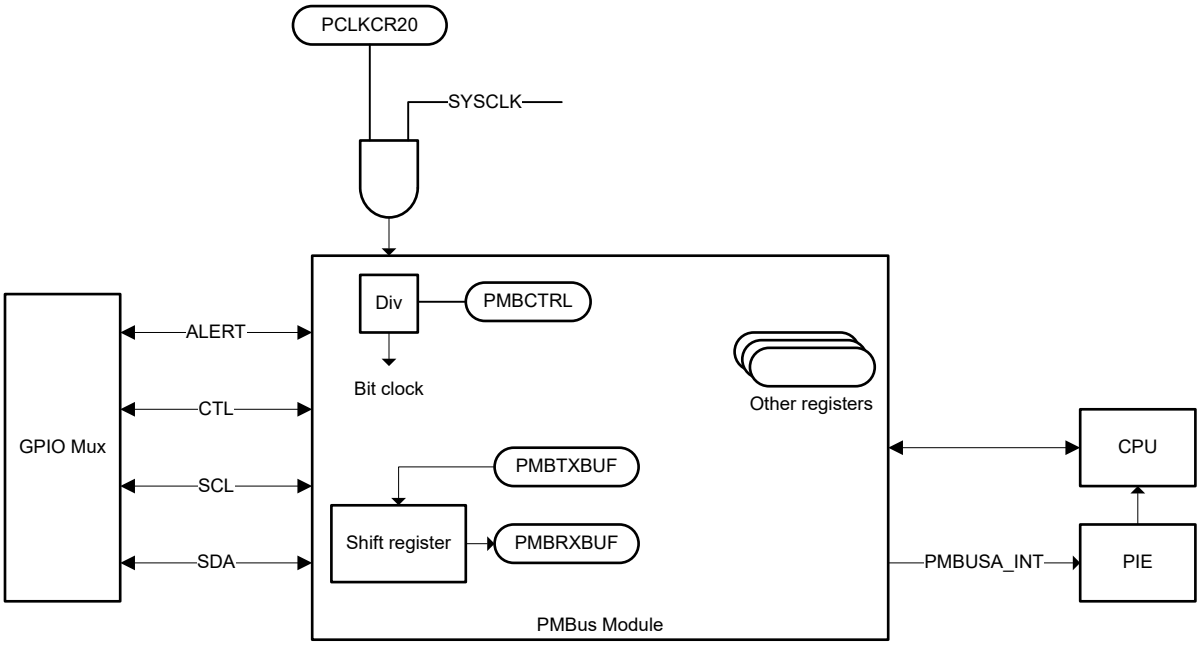


図 6-65. PMBus のブロック図

Copyright © 2025 Texas Instruments Incorporated

6.16.4.1 PMBus の電気的データおよびタイミング

6.16.4.1.1 PMBus の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IL}	有効 Low レベル入力電圧				0.8	V
V_{IH}	有効 High レベル入力電圧		2.1		VDDIO	V
V_{OL}	Low レベル出力電圧	I_{pullup} = 4mA のとき			0.4	V
I_{OL}	Low レベル出力電流	$V_{OL} \leq 0.4V$	4			mA
t_{SP}	入力フィルタにより抑制されるスパイクのパルス幅		0		50	ns
I_i	各ピンの入力リーク電流	0.1Vbus < Vi < 0.9Vbus	-10		10	µA
C_i	各ピンの容量				10	pF

6.16.4.1.2 PMBus ファスト モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SCL}	SCL クロック周波数		10		400	kHz
t_{BUF}	STOP 条件と START 条件間のバス開放時間		1.3			µs
$t_{HD;STA}$	START 条件ホールド時間 - SDA 立ち下がりから SCL 立ち下がりまでの遅延		0.6			µs
$t_{SU;STA}$	繰り返し START のセットアップ時間 - SCL 立ち上がりから SDA 立ち下がりまでの遅延		0.6			µs
$t_{SU;STO}$	STOP 条件セットアップ時間 - SCL 立ち上がりから SDA 立ち上がりまでの遅延		0.6			µs
$t_{HD;DAT}$	SCL 立ち下がり後のデータ ホールド時間		300			ns
$t_{SU;DAT}$	SCL 立ち上がり前のデータ セットアップ時間		100			ns
$t_{Timeout}$	クロック Low タイムアウト		25		35	ms
t_{LOW}	SCL クロックの Low 期間		1.3			µs
t_{HIGH}	SCL クロックの High 期間		0.6		50	µs
$t_{LOW;SEXT}$	累積クロック LOW 拡張時間 (スレーブ デバイス)	START から STOP まで			25	ms
$t_{LOW;MEXT}$	累積クロック LOW 拡張時間 (マスタ デバイス)	各バイト内			10	ms
t_r	SDA および SCL の立ち上がり時間	5%～95%	20		300	ns
t_f	SDA および SCL の立ち下がり時間	95%～5%	20		300	ns

6.16.4.1.3 PMBus スタンダード モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SCL}	SCL クロック周波数		10		100	kHz
t_{BUF}	STOP 条件と START 条件間のバス開放時間		4.7			µs
$t_{HD;STA}$	START 条件ホールド時間 - SDA 立ち下がりから SCL 立ち下がりまでの遅延		4			µs
$t_{SU;STA}$	繰り返し START のセットアップ時間 - SCL 立ち上がりから SDA 立ち下がりまでの遅延		4.7			µs
$t_{SU;STO}$	STOP 条件セットアップ時間 - SCL 立ち上がりから SDA 立ち上がりまでの遅延		4			µs
$t_{HD;DAT}$	SCL 立ち下がり後のデータ ホールド時間		300			ns
$t_{SU;DAT}$	SCL 立ち上がり前のデータ セットアップ時間		250			ns
$t_{Timeout}$	クロック Low タイムアウト		25		35	ms
t_{LOW}	SCL クロックの Low 期間		4.7			µs
t_{HIGH}	SCL クロックの High 期間		4		50	µs
$t_{LOW;SEXT}$	累積クロック LOW 拡張時間 (スレーブ デバイス)	START から STOP まで			25	ms
$t_{LOW;MEXT}$	累積クロック LOW 拡張時間 (マスタ デバイス)	各バイト内			10	ms
t_r	SDA および SCL の立ち上がり時間				1000	ns
t_f	SDA および SCL の立ち下がり時間				300	ns

Copyright © 2025 Texas Instruments Incorporated

6.16.5 シリアル通信インターフェイス (SCI)

シリアル通信インターフェイス (SCI) は、一般的には UART と呼ばれる 2 線式非同期シリアル・ポートです。SCI モジュールは、CPU と、標準 NRZ (non-return-to-zero) フォーマットを使用する他の非同期ペリフェラルとの間のデジタル通信をサポートします。

SCI のレシーバおよびトランスミッタは、処理オーバーヘッドを削減するための 16 段 FIFO を備えており、それぞれ独自のイネーブル・ビットと割り込みビットを持ちます。この両方が、半二重通信用として個別に動作することも、全二重通信用として同時に動作することもできます。データの整合性を確保するために、SCI は、受信データのブレーク検出、パリティ、オーバーラン、およびフレーミングエラーをチェックします。ビット・レートは、16 ビットのボー選択レジスタにより、さまざまな速度にプログラム可能です。

SCI モジュールには次のような特長があります。

- 2 本の外部ピン:
  - SCITXD:SCI 送信出力ピン
  - SCIRXD:SCI 受信入力ピン
  - 64K までの異なるレートにプログラム可能なボーレート
- データ・ワード・フォーマット
  - 1 スタート・ビット
  - データ・ワード (1～8 ビットの範囲でワード長をプログラム可能)
  - パリティ・ビット (偶数 / 奇数 / なしを選択可能)
  - 1 または 2 ストップ・ビット
- 4 つのエラー検出フラグ:パリティ、オーバーラン、フレーム、ブレーク検出
- 2 つのウェークアップ・マルチプロセッサ・モード:アイドル・ラインおよびアドレス・ビット
- 半二重または全二重動作
- ダブル・バッファ付きの受信および送信機能
- トランスミッタおよびレシーバの動作は、ステータス・フラグによる割り込み駆動、またはポーリング・アルゴリズムによって実現できます。
  - トランスミッタ:TXRDY フラグ (送信バッファ・レジスタは次の文字の受信準備完了) および TX EMPTY フラグ (送信シフト・レジスタは空)
  - レシーバ:RXRDY フラグ (受信バッファ・レジスタは次の文字の受信準備完了)、BRKDT フラグ (ブレーク条件発生)、RX ERROR フラグ (4 つの割り込み条件の監視)
- トランスミッタおよびレシーバの割り込み用に個別のイネーブル・ビット (BRKDT を除く)
- NRZ フォーマット
- 自動ボー検出ハードウェア・ロジック
- 16 レベルの送信および受信 FIFO

注

このモジュールのすべてのレジスタは、8 ビット・レジスタです。レジスタにアクセスすると、レジスタ・データは下位バイト (ビット 7～0) になり、上位バイト (ビット 15～8) はゼロとして読み取られます。上位バイトへの書き込みは、何も影響がありません。

SCI ブロック図を 図 6-66 に示します。

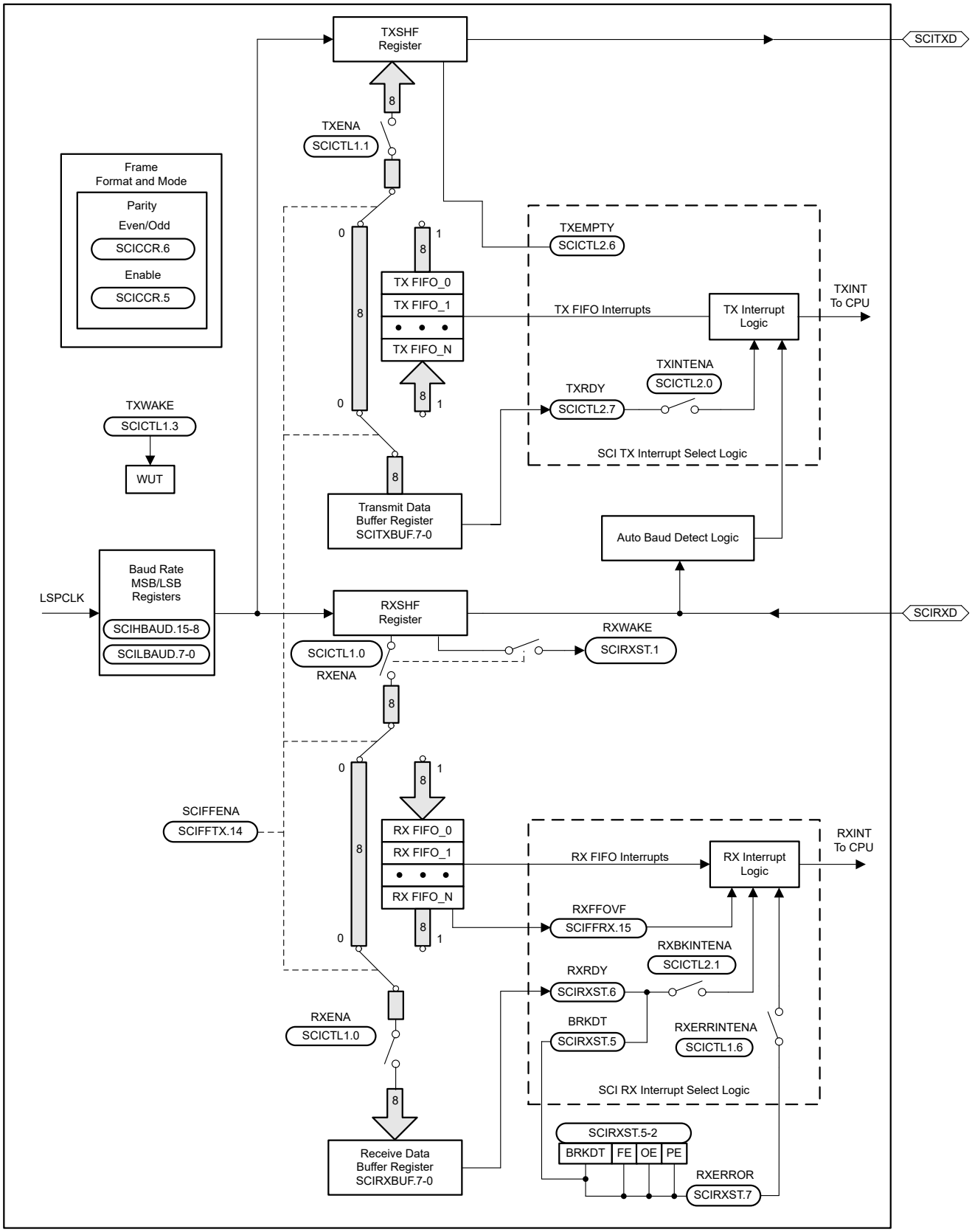


図 6-66. SCI ブロック図

Copyright © 2025 Texas Instruments Incorporated

6.16.6 シリアル・ペリフェラル・インターフェイス (SPI)

シリアル ペリフェラル インターフェイス (SPI) は、高速な同期シリアル入出力 (I/O) ポートであり、この機能により、プログラムされた長さ (1～16 ビット) のシリアル ビット ストリームを、プログラムされたビット転送速度でシフトして、デバイスに入力、デバイスから出力できます。SPI は、通常、MCU コントローラと、外部ペリフェラルや他のコントローラとの間の通信に使用されます。代表的なアプリケーションとして、シフト レジスタ、ディスプレイドライバ、A/D コンバータ (ADC) などのデバイスを使用した外部 I/O またはペリフェラルの拡張が挙げられます。マルチデバイス通信は、SPI のマスタまたはスレーブ動作によってサポートされています。このポートは、16 レベルの受信および送信 FIFO をサポートしており、CPU サービスのオーバーヘッドを低減できます。

SPI モジュールの主な特長は次のとおりです。

- SPISOMI:SPI スレーブ出力 / マスタ入力ピン
- SPISIMO:SPI スレーブ入力 / マスタ出力ピン
- $\overline{\text{SPISTE}}$:SPI スレーブ送信イネーブル ピン
- SPICLK:SPI シリアル クロック ピン
- 2 つの動作モード:マスタおよびスレーブ
- ボーレート:プログラム可能な 125 種類のレート。使用可能な最大ボーレートは、SPI ピンで使用される I/O バッファの最大速度によって制限されます。
- データ ワード長:1～16 データ ビット
- 4 つのクロック方式 (クロックの極性とクロック位相ビットで制御) には、次のものがあります。
  - 位相遅延なしの立ち下がりエッジ:SPICLK アクティブ High。SPI は、SPICLK 信号の立ち下がりエッジでデータを送信し、SPICLK 信号の立ち上がりエッジでデータを受信します。
  - 位相遅延付きの立ち下がりエッジ:SPICLK アクティブ High。SPI は、SPICLK 信号の立ち下がりエッジより半サイクル前にデータを送信し、SPICLK 信号の立ち下がりエッジでデータを受信します。
  - 位相遅延なしの立ち上がりエッジ:SPICLK 非アクティブ Low。SPI は、SPICLK 信号の立ち上がりエッジでデータを送信し、SPICLK 信号の立ち下がりエッジでデータを受信します。
  - 位相遅延付きの立ち上がりエッジ:SPICLK 非アクティブ Low。SPI は、SPICLK 信号の立ち上がりエッジより半サイクル前にデータを送信し、SPICLK 信号の立ち上がりエッジでデータを受信します。
- 送受信の同時動作 (送信機能はソフトウェアで無効化可能)
- トランスミッタとレシーバの動作は、割り込み駆動またはポーリング アルゴリズムによって実現されます。
- 16 レベルの送信 / 受信 FIFO
- 高速度モード
- 遅延送信制御
- 3 線式 SPI モード
- 2 つの SPI モジュールを搭載したデバイスでデジタル オーディオ インターフェイス受信モードのための $\overline{\text{SPISTE}}$ 反転

図 6-67 に、SPI CPU インターフェイスを示します。

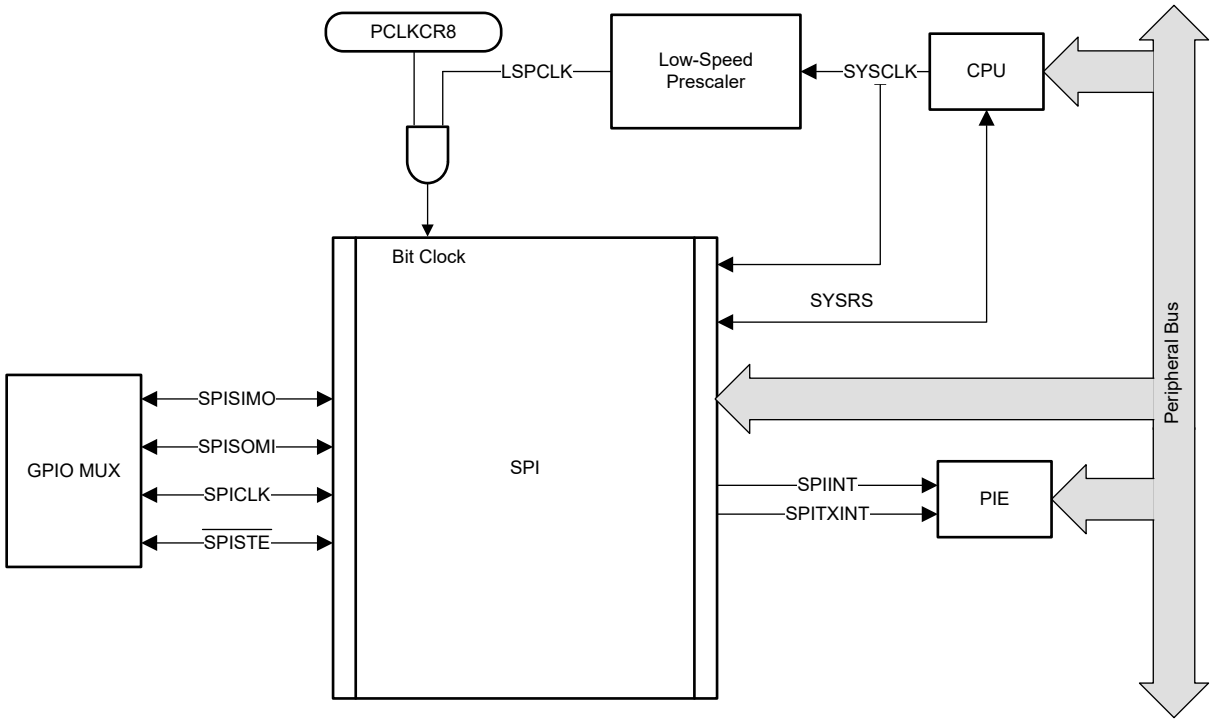


図 6-67. SPI CPU インターフェイス

Copyright © 2025 Texas Instruments Incorporated

6.16.6.1 SPI マスタ モードのタイミング

以下のセクションに、SPI マスタ モードのタイミングを示します。 高速モードの SPI の詳細については、『TMS320F280015x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「シリアル ペリフェラル インターフェイス (SPI)」の章を参照してください。

注

SPI 高速モードのすべてのタイミング パラメータは、SPICLK、SPISIMO、SPISOMI の負荷容量を 5pF と仮定しています。

6.16.6.1.1 SPI マスタ モードのタイミング要件

番号			(BRR + 1) [(1)]	最小値	最大値	単位
高速モード						
8	$t_{su(SOMI)M}$	セットアップ時間、SPISOMI 有効から SPICLK まで	偶数、奇数	1		ns
9	$t_{h(SOMI)M}$	ホールド時間、SPICLK 後の SPISOMI の有効期間	偶数、奇数	6.5		ns
通常モード						
8	$t_{su(SOMI)M}$	セットアップ時間、SPISOMI 有効から SPICLK まで	偶数、奇数	15		ns
9	$t_{h(SOMI)M}$	ホールド時間、SPICLK 後の SPISOMI の有効期間	偶数、奇数	0		ns

(1) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。

6.16.6.1.2 SPI マスタ モードのスイッチング特性 - クロック位相 0

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ(1) (2)		(BRR + 1)(3)	最小値	最大値	単位
全般						
1	$t_{c(SPC)M}$	サイクル時間、SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPC1)M}$	パルス幅、SPICLK、最初のパルス	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	パルス幅、SPICLK、2 番目のパルス	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	遅延時間、$\overline{SPISTE}$ 有効から SPICLK まで	偶数	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} + 3$	ns
			奇数	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} - 3$	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} + 3$	
24	$t_{v(STE)M}$	有効時間、SPICLK から $\overline{SPISTE}$ 無効まで	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 3$	
高速モード						
4	$t_{d(SIMO)M}$	遅延時間、SPICLK から SPISIMO 有効まで	偶数、奇数	1		ns
5	$t_{v(SIMO)M}$	有効時間、SPICLK の後 SPISIMO が有効の期間	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		
通常モード						
4	$t_{d(SIMO)M}$	遅延時間、SPICLK から SPISIMO 有効まで	偶数、奇数	2		ns
5	$t_{v(SIMO)M}$	有効時間、SPICLK の後 SPISIMO が有効の期間	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	0.5tc(SPC)M - 0.5tc(LSPCLK) - 3		

(1) 高速モードではピンの負荷は 10pF。
(2) 通常モードではピンの負荷は 20pF。
(3) (BRR+1) 条件が偶数というのは、(SPIBRR+1) が偶数である場合、または SPIBRR が 0 もしくは 2 である場合です。また、奇数とは、(SPIBRR+1) が奇数であり、かつ SPIBRR が 3 より大きい場合です。

Copyright © 2025 Texas Instruments Incorporated

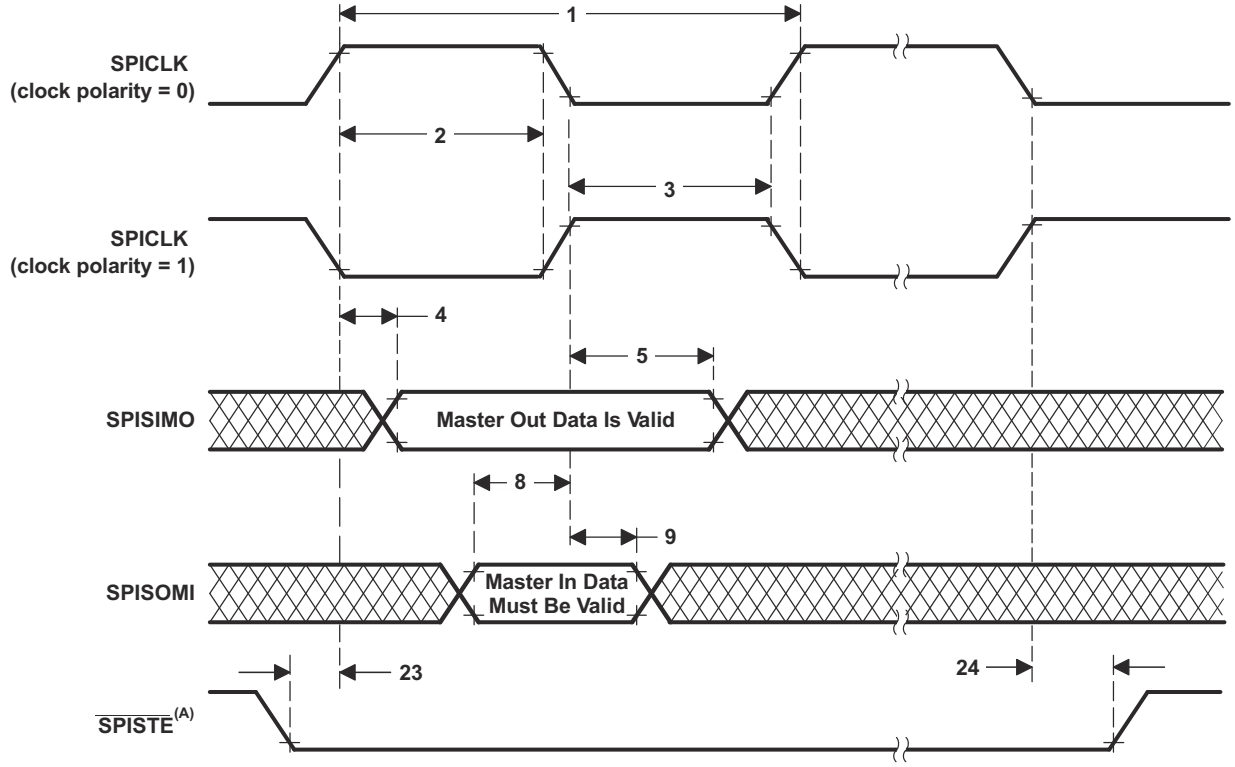
6.16.6.1.3 SPI マスタ モードのスイッチング特性 - クロック位相 1

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ(1) (2)		(BRR + 1)	最小値	最大値	単位
全般						
1	$t_{c(SPC)M}$	サイクル時間、SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPCH)M}$	パルス幅、SPICLK、最初のパルス	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	パルス幅、SPICLK、2 番目のパルス	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	遅延時間、$\overline{SPISTE}$ 有効から SPICLK まで	偶数、奇数	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} + 3$	ns
24	$t_{d(STE)M}$	遅延時間、SPICLK から $\overline{SPISTE}$ 無効まで	偶数	-3	3	ns
			奇数	-3	3	
高速モード						
4	$t_{d(SIMO)M}$	遅延時間、SPISIMO 有効から SPICLK まで	偶数	$0.5t_{c(SPC)M} - 2$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 2$		
5	$t_{v(SIMO)M}$	有効時間、SPICLK の後 SPISIMO が有効の期間	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		
通常モード						
4	$t_{d(SIMO)M}$	遅延時間、SPISIMO 有効から SPICLK まで	偶数	$0.5t_{c(SPC)M} - 2$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 2$		
5	$t_{v(SIMO)M}$	有効時間、SPICLK の後 SPISIMO が有効の期間	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		

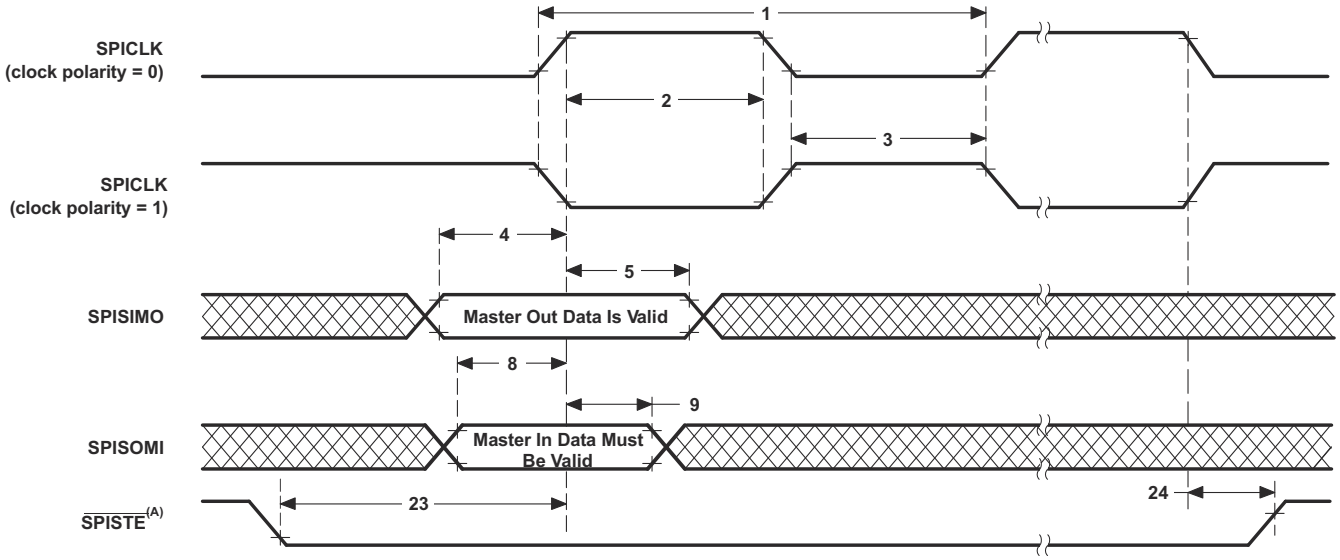
(1) 高速モードではピンの負荷は 10pF。
(2) 通常モードではピンの負荷は 20pF。

6.16.6.1.4 SPI マスタ・モードのタイミング図



A. ワードの末尾では、FIFO モードおよび非 FIFO モードの連続送信ワード間を除いて、$\overline{\text{SPISTE}}$ は非アクティブになります。

図 6-68. SPI マスタ・モードの外部タイミング (クロック位相 = 0)



A. ワードの末尾では、FIFO モードおよび非 FIFO モードの連続送信ワード間を除いて、$\overline{\text{SPISTE}}$ は非アクティブになります。

図 6-69. SPI マスタ・モードの外部タイミング (クロック位相 = 1)

Copyright © 2025 Texas Instruments Incorporated

6.16.6.2 SPI スレーブ モードのタイミング

以下のセクションに、SPI スレーブ モードのタイミングを示します。 高速モードの SPI の詳細については、『TMS320F280015x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』の「シリアル ペリフェラル インターフェイス (SPI)」の章を参照してください。

6.16.6.2.1 SPI スレーブ モードのタイミング要件

番号			最小値	最大値	単位
12	$t_{c(SPC)S}$	サイクル時間、SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)S}$	パルス幅、SPICLK、最初のパルス	$2t_{c(SYSCLK)}$ - 1		ns
14	$t_{w(SPC2)S}$	パルス幅、SPICLK、2 番目のパルス	$2t_{c(SYSCLK)}$ - 1		ns
19	$t_{su(SIMO)S}$	セットアップ時間、SPISIMO 有効から SPICLK まで	$1.5t_{c(SYSCLK)}$		ns
20	$t_{h(SIMO)S}$	ホールド時間、SPICLK 後の SPISIMO が有効な期間	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)S}$	セットアップ時間、$\overline{SPISTE}$ 有効から SPICLK まで (クロック位相 = 0)	$2t_{c(SYSCLK)}$ + 15		ns
		セットアップ時間、$\overline{SPISTE}$ 有効から SPICLK まで (クロック位相 = 1)	$2t_{c(SYSCLK)}$ + 15		ns
26	$t_{h(STE)S}$	ホールド時間、SPICLK から $\overline{SPISTE}$ 無効まで	$1.5t_{c(SYSCLK)}$		ns

6.16.6.2.2 SPI スレーブ モードのスイッチング特性

推奨動作条件範囲内 (特に記述のない限り)

番号	パラメータ (1)		最小値	最大値	単位
15	$t_{d(SOMI)S}$	遅延時間、SPICLK から SPISOMI 有効まで		12.5	ns
16	$t_{v(SOMI)S}$	有効時間、SPICLK 後の SPISOMI が有効な期間	0		ns

(1) ピンの負荷は 20pF。

6.16.6.2.3 SPI スレーブ・モードのタイミング図

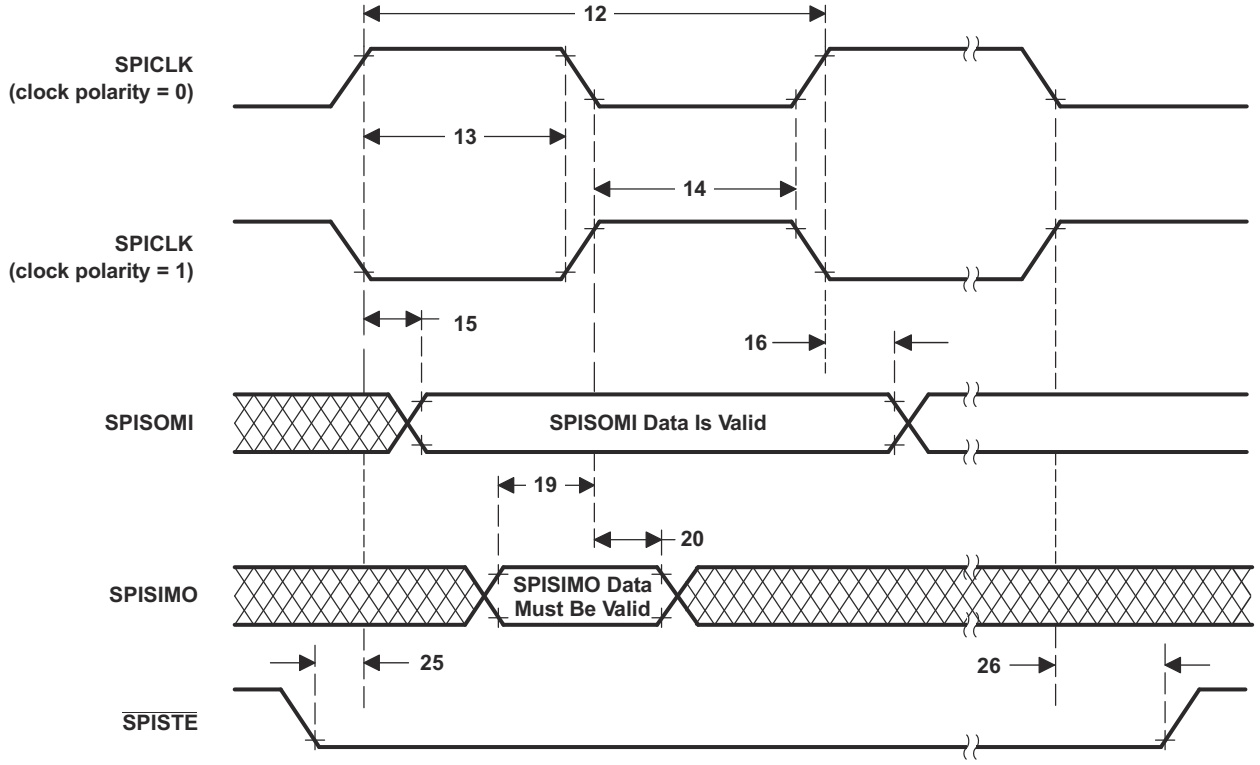


図 6-70. SPI スレーブ・モードの外部タイミング (クロック位相 = 0)

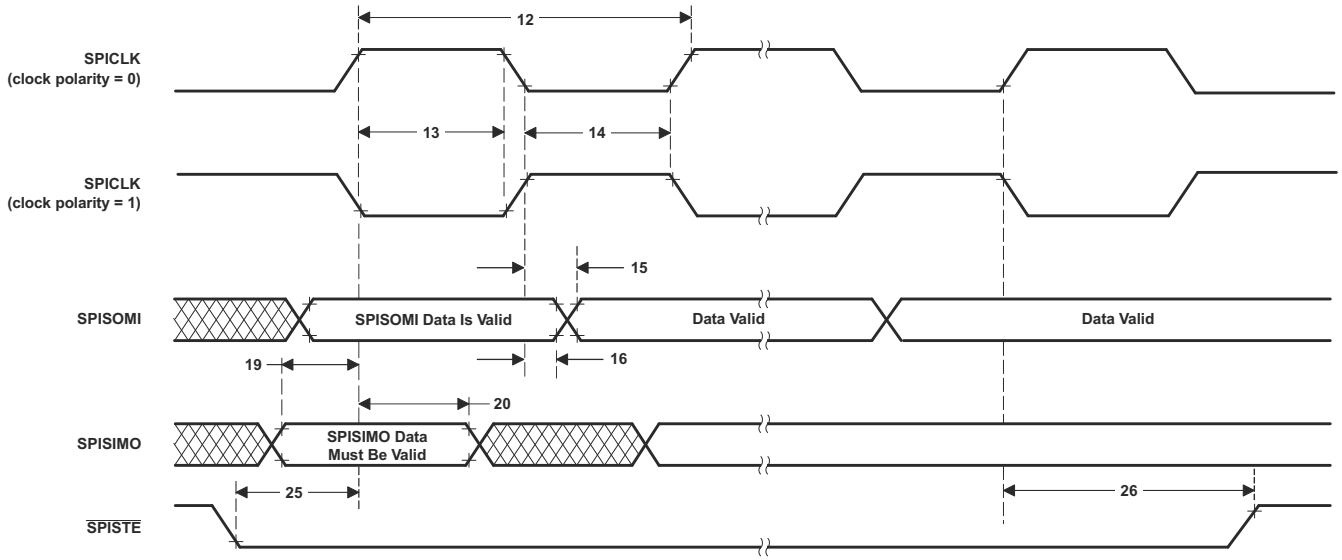


図 6-71. SPI スレーブ・モードの外部タイミング (クロック位相 = 1)

Copyright © 2025 Texas Instruments Incorporated

6.16.7 LIN (Local Interconnect Network)

このデバイスには、1 つの LIN (Local Interconnect Network) モジュールが搭載されています。この LIN モジュールは、LIN 仕様パッケージ リビジョン 2.1 で定義されている LIN 2.1 規格に準拠しています。LIN は低コストのシリアル インターフェイスであり、CAN プロトコルでは実装にコストがかかりすぎる可能性があるアプリケーション向けに設計されています。たとえば、車載アプリケーションの車内照明やウィンドウ制御など、車内快適性機能を実現するための小規模サブネットワークなどです。

LIN 規格は、SCI (UART) シリアル データ リンク形式に基づいています。通信の基本構成は、任意のネットワーク ノード間でマルチキャストを送信するためのメッセージ識別機能を備えたシングルマスタとマルチスレーブです。

この LIN モジュールは、モジュールのコアが SCI なので、LIN として動作する以外に、SCI として動作するようにもプログラムできます。SCI のハードウェア機能は、LIN との互換性を実現するために強化されています。この SCI モジュールは、標準 NRZ (非ゼロ復帰) フォーマットを実装するユニバーサル非同期レシーバ トランスミッタ (UART) です。

レジスタは LIN および SCI で共通ですが、レジスタの説明には、異なるモードでのレジスタ / ビットの使用方法を識別するための注記があります。このため、このモジュール用に作成されたコードをスタンドアロンの SCI モジュールに直接移植することはできません。その逆も同様です。

LIN モジュールの主な機能は次のとおりです。

- LIN 1.3、2.0、2.1 の各プロトコルとの互換性
- 最大 20kbps の構成可能なボーレート (LIN 2.1 プロトコルによる)
- 2 本の外部ピン：LINRX と LINTX
- マルチバッファ付き送受信ユニット
- メッセージ フィルタリング用識別マスク
- マスタ ヘッダの自動生成
  - プログラマブルな同期ブレーク フィールド
  - 同期フィールド
  - 識別子フィールド
- スレーブの自動同期
  - 同期ブレーク検出
  - オプションのボーレート更新
  - 同期検証
- 7 つのフラクショナル ビットを使用した 2^{31} 種類のプログラマブルな転送レート
- トランシーバからの、LINRX ドミナント レベルでのウェークアップ
- 自動ウェークアップのサポート
  - ウェークアップ信号の生成
  - 有効期限付きウェークアップ信号
- バス アイドルの自動検出
- エラー検出
  - ビット エラー
  - バス エラー
  - 無応答エラー
  - チェックサム エラー
  - 同期フィールド エラー
  - パリティ エラー
- 優先度エンコード機能付きの 2 本の割り込みライン：
  - 受信
  - 送信
  - ID、エラー、ステータス
- LIN 2.0 チェックサムをサポート
- フレーム処理用の拡張シンクロナイザ有限ステート マシン (FSM) をサポート

- 拡張フレームの処理能力を強化
- 拡張ボーレート ジェネレータ
- ウェークアップ / スリープ移行を更新

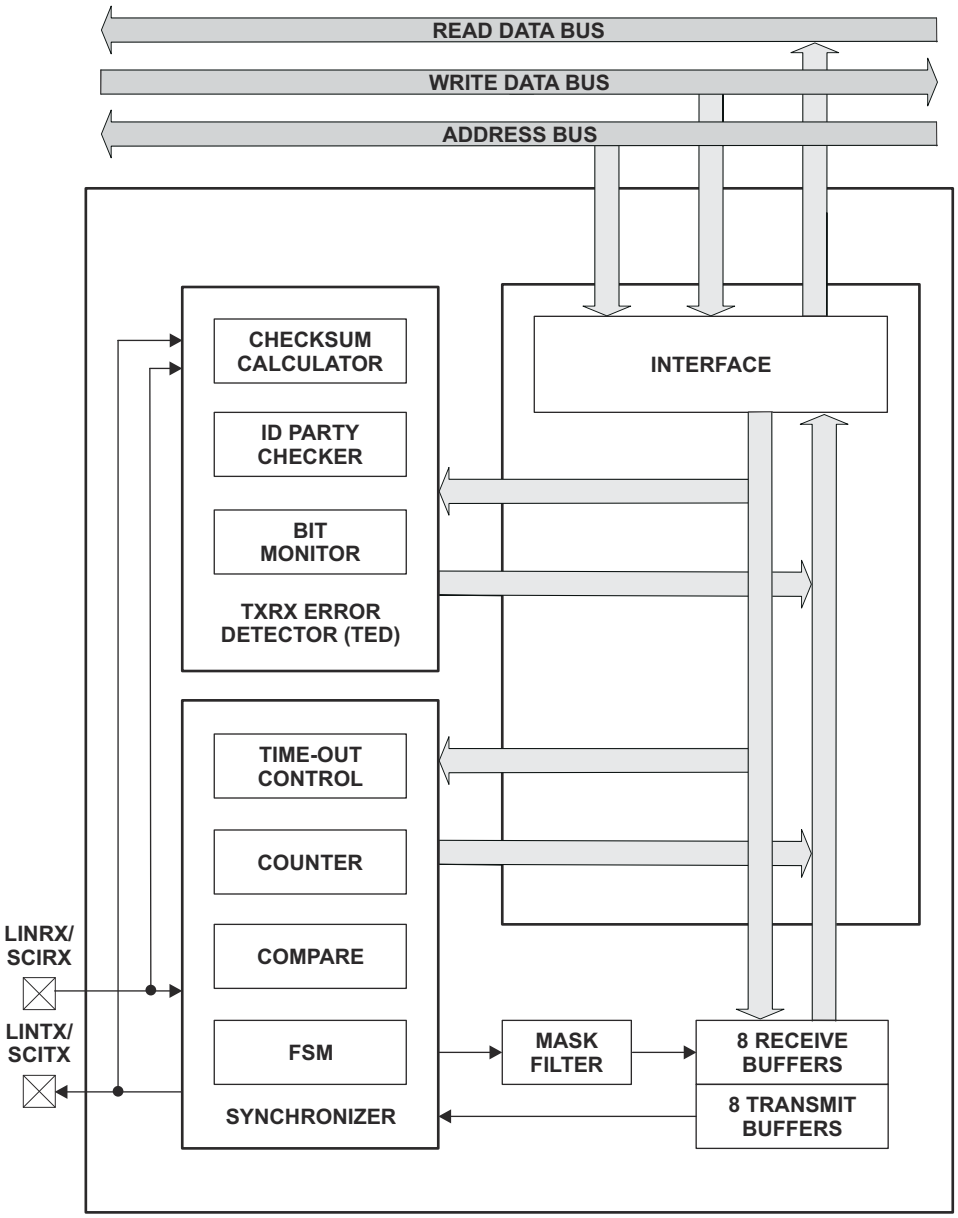


図 6-72. LIN のブロック図

Copyright © 2025 Texas Instruments Incorporated

7 詳細説明

7.1 概要

TMS320F280015x (F280015x) は、パワー エレクトロニクスの効率を高めるために設計されたスケーラブルな超低レイテンシ デバイスであるコスト最適化 C2000 リアルタイム マイクロコントローラ ファミリの製品です。

主なアプリケーションには以下が含まれます。

- HVAC (エアコン) コンプレッサ モジュール
- ヘッドライト
- DC/DC コンバータ
- インバータおよびモーター制御
- オンボード チャージャ (OBC) / ワイヤレス チャージャ
- ポンプ
- 産業用モータドライブ
- モータ制御
- デジタル電源
- センシングと信号処理

TMS320F280015x にはロックステップ動作のデュアル 32 ビット C28x CPU が搭載されており、大幅なソフトウェアのオーバーヘッドなしで ASIL B 機能安全デバイス定格を達成できます。リアルタイム制御サブシステムは、テキサス・インスツルメンツの 32 ビット C28x DSP コアをベースにしており、オンチップ フラッシュまたは SRAM から実行される浮動小数点または固定小数点コードに対して 120MHz の信号処理性能を発揮します。C28x CPU は、三角関数演算ユニット (TMU) と VCRC (巡回冗長検査) 拡張命令セットによってさらに強化され、リアルタイム制御システムでよく使われる重要なアルゴリズムを高速化します。

F280015x は最大 256KB (128KW) のフラッシュ メモリをサポートしています。最大 36KB (18KW) のオンチップ SRAM も利用でき、フラッシュ メモリを補完できます。

F280015x リアルタイム マイクロコントローラ (MCU) に内蔵された高性能アナログ ブロックは、リアルタイム シグナル チェーン性能を最適化するために、処理および PWM ユニットと密結合されています。14 の PWM チャネルにより、3 相インバータから力率補正とその他の先進マルチレベル電源トポロジまで、各種出力段を制御できます。

インターフェイスは、各種の業界標準通信ポート (PMBUS、SPI、SCI、LIN、I2C、CAN、CAN FD など) によりサポートされており、最適な信号配置を行うための複数のピン多重化方法を備えています。

C2000™ MCU は、お客様のリアルタイム制御システムに適した選択肢です。その機能について詳しく知るには、『C2000 ™ リアルタイム マイクロコントローラを使った開発のための基本ガイド』をご覧いただくとともに、C2000 リアルタイム マイクロコントローラ のページにアクセスしてください。

*『C2000 ™ リアルタイム制御マイコン (MCU) を使用した設計の開始』入門ガイド*は、C2000 デバイスを使用する開発について、ハードウェアからサポート リソースまで、あらゆる側面をカバーしています。主要な参考資料に加えて、各セクションには関連するリンクとリソースが掲載されており、さらに詳細な情報を知ることができます。

設計を開始する際は、以下の資料をご確認ください。TMDSCNCD2800157 評価ボードをご覧になり、C2000Ware をダウンロードしてください。

7.2 機能ブロック図

「機能ブロック図」に、CPU システムと関連ペリフェラルを示します。

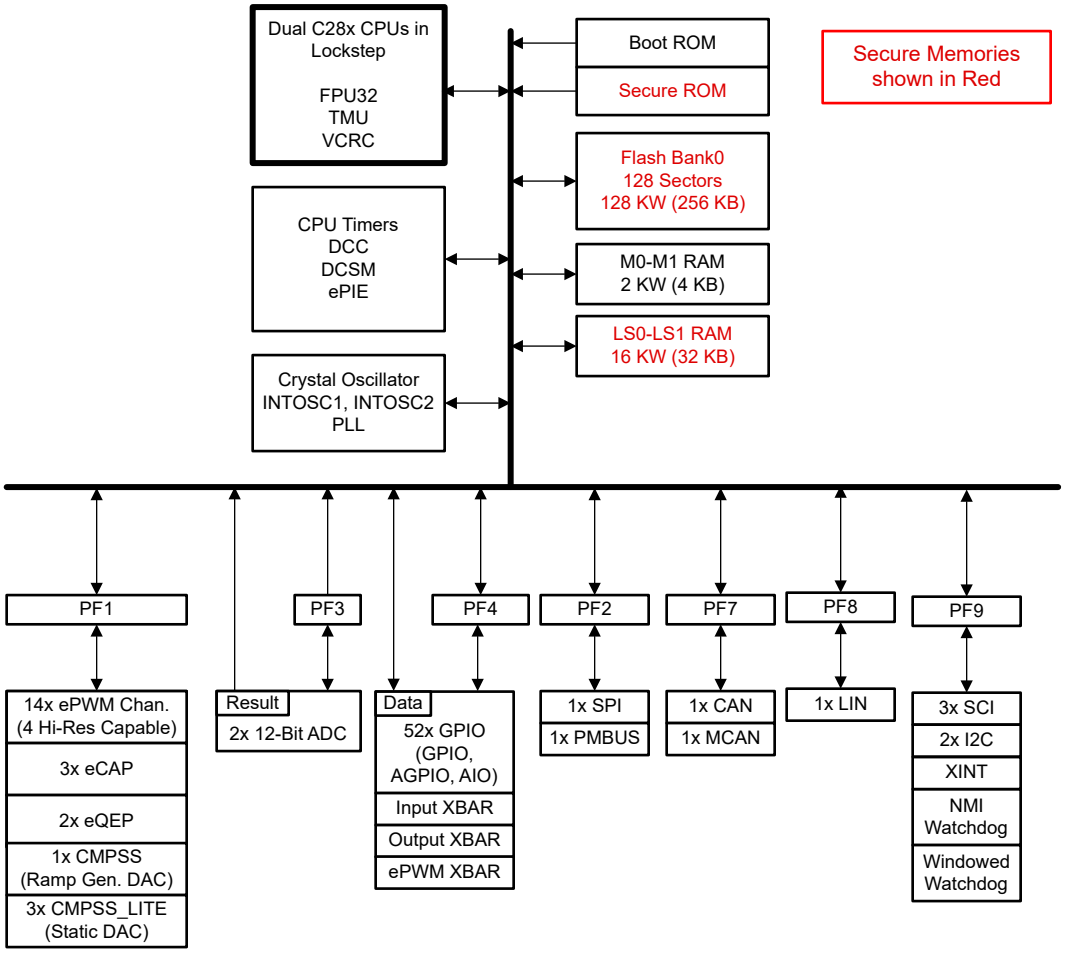


図 7-1. 機能ブロック図

Copyright © 2025 Texas Instruments Incorporated

7.3 メモリ

7.3.1 メモリ・マップ

「メモリ・マップ」表に、メモリ・マップを示します。『TMS320F280015x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』のシステム制御の章にある「メモリ・コントローラ・モジュール」を参照してください。

表 7-1. メモリ・マップ

メモリ	サイズ	開始アドレス	終了アドレス	ECC / パリティ	アクセス保護	セキュリティ
M0 RAM	1K x 16	0x0000 0000	0x0000 03FF	ECC	あり	-
M1 RAM	1K x 16	0x0000 0400	0x0000 07FF	ECC	あり	-
PIE ベクタ・テーブル	256 x 16	0x0000 0D00	0x0000 0DFF	-	-	-
LS0 RAM	8K x 16	0x0000 8000	0x0000 9FFF	パリティ	あり	あり
LS1 RAM	8K x 16	0x0000 A000	0x0000 BFFF	パリティ	あり	あり
TI OTP [1]	1.5K x 16	0x0007 1000	0x0007 15FF	ECC	-	あり [2]
ユーザー OTP	1K x 16	0x0007 8000	0x0007 83FF	ECC	-	あり [2]
フラッシュ	128K x 16	0x0008 0000	0x0009 FFFF	ECC	-	あり
セキュア ROM	7K x 16	0x003F 4000	0x003F 5BFF	パリティ	-	あり
CPU STL ROM	9K x 16	0x003F 5C00	0x003F 7FFF	パリティ	-	-
ブート ROM	32K x 16	0x003F 8000	0x003F FFFF	パリティ	-	-
PIE ベクタ・フェッチ・エラー (ブート ROM の一部)	1 x 16	0x003F FFBE	0x003F FFBF	パリティ	-	-
デフォルト・ベクタ (ブート ROM の一部)	64 x 16	0x003F FFC0	0x003F FFFF	パリティ	-	-

(1) TI OTP はテキサス・インスツルメンツの内部用。
(2) 一部のみセキュア。

7.3.1.1 専用 RAM (Mx RAM)

このデバイスには、2 つの専用 RAM ブロック M0 と M1 があります。M0 および M1 メモリは、CPU と緊密に結合されたメモリの小さなブロックです。CPU のみがこれらのメモリにアクセスできます。他のマスタは、これらのメモリにアクセスできません。

すべての専用 RAM には、ECC 機能があります。

7.3.1.2 ローカル共有 RAM (LSx RAM)

ローカル共有 RAM (LSx RAM) は、パリティ付きのセキュア・メモリです。これらのメモリは CPU 専用です。

7.3.2 フラッシュ・メモリ・マップ

F280015x デバイスでは、1 つのフラッシュ・バンク (256KB [128KW]) を使用可能です。フラッシュをプログラムするコードは RAM から実行する必要があります。消去またはプログラム動作が進行中の場合、フラッシュ・バンクにアクセスすることはできません。

表 7-2. フラッシュ・メモリ・マップ

部品番号	セクタ	アドレス			ECC アドレス		
		サイズ	開始	終了	サイズ	開始	終了
OTP セクタ							
すべて	TI OTP バンク 0 (アンセキュア)	1520 x 16	0x0007 1000	0x0007 15EF	128 x 16	0x0107 0200	0x0107 02BD
	TI OTP バンク 0 (セキュア)	16 x 16	0x0007 15F0	0x0007 15FF	128 x 16	0x0107 02BE	0x0107 02BF
	ユーザーが構成可能な DCSM OTP バンク 0	1K x 16	0x0007 8000	0x0007 83FF	128 x 16	0x0107 1000	0x0107 107F
バンク 0 セクタ							
すべて	セクタ 0	1K x 16	0x0008 0000	0x0008 03FF	128 x 16	0x0108 0000	0x0108 007F
	セクタ 1	1K x 16	0x0008 0400	0x0008 07FF	128 x 16	0x0108 0080	0x0108 00FF
	セクタ 2	1K x 16	0x0008 0800	0x0008 0BFF	128 x 16	0x0108 0100	0x0108 017F
	セクタ 3	1K x 16	0x0008 0C00	0x0008 0FFF	128 x 16	0x0108 0180	0x0108 01FF
	セクタ 4	1K x 16	0x0008 1000	0x0008 13FF	128 x 16	0x0108 0200	0x0108 027F
	セクタ 5	1K x 16	0x0008 1400	0x0008 17FF	128 x 16	0x0108 0280	0x0108 02FF
	セクタ 6	1K x 16	0x0008 1800	0x0008 1BFF	128 x 16	0x0108 0300	0x0108 037F
	セクタ 7	1K x 16	0x0008 1C00	0x0008 1FFF	128 x 16	0x0108 0380	0x0108 03FF
	セクタ 8	1K x 16	0x0008 2000	0x0008 23FF	128 x 16	0x0108 0400	0x0108 047F
	セクタ 9	1K x 16	0x0008 2400	0x0008 27FF	128 x 16	0x0108 0480	0x0108 04FF
	セクタ 10	1K x 16	0x0008 2800	0x0008 2BFF	128 x 16	0x0108 0500	0x0108 057F
	セクタ 11	1K x 16	0x0008 2C00	0x0008 2FFF	128 x 16	0x0108 0580	0x0108 05FF
	セクタ 12	1K x 16	0x0008 3000	0x0008 33FF	128 x 16	0x0108 0600	0x0108 067F
	セクタ 13	1K x 16	0x0008 3400	0x0008 37FF	128 x 16	0x0108 0680	0x0108 06FF
	セクタ 14	1K x 16	0x0008 3800	0x0008 3BFF	128 x 16	0x0108 0700	0x0108 077F
	セクタ 15	1K x 16	0x0008 3C00	0x0008 3FFF	128 x 16	0x0108 0780	0x0108 07FF
	セクタ 16	1K x 16	0x0008 4000	0x0008 43FF	128 x 16	0x0108 0800	0x0108 087F
	セクタ 17	1K x 16	0x0008 4400	0x0008 47FF	128 x 16	0x0108 0880	0x0108 08FF
	セクタ 18	1K x 16	0x0008 4800	0x0008 4BFF	128 x 16	0x0108 0900	0x0108 097F
	セクタ 19	1K x 16	0x0008 4C00	0x0008 4FFF	128 x 16	0x0108 0980	0x0108 09FF
	セクタ 20	1K x 16	0x0008 5000	0x0008 53FF	128 x 16	0x0108 0A00	0x0108 0A7F
	セクタ 21	1K x 16	0x0008 5400	0x0008 57FF	128 x 16	0x0108 0A80	0x0108 0AFF
	セクタ 22	1K x 16	0x0008 5800	0x0008 5BFF	128 x 16	0x0108 0B00	0x0108 0B7F
	セクタ 23	1K x 16	0x0008 5C00	0x0008 5FFF	128 x 16	0x0108 0B80	0x0108 0BFF
	セクタ 24	1K x 16	0x0008 6000	0x0008 63FF	128 x 16	0x0108 0C00	0x0108 0C7F
	セクタ 25	1K x 16	0x0008 6400	0x0008 67FF	128 x 16	0x0108 0C80	0x0108 0CFF
	セクタ 26	1K x 16	0x0008 6800	0x0008 6BFF	128 x 16	0x0108 0D00	0x0108 0D7F
	セクタ 27	1K x 16	0x0008 6C00	0x0008 6FFF	128 x 16	0x0108 0D80	0x0108 0DFF
	セクタ 28	1K x 16	0x0008 7000	0x0008 73FF	128 x 16	0x0108 0E00	0x0108 0E7F
	セクタ 29	1K x 16	0x0008 7400	0x0008 77FF	128 x 16	0x0108 0E80	0x0108 0EFF
	セクタ 30	1K x 16	0x0008 7800	0x0008 7BFF	128 x 16	0x0108 0F00	0x0108 0F7F
	セクタ 31	1K x 16	0x0008 7C00	0x0008 7FFF	128 x 16	0x0108 0F80	0x0108 0FFF

Copyright © 2025 Texas Instruments Incorporated

表 7-2. フラッシュ・メモリ・マップ (続き)

部品番号	セクタ	アドレス			ECC アドレス		
		サイズ	開始	終了	サイズ	開始	終了
F2800157-Q1、F2800157、F2800156-Q1、F2800155-Q1、F2800155、F2800154-Q1	セクタ 32	1K x 16	0x0008 8000	0x0008 83FF	128 x 16	0x0108 1000	0x0108 107F
	セクタ 33	1K x 16	0x0008 8400	0x0008 87FF	128 x 16	0x0108 1080	0x0108 10FF
	セクタ 34	1K x 16	0x0008 8800	0x0008 8BFF	128 x 16	0x0108 1100	0x0108 117F
	セクタ 35	1K x 16	0x0008 8C00	0x0008 8FFF	128 x 16	0x0108 1180	0x0108 11FF
	セクタ 36	1K x 16	0x0008 9000	0x0008 93FF	128 x 16	0x0108 1200	0x0108 127F
	セクタ 37	1K x 16	0x0008 9400	0x0008 97FF	128 x 16	0x0108 1280	0x0108 12FF
	セクタ 38	1K x 16	0x0008 9800	0x0008 9BFF	128 x 16	0x0108 1300	0x0108 137F
	セクタ 39	1K x 16	0x0008 9C00	0x0008 9FFF	128 x 16	0x0108 1380	0x0108 13FF
	セクタ 40	1K x 16	0x0008 A000	0x0008 A3FF	128 x 16	0x0108 1400	0x0108 147F
	セクタ 41	1K x 16	0x0008 A400	0x0008 A7FF	128 x 16	0x0108 1480	0x0108 14FF
	セクタ 42	1K x 16	0x0008 A800	0x0008 ABFF	128 x 16	0x0108 1500	0x0108 157F
	セクタ 43	1K x 16	0x0008 AC00	0x0008 AFFF	128 x 16	0x0108 1580	0x0108 15FF
	セクタ 44	1K x 16	0x0008 B000	0x0008 B3FF	128 x 16	0x0108 1600	0x0108 167F
	セクタ 45	1K x 16	0x0008 B400	0x0008 B7FF	128 x 16	0x0108 1680	0x0108 16FF
	セクタ 46	1K x 16	0x0008 B800	0x0008 BBFF	128 x 16	0x0108 1700	0x0108 177F
	セクタ 47	1K x 16	0x0008 BC00	0x0008 BFFF	128 x 16	0x0108 1780	0x0108 17FF
	セクタ 48	1K x 16	0x0008 C000	0x0008 C3FF	128 x 16	0x0108 1800	0x0108 187F
	セクタ 49	1K x 16	0x0008 C400	0x0008 C7FF	128 x 16	0x0108 1880	0x0108 18FF
	セクタ 50	1K x 16	0x0008 C800	0x0008 CBFF	128 x 16	0x0108 1900	0x0108 197F
	セクタ 51	1K x 16	0x0008 CC00	0x0008 CFFF	128 x 16	0x0108 1980	0x0108 19FF
	セクタ 52	1K x 16	0x0008 D000	0x0008 D3FF	128 x 16	0x0108 1A00	0x0108 1A7F
	セクタ 53	1K x 16	0x0008 D400	0x0008 D7FF	128 x 16	0x0108 1A80	0x0108 1AFF
	セクタ 54	1K x 16	0x0008 D800	0x0008 DBFF	128 x 16	0x0108 1B00	0x0108 1B7F
	セクタ 55	1K x 16	0x0008 DC00	0x0008 DFFF	128 x 16	0x0108 1B80	0x0108 1BFF
	セクタ 56	1K x 16	0x0008 E000	0x0008 E3FF	128 x 16	0x0108 1C00	0x0108 1C7F
	セクタ 57	1K x 16	0x0008 E400	0x0008 E7FF	128 x 16	0x0108 1C80	0x0108 1CFF
	セクタ 58	1K x 16	0x0008 E800	0x0008 EBFF	128 x 16	0x0108 1D00	0x0108 1D7F
	セクタ 59	1K x 16	0x0008 EC00	0x0008 EFFF	128 x 16	0x0108 1D80	0x0108 1DFF
	セクタ 60	1K x 16	0x0008 F000	0x0008 F3FF	128 x 16	0x0108 1E00	0x0108 1E7F
	セクタ 61	1K x 16	0x0008 F400	0x0008 F7FF	128 x 16	0x0108 1E80	0x0108 1EFF
	セクタ 62	1K x 16	0x0008 F800	0x0008 FBFF	128 x 16	0x0108 1F00	0x0108 1F7F
	セクタ 63	1K x 16	0x0008 FC00	0x0008 FFFF	128 x 16	0x0108 1F80	0x0108 1FFF

Copyright © 2025 Texas Instruments Incorporated

表 7-2. フラッシュ・メモリ・マップ (続き)

部品番号	セクタ	アドレス			ECC アドレス		
		サイズ	開始	終了	サイズ	開始	終了
F2800157-Q1、F2800157、F2800156-Q1	セクタ 64	1K x 16	0x0009 0000	0x0009 03FF	128 x 16	0x0108 2000	0x0108 207F
	セクタ 65	1K x 16	0x0009 0400	0x0009 07FF	128 x 16	0x0108 2080	0x0108 20FF
	セクタ 66	1K x 16	0x0009 0800	0x0009 0BFF	128 x 16	0x0108 2100	0x0108 217F
	セクタ 67	1K x 16	0x0009 0C00	0x0009 0FFF	128 x 16	0x0108 2180	0x0108 21FF
	セクタ 68	1K x 16	0x0009 1000	0x0009 13FF	128 x 16	0x0108 2200	0x0108 227F
	セクタ 69	1K x 16	0x0009 1400	0x0009 17FF	128 x 16	0x0108 2280	0x0108 22FF
	セクタ 70	1K x 16	0x0009 1800	0x0009 1BFF	128 x 16	0x0108 2300	0x0108 237F
	セクタ 71	1K x 16	0x0009 1C00	0x0009 1FFF	128 x 16	0x0108 2380	0x0108 23FF
	セクタ 72	1K x 16	0x0009 2000	0x0009 23FF	128 x 16	0x0108 2400	0x0108 247F
	セクタ 73	1K x 16	0x0009 2400	0x0009 27FF	128 x 16	0x0108 2480	0x0108 24FF
	セクタ 74	1K x 16	0x0009 2800	0x0009 2BFF	128 x 16	0x0108 2500	0x0108 257F
	セクタ 75	1K x 16	0x0009 2C00	0x0009 2FFF	128 x 16	0x0108 2580	0x0108 25FF
	セクタ 76	1K x 16	0x0009 3000	0x0009 33FF	128 x 16	0x0108 2600	0x0108 267F
	セクタ 77	1K x 16	0x0009 3400	0x0009 37FF	128 x 16	0x0108 2680	0x0108 26FF
	セクタ 78	1K x 16	0x0009 3800	0x0009 3BFF	128 x 16	0x0108 2700	0x0108 277F
	セクタ 79	1K x 16	0x0009 3C00	0x0009 3FFF	128 x 16	0x0108 2780	0x0108 27FF
	セクタ 80	1K x 16	0x0009 4000	0x0009 43FF	128 x 16	0x0108 2800	0x0108 287F
	セクタ 81	1K x 16	0x0009 4400	0x0009 47FF	128 x 16	0x0108 2880	0x0108 28FF
	セクタ 82	1K x 16	0x0009 4800	0x0009 4BFF	128 x 16	0x0108 2900	0x0108 297F
	セクタ 83	1K x 16	0x0009 4C00	0x0009 4FFF	128 x 16	0x0108 2980	0x0108 29FF
	セクタ 84	1K x 16	0x0009 5000	0x0009 53FF	128 x 16	0x0108 2A00	0x0108 2A7F
	セクタ 85	1K x 16	0x0009 5400	0x0009 57FF	128 x 16	0x0108 2A80	0x0108 2AFF
	セクタ 86	1K x 16	0x0009 5800	0x0009 5BFF	128 x 16	0x0108 2B00	0x0108 2B7F
	セクタ 87	1K x 16	0x0009 5C00	0x0009 5FFF	128 x 16	0x0108 2B80	0x0108 2BFF
	セクタ 88	1K x 16	0x0009 6000	0x0009 63FF	128 x 16	0x0108 2C00	0x0108 2C7F
	セクタ 89	1K x 16	0x0009 6400	0x0009 67FF	128 x 16	0x0108 2C80	0x0108 2CFF
	セクタ 90	1K x 16	0x0009 6800	0x0009 6BFF	128 x 16	0x0108 2D00	0x0108 2D7F
	セクタ 91	1K x 16	0x0009 6C00	0x0009 6FFF	128 x 16	0x0108 2D80	0x0108 2DFF
	セクタ 92	1K x 16	0x0009 7000	0x0009 73FF	128 x 16	0x0108 2E00	0x0108 2E7F
	セクタ 93	1K x 16	0x0009 7400	0x0009 77FF	128 x 16	0x0108 2E80	0x0108 2EFF
	セクタ 94	1K x 16	0x0009 7800	0x0009 7BFF	128 x 16	0x0108 2F00	0x0108 2F7F
	セクタ 95	1K x 16	0x0009 7C00	0x0009 7FFF	128 x 16	0x0108 2F80	0x0108 2FFF

Copyright © 2025 Texas Instruments Incorporated

表 7-2. フラッシュ・メモリ・マップ (続き)

部品番号	セクタ	アドレス			ECC アドレス		
		サイズ	開始	終了	サイズ	開始	終了
F2800157-Q1、F2800157、F2800156-Q1	セクタ 96	1K x 16	0x0009 8000	0x0009 83FF	128 x 16	0x0108 3000	0x0108 307F
	セクタ 97	1K x 16	0x0009 8400	0x0009 87FF	128 x 16	0x0108 3080	0x0108 30FF
	セクタ 98	1K x 16	0x0009 8800	0x0009 8BFF	128 x 16	0x0108 3100	0x0108 317F
	セクタ 99	1K x 16	0x0009 8C00	0x0009 8FFF	128 x 16	0x0108 3180	0x0108 31FF
	セクタ 100	1K x 16	0x0009 9000	0x0009 93FF	128 x 16	0x0108 3200	0x0108 327F
	セクタ 101	1K x 16	0x0009 9400	0x0009 97FF	128 x 16	0x0108 3280	0x0108 32FF
	セクタ 102	1K x 16	0x0009 9800	0x0009 9BFF	128 x 16	0x0108 3300	0x0108 337F
	セクタ 103	1K x 16	0x0009 9C00	0x0009 9FFF	128 x 16	0x0108 3380	0x0108 33FF
	セクタ 104	1K x 16	0x0009 A000	0x0009 A3FF	128 x 16	0x0108 3400	0x0108 347F
	セクタ 105	1K x 16	0x0009 A400	0x0009 A7FF	128 x 16	0x0108 3480	0x0108 34FF
	セクタ 106	1K x 16	0x0009 A800	0x0009 ABFF	128 x 16	0x0108 3500	0x0108 357F
	セクタ 107	1K x 16	0x0009 AC00	0x0009 AFFF	128 x 16	0x0108 3580	0x0108 35FF
	セクタ 108	1K x 16	0x0009 B000	0x0009 B3FF	128 x 16	0x0108 3600	0x0108 367F
	セクタ 109	1K x 16	0x0009 B400	0x0009 B7FF	128 x 16	0x0108 3680	0x0108 36FF
	セクタ 110	1K x 16	0x0009 B800	0x0009 BBFF	128 x 16	0x0108 3700	0x0108 377F
	セクタ 111	1K x 16	0x0009 BC00	0x0009 BFFF	128 x 16	0x0108 3780	0x0108 37FF
	セクタ 112	1K x 16	0x0009 C000	0x0009 C3FF	128 x 16	0x0108 3800	0x0108 387F
	セクタ 113	1K x 16	0x0009 C400	0x0009 C7FF	128 x 16	0x0108 3880	0x0108 38FF
	セクタ 114	1K x 16	0x0009 C800	0x0009 CBFF	128 x 16	0x0108 3900	0x0108 397F
	セクタ 115	1K x 16	0x0009 CC00	0x0009 CFFF	128 x 16	0x0108 3980	0x0108 39FF
	セクタ 116	1K x 16	0x0009 D000	0x0009 D3FF	128 x 16	0x0108 3A00	0x0108 3A7F
	セクタ 117	1K x 16	0x0009 D400	0x0009 D7FF	128 x 16	0x0108 3A80	0x0108 3AFF
	セクタ 118	1K x 16	0x0009 D800	0x0009 DBFF	128 x 16	0x0108 3B00	0x0108 3B7F
	セクタ 119	1K x 16	0x0009 DC00	0x0009 DFFF	128 x 16	0x0108 3B80	0x0108 3BFF
	セクタ 120	1K x 16	0x0009 E000	0x0009 E3FF	128 x 16	0x0108 3C00	0x0108 3C7F
	セクタ 121	1K x 16	0x0009 E400	0x0009 E7FF	128 x 16	0x0108 3C80	0x0108 3CFF
	セクタ 122	1K x 16	0x0009 E800	0x0009 EBFF	128 x 16	0x0108 3D00	0x0108 3D7F
	セクタ 123	1K x 16	0x0009 EC00	0x0009 EFFF	128 x 16	0x0108 3D80	0x0108 3DFF
	セクタ 124	1K x 16	0x0009 F000	0x0009 F3FF	128 x 16	0x0108 3E00	0x0108 3E7F
	セクタ 125	1K x 16	0x0009 F400	0x0009 F7FF	128 x 16	0x0108 3E80	0x0108 3EFF
	セクタ 126	1K x 16	0x0009 F800	0x0009 FBFF	128 x 16	0x0108 3F00	0x0108 3F7F
	セクタ 127	1K x 16	0x0009 FC00	0x0009 FFFF	128 x 16	0x0108 3F80	0x0108 3FFF

7.3.3 ペリフェラル・レジスタのメモリ・マップ

表 7-3. ペリフェラル・レジスタのメモリ・マップ

ビット・フィールド名		DriverLib 名	ベース・アドレス	パイプライン保護
インスタンス	構造			
ペリフェラル・フレーム 0 (PF0)				
-	-	M0_RAM_BASE	0x0000_0000	-
-	-	M1_RAM_BASE	0x0000_0400	-
AdcaResultRegs	ADC_RESULT_REGS	ADCARESULT_BASE	0x0000_0B00	-
AdccResultRegs	ADC_RESULT_REGS	ADCCRESULT_BASE	0x0000_0B40	-
CpuTimer0Regs	CPUTIMER_REGS	CPUTIMER0_BASE	0x0000_0C00	-
CpuTimer1Regs	CPUTIMER_REGS	CPUTIMER1_BASE	0x0000_0C08	-
CpuTimer2Regs	CPUTIMER_REGS	CPUTIMER2_BASE	0x0000_0C10	-
PieCtrlRegs	PIE_CTRL_REGS	PIECTRL_BASE	0x0000_0CE0	-
PIE ベクタ・テーブル	PIE_VECT_TABLE	PIEVECTTABLE_BASE	0x0000_0D00	-
-	-	LS0_RAM_BASE	0x0000_8000	-
-	-	LS1_RAM_BASE	0x0000_A000	-
UidRegs	UID_REGS	UID_BASE	0x0007_1140	-
DcsmZ1OtpRegs	DCSM_Z1_OTP	DCSM_Z1OTP_BASE	0x0007_8000	-
DcsmZ2OtpRegs	DCSM_Z2_OTP	DCSM_Z2OTP_BASE	0x0007_8200	-
ペリフェラル・フレーム 1 (PF1)				
EPwm1Regs	EPWM_REGS	EPWM1_BASE	0x0000_4000	あり
EPwm2Regs	EPWM_REGS	EPWM2_BASE	0x0000_4100	あり
EPwm3Regs	EPWM_REGS	EPWM3_BASE	0x0000_4200	あり
EPwm4Regs	EPWM_REGS	EPWM4_BASE	0x0000_4300	あり
EPwm5Regs	EPWM_REGS	EPWM5_BASE	0x0000_4400	あり
EPwm6Regs	EPWM_REGS	EPWM6_BASE	0x0000_4500	あり
EPwm7Regs	EPWM_REGS	EPWM7_BASE	0x0000_4600	あり
EQep1Regs	EQEP_REGS	EQEP1_BASE	0x0000_5100	あり
EQep2Regs	EQEP_REGS	EQEP2_BASE	0x0000_5140	あり
ECap1Regs	ECAP_REGS	ECAP1_BASE	0x0000_5200	あり
ECap2Regs	ECAP_REGS	ECAP2_BASE	0x0000_5240	あり
ECap3Regs	ECAP_REGS	ECAP3_BASE	0x0000_5280	あり
Cmpss1Regs	CMPSS_REGS	CMPSS1_BASE	0x0000_5500	あり
CmpssLite2Regs	CMPSS_LITE_REGS	CMPSSLITE2_BASE	0x0000_5540	あり
CmpssLite3Regs	CMPSS_LITE_REGS	CMPSSLITE3_BASE	0x0000_5580	あり
CmpssLite4Regs	CMPSS_LITE_REGS	CMPSSLITE4_BASE	0x0000_55C0	あり
ペリフェラル・フレーム 2 (PF2)				
SpiaRegs	SPI_REGS	SPIA_BASE	0x0000_6100	あり
PmbusaRegs	PMBUS_REGS	PMBUSA_BASE	0x0000_6400	あり
ペリフェラル・フレーム 3 (PF3)				
AdcaRegs	ADC_REGS	ADCA_BASE	0x0000_7400	あり
AdccRegs	ADC_REGS	ADCC_BASE	0x0000_7500	あり
ペリフェラル・フレーム 4 (PF4)				
InputXbarRegs	INPUT_XBAR_REGS	INPUTXBAR_BASE	0x0000_7900	あり
XbarRegs	XBAR_REGS	XBAR_BASE	0x0000_7920	あり
SyncSocRegs	SYNC_SOC_REGS	SYNCSOC_BASE	0x0000_7940	あり
EPwmXbarRegs	EPWM_XBAR_REGS	EPWMXBAR_BASE	0x0000_7A00	あり
OutputXbarRegs	OUTPUT_XBAR_REGS	OUTPUTXBAR_BASE	0x0000_7A80	あり
GpioCtrlRegs	GPIO_CTRL_REGS	GPIOCTRL_BASE	0x0000_7C00	あり
GpioDataRegs	GPIO_DATA_REGS	GPIODATA_BASE	0x0000_7F00	あり

Copyright © 2025 Texas Instruments Incorporated

表 7-3. ペリフェラル・レジスタのメモリ・マップ (続き)

ビット・フィールド名		DriverLib 名	ベース・アドレス	パイプライン保護
インスタンス	構造			
GpioDataReadRegs	GPIO_DATA_READ_REGS	GPIODATAREAD_BASE	0x0000_7F80	あり
DevCfgRegs	DEV_CFG_REGS	DEVCFG_BASE	0x0005_D000	あり
ClkCfgRegs	CLK_CFG_REGS	CLKCFG_BASE	0x0005_D200	あり
CpuSysRegs	CPU_SYS_REGS	CPUSYS_BASE	0x0005_D300	あり
SysStatusRegs	SYS_STATUS_REGS	SYSSTAT_BASE	0x0005_D400	あり
AnalogSubsysRegs	ANALOG_SUBSYS_REGS	ANALOGSUBSYS_BASE	0x0005_D700	あり
ペリフェラル・フレーム 6 (PF6)				
Epg1Regs	EPG_REGS	EPG1_BASE	0x0005_EC00	あり
Epg1MuxRegs	EPG_MUX_REGS	EPG1MUX_BASE	0x0005_ECD0	あり
DcsmZ1Regs	DCSM_Z1_REGS	DCSM_Z1_BASE	0x0005_F000	あり
DcsmZ2Regs	DCSM_Z2_REGS	DCSM_Z2_BASE	0x0005_F080	あり
DcsmCommonRegs	DCSM_COMMON_REGS	DCSMCOMMON_BASE	0x0005_F0C0	あり
MemCfgRegs	MEM_CFG_REGS	MEMCFG_BASE	0x0005_F400	あり
AccessProtectionRegs	ACCESS_PROTECTION_REGS	ACCESSPROTECTION_BASE	0x0005_F500	あり
MemoryErrorRegs	MEMORY_ERROR_REGS	MEMORYERROR_BASE	0x0005_F540	あり
TestErrorRegs	TEST_ERROR_REGS	TESTERROR_BASE	0x0005_F590	あり
Flash0CtrlRegs	FLASH_CTRL_REGS	FLASH0CTRL_BASE	0x0005_F800	あり
Flash0EccRegs	FLASH_ECC_REGS	FLASH0ECC_BASE	0x0005_FB00	あり
ペリフェラル・フレーム 7 (PF7)				
CanaRegs	CAN_REGS	CANA_BASE	0x0004_8000	あり
-	-	CANA_MSG_RAM_BASE	0x0004_9000	あり
LCMCPU1Regs	LCM_REGS	LCM_CPU1_BASE	0x0004_C000	あり
-	-	MCANA_DRIVER_BASE	0x0005_8000	あり
McanaSsRegs	MCANSS_REGS	MCANASS_BASE	0x0005_C400	あり
McanaRegs	MCAN_REGS	MCANA_BASE	0x0005_C600	あり
McanaErrorRegs	MCAN_ERROR_REGS	MCANA_ERROR_BASE	0x0005_C800	あり
MpostRegs	MPOST_REGS	MPOST_BASE	0x0005_E200	あり
Dcc0Regs	DCC_REGS	DCC0_BASE	0x0005_E700	あり
ペリフェラル・フレーム 8 (PF8)				
LinaRegs	LIN_REGS	LINA_BASE	0x0000_6A00	あり
ペリフェラル・フレーム 9 (PF9)				
WdRegs	WD_REGS	WD_BASE	0x0000_7000	あり
NmiIntruptRegs	NMI_INTRUPT_REGS	NMI_BASE	0x0000_7060	あり
XintRegs	XINT_REGS	XINT_BASE	0x0000_7070	あり
SciaRegs	SCI_REGS	SCIA_BASE	0x0000_7200	あり
ScibRegs	SCI_REGS	SCIB_BASE	0x0000_7210	あり
ScicRegs	SCI_REGS	SCIC_BASE	0x0000_7220	あり
I2caRegs	I2C_REGS	I2CA_BASE	0x0000_7300	あり
I2cbRegs	I2C_REGS	I2CB_BASE	0x0000_7340	あり

Copyright © 2025 Texas Instruments Incorporated

7.4 識別

表 7-4 に、デバイス識別レジスタを示します。これらのデバイス識別レジスタの詳細については、『TMS320F280015x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』を参照してください。

表 7-4. デバイス識別レジスタ

名称	アドレス	サイズ (x16)	説明	
			ビット	*オプション*
PARTIDL	0x0005 D008	2	14～13 INSTASPIN	1 = InstaSPIN-FOC 2 = NONE 3 = NONE
			10～8 PIN_COUNT	2 = 64 ピン (QFP) 3 = 80 ピン (QFP) 4 = 48 ピン (QFP) 5 = 32 ピン (QFN) 7 = 48 ピン (QFN) 8 = 64 ピン (QFP、VREGENZ 付き)
			7～6 QUAL	0 = エンジニアリング・サンプル (TMX) 1 = 試験的生産 (TMP) 2 = 完全認定済み (TMS)
PARTIDH	0x0005 D00A	2	デバイスの製品識別番号 TMS320F2800157 TMS320F2800156 TMS320F2800155 TMS320F2800154 TMS320F2800153 TMS320F2800152	 0x07FF 0500 0x07FE 0500 0x07FD 0500 0x07FC 0500 0x07FB 0500 0x07FA 0500
REVID	0x0005 D00C	2	シリコンのリビジョン番号 リビジョン 0 リビジョン A リビジョン B	 0x0000 0001 0x0000 0002 0x0000 0003
UID_UNIQUE0	0x0007 114A	2	固有の識別番号。この番号は、同じ PARTIDH を持つデバイスの中でそれぞれ異なっています。この固有の番号は、アプリケーションでシリアル番号として使用できます。この番号は TMS デバイスにのみ存在します。	
UID_UNIQUE1	0x0007 114C	2	固有の識別番号。この番号は、同じ PARTIDH を持つデバイスの中でそれぞれ異なっています。この固有の番号は、アプリケーションでシリアル番号として使用できます。この番号は TMS デバイスにのみ存在します。	

Copyright © 2025 Texas Instruments Incorporated

7.5 C28x プロセッサ

この CPU は 32 ビット固定小数点プロセッサです。このデバイスは、デジタル信号処理、RISC (Reduced Instruction Set Computing)、マイクロコントローラ・アーキテクチャ、ファームウェア、ツール・セットの機能を最大限に活用しています。

CPU の特長として、改良型ハーバード・アーキテクチャおよびサーキュラー・アドレッシングがあります。RISC の特長は、シングルサイクルの命令実行、レジスタ間の演算、改良型ハーバード・アーキテクチャです。マイクロコントローラの特長としては、直感的な命令セット、バイトのパッキングとアンパッキング、ビット操作などによる使いやすさがあります。改良型ハーバード・アーキテクチャの CPU は、命令とデータのフェッチを並列に実行できます。CPU は、データを書き込んでいる間に、命令とデータを同時に読み取ることができ、パイプライン全体でシングルサイクル命令実行の動作を維持できます。CPU は、6 つの独立したアドレス / データ・バスを使用してこの処理を行います。

CPU アーキテクチャおよび命令セットの詳細については、『TMS320C28x CPU および命令セット・リファレンス・ガイド』を参照してください。

7.5.1 浮動小数点演算ユニット (FPU)

C28x + 浮動小数点 (C28x+FPU) プロセッサでは、レジスタと命令を追加して C28x 固定小数点 CPU の機能を拡張することにより、、IEEE 単精度浮動小数点の演算をサポートしています。

C28x+FPU を搭載したデバイスは、標準の C28x レジスタ・セットに加えて、追加の浮動小数点ユニット・レジスタ・セットを備えています。追加の浮動小数点ユニット・レジスタは以下のとおりです。

- 8 つの浮動小数点結果レジスタ RnH (n = 0～7)
- 浮動小数点ステータス・レジスタ (STF)
- リピート・ブロック・レジスタ (RB)

リピート・ブロック・レジスタを除くすべての浮動小数点レジスタにシャドウイングが行われます。このシャドウイングは、優先度の高い割り込みで使用して、浮動小数点レジスタのコンテキスト保存と復元を高速化できます。

C28x 浮動小数点ユニット (FPU) の詳細については、『TMS320C28x 拡張命令セット・テクニカル・リファレンス・マニュアル』を参照してください。

7.5.2 三角関数演算ユニット (TMU)

三角関数演算ユニット (TMU) は、C28x+FPU に命令を追加するとともに既存の FPU 命令を活用することで、その機能を拡張し、表 7-5 に示すような、一般的な三角関数と算術演算の実行を高速化します。

表 7-5. TMU がサポートする命令

命令	C での等価演算	パイプラインのサイクル数
MPY2PIF32 RaH,RbH	a = b * 2pi	2/3
DIV2PIF32 RaH,RbH	a = b / 2pi	2/3
DIVF32 RaH,RbH,RcH	a = b/c	5
SQRTF32 RaH,RbH	a = sqrt(b)	5
SINPUF32 RaH,RbH	a = sin(b*2pi)	4
COSPUF32 RaH,RbH	a = cos(b*2pi)	4
ATANPUF32 RaH,RbH	a = atan(b)/2pi	4
QUADF32 RaH,RbH,RcH,RdH	ATANPU2 の計算に役立つ演算	5

既存の命令、パイプライン、メモリ バス アーキテクチャに変更は加えられていません。すべての TMU 命令は、既存の FPU レジスタ セット (R0H～R7H) を使用して演算を実行します。

詳細については、『TMS320C28x 拡張命令セット テクニカル リファレンス マニュアル』を参照してください。

7.5.3 VCRC ユニット

巡回冗長検査 (CRC) アルゴリズムは、大規模なデータ・ブロック、通信パケット、またはコード・セクションでデータの整合性を検証するための明快な方法を提供します。C28x+VCRC は、8 ビット、16 ビット、24 ビット、32 ビットの CRC を実行できます。たとえば 10 バイトのブロック長の場合、VCRC は CRC 計算を 10 サイクルで完了します。CRC 結果レジスタには現在の CRC が収容されており、CRC 命令が実行されると値が更新されます。

以下が、VCRC の CRC 計算ロジックで使用される CRC 多項式です。

- CRC8 多項式 = 0x07
- CRC16 多項式 1 = 0x8005
- CRC16 多項式 2 = 0x1021
- CRC24 多項式 = 0x5d6dcb
- CRC32 多項式 1 = 0x04c11db7
- CRC32 多項式 2 = 0x1edc6f41

このモジュールでは、1 サイクルで 1 バイトのデータに対する CRC を計算できます。CRC8、CRC16、CRC24、CRC32 の CRC 計算は、(C28x コアが読み取る 16 ビットまたは 32 ビットのデータ全体を計算する代わりに) バイト単位で実行されるので、各種規格で要求されているバイト単位の計算要件にも適合します。

また、この VCRC ユニットでは、任意の多項式のサイズ (1 バイト～32 バイト) と値を指定して、カスタムの CRC 要件を満たすこともできます。カスタムの多項式を使用する場合には、CRC の実行時間が 3 サイクルに増加します。

巡回冗長検査 (VCRC) 命令セットの詳細については、『TMS320C28x 拡張命令セット・テクニカル・リファレンス・マニュアル』を参照してください。

Copyright © 2025 Texas Instruments Incorporated

7.5.4 ロックステップ比較モジュール (LCM)

ランタイム中のハードウェア モジュールの整合性は、機能安全に関する重要な要件です。ロックステップ CPU アーキテクチャによって実装されたハードウェア冗長性 (2 つの CPU で同じ機能を実行して CPU の出力を継続的に比較) は、永続的な障害と過渡的な障害の両方について高い診断範囲を達成する実証済みの手法です。CPU からの出力を比較して永続的および過渡的な障害を検出するために、ロックステップ コンパレータ モジュール (LCM) が実装されています。

LCM の主な機能は次のとおりです。

- パイプライン方式のアーキテクチャ
- 冗長比較
- セルフ テスト機能
  - 一致 / 不一致テスト
  - エラー強制機能
- 時間的冗長性:クロックや電源の故障などの共通原因故障の問題に対処するために、2 つのモジュールの動作が 2 サイクルずつスキューされます。これにより、時間的冗長性が確保されます。
- 空間的冗長性:ロックステップ アーキテクチャでは、モジュール インスタンスが冗長的にインスタンス化され、その出力が比較されます。冗長的なインスタンス化により、空間的冗長性を実現します。
- 遅延なしの機能出力パスにより (時間的冗長性を維持しながら) システムで遅延なしの CPU 実行を実現。
- モジュールの重要なメモリ マップ レジスタについてのパリティ方式を使用したレジスタ保護。

図 7-2 に、LCM のブロック図を示します。

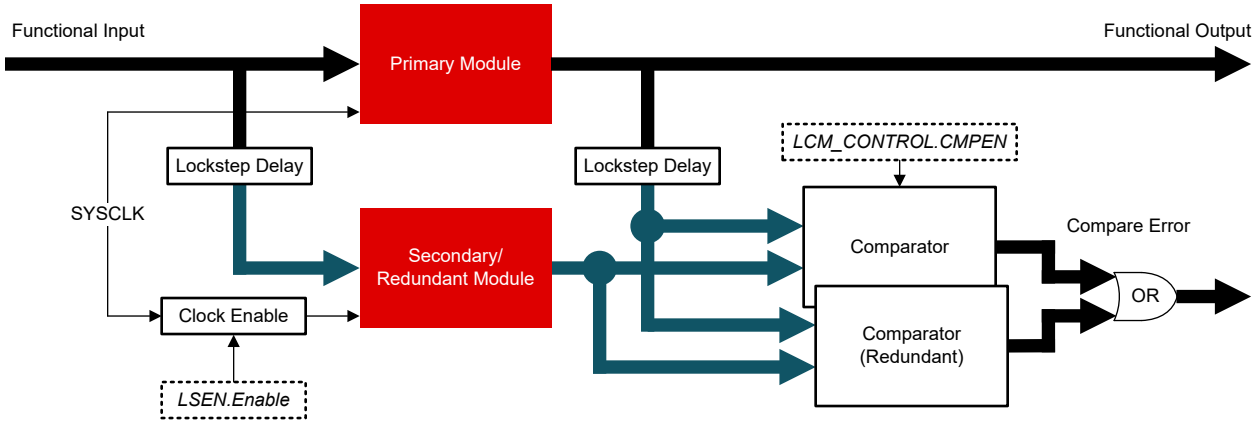


図 7-2. LCM のブロック図

注

このブロック図で示しているモジュールは、デバイスでどちらを使用できるかに応じて、CPU (CPU1 など) またはペリフェラル のどちらかになります。

7.6 デバイス ブート モード

このセクションでは、デフォルトのブート モードと、このデバイスでサポートされているすべてのブート モードについて説明します。ブート ROM は、ブート モード選択、汎用入出力 (GPIO) ピンを使用して、ブート モードの構成を判断します。

表 7-6 に、デフォルトのブート モード選択ピンで選択可能なブート モード オプションを示します。ブートアップ テーブルで選択可能なブート モードと、使用するブート モード選択ピン GPIO をカスタマイズできるようにデバイスをプログラムすることができます。

サポートされているすべてのペリフェラル ブート モードは、ペリフェラル モジュールの最初のインスタンス (SCIA、SPIA、I2CA、CANA など) を使用します。この章でこれらのブート モードに言及する場合は、最初のモジュール インスタンスを指しています。たとえば SCI ブートと言えば、SCIA ポートでの SCI ブートを意味します。他のペリフェラル ブートについても同様です。

ブート ROM の実行からフラッシュ内の最初の命令をフェッチするまでの時間である $t_{boot\text{-}flash}$ については、「リセット (XRSn) のスイッチング特性」表と「リセット タイミング図」を参照してください。

表 7-6. デバイスのデフォルト ブート モード

ブート モード	GPIO24 (デフォルトのブート モード選択ピン 1)	GPIO32 (デフォルトのブート モード選択ピン 0)
パラレル IO	0	0
SCI / ウェイト ブート(1)	0	1
CAN	1	0
フラッシュ	1	1

(1) SCI ブート モードは、SCI オートボー ロック プロセス中に SCI が「A」または「a」を待機し続ける限り、待機ブート モードとして使用できます。

表 7-7 に、このデバイスでサポートされているブート モードを示します。デフォルトのブート モード ピンは、GPIO24 (ブート モード ピン 1) および GPIO32 (ブート モード ピン 0) です。ユーザーがこれらのピンでペリフェラルも使用する場合、ブート モード ピンを弱くプルアップすることを選択してもかまいません。これは、プルアップをオーバーライドできるようにするためです。このデバイスでは、ユーザーが構成可能なデュアル コード セキュリティ モジュール (DCSM) OTP 領域をプログラムすることにより、出荷時のデフォルトのブート モード ピンを変更できます。

表 7-7. 利用可能なすべてのブート モード

ブート モード番号	ブート モード
0	パラレル
1	SCI / ウェイト
2	CAN
3	フラッシュ
4	ウェイト
5	RAM
6	SPI
7	I2C
8	CAN FD
10	セキュア フラッシュ

注

サポートされているすべてのペリフェラル ブート モードは、ペリフェラル モジュールの最初のインスタンス (SCIA、SPIA、I2CA、CANA など) を使用します。このセクションで、これらのブート モードに言及する場合は、最初のモジュール インスタンスを指しています。たとえば SCI ブートと言えば、SCIA ポートでの SCI ブートを意味します。他のペリフェラル ブートについても同様です。

Copyright © 2025 Texas Instruments Incorporated

7.6.1 デバイス・ブートの構成

このセクションでは、利用可能なブート構成とその構成方法について詳しく説明します。このデバイスでは、0～3 本のブート・モード選択ピンと、1～8 個のブート・モードの構成がサポートされています。

デバイスをデフォルト設定からアプリケーション用のカスタム設定に変更および構成するには、次のプロセスを使用します。

1. アプリケーションをブートできるようにする方法をすべて決定します。たとえば、メイン・アプリケーション用のフラッシュ・ブートのプライマリ・ブート・オプション、ファームウェア更新用の CAN ブートのセカンダリ・ブート・オプション、デバッグ用の SCI ブートの 3 番目のブート・オプションなどです。
2. 必要なブート・モードの数に基づいて、ブート・モードの選択に必要なブート・モード選択ピン (BMSP) の数を決定します。たとえば、3 つのブート・モード・オプションから選択するには、2 つの BMSP が必要です。
3. 必要な BMSP を物理的な GPIO ピンに割り当てます。たとえば、BMSP0 を GPIO10 に、BMSP1 を GPIO51 に、BMSP2 をデフォルト (ディセーブル) のままにするなどです。これらの構成の実行の詳細については、セクション 7.6.1.1 を参照してください。
4. 決定したブート・モード定義を、BMSP のデコードされた値に相関付けるカスタム・ブート・テーブルのインデックスに割り当てます。たとえば、BOOTDEF0 = ブートからフラッシュ、BOOTDEF1 = CAN ブート、BOOTDEF2 = SCI ブートに割り当て、その他のすべての BOOTDEFx はデフォルト / なしのままにします。カスタム・ブート・モード・テーブルの設定と構成の詳細については、セクション 7.6.1.2 を参照してください。

また、『TMS320F280015x リアルタイム・マイクロコントローラ・テクニカル・リファレンス・マニュアル』の「ブート・モードの使用例」セクションに、BMSP およびカスタム・ブート・テーブルの構成方法に関する使用例がいくつか記載されています。

注

CAN ブート・モードは、XTAL をオンにします。CAN ブート・モードを使用する前に、アプリケーションに XTAL がインストールされていることを確認してください。

7.6.1.1 ブート・モード・ピンの構成

このセクションでは、ユーザーが構成可能なデュアル・ゾーン・セキュリティ・モジュール (DCSM) OTP 内の BOOTPIN_CONFIG 領域 (表 7-8 を参照) をプログラムすることにより、ブート・モード選択ピンをユーザーがカスタマイズする方法について説明します。DCSM OTP 内のその領域は、Z1-OTP-BOOTPIN-CONFIG または Z2-OTP-BOOTPIN-CONFIG です。デバッグ時には、EMU-BOOTPIN-CONFIG が Z1-OTP-BOOTPIN-CONFIG / Z2-OTP-BOOTPIN-CONFIG をエミュレートする代用として機能するので、OTP に書き込まずにさまざまなブート・モードを検証するようにプログラムできます。このデバイスは、必要に応じて 0、1、2、3 のブート・モード選択ピンを使用するようにプログラムできます。

注

Z2-OTP-BOOTPIN-CONFIG を使用する場合、この領域にプログラムされた構成が Z1-OTP-BOOTPIN-CONFIG の構成よりも優先されます。まず Z1-OTP-BOOTPIN-CONFIG を使用し、OTP 構成を変更する必要がある場合に Z2-OTP-BOOTPIN-CONFIG を使用するように切り替えることを推奨します。

表 7-8. BOOTPIN_CONFIG のビット・フィールド

ビット	名称	説明
31:24	キー	この 8 ビットに 0x5A を書き込んでこのレジスタのビットが有効であることを示す
23:16	ブート・モード選択ピン 2 (BMSP2)	BMSP2 以外は BMSP0 の説明を参照
15:8	ブート・モード選択ピン 1 (BMSP1)	BMSP1 以外は BMSP0 の説明を参照
7:0	ブート・モード選択ピン 0 (BMSP0)	ブート時に使用する GPIO ピンを設定 (最大 255): - 0x0 = GPIO0 - 0x01 = GPIO1 - 以下同様 0xFF を書き込むと BMSP0 がディセーブルになり、このピンはブート・モードの選択には使用されない

注

GPIO 224～253 はアナログ・ピンですが、ソフトウェアが GPIOHAMSEL レジスタ・ビットに書き込む場合は、これらのピンにデジタル入力を供給できます。

以下の GPIO を BMSP として使用することは**できません**。特定の BMSP 用に選択した場合、ブート ROM により BMSP0 および BMSP1 の工場出荷時デフォルト GPIO が自動的に選択されます。BMSP2 の工場出荷時デフォルトは 0xFF で、BMSP はディセーブルになります。

- GPIO 36、38、39、47、50～223、225、229、230～241、243 (どのパッケージでも利用不可)

Copyright © 2025 Texas Instruments Incorporated

表 7-9. スタンドアロンのブート・モード選択ピン・デコード

BOOTPIN_CONFIG キー	BMSP0	BMSP1	BMSP2	選択されるブート・モード
!= 0x5A	不定	不定	不定	工場出荷時デフォルトの BMSP で定義されるブート
= 0x5A	0xFF	0xFF	0xFF	ブート・モード 0 のブート・テーブルで定義されるブート (すべての BMSP がディセーブル)
	有効な GPIO	0xFF	0xFF	BMSP0 の値で定義されるブート (BMSP1 および BMSP2 がディセーブル)
	0xFF	有効な GPIO	0xFF	BMSP1 の値で定義されるブート (BMSP0 および BMSP2 がディセーブル)
	0xFF	0xFF	有効な GPIO	BMSP2 の値で定義されるブート (BMSP0 および BMSP1 がディセーブル)
	有効な GPIO	有効な GPIO	0xFF	BMSP0 と BMSP1 の値で定義されるブート (BMSP2 がディセーブル)
	有効な GPIO	0xFF	有効な GPIO	BMSP0 と BMSP2 の値で定義されるブート (BMSP1 がディセーブル)
	0xFF	有効な GPIO	有効な GPIO	BMSP1 と BMSP2 の値で定義されるブート (BMSP0 がディセーブル)
	有効な GPIO	有効な GPIO	有効な GPIO	BMSP0、BMSP1、BMSP2 の値で定義されるブート
	無効な GPIO	有効な GPIO	有効な GPIO	BMSP0 は工場出荷時のデフォルトの BMSP0 GPIO にリセット BMSP0、BMSP1、BMSP2 の値で定義されるブート
	有効な GPIO	無効な GPIO	有効な GPIO	BMSP1 は工場出荷時のデフォルトの BMSP1 GPIO にリセット BMSP0、BMSP1、BMSP2 の値で定義されるブート
	有効な GPIO	有効な GPIO	無効な GPIO	BMSP2 は工場出荷時のデフォルト状態 (ディセーブル) にリセット BMSP0 および BMSP1 の値で定義されるブート

注

ブート・モードをデコードする際、BMSP0 がブート・テーブル・インデックス値の最下位ビット、BMSP2 が最上位ビットです。BMSP をディセーブルにする場合は、BMSP2 から開始することをお勧めします。たとえば、BMSP2 のみを使用する場合 (BMSP1 と BMSP0 がディセーブル)、ブート・テーブル・インデックスの 0 と 4 のみが選択可能です。BMSP0 のみを使用する場合、選択可能なブート・テーブル・インデックスは 0 と 1 です。

7.6.1.2 ブート モード テーブル オプションの設定

このセクションでは、デバイスおよび関連するブート オプションのブート定義表、BOOTDEF を構成する方法について説明します。ユーザーが構成可能な DCSM OTP の中に、Z1-OTP-BOOTDEF-LOW および Z1-OTP-BOOTDEF-HIGH として 64 ビットの領域があります。デバッグ時には、EMU-BOOTDEF-LOW および EMU-BOOTDEF-HIGH が、Z1-OTP-BOOTDEF-LOW および Z1-OTP-BOOTDEF-HIGH をエミュレートする代用として機能するので、OTP に書き込まずにさまざまなブート モード オプションを検証するようにプログラムできます。ブート定義テーブルに対するカスタマイズの範囲は、使用されているブート モード選択ピン (BMSP) の数によって異なります。たとえば、0 本の BMSP は 1 つのテーブル エントリに等しく、1 本の BMSP は 2 つのテーブル エントリに等しく、2 本の BMSP は 4 つのテーブル エントリに等しく、3 本の BMSP は 8 つのテーブル エントリに等しくなります。BOOTPIN_CONFIG および BOOTDEF 値の設定方法の例については、『TMS320F280015x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』を参照してください。

注

Z2-OTP-BOOTPIN-CONFIG が設定されている場合には、Z1-OTP-BOOTDEF-LOW および Z1-OTP-BOOTDEF-HIGH のロケーションの代わりに、Z2-OTP-BOOTDEF-LOW および Z2-OTP-BOOTDEF-HIGH のロケーションが使用されます。BOOTPIN_CONFIG 使用の詳細については、セクション 7.6.1.1 を参照してください。

表 7-10. BOOTDEF のビット フィールド

BOOTDEF 名	バイト位置	名称	説明
BOOT_DEF0	7:0	BOOT_DEF0 モード / オプション	ブート テーブルのインデックス 0 にブート モードを設定します。 それぞれのブート モードとそのオプションの例としては、特定のブートローダのための異なる GPIO の使用、あるいはフラッシュ上の異なるエントリ ポイント アドレスの使用などが挙げられます。サポートされていないブート モードを使用すると、デバイスはブートを待機するか、フラッシュからブートします。 テーブルで設定する有効な BOOTDEF 値については、「*GPIO* の割り当て」セクションを参照してください。
BOOT_DEF1	15:8	BOOT_DEF1 モード / オプション	BOOT_DEF0 の説明を参照
BOOT_DEF2	23:16	BOOT_DEF2 モード / オプション	
BOOT_DEF3	31:24	BOOT_DEF3 モード / オプション	
BOOT_DEF4	39:32	BOOT_DEF4 モード / オプション	
BOOT_DEF5	47:40	BOOT_DEF5 モード / オプション	
BOOT_DEF6	55:48	BOOT_DEF6 モード / オプション	
BOOT_DEF7	63:56	BOOT_DEF7 モード / オプション	

Copyright © 2025 Texas Instruments Incorporated

7.6.2 GPIO の割り当て

このセクションでは、BOOT_DEF メモリの領域 Z1-OTP-BOOTDEF-LOW / Z2-OTP-BOOTDEF-LOW および Z1-OTP-BOOTDEF-HIGH / Z2-OTP-BOOTDEF-HIGH でのブート モードの設定に使用される GPIO とブート オプションの値について詳細に説明します。BOOT_DEFx の構成方法については、セクション 7.6.1.2 を参照してください。ブート モード オプションを選択するときは、使用する特定のデバイス パッケージのピン マルチプレクサ オプションで、必要なピンが利用可能であることを確認します。

デフォルトのブート モード GPIO ピン:

- ブート モード ピン 0 - GPIO32
- ブート モード ピン 1 - GPIO24

ブート ピン選択のガイドライン:

- PWM 機能を持つピンは避けてください。
- アナログまたは USB ピンにすることはできません。
- ブート モード選択ピンとデフォルトのブート ペリフェラル ピンは、すべてのパッケージで使用できます。
- JTAG エミュレーション ピンと水晶振動子ピンは避けてください。
- ブート モード選択ピンは入力にすることができます。
- ピンに PHY ブートストラップ機能を持たせることはできません。

表 7-11. SCI ブート オプション

オプション	BOOTDEF 値	SCITXDA GPIO	SCIRXDA GPIO	サポート対象のパッケージ
0 (デフォルト)	0x01	GPIO29	GPIO28	すべて
1	0x21	GPIO1	GPIO0	すべて
2	0x41	GPIO8	GPIO9	48-QFN、64-QFP、80-QFP
3	0x61	GPIO7	GPIO3	すべて
4	0x81	GPIO16	GPIO3	48-QFP、48-QFN、64-QFP、80-QFP

表 7-12. CAN ブート オプション

オプション	BOOTDEF 値	CANTXA GPIO	CANRXA GPIO	サポート対象のパッケージ
0 (デフォルト)	0x02	GPIO7	GPIO5	すべて
1	0x22	GPIO32	GPIO33	48-QFP、48-QFN、64-QFP、80-QFP
2	0x42	GPIO2	GPIO3	48-QFP、48-QFN、64-QFP、80-QFP
3	0x62	GPIO13	GPIO12	48-QFP、48-QFN、64-QFP、80-QFP

表 7-13. CAN-FD ブート オプション

オプション	BOOTDEFx 値	CANTXA GPIO	CANRXA GPIO	サポート対象のパッケージ
0	0x08	GPIO1	GPIO0	すべて
1	0x28	GPIO4	GPIO5	48-QFP-PHP、48-QFN、64-QFP、80-QFP
2	0x48	GPIO13	GPIO12	48-QFP、48-QFN、64-QFP、80-QFP

表 7-14. I2C ブート オプション

オプション	BOOTDEF 値	SDAA GPIO	SCLA GPIO	サポート対象のパッケージ
0	0x07	GPIO0	GPIO1	すべて
1	0x27	GPIO32	GPIO33	48-QFP、48-QFN、64-QFP、80-QFP
2	0x47	GPIO5	GPIO4	48-QFP-PHP、48-QFN、64-QFP、80-QFP

表 7-15. SPI ブート オプション

オプション	BOOTDEF 値	SPISIMOA	SPISOMIA	SPICLKA	SPISTEA	サポート対象のパッケージ
0	0x06	GPIO7	GPIO1	GPIO3	GPIO5	すべて
1	0x26	GPIO16	GPIO1	GPIO3	GPIO0	48-QFP、48-QFN、64-QFP、80-QFP
2	0x46	GPIO8	GPIO10	GPIO9	GPIO11	64-QFP、80-QFP
3	0x66	GPIO16	GPIO13	GPIO12	GPIO29	48-QFP、48-QFN、64-QFP、80-QFP

表 7-16. パラレル ブート オプション

オプション	BOOTDEF 値	D0～D7 GPIO	C28x (DSP) 制御 GPIO	ホスト制御 GPIO	サポート対象のパッケージ
0 (デフォルト)	0x00	D0～GPIO0	GPIO224	GPIO242	すべて
		D1～GPIO1			
		D2～GPIO3			
		D3～GPIO5			
		D4～GPIO7			
		D5～GPIO24			
		D6～GPIO28			
		D7～GPIO29			
1	0x20	D0～GPIO0	GPIO12	GPIO13	48-QFP、48-QFN、64-QFP、80-QFP
		D1～GPIO1			
		D2～GPIO2			
		D3～GPIO3			
		D4～GPIO5			
		D5～GPIO6			
		D6～GPIO7			
		D7～GPIO24			

Copyright © 2025 Texas Instruments Incorporated

表 7-16. パラレル ブート オプション (続き)

オプション	BOOTDEF 値	D0～D7 GPIO	C28x (DSP) 制御 GPIO	ホスト制御 GPIO	サポート対象のパッケージ
2	0x40	D0～GPIO0	GPIO16	GPIO29	48-QFP、48-QFN、64-QFP、80-QFP
		D1～GPIO1			
		D2～GPIO2			
		D3～GPIO3			
		D4～GPIO5			
		D5～GPIO6			
		D6～GPIO7			
		D7～GPIO24			

7.7 セキュリティ

セキュリティ機能は、デュアル コード セキュリティ モジュール (DCSM) によって実装されます。第一の防御層はチップの境界を保護することであり、これは常に有効にしておく必要があります。それに加えて、デュアル ゾーン セキュリティ機能をコード分割のサポートに利用できます。

7.7.1 チップの境界の保護

次の 2 つの機能をファームウェア アップデート コードの認証と組み合わせて使用すると、デバイス上で不正なコードが実行されるのを防止するのに役立ちます。

7.7.1.1 JTAGLOCK

USER OTP で JTAGLOCK 機能をイネーブルにすると、デバイス上のリソースへの JTAG アクセス (デバッグ プローブなど) がディセーブルになります。

7.7.1.2 ゼロピン・ブート

USER OTP ブロックでゼロピン ブート オプションをフラッシュ ブートと組み合わせてイネーブルにすると、ピンベースの外部ブートローダー オプション (SCI、CAN、Parallel など) がすべてブロックされます。

7.7.2 デュアル ゾーン セキュリティ

デュアル ゾーン セキュリティ メカニズムは、ゾーン 1 (Z1) とゾーン 2 (Z2) の 2 つのゾーンを保護します。両方のゾーンに対するセキュリティの実装は同一です。各ゾーンには、専用のセキュア・リソース (OTP メモリおよびセキュア ROM) と、割り当てられたセキュア・リソース (LSx RAM、フラッシュ・セクタ) があります。

7.7.3 免責事項

Code Security Module Disclaimer

このデバイスに搭載されているコード・セキュリティ・モジュール (CSM) は、関連メモリに保存されているデータをパスワードで保護するように設計されています。テキサス・インスツルメンツは、このデバイスに適用される保証期間において、標準契約条件に従って、この CMS がテキサス・インスツルメンツの発行した仕様書に準拠していることを保証します。

ただし、テキサス・インスツルメンツは、CSM で情報漏洩もしくは侵害が発生しないこと、または関連メモリに格納されているデータに他の手段でアクセスできないことを保証もしくは表明するものではありません。さらに、前述の規定を除き、テキサス・インスツルメンツは、商品性または特定目的への適合性に関する黙示の保証を含めて、CSM について、またはこのデバイスの動作について、保証または表明を行うものではありません。

いかなる場合においても、テキサス・インスツルメンツは、CSM またはこのデバイスの何らかの方法での使用に関連または起因して発生した、特別、間接的、偶発的、懲罰的な損害について、テキサス・インスツルメンツがこれらの損害の可能性について通知されていたかどうかにかかわらず、一切責任を負わないものとします。除外される損害には、データの消失、営業上の信用喪失、使用不能の損失、または業務の中断、その他の経済的損失が含まれますが、これらに限定されません。

Copyright © 2025 Texas Instruments Incorporated

7.8 ウォッチドッグ

このウォッチドッグ モジュールは、従来の TMS320C2000™ マイクロコントローラと同じですが、オプションでカウンタのソフトウェア リセット間隔の下限を設定できます。このウィンドウ付きカウントダウンは、デフォルトで無効になっているため、ウォッチドッグは完全に下位互換性があります。

ウォッチドッグは、リセットまたは割り込みのどちらかを生成します。選択可能な分周器付きの内部発振器からクロックが供給されます。

図 7-3 に、ウォッチドッグ・モジュール内の各種機能ブロックを示します。

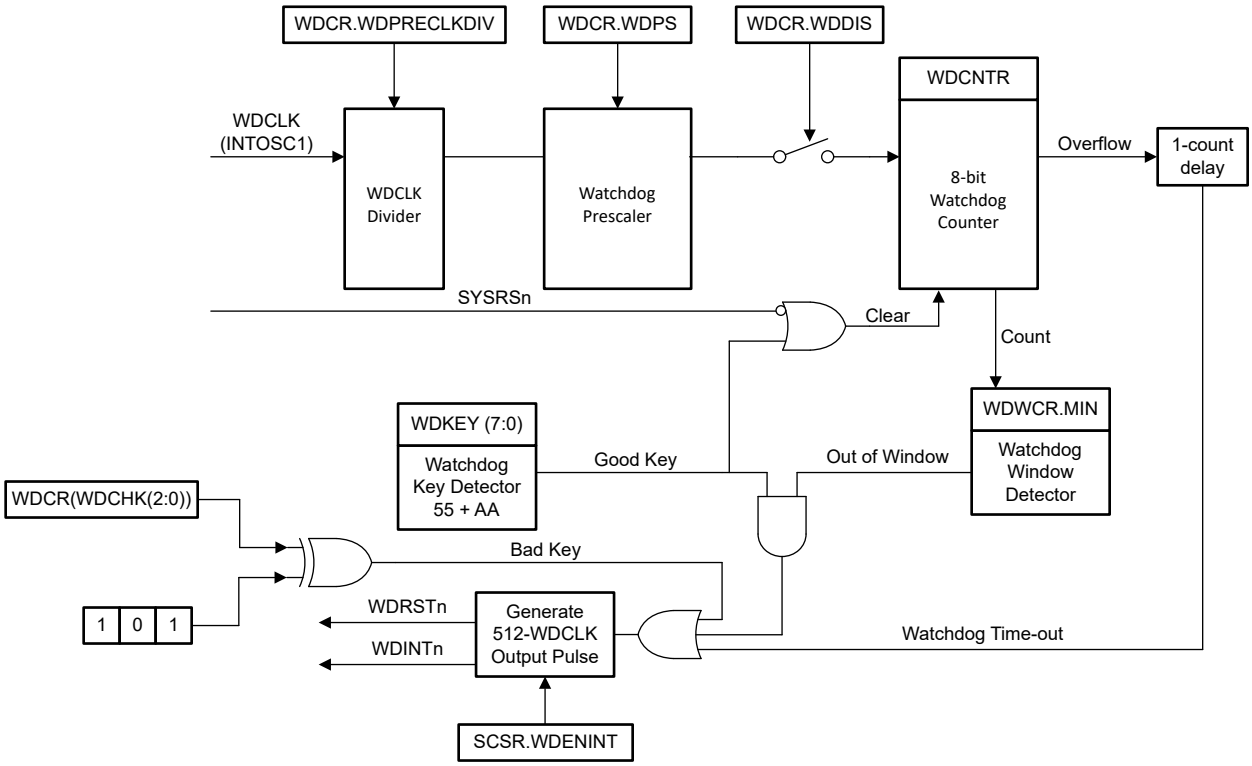


図 7-3. ウィンドウ付きウォッチドッグ

7.9 C28x タイマ

CPU タイマ 0、1、2 は、同一仕様の 32 ビット タイマであり、周期をプリセット可能で、16 ビット クロック プリスケーリングを備えています。これらのタイマには、32 ビットのカウントダウン レジスタがあり、カウンタが 0 に達したときに割り込みを発生させます。このカウンタは、CPU クロック速度をプリスケール設定値で除算した速度でデクリメントされます。カウンタが 0 になると、32 ビットの周期値が自動的に再ロードされます。

CPU タイマ 0 は汎用であり、PIE ブロックに接続されています。CPU タイマ 1 も汎用であり、CPU の INT13 に接続されています。CPU タイマ 2 は、TI-RTOS 用に予約されています。これは、CPU の INT14 に接続されています。TI-RTOS を使用していない場合は、CPU タイマ 2 を汎用として使用できます。

CPU タイマ 2 には、次のいずれかのクロックを供給できます。

- SYSCLK (デフォルト)
- 内部発振器 1 (INTOSC1)
- 内部発振器 2 (INTOSC2)
- X1 (XTAL)

Copyright © 2025 Texas Instruments Incorporated

7.10 デュアル・クロック・コンパレータ (DCC)

DCC モジュールは、より正確で信頼性の高いバージョンである 2 番目のクロックに基づいてクロック入力を評価および監視するのに使用されます。この計測機器は、クロック・ソースまたはクロック構造の障害を検出するために使用され、システムの安全性指標を強化します。

7.10.1 特長

DCC の特長は次のとおりです。

- アプリケーションが、2 つのクロック信号の周波数の間で固定比率を維持できるようにします。
- 基準クロック・サイクル数に関して、プログラム可能な許容範囲ウィンドウを定義できます。
- アプリケーションが介在しなくても継続的に監視できます。
- スポット測定のためのシングル・シーケンス・モードをサポートしています。
- 複数の特殊な使用事例のために各カウンタのクロック源を選択することもできます。

7.10.2 DCCx クロック ソース入力のマッピング

表 7-17. DCCx クロック ソース 0 表

DCCxCLKSRC0[3:0]	クロック名
0x0	XTAL/X1
0x1	INTOSC1
0x2	INTOSC2
0x4	TCK
0x5	CPU1.SYSCLK
0x8	AUXCLKIN
0xC	INPUT XBAR (入力クロスバーの出力 16)
その他	予約済み

表 7-18. DCCx クロック ソース 1 表

DCCxCLKSRC1[4:0]	クロック名
0x0	PLLRAWCLK
0x2	INTOSC1
0x3	INTOSC2
0x6	CPU1.SYSCLK
0x9	Input XBAR (入力クロスバーの出力 15)
0xA	AUXCLKIN
0xB	EPWMCLK
0xC	LSPCLK
0xD	ADCCLK
0xE	WDCLK
0xF	CAN0BITCLK
その他	予約済み

7.11 機能安全

機能安全準拠製品は、ISO 26262 / IEC 61508 に準拠したハードウェア開発プロセスに基づいて開発されており、このプロセスは、ASIL D/SIL 3 の決定論的能力を満たすことが独立した機関によって評価および認証されています (認証書を参照)。TMS320F280015x は、コンポーネント レベルで ASIL B および SIL 2 のランダム ハードウェア性能を満たすことが認証されています (認証書を参照)。

すべてのハードウェアおよびソフトウェアの機能安全メカニズムについて説明した機能安全マニュアルを利用できます。*『TMS320F280015x 機能安全マニュアル』*を参照してください。

ランダム ハードウェア メトリックスの計算を可能にする、故障注入による詳細かつ調整可能で定量的な FMEDA (国際標準化機構 ISO 26262 および国際電気標準会議 IEC 61508 で規定されている車載用および産業用アプリケーション向け) も利用できます。この調整可能な FMEDA は、請求する必要があります。*『C2000™ 車載用および産業用リアルタイム・マイクロコントローラ向け安全パッケージ』ユーザー・ガイド*を参照してください。

- 調整可能な FMEDA の価値 (または利点) の概要を説明したホワイト・ペーパーをご用意しています。*『機能安全: C2000™ MCU 向けの調整可能な FMEDA』*出版物を参照してください。
- 5 部構成の FMEDA チューニング・トレーニングの第 1 部と第 2 部は、テキサス・インスツルメンツのビデオ・ライブラリから入手できます。第 1 部は、『FMEDA の基礎とシステム・レベルの安全性分析における有用性』です。第 2 部は、『C2000™ 調整可能な FMEDA の概要』です。第 3 部、第 4 部、第 5 部は、調整可能な FMEDA とパッケージされているため、請求する必要があります。

F280015x シリーズのデバイス用に設計された 2 つの診断ライブラリは、機能安全システムの開発に役立ちます。C28x セルフ テスト ライブラリ (C28x_STL) とソフトウェア診断ライブラリ (SDL) です。C28x_STL は、C28x のソフトウェア テストを提供するものであり、独立した機関によって評価および認証を受けています。この製品は、ご請求いただいた場合のみ利用できます。『C2000™ 車載用および産業用リアルタイム・マイクロコントローラ向け安全パッケージ』ユーザー・ガイドをご覧ください。 SDL は一連のリファレンス ソフトウェアで構成されており、デバイスの安全マニュアルに記載されているいくつかの安全メカニズムの実装例を提供します。たとえば、LCM セルフ テスト、SRAM のソフトウェア テスト、クロック消失検出機能のソフトウェア テスト、CPU タイマを使用したクロック整合性チェック、その他いくつかの重要な機能です。SDL は C2000Ware の一部として提供されています。

C2000 リアルタイム MCU には、テキサス・インスツルメンツのリリース検証に基づく C28x および CLA コンパイラ認定キット (CQKIT) が用意されています。このキットは無償で入手でき、コンパイラ認定キット Web ページで請求できます。

C2000 リアルタイム MCU を使用して機能安全システムを開発する方法の詳細については、以下の資料を参照してください。

- 『C2000™ リアルタイム・マイクロコントローラの車載向け機能安全』には、ISO 26262 認証プロセスを支援するために利用可能な機能安全製品、資料、ソフトウェア、およびサポートが要約されています。
- 『C2000™ リアルタイム・マイクロコントローラの産業用機能安全』には、IEC 61508 認証プロセスを支援するために利用可能な機能安全製品、資料、ソフトウェア、およびサポートが要約されています。
- 『SRAM でのエラー検出』アプリケーション・レポートには、SRAM ビット・セルおよびビット・アレイの性質、SRAM 障害の発生源に関する技術情報が記載されています。さらに、電子システムのメモリ障害を管理する方法を示しています。この説明は、組み込み SRAM の堅牢性向上に関心のある電子システム開発者またはインテグレータを対象としたものです。
- 『C2000™ CPU メモリの内蔵セルフ・テスト』では、アクティブ制御ループでの C28x 中央処理装置 (CPU) を使った組み込みメモリの検証について説明します。メモリ検証に関するシステムの課題と、C2000 デバイスおよびソフトウェアが提供するさまざまなソリューションについて説明します。最後に、メモリ・テストに適用可能なソフトウェア診断ライブラリについて説明します。

Copyright © 2025 Texas Instruments Incorporated

8 アプリケーション、実装、およびレイアウト

8.1 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

『F2800x C2000™ リアルタイム MCU シリーズ用ハードウェア設計ガイド』アプリケーション・ノートは、C2000 デバイスを使用するハードウェア開発者向けの重要なガイドであり、設計プロセスの合理化と、設計不具合の可能性低減に役立ちます。ここで説明する主なトピックは、電源要件、汎用入出力 (GPIO) 接続、アナログ入力と ADC、クロック生成と要件、JTAG デバッグなどです。

8.2 デバイスの主な特長

表 8-1. デバイスの主な特長

モジュール	機能	システムの利点
	処理	
リアルタイム制御 CPU	最大 120MIPS C28x：120MIPS フラッシュ：最大 256KB RAM：最大 36KB 32 ビット浮動小数点ユニット (FPU32) 三角関数演算ユニット (TMU) CRC エンジンおよび命令 (VCRC)	テキサス・インスツルメンツの 32 ビット・ロックステップ・デュアル C28x コアを使用すると、ソフトウェアのオーバーヘッドなしで ASIL B 機能安全デバイスの定格を達成できます。 オンチップ・フラッシュまたは SRAM から実行される浮動小数点または固定小数点コードに対して 120MHz の信号処理能力があります。 **FPU32：**IEEE 754 単精度浮動小数点演算のネイティブ・ハードウェア・サポート **TMU：**制御アプリケーション向けに最適化された迅速な計算 (たとえば PLL や DQ 変換) のために、三角関数と算術演算の実行を高速化するために使用されるアクセラレータ。制御ループの高速化を実現し、効率の向上と部品サイズの小型化に貢献します。 非線形 PID 制御アルゴリズムをサポートするための特別な命令 **VCRC：** 大規模なデータ・ブロック、通信パケット、またはコード・セクションでデータの整合性を検証するための明快な方法を提供します。
	センシング	
A/D コンバータ (ADC) (12 ビット)	最大 2 つの ADC モジュール 4MSPS 最大 21 チャネル	ADC は 3 相すべての電流と DC バスをジッタ 0 で高精度かつ同時にサンプリング。 ADC 後処理 - オンチップ・ハードウェアにより、ADC の ISR (割り込みサービス・ルーチン) の複雑さを緩和し、電流ループのサイクルを短縮。 マルチフェーズ・アプリケーションでは、多くの ADC が役に立ちます。より効果的な MSPS (オーバーサンプリング) と標準的な ENOB を提供し、制御ループの性能を向上します。

表 8-1. デバイスの主な特長 (続き)

モジュール	機能	システムの利点
コンパレータ・サブシステム (CMPSS)	**CMPSS** 1 つのウィンドウ付きコンパレータ デュアル 12 ビット DAC DAC ランプ生成 外部ピンの低 DAC 出力 デジタル・フィルタ 検出からトリップまでの時間は 60ns スロープ補償	**誤検出によるアラームを防止するシステム保護機能:** コンパレータ・サブシステム (CMPSS) モジュールは、ピーク電流モード制御、スイッチング電源、力率改善、電圧トリップ監視などのアプリケーションに役立ちます。 アナログ・コンパレータ・サブシステムに搭載されているブランキング・ウィンドウとフィルタリング機能により、PWM トリップのトリガと不要なノイズの除去が簡単になります。 制御精度の向上を実現します。コンパレータ、12 ビット DAC (CMPSS)、および CMPSS_LITE の有効ビット数 9.5 のリファレンス DAC を使用して PWM を制御するために、CPU をさらに構成する必要はありません。 同じピンを使用して保護と制御を実現します。
	CMPSS_LITE 3 つのウィンドウ付きコンパレータ デュアル有効ビット 9.5 ビットのリファレンス DAC デジタル・フィルタ 検出からトリップまでの時間は 40ns スロープ補償	
拡張直交エンコーダ・パルス (eQEP)	2 つの eQEP モジュール	リニアまたはロータリ・インクリメンタル・エンコーダとの直接インターフェイスに使って、高性能動作および位置制御システムに使用される回転機械から位置、方向、速度などの情報を入手できます。また、外部デバイス (センサなど) からの入力パルスをカウントする、その他のアプリケーションでも使用できます。
拡張キャプチャ (eCAP)	3 つの eCAP モジュール イベント間の経過時間を測定します (最大 4 つのタイムスタンプ付きイベント)。 入力クロスバー経由で任意の GPIO に接続します。 キャプチャ・モードで使用しない場合、eCAP モジュールを単一チャネル PWM 出力 (APWM) として構成可能	**eCAP の用途は以下のとおりです。** 回転機械の速度測定 (たとえば、歯付きスプロケットをホール・センサで検知) 位置センサ・パルス間の経過時間測定 パルス列信号の周期およびデューティ・サイクル測定 デューティ・サイクル符号化電流 / 電圧センサから得られた電流または電圧振幅の復号

Copyright © 2025 Texas Instruments Incorporated

表 8-1. デバイスの主な特長 (続き)

モジュール	機能	システムの利点
アクチュエーション		
拡張パルス幅変調 (ePWM)	最大 14 個の ePWM チャネル デッドバンド付きのハイサイド / ローサイド PWM を生成する能力 バレー・スイッチング (バレー・ポイントで PWM 出力を切り替える機能) とブランキング・ウィンドウなどの機能をサポート	最高のパワー・トポロジに対応する、フレキシブルな PWM 波形生成。 シャドウ・デッド・バンド自体およびシャドウ・アクション検証機能により、適応型 PWM の生成と保護が可能になり、制御精度の向上と電力損失の低減を実現できます。 力率改善 (PFC) アプリケーションに特に関係の深い、力率 (PF) と全高調波歪 (THD) の改善を可能にします。軽負荷時の効率向上
	ワンショット・リロードおよびグローバル・リロード機能	可変周波数およびマルチフェーズの DC-DC アプリケーションに不可欠であり、高い周波数の制御ループ (2MHz 超) の達成に役立ちます。 高い周波数でのインターリーブ LLC トポロジの制御を可能にします
	サイクルごと (CBC) のトリップ・イベントおよびワンショット・トリップ (OST) のトリップ・イベントに対して独立した PWM 動作	フォルト状態時に、サイクルごとの保護と完全な PWM シャットオフを実現します。マルチフェーズ PFC または DC-DC 制御の実装に役立ちます。
	SYNC でのロード (SYNC イベントでのシャドウからアクティブへのロードをサポート)	可変周波数アプリケーションを実現 (電力変換で LLC 制御が可能)。
	ソフトウェアの介在なし (ISR：割り込みサービス・ルーチンの待ち時間なし) で PWM をシャットダウン可能	障害発生時の高速な保護
	遅延トリップ機能	ピーク電流モード制御 (PCMC) 位相シフト・フル・ブリッジ (PSFB) DC-DC によるデッドバンドの実装を容易にし、(コンパレータ、トリップ、または SYNC 入力によるトリガ・イベントでも) 多くの CPU リソースを占有しません。
	デッド・バンド・ジェネレータ (DB) サブモジュール	プログラマブル遅延を立ち上がり (RED) および立ち下がり (FED) PWM 信号エッジに追加することで、ハイサイドおよびローサイド・ゲートの同時オン状態を防止します。
	フレキシブルな PWM 位相の関係とタイマの同期	各 ePWM モジュールは、他の ePWM モジュールや他のペリフェラルと同期させることができます。PWM エッジと特定のイベントとが完全同期するよう維持します。 パワー・デバイスのスイッチングと同期して、特定のサンプリング・ウィンドウを使用するフレキシブルな ADC スケジューリングをサポートします。
高分解能パルス幅変調 (HRPWM)	4 本の高分解能チャネル (150ps) デューティ・サイクル、周期、デッド・バンド、位相オフセットに対して 150ps のステップを備えており、99% の精度向上を実現します。	高精度の制御に役立ち、高い周波数での電力変換の性能向上を実現します。 よりクリーンな波形を実現し、出力の発振 / リミット・サイクルを回避します。
コネクティビティ		
シリアル・ペリフェラル・インターフェイス (SPI)	1 つの高速 SPI ポート	30MHz をサポート
シリアル通信インターフェイス (SCI)	3 つの SCI (UART) モジュール	コントローラとのインターフェイス
LIN (Local Interconnect Network)	1 つの LIN	コントローラ・エリア・ネットワーク (CAN) の帯域幅とフォルト・トレランスが不要な場合に、低コストのソリューションを提供します。
CAN (Controller Area Network) / DCAN	1 つの DCAN モジュール	Classic CAN モジュールとの互換性を提供

表 8-1. デバイスの主な特長 (続き)

モジュール	機能	システムの利点
CAN (Controller Area Network) FD / MCAN	1 つの CAN FD/MCAN モジュール	CAN FD (フレキシブル・データ・レート) は、従来の CAN プロトコルを拡張したものです。CAN FD は、データ・セグメントでより高いビット・レート (1Mbps 超) への動的なスイッチングを容易にし、従来の CAN の 8 バイトと比較して最大 64 バイトを許容します。これを実行するのに、物理層を変更する必要はありません。これにより、従来の CAN よりも帯域幅が広くなります。CAN-FD を使用するシステムでは、現場でのフラッシュ更新をより高速に実行できます。
I2C (Inter-Integrated Circuit)	2 つの I2C モジュール	外部 EEPROM、センサ、またはコントローラとのインターフェイス
PMBus (Power-Management Bus)	1 つの PMBus モジュール SMI フォーラム PMBus 仕様 (Part I v1.0 および Part II v1.1) 準拠	ハードウェア・ベースのシームレスなホスト通信
他のシステムの特長		
セキュリティ・エンハンサ	デュアル・ゾーン・コード・セキュリティ・モジュール (DCSM) ウォッチドッグ レジスタへの書き込み保護 クロック消失検出ロジック (MCD) 誤り訂正符号 (ECC) およびパリティ デュアル・クロック・コンパレータ (DCC)	**DCSM:** 社外秘コードの複製やリバース・エンジニアリングを防止します **ウォッチドッグ:** CPU が無限ループに陥った場合にリセットを生成 **レジスタへの書き込み保護:** システム構成レジスタのロック保護 不要な CPU 書き込みに対する保護 **MCD:** クロック故障の自動検出 **ECC およびパリティ:** シングル・ビットの誤り訂正とダブル・ビットの誤り検出 **DCC:** クロック・ソースの障害を検出するために使用されます。
クロスバー (XBAR)	さまざまな構成でデバイスの入力、出力、内部リソースを接続できるフレキシビリティを実現します。 • 入力クロスバー • 出力クロスバー • ePWM クロスバー	**ハードウェア設計の汎用性を向上:** **入力クロスバー:** 任意の GPIO からチップ内の複数の IP ブロックに信号を接続 **出力クロスバー:** 内部信号を指定された GPIO ピンに接続 **ePWM クロスバー:** 内部信号をさまざまな IP ブロックから ePWM に接続

8.3 アプリケーション情報

8.3.1 代表的なアプリケーション

「代表的なアプリケーション」セクションでは、このデバイスのいくつかのアプリケーションについて詳しく説明します。アプリケーションの詳細なリストについては、このデータシートの「アプリケーション」セクションを参照してください。

8.3.1.1 オンボード充電器 (OBC)

OBC および高電圧 DC/DC チャージャ (HV DCDC) 市場では、モジュール ベースの設計とコンボ ボックス ベースの設計が、採用されている 2 つの主要なアーキテクチャです。モジュール型のアプローチでは、製造とサービス後の柔軟性が得られます。コンボ ボックス アプローチは、コンパクト化のために複数の機能を 1 つの筐体に統合することを目的としています。F280015x は、モジュール ベースの制御アーキテクチャとコスト重視のソリューションを目的としており、必要なコントローラの性能は限られ (120MIPS 以下)、コントローラに ASIL B (D) の素子機能安全性が必要です。

オンボード チャージャは、2 つの電力段、PFC (AC/DC) パワー コンバータとそれに続く DC/DC パワー コンバータで構成されています。各電力段は、1 つの MCU で制御されます。

OBC 充電の設計要件は次のとおりです。

- 高効率の電力変換と電力密度の向上を可能にする、高性能で高速なデジタル制御ループ。
- 高帯域幅で高速応答の電流センシングを通じて、高精度の制御と過電流状況における高速シャットダウンを実現。
- パワー スイッチ [絶縁ゲート バイポーラ トランジスタ / シリコン カーバイド (IGBT/SiC)] を安全かつ効率的に制御および保護。

Copyright © 2025 Texas Instruments Incorporated

8.3.1.1.1 システム ブロック図

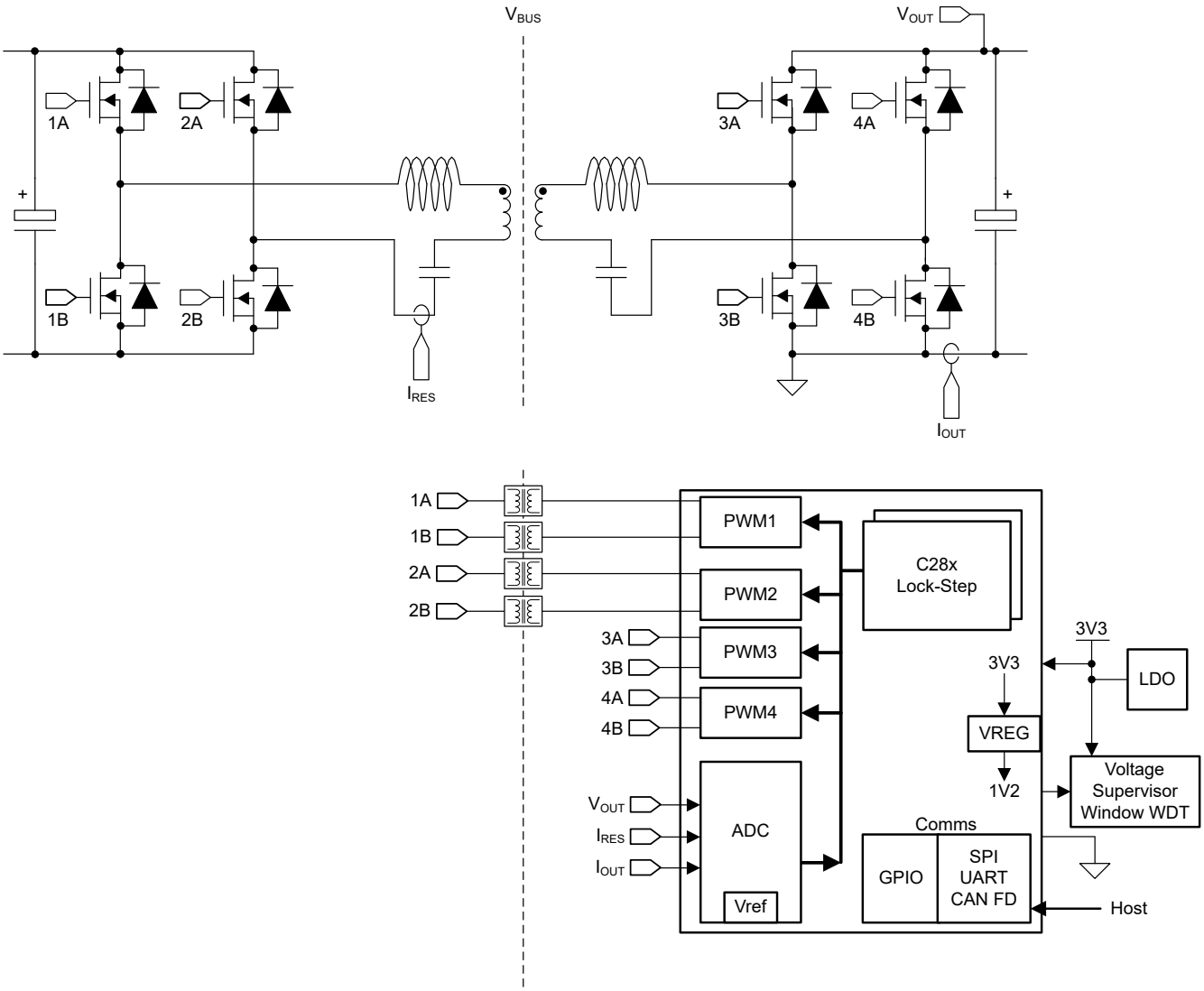


図 8-1. OBC - DC - DC

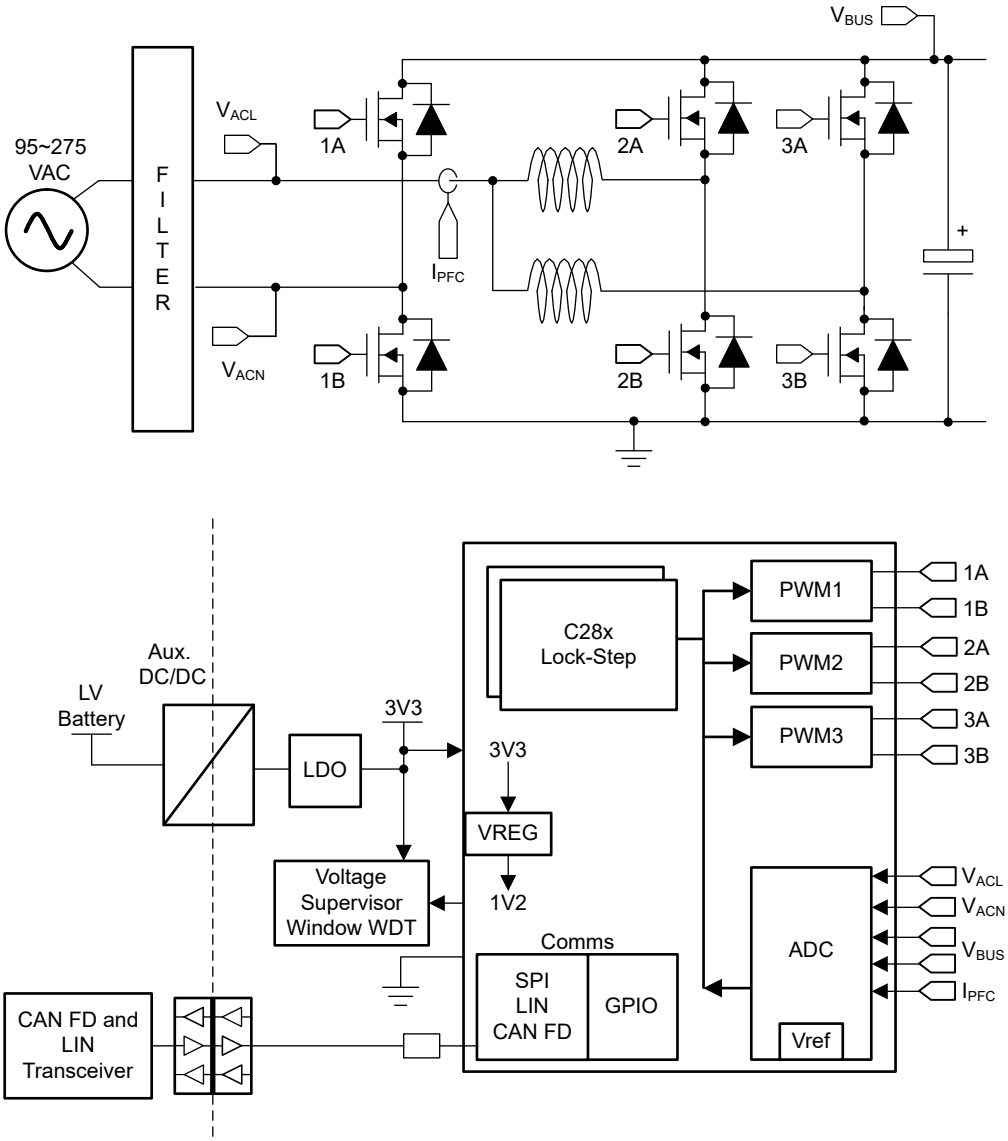


図 8-2. 単相トーテム ポール

8.3.1.1.2 OBC のリソース

リファレンス・デザインと関連トレーニング・ビデオ

『高周波共振コンバータ設計上の考慮事項、パート 1』

『高周波共振コンバータ設計における検討事項、パート 2』アプリケーション レポート

新製品アップデート ウェビナー シリーズ (ビデオ)

C2000™ MCU - 電気自動車 (EV) トレーニング・ビデオ (ビデオ)
C2000™ MCU に関するこのビデオ・コレクションは、電気自動車 (EV) 特有のトレーニングを英語と中国語の両方で取り扱っています。

『EV オンボード チャージャ向けの CLLLC と DAB の比較』アプリケーション レポート

C2000 リアルタイム マイコンを使用した車載ライティング用デジタル制御 4 スイッチ昇降圧 (ビデオ)

Copyright © 2025 Texas Instruments Incorporated

PMP22650 GaN ベース、6.6kW、双方向オンボード チャージャのリファレンス デザイン
PMP22650 リファレンス デザインは、6.6kW の双方向オンボード チャージャです。このデザインは、同期整流機能付きの 2 相トーテムポール PFC とフル ブリッジ CLLLC コンバータを搭載しています。CLLLC は周波数変調と位相変調の両方を活用し、必須のレギュレーション範囲全体で出力のレギュレーションを実施します。このデザインは TMS320F28388D マイコンの内部にある単一のプロセッシング コアを使用して、PFC と CLLLC の両方を制御します。同期整流機能は、同じマイクロコントローラに Rogowski コイル使用の電流センサを組み合わせる形で実装しています。複数の高速 GaN スイッチ (LMG3522) を使用して、高密度を達成しています。この PFC は 120kHz で動作し、CLLLC は 200kHz ～ 800kHz の可変周波数で動作します。電力密度が 3.8kW/リットルのオープン フレーム電源との組み合わせで、96.5% のピーク システム効率を達成しています。このデザインに関する計算は 6.6kW の出力電力を想定して実施しましたが、このデザインは 240V 入力を受け入れて 32A ブレーカを使用する 7kW 強 (たとえば 7.2kW～7.4kW) 定格の OBC (オンボード チャージャ) 開発の適切な出発点となります。

TIDA-01604 HEV/EV オンボード チャージャ向け 98.6% 効率、6.6kW トーテムポール PFC のリファレンス デザイン
このリファレンス デザインは、C2000 マイコン (MCU) と 炭化ケイ素 (SiC) 絶縁型ゲート ドライバで駆動する SiC MOSFET をベースとして動作します。このデザインには 3 相のインターリーブが実装されており、連続導通モード (CCM) で動作して、240V 入力電圧および 6.6kW の最大電力で 98.46% の効率を実現します。C2000 コントローラにより、位相シェディングおよびアダプティブ デッドタイム制御を行い、軽負荷時に力率を向上できます。ゲート ドライバ ボード (TIDA-01605 を参照) は、4A のソース (供給) ピーク電流と 6A のシンク (吸い込み) ピーク電流を供給できます。ゲート ドライバ基板には強化絶縁が実装されており、100V/ns を超える同相過渡耐性(CMTI)を持ちます。また、ゲート ドライバ基板には 2 レベルのターンオフ回路が含まれており、短絡シナリオにおいて電圧オーバーシュートから MOSFET を保護します。

TIDUEG2C TIDM-02002 HEV/EV オンボード チャージャ向け双方向 CLLLC 共振デュアル アクティブ ブリッジ (DAB) のリファレンス デザイン
双方向の電源フロー能力とソフト スイッチング特性を持つ CLLLC 共振 DAB は、ハイブリッド電気自動車 / 電気自動車 (HEV / EV) のオンボード チャージャおよびエネルギー ストレージ アプリケーションに理想的な候補です。このデザインでは、閉電圧および閉電流ループ モードで C2000™ MCU を使ってこの電源トポロジを制御する方法を示します。このリファレンス デザインのハードウェアとソフトウェアは開発期間の短縮を可能にします。

TIDUEG3A TIDM-1022 バレー スイッチング、昇圧、力率補正 (PFC) のリファレンス デザイン
このリファレンス デザインでは、効率と全高調波歪み (THD) の基準を満たすことが難しい軽負荷条件で、昇圧力率補正 (PFC) コンバータの効率と THD を大幅に改善するためのデジタル制御方式を説明します。これは、C2000™ マイクロコントローラ (MCU) の内蔵デジタル制御機能を使用して実現されます。このリファレンス デザインは、位相シェディング、バレー スイッチング、バレー スキッピング、ゼロ電圧スイッチング (ZVS) をサポートしており、各種の負荷および瞬時入力電圧条件に対応します。このリファレンス デザインで利用可能なソフトウェアにより、製品開発期間を短縮できます。

8.3.1.2 車載用ポンプ

フルードや燃料の制御ポンプは通常、必要なパワートレインのタイプに基づいて、自動車のエンジン管理システム内で使用されています。これらのアクチュエータは、システムのタイプと負荷のタイプに応じて、開ループまたは閉ループで実装され、高精度制御を可能にしています。

すべての自動車 (内燃エンジン、電気、ハイブリッド (ICE / EV / HEV)) は、さまざまな種類のポンプ (燃料ポンプ、クーラント・ポンプまたはウォーター・ポンプ、オイル・ポンプなど) を必要とします。各ポンプの目的は異なりますが、冷却水、燃料、またはオイルをある場所から別の場所に移動するというポンプの機能は同じです。燃料ポンプの例では、ポンプは燃料を燃料タンクからエンジン・チャンバーに転送し、エンジンで使用できるようにします。機能に応じて、可変速度ポンプまたは固定速度ポンプを使用できます。

車両のバッテリは、燃料ポンプを駆動するために必要な電流を供給します。電子制御ユニット (ECU) は、ガソリンの出力圧力と量を制御し、タンクから流入する燃料を計測します。ECU は自動車の燃料節減に役立ち、経済性と消費電力を改善します。

8.3.1.2.1 システム・ブロック図

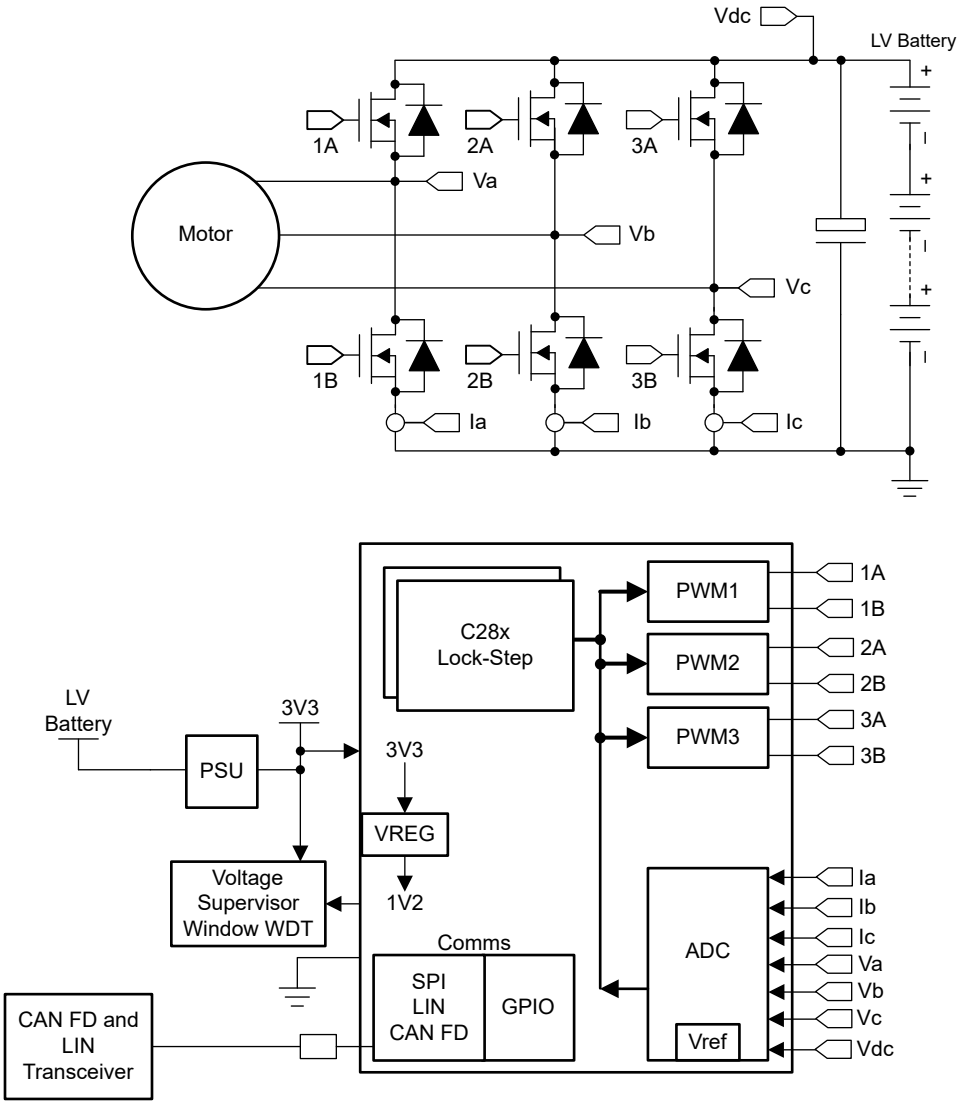


図 8-3. 車載用ポンプ

8.3.1.2.2 車載用ポンプの技術関連資料

リファレンス・デザインと関連トレーニング・ビデオ

C2000™ MCU - 電気自動車 (EV) トレーニング・ビデオ (ビデオ)
C2000™ MCU に関するこのビデオ・コレクションは、電気自動車 (EV) 特有のトレーニングを英語と中国語の両方で取り扱っています。

TIDA-00281 車載用 48V、1kW モーター ドライブのリファレンス デザイン
TIDA-00281 は、48V 車載アプリケーションで動作するように設計された 3 相ブラシレス DC (BLDC) モーター ドライブです。このボードは、1kW の範囲でモーターを駆動するように設計されており、最大 30A の電流を取り扱うことができます。このデザインは、C2000 LaunchPad™ 開発キットと組み合わせて 3 相 BLDC モーターを回転させるためのアナログ回路を搭載しており、ホール エフェクト センサや直交エンコーダからの位置フィードバックは必要ありません。

Copyright © 2025 Texas Instruments Incorporated

8.3.1.3 正温度係数 (PTC) ヒーター

電気自動車では、従来型の燃焼エンジンを搭載した自動車とは異なり、利用可能な排熱は限られているため、車内の暖房が困難な場合があります。そのため、バッテリ駆動の電気自動車 (BEV) とハイブリッド電気自動車 (HEV) には、高電圧の車内ヒーターが必要です。暖房、換気、空調 (HVAC) システムの一部として、PTC 車内ヒーターがブロワからの気流の温度を上昇させます。

HEV/EV で燃焼エンジンの小型化や省略化を図るためには、HVAC システムで重要な役割を果たす 2 つの部品を別途導入する必要があります。

- ブラシレス DC (BLDC) モーターは、エンジンに代わって AC コンプレッサを回転させる DC モーターの一種のです。
- 正温度係数 (PTC) ヒーター、または代替となるヒート・ポンプは、エンジンではなく冷却剤を加熱します。

車載車内ヒーター・モジュールの設計要件:

- 絶縁型コンポーネント数の最小化。
- システム性能を最適化するための電磁干渉 (EMI) 低減。

8.3.1.3.1 システム・ブロック図

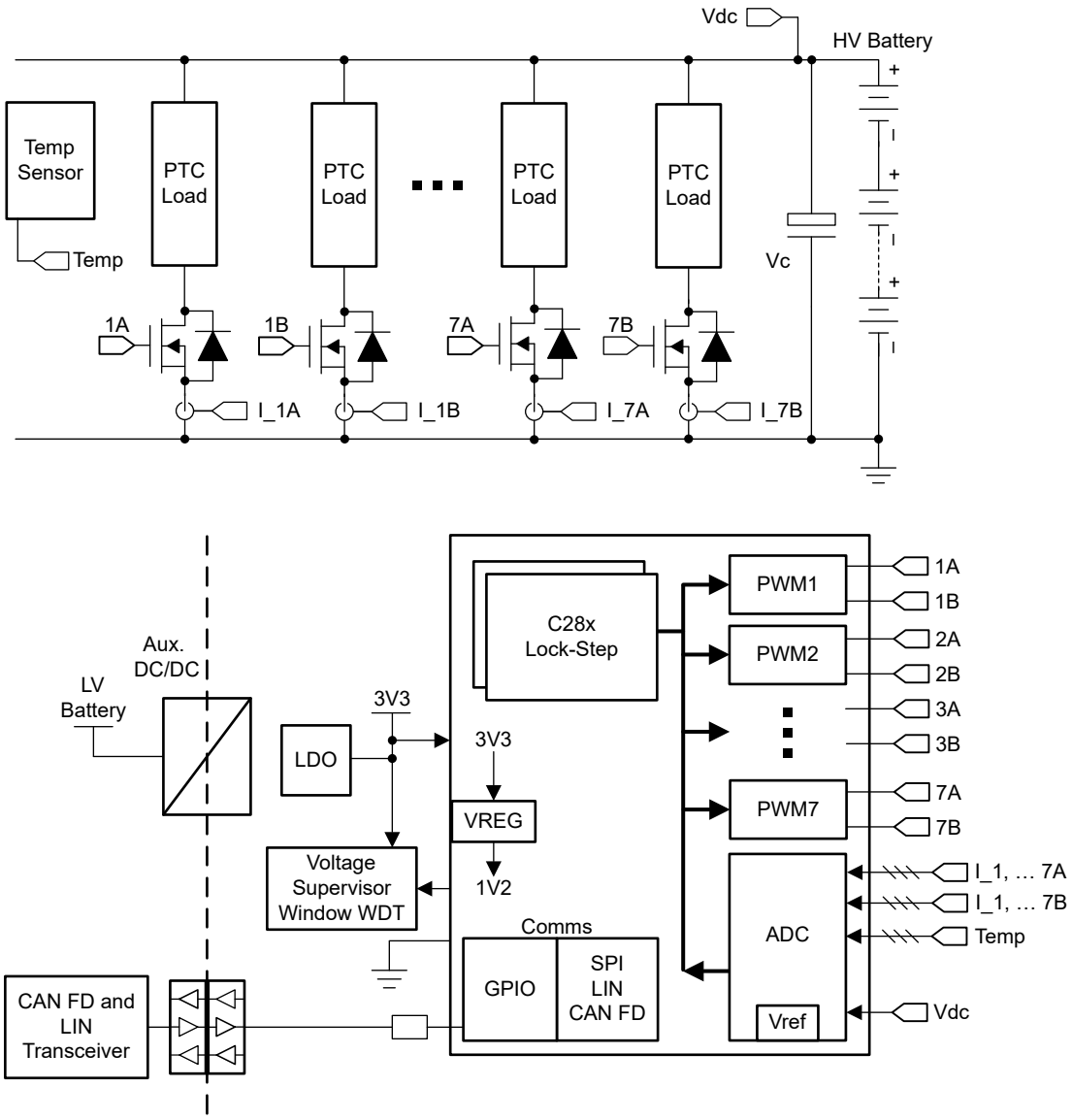


図 8-4. PTC

8.3.1.3.2 PTC のリソース

リファレンス・デザインと関連トレーニング・ビデオ

C2000™ MCU - 電気自動車 (EV) トレーニング・ビデオ (ビデオ)
C2000™ MCU に関するこのビデオ・コレクションは、電気自動車 (EV) 特有のトレーニングを英語と中国語の両方で取り扱っています。

『HEV / EV 向けの冷暖房システムの設計方法』
このホワイト・ペーパーでは、48V、400V、800V の HEV / EV の新しい冷暖房制御モジュールについて説明します。その次に、これらのモジュールに固有のサブシステムについて、システム図と例を交えて説明します。最後に、貴社の実装計画の着手に役立つよう、これらのサブシステムの機能的なソリューションを改めて説明します。

TIDA-01418 HVAC コンプレッサ向け車載高電圧、大電力モーター ドライバのリファレンス デザイン
このブラシレス DC (BLDC) モーターのリファレンス デザインは、UCC27712-Q1 ハイサイド / ローサイド ゲート ドライバの後にディスクリート絶縁ゲート バイポーラ トランジスタ (IGBT) ハーフ ブリッジを使用して、車載用 HVAC (暖房、換気、空調) コンプレッサを制御します。このリファレンス デザインは、TI の InstaSPIN™ ソフトウェアと 3 相モーター制御アルゴリズムを組み合わせて使用しています。その結果、設計者は Piccolo マイコンの ROM（読み取り専用メモリ）に格納されている特別なライブラリを使用し、センサレス モーター制御アプリケーションでエキスパート ツールを活用することができます。

8.3.1.4 車載用 HVAC コンプレッサ

自動車では、従来型の HVAC コンプレッサの目的は車内を冷却することです。ハイブリッド車と電気自動車 (HEV および EV) では、コンプレッサ・システムは車内を冷却するだけでなく、車両に電力を供給するバッテリも冷却します。

HEV/EV で燃焼エンジンの小型化や省略化を図るためには、HVAC システムで重要な役割を果たす 2 つの部品を別途導入する必要があります。

- ブラシレス DC (BLDC) モーターは、エンジンに代わって AC コンプレッサを回転させる DC モーターの一種のです。
- 正温度係数 (PTC) ヒーター、または代替となるヒート・ポンプは、エンジンではなく冷却剤を加熱します。

車載対応 HVAC (空調) コンプレッサ・モジュールの設計要件：

- 絶縁型コンポーネント数の最小化。
- システム性能を最適化するための EMI 低減。
- 故障識別に役立つ包括的な診断機能。
- 低速時も高効率を維持できるセンサレス・トルク制御。

Copyright © 2025 Texas Instruments Incorporated

8.3.1.4.1 システム・ブロック図

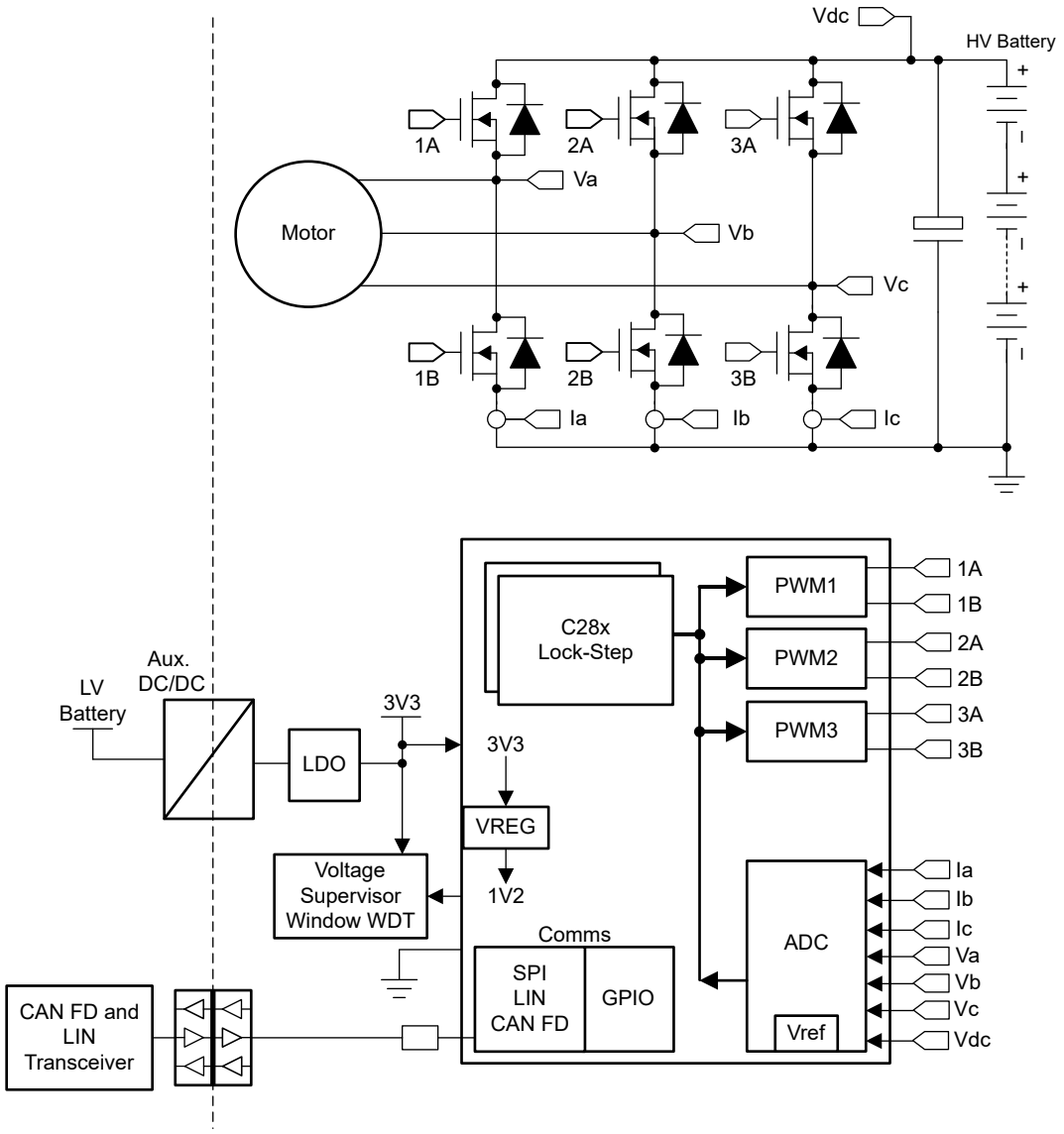


図 8-5. 車載用 HVAC (空調) コンプレッサ

8.3.1.4.2 車載用 HVAC コンプレッサの技術関連資料

リファレンス・デザインと関連トレーニング・ビデオ

C2000™ MCU - 電気自動車 (EV) トレーニング・ビデオ (ビデオ)
C2000™ MCU に関するこのビデオ・コレクションは、電気自動車 (EV) 特有のトレーニングを英語と中国語の両方で取り扱っています。

『HEV / EV 向けの冷暖房システムの設計方法』
このホワイト・ペーパーでは、48V、400V、800V の HEV / EV の新しい冷暖房制御モジュールについて説明します。その次に、これらのモジュールに固有のサブシステムについて、システム図と例を交えて説明します。最後に、貴社の実装計画の着手に役立つよう、これらのサブシステムの機能的なソリューションを改めて説明します。

『HEV/EV 向けの車載 HVAC コンプレッサ アプリケーションでの信頼性の高いリアルタイム制御』

この記事では、HEV および EV の冷暖房システムに搭載されている HVAC コンプレッサ サブシステムの設計上の課題に注目し、リアルタイム制御を活用してそれらの課題に対処する方法について説明します。

8.3.1.5 単相ライン・インタラクティブ無停電電源 (UPS)

ライン・インタラクティブ UPS は、DC/AC インバータをライン上に維持し、AC 電源が利用可能な場合に通常の状態でバッテリを充電します。AC 電源が失われると、UPS はバッテリから AC 電源を生成します。

このタイプの UPS では、AC 電源インバータは常に UPS の出力に接続されます。入力 AC 電源が通常の場合、UPS のインバータは逆方向動作 (AC/DC モード) になり、バッテリ充電を行います。入力電源に障害が発生すると、転送スイッチが開き、バッテリから UPS 出力に電力が流れます。これを以下の図に示します。AC 電源が利用可能な場合、転送スイッチ S1 および S2 は「Line_ON」位置に接続されます。電源障害が発生した場合、S1 と S2 は「Line_OFF」位置になります。

ライン・インタラクティブ UPS システムは、オンラインのダブル変換テクノロジーより安価なオプションであり、電源障害、電源低下、電力サージ、低電圧、過電圧から重要な負荷を保護します。ただし、このタイプの UPS は、電気的なライン・ノイズ、周波数変動、スイッチング過渡、高調波歪みからは保護しません。

8.3.1.5.1 システム・ブロック図

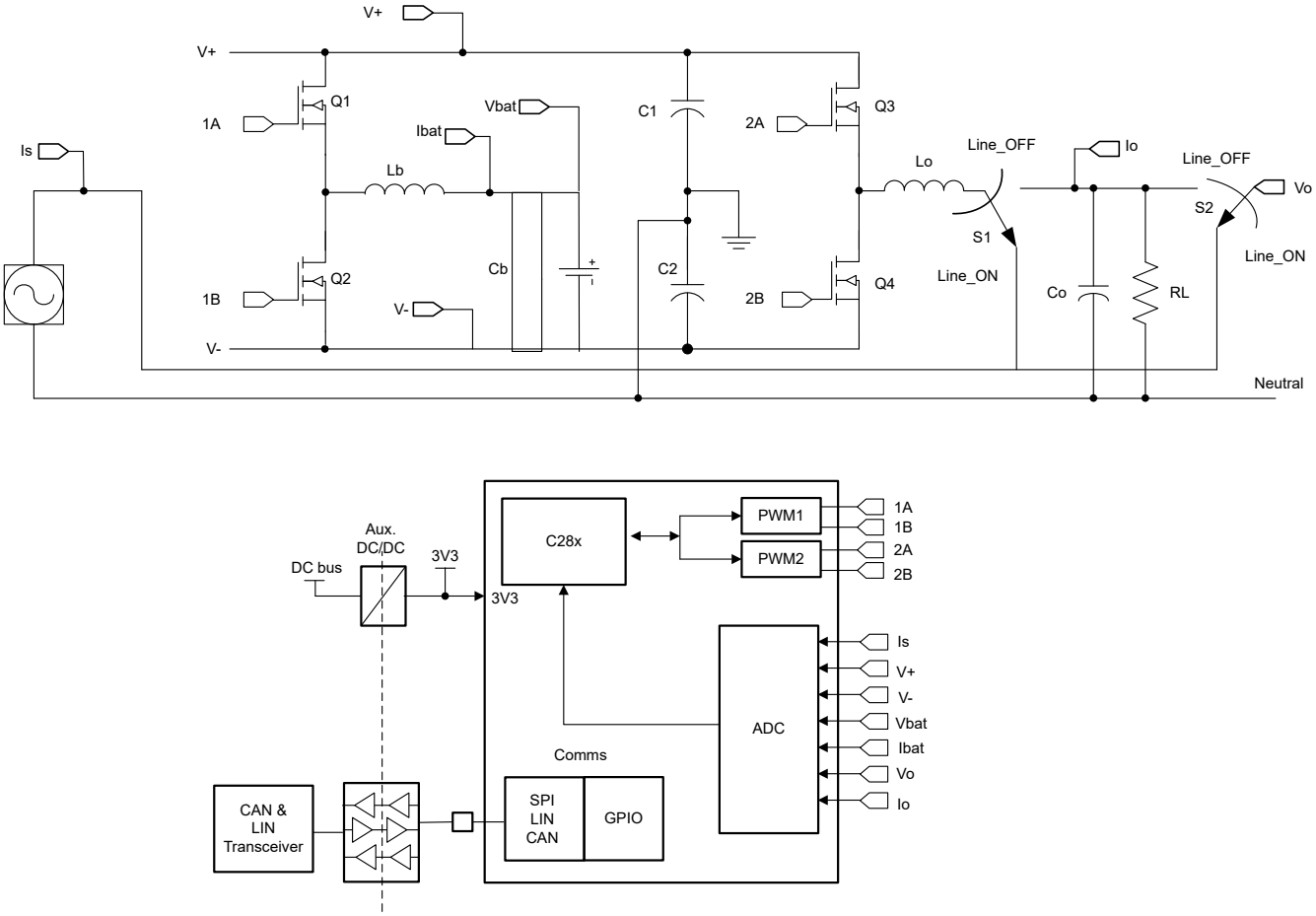


図 8-6. 単相ライン・インタラクティブ UPS

Copyright © 2025 Texas Instruments Incorporated

8.3.1.5.2 単相ライン・インタラクティブ UPS の技術関連資料

リファレンス・デザインと関連トレーニング・ビデオ

TIDM-02002 CLLLC 共振デュアル・アクティブ・ブリッジ、HEV/EV オンボード・チャージャ (ビデオ)
双方向の電源フロー能力とソフト・スイッチング特性を持つ CLLLC 共振 DAB は、ハイブリッド電気自動車 / 電気自動車 (HEV/EV) のオンボード・チャージャおよびエネルギー・ストレージ・アプリケーションに理想的な候補です。このデザインでは、閉電圧および閉電流ループ・モードで C2000™ MCU を使ってこの電源トポロジを制御する方法を示します。このリファレンス・デザインのハードウェアとソフトウェアは開発期間の短縮を可能にします。

PMP23069 180W/in³ を超える電力密度、3.6kW 単相トーテム・ポール・ブリッジレス PFC のリファレンス・デザイン
このリファレンス・デザインは、GaN ベースの 3.6kW 単相連続導通モード (CCM) トーテムポール力率補正 (PFC) コンバータであり、最大電力密度を目標としています。電力段の後段に小型の昇圧コンバータを配置しており、バルク・コンデンサの小型化に貢献します。ドライバと保護機能を内蔵した上面冷却 GaN である LMG3522 の採用により、効率の向上、電源の小型化と簡素化を実現しています。F28004x または F28002x の各 C2000™ コントローラは、多様な高度制御用途に適しており、高速リレー制御、AC 電圧低下イベント発生時の小規模昇圧動作、逆電流保護、PFC とハウスキーピング (各種管理機能) コントローラ間の通信などが該当します。この PFC は 65kHz のスイッチング周波数で動作し、98.7% のピーク効率を達成します。

TIDUEG2C TIDM-02002 HEV/EV オンボード・チャージャ向け双方向 CLLLC 共振デュアル・アクティブ・ブリッジ (DAB) のリファレンス・デザイン
双方向の電源フロー能力とソフト・スイッチング特性を持つ CLLLC 共振 DAB は、ハイブリッド電気自動車 / 電気自動車 (HEV / EV) のオンボード・チャージャおよびエネルギー・ストレージ・アプリケーションに理想的な候補です。このデザインでは、閉電圧および閉電流ループ・モードで C2000™ MCU を使ってこの電源トポロジを制御する方法を示します。このリファレンス・デザインのハードウェアとソフトウェアは開発期間の短縮を可能にします。

TIDUAI7 TIDM-BIDIR-400-12：双方向 400V/12V DC/DC コンバータのリファレンス・デザイン
双方向 400V/12V DC/DC コンバータのリファレンス・デザインは、絶縁型双方向 DC/DC コンバータのマイクロコントローラ・ベースの実装です。位相シフト・フルブリッジ (PSFB) と同期整流によって、降圧モードでの 400V バス / バッテリから 12V バッテリへの電力フローを制御し、またプッシュプル段によって、昇圧モードでの低電圧バッテリから高電圧バス / バッテリへの逆電力フローを制御します。この実装では、LV (低電圧) 側に搭載されているテキサス・インスツルメンツの TMS320F28035 32 ビット・マイクロコントローラを使用して、どちらの方向の電力の流れにも対処できる閉ループ制御を実装しています。このデジタル制御システムは、さまざまな条件下で電力段を最適制御するための先進的な制御機能や、システム・レベルのインテリジェンス機能も実現しており、複数の動作モード間、また複数の PWM スイッチング・パターン間で安全かつシームレスな遷移を実行できます。

TIDM-1000 C2000 MCU を使ったウィーン整流器をベースとする 3 相力率改善のリファレンス・デザイン
ウィーン整流器の電源トポロジは、オフボード電気自動車充電やテレコム用整流器など、大電力の 3 相力率改善アプリケーションで使用されます。このデザインは、C2000 MCU を使用してウィーン整流器を制御する方法を示します。

8.3.1.6 AC ドライブ電力段モジュール

AC ドライブ電力段モジュールは、固定周波数と電圧を、調整可能な周波数と AC 電圧源に変換する電子デバイスです。AC モーターの速度、トルク、方向を制御します。AC ドライブ電力段モジュールは、電力を機械の動力 (コンベヤ、エレベータ、クレーン、ファン、ポンプ、コンプレッサなど) に変換するために、産業用機械で広く使用されています。AC ドライブ電力段モジュールには通常、スカラー電圧 / 周波数制御またはセンサ付き / センサレス FOC 動作における速度とトルクの制御のために高精度の電流および電圧検出が必要であり、さらに短絡やシュートに対する堅牢な過電流保護も必要です。

8.3.1.6.1 システム・ブロック図

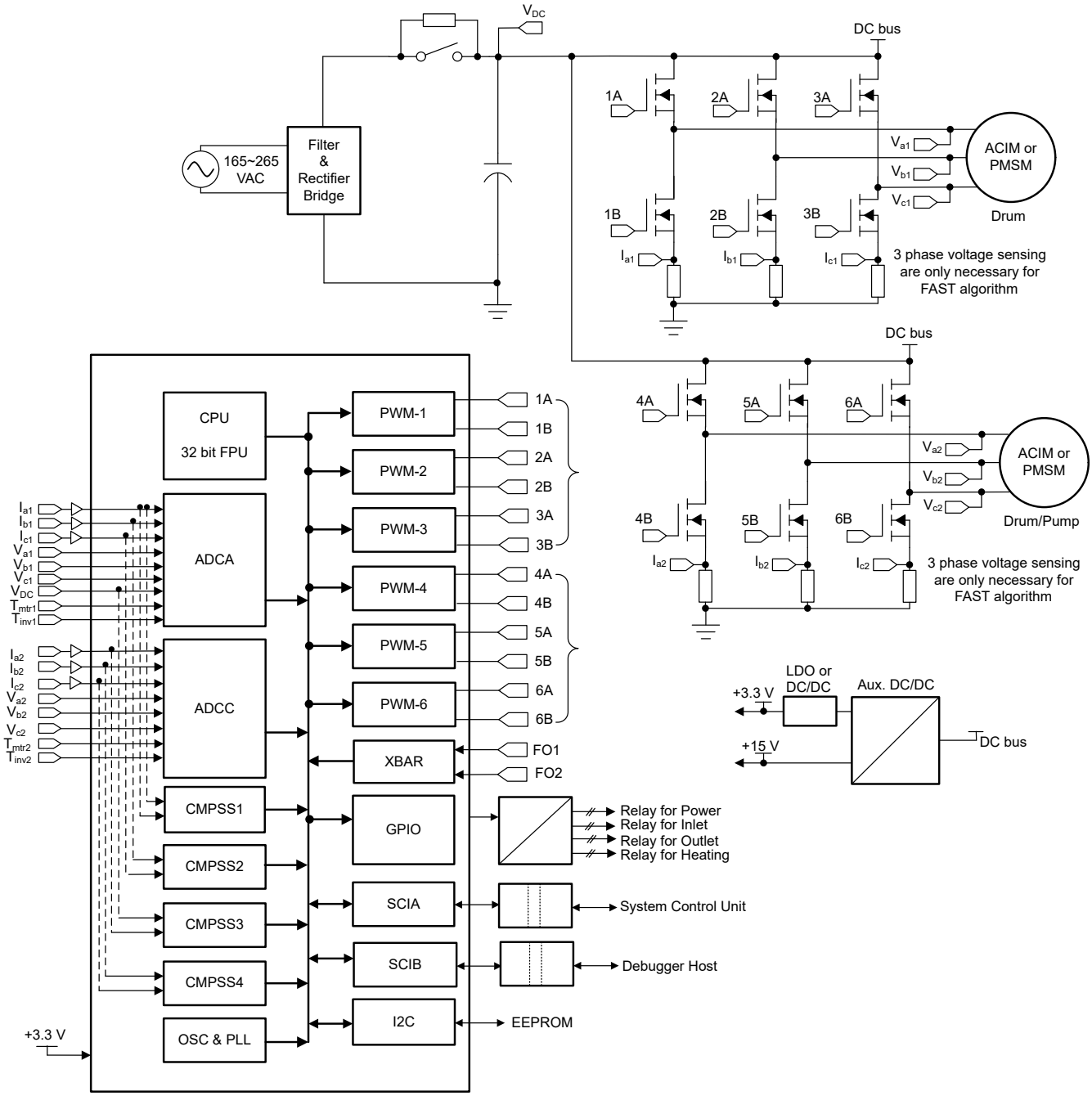


図 8-7. 3 つのシャント電流センシングを使用したデュアル・モーター制御付きの代表的な洗濯機 / 乾燥機

Copyright © 2025 Texas Instruments Incorporated

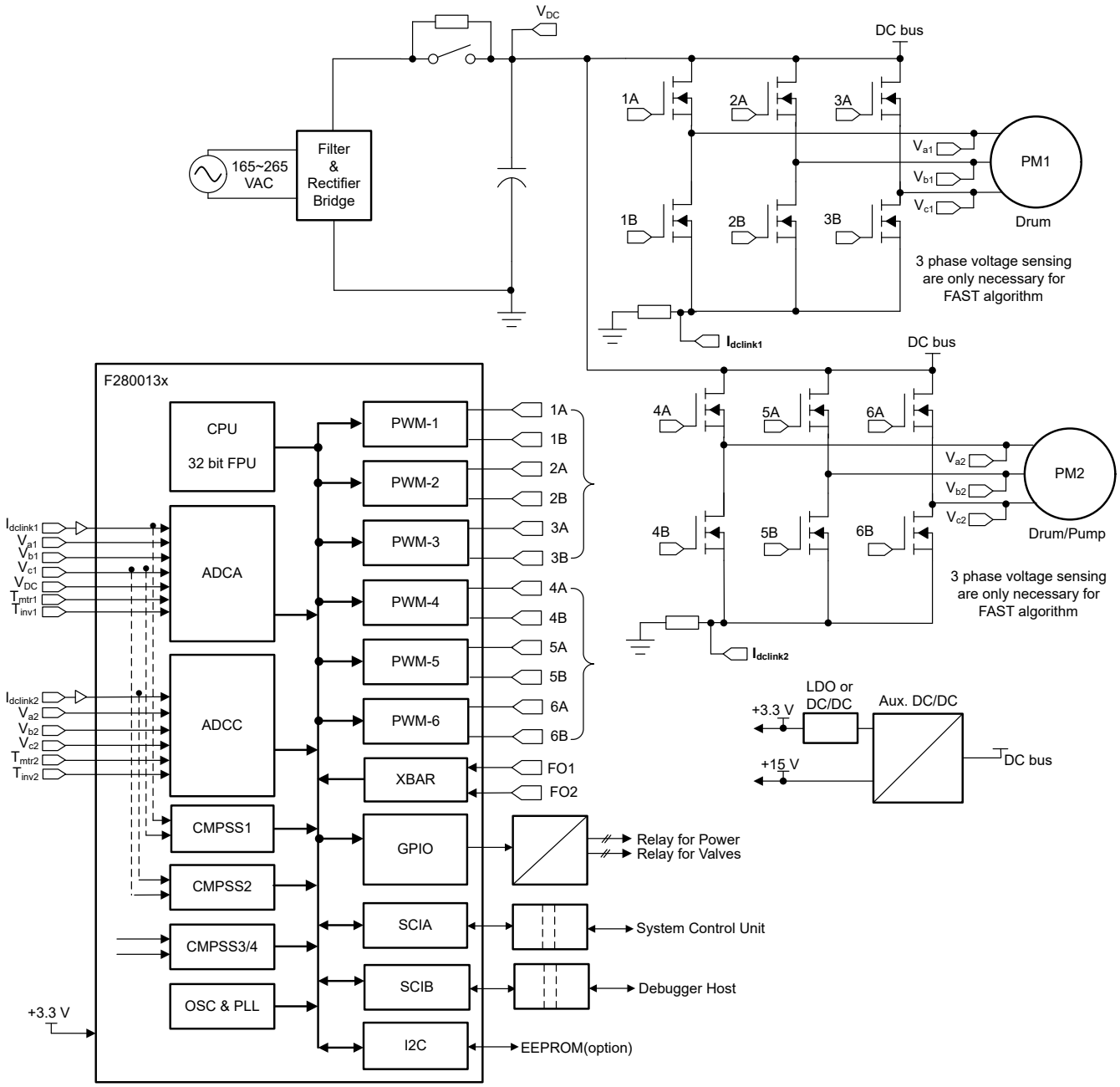


図 8-8. 1 つのシャント電流センシングを使用したデュアル・モーター制御付きの代表的な洗濯機 / 乾燥機

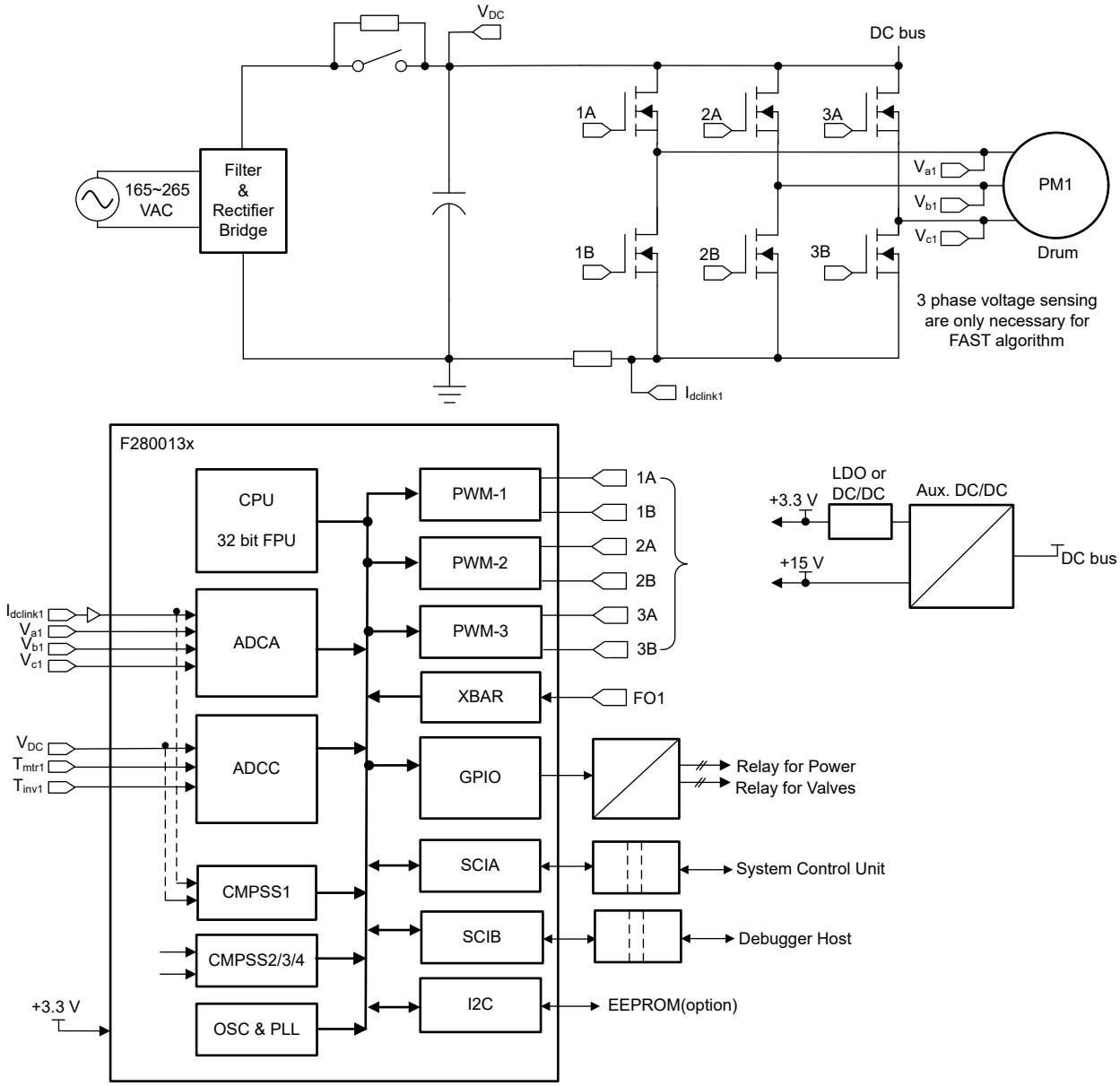


図 8-9. 1 つのシャント電流センシングを使用した、1 モーター制御機能付きの代表的な洗濯機 / 乾燥機

8.3.1.6.2 AC ドライブ電力段モジュールの技術関連資料

リファレンス・デザインと関連トレーニング・ビデオ

TIDM-02010:HVAC 向けデジタル・インターリーブ PFC 付きデュアル・モーター制御のリファレンス・デザイン
TIDM-02010 リファレンス・デザインは、HVAC アプリケーションの可変周波数エアコン屋外ユニット・コントローラ用の 1.5kW デュアル・モーター・ドライブおよび力率補正 (PFC) 制御のリファレンス・デザインです。このリファレンス・デザインは、コンプレッサとファン・モーター・ドライブ向けのセンサレス 3 相 PMSM ベクトル制御と、単一の C2000™ マイクロコントローラで新しい効率規格を満たすデジタル・インターリーブ昇圧 PFC を実装する方法を示します。このリファレンス・デザインで利用できるハードウェアとソフトウェアはテスト済みであり、すぐに使用できるので、開発期間短縮に貢献します。このリファレンス・デザインには、ハードウェア設計ファイルとソフトウェア・コードが付属しています。

Copyright © 2025 Texas Instruments Incorporated

『ユニバーサル・モーター制御プロジェクトおよびラボ・ユーザー・ガイド』
ユニバーサル・モーター制御ラボでは、C2000 MCU を使用したモーター・ドライブ制御の例を紹介します。このラボは、センサレス (FAST™、eSMO、InstaSPIN™-BLDC) モーター制御手法とセンサ付き (インクリメンタル・エンコーダ、ホール) モーター制御手法 (FOC、台形) のビルド・サンプルを含む 1 つのプロジェクトです。このラボには、さまざまな 3 相インバータ・モーター評価キットや、洗濯機、乾燥機、冷蔵庫アプリケーション向けのカスタマ独自のボードで使用可能なシステム機能とデバッグ・インターフェイスが含まれています。このラボのサンプル・コードは、モーター制御ソフトウェア開発キット (SDK) に含まれています。モーター制御 SDK (MC SDK) は、さまざまな 3 相モーター制御アプリケーションで使用する C2000 MCU ベースのモーター制御システムの開発時間を最小限に抑える目的で設計したソフトウェア・インフラ、ツール、資料の包括的なセットです。

可変速度エアコン (HVAC) のリファレンス・デザイン・デモ (ビデオ)
このビデオでは、1 つの C2000 MCU を使用した HVAC アプリケーション設計用のインターリーブ PFC 付きデュアル・モーター制御を紹介します。このリファレンス・デザインで得られたテスト結果も、このプレゼンテーションの一部として提示されています。

8.3.1.7 サーバー / テレコム電源ユニット (PSU)

サーバー / テレコム電源ユニット (PSU) は、力率改善 (PFC) 段と DC-DC コンバータ段で構成されています。トーテムポール PFC は、PFC 段として広く使用されています。DC-DC 段については、LLC と位相シフト・フルブリッジ (PSFB) が最も一般的な 2 つのトポロジです。通常、現在のサーバー PSU は、図 8-10 に示すように 2 チップ・アーキテクチャをベースにしています。テレコム PSU は、図 8-11 に示すようにシングルチップ・アーキテクチャを採用することが多いです。

PFC 段は、AC 電圧と同位相で AC 電源から正弦波電流を引き込み、出力範囲全体にわたって安定した DC バス電圧 (VDC、代表値 +400V) を維持します。この出力電圧は、DC-DC 段の入力として供給され、この段で、絶縁された低い出力電圧 Vout (サーバーでは 12V / 48V、テレコムでは 48V) に変換されます。

8.3.1.7.1 システム・ブロック図

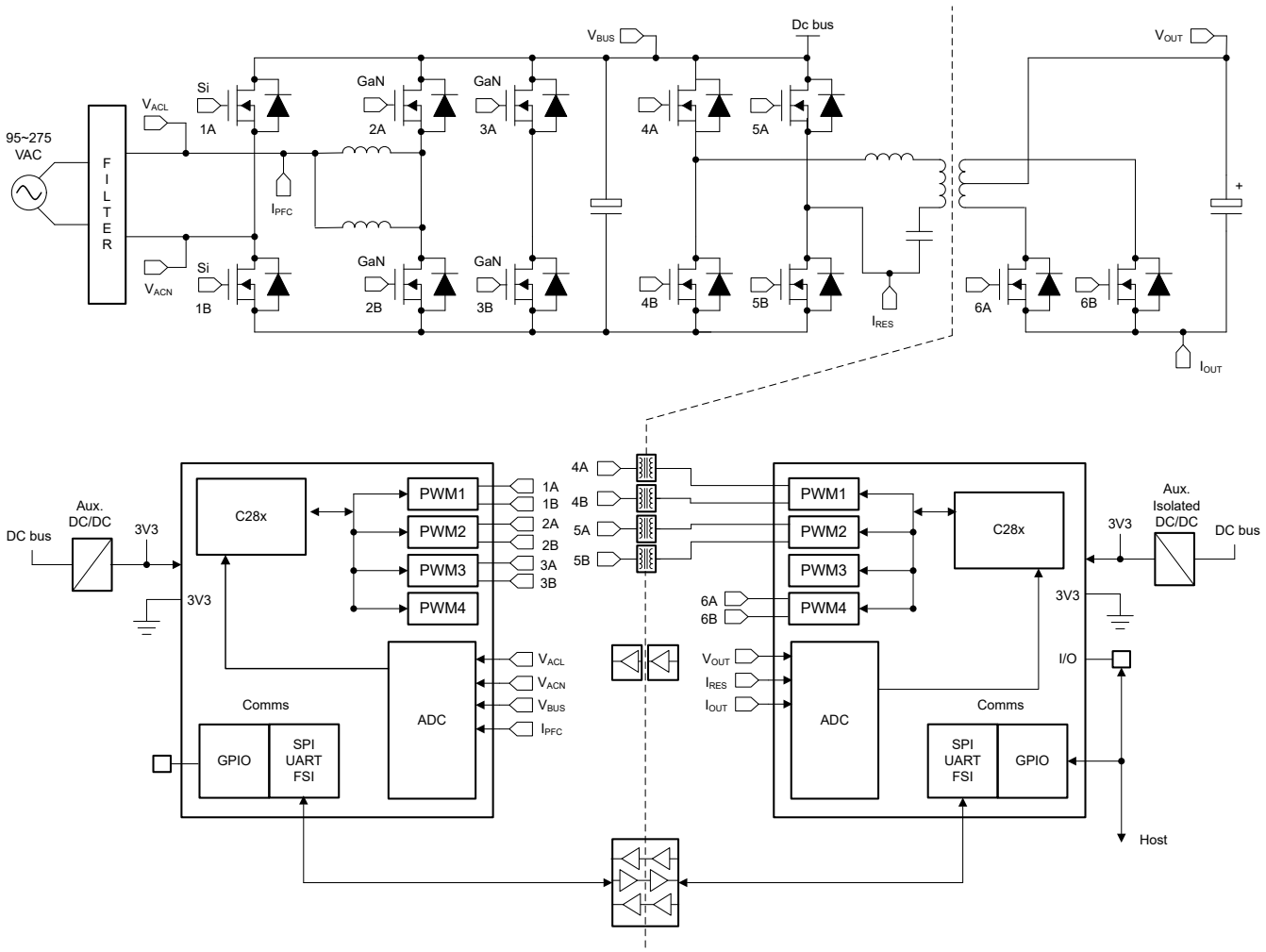


図 8-10. 代表的なサーバー PSU アーキテクチャ

Copyright © 2025 Texas Instruments Incorporated

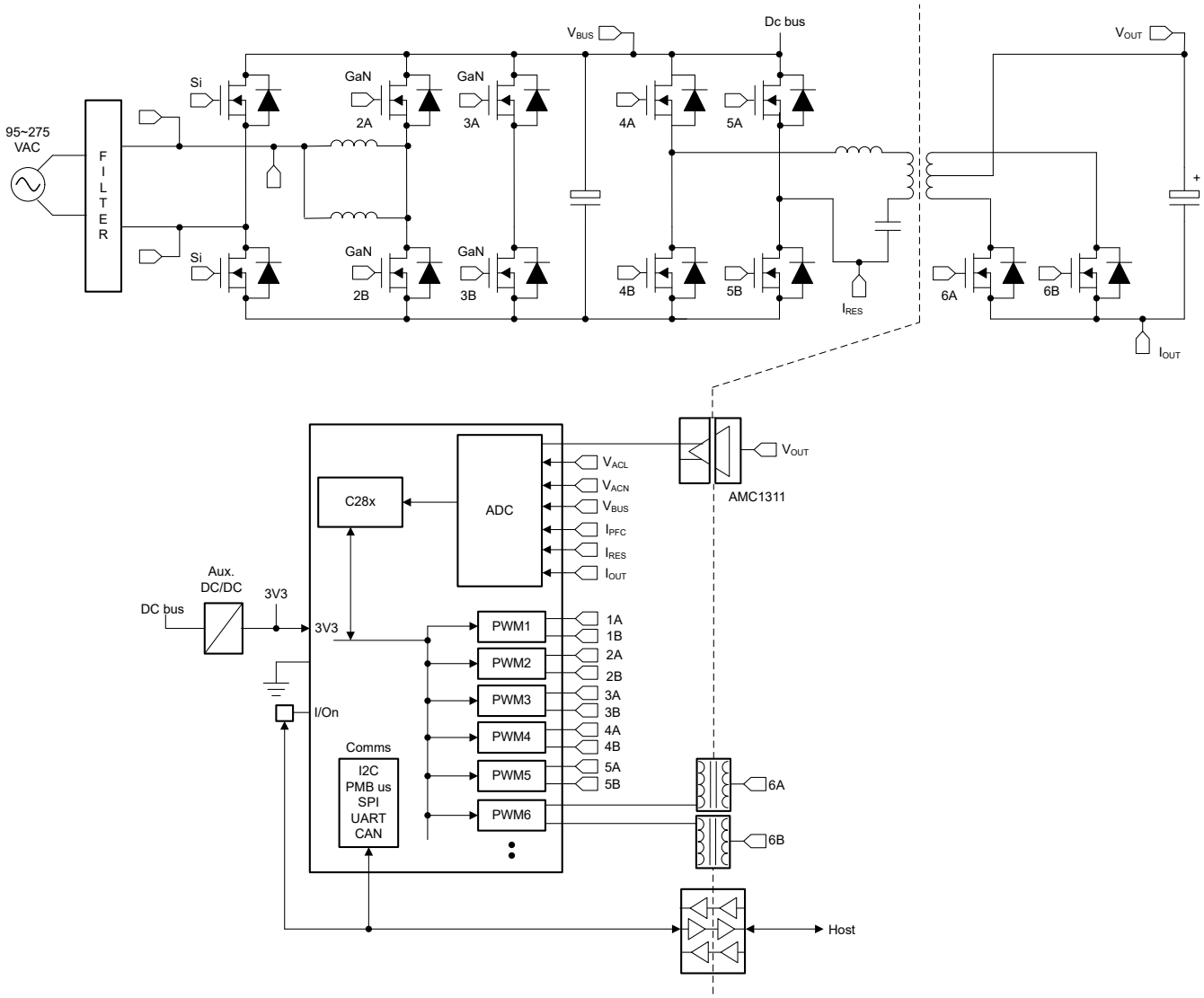


図 8-11. 代表的なテレコム PSU アーキテクチャ

8.3.1.7.2 サーバー / テレコム PSU のリソース

リファレンス・デザインと関連トレーニング・ビデオ

TIDM-1007 高効率 GaN CCM トーテム・ポール・ブリッジレス力率改善 (PFC) リファレンス・デザイン
インターリーブ連続導通モード (CCM) トーテム・ポール (TTPL) ブリッジレス力率改善 (PFC) は、高効率の小型電源を可能にする高バンドギャップ GaN デバイスを使用した魅力的な電源トポロジです。このリファレンス・デザインは C2000 MCU と LMG3410 GaN FET モジュールを使用してこの出力段を制御します。アダプティブ・デッドタイム方式とフェーズ・シェディング方式を使用して、効率を向上させています。非線形電圧補償機能は過渡発生時のオーバーシュートとアンダーシュートを低減します。ソフトウェア・フェーズ・ロック・ループ (SPLL) ベース・スキームが選択されており、トーテム・ポール・ブリッジを高精度で駆動します。このリファレンス・デザインのハードウェアとソフトウェアは開発期間の短縮を可能にします。

TIDM-1007 インターリーブ CCM トーテム・ポール PFC のリファレンス・デザイン (ビデオ)
このビデオでは、C2000 マイクロコントローラを使ってトーテム・ポール PFC を制御するために必要なハードウェアの特徴、制御の特徴、ソフトウェア設計について説明します。このリファレンス・デザインで得られたテスト結果も、このプレゼンテーションの一部として提示されています。

TIDA-010203 C2000 および GaN を使った 4kW 単相トーテム・ポール PFC のリファレンス・デザイン
このリファレンス・デザインは、F280049/F280025 制御カードと LMG342x EVM ボードを使った 4kW CCM トーテム・ポール PFC です。この設計は、堅牢な PFC ソリューションの実例を示しています。コントローラのグランドを MOSFET レッグの中間に接続することで、絶縁型電流センスを回避することができます。非絶縁型であるため、高速アンプ OPA607 によって AC 電流センスを実装でき、信頼性の高い過電流保護を実現します。この設計では、効率、熱画像、AC ドロップ、雷サージ、EMI CE が十分に検証されています。包括的なテスト・データを備えた、このリファレンス・デザインは、C2000 および GaN を使用したトーテムポール PFC の完成度を示しており、高効率製品の PFC 段設計に適した研究プラットフォームとなっています。

GaN および C2000™ リアルタイム制御 MCU を使った高効率 PFC 段 (ビデオ)
GaN パワー FET および C2000™ MCU により、トーテム・ポール力率改善 (PFC) トポロジを実現し、ブリッジ整流器の電力損失をなくします。

TIDM-02000 C2000™ リアルタイム MCU を使用したピーク電流モード制御位相シフト・フルブリッジのリファレンス・デザイン
このデザインは、デジタル・ピーク電流モード制御 (PCMC) 位相シフト・フルブリッジ (PSFB) DC-DC コンバータを実装し、400V DC 入力を安定化 12V DC 出力に変換します。この設計の主眼は、タイプ 4 PWM をベースとして内部スロープ補償機能を搭載した斬新な PCMC 波形生成と、シンプルな PCMC の実装です。C2000 リアルタイム・マイクロコントローラ・ファミリに属する TMS320F280049C MCU を使用します。

TIDA-010062 1kW、80 Plus Titanium、GaN CCM トーテム・ポール・ブリッジレス PFC およびハーフブリッジ LLC のリファレンス・デザイン
このリファレンス・デザインは、サーバー電源ユニット (PSU) およびテレコム整流器アプリケーション向けのデジタル制御されたコンパクトな 1kW AC/DC 電源の設計です。高効率設計により、フロントエンドの連続導通モード (CCM) トーテム・ポール・ブリッジレス力率改善 (PFC) 段を含む、2 つの主電力段をサポートしています。広い負荷範囲にわたって高い効率を実現し、80 Plus Titanium 要件を満たすため、ドライバ内蔵 LMG341x GaN FET を PFC 段に採用しています。また、このデザインは、ハーフ・ブリッジ LLC 絶縁型 DC/DC 段もサポートしており、+12V DC 出力で 1kW を供給します。2 枚の制御カードは、C2000™ エントリ・パフォーマンス MCU を使用して、両方の電力段を制御します。

TIDM-1001 C2000™ MCU を使った 2 相インターリーブ LLC 共振コンバータのリファレンス・デザイン
共振コンバータは、サーバー、テレコム、車載用、産業用、その他の電源アプリケーションでよく使用される一般的な DC-DC コンバータです。効率と電力密度が高く、さまざまな業界標準の要件および増大する電力密度の目標に対応しており、中電力から大電力アプリケーション向けのコンバータとして最適です。
このデザインは、デジタル制御の 500W 2 相インターリーブ LLC 共振コンバータを実装します。このシステムは、単一の C2000™ マイクロコントローラ (MCU) である TMS320F280025C で制御しています。また、この MCU は、パワー・エレクトロニクスのスイッチング・デバイスがさまざまな動作モードで使用する PWM 波形も生成します。このリファレンス・デザインは、新しい電流共有技術を使用して、複数の相間における電流バランスを高精度で実現しています。

詳細については、商業用ネットワークとサーバー PSU を参照してください。

『F2800x C2000™ リアルタイム MCU シリーズ用ハードウェア設計ガイド』
これは、C2000 デバイスを使用するハードウェア開発者向けの重要なガイドであり、設計プロセスの合理化と、設計不具合の可能性低減に役立ちます。ここで説明する主なトピックは、電源要件、汎用入出力 (GPIO) 接続、アナログ入力と ADC、クロック生成と要件、JTAG デバッグなどです。

Copyright © 2025 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを、以下で紹介します。

9.1 使い始めと次の手順

『C2000™ リアルタイム制御マイクロコントローラ (MCU) を使用した設計の開始』入門ガイドは、C2000 デバイスを使用する開発について、ハードウェアからサポート・リソースまで、あらゆる側面をカバーしています。主要な参考資料に加えて、各セクションには関連するリンクとリソースが掲載されており、さらに詳細な情報を知ることができます。

9.2 デバイス命名規則

製品開発サイクルの段階を示すために、テキサス・インスツルメンツでは DSP デバイスとサポート・ツールすべての型番に接頭辞を割り当てます。DSP 商用ファミリの製品には、次の 3 つの接頭辞のいずれかが付いています。TMX、TMP、TMS (たとえば、**TMS**320F2800155)。テキサス・インスツルメンツでは、サポート・ツールについては、使用可能な 3 つの接頭辞のうち TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング・プロトタイプ (TMX および TMDX) から、完全認定済みの量産デバイス / ツール (TMS および TMDS) までであります。

デバイスの開発進展フロー：

TMX 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ・フローを使用しない可能性があります。

TMP プロトタイプ・デバイス。最終的なシリコン・ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

TMS 認定済みのシリコン・ダイの量産バージョン。

サポート・ツールの開発進展フロー：

TMDX 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。

TMDS 完全に認定済みの開発サポート製品です。

TMX および TMP デバイスと TMDX 開発サポート・ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です」。

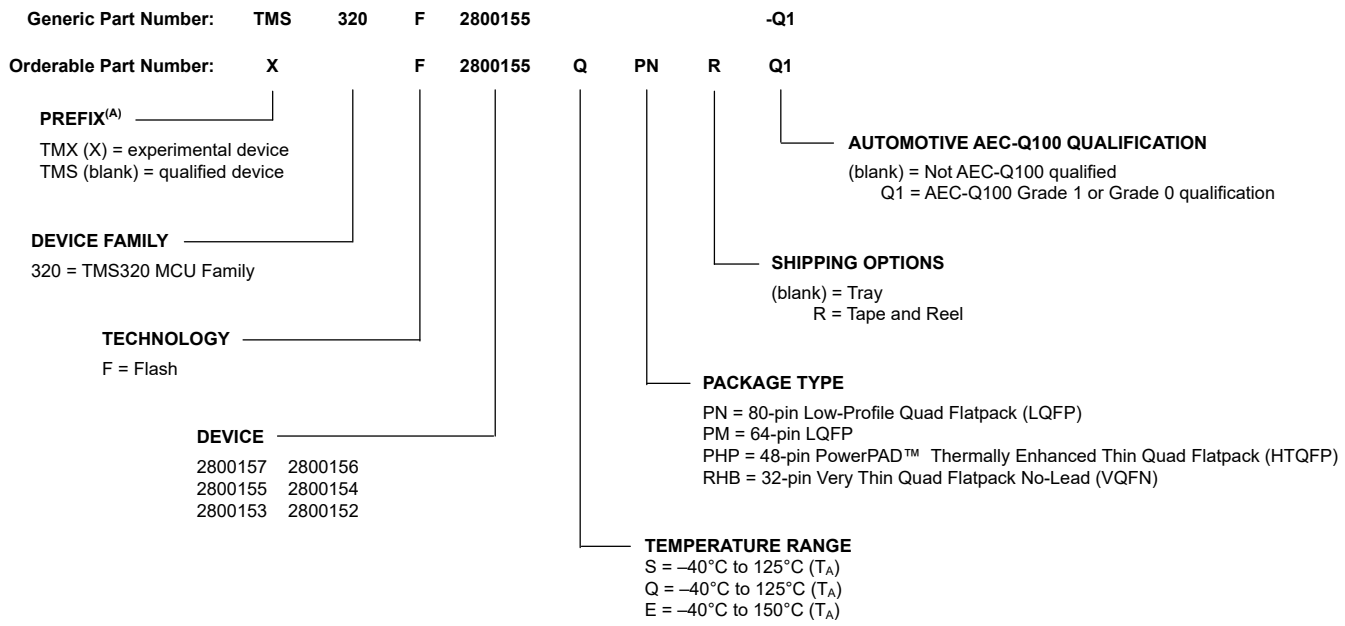
量産デバイスおよび TMDS 開発サポート・ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ・デバイス (X または P) の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツでは、それらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

テキサス・インスツルメンツのデバイスの命名規則には、デバイス・ファミリ名の接尾辞も含まれます。この接尾辞は、パッケージの種類 (例：PN) と温度範囲 (例：Q) を示しています。

PN、PM、PHP、RHB パッケージ・タイプの TMS320F280015x デバイスの注文用型番については、このドキュメントにあるパッケージ・オプションについての付録または tij.co.jp をご覧になるか、テキサス・インスツルメンツの販売代理店にお問い合わせください。

ダイに対するデバイス命名規則マーキングの詳細説明については、『TMS320F280015x リアルタイム MCU シリコン・エラッタ』を参照してください。

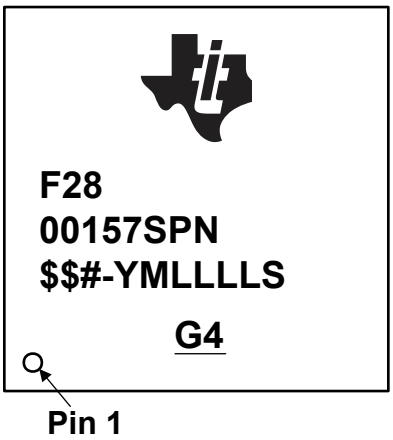


A. 注文用型番には接頭辞 X を使用。

図 9-1. デバイス命名規則

9.3 マーキング

図 9-2、図 9-3、図 9-4、図 9-5、図 9-6、図 9-7、図 9-9、および図 9-9 に、パッケージ マーキングを示します。表 9-1 に、シリコンのリビジョン コードを示します。

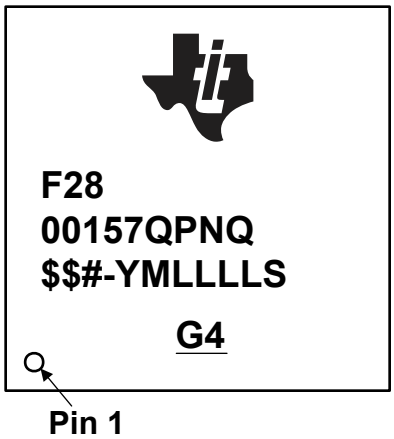


$$ = Wafer Fab Code (one or two characters)
 # = Silicon Revision Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code per QSS 005-120

G4 = Green (Low Halogen and RoHS-compliant)

図 9-2. PN パッケージのパッケージ マーキング

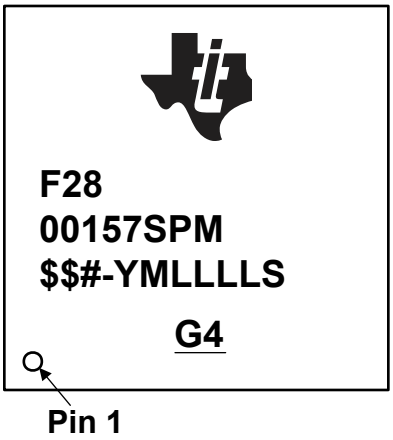
Copyright © 2025 Texas Instruments Incorporated



$$ = Wafer Fab Code (one or two characters)
# = Silicon Revision Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code per QSS 005-120

G4 = Green (Low Halogen and RoHS-compliant)

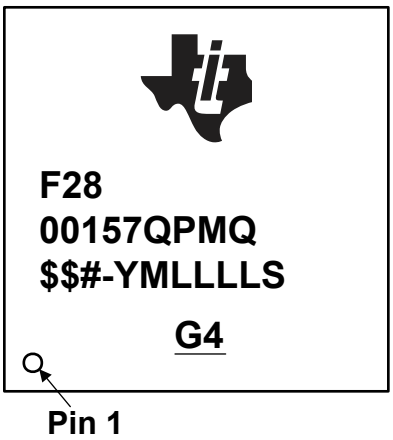
図 9-3. PN パッケージのパッケージ マーキング (AEC-Q100 グレード 1 認定)



$$ = Wafer Fab Code (one or two characters)
# = Silicon Revision Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code per QSS 005-120

G4 = Green (Low Halogen and RoHS-compliant)

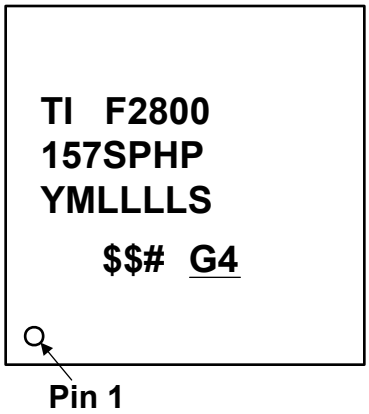
図 9-4. PM パッケージのパッケージ マーキング



$$ = Wafer Fab Code (one or two characters)
# = Silicon Revision Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code per QSS 005-120

G4 = Green (Low Halogen and RoHS-compliant)

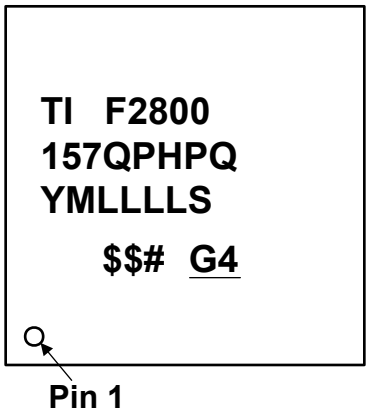
図 9-5. PM パッケージのパッケージ マーキング (AEC-Q100 グレード 1 認定)



$$ = Wafer Fab Code (one or two characters)
# = Silicon Revision Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code per QSS 005-120

G4 = Green (Low Halogen and RoHS-compliant)

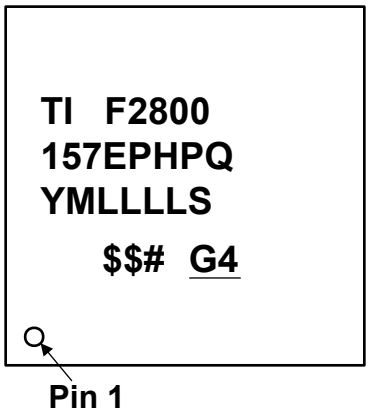
図 9-6. PHP パッケージのパッケージ マーキング



$$ = Wafer Fab Code (one or two characters)
# = Silicon Revision Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code per QSS 005-120

G4 = Green (Low Halogen and RoHS-compliant)

図 9-7. PHP パッケージのパッケージ マーキング (AEC-Q100 グレード 1 認定)

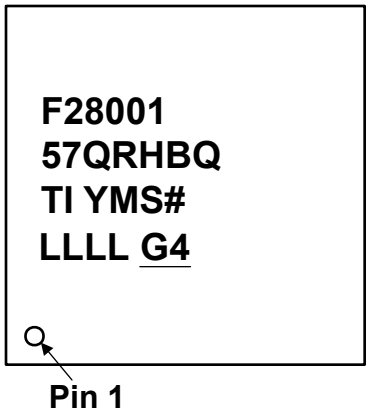


$$ = Wafer Fab Code (one or two characters)
# = Silicon Revision Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code per QSS 005-120

G4 = Green (Low Halogen and RoHS-compliant)

図 9-8. PHP パッケージのパッケージ マーキング (AEC-Q100 グレード 0 認定)

Copyright © 2025 Texas Instruments Incorporated



# = Silicon Revision Code
YM = 2-digit Year/Month Code
LLLL = Assembly Lot Code
S = Assembly Site Code per QSS 005-120

G4 = Green (Low Halogen and RoHS-compliant)

図 9-9. RHB パッケージのパッケージ マーキング (AEC-Q100 グレード 1 認定)

表 9-1. リビジョンの識別

シリコンのリビジョン コード	シリコンのリビジョン	REVID[(1)] アドレス:0x5D00C	備考
空白	0	0x0000 0001	このシリコン リビジョンは TMX として供給されます。
A	A	0x0000 0002	このシリコン リビジョンは TMX および TMS の両方として供給されます。
B	B	0x0000 0003	このシリコン リビジョンは TMS として供給されます。

(1) シリコンのリビジョン ID

9.4 ツールとソフトウェア

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。ツールおよびソフトウェアの一部は、デバイスの性能評価や、コードの生成に使用され、それに従ってソリューションの開発が行われます。C2000™ リアルタイム制御 MCU 用に提供しているすべてのツールおよびソフトウェアを参照するには、C2000 リアルタイム制御 MCU - 設計および開発のページをご覧ください。

開発ツール

TI Resource Explorer
操作性を向上させるには、TI Resource Explorer からアプリケーションのサンプル、ライブラリ、資料をご参照ください。

ソフトウェア・ツール

C2000 MCU 用 C2000Ware
C2000™ MCU 用の C2000Ware は、ソフトウェアおよびドキュメントの総合的なセットで、ソフトウェア開発時間を最小化できるよう設計されています。特定デバイス向けドライバ、ライブラリ、ペリフェラル・サンプルを収録しています。

DigitalPower SDK
DigitalPower SDK は、ソフトウェア・インフラ、ツール、資料の総合的なセットで、AC/DC、DC/DC、DC/AC 電源アプリケーション向け C2000 MCU ベース・デジタル電源システムの開発期間の大幅な短縮を可能にします。このソフトウェアには、C2000 デジタル電源評価モジュール (EVM) で動作するファームウェアと、太陽光発電、テレコム、サーバー、電気自動車 (EV) チャージャ、産業用電源供給アプリケーション向けの TI Designs (TID) が含まれています。DigitalPower SDK は、デジタル電源アプリケーションの開発と評価のすべての段階で必要とされるあらゆるリソースを提供します。

MotorControl SDK
MotorControl SDK は、さまざまな 3 相モーター制御アプリケーションで使用するために C2000 MCU ベースのモーター制御システムの開発時間を最小限に抑える目的で設計したソフトウェア インフラ、ツール、資料の総合的なセットです。このソフトウェアには、C2000 モーター制御評価基板 (EVM) で動作するファームウェアと、産業用ドライブおよびその他のモーター制御向けの TI Designs (TID) が含まれています。MotorControl SDK は、高性能モーター制御アプリケーションの開発と評価のすべての段階で必要とされるあらゆるリソースを用意しています。

Code Composer Studio™ 統合開発環境 (IDE)
Code Composer Studio は、テキサス・インスツルメンツのマイクロコントローラおよびプロセッサ用の統合開発環境 (IDE) です。CCS は、組み込みアプリケーションの開発とデバッグに必要な一連のツールで構成されています。Code Composer Studio は、Windows®、Linux®、macOS® デスクトップからダウンロードできます。https://dev.ti.com にアクセスし、クラウド環境で使用することもできます。Code Composer Studio は、最適化 C/C++ コンパイラ、ソース・コード・エディタ、プロジェクト・ビルド環境、デバッガ、プロファイラなど、多数の機能を搭載しています。直観的な IDE を使用すると、アプリケーション開発フローの各ステップを順に実行することができます。使い慣れたツールとインターフェイスを活用して、これまで以上に迅速に開発を開始できます。Code Composer Studio のデスクトップ・バージョンは、Eclipse ソフトウェア・フレームワークの利点と、テキサス・インスツルメンツの高度な機能を組み合わせたもので、魅力的かつ機能の豊富な環境を実現しています。クラウド・ベースの Code Composer Studio は、Theia アプリケーション・フレームワークを活用し、大量のソフトウェアのダウンロードやインストールを不要にして、クラウド上での開発を可能にします。

SysConfig システム構成ツール
SysConfig は、ピン、ペリフェラル、無線、サブシステム、その他のコンポーネントを構成するための包括的なグラフィカル・ユーティリティ・コレクションです。SysConfig を使用すると、問題の管理、表面化、解決をビジュアルな方法で実行できるので、より多くの時間をアプリケーションの差異化に割り当てることができます。このツールの出力には C ヘッダとコード・ファイルが含まれており、ソフトウェア開発キット (SDK) サンプルと組み合わせて使用することも、カスタム・ソフトウェアの構成に使用することもできます。SysConfig ツールは、入力した要件を満たす PinMux 設定を自動的に選択します。SysConfig ツールは CCS に統合されており、スタンドアロン・インストーラとしても提供されています。また、dev.ti.com クラウド・ツール・ポータルからも使用できます。SysConfig システム構成ツールの詳細については、システム構成ツールのページを参照してください。

C2000 サード・パーティー検索ツール

Copyright © 2025 Texas Instruments Incorporated

テキサス・インスツルメンツは複数の企業と協力し、テキサス・インスツルメンツの C2000 デバイスに対応する多様なソリューションとサービスを提供しています。これらの企業は、各種 C2000 デバイスを使用した量産へと至るお客様の開発工程の迅速化に役立ちます。この検索ツールをダウンロードすると、サード・パーティー各社の概要を手早く参照し、お客様のニーズに適したサード・パーティーを見つけることができます。

UniFlash スタンドアロン・フラッシュ・ツール

UniFlash は、GUI、コマンドライン、スクリプト・インターフェイスからオンチップ・フラッシュ・メモリをプログラムするために使用するスタンドアロンのツールです。

モデル

製品の「設計および開発」ページでは、各種のモデルをダウンロードできます。これらのモデルには、I/O バッファ情報仕様 (IBIS) モデルや、バウンダリ・スキャン記述言語 (BSDL) モデルが含まれます。利用可能なすべてのモデルを参照するには、各デバイスの「設計および開発」ページの「設計ツールとシミュレーション」セクションをご覧ください。

トレーニング

設計エンジニアが C2000 マイクロコントローラの機能および性能を十分に活用できるように、テキサス・インスツルメンツは各種のトレーニング・リソースを開発しました。オンライン トレーニング資料や、ダウンロード可能な実践的ワークショップを活用することで、C2000 マイクロコントローラ ファミリの総合的で役に立つ知識を簡単に習得できます。これらのトレーニング資料は、習得を容易にし、開発期間を短縮し、製品を短期間で開発できるよう設計されています。各種トレーニング資料の詳細については、C2000™ リアルタイム制御 MCU - サポートおよびトレーニングのサイトを参照してください。

9.5 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

プロセッサおよび関連ペリフェラルに関する最新ドキュメント、その他の技術資料を以下に示します。

エラッタ

『TMS320F280015x リアルタイム MCU シリコン エラッタ』には、シリコンについて既知の問題と回避策が記載されています。

テクニカル リファレンス マニュアル

『TMS320F280015x リアルタイム マイクロコントローラ テクニカル リファレンス マニュアル』には、F280015x リアルタイム マイクロコントローラの各ペリフェラルおよびサブシステムについて、統合、環境、機能説明、プログラミング モデルの詳細が記載されています。

CPU ユーザー ガイド

『TMS320C28x CPU および命令セット リファレンス ガイド』 では、TMS320C28x 固定小数点デジタル信号プロセッサ (DSP) の CPU (Central Processing Unit) およびアセンブリ言語命令について記述しています。このリファレンス ガイドでは、これらの DSP で利用可能なエミュレーション機能についても解説しています。

『TMS320C28x 拡張命令セット テクニカル リファレンス マニュアル』では、TMU、VCU-II、および FPU アクセラレータのアーキテクチャ、パイプライン、命令セットについて記述しています。

ペリフェラル ガイド

『C2000 リアルタイム マイクロコントローラ ペリフェラル リファレンス ガイド』 は、TMS320x28x および F29x デバイスで使用可能なペリフェラルについて説明しています。このリファレンス ガイドには、各デバイスで使用されるペリフェラルと、それらのペリフェラルの説明が記載されています。

ツール ガイド

『TMS320C28x アセンブリ言語ツール v22.6.0.LTS ユーザー ガイド』では、TMS320C28x デバイス用のアセンブリ言語ツール (アセンブリ言語コードを開発するためのアセンブラや他のツール)、アセンブラ ディレクティブ、マクロ、共通オブジェクト ファイル フォーマット、シンボリック デバッグ ディレクティブについて記述しています。

Copyright © 2025 Texas Instruments Incorporated

『TMS320C28x 最適化 C/C++ コンパイラ v22.6.0.LTS ユーザー ガイド』では、TMS320C28x C/C++ コンパイラについて記述しています。このコンパイラは、ANSI 標準の C/C++ ソースコードから、TMS320C28x デバイス用の TMS320 DSP アセンブリ言語ソースコードを生成します。

アプリケーション ノート

「SMT & パッケージ アプリケーション ノート」Web サイトには、テキサス・インスツルメンツの表面実装テクノロジ (SMT) のドキュメントと、パッケージに関連する各種トピックについてのアプリケーション ノートの一覧があります。

『半導体パッキング方法』では、半導体デバイスをエンド ユーザーへの配送用に準備するためのパッキング手法について記述しています。

『組込みプロセッサの有効寿命計算』では、テキサス・インスツルメンツの組込みプロセッサ (EP) を電子機器システムにおいて通電状態で使用したときの有効寿命を計算するための手法を解説しています。これは、テキサス・インスツルメンツの EP の信頼性が最終システムの信頼性要件を満たすかどうかを判定したい一般的なエンジニアを対象としています。

『IBIS (I/O バッファ情報仕様) モデル作成の概要』では、IBIS の歴史、利点、互換性、モデルの生成フロー、入力 / 出力構造のモデル作成におけるデータの要件、将来の動向など、各種の側面から解説しています。

『C2000™ マイクロコントローラのシリアル フラッシュ プログラミング』では、フラッシュ カーネルおよび ROM ローダーを使用したデバイスのシリアル プログラミングについて記載しています。

『C2000™ リアルタイム マイクロコントローラを使った開発のための基本ガイド』では、リアルタイム制御システムに関連する C2000 マイクロコントローラ ユニット (MCU) を差別化するためのコンポーネントについて詳細に説明しています。

『8 ビット (バイト) アドレス指定可能な CPU から C28x CPU へのソフトウェアの移行』では、8 ビット (バイト) アドレス指定可能な CPU から C28x CPU にソフトウェアを移行する一般的なシナリオについて議論するとともに、アドレス指定能力にかかわらずアプリケーションを開発する方法について説明しています。

『F2800x C2000™ リアルタイム MCU シリーズ用ハードウェア設計ガイド』アプリケーション ノートは、C2000 デバイスを使用するハードウェア開発者向けの重要なガイドであり、設計プロセスの合理化と、設計不具合の可能性低減に役立ちます。ここで説明する主なトピックは、電源要件、汎用入出力 (GPIO) 接続、アナログ入力と ADC、クロック生成と要件、JTAG デバッグなどです。

9.6 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.7 商標

PowerPAD™, C2000™, TMS320C2000™, FAST™, Code Composer Studio™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
Bosch® is a registered trademark of Robert Bosch GmbH Corporation.
Windows® is a registered trademark of Microsoft Corporation.
Linux® is a registered trademark of Linus Torvalds.
macOS® is a registered trademark of Apple Inc.
すべての商標は、それぞれの所有者に帰属します。

9.8 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.9 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2025 Texas Instruments Incorporated

10 改訂履歴

Changes from NOVEMBER 21, 2023 to JANUARY 9, 2025 **Page**

- この改訂履歴には、**SPRSP68B** から **SPRSP68C** への変更点が記載されています。 1
- 「デバイスの比較」の表:「ExtR 精度での INTOSC」の行と関連する脚注を削除。 7
- 48 ピン PHP PowerPAD™ 熱的に強化された薄型クワッド フラットパック (上面) 図:GPIO226 と GPIO228 に関する脚注を追加しました。 11
- 32 ピン RHB 超薄型クワッド フラットパック、リードなし (上面) 図:GPIO226 と GPIO228 に関する脚注を追加しました。GPIO227 と GPIO230 に関する脚注を追加しました。 11
- 「ピン属性」の表: X1 ピンの説明から ExtR を削除。 15
- 「デジタル信号」の表:ExtR を削除。 34
- 「ADC ピン上のデジタル入出力 (AGPIO)」セクション:セクションを更新。 41
- 「絶対最大定格」の表: 入力クランプ電流の行について追加情報を追加。新しい脚注を 2 つ追加。 47
- 「推奨動作条件」の表:Vin の行に関連する新しい脚注を追加。 47
- 「遅延ブロック」セクション:外部 VREG への参照を削除。 67
- 「内部 1.2V LDO 電圧レギュレータ (VREG)」セクション:「VREGENZ ピンを Low に接続することでイネーブルになります」の文を削除。 67
- 「VDD デカップリング」セクション:構成 1 と構成 2 を更新。 68
- 「パワー マネージメント モジュールの動作条件」表:合計 C_{VDD} を更新。 73
- 「外部高精度抵抗 (ExtR) を使用した場合の INTOSC2」セクションを削除しました。 91
- 「GPIO の割り当て」セクション:CAN-FD ブート オプションの表とパラレル ブート オプションの表を更新しました。 182
- 「パッケージ マーキング」の図:すべての「パッケージ マーキング」図で G4 の定義を更新。 216
- 「ドキュメントのサポート」セクション:「アプリケーション ノート」セクションに『8 ビット (バイト) アドレス指定可能な CPU から C28x CPU へのソフトウェアの移行』を追加。 222
- 「ドキュメントのサポート」セクション:『F2800x C2000™ リアルタイム MCU シリーズ用ハードウェア設計ガイド』アプリケーション ノートを追加。 222

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F2800152QPHPRQ1	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800 152QPHPQ
F2800152QPHPRQ1.A	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800 152QPHPQ
F2800152QPHPRQ1.B	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800 152QPHPQ
F2800152QRHBRQ1	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28001 52QRHBQ
F2800152QRHBRQ1.A	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28001 52QRHBQ
F2800152QRHBRQ1.B	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28001 52QRHBQ
F2800153QPHPRQ1	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800 153QPHPQ
F2800153QPHPRQ1.A	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800 153QPHPQ
F2800153QPHPRQ1.B	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800 153QPHPQ
F2800153QRHBRQ1	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28001 53QRHBQ
F2800153QRHBRQ1.A	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28001 53QRHBQ
F2800153QRHBRQ1.B	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28001 53QRHBQ
F2800154QPHPRQ1	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800 154QPHPQ
F2800154QPHPRQ1.A	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800 154QPHPQ
F2800154QPHPRQ1.B	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800 154QPHPQ
F2800154QPMRQ1	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00154QPMQ F28

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F2800154QPMRQ1.A	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00154QPMQ F28
F2800154QPMRQ1.B	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00154QPMQ F28
F2800154QPNRQ1	Active	Production	LQFP (PN) | 80	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00154QPNQ F28
F2800154QPNRQ1.A	Active	Production	LQFP (PN) | 80	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00154QPNQ F28
F2800154QPNRQ1.B	Active	Production	LQFP (PN) | 80	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00154QPNQ F28
F2800154QRHBRQ1	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28001 54QRHBQ
F2800154QRHBRQ1.A	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28001 54QRHBQ
F2800154QRHBRQ1.B	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28001 54QRHBQ
F2800155QPHPRQ1	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800 155QPHPQ
F2800155QPHPRQ1.A	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800 155QPHPQ
F2800155QPHPRQ1.B	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800 155QPHPQ
F2800155QPMRQ1	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00155QPMQ F28
F2800155QPMRQ1.A	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00155QPMQ F28
F2800155QPMRQ1.B	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00155QPMQ F28
F2800155QPNRQ1	Active	Production	LQFP (PN) | 80	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00155QPNQ F28
F2800155QPNRQ1.A	Active	Production	LQFP (PN) | 80	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00155QPNQ F28
F2800155QPNRQ1.B	Active	Production	LQFP (PN) | 80	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00155QPNQ F28

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F2800155QRHBRQ1	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28001 55QRHBQ
F2800155QRHBRQ1.A	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28001 55QRHBQ
F2800155QRHBRQ1.B	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28001 55QRHBQ
F2800155SPHPR	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800 155SPHP
F2800155SPHPR.A	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800 155SPHP
F2800155SPHPR.B	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800 155SPHP
F2800155SPMR	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00155SPM F28
F2800155SPMR.A	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00155SPM F28
F2800155SPMR.B	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00155SPM F28
F2800155SPNR	Active	Production	LQFP (PN) | 80	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00155SPN F28
F2800155SPNR.A	Active	Production	LQFP (PN) | 80	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00155SPN F28
F2800155SPNR.B	Active	Production	LQFP (PN) | 80	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00155SPN F28
F2800156EPHPQ1	Active	Production	HTQFP (PHP) | 48	250 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	F2800 156EPHPQ
F2800156EPHPQ1.B	Active	Production	HTQFP (PHP) | 48	250 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	F2800 156EPHPQ
F2800156EPHPRQ1	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	F2800 156EPHPQ
F2800156EPHPRQ1.B	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	F2800 156EPHPQ
F2800156QPHPQ1	Active	Production	HTQFP (PHP) | 48	250 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800 156QPHPQ

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F2800156QPHPQ1.A	Active	Production	HTQFP (PHP) | 48	250 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	F2800 156QPHPQ
F2800156QPHPQ1.B	Active	Production	HTQFP (PHP) | 48	250 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	F2800 156QPHPQ
F2800156QPHPRQ1	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800 156QPHPQ
F2800156QPHPRQ1.A	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	F2800 156QPHPQ
F2800156QPHPRQ1.B	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	F2800 156QPHPQ
F2800156QPMQ1	Active	Production	LQFP (PM) | 64	160 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00156QPMQ F28
F2800156QPMQ1.A	Active	Production	LQFP (PM) | 64	160 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	00156QPMQ F28
F2800156QPMQ1.B	Active	Production	LQFP (PM) | 64	160 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	00156QPMQ F28
F2800156QPMRQ1	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00156QPMQ F28
F2800156QPMRQ1.A	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	00156QPMQ F28
F2800156QPMRQ1.B	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	00156QPMQ F28
F2800156QPNQ1	Active	Production	LQFP (PN) | 80	119 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00156QPNQ F28
F2800156QPNQ1.A	Active	Production	LQFP (PN) | 80	119 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	00156QPNQ F28
F2800156QPNQ1.B	Active	Production	LQFP (PN) | 80	119 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	00156QPNQ F28
F2800156QPNRQ1	Active	Production	LQFP (PN) | 80	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00156QPNQ F28
F2800156QPNRQ1.A	Active	Production	LQFP (PN) | 80	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	00156QPNQ F28
F2800156QPNRQ1.B	Active	Production	LQFP (PN) | 80	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	00156QPNQ F28

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F2800156QRHBRQ1	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28001 56QRHBQ
F2800156QRHBRQ1.A	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	F28001 56QRHBQ
F2800156QRHBRQ1.B	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	F28001 56QRHBQ
F2800157EPHPQ1	Active	Production	HTQFP (PHP) | 48	250 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	F2800 157EPHPQ
F2800157EPHPQ1.B	Active	Production	HTQFP (PHP) | 48	250 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	F2800 157EPHPQ
F2800157EPHPRQ1	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	F2800 157EPHPQ
F2800157EPHPRQ1.B	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	F2800 157EPHPQ
F2800157QPHPQ1	Active	Production	HTQFP (PHP) | 48	250 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800 157QPHPQ
F2800157QPHPQ1.A	Active	Production	HTQFP (PHP) | 48	250 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	F2800 157QPHPQ
F2800157QPHPQ1.B	Active	Production	HTQFP (PHP) | 48	250 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	F2800 157QPHPQ
F2800157QPHPRQ1	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800 157QPHPQ
F2800157QPHPRQ1.A	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	F2800 157QPHPQ
F2800157QPHPRQ1.B	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	F2800 157QPHPQ
F2800157QPMQ1	Active	Production	LQFP (PM) | 64	160 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00157QPMQ F28
F2800157QPMQ1.A	Active	Production	LQFP (PM) | 64	160 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	00157QPMQ F28
F2800157QPMQ1.B	Active	Production	LQFP (PM) | 64	160 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	00157QPMQ F28
F2800157QPMRQ1	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00157QPMQ F28

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F2800157QPMRQ1.A	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	00157QPMQ F28
F2800157QPMRQ1.B	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	00157QPMQ F28
F2800157QPNQ1	Active	Production	LQFP (PN) | 80	119 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00157QPNQ F28
F2800157QPNQ1.A	Active	Production	LQFP (PN) | 80	119 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	00157QPNQ F28
F2800157QPNQ1.B	Active	Production	LQFP (PN) | 80	119 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	00157QPNQ F28
F2800157QPNRQ1	Active	Production	LQFP (PN) | 80	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00157QPNQ F28
F2800157QPNRQ1.A	Active	Production	LQFP (PN) | 80	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	00157QPNQ F28
F2800157QPNRQ1.B	Active	Production	LQFP (PN) | 80	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	00157QPNQ F28
F2800157QRHBRQ1	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	F28001 57QRHBQ
F2800157QRHBRQ1.A	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	F28001 57QRHBQ
F2800157QRHBRQ1.B	Active	Production	VQFN (RHB) | 32	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	F28001 57QRHBQ
F2800157SPHP	Active	Production	HTQFP (PHP) | 48	250 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800 157SPHP
F2800157SPHP.A	Active	Production	HTQFP (PHP) | 48	250 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800 157SPHP
F2800157SPHP.B	Active	Production	HTQFP (PHP) | 48	250 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800 157SPHP
F2800157SPHPR	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800 157SPHP
F2800157SPHPR.A	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800 157SPHP
F2800157SPHPR.B	Active	Production	HTQFP (PHP) | 48	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	F2800 157SPHP

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F2800157SPM	Active	Production	LQFP (PM) | 64	160 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00157SPM F28
F2800157SPM.A	Active	Production	LQFP (PM) | 64	160 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00157SPM F28
F2800157SPM.B	Active	Production	LQFP (PM) | 64	160 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00157SPM F28
F2800157SPMR	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00157SPM F28
F2800157SPMR.A	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00157SPM F28
F2800157SPMR.B	Active	Production	LQFP (PM) | 64	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00157SPM F28
F2800157SPN	Active	Production	LQFP (PN) | 80	119 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00157SPN F28
F2800157SPN.A	Active	Production	LQFP (PN) | 80	119 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00157SPN F28
F2800157SPN.B	Active	Production	LQFP (PN) | 80	119 | JEDEC TRAY (10+1)	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00157SPN F28
F2800157SPNR	Active	Production	LQFP (PN) | 80	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00157SPN F28
F2800157SPNR.A	Active	Production	LQFP (PN) | 80	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00157SPN F28
F2800157SPNR.B	Active	Production	LQFP (PN) | 80	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	00157SPN F28

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TMS320F2800155, TMS320F2800155-Q1, TMS320F2800157, TMS320F2800157-Q1 :

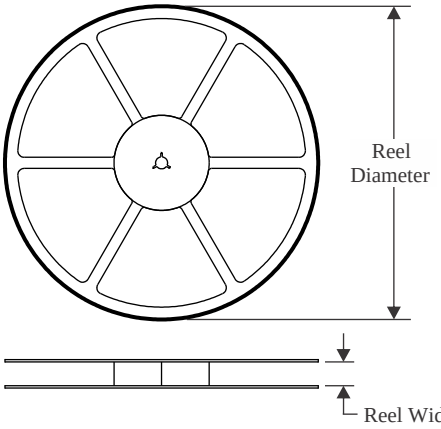
- Catalog : TMS320F2800155, TMS320F2800157
- Automotive : TMS320F2800155-Q1, TMS320F2800157-Q1

NOTE: Qualified Version Definitions:

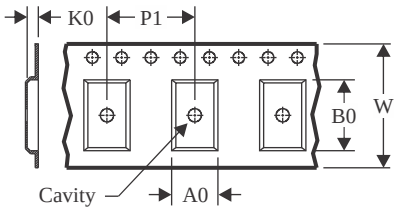
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

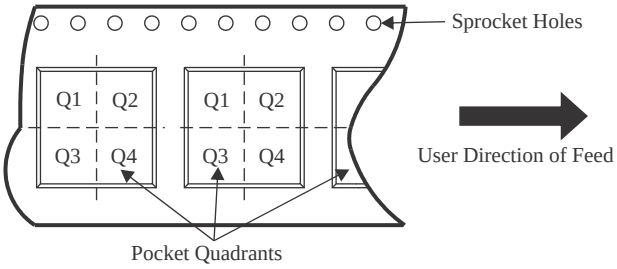


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

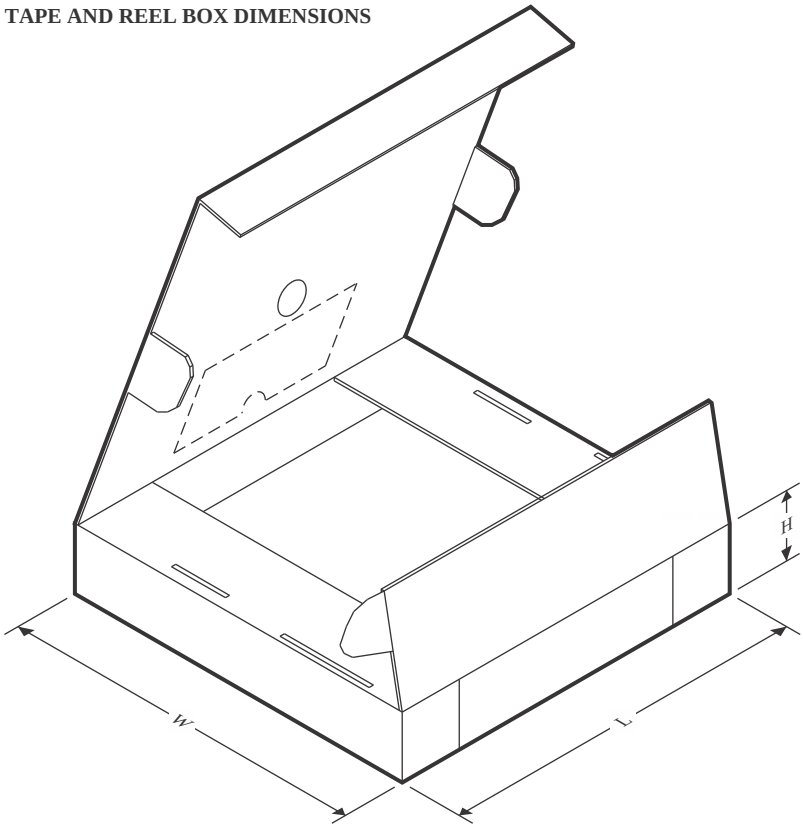


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
F2800152QPHPRQ1	HTQFP	PHP	48	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	Q2
F2800152QRHBRQ1	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
F2800153QPHPRQ1	HTQFP	PHP	48	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	Q2
F2800153QRHBRQ1	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
F2800154QPHPRQ1	HTQFP	PHP	48	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	Q2
F2800154QPMRQ1	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F2800154QPNRQ1	LQFP	PN	80	1000	330.0	24.4	16.0	16.0	2.0	24.0	24.0	Q2
F2800154QRHBRQ1	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
F2800155QPHPRQ1	HTQFP	PHP	48	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	Q2
F2800155QPMRQ1	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F2800155QPNRQ1	LQFP	PN	80	1000	330.0	24.4	16.0	16.0	2.0	24.0	24.0	Q2
F2800155QRHBRQ1	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
F2800155SPHPR	HTQFP	PHP	48	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	Q2
F2800155SPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F2800155SPNR	LQFP	PN	80	1000	330.0	24.4	16.0	16.0	2.0	24.0	24.0	Q2
F2800156EPHPRQ1	HTQFP	PHP	48	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	Q2

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
F2800156QPHPRQ1	HTQFP	PHP	48	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	Q2
F2800156QPMRQ1	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F2800156QPNRQ1	LQFP	PN	80	1000	330.0	24.4	16.0	16.0	2.0	24.0	24.0	Q2
F2800156QRHBRQ1	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
F2800157EPHPRQ1	HTQFP	PHP	48	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	Q2
F2800157QPHPRQ1	HTQFP	PHP	48	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	Q2
F2800157QPMRQ1	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F2800157QPNRQ1	LQFP	PN	80	1000	330.0	24.4	16.0	16.0	2.0	24.0	24.0	Q2
F2800157QRHBRQ1	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
F2800157SPHPR	HTQFP	PHP	48	1000	330.0	16.4	9.6	9.6	1.5	12.0	16.0	Q2
F2800157SPMR	LQFP	PM	64	1000	330.0	24.4	13.0	13.0	2.1	16.0	24.0	Q2
F2800157SPNR	LQFP	PN	80	1000	330.0	24.4	16.0	16.0	2.0	24.0	24.0	Q2

TAPE AND REEL BOX DIMENSIONS

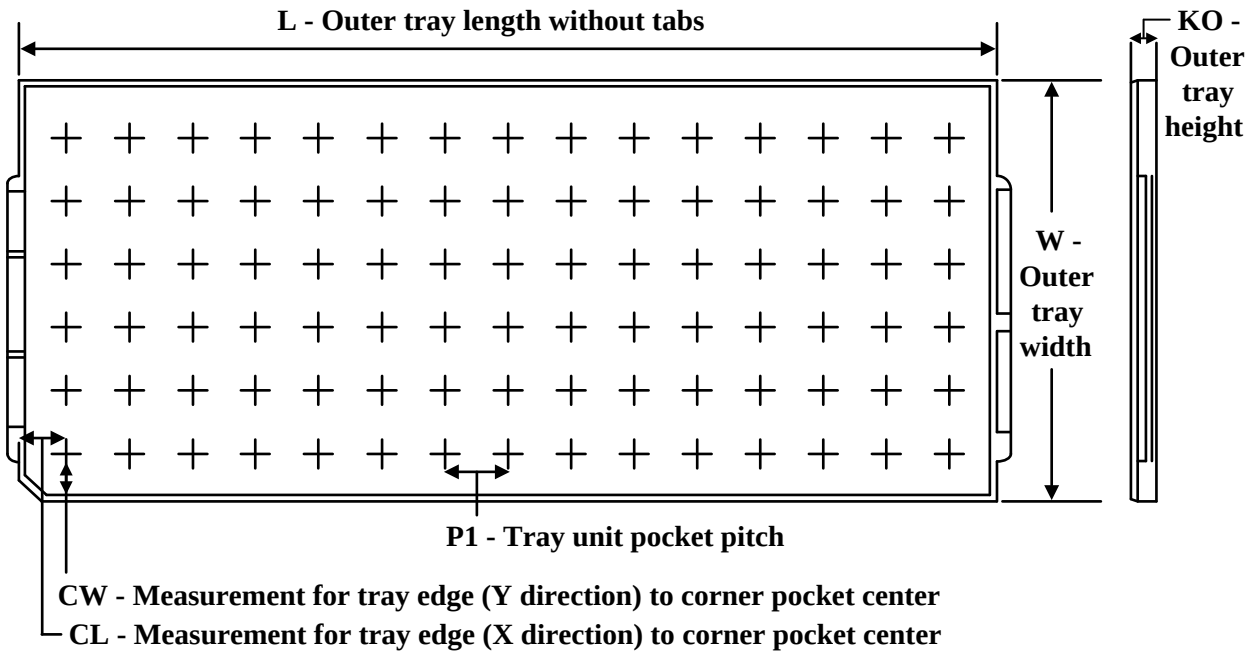


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
F2800152QPHPRQ1	HTQFP	PHP	48	1000	336.6	336.6	31.8
F2800152QRHBRQ1	VQFN	RHB	32	3000	367.0	367.0	35.0
F2800153QPHPRQ1	HTQFP	PHP	48	1000	336.6	336.6	31.8
F2800153QRHBRQ1	VQFN	RHB	32	3000	367.0	367.0	35.0
F2800154QPHPRQ1	HTQFP	PHP	48	1000	336.6	336.6	31.8
F2800154QPMRQ1	LQFP	PM	64	1000	336.6	336.6	41.3
F2800154QPNRQ1	LQFP	PN	80	1000	367.0	367.0	55.0
F2800154QRHBRQ1	VQFN	RHB	32	3000	367.0	367.0	35.0
F2800155QPHPRQ1	HTQFP	PHP	48	1000	336.6	336.6	31.8
F2800155QPMRQ1	LQFP	PM	64	1000	336.6	336.6	41.3
F2800155QPNRQ1	LQFP	PN	80	1000	367.0	367.0	55.0
F2800155QRHBRQ1	VQFN	RHB	32	3000	367.0	367.0	35.0
F2800155SPHPR	HTQFP	PHP	48	1000	336.6	336.6	31.8
F2800155SPMR	LQFP	PM	64	1000	336.6	336.6	41.3
F2800155SPNR	LQFP	PN	80	1000	367.0	367.0	55.0
F2800156EPHPRQ1	HTQFP	PHP	48	1000	336.6	336.6	31.8
F2800156QPHPRQ1	HTQFP	PHP	48	1000	336.6	336.6	31.8
F2800156QPMRQ1	LQFP	PM	64	1000	336.6	336.6	41.3

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
F2800156QPNRQ1	LQFP	PN	80	1000	367.0	367.0	55.0
F2800156QRHBRQ1	VQFN	RHB	32	3000	367.0	367.0	35.0
F2800157EPHPRQ1	HTQFP	PHP	48	1000	336.6	336.6	31.8
F2800157QPHPRQ1	HTQFP	PHP	48	1000	336.6	336.6	31.8
F2800157QPMRQ1	LQFP	PM	64	1000	336.6	336.6	41.3
F2800157QPNRQ1	LQFP	PN	80	1000	367.0	367.0	55.0
F2800157QRHBRQ1	VQFN	RHB	32	3000	367.0	367.0	35.0
F2800157SPHPR	HTQFP	PHP	48	1000	336.6	336.6	31.8
F2800157SPMR	LQFP	PM	64	1000	336.6	336.6	41.3
F2800157SPNR	LQFP	PN	80	1000	367.0	367.0	55.0

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
F2800156EPHPQ1	PHP	HTQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F2800156EPHPQ1.B	PHP	HTQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F2800156QPHPQ1	PHP	HTQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F2800156QPHPQ1.A	PHP	HTQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F2800156QPHPQ1.B	PHP	HTQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F2800156QPMQ1	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F2800156QPMQ1.A	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F2800156QPMQ1.B	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F2800156QPNQ1	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F2800156QPNQ1.A	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F2800156QPNQ1.B	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F2800157EPHPQ1	PHP	HTQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F2800157EPHPQ1.B	PHP	HTQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F2800157QPHPQ1	PHP	HTQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F2800157QPHPQ1.A	PHP	HTQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F2800157QPHPQ1.B	PHP	HTQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F2800157QPMQ1	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
F2800157QPMQ1.A	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F2800157QPMQ1.B	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F2800157QPNQ1	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F2800157QPNQ1.A	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F2800157QPNQ1.B	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F2800157SPHP	PHP	HTQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F2800157SPHP.A	PHP	HTQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F2800157SPHP.B	PHP	HTQFP	48	250	10 x 25	150	315	135.9	7620	12.2	11.1	11.25
F2800157SPM	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F2800157SPM.A	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F2800157SPM.B	PM	LQFP	64	160	8 X 20	150	315	135.9	7620	15.2	13.1	13
F2800157SPN	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F2800157SPN.A	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95
F2800157SPN.B	PN	LQFP	80	119	7 X 17	150	315	135.9	7620	17.9	14.3	13.95

GENERIC PACKAGE VIEW

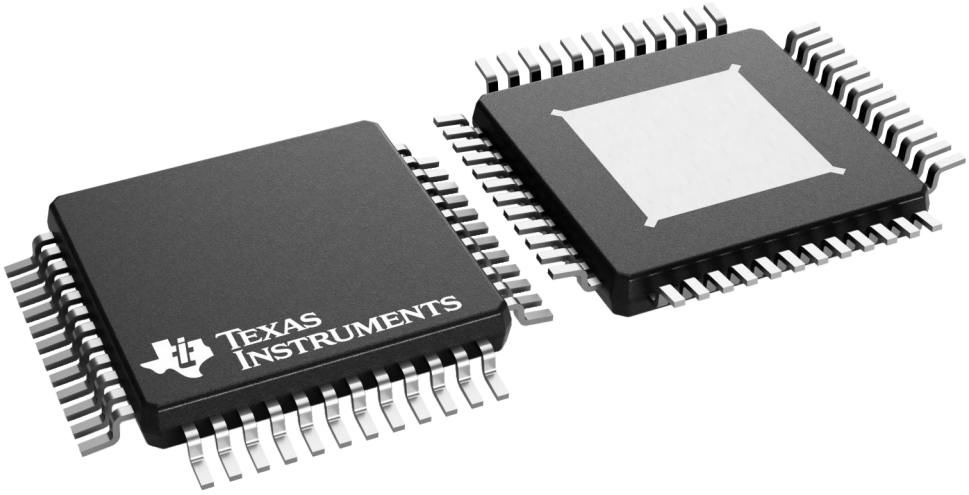
PHP 48

TQFP - 1.2 mm max height

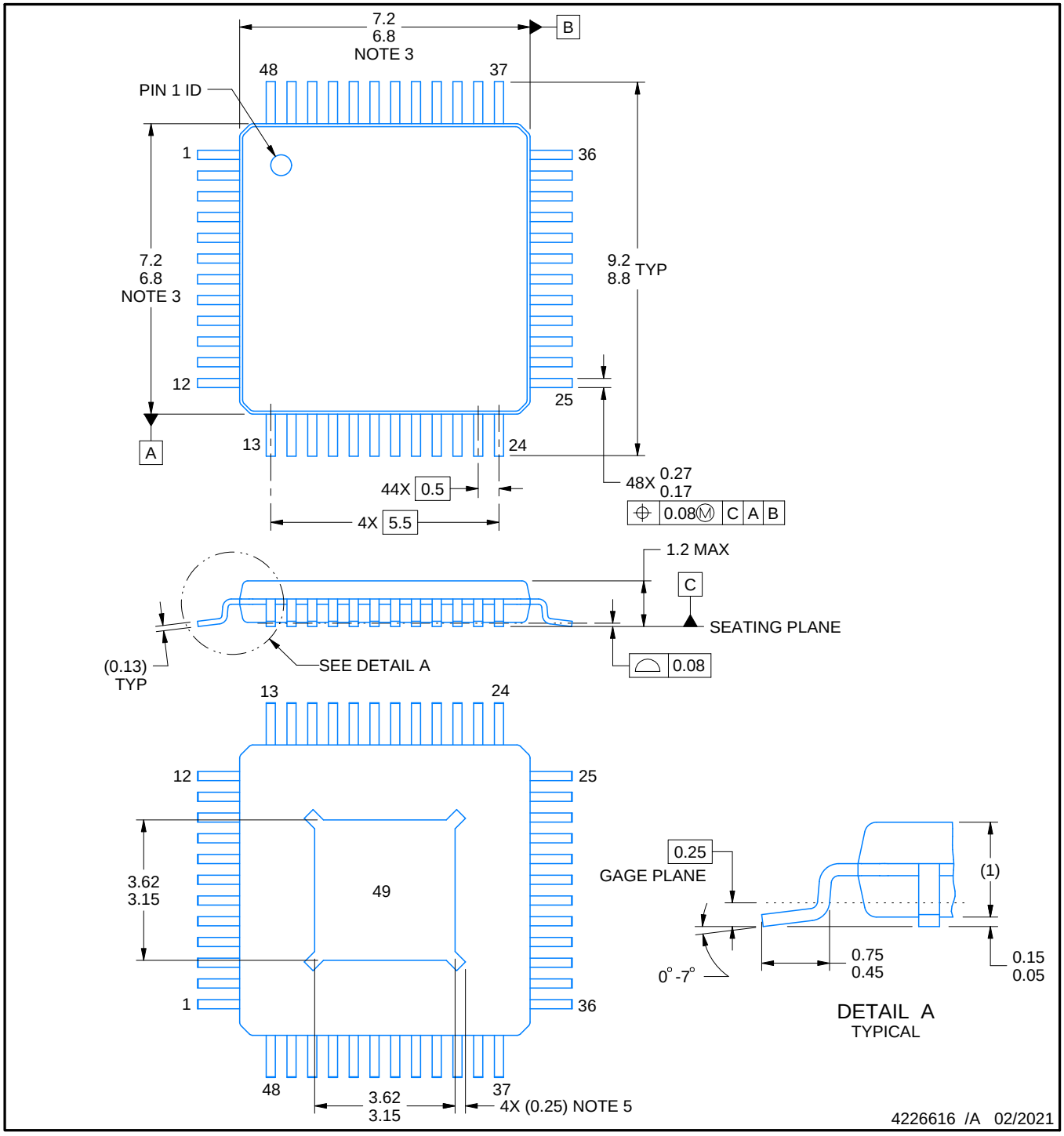
7 x 7, 0.5 mm pitch

QUAD FLATPACK

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



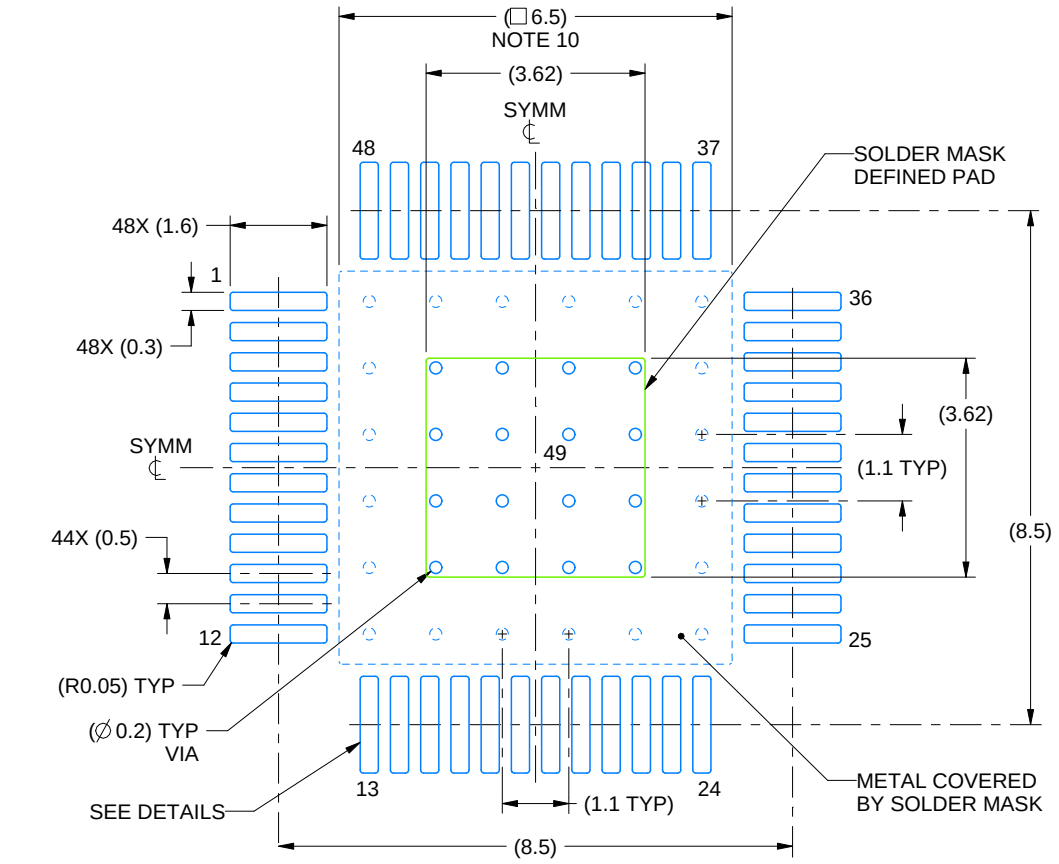
4226443/A



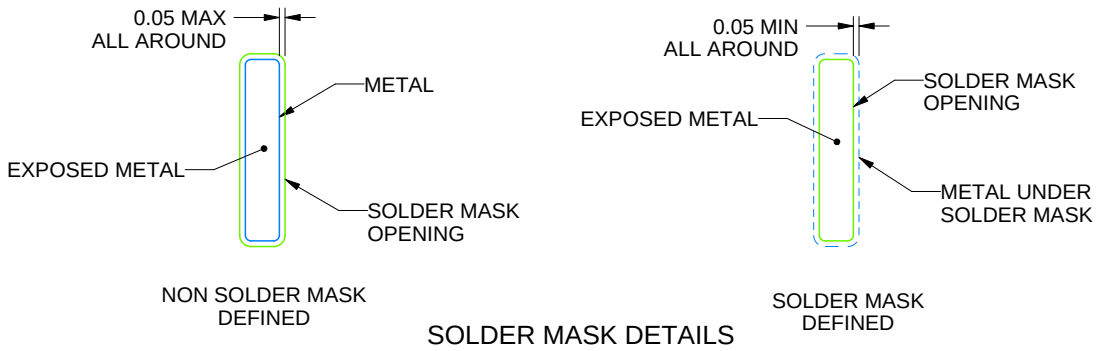
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.
5. Feature may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

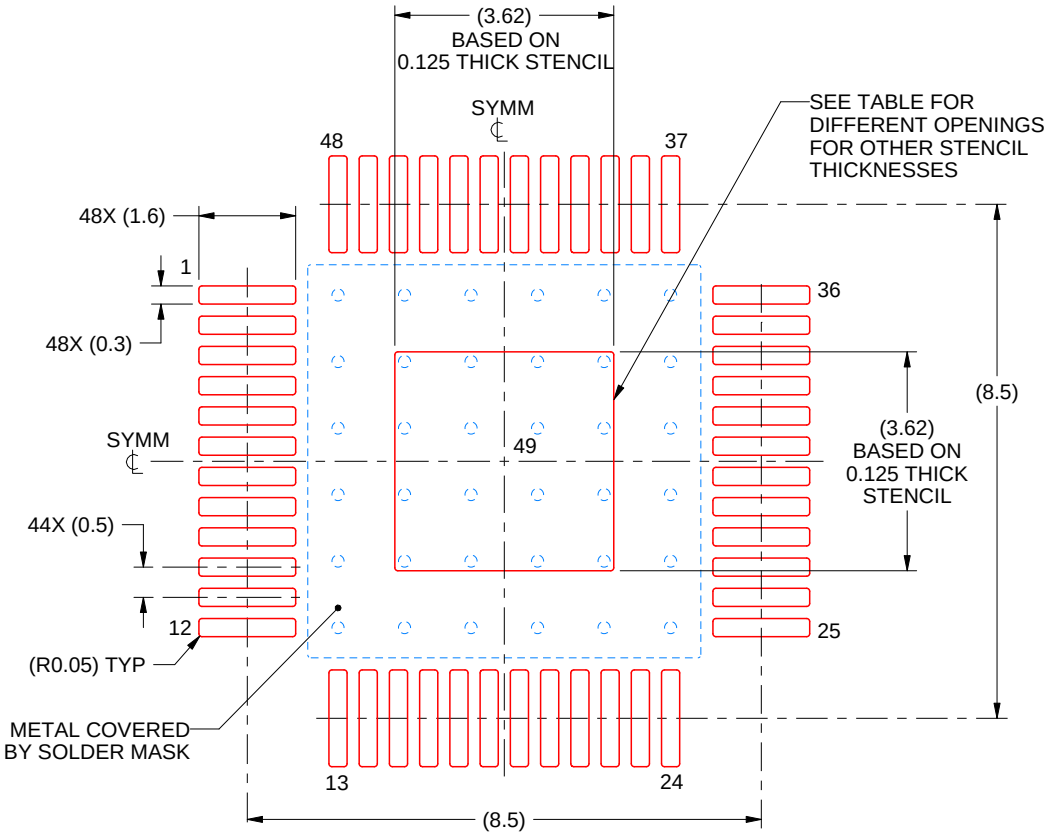


SOLDER MASK DETAILS

4226616 /A 02/2021

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. See technical brief, Powerpad thermally enhanced package, Texas Instruments Literature No. SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.



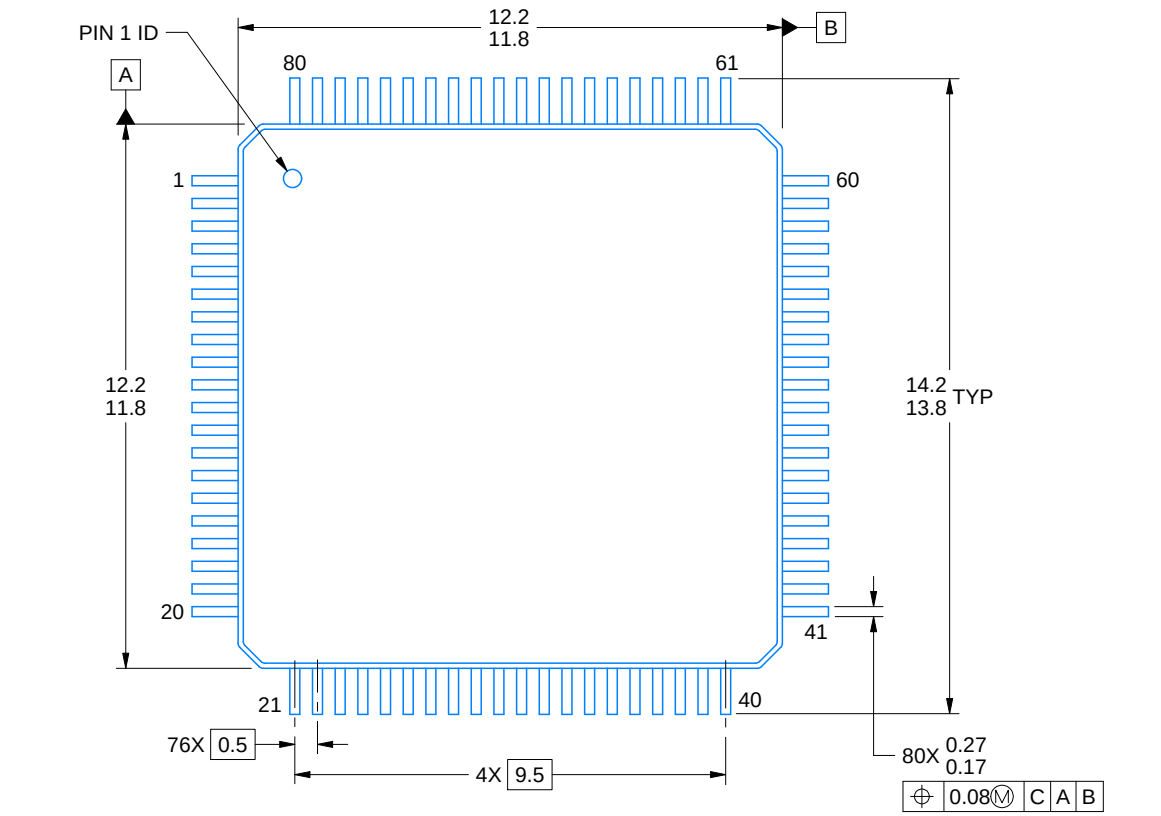
SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:8X

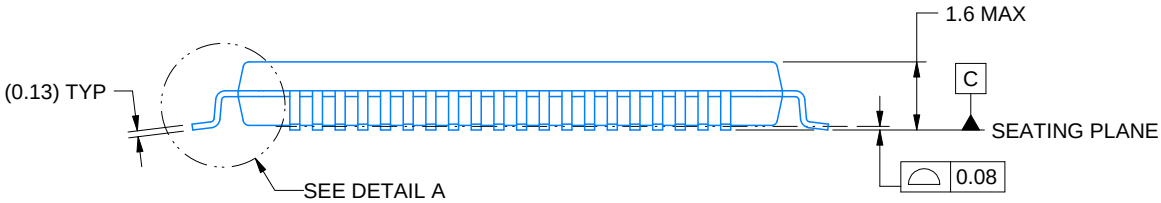
STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	4.05 X 4.05
0.125	3.62 x 3.62 (SHOWN)
0.150	3.30 x 3.30
0.175	3.06 x 3.06

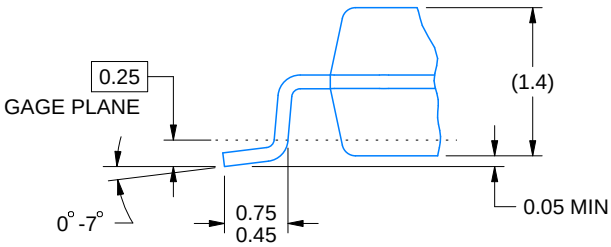
4226616 /A 02/2021

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.





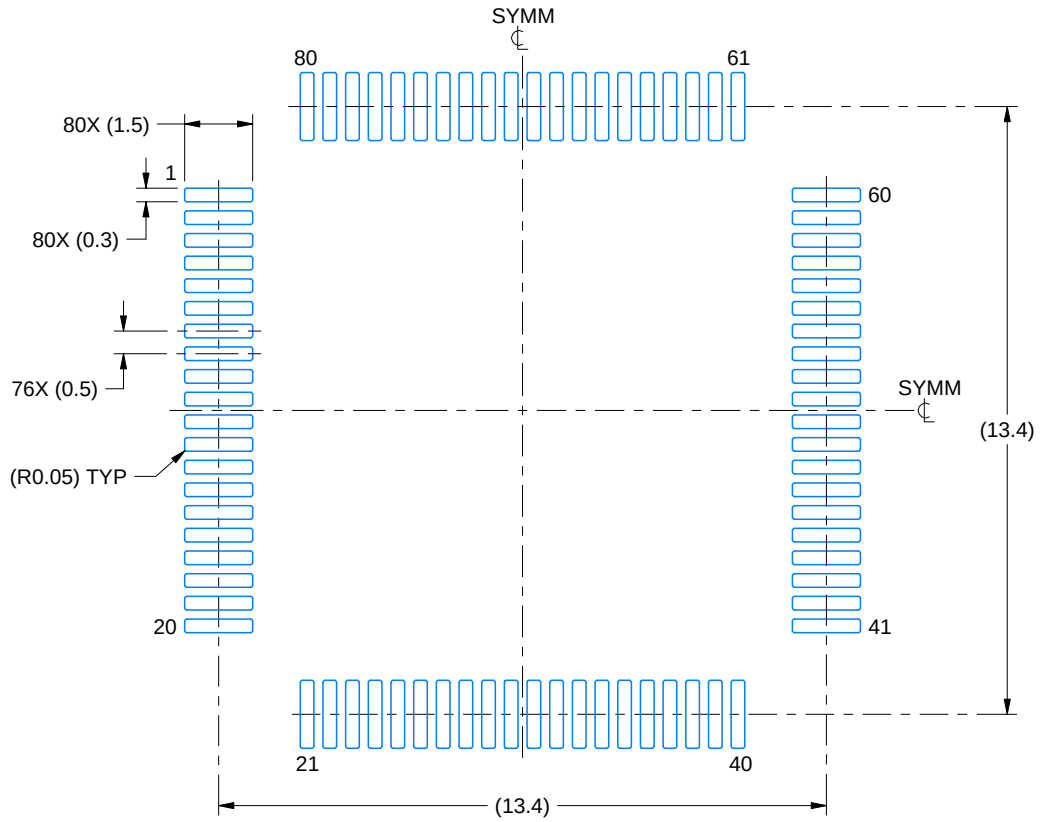


DETAIL A
TYPICAL

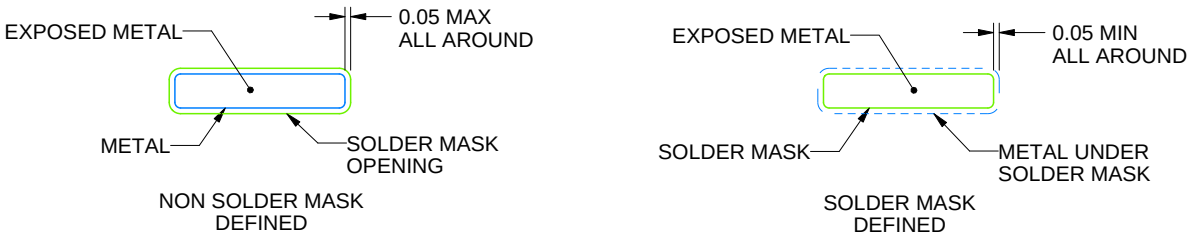
4215166/A 08/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X

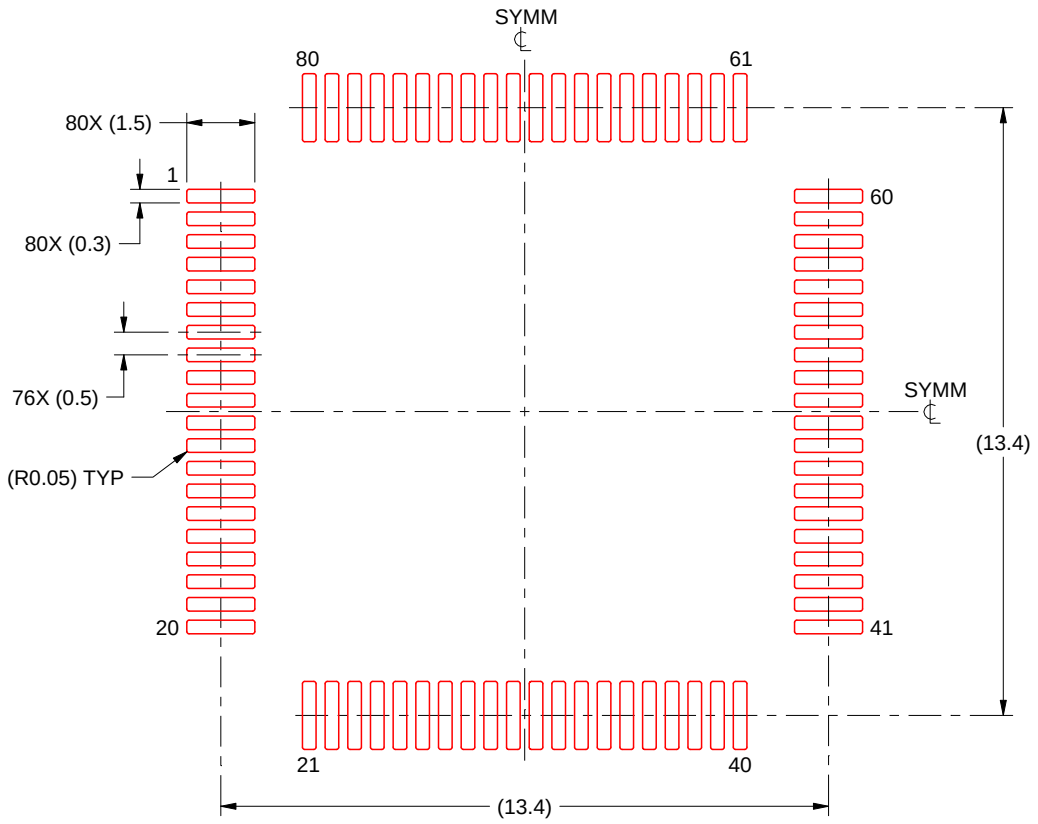


SOLDER MASK DETAILS

4215166/A 08/2022

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
6. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:6X

4215166/A 08/2022

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

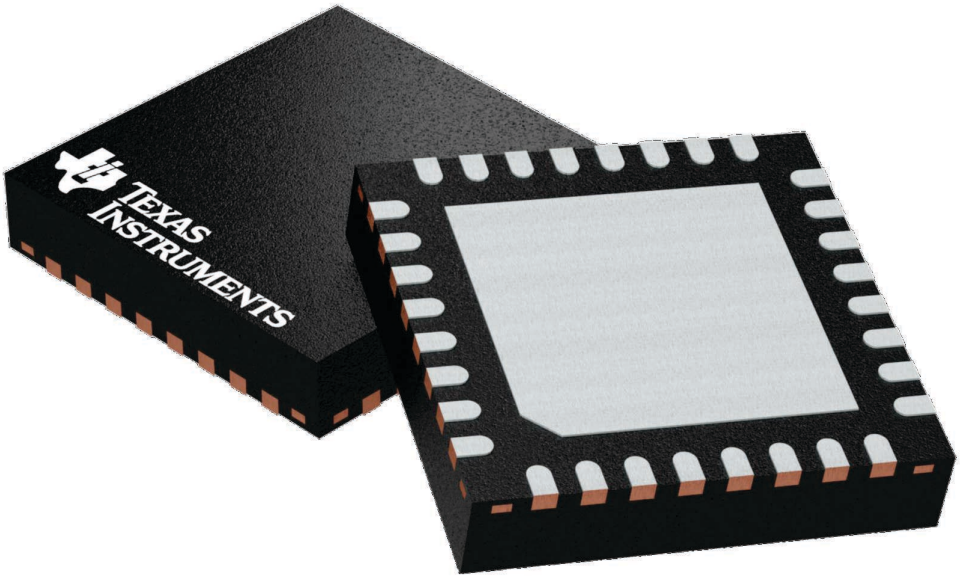
GENERIC PACKAGE VIEW

RHB 32

VQFN - 1 mm max height

5 x 5, 0.5 mm pitch

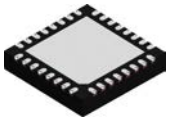
PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224745/A

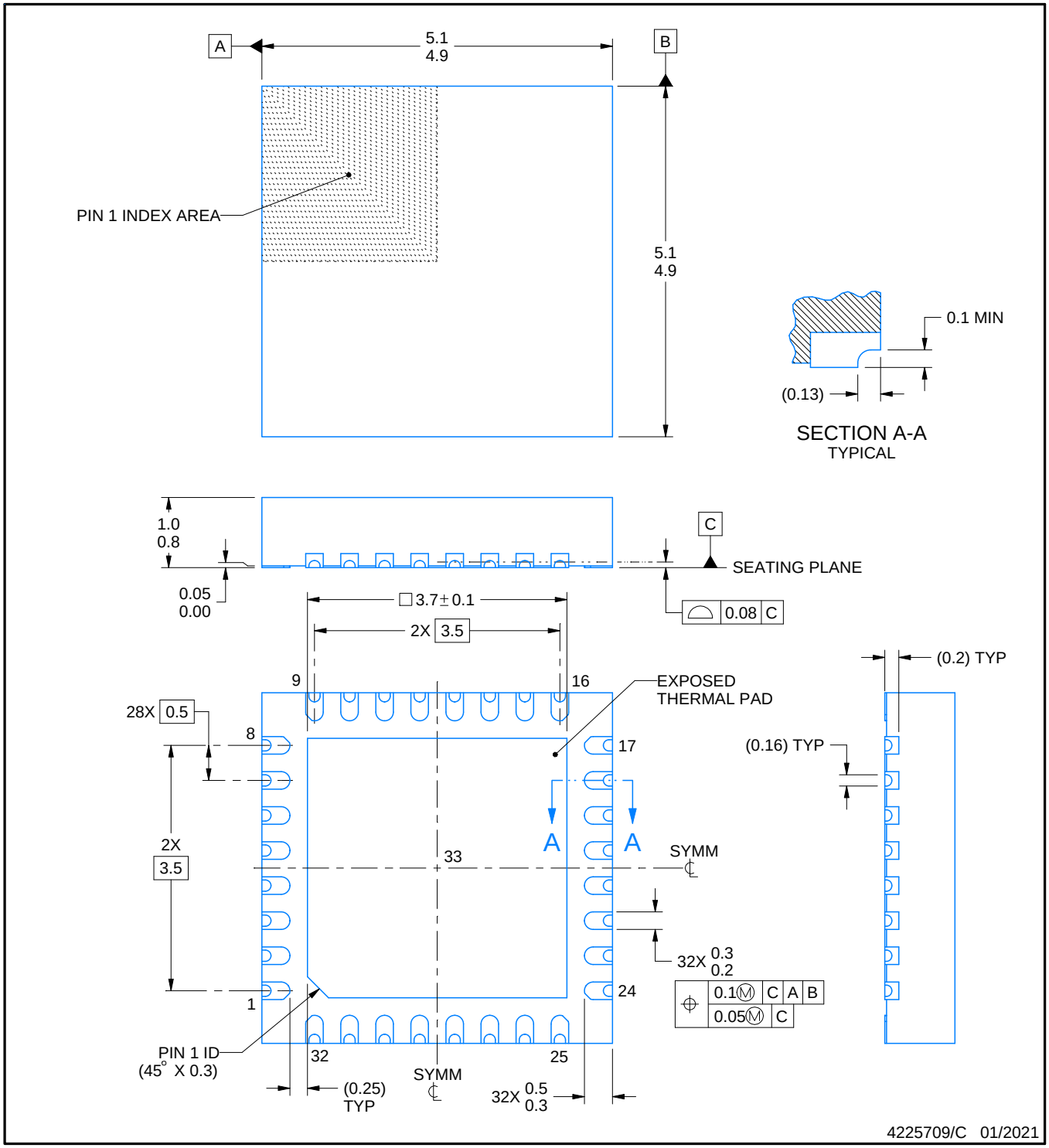
RHB0032U



PACKAGE OUTLINE

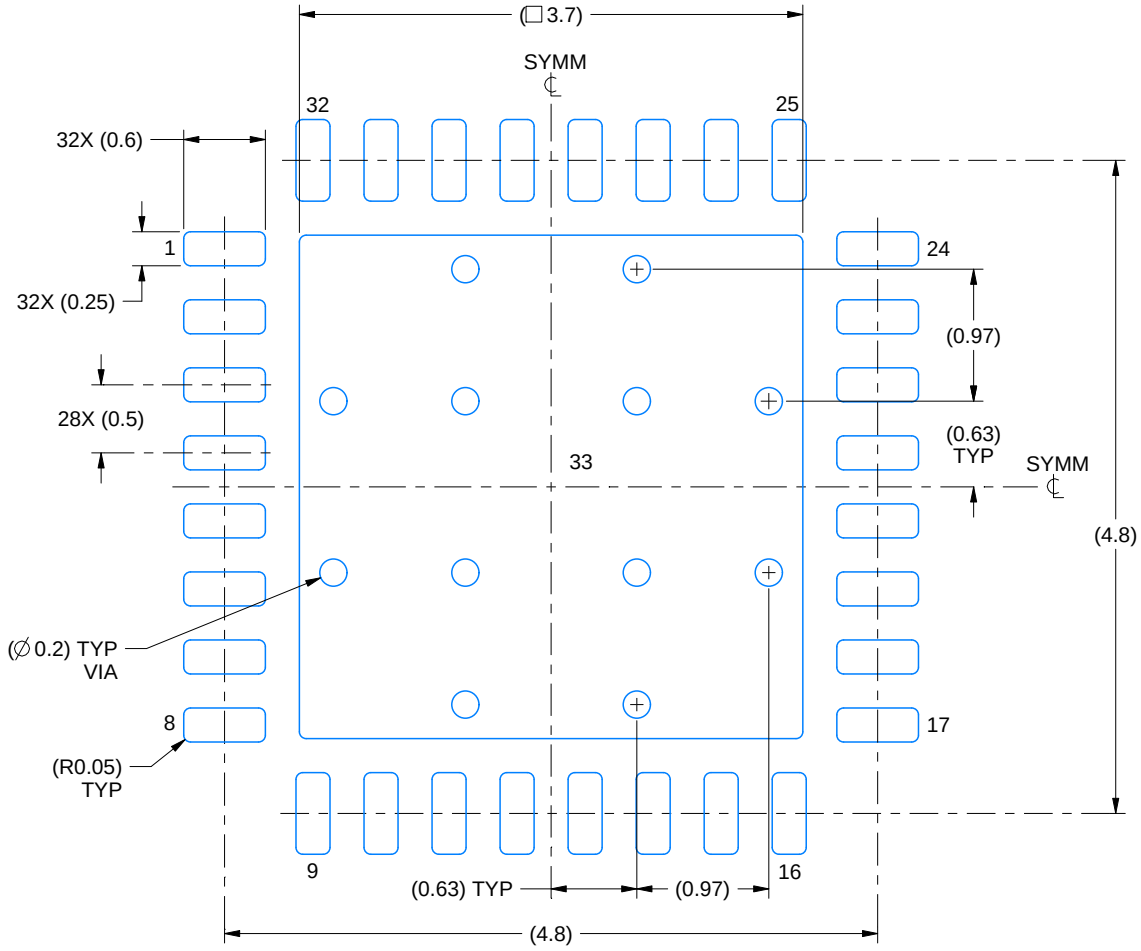
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

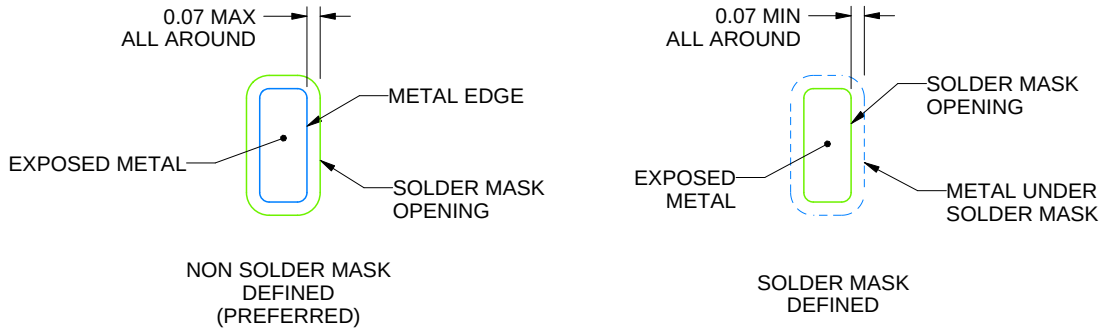


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

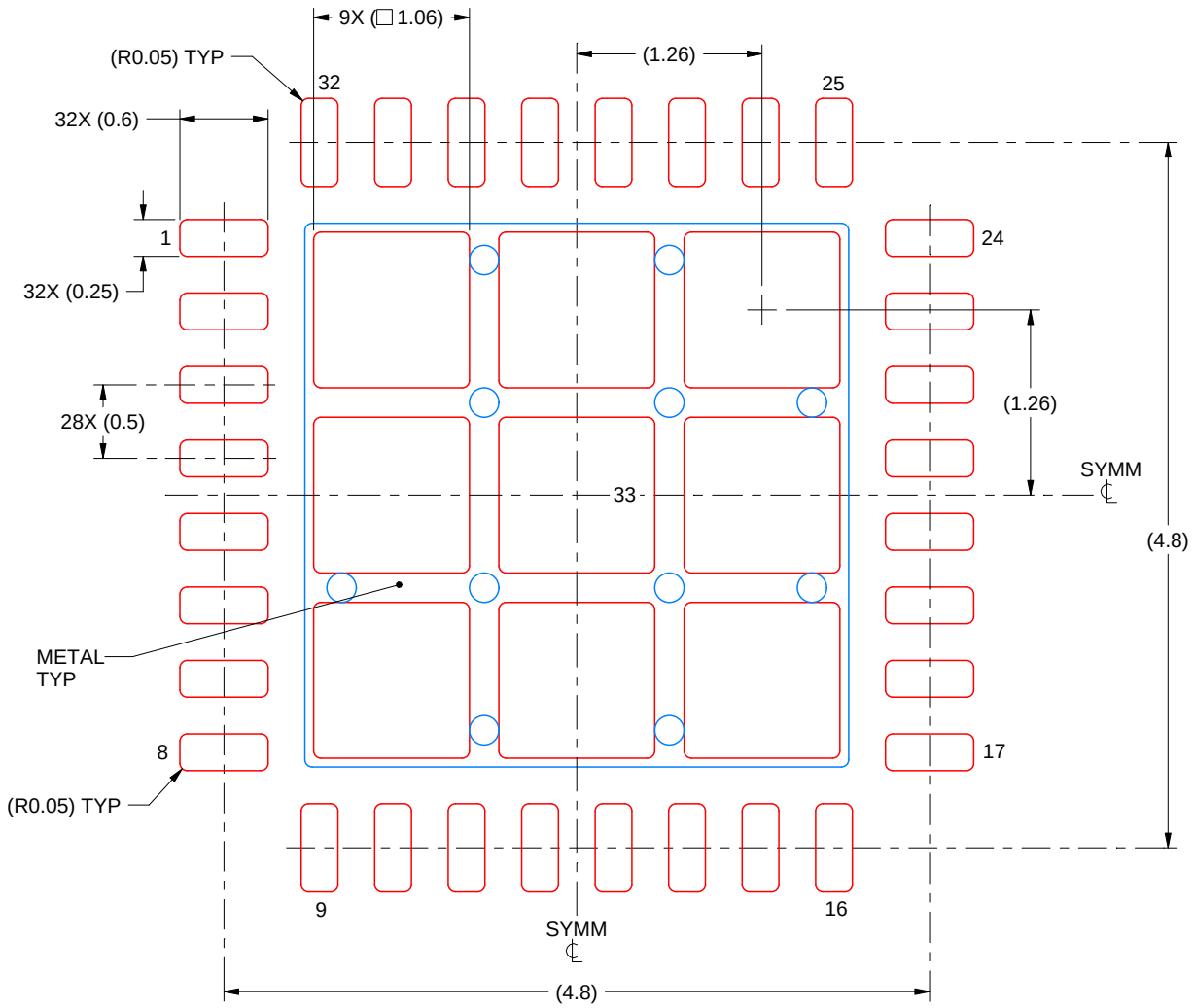


SOLDER MASK DETAILS

4225709/C 01/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



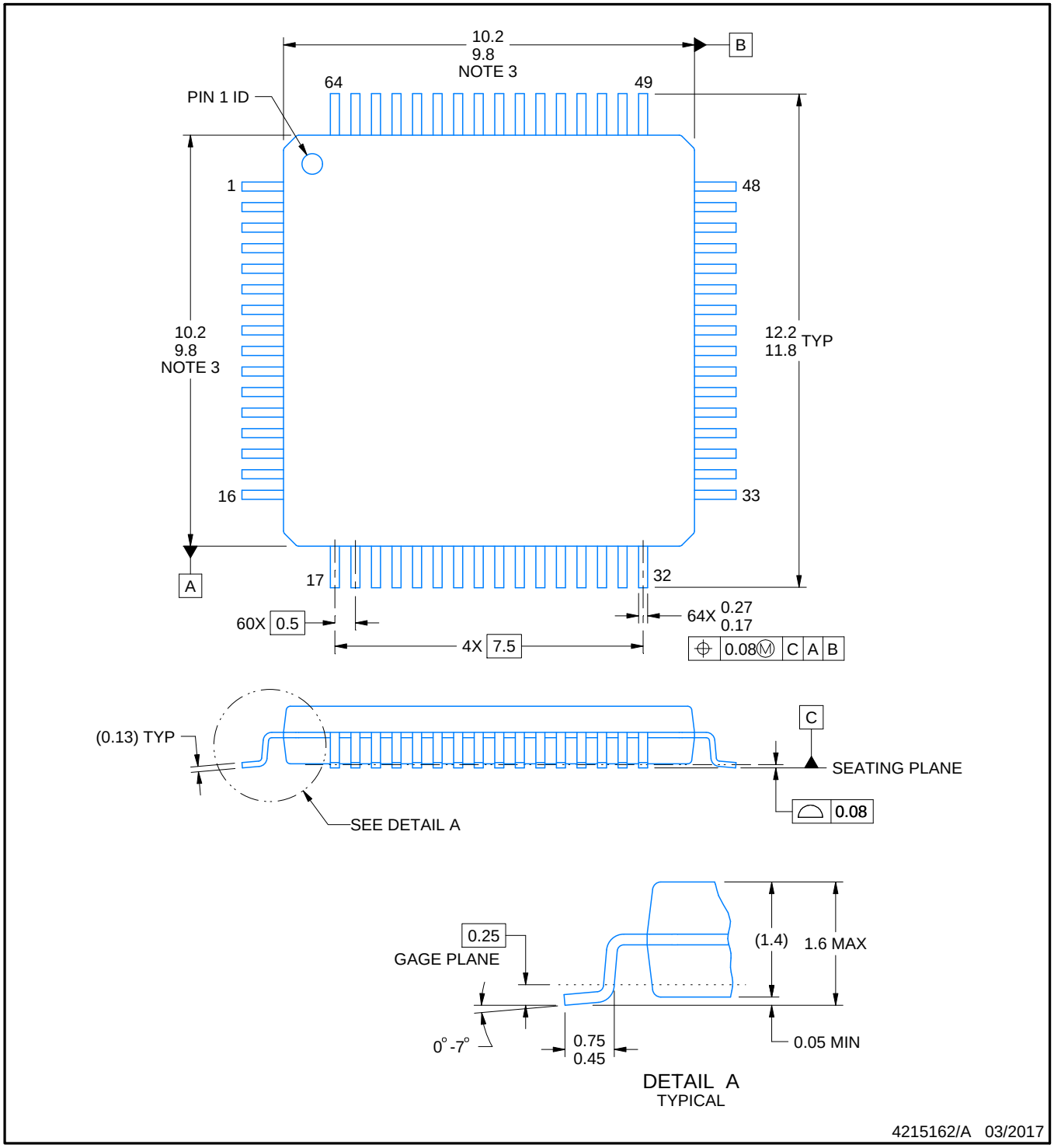
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 33:
74% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4225709/C 01/2021

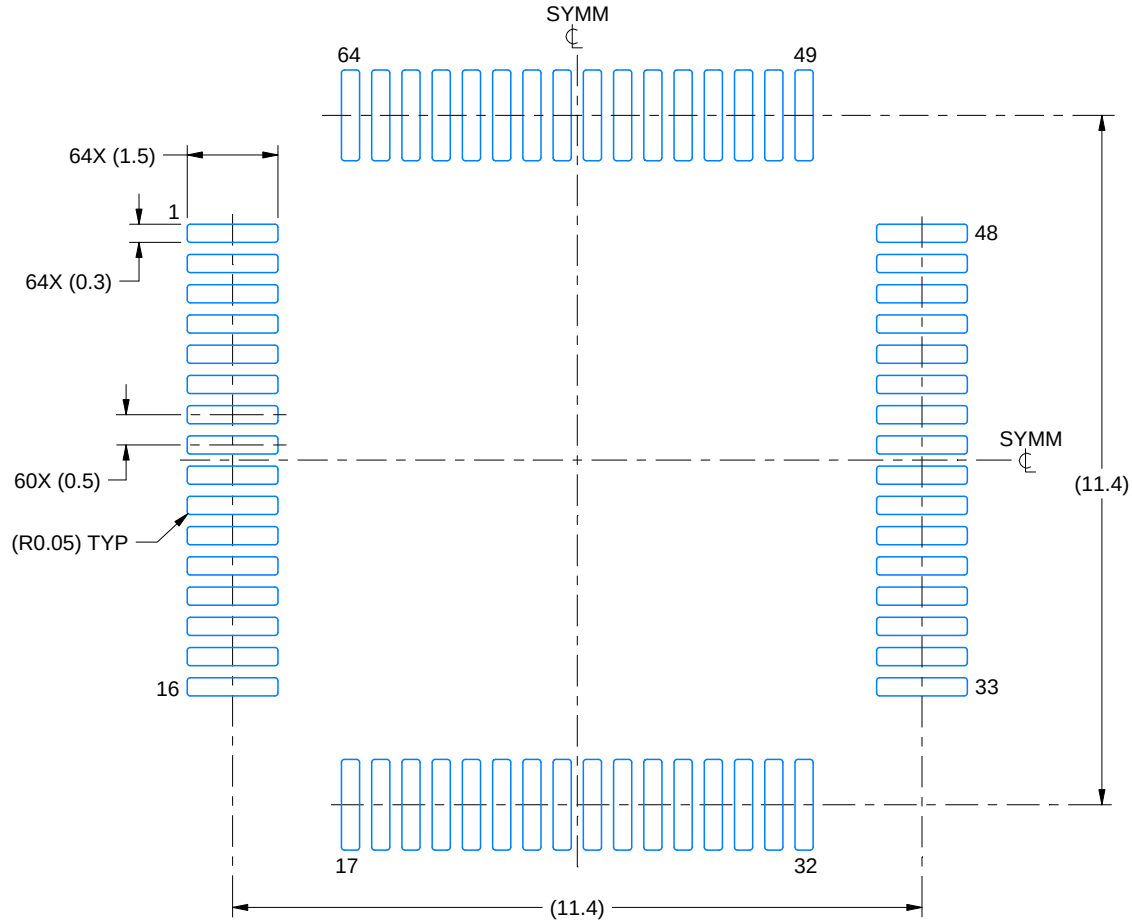
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

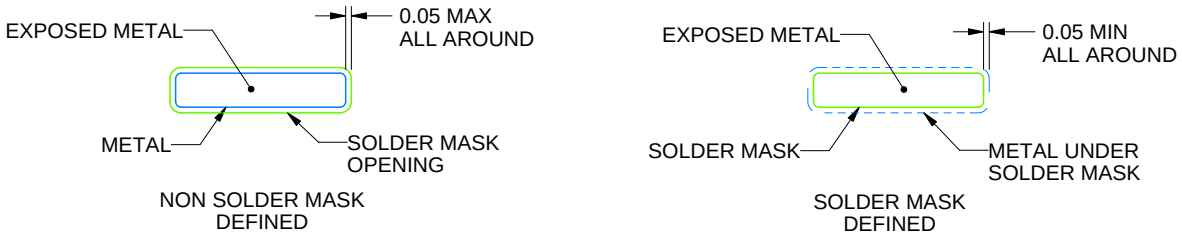


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MS-026.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

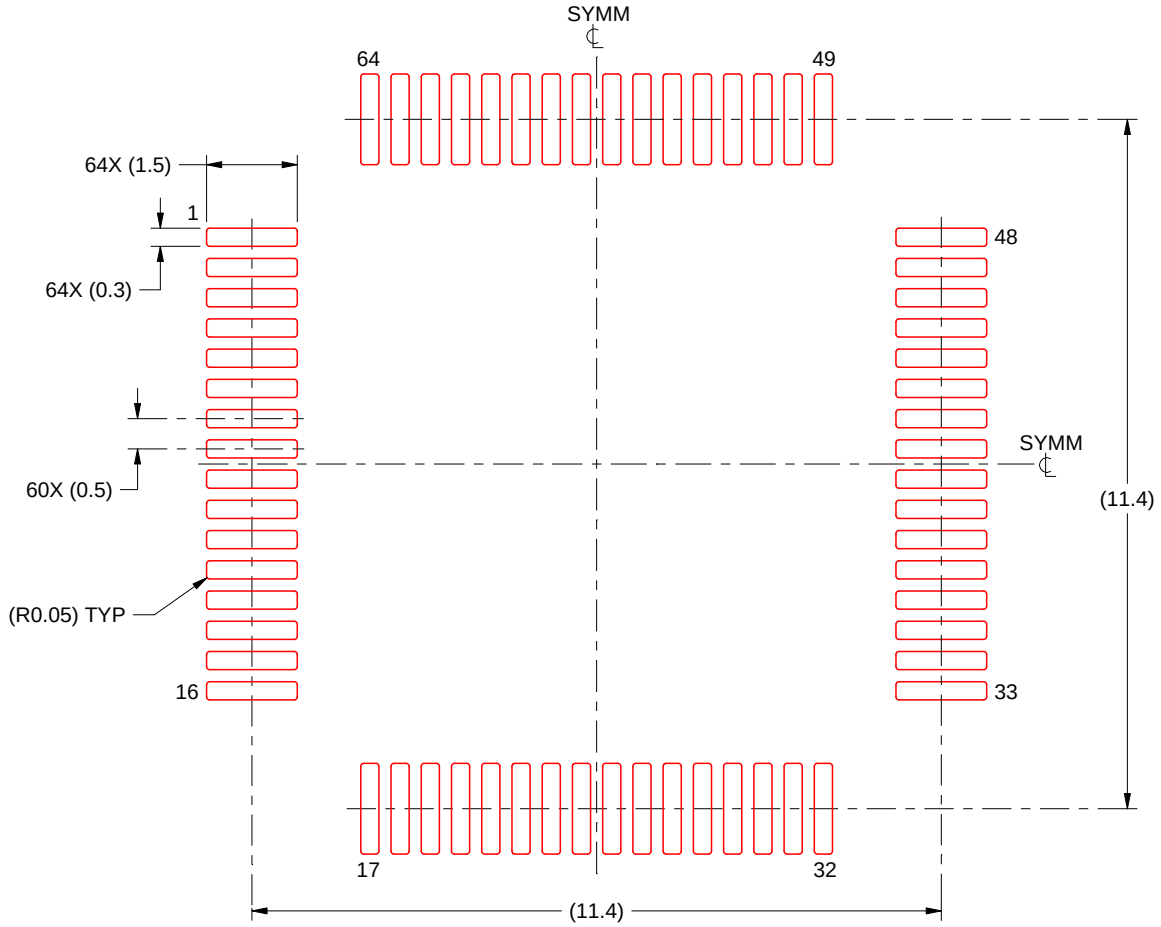


SOLDER MASK DETAILS

4215162/A 03/2017

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. For more information, see Texas Instruments literature number SLMA004 (www.ti.com/lit/slma004).



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4215162/A 03/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated