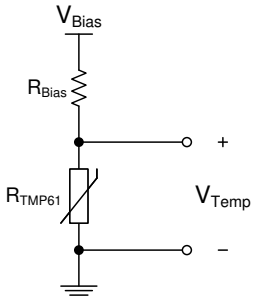
TMP61-Q1 車載グレード、±1% 10kΩ リニア サーミスタ、0402 および 0603 パッケージ オプション

1 特長

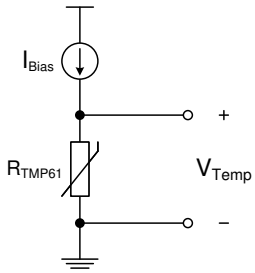
- 車載用認定
  - AEC-Q100 グレード 1:–40℃～125℃
  - AEC-Q100 グレード 0 (DYA):-40℃～150℃
  - AEC-Q100 グレード 0 (ELPG):-40°C～170°C
- AEC-Q200 テスト済み
- 機能安全対応
  - 機能安全システムの設計に役立つ資料を利用可能
- 正の温度係数 (PTC) を持つシリコン・ベースのサーミスタ
- 温度範囲全体で抵抗の線形的な変化
- 25°C での抵抗 (R25):公称値 10kΩ
  - 最大 ±1% (0°C～70°C)
- 全温度範囲にわたって安定した感度
  - 6400ppm/°C TCR (25°C)
  - 温度範囲全体にわたる TCR 許容誤差:0.2% (標準値)
- 高速な熱応答時間:0.6s (DEC)
- 長寿命で安定した性能
  - 短絡障害に備えてフェイルセーフを内蔵
  - センサの長期ドリフト:0.5% (標準値)

2 アプリケーション

- 熱補償
  - ディスプレイ用バックライト
  - バッテリ管理システム
- 熱スレッショルド検出
  - モーター制御
  - オンボード・チャージャーおよび DC / DC コンバータ



$$V_{Temp} = \frac{V_{Bias} * R_{TMP61}}{R_{Bias} + R_{TMP61}}$$



$$V_{Temp} = I_{Bias} * R_{TMP61}$$

標準的な実装回路

3 概要

サーミスタ設計ツールを使用して、いますぐ設計を開始しましょう。抵抗・温度変換表 (R-T 表) の計算や温度を求める簡単な手法、C コード・サンプルを利用できます。

TMP61-Q1 リニア・サーミスタは、全温度範囲にわたる線形性と安定した感度を備えているため、簡単かつ正確な方法で温度を変換できます。本デバイスは消費電力が低く、熱容量が小さいため、自己発熱は最小限です。

本質的に高温時にフェイルセーフ挙動を示し環境変化に耐えるこれらのデバイスは、長寿命高性能向けに設計されています。また TMP6 シリーズは、小型であるため熱源に近付けて配置でき迅速な応答が得られます。

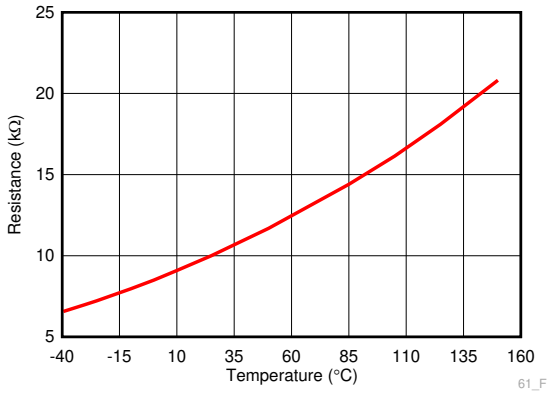
NTC サーミスタと比較して、追加の線形化回路が不要、較正が最小限、抵抗公差の変動が小さい、高温での感度が高い、変換方式が簡単などの利点があるため、時間およびメモリを削減できます。

TMP61-Q1 は現在、0402 X1SON パッケージ、0603 SOT-5X3 パッケージ、2 ピンのスルーホール TO-92S パッケージで供給されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ・サイズ (2)
TMP61-Q1	DEC (X1SON、2)	1.00mm × 0.60mm
	LPG (TO-92S、2)	4.00mm × 1.52mm
	DYA (SOT-5X3、2)	1.60mm × 0.80mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ・サイズ (長さ×幅) は公称値で、該当する場合はピンも含まれます。



標準抵抗値と周囲温度の関係

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 1
2 アプリケーション 1
3 概要 1
4 デバイスの比較 2
5 ピン構成および機能 3
6 仕様 4
6.1 絶対最大定格 4
6.2 ESD 定格 4
6.3 推奨動作条件 4
6.4 熱に関する情報 5
6.5 電気的特性 6
6.6 代表的特性 7
7 詳細説明 9
7.1 概要 9
7.2 機能ブロック図 9
7.3 機能説明 10
7.4 デバイスの機能モード 10
8 アプリケーションと実装 11
8.1 アプリケーション情報 11
8.2 AEC-Q200 認定 11
8.3 代表的なアプリケーション 11
8.4 電源に関する推奨事項 17
8.5 レイアウト 17
9 デバイスおよびドキュメントのサポート 18
9.1 ドキュメントのサポート 18
9.2 ドキュメントの更新通知を受け取る方法 18
9.3 サポート・リソース 18
9.4 商標 18
9.5 用語集 18
9.6 静電気放電に関する注意事項 18
10 改訂履歴 18
11 メカニカル、パッケージ、および注文情報 20

4 デバイスの比較

表 4-1. デバイスの比較

部品番号	R25 (標準値)	R25 の許容誤差 (%)	定格	T_A	パッケージ・オプション
TMP61	10k	1%	カタログ	-40℃～125℃	X1SON / DEC (0402)
				–40℃～150℃	SOT-5X3 / DYA (0603)
				-40℃～150℃	TO-92S / LPG
TMP61-Q1	10k	1%	車載グレード -1	-40℃～125℃	X1SON / DEC (0402)
			車載グレード -0	-40℃～150℃	SOT-5X3 / DYA (0603)
				-40℃～170℃	TO-92S / LPG
TMP63	100k	1%	カタログ	-40℃～125℃	X1SON / DEC (0402)
				–40℃～150℃	SOT-5X3 / DYA (0603)
TMP63-Q1	100k	1%	車載グレード -1	-40℃～125℃	X1SON / DEC (0402)
			車載グレード -0	-40℃～150℃	SOT-5X3 / DYA (0603)
TMP64	47k	1%	カタログ	-40℃～125℃	X1SON / DEC (0402)
				–40℃～150℃	SOT-5X3 / DYA (0603)
TMP64-Q1	47k	1%	車載グレード -1	-40℃～125℃	X1SON / DEC (0402)
			車載グレード -0	-40℃～150℃	SOT-5X3 / DYA (0603)

Copyright © 2023 Texas Instruments Incorporated

5 ピン構成および機能

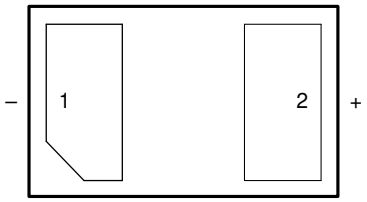
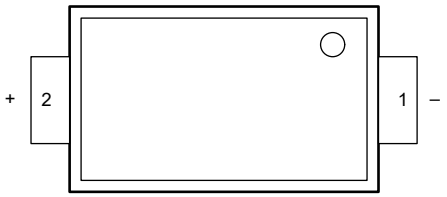
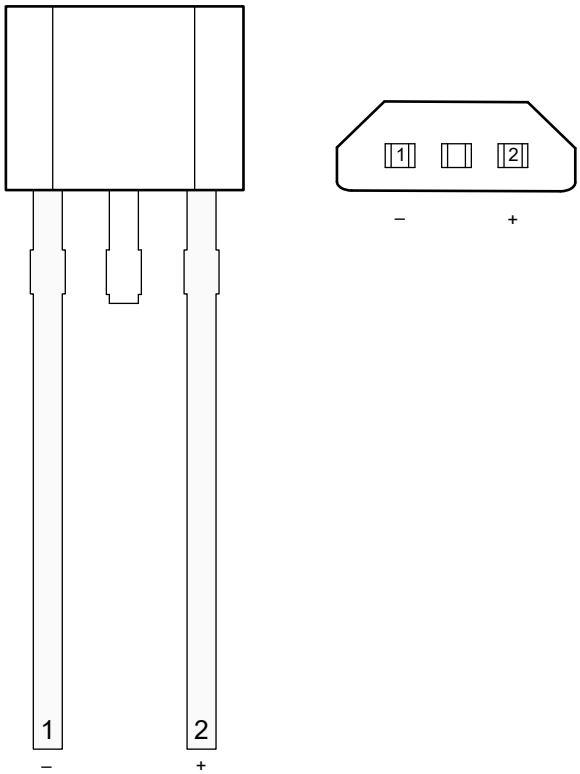


図 5-1. DEC パッケージ 2 ピン X1SON 上面図



ID マークは、ID 領域のドットで識別され、ピン 1 を示します。

図 5-2. DYA パッケージ 2 ピン SOT-5X3 上面図



正面図は、TO-92S の面取りした部分がユーザーに向くように記載しています。底面図は、ピンがページからとび出すように記載しています。

図 5-3. LPG パッケージ 2 ピン TO-92S 正面図、底面図

表 5-1. ピンの機能

ピン		タイプ	説明
名称	番号		
–	1	—	サーミスタの (–) 端子と (+) 端子。正常に動作させるには、+ 端子が – 端子より高い電位になる正バイアスとします。
+	2		

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)[1]

		最小値	最大値	単位
デバイスの両端の電圧			6	V
接合部温度 (T_J)	車載グレード 1 (DEC、DYA QLPG パッケージ)	-65	155	°C
接合部温度 (T_J)	車載グレード 0 (ELPG パッケージ)	-65	175	°C
デバイスを流れる電流			450	µA
保存温度 (T_{stg})		-65	175	°C

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このような条件や、「推奨動作条件」に記載されている条件を超える条件でデバイスが機能するということを意味するわけではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、AEC Q100-002 準拠[1] HBM 分類レベル 2	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠 CDM 分類レベル C6	±1000	V

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{Sns}	ピン 2 (+) とピン 1 (–) の間の電圧	0		5.5	V
I_{Sns}	デバイスを流れる電流 T_A = -40℃～150℃	0		400	µA
	デバイスを流れる電流 T_A = 150 °C～170 °C	50		250	
T_A	自由気流での動作温度 (車載グレード 1、DEC、QLPG パッケージ)	-40		125	℃
	自由気流での動作温度 (車載グレード 0、DYA パッケージ)	-40		150	
	自由気流での動作温度 (車載グレード 0、ELPG パッケージ)[1] [2]	-40		170	

(1) HTOL は 160 °C で 2300 時間、175 °C で 24 時間実施しました。
(2) HTSL は 175 °C で 2000 時間実施しました。

Copyright © 2023 Texas Instruments Incorporated

6.4 熱に関する情報

熱評価基準[1] [2]		TMP61-Q1			単位
		DEC (X1SON)	LPG (TO-92S)	DYA (SOT-5X3)	
		2 ピン	2 ピン	2 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗[3] [4]	443.4	215	742.9	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	195.7	99.9	315.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	254.6	191.7	506.2	°C/W
Ψ_{JT}	接合部から上面への評価パラメータ	19.9	35.1	109.3	°C/W
Ψ_{JB}	接合部から基板への評価パラメータ	254.5	191.7	500.4	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	–	–	-	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。
(2) 自己発熱と熱応答時間については、「レイアウトの注意点」を参照してください。
(3) 自然対流での接合部 - 周囲間熱抵抗値 ($R\theta_{JA}$) は、JESD51-2 に記載された環境における JESD51-7 に規定された JEDEC 規格高誘電率基板でのシミュレーションで求めています。露出パッド・パッケージは、PCB にサーマル・ビアを使用しているものと仮定します (JESD51-5 に準拠)。
(4) 自己発熱による出力の変動は、内部消費電力に熱抵抗値を乗じて計算できます。

6.5 電気的特性

T_A = –40°C～125°C (TMP61Q)、T_A = –40°C～170°C (TMP61E)、I_{Sns} = 200µA (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_{25}	25℃でのサーミスタ抵抗値(1)	T_A = 25°C	9.9	10	10.1	kΩ
R_{TOL}	抵抗値の精度(1)	T_A = 25℃	-1		1	%
R_{TOL}	抵抗値の精度(1)	T_A = 0℃～70℃	-1		1	%
		T_A = -40℃～150°C	-1.5		1.5	
R_{TOL}	抵抗値の精度(1)	T_A = 150°C～170°C	-2.5		2.5	%
TCR_{-35}	抵抗温度係数	T1 = -40℃、T2 = -30°C		+6220		ppm/℃
TCR_{25}		T1 = 20℃、T2 = 30°C		+6400		
TCR_{85}		T1 = 80℃、T2 = 90°C		+5910		
TCR_{-35} %	抵抗温度係数ばらつき	T1 = -40℃、T2 = -30°C		±0.4		%
TCR_{25} %		T1 = 20℃、T2 = 30°C		±0.2		
TCR_{85} %		T1 = 80℃、T2 = 90°C		±0.3		
ΔR	センサ長期ドリフト (信頼性)	96 時間連続動作 RH = 85%、T_A = 130℃、V_{Bias} = 5.5V	-1	0.1	1	%
		T_A = 150°C で 600 時間連続動作 V_{Bias} = 5.5V、DEC パッケージ	-1	0.5	1.8	
		T_A = 150℃で 600 時間連続動作 V_{Bias} = 5.5V、DYA パッケージ	-1	0.2	1.2	
		T_A = 150℃で 1000 時間連続動作 V_{Bias} = 5.5V、DYA パッケージ	-1	0.2	1.2	
		T_A = 150°C で 1000 時間連続動作 V_{Bias} = 5.5V、QLPG パッケージ	-0.5	0.5	1.4	
ΔR	センサ長期ドリフト (信頼性)	T_A = 160°C で 2300 時間連続動作 T_A = 175°C で 24 時間連続動作 V_{Bias} = 5.5V、ELPG パッケージ	-2	1.1	4	%
$t_{RES\ (stirred\ liquid)}$	63% までの熱応答 (DEC パッケージ)	T1 = 25°C (静止空気中)～T2 = 125°C (かくはん液中)		0.6		s
$t_{RES\ (stirred\ liquid)}$	63% までの熱応答 (LPG パッケージ)	T1 = 25°C (静止空気中)～T2 = 125°C (かくはん液中)		2.9		s
$t_{RES\ (still\ air)}$	63% までの熱応答 (DEC パッケージ)	T1 = 25°C～T2 = 70°C (静止空気中)		3.2		s
$t_{RES\ (still\ air)}$	63% までの熱応答 (LPG パッケージ)	T1 = 25°C～T2 = 70°C (静止空気中)		20		s

(1) 4 次方程式により決定した限界値。許容誤差は「センサ長期ドリフト」の仕様によって異なります。

Copyright © 2023 Texas Instruments Incorporated

6.6 代表的特性

T_A = 25°C (特に記述のない限り)

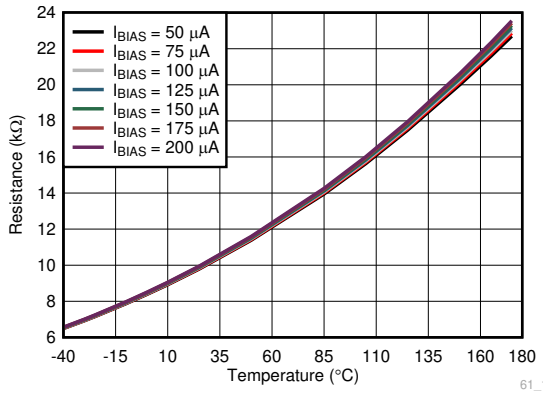
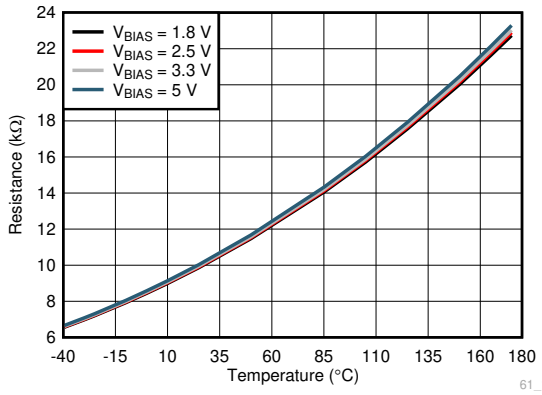


図 6-1. 車載グレード 0 の抵抗値と周囲温度との関係 (各種バイアス電流)



R_{BIAS} = 10kΩ (許容誤差 ±0.01%)

図 6-2. 車載グレード 0 の抵抗値と周囲温度との関係 (各種バイアス電圧)

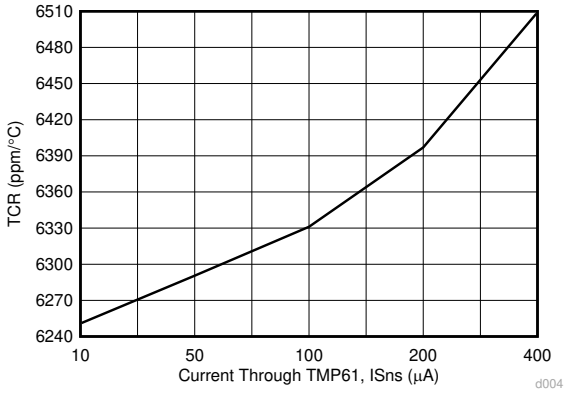
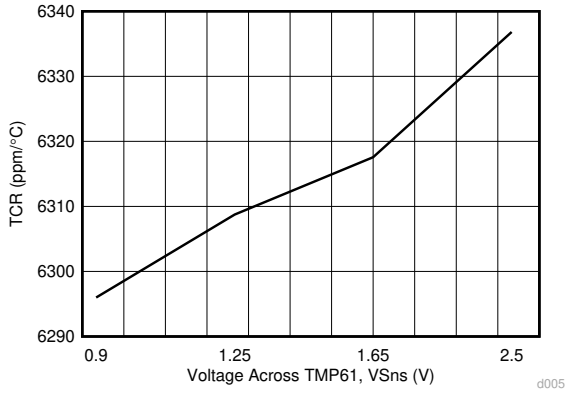


図 6-3. TCR と検出電流 (I_{SNS}) の関係



V_{Sns} = 1.8V、2.5V、3.3V、5.0V、R_{Bias} = 10kΩ (許容誤差 ±0.01%)

図 6-4. TCR と検出電圧 V_{Sns} の関係

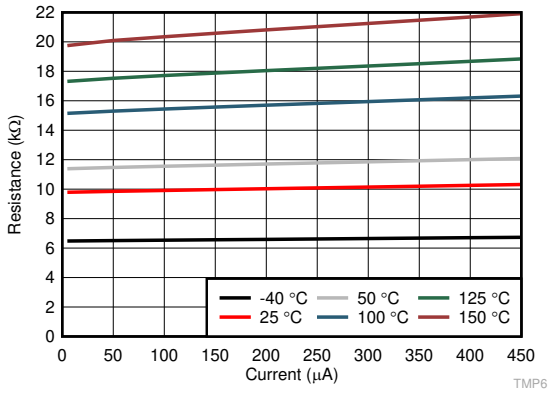
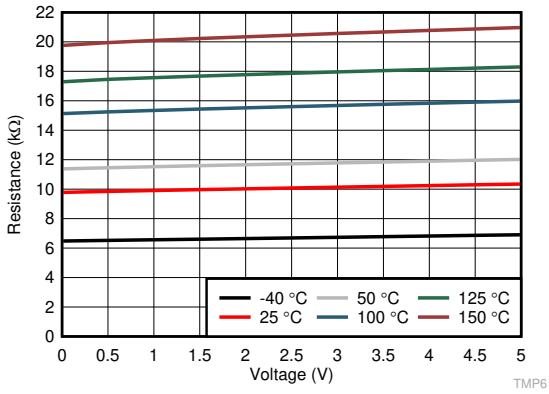
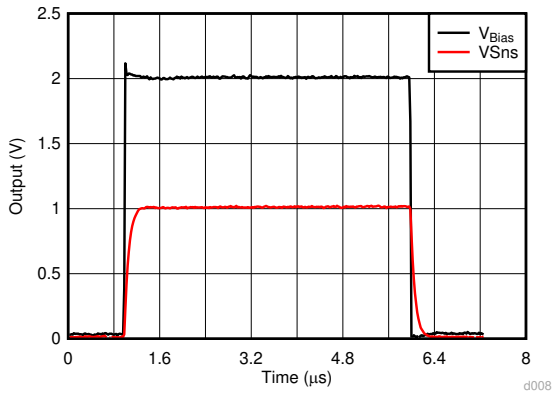


図 6-5. 電源依存抵抗値とバイアス電流との関係



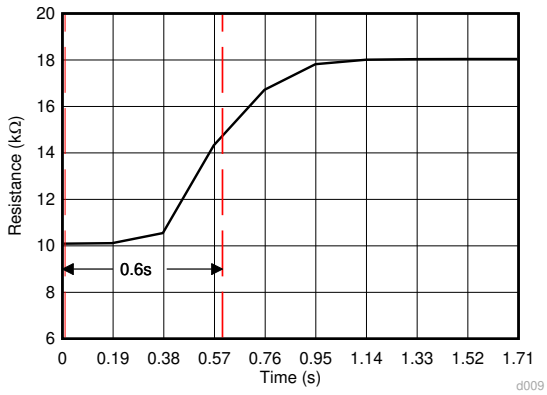
R_{Bias} = 10kΩ (許容誤差 ±0.01%)

図 6-6. 電源依存とバイアス電圧との関係



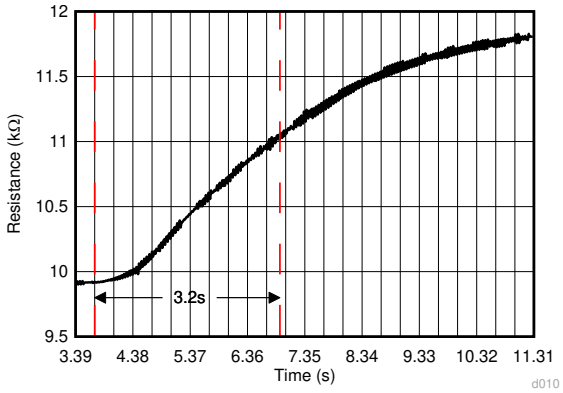
V_{SNS} = 1V

図 6-7. ステップ応答



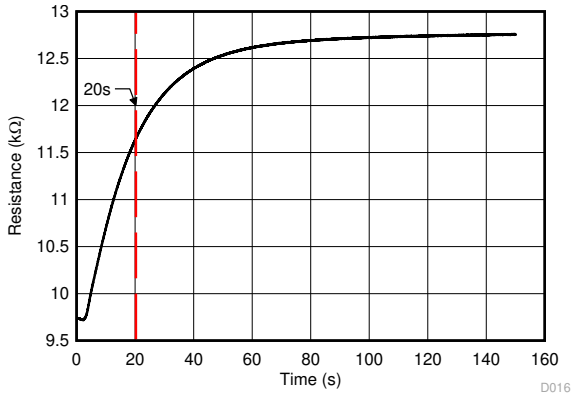
周囲物質:かくはん液中

図 6-8. 熱応答時間 (DEC パッケージ)



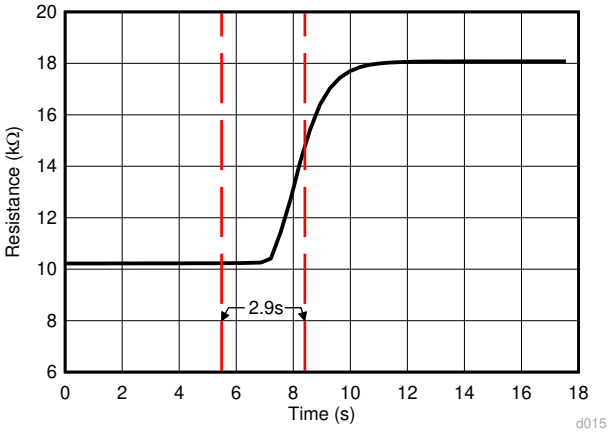
周囲条件:静止空気中

図 6-9. 熱応答時間 (DEC および DYA パッケージ)



周囲条件:静止空気中

図 6-10. 熱応答時間 (LPG パッケージ)



周囲物質:かくはん液中

図 6-11. 熱応答時間 (LPG パッケージ)

Copyright © 2023 Texas Instruments Incorporated

7 詳細説明

7.1 概要

TMP61-Q1 シリーズのシリコン リニア サーミスタは、線形の正温度係数 (PTC) により、広い動作温度範囲にわたって均一で安定した温度係数抵抗 (TCR) を実現します。TI は、デバイスのドーピング・レベルとアクティブ領域面積で主要な特性 (抵抗温度係数 (TCR)、公称抵抗値 (R25)) を制御する特殊なシリコン・プロセスを採用しています。このデバイスは、極性を持つ端子に起因するアクティブ領域と基板から成ります。正の端子は高電位側に接続します。負の端子は低電位側に接続します。

単なる抵抗デバイスである NTC とは異なり、TMP61-Q1 の抵抗はデバイスを流れる電流の影響を受け、その抵抗値は温度に応じて変化します。分圧器回路では、上側の抵抗の値を 10kΩ に保つことを推奨します。上側の抵抗の値または V_{BIAS} 値を変更すると、TMP61-Q1 の抵抗 - 温度表 (R-T 表) が変わり、これによって「*設計要件*」セクションに記載する多項式も変わります。詳細については、「*TMP61-Q1 の R-T 表*」セクションを参照してください。

式 1 を使用すると TCR の近似値を求めることができます。

$$TCR = \frac{(R_{T2} - R_{T1})}{(T2 - T1) \times R_{\frac{(T2-T1)}{2}}} \tag{1}$$

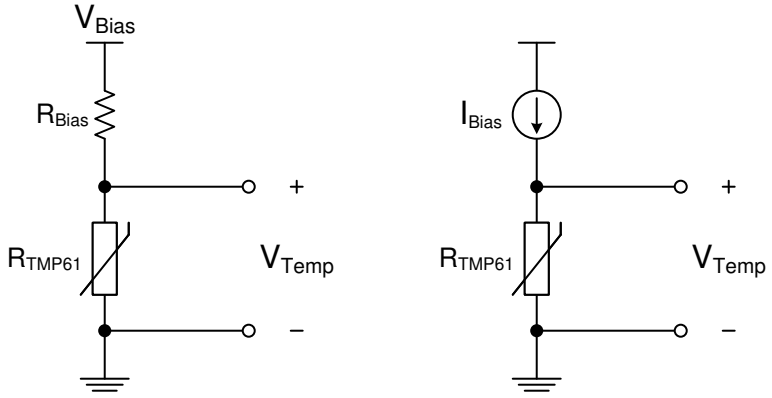
ここで、

- TCR の単位は ppm/℃です。

主要な用語と定義

- I_{SNS}：TMP61-Q1 を流れる電流。
- V_{SNS}：TMP61-Q1 の 2 つの端子間の電圧。
- I_{BIAS}：バイアス回路から供給される電流
- V_{BIAS}：バイアス回路から供給される電圧
- V_{TEMP}：測定温度に対応する出力電圧なお、これは V_{SNS} とは異なります。TMP61-Q1 をハイサイドに配置する分圧器回路の使用事例では、V_{TEMP} は R_{BIAS} の両端で測定されます。

7.2 機能ブロック図



$$V_{Temp} = \frac{V_{Bias} * R_{TMP61}}{R_{Bias} + R_{TMP61}} \qquad V_{Temp} = I_{Bias} * R_{TMP61}$$

図 7-1. 標準的な実装回路

7.3 機能説明

7.3.1 TMP61-Q1 の R-T 表

バイアス電圧、バイアス抵抗、またはバイアス電流の変化に対して、TMP61-Q1 の R-T 表を再計算する必要があります。テキサス・インスツルメンツでは、R-T 表の計算が行えるサーミスタ設計ツールを提供しています。システム設計者は常に計算の結果を検証する必要があります。

7.3.2 線形抵抗曲線

TMP61-Q1 は、代表的特性 に示すように、全温度範囲にわたって良好な線形特性を示します。そのため、多くのルックアップ・テーブル・メモリを必要としない簡単な方法で抵抗から温度に変換できます。従来の NTC に関連する線形化回路または中間点較正は、このデバイスでは不要です。

全温度範囲にわたって抵抗値が線形的に変化するため、本デバイスは高い動作温度でも感度を維持できます。

7.3.3 正温度係数 (PTC)

TMP61-Q1 は正の温度係数を持っています。温度が上昇するとデバイスの抵抗値が上がるため、バイアス回路の消費電力が減少します。これに対し、負の係数のシステムでは抵抗値が下がるため、温度とともに消費電力も増大します。

TMP61-Q1 を使用すると、NTC システムに比べて自己発熱が少ないバイアス回路を実現できるため、消費電力を低減できるという利点があります。

7.3.4 内蔵フェイルセーフ

TMP6 ファミリは正の温度係数を備えています。サーミスタを電源に対して短絡すると、電流が増加し余剰な電力が消費されます。TMP6 には正の温度勾配があるため、その抵抗値が増加することで、設計上、自己発熱を制限しています。

対照的に NTC の場合は、自己発熱により抵抗値が継続的に低下するので、消費電力の増加にともない抵抗が減少するというポジティブ・フィードバックが生じます。

7.4 デバイスの機能モード

このデバイスを推奨動作条件の範囲内で使用する場合、動作モードは 1 つのみとなります。

Copyright © 2023 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

TMP61-Q1 は、正の温度係数 (PTC) を持つリニア シリコン サーミスタです。温度依存抵抗として動作し、システムレベルの要件に応じて、さまざまな構成で温度を監視できます。TMP61-Q1 は、25°C での公称抵抗値 (R25) が 9.82 10kΩ、最大許容誤差が ±1%、最大動作電圧が 5.5V (V_{Sns})、最大電源電流が 400µA (I_{Sns}) です。一般的な 0402 (インチ) フットプリントと互換性のある超小型 DEC パッケージを選択すると、このデバイスは、熱源に近接して温度を監視する多様なアプリケーションに使用できます。全測定誤差に影響を与える要素には、ADC の分解能 (該当する場合)、バイアス電流または電圧の許容誤差、バイアス抵抗の許容誤差 (分圧器構成の場合)、熱源に対するセンサの位置があります。

8.2 AEC-Q200 認定

TMP61-Q1 は AEC-Q100 認定済みですが、AEC-Q200 認定についてもテストを実施しており、端子強度 (SMD) / せん断試験を除くすべての必須テストに合格しています。このテストでは、以下の結果が観察されました。

- DEC パッケージは最大 200g の応力を許容
- DYA パッケージは最大 400g の応力を許容

LPG パッケージは AEC-Q200 認定についてはテストされていません。

8.3 代表的なアプリケーション

8.3.1 サーミスタ・バイアス回路

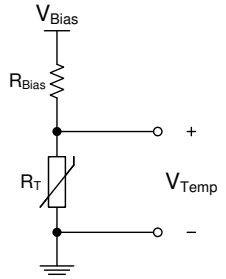


図 8-1. リニア・サーミスタを使用した電圧バイアス回路

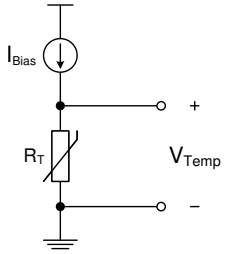


図 8-2. リニア・サーミスタを使用した電流バイアス回路

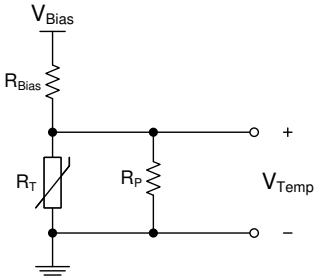


図 8-3. ノンリニア・サーミスタを使用した電圧バイアス回路

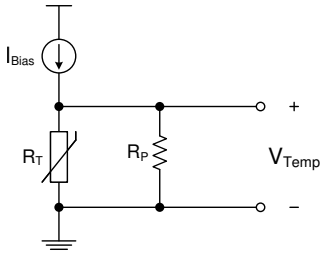


図 8-4. ノンリニア・サーミスタを使用した電流バイアス回路

8.3.1.1 設計要件

一般に既存のサーミスタでは、温度対抵抗曲線が非線形になります。サーミスタの応答を線形化するには、分圧器構成による電圧線形化回路、またはサーミスタと並列にもう 1 つの抵抗 R_P を接続した抵抗線形化回路を使用します。「サーミスタ・バイアス回路」セクションでは、R_T をサーミスタ抵抗とする 2 つの実装を取り上げています。サーミスタの両端に出力電圧を発生させるため、目的の電圧応答 (負または正) に応じて、ハイサイド (電源側) またはローサイド (グランド側) にサーミスタを配置した分圧器回路を使用できます。また、高精度の電流源を使用して抵抗を直接バイアスすることもできます (もっとも高い精度と電圧ゲインが得られます)。実装が簡単で低コストであることから、サーミスタを使用した分圧器を使用するのが一般的です。一方、TMP61-Q1 は、その両端の測定電圧が温度とともに線形的に増加するリニア正温度係数 (PTC) の抵抗値を示します。そのため、線形化回路はもはや不要であり、単純な電流源または分圧器回路を使用して、温度に応じた電圧 (温度電圧と呼ぶ) を生成できます。

この出力電圧は、より広い範囲の温度を監視するために ADC に直接接続され、またはアクティブ帰還制御回路の帰還入力として使用されます。またこの出力電圧を、コンパレータを使用して基準電圧と比較し、温度トリップ・ポイントをトリガすることもできます。

式 2 に示されているデバイス両端の電圧は、ルックアップ・テーブル方式 (LUT) または近似多項式 V(T) を使用して温度に変換できます。Vtemp を温度に変換するためには、サーミスタ設計ツール を使用する必要があります。温度電圧は、まず ADC を使用してデジタル化される必要があります。この ADC に必要とされる分解能は、採用するバイアス方式に依存します。また、もっとも高い精度を得るためには、バイアス電圧 (V_{BIAS}) を ADC の基準電圧に接続して測定を行います。この場合、バイアス電圧の誤差と基準電圧の誤差を相殺することができます。応用回路にローパス フィルタを使用して、システム レベルのノイズを除去することもできます。この場合、フィルタは ADC 入力にできるだけ近付けて配置します。

8.3.1.2 詳細な設計手順

抵抗分圧器方式では、バイアス電圧 (V_{BIAS}) に応じて出力電圧 (V_{TEMP}) が変化します。V_{BIAS} を ADC の基準電圧としても使用することで、電源電圧に起因する変動または誤差が相殺されるようになり、温度の精度に対する影響をなくせます (図 8-5 を参照)。式 2 を使って、TMP61-Q1 の可変抵抗 (R_{TMP61}) とバイアス抵抗 (R_{BIAS}) に基づく出力電圧 (V_{TEMP}) を計算します。式 3 を使って、その出力電圧、ADC のフルスケール範囲、ADC の分解能に対応する ADC コードを計算します。

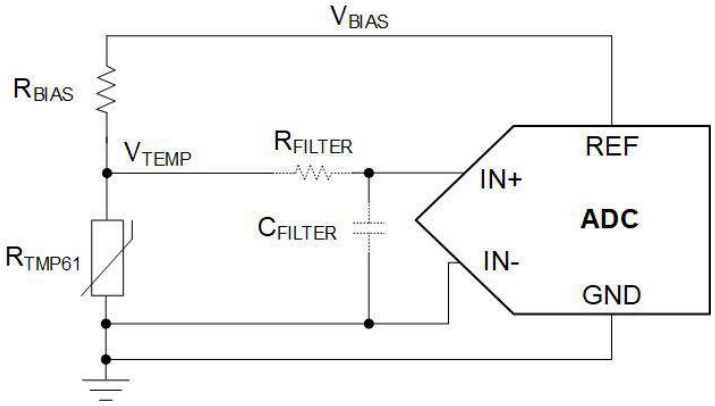


図 8-5. ADC を使用した TMP61-Q1 分圧器

$$V_{TEMP} = V_{BIAS} \times \left(\frac{R_{TMP61}}{R_{TMP61} + R_{BIAS}} \right) \tag{2}$$

$$\text{ADC Code} = \frac{V_{TEMP}}{FSR} 2^n \tag{3}$$

ここで、

- FSR は ADC のフルスケール範囲 (GND に対する REF の電圧 (V_{REF})) です。

Copyright © 2023 Texas Instruments Incorporated

- n は ADC の分解能を表します。

式 4 は、$V_{REF} = V_{BIAS}$ の場合、V_{BIAS} が相殺されることを示しています。

$$\text{ADC Code} = \frac{V_{BIAS} \times \left(\frac{R_{TMP61}}{R_{TMP61} + R_{BIAS}}\right)}{V_{BIAS}} 2^n = \left(\frac{R_{TMP61}}{R_{TMP61} + R_{BIAS}}\right) 2^n \quad (4)$$

多項式または LUT を用いて、マイクロコントローラで読み取った ADC コードに基づく温度測定値を抽出します。サーミスタ設計ツールを使用して、TMP61-Q1 の抵抗値を温度に変換します。

V_{BIAS} の相殺は、分圧器を使用すること (レシオメトリック方式) の 1 つの利点ですが、分圧器の出力電圧感度の向上は限定的です。したがって、この電圧出力範囲は FSR に比べて狭くなり、この設計の応用回路では全範囲の ADC コードを使用できません。ただし、実装が簡単なこの応用回路は、非常に多く使用されています。

図 8-6 に示すような電流源を使用した回路は、出力電圧の感度の制御性が優れており、より高い精度を達成できます。この場合の出力電圧は、単純に V = I×R で算出できます。たとえば、本デバイスに 40µA の電流源を接続した場合、出力電圧の変動幅は約 5.5V になり、ゲインは最大 40mV/°C になります。電圧範囲と感度を制御できるため、ADC コードの全範囲をフルスケールで活用できます。図 8-7 に、各種バイアス電流条件での温度電圧を示します。レシオメトリック方式と同様に、ADC の基準電圧と同じバイアスを共有する電流源を ADC が内蔵している場合、電源電流の誤差を相殺できます。この場合、高精度の ADC は不要です。この方式はもっとも高い精度をもたらしますが、システム実装コストが高くなる可能性があります。

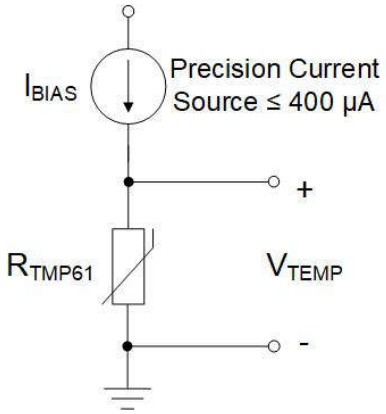


図 8-6. 電流源を使用した TMP61-Q1 のバイアス回路

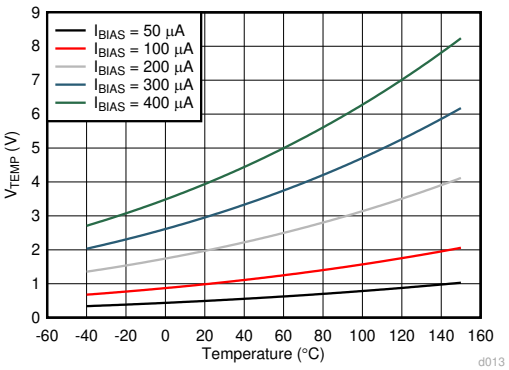


図 8-7. さまざまな電流源を使用した TMP61-Q1 の温度電圧

分圧器構成のノンリニア NTC サーミスタと比べ、TMP61-Q1 は優れた線形出力特性を備えています。図 8-8 に、線形化並列抵抗 R_P を使用した場合と使用しない場合の 2 つの分圧器回路を示します。V_{BIAS} = 5V、R_{BIAS} = 100kΩ とし、追

加の 100kΩ の並列抵抗 (R_P) を NTC サーミスタ (R_{NTC}) と組み合わせて出力電圧を線形化する例を検討します。図 8-9 に、分圧器の出力特性を示します。NTC の曲線が狭い温度範囲のみで線形であるのに対して、本デバイスは全温度範囲にわたって線形性の高い曲線を描きます。NTC 回路に並列抵抗 (R_P) を追加した場合、曲線の線形性ははるかに改善されますが、出力電圧範囲に大きな影響を与えます。

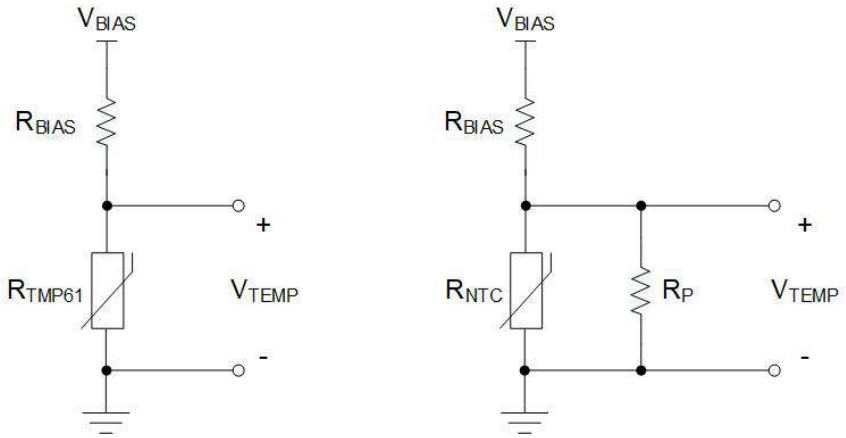


図 8-8. TMP61-Q1 と NTC (線形化抵抗 (R_P) を使用) の分圧器回路の比較

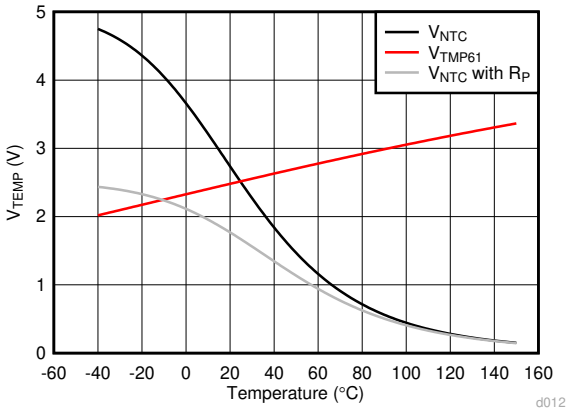


図 8-9. NTC (線形化抵抗あり / なし) と TMP61-Q1 の温度電圧の比較

8.3.1.2.1 コンパレータを使用した過熱保護

TMP61-Q1 と電圧リファレンス、コンパレータを使用して、過熱保護機能を設定できます。図 8-10 に示すように、R_{BIAS} と R_{TMP61} によるサーミスタ分圧器の電圧が、R_1 と R_2 で設定されたスレッショルド電圧を超えるまで、コンパレータの出力は LOW に維持されます。出力が HIGH になると、コンパレータは過熱警告信号を出力します。また、設計者はヒステリシスを設定することで、出力が LOW に戻る際に温度スレッショルド付近で何度も切り替わるのを防ぐこともできます。ヒステリシス付きコンパレータと、帰還抵抗のどちらかを使用できます。

Copyright © 2023 Texas Instruments Incorporated

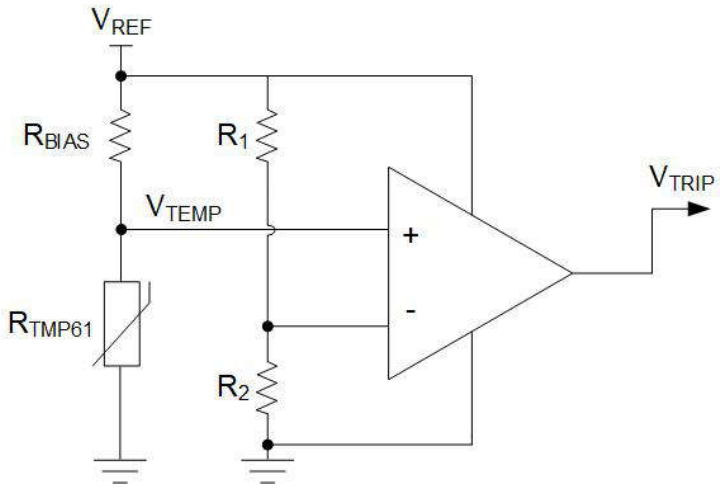


図 8-10. TMP61-Q1 分圧器とコンパレータを使用した温度スイッチ

8.3.1.2.2 サーマル・フォールドバック

アクティブ制御回路における TMP61-Q1 の出力電圧の用途の 1 つは、サーマル・フォールドバックです。これにより、たとえば LED ストリングを駆動する電流を低減 (フォールドバック) できます。高温時、環境条件と自己発熱によって LED の温度は上昇し始めます。このため、LED の安全動作領域に基づく一定の温度スレッショルドに達したら、駆動電流を小さくして LED の温度を下げ、熱暴走を防ぐ必要があります。分圧器の下側に出力を配置した場合、デバイスの電圧出力は温度とともに上昇するため、この応答を利用して電流をフォールドバックできます。通常本デバイスは、高温 (ニー・ポイントと呼ぶ) に達するまで、電流を特定のレベルに維持します。動作を続けるためにはこのニー・ポイントで電流を素早く低減させる必要があります。温度 / 電圧感度の制御性を向上させるため、このデバイスはレール・ツー・レール・オペアンプを使用しています。図 8-11 に、フォールドバックが始まる温度ニー・ポイントを示します。正の入力での基準電圧 (2.5V) による設定と帰還抵抗によって、フォールドバック曲線の応答が設定されます。フォールドバック・ニー・ポイントは、分圧器の出力と式 5 の対応温度 (たとえば 110℃) に基づいて選択できます。R_{TMP61} を使用した分圧器とオペアンプへの入力の間にバッファを入れることによって、V_{TEMP} の負荷を低減し変動を防止できます。

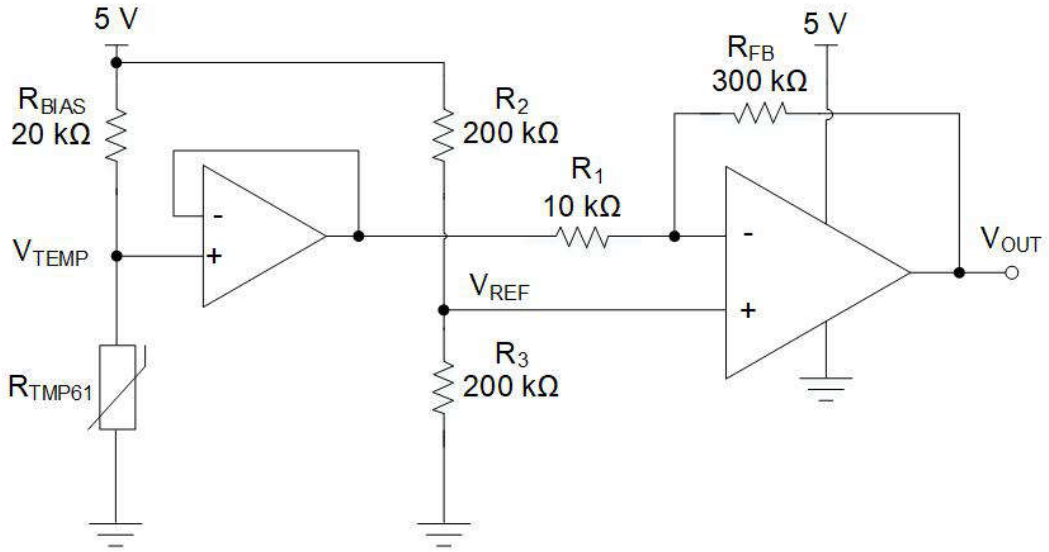


図 8-11. TMP61-Q1 分圧器とレール・ツー・レール・オペアンプを使用したサーマル・フォールドバック

電圧出力が V_{REF} を下回っている限り、オペアンプ出力は HIGH に維持されます。温度が 110℃を超えると、オペアンプの出力は 0V レールまで下がります。フォールドバックが発生するレートは、式 6 に示すように、オペアンプのゲイン G を決定する R_{FB} および R_1 の帰還ネットワークに依存して変化します。このフォールドバック挙動によって、温度に対する回路電圧の感度が制御されます。この電圧出力が、出力電流を調整する LED ドライバ回路に送られます。V_{OUT} はサーマル・フォールドバックに使用される最終的な出力電圧であり、式 7 で計算されます。図 8-12 に、この例 (ニー・ポイントを 110℃に設定) の出力電圧曲線を示します。

$$V_{TEMP} = V_{BIAS} \times \left(\frac{R_{TMP61}}{R_{TMP61} + R_{BIAS}} \right) \tag{5}$$

$$G = \frac{R_{FB}}{R_1} \tag{6}$$

$$V_{OUT} = -G \times V_{TEMP} + (1 + G) \times V_{REF} \tag{7}$$

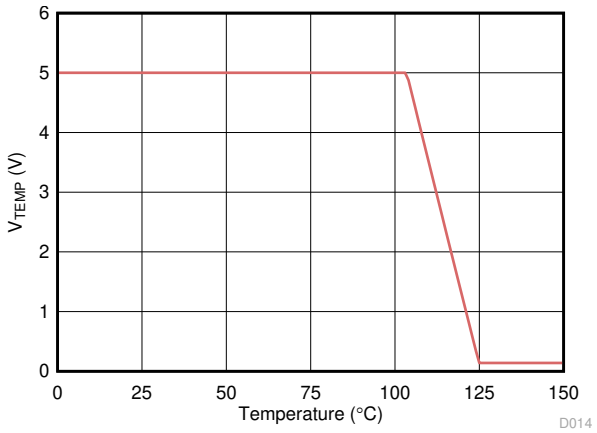


図 8-12. サーマル・フォールドバック電圧出力曲線

8.3.1.3 アプリケーション曲線

TMP61-Q1 の精度は、選択したバイアス回路によって異なります。図 8-13 に、この差を示します。抵抗分圧器回路 (R_{BIAS} = 10kΩ ±1%) で V_{BIAS} を 2V とした場合、または I_{BIAS} を 200μA とした場合の V_{TEMP} を示します。使用する電源は理想的であると仮定します。もっとも高い精度は、直接電流バイアス方式を使用することで得られます。

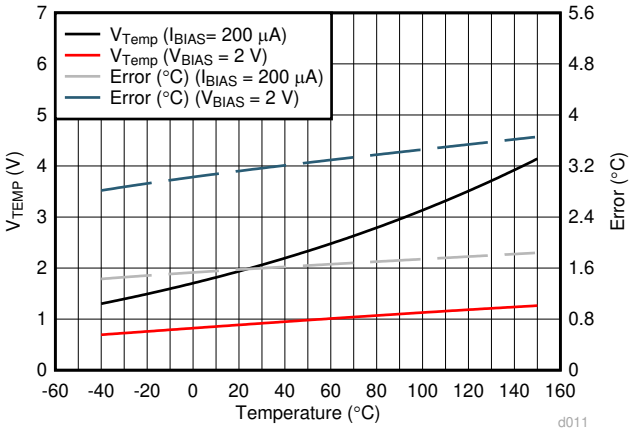


図 8-13. バイアス方式に応じた TMP61-Q1 の電圧出力と温度誤差

Copyright © 2023 Texas Instruments Incorporated

8.4 電源に関する推奨事項

TMP61-Q1 の推奨最大動作電圧は 5.5V (V_{SNS})、デバイスを流れる最大電流は 400µA (I_{SNS}) です。

8.5 レイアウト

8.5.1 レイアウトのガイドライン

TMP61-Q1 のレイアウトは、受動部品のレイアウトと同様です。電流源を使用してデバイスをバイアスする場合は、正のピン 2 を電流源に接続し、負のピン 1 をグランドに接続します。電圧源で回路をバイアスし、抵抗分圧器の下側にデバイスを配置する場合、V– をグランドに接続し、V+ を出力 (V_{TEMP}) に接続します。分圧器の上側にデバイスを配置する場合、V+ を電圧源に接続し、V– を出力電圧 (V_{TEMP}) に接続します。

8.5.2 レイアウト例

図 8-14. 推奨レイアウト：DEC パッケージ

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

『MSL 定格およびリフロー プロファイル』(SPRABY1)

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision F (February 2021) to Revision G (November 2023) — **Page**

- 表のタイトルを「製品情報」から「パッケージ情報」に変更。 1
- ピン配置図に注を追加 3
- 「電源に関する推奨事項」および「レイアウト」セクションを「アプリケーションと実装」セクションに移動 17

Changes from Revision E (March 2020) to Revision F (February 2021) — **Page**

- 「特長」に AEC-Q200 テスト済みを追加。 1
- 「特長」に機能安全対応を追加 1
- DYA をグレード 0 に変更 1
- 「デバイス比較表」を更新 2
- 「絶対最大定格」表の最大保存温度を 175°C に増加 4
- 「推奨動作条件」で DYA パッケージの最大周囲温度を 125°C から 150°C に変更 4
- 「推奨動作条件」で DYA パッケージをグレード 0、150°C 定格に変更 4
- 「推奨動作条件」に HTOL および HTSL の注を追加 4

Copyright © 2023 Texas Instruments Incorporated

- DYA パッケージについて 1000 時間の長期ドリフト仕様を追加 6
- 「代表的特性」の曲線を更新 7
- 「特長」セクションに「QEC-Q200 認定」を追加 11

Changes from Revision D (February 2020) to Revision E (March 2020) **Page**

- SOT-5X3 パッケージのプレビュー・タグを削除 1
- 「概要」セクションを更新 1
- 「絶対最大定格」表で最小接合部温度を -40°C から -65°C に変更 4
- 「推奨動作条件」で最大接合部温度を 150°C から 155°C に変更 4

Changes from Revision C (January 2020) to Revision D (February 2020) **Page**

- 「特長」一覧を更新 1
- 「アプリケーション」一覧を更新 1
- 「概要」を更新 1
- 「デバイス比較表」で ELPG パッケージの TA サポートを 150°C から 170℃に更新 2
- 「デバイス比較表」に DYA パッケージを追加 2
- 「絶対最大定格」に接合部温度の記述を追加 4
- 「絶対最大定格」に車載グレード 0 の T_{JMAX} 仕様を追加 4
- 「推奨動作条件」に T_A = 150°C～ 170°C の I_{SNS} 仕様を追加 4
- 「推奨動作条件」で TA の説明を車載グレード 1 に変更 4
- 「推奨動作条件」で TA の説明を車載グレード 0 に変更 4
- 車載グレード 0 のサポートする周囲温度を 150℃から 170℃に変更 4
- T_A = 150°C～170°C の「抵抗値の精度」の仕様を追加 6
- DYA パッケージの「長期ドリフト」を追加 6
- RH = 86% における「長期ドリフト」の最小仕様を 0.1% から -1% に変更 6
- RH = 86% における「長期ドリフト」の標準仕様を追加 6
- RH = 86% における「長期ドリフト」の最大仕様を 0.8% から 1% に変更 6
- DEC パッケージの「長期ドリフト」の最小仕様を 0.1% から -1% に変更 6
- DEC パッケージの「長期ドリフト」の標準仕様を追加 6
- RH = 86% における「長期ドリフト」の最大仕様を 1% から 1.8% に変更 6
- LPG パッケージの「長期ドリフト」の最小仕様を 0.1% から -0.5% に変更 6
- LPG パッケージの「長期ドリフト」の最小仕様を 0.1% から -0.5% に変更 6
- LPG パッケージの「長期ドリフト」の標準仕様を追加 6
- RH = 86% における「長期ドリフト」の最大仕様を 1.1% から 1.4% に変更 6
- ELPG パッケージの「長期ドリフト」の仕様を追加 6
- 車載グレード 0 の代表的特性曲線を追加 7
- 「概要」セクションを更新 9
- 「TMP61-Q1 の R-T 表」セクションを追加 10
- 「機能説明」セクションを更新 10
- 変換表を削除 10
- 「内蔵フェイルセーフ」セクションを追加 10
- 「アプリケーションと実装」セクションを TI データシートの標準に合わせて更新 11
- サーミスタ設計ツールへのリンクを追加 12
- 「熱補償」セクションを削除 12

Changes from Revision B (September 2019) to Revision C (January 2020) **Page**

- 「プレビュー」ステータスの DYA パッケージを追加 3
- 標準化されたピン配置図 3
- 明確化 式 1 9

Changes from Revision A (June 2019) to Revision B (September 2019)	Page
• データシートのステータスを「量産混合」から「量産データ」に変更	1
• プレビュー SOT-5X3 パッケージを追加	1
• 「機能動作、仕様では規定されていない性能の場合」の行を削除	4
• 「機能動作、仕様では規定されていない性能の場合」の行を削除	4
• LPG パッケージの「長期ドリフト」の仕様を追加	6
• LPG パッケージの熱応答時間のグラフを追加	7
• LPG パッケージの変換表を追加	10

Changes from Revision * (April 2019) to Revision A (June 2019)	Page
• デバイスのステータスを「事前情報」から「量産データ」に変更	1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TMP6131ELPGMQ1	Active	Production	TO-92 (LPG) | 2	3000 | AMMO	Yes	SN	N/A for Pkg Type	-40 to 170	TMP61
TMP6131ELPGMQ1.A	Active	Production	TO-92 (LPG) | 2	3000 | AMMO	Yes	SN	N/A for Pkg Type	-40 to 170	TMP61
TMP6131QDECRQ1	Active	Production	X1SON (DEC) | 2	10000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	EL
TMP6131QDECRQ1.A	Active	Production	X1SON (DEC) | 2	10000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	EL
TMP6131QDECTQ1	Obsolete	Production	X1SON (DEC) | 2	-	-	Call TI	Call TI	-40 to 125	EL
TMP6131QDYARQ1	Active	Production	SOT-5X3 (DYA) | 2	3000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	1GK
TMP6131QDYARQ1.A	Active	Production	SOT-5X3 (DYA) | 2	3000 | LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 150	1GK
TMP6131QLPGMQ1	Active	Production	TO-92 (LPG) | 2	3000 | AMMO	Yes	SN	N/A for Pkg Type	-40 to 125	TMP61
TMP6131QLPGMQ1.A	Active	Production	TO-92 (LPG) | 2	3000 | AMMO	Yes	SN	N/A for Pkg Type	-40 to 125	TMP61

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TMP61-Q1 :

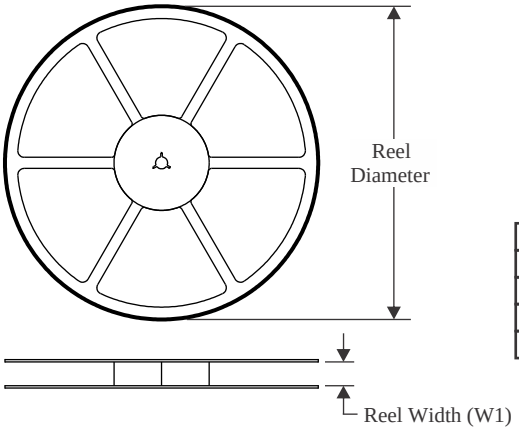
- Catalog : TMP61

NOTE: Qualified Version Definitions:

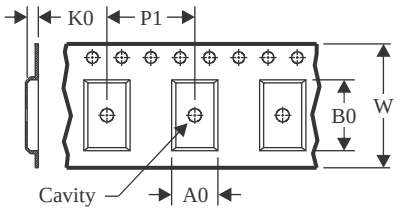
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

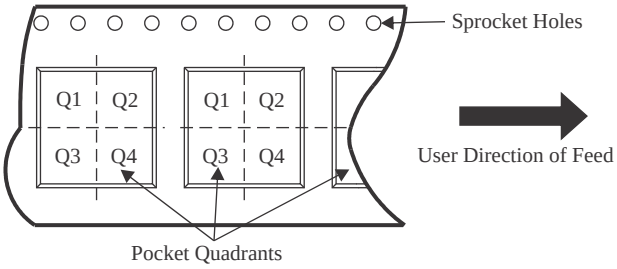


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

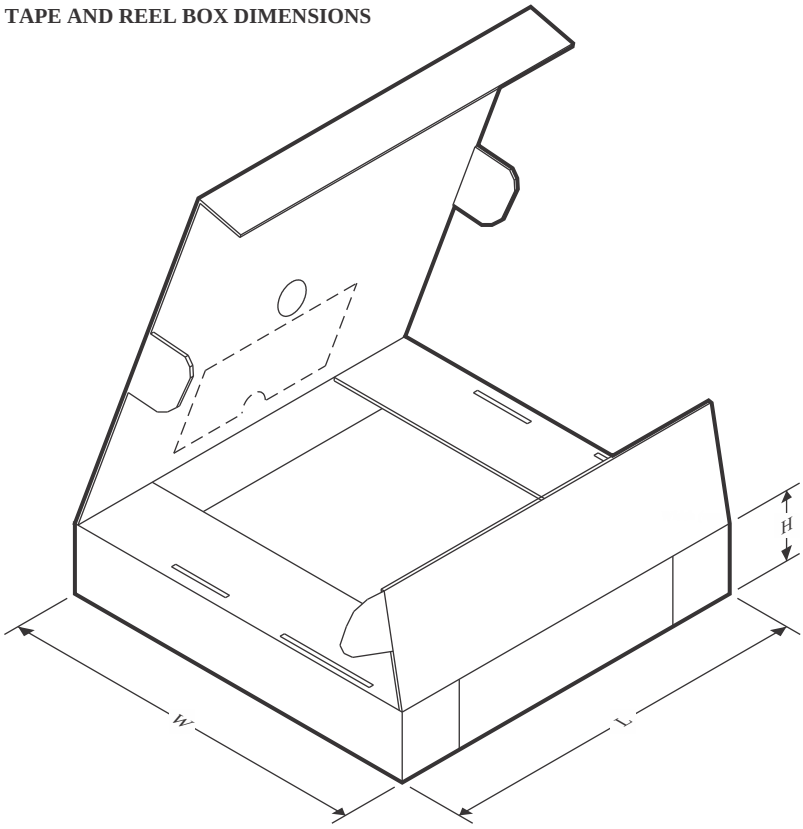
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TMP6131QDECRQ1	X1SON	DEC	2	10000	178.0	8.4	0.7	1.15	0.47	2.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

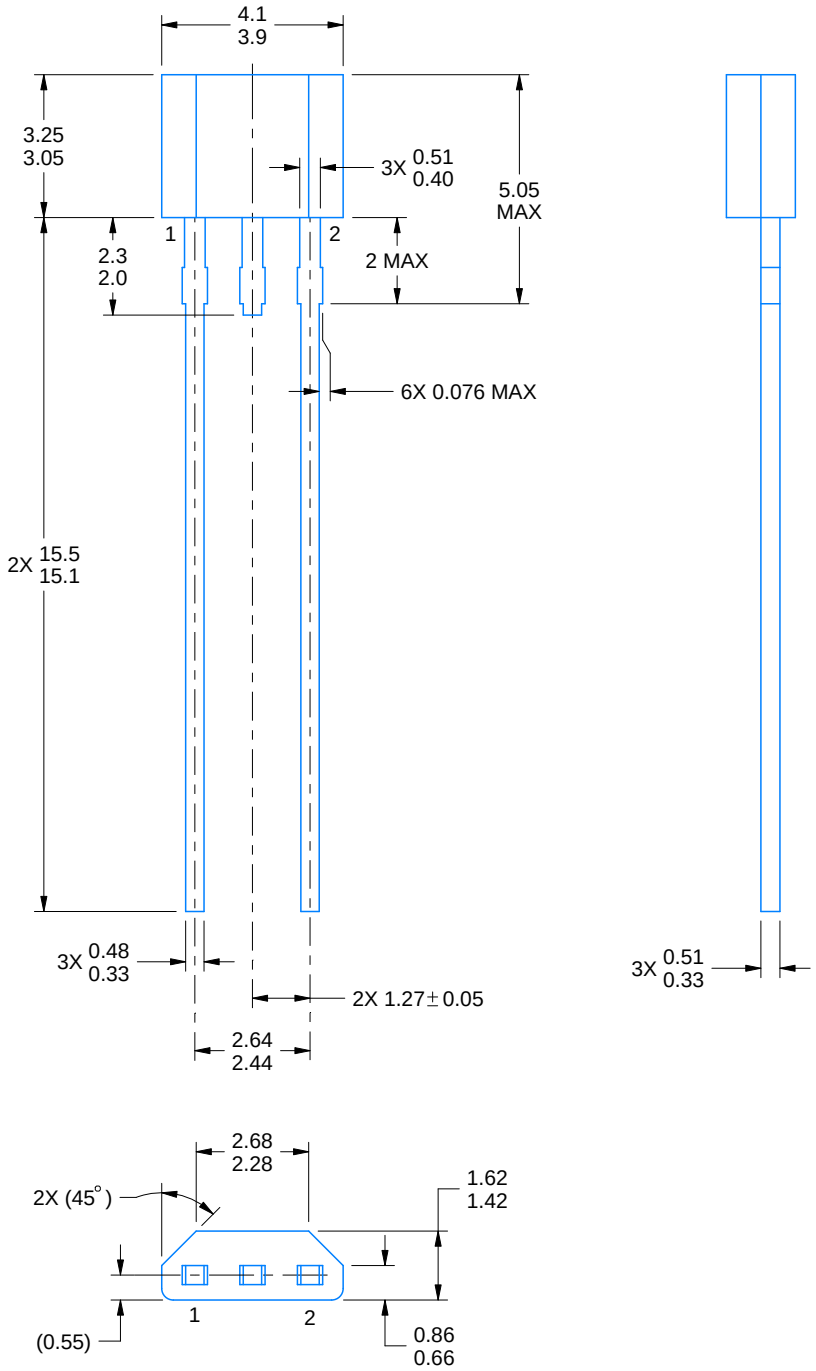
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TMP6131QDECRQ1	X1SON	DEC	2	10000	205.0	200.0	33.0

PACKAGE OUTLINE

LPG0002A

TO-92 - 5.05 mm max height

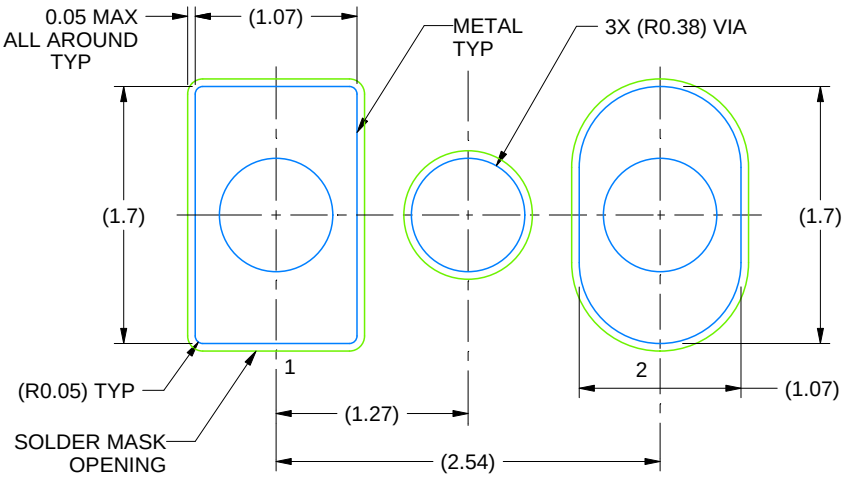
TRANSISTOR OUTLINE



4221971/B 06/2022

NOTES:

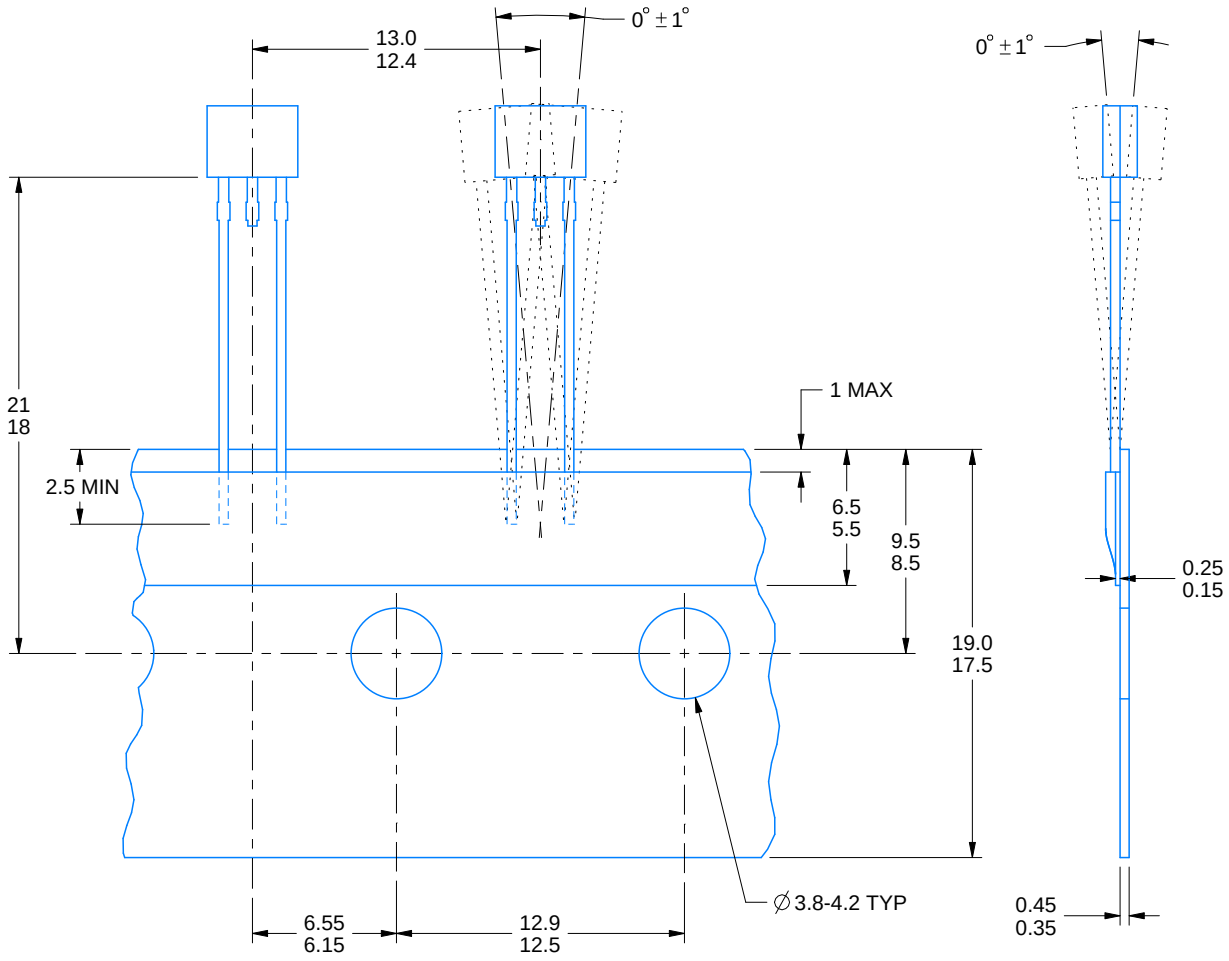
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



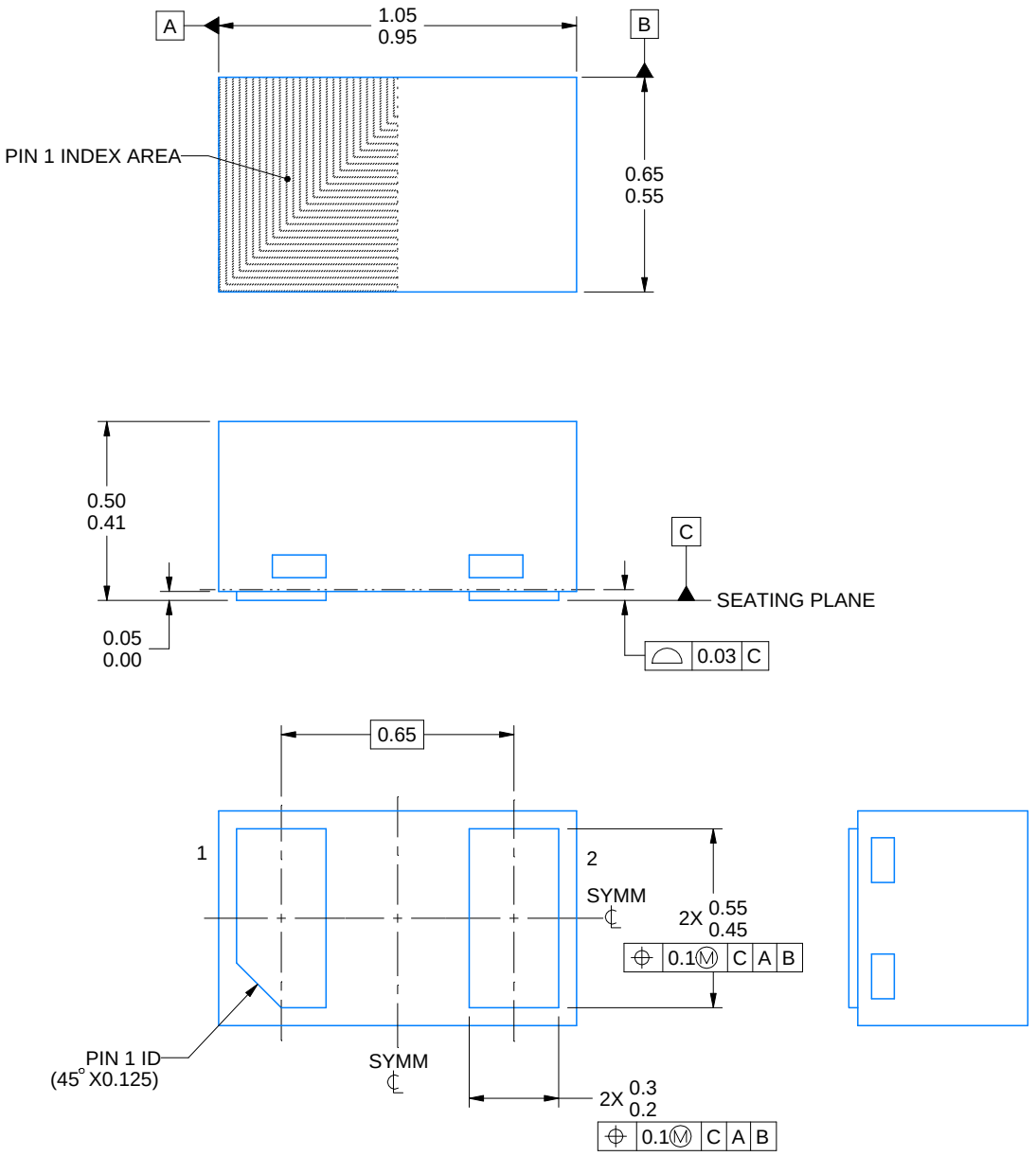
LAND PATTERN EXAMPLE
NON-SOLDER MASK DEFINED
SCALE:20X

4221971/B 06/2022

TRANSISTOR OUTLINE



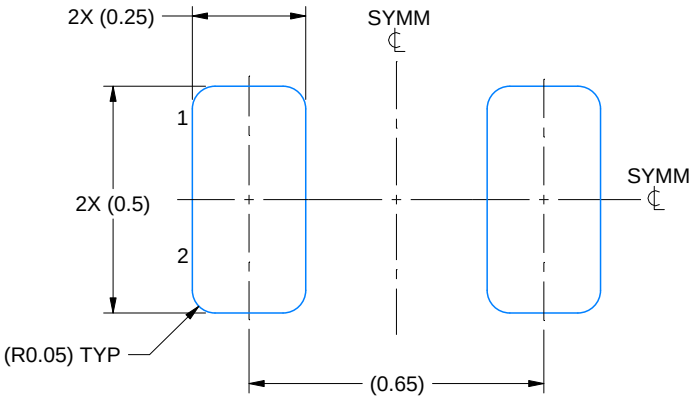
4221971/B 06/2022



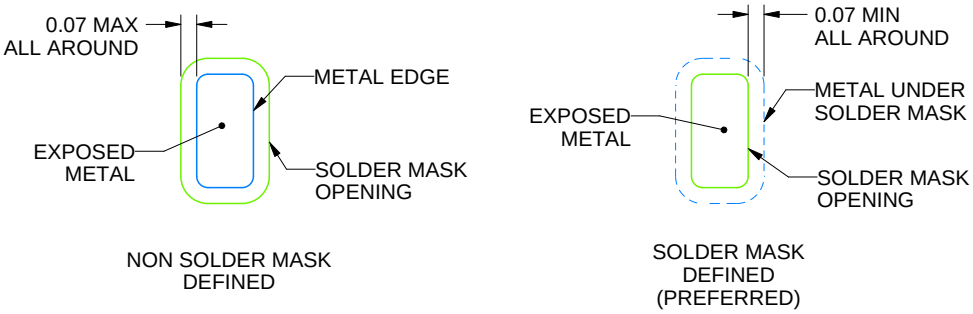
4224506/A 08/2018

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:60X

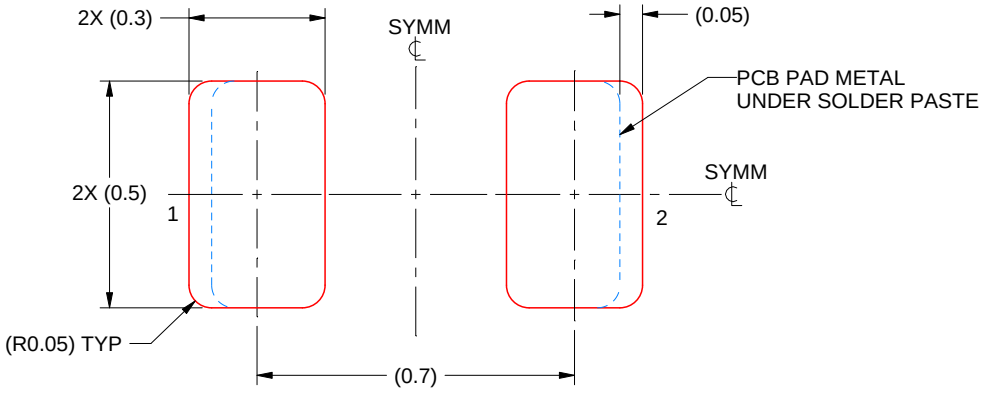


SOLDER MASK DETAILS

4224506/A 08/2018

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
4. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

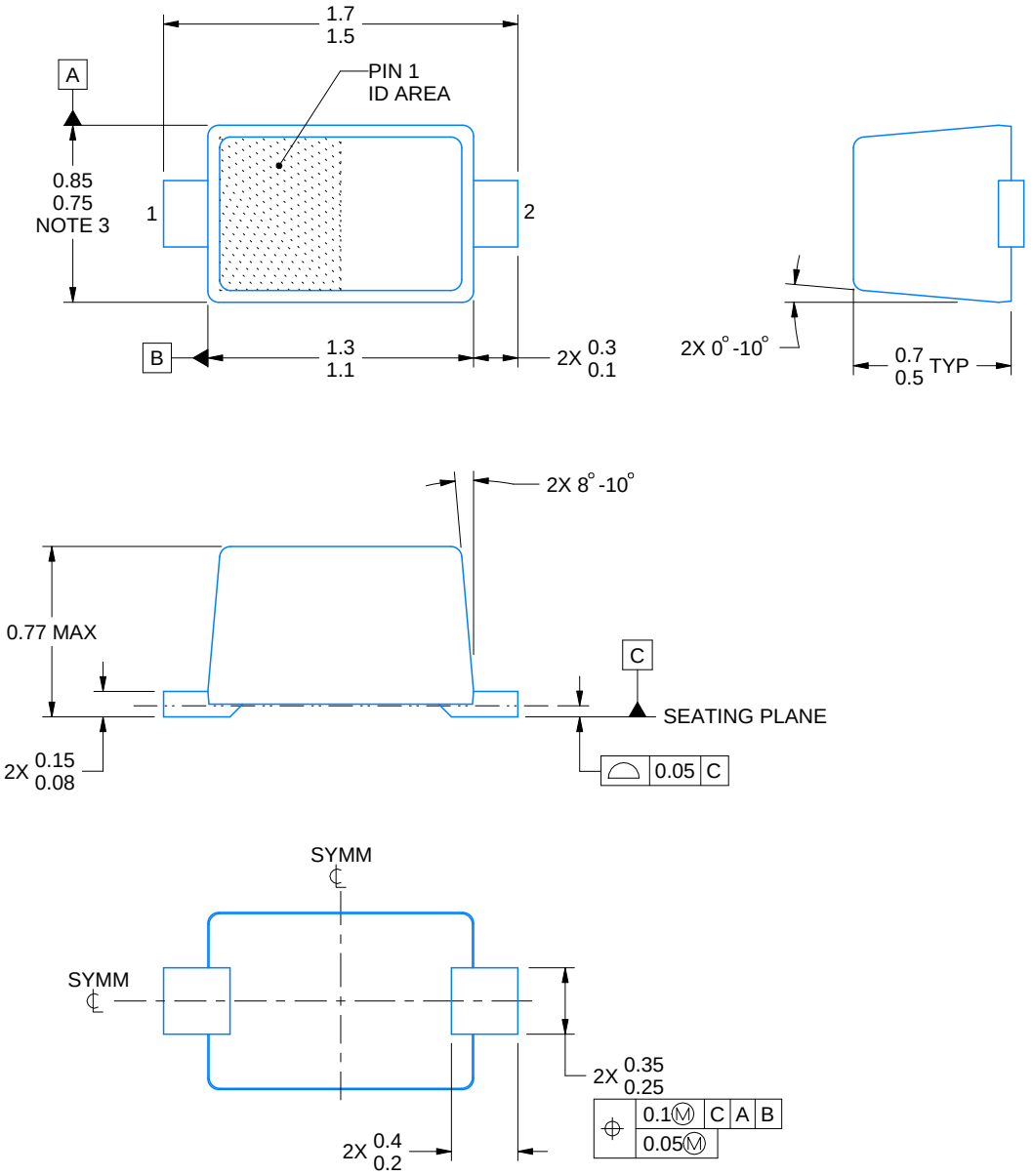


SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:60X

4224506/A 08/2018

NOTES: (continued)

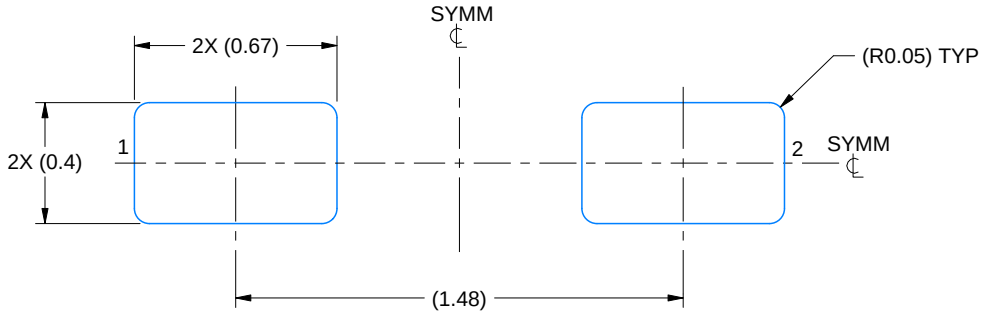
5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



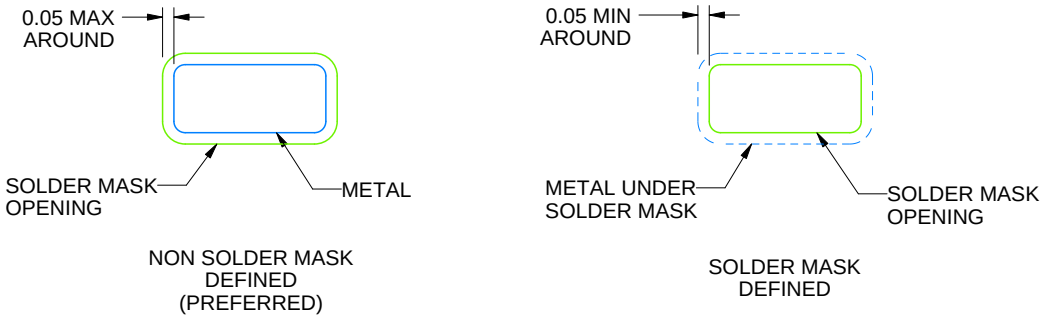
4224978/C 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEITA SC-79 registration except for package height



LAND PATTERN EXAMPLE
SCALE:40X

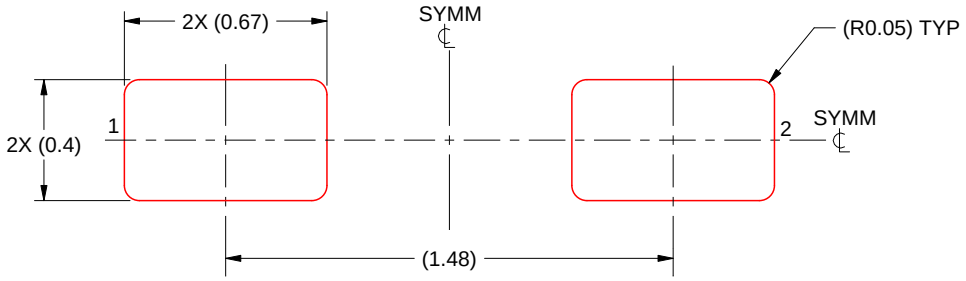


SOLDERMASK DETAILS

4224978/C 11/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:40X

4224978/C 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月