TLV906xS-Q1 車載用 10MHz、RRIO、CMOS オペアンプ

1 特長

- 車載アプリケーション向けに AEC-Q100 認証を取得
  - 温度グレード 1:-40℃～+125℃、T_A
  - デバイス HBM ESD 分類レベル 3A
  - デバイス CDM ESD 分類レベル C6
- レール・ツー・レール入出力
- 低入力オフセット電圧:±0.3mV
- ユニティ・ゲイン帯域幅:10MHz
- 低広帯域ノイズ:10nV/√Hz
- 低入力バイアス電流:0.5pA
- 低い静止電流:538μA
- ユニティ・ゲイン安定
- 内部 RFI および EMI フィルタ
- 広い電源電圧範囲:1.8V～5.5V
- 抵抗性の開ループ出力インピーダンスにより、大きな容量性負荷で簡単に安定
- シャットダウン・バージョン:TLV906xS
- 機能安全対応
  - 機能安全システムの設計に役立つ資料を利用可能

2 アプリケーション

- AEC-Q100 グレード 1 機器に対して最適化
- インフォテインメントとクラスタ
- パッシブ型安全運転支援システム
- ボディ・エレクトロニクス / 照明
- HEV/EV のインバータおよびモータ制御
- オンボード・チャージャ (OBC) とワイヤレス・チャージャ
- パワートレイン電流センサ
- 先進運転支援システム (ADAS)
- 単一電源、ローサイド、単方向電流センシング回路

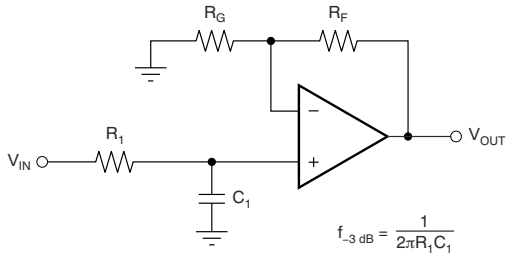
3 概要

TLV9061-Q1 (シングル)、TLV9062-Q1 (デュアル)、TLV9064-Q1 (クワッド) は、レール・ツー・レールの入力および出力スイング機能を備えたシングル / デュアル / クワッド低電圧 (1.8V～5.5V) オペアンプです。これらのデバイスはコスト効率が優れており、低電圧での動作、小さな占有面積、高い容量性負荷の駆動が必要な車載用アプリケーションに適しています。TLV906x-Q1 の容量性負荷駆動能力は 100pF ですが、開ループ出力インピーダンスは抵抗性なので、これより大きい容量性負荷も容易に安定化できます。低電圧 (1.8V～5.5V) で動作するように特に設計されたこれらのオペアンプの性能仕様は、OPAx316 および TLVx316 デバイスと類似しており、車載用認定版でない TLV906x と同一です。

製品情報

部品番号(2)	チャネル数	パッケージ (1)	パッケージ・サイズ (3)
TLV9061-Q1	シングル	DBV (SOT-23、5)	2.90mm × 2.80mm
		DCK (SC70、5)	2.00mm × 2.2mm
TLV9061S-Q1	シャットダウン機能付きシングル	DBV (SOT-23、6)	2.90mm × 2.80mm
TLV9062-Q1	デュアル	D (SOIC、8)	4.90mm × 6.00mm
		PW (TSSOP、8)	3.00mm × 6.40mm
		DGK (VSSOP、8)	3.00mm × 4.90mm
TLV9064-Q1	クワッド	D (SOIC、14)	8.65mm × 6.00mm
		PW (TSSOP、14)	5.00mm × 6.40mm

(1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。
(2) 製品比較表を参照してください。
(3) パッケージ・サイズ (長さ × 幅) は公称値であり、ピンは含まれていません。



$$\frac{V_{OUT}}{V_{IN}} = \left(1 + \frac{R_F}{R_G}\right)\left(\frac{1}{1 + sR_1C_1}\right)$$

単極ローパス・フィルタ

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 改訂履歴.....2
5 概要 (続き).....4
6 デバイス比較表.....4
7 ピン構成および機能.....5
8 仕様.....9
8.1 絶対最大定格.....9
8.2 ESD 定格.....9
8.3 推奨動作条件.....9
8.4 熱に関する情報:TLV9061-Q1.....10
8.5 熱に関する情報:TLV9062-Q1.....10
8.6 熱に関する情報:TLV9064-Q1.....10
8.7 電気的特性.....11
8.8 代表的特性.....13
9 詳細説明.....19
9.1 概要.....19
9.2 機能ブロック図.....19
9.3 機能説明.....20
9.4 デバイスの機能モード.....21
10 アプリケーションと実装.....22
10.1 アプリケーション情報.....22
10.2 代表的なアプリケーション.....22
10.3 電源に関する推奨事項.....25
10.4 レイアウト.....26
11 デバイスおよびドキュメントのサポート.....28
11.1 ドキュメントのサポート.....28
11.2 ドキュメントの更新通知を受け取る方法.....28
11.3 サポート・リソース.....28
11.4 商標.....28
11.5 静電気放電に関する注意事項.....28
11.6 用語集.....28
12 メカニカル、パッケージ、および注文情報.....28

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision G (April 2023) to Revision H (June 2023) — **Page**

- 8 ピン TSSOP (PW) パッケージのステータスをプレビューからアクティブに変更 1
- 「製品情報」表の形式を更新 1

Changes from Revision F (January 2023) to Revision G (April 2023) — **Page**

- 5 ピン SC70 (DCK) パッケージのステータスをプレビューからアクティブに変更 1

Changes from Revision E (February 2021) to Revision F (January 2023) — **Page**

- 「製品情報」セクションに 5 ピンの SOT-23 (DBV) および 5 ピンの SC70 (DCK) パッケージを追加。 1
- 「概要 (続き)」セクションに TLV9061-Q1 を追加.....4
- 「デバイス比較表」に 5 ピン DBV および DCK を追加.....4
- 「ピン構成および機能」セクションに 5 ピン SOT-23 および SC70 を追加.....5
- 「熱に関する情報:TLV9061-Q1」表で、5 ピン DBV (SOT-23) および DCK (SC70) を追加.....10

Changes from Revision D (October 2020) to Revision E (February 2021) — **Page**

- 「製品情報」セクションの SOT-23 (6) パッケージからプレビューの注を削除。 1
- 「ESD 定格」表に TLV9061S-Q1 の個別の ESD 定格を追加.....9
- 「熱に関する情報:TLV9061S-Q1」表で、DBV (SOT-23) の熱に関する情報を更新.....10

Changes from Revision C (September 2020) to Revision D (October 2020) — **Page**

- データシート全体にわたって TLV9061-Q1 GPN を追加..... 1

Copyright © 2024 Texas Instruments Incorporated

Changes from Revision B (September 2020) to Revision C (September 2020) **Page**

- 文書全体にわたって表、図、相互参照の採番方法を更新 1
- 「特長」セクションに機能安全対応のドキュメントのリンクを追加 1
- 「絶対最大定格」表の差動入力電圧に注 5 を追加。 9

Changes from Revision A (March 2020) to Revision B (September 2020) **Page**

- 「製品情報」セクションの VSSOP (8) および TSSOP (14) パッケージからプレビューの注を削除。 1
- 「熱に関する情報」セクションに VSSOP (8) パッケージの熱に関する情報を追加。 10
- 「熱に関する情報」セクションに TSSOP (14) パッケージの熱に関する情報を追加。 10

Changes from Revision * (April 2019) to Revision A (March 2020) **Page**

- データシートの最初の公開リリース 1

5 概要 (続き)

TLV906x-Q1 ファミリのデバイスは、低ノイズ、広い帯域幅、または両方を必要とする低電圧のシステムで、汎用の車載用アンプとして使用されます。

TLV906x-Q1 ファミリはユニティ・ゲイン安定で、RFI および EMI 除去フィルタが内蔵され、オーバードライブ状況で位相反転が発生しないため、システムの設計を簡素化するため役立ちます。

これらのデバイスは、シングルチャネル (TLV9061-Q1)、デュアルチャネル (TLV9062-Q1)、およびクワッドチャネル (TLV9064-Q1) バージョンで供給されます。シングルチャネルは、業界標準の 5 ピンの SOT-23、5 ピンの SC70、6 ピンの SOT-23 パッケージで供給されます。6 ピンの SOT-23 パッケージには、シャットダウン機能用の追加ピンがあります。デュアルチャネルとクワッドチャネルの両バージョンは、業界標準の SOIC および TSSOP パッケージで供給され、デュアルチャネルのバージョンは VSSOP でも供給されます。

6 デバイス比較表

デバイス	チャネル数	パッケージ・リード				
		DBV	DCK	D	DGK	PW
TLV9061-Q1	1	5	5	—	—	—
TLV9061S-Q1	1	6	—	—	—	—
TLV9062-Q1	2	—	—	8	8	8
TLV9064-Q1	4	—	—	14	—	14

Copyright © 2024 Texas Instruments Incorporated

7 ピン構成および機能

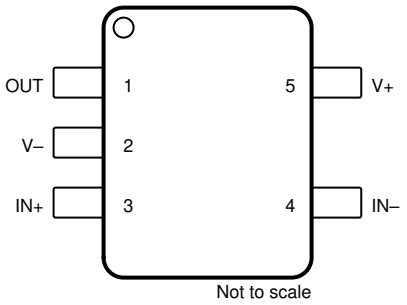


図 7-1. TLV9061-Q1 DBV パッケージ 5 ピン SOT-23 (上面図)

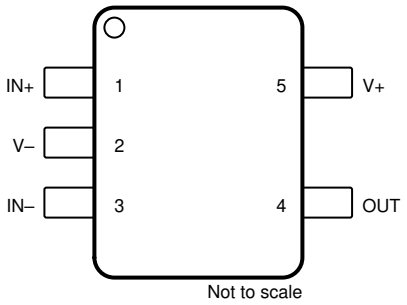


図 7-2. TLV9061-Q1 DCK パッケージ 5 ピン SC70 (上面図)

表 7-1. ピンの機能：TLV9061-Q1

ピン			タイプ[(1)]	説明
名称	DBV	DCK		
+IN	3	1	I	非反転入力
-IN	4	3	I	反転入力
OUT	1	4	O	出力
V+	5	5	—	正 (最高) 電源
V-	2	2	—	負 (最低) 電源

(1) I = 入力、O = 出力

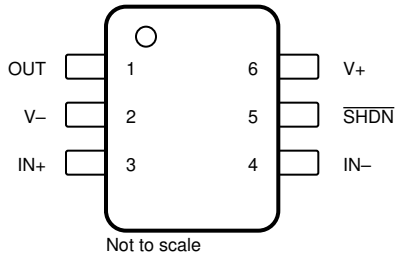


図 7-3. TLV9061S-Q1 DBV パッケージ 6 ピン SOT-23 (上面図)

表 7-2. ピンの機能：TLV9061S-Q1

ピン		タイプ(1)	説明
名称	番号		
IN–	4	I	反転入力
IN+	3	I	非反転入力
OUT	1	O	出力
$\overline{\text{SHDN}}$	5	I	シャットダウン：Low = アンプがディセーブル、High = アンプがイネーブル。詳細については、「シャットダウン機能」セクションを参照してください。
V-	2	I または —	負 (最低) 電源またはグランド (単一電源動作の場合)
V+	6	I	正 (最高) 電源

(1) I = 入力、O = 出力

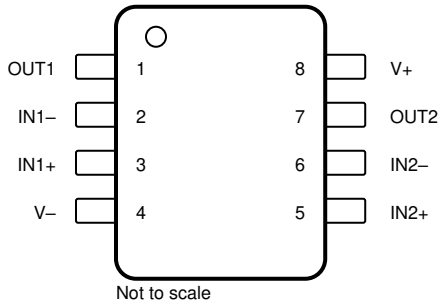


図 7-4. TLV9062-Q1、D、DGK、PW パッケージ 8 ピン SOIC、VSSOP、TSSOP (上面図)

表 7-3. ピンの機能：TLV9062-Q1

ピン		タイプ(1)	説明
名称	番号		
IN1-	2	I	反転入力、チャネル 1
IN1+	3	I	非反転入力、チャネル 1
IN2-	6	I	反転入力、チャネル 2
IN2+	5	I	非反転入力、チャネル 2
OUT1	1	O	出力、チャネル 1
OUT2	7	O	出力、チャネル 2
V–	4	—	負 (最低) 電源またはグランド (単一電源動作の場合)

Copyright © 2024 Texas Instruments Incorporated

表 7-3. ピンの機能：TLV9062-Q1 (続き)

ピン		タイプ[(1)]	説明
名称	番号		
V+	8	—	正 (最高) 電源

(1) I = 入力、O = 出力

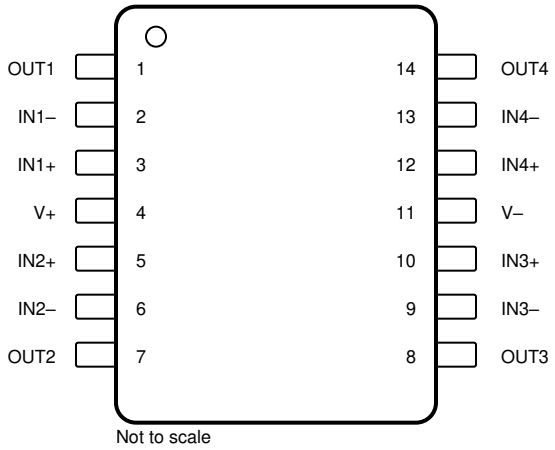


図 7-5. TLV9064-Q1 D および PW パッケージ 14 ピン SOIC および TSSOP (上面図)

表 7-4. ピンの機能：TLV9064-Q1

ピン		タイプ(1)	説明
名称	番号		
IN1-	2	I	反転入力、チャネル 1
IN1+	3	I	非反転入力、チャネル 1
IN2-	6	I	反転入力、チャネル 2
IN2+	5	I	非反転入力、チャネル 2
IN3-	9	I	反転入力、チャネル 3
IN3+	10	I	非反転入力、チャネル 3
IN4-	13	I	反転入力、チャネル 4
IN4+	12	I	非反転入力、チャネル 4
NC	—	—	内部接続なし
OUT1	1	O	出力、チャネル 1
OUT2	7	O	出力、チャネル 2
OUT3	8	O	出力、チャネル 3
OUT4	14	O	出力、チャネル 4
V–	11	I または —	負 (最低) 電源またはグランド (単一電源動作の場合)
V+	4	I	正 (最高) 電源

(1) I = 入力、O = 出力

Copyright © 2024 Texas Instruments Incorporated

8 仕様

8.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り)[(1)]

			最小値	最大値	単位
電源電圧 [(V+) - (V-)]			0	6	V
信号入力ピン	電圧[(2)]	同相	(V-) - 0.5	(V+) + 0.5	V
		差動[(5)]		(V+) - (V-) + 0.2	V
	電流[(2)]		-10	10	mA
出力短絡[(3) (4)]			連続		mA
温度	規定、T_A		-40	125	℃
	接合部、T_J			150	
	保存、T_{stg}		-65	150	

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
(2) 入力ピンは、電源レールに対してダイオード・クランプされています。電源レールを超えて 0.5V 以上スイングする入力信号は、電流を 10mA 以下に抑える必要があります。
(3) グランドへの短絡、1 パッケージ当たり 1 アンプ。
(4) 長時間の連続的な電流の制限は、エレクトロマイグレーションの制限によって決定されます。
(5) 0.5V を超える差動入力電圧が連続的に印加されると、入力オフセット電圧がこのパラメータの最大仕様を上回ってシフトする可能性があります。動作時の周囲温度が高いときほど、その影響が大きくなります。

8.2 ESD 定格

			値	単位
TLV9061S-Q1 のパッケージ				
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、AEC Q100-002 準拠 [(1)]	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	±1500	
他のすべてのパッケージ				
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、AEC Q100-002 準拠 [(1)]	±4000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	±1500	

(1) AEC Q100–002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

8.3 推奨動作条件

動作時周辺温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_S	電源電圧 (V_S = [V+] - [V-])	1.8	5.5	V
V_I	入力電圧	(V-) - 0.1	(V+) + 0.1	V
V_O	出力電圧	V-	V+	V
V_{SHDN_IH}	シャットダウン・ピンでの High レベル入力電圧 (アンプがイネーブル)	1.1	V+	V
V_{SHDN_IL}	シャットダウン・ピンでの Low レベル入力電圧 (アンプがディセーブル)	V-	0.2	V
T_A	仕様温度範囲	-40	125	℃

8.4 熱に関する情報：TLV9061-Q1

熱評価基準 (1)		TLV9061S-Q1	TLV9061-Q1		単位
		DBV (SOT-23)	DBV (SOT-23)	DCK (SC70)	
		6 ピン	5 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	210.9	232.5	246.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	130.5	131.0	157.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	91.7	99.6	95.4	°C/W
ψ_{JT}	接合部から上面への特性評価パラメータ	70.1	66.5	68.8	°C/W
ψ_{JB}	接合部から基板への特性評価パラメータ	91.5	99.1	95.0	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

8.5 熱に関する情報：TLV9062-Q1

熱評価基準 (1)		TLV9062-Q1			単位
		D (SOIC)	DGK (VSSOP)	PW (TSSOP)	
		8 ピン	8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	152.0	198.5	205.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	92.1	87.2	93.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	95.6	120.3	135.7	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	40.1	23.8	25.0	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	94.8	118.7	134.0	°C/W

(1) 従来および新しい熱測定値の詳細については、『半導体および IC パッケージの熱測定値』を参照してください。

8.6 熱に関する情報：TLV9064-Q1

熱評価基準 (1)		TLV9064-Q1		単位
		PW (TSSOP)	D (SOIC)	
		14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	133.8	111.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	62.1	67.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	76.9	67	°C/W
ψ_{JT}	接合部から上面への熱特性パラメータ	13.2	27.4	°C/W
ψ_{JB}	接合部から基板への熱特性パラメータ	76.3	66.6	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

Copyright © 2024 Texas Instruments Incorporated

8.7 電気的特性

V_S (合計電源電圧) = (V+) - (V-) = 1.8V～5.5V、T_A = 25℃、R_L = 10kΩ を V_S / 2 に接続、V_{CM} = V_S / 2、V_{OUT} = V_S / 2 の場合 (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
オフセット電圧						
V_{OS}	入力オフセット電圧	V_S = 5V		±0.3	±1.85	mV
		V_S = 5V、T_A = -40℃～125℃			±2	
dV_{OS}/dT	ドリフト	V_S = 5V、T_A = -40℃～125℃		±0.53		μV/℃
PSRR	電源電圧変動除去比	V_S = 1.8V～5.5V、V_{CM} = (V-)		±7	±80	μV/V
	チャネル・セパレーション、DC	DC で		100		dB
入力電圧範囲						
V_{CM}	同相電圧範囲	V_S = 1.8V～5.5V	(V-) - 0.1		(V+) + 0.1	V
CMRR	同相信号除去比	V_S = 5.5V、(V-) - 0.1V < V_{CM} < (V+) - 1.4V T_A = -40℃～125℃	80	103		dB
		V_S = 5.5V、V_{CM} = -0.1V～5.6V T_A = -40℃～125℃	57	75		
		V_S = 1.8V、(V-) - 0.1V < V_{CM} < (V+) - 1.4V、 T_A = -40℃～125℃		88		
		V_S = 1.8V、V_{CM} = -0.1V～1.9V T_A = -40℃～125℃		70		
入力バイアス電流						
I_B	入力バイアス電流			±5		pA
I_{OS}	入力オフセット電流			±5		pA
ノイズ						
E_n	入力電圧ノイズ (ピーク・ツー・ピーク)	V_S = 5V、f = 0.1Hz～10Hz		4.77		$μV_{PP}$
e_n	入力電圧ノイズ密度	V_S = 5V、f = 10kHz		10		nV/√Hz
		V_S = 5V、f = 1kHz		16		
i_n	入力電流ノイズ密度	f = 1kHz		23		fA/√Hz
入力容量						
C_{ID}	差動			2		pF
C_{IC}	同相			4		pF
開ループ・ゲイン						
A_{OL}	開ループ電圧ゲイン	V_S = 1.8V、(V-) + 0.04V < V_O < (V+) - 0.04V、 R_L = 10kΩ		100		dB
		V_S = 5.5V、(V-) + 0.05V < V_O < (V+) - 0.05V、 R_L = 10kΩ	104	130		
		V_S = 1.8V、(V-) + 0.06V < V_O < (V+) - 0.06V、 R_L = 2kΩ		100		
		V_S = 5.5V、(V-) + 0.15V < V_O < (V+) - 0.15V、 R_L = 2kΩ		130		
周波数特性						
GBP	ゲイン帯域幅の積	V_S = 5V、G = +1		10		MHz
$φ_m$	位相マージン	V_S = 5V、G = +1		55		°
SR	スルーレート	V_S = 5V、G = +1		6.5		V/μs
t_S	セトリング・タイム	0.1% まで、V_S = 5V、2V ステップ、G = +1、C_L = 100pF		0.5		μs
		0.01% まで、V_S = 5V、2V ステップ、 G = +1、C_L = 100pF		1		
t_{OR}	過負荷復帰時間	V_S = 5V、V_{IN} × ゲイン > V_S		0.2		μs
THD+N	全高調波歪 + ノイズ(1)	V_S = 5.5V、V_{CM} = 2.5V、V_O = 1V_{RMS}、G = +1、 f = 1kHz		0.0008%		
出力						

8.7 電気的特性 (続き)

V_S (合計電源電圧) = (V+) - (V-) = 1.8V～5.5V、T_A = 25℃、R_L = 10kΩ を V_S / 2 に接続、V_{CM} = V_S / 2、V_{OUT} = V_S / 2 の場合 (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_O	電源レールからの電圧出力スイング	V_S = 5.5V、R_L = 10kΩ			20	mV
		V_S = 5.5V、R_L = 2kΩ			60	
I_{SC}	短絡電流	V_S = 5V		±50		mA
Z_O	開ループ出力インピーダンス	V_S = 5V、f = 10MHz		100		Ω
電源						
I_Q	アンプごとの静止電流	V_S = 5.5V、I_O = 0mA		538	750	μA
		V_S = 5.5V、I_O = 0mA、T_A = -40℃～125℃			800	
シャットダウン(2)						
I_{QSD}	静止電流 (アンプ 1 個あたり)	V_S = 1.8V～5.5V、すべてのアンプがディセーブル、$\overline{SHDN}$ = Low		0.5	1.5	μA
Z_{SHDN}	シャットダウン時の出力インピーダンス	V_S = 1.8V～5.5V、アンプがディセーブル		10 || 8		GΩ || pF
$V_{SHDN_THR_HI}$	High レベル電圧シャットダウン・スレッショルド (アンプがイネーブル)	V_S = 1.8V～5.5V		(V-) + 0.9	(V-) + 1.1	V
$V_{SDHN_THR_LO}$	Low レベル電圧シャットダウン・スレッショルド (アンプがディセーブル)	V_S = 1.8V～5.5V	(V-) + 0.2	(V-) + 0.7		V
t_{ON}	アンプのイネーブル時間 (シャットダウン)(3)	V_S = 1.8V～5.5V、フル・シャットダウン、G = 1、V_{OUT} = 0.9 × V_S / 2、R_L を V- に接続		10		μs
t_{OFF}	アンプのディセーブル時間(3)	V_S = 1.8V～5.5V、G = 1、V_{OUT} = 0.1 × V_S / 2、R_L を V- に接続		0.6		μs
	$\overline{SHDN}$ ピンの入力バイアス電流 (ピンごと)	V_S = 1.8V～5.5V、(V+) ≧ $\overline{SHDN}$ ≧ (V-) - 0.8V		130		pA
		V_S = 1.8V～5.5V、V- ≦ $\overline{SHDN}$ ≦ V- + 0.8V		40		

(1) 3 次フィルタ。-3dB で帯域幅 = 80kHz。
(2) 設計や特性により保証されている値で、製造時にテストは行われません。
(3) ディセーブル時間 (t_{OFF}) とイネーブル時間 (t_{ON}) は、$\overline{SHDN}$ ピンに印加される信号の 50% ポイントと、出力電圧が 10% (ディセーブル) または 90% (イネーブル) レベルに達する時点との時間間隔として定義されます。

Copyright © 2024 Texas Instruments Incorporated

8.8 代表的特性

T_A = 25℃、V_S = 5.5V、R_L = 10kΩ を V_S / 2 に接続、V_{CM} = V_S / 2、V_{OUT} = V_S / 2 (特に記述のない限り)

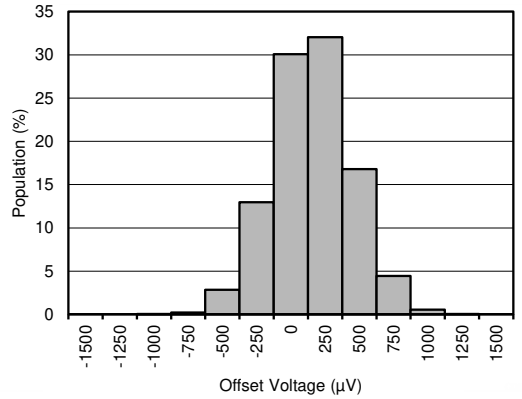
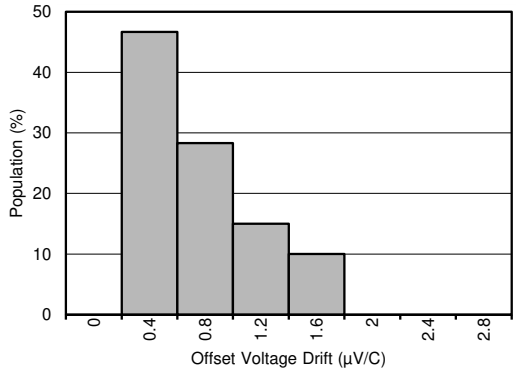


図 8-1. オフセット電圧の製品分布



T_A = -40℃～125℃

図 8-2. オフセット電圧ドリフトの分布

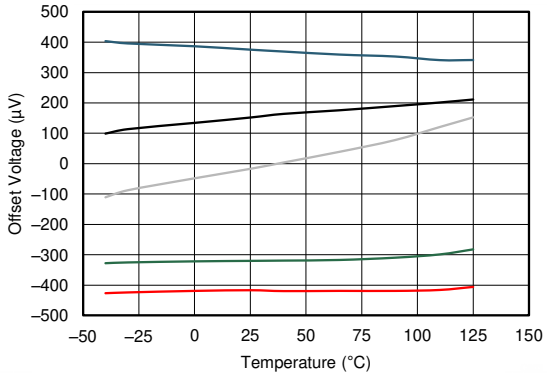
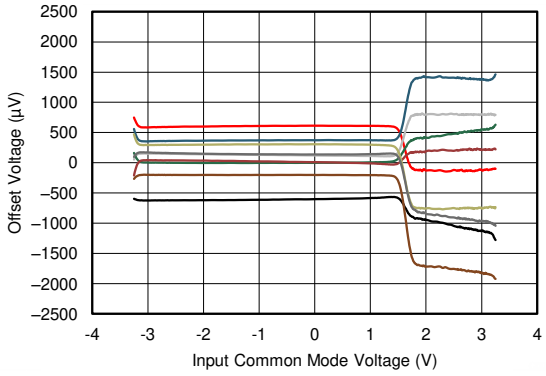
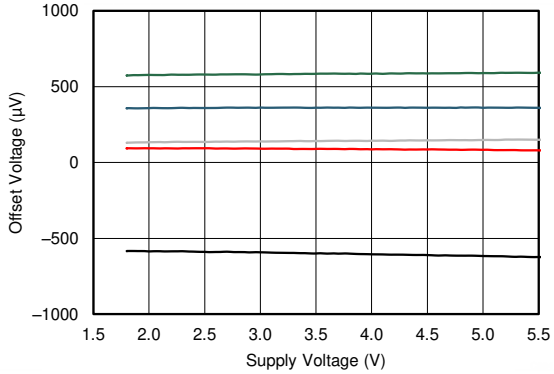


図 8-3. オフセット電圧と温度との関係



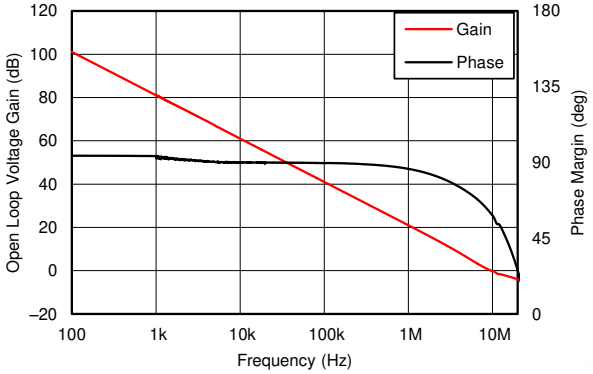
V+ = 2.75V　　V- = -2.75V

図 8-4. オフセット電圧と同相電圧との関係



V_S = 1.8V～5.5V

図 8-5. オフセット電圧と電源電圧との関係

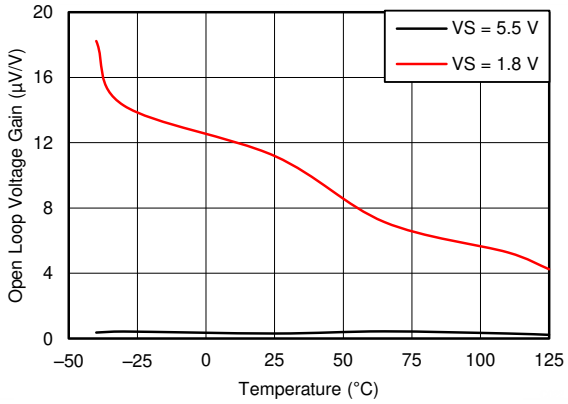


C_L = 10pF

図 8-6. 開ループのゲインおよび位相と周波数との関係

8.8 代表的特性 (続き)

T_A = 25℃、V_S = 5.5V、R_L = 10kΩ を V_S / 2 に接続、V_{CM} = V_S / 2、V_{OUT} = V_S / 2 (特に記述のない限り)



R_L = 2kΩ

図 8-7. 開ループのゲインと温度との関係

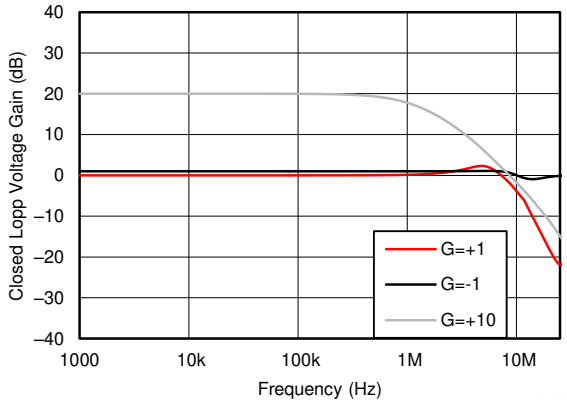


図 8-8. 閉ループのゲインと周波数との関係

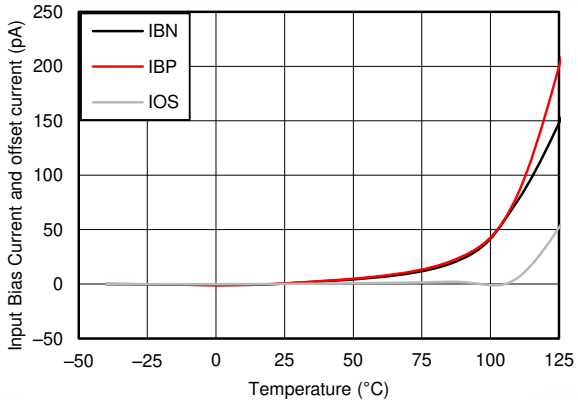
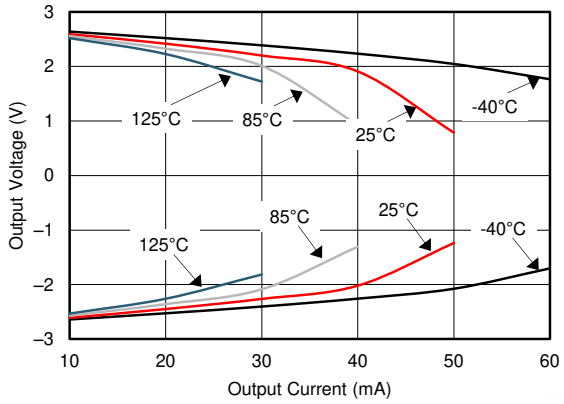


図 8-9. 入力バイアス電流と温度との関係



V+ = 2.75V　　V- = -2.75V

図 8-10. 出力電圧スイングと出力電流との関係

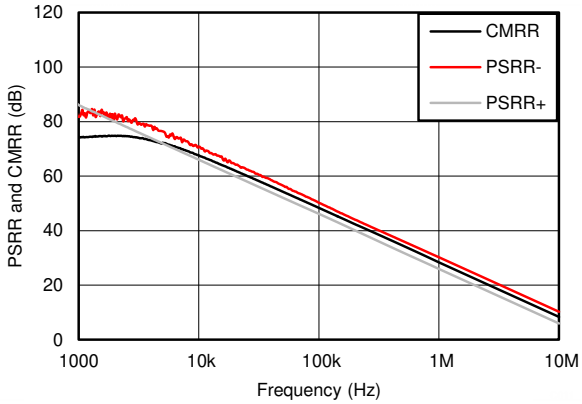
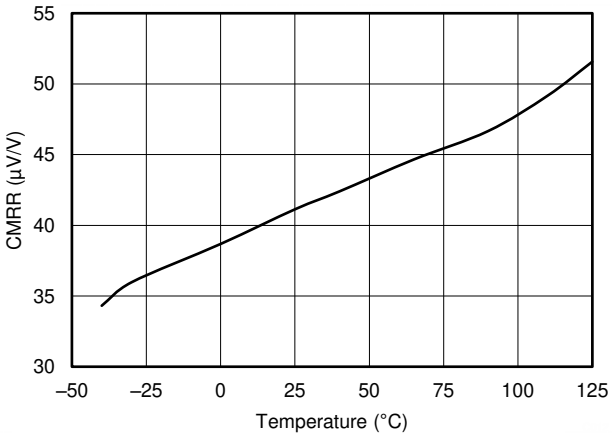


図 8-11. CMRR および PSRR と周波数との関係 (入力を基準)



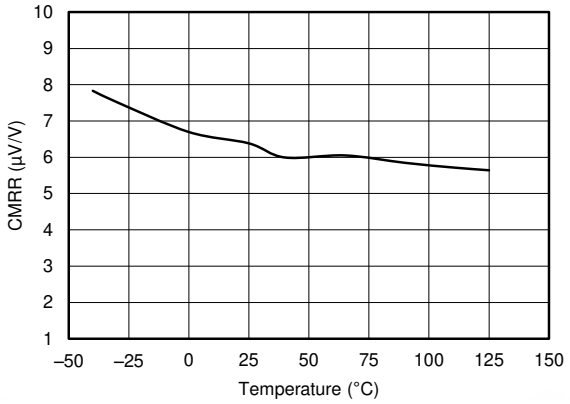
V_S = 5.5V　　V_{CM} = -0.1V～5.6V　　T_A = -40℃～125℃
R_L= 10kΩ

図 8-12. CMRR と温度との関係

Copyright © 2024 Texas Instruments Incorporated

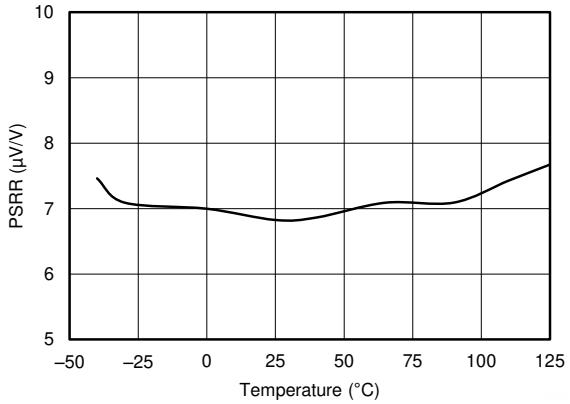
8.8 代表的特性 (続き)

T_A = 25℃、V_S = 5.5V、R_L = 10kΩ を V_S / 2 に接続、V_{CM} = V_S / 2、V_{OUT} = V_S / 2 (特に記述のない限り)



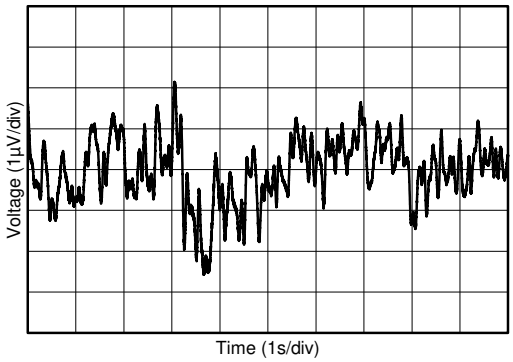
V_{CM} = (V-) -0.1V～(V+) - 1.4V
T_A = -40℃～125℃　R_L= 10kΩ　V_S = 5.5V

図 8-13. CMRR と温度との関係



V_S = 1.8V～5.5V

図 8-14. PSRR と温度との関係



V_S = 1.8V～5.5V

図 8-15. 0.1Hz～10Hz の 入力電圧ノイズ

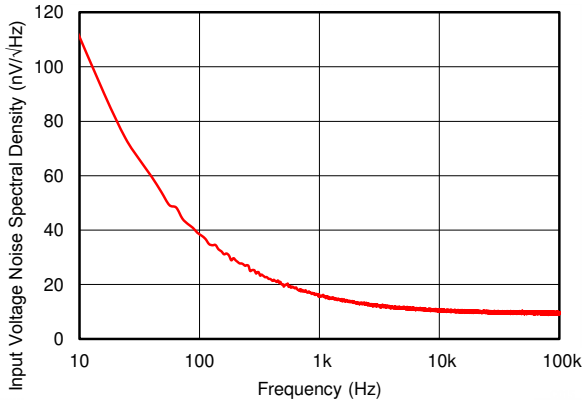
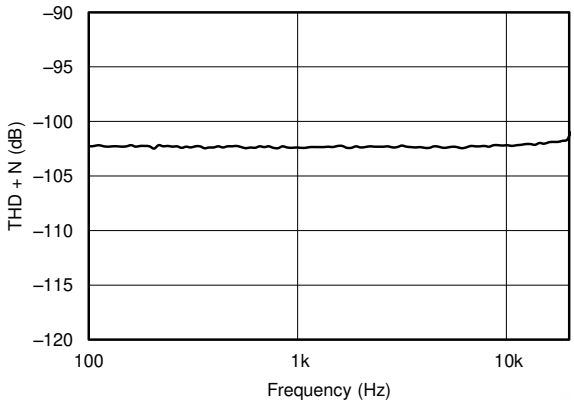
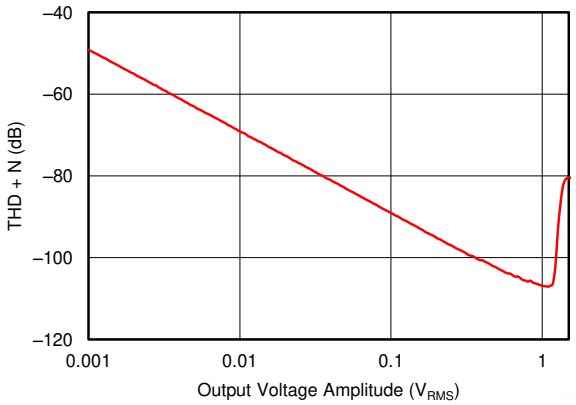


図 8-16. 入力電圧ノイズのスペクトル密度と周波数との関係



V_S = 5.5V　V_{CM} = 2.5V　R_L = 2kΩ
V_{OUT} = 0.5V_{RMS}　BW = 80kHz　G = +1

図 8-17. THD+N と周波数との関係

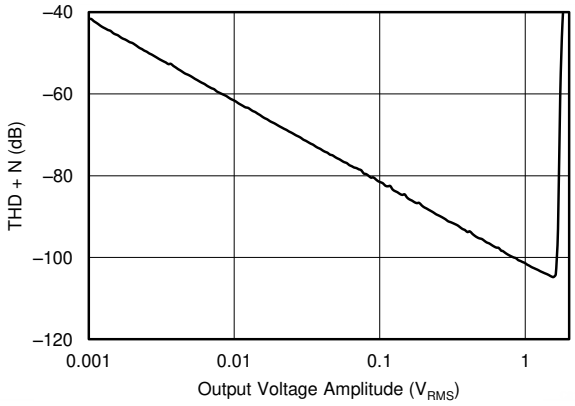


V_S = 5.5V　R_L = 2kΩ　G = +1
V_{CM} = 2.5V　BW = 80kHz　f = 1kHz

図 8-18. THD+N と振幅との関係

8.8 代表的特性 (続き)

T_A = 25℃、V_S = 5.5V、R_L = 10kΩ を V_S / 2 に接続、V_{CM} = V_S / 2、V_{OUT} = V_S / 2 (特に記述のない限り)



V_S = 5.5V　V_{CM} = 2.5V　R_L = 2kΩ
G = -1　BW = 80kHz　f = 1kHz

図 8-19. THD+N と振幅との関係

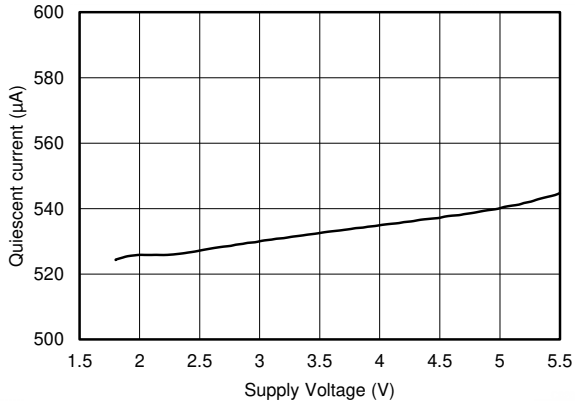


図 8-20. 静止電流と電源電圧との関係

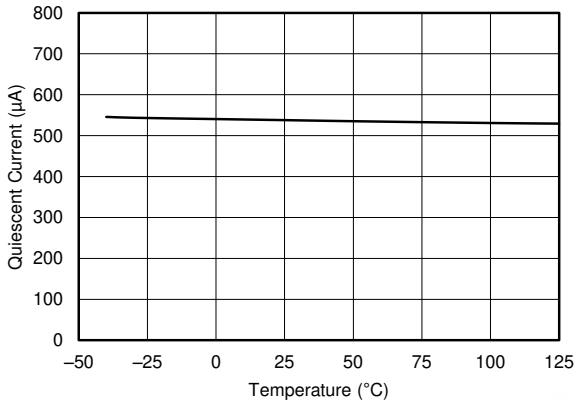


図 8-21. 静止電流と温度との関係

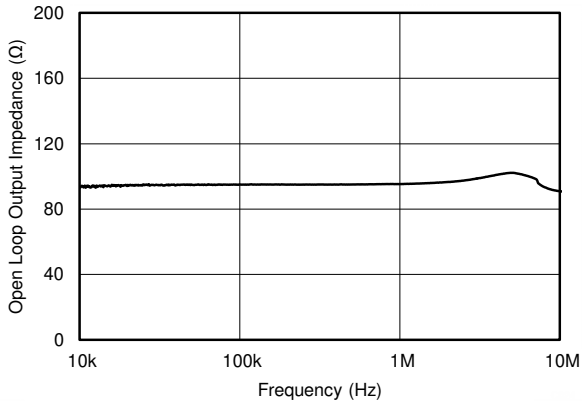
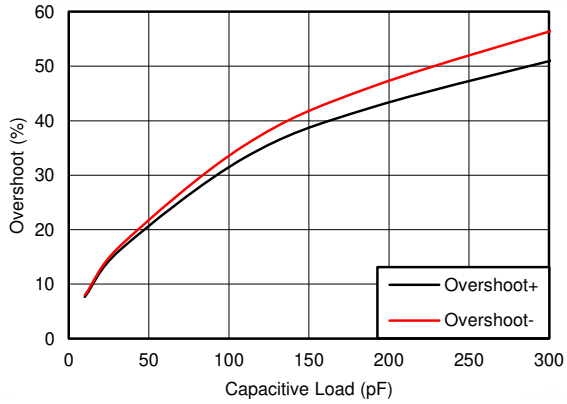
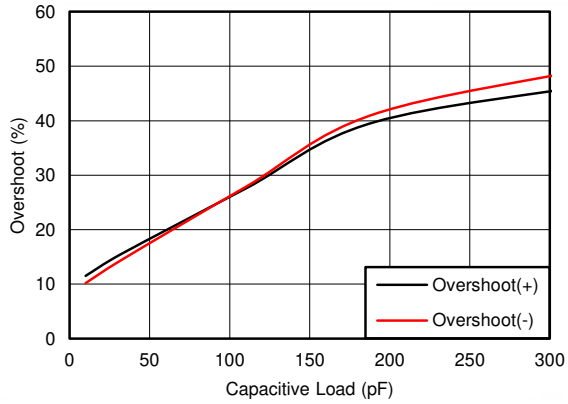


図 8-22. 開ループ出力インピーダンスと周波数との関係



V+ = 2.75V　V- = -2.75V　G = +1V/V
V_{OUT} ステップ = 100mV_{p-p}　R_L = 10kΩ

図 8-23. 小信号のオーバーシュートと負荷容量との関係



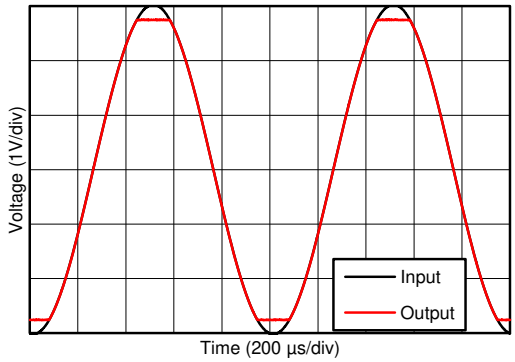
V+ = 2.75V　V- = -2.75V　G = -1V/V
V_{OUT} ステップ = 100mV_{p-p}　R_L = 10kΩ

図 8-24. 小信号のオーバーシュートと負荷容量との関係

Copyright © 2024 Texas Instruments Incorporated

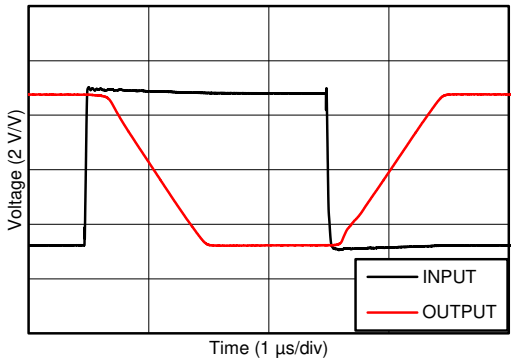
8.8 代表的特性 (続き)

T_A = 25℃、V_S = 5.5V、R_L = 10kΩ を V_S / 2 に接続、V_{CM} = V_S / 2、V_{OUT} = V_S / 2 (特に記述のない限り)



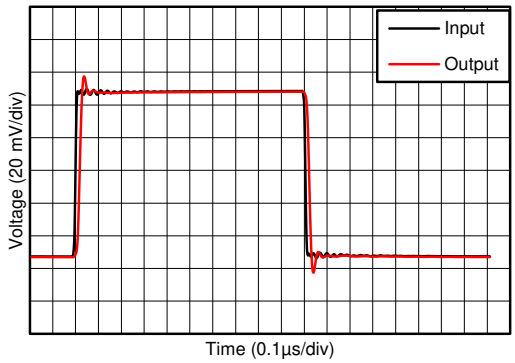
V+ = 2.75V　　V- = -2.75V

図 8-25. 位相反転なし



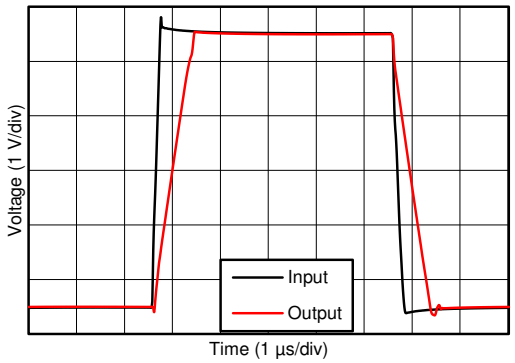
V+ = 2.75V　　V- = -2.75V　　G = -10V/V

図 8-26. 過負荷からの回復



V+ = 2.75V　　V- = -2.75V　　G = 1V/V

図 8-27. 小信号ステップ応答



V+ = 2.75V　　V- = -2.75V　　C_L = 100pF
G = 1V/V

図 8-28. 大信号ステップ応答

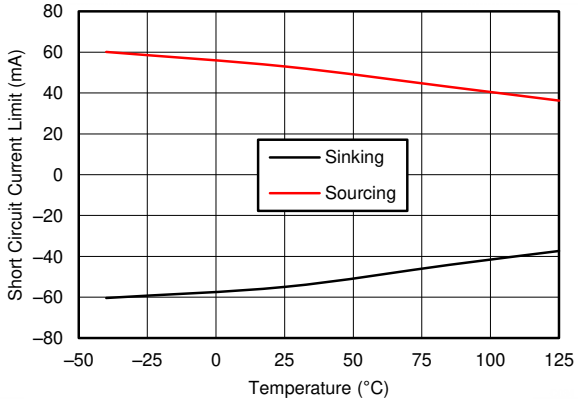
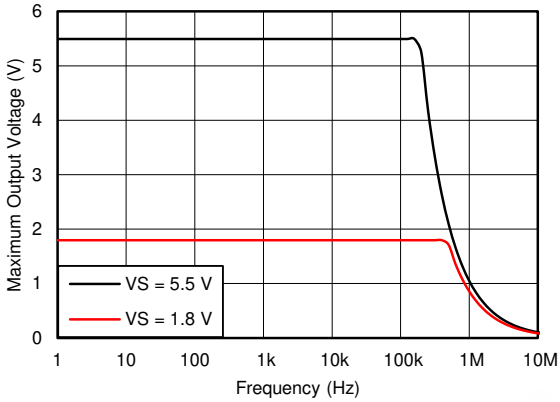


図 8-29. 短絡電流と温度との関係

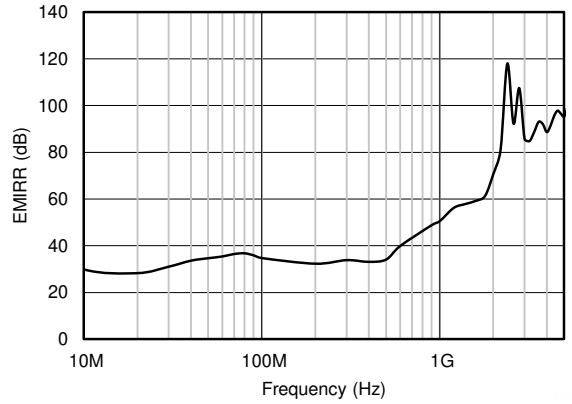


R_L = 10kΩ　　C_L = 10pF

図 8-30. 最大出力電圧と周波数および電源電圧との関係

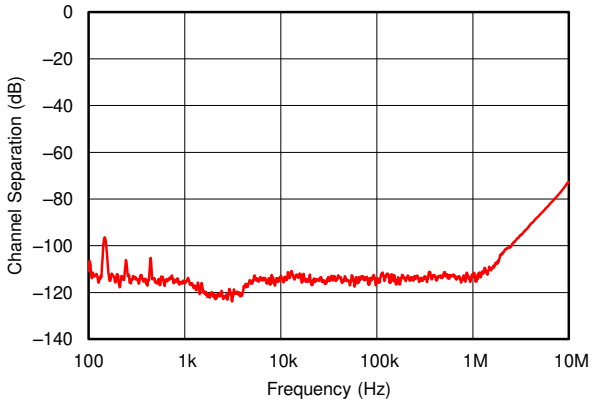
8.8 代表的特性 (続き)

T_A = 25℃、V_S = 5.5V、R_L = 10kΩ を V_S / 2 に接続、V_{CM} = V_S / 2、V_{OUT} = V_S / 2 (特に記述のない限り)



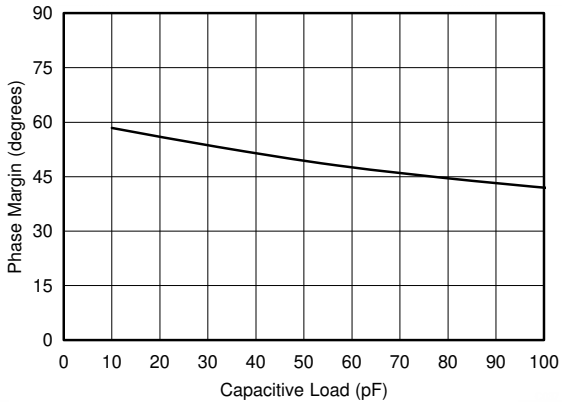
P_{RF} = -10dBm

図 8-31. 非反転入力を基準とする電磁干渉除去比 (EMIRR+) と周波数との関係



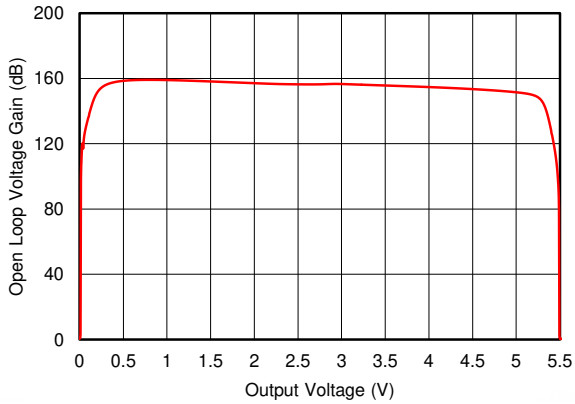
V+ = 2.75V　　V- = -2.75V

図 8-32. チャネル・セパレーションと周波数との関係



V_S = 5.5V

図 8-33. 位相マージンと容量性負荷との関係



V_S = 5.5V

図 8-34. 開ループの電圧ゲインと出力電圧との関係

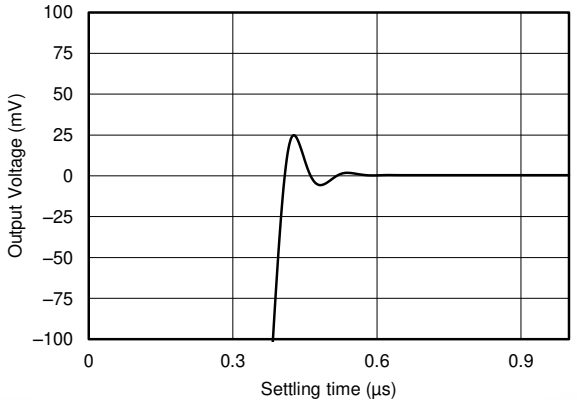


図 8-35. 大信号セトリング時間 (正)

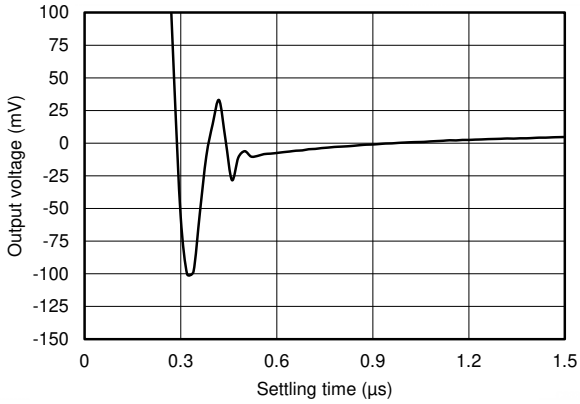


図 8-36. 大信号セトリング時間 (負)

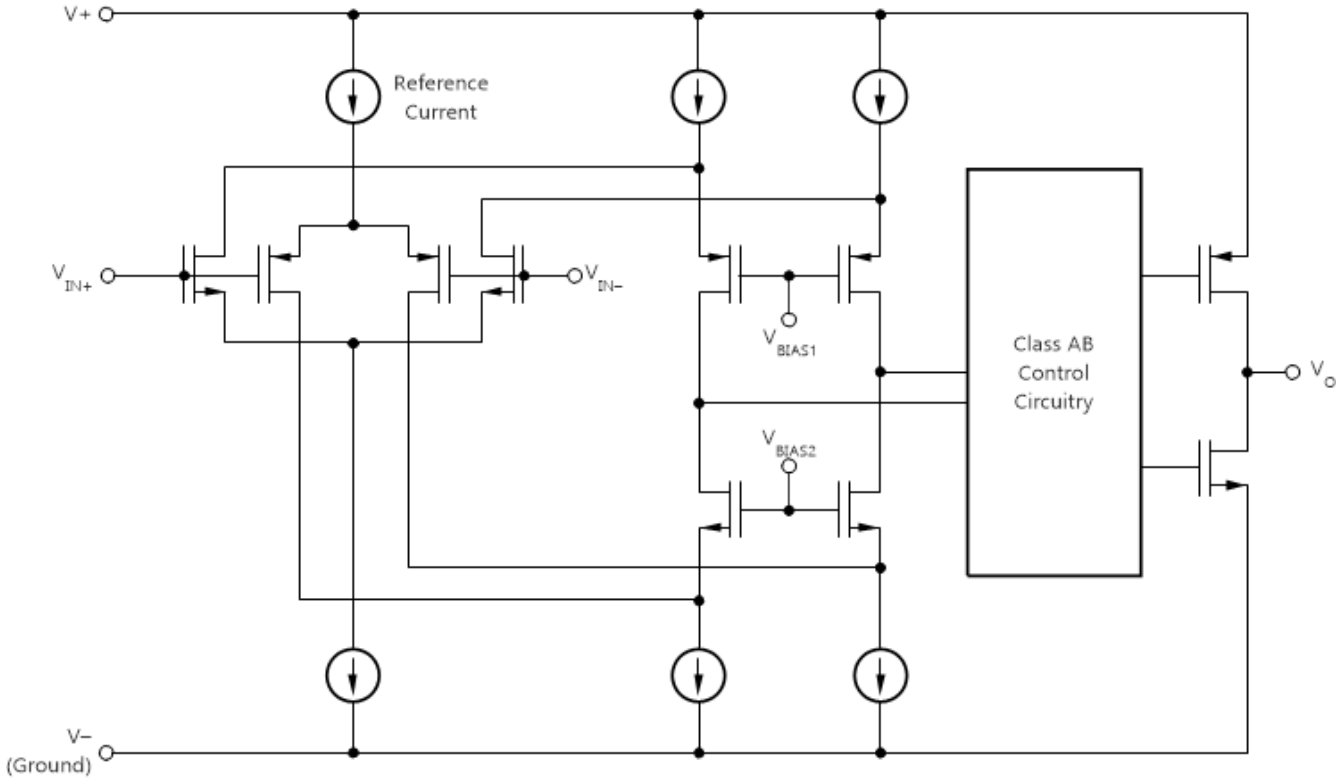
Copyright © 2024 Texas Instruments Incorporated

9 詳細説明

9.1 概要

TLV906x-Q1 デバイスは、低消費電力のレール・ツー・レール入出力オペアンプのファミリです。これらのデバイスは 1.8 V～5.5V で動作し、ユニティ・ゲインで安定しており、幅広い汎用アプリケーションのために設計されています。入力同相電圧範囲には両方のレールが含まれており、TLV906x-Q1 シリーズを事実上あらゆる単一電源アプリケーションで使用できます。レール・ツー・レールの入出力スイングは、特に低電源電圧アプリケーションで大きなダイナミック・レンジが得られます。このファミリは帯域幅が広いため、A/D コンバータ (ADC) のサンプル・ホールド回路を駆動できます。

9.2 機能ブロック図



9.3 機能説明

9.3.1 レール・ツー・レール入力

TLV906x-Q1 ファミリの入力同相電圧範囲は、1.8V～5.5V の電源電圧範囲全体で、電源レールを 100mV 超えています。この性能は、相補入力段により実現されます。「機能ブロック図」セクションに示すように、N チャネル入力差動ペアは P チャネル差動ペアと並列に接続されます。N チャネル・ペアは、正のレールに近い入力電圧 (通常は (V+) - 1.4V～正の電源電圧よりも 200mV 高い) でアクティブになります。これに対して、P チャネル・ペアは負の電源電圧より 200mV 下から (V+) - 1.4V 程度までの入力でアクティブになります。小さい過渡領域があり、通常は (V+) - 1.2V～(V+) - 1V の範囲で両方のペアがオンになります。この 200mV の過渡領域は、プロセスのバラツキにより、最大 200mV まで変動することがあります。したがって、過渡領域 (両方の段がオンになる) は、Low では (V+) - 1.4V～(V+) - 1.2V、High 側では最大 (V+) - 1V～(V+) - 0.8V の範囲になる可能性があります。この遷移領域内では、この領域の外側でデバイスが動作しているときと比較して、PSRR、CMRR、オフセット電圧、オフセット・ドリフト、THD が劣化する可能性があります。

9.3.2 レール・ツー・レール出力

TLV906x-Q1 シリーズは、低消費電力、低電圧のオペアンプとして設計されており、堅牢な出力駆動が可能です。共通ソース・トランジスタを使用した Class AB 出力段により、完全なレール・ツー・レールの出力スイングを行えます。10kΩ の抵抗性負荷について、印加されている電源電圧にかかわらず、出力はどちらの電源レールからも 15mV 以内までスイングします。アンプがレールのどれだけ近くまでスイングできるかは、負荷条件によって変化します。

9.3.3 過負荷からの回復

過負荷からの回復は、オペアンプの出力が飽和状態から線形状態に回復するために必要な時間として定義されます。高い入力電圧または高いゲインが原因で、出力電圧が定格動作電圧を超えると、オペアンプの出力デバイスは飽和領域に入ります。デバイスが飽和領域に入った後、出力デバイスのチャージ・キャリアは線形状態に回復するための時間を必要とします。チャージ・キャリアが線形状態に戻ると、デバイスは指定されたスルーレートでスルーを開始します。したがって、過負荷状態の場合の伝搬遅延は、過負荷復帰時間とスルー時間の合計になります。TLV906x-Q1 ファミリの過負荷復帰時間は約 200ns です。

9.3.4 シャットダウン機能

TLV906xS-Q1 デバイスには、オペアンプをディセーブルして低消費電力のスタンバイ・モードに移行する $\overline{\text{SHDN}}$ ピンが搭載されています。このモードでは、オペアンプの消費電流は通常 1μA 未満です。$\overline{\text{SHDN}}$ ピンはアクティブ Low なので、$\overline{\text{SHDN}}$ ピンへの入力が有効なロジック Low のとき、シャットダウン・モードがイネーブルになります。

$\overline{\text{SHDN}}$ ピンは、オペアンプの負の電源レールを基準としています。シャットダウン機能のスレッショルドは約 800mV (標準値) で、電源電圧に応じて変化しません。スムーズなスイッチング特性を維持するため、スイッチング・スレッショルドにはヒステリシスが含まれています。優れたシャットダウン動作を確保するため、$\overline{\text{SHDN}}$ ピンは有効なロジック信号で駆動する必要があります。有効なロジック Low は、V- と V- + 0.2V の間の電圧と定義され、有効なロジック High は、V- + 1.2V と V+ の間の電圧と定義されます。シャットダウン・ピンは、有効な High または Low の電圧に接続するか駆動する必要があり、オープンのままにしないでください。

$\overline{\text{SHDN}}$ ピンは高インピーダンスの CMOS 入力です。ロジック入力により、デュアル・バージョンのオペアンプは独立して制御され、クワッド・バージョンではペアで制御されます。バッテリ駆動のアプリケーションでは、この機能を使用することによって平均電流を大幅に低下させ、バッテリ駆動時間を延長できます。すべてのチャネルを完全にシャットダウンする場合、イネーブル時間は 10μs、ディセーブル時間は 3μs です。ディセーブル状態のとき、出力は高インピーダンス状態です。このアーキテクチャにより、TLV906xS-Q1 はゲート式アンプとして動作でき、デバイスの出力を共通のアナログ出力バスに多重化することもできます。シャットダウン時間 (t_{OFF}) は負荷条件に依存し、負荷抵抗が増加すると増加します。特定のシャットダウン時間内にシャットダウン (ディセーブル) を確実に実行するには、指定された 10kΩ 負荷を中間電源 (V_S/2) に接続する必要があります。TLV906xS-Q1 を負荷なしで使用すると、結果的にターンオフ時間が大幅に増加します。

Copyright © 2024 Texas Instruments Incorporated

9.4 デバイスの機能モード

TLV906x-Q1 ファミリのデバイスは、電源電圧が 1.8V (±0.9V)～5.5V (±2.75V) の範囲内のときに動作します。TLV906xS デバイスはシャットダウン・モードを備えており、シャットダウン・ピンに有効なロジック Low が印加されるとシャットダウンされます。

10 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

10.1 アプリケーション情報

TLV906x-Q1 ファミリは、10MHz の帯域幅と 6.5V/µs のスルーレートが特長で、チャネルごとの消費電流がわずか 538µA なので、非常に低い消費電力で優れた AC 性能を実現します。DC アプリケーションは、10kHz で 10nV/√Hz の非常に低い入力ノイズ電圧、低い入力バイアス電流、標準 0.3mV の入力オフセット電圧で適切に動作します。

10.2 代表的なアプリケーション

10.2.1 代表的なローサイド電流検出アプリケーション

ローサイド電流検出アプリケーションに構成された TLV906x-Q1 を、図 10-1 に示します。

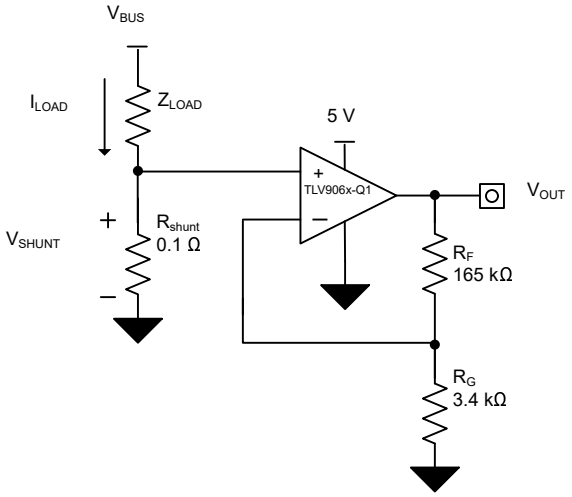


図 10-1. ローサイド電流検出アプリケーションの TLV906x-Q1

10.2.1.1 設計要件

この設計の設計要件は次のとおりです。

- 負荷電流:0A～1A
- 出力電圧:4.95V
- 最大シャント電圧:100mV

Copyright © 2024 Texas Instruments Incorporated

10.2.1.2 詳細な設計手順

図 10-1 の回路の伝達関数は、式 1 に示すとおりです。

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times GAIN \tag{1}$$

負荷電流 (I_{LOAD}) により、シャント抵抗 (R_{SHUNT}) の両端で電圧降下が発生します。負荷電流は 0A～1A に設定されます。最大負荷電流時にシャント電圧を 100mV 未満に維持するには、式 2 を使用して最大シャント抵抗を定義します。

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100\,mV}{1\,A} = 100\,m\Omega \tag{2}$$

式 2 から、R_{SHUNT} は 100mΩ と計算されます。I_{LOAD} と R_{SHUNT} によって生成される電圧降下は、TLV906x-Q1 によって増幅され、約 0V～4.95V の出力電圧を生成します。TLV906x-Q1 が必要な出力電圧を生成するために要求されるゲインは、式 3 で計算されます。

$$Gain = \frac{(V_{OUT_MAX} - V_{OUT_MIN})}{(V_{IN_MAX} - V_{IN_MIN})} \tag{3}$$

式 3 から、必要なゲインは 49.5V/V と計算されます。これは抵抗 R_F と R_G で設定されます。TLV906x-Q1 のゲインを 49.5V/V に設定するための抵抗 R_F と R_G の大きさは、式 4 で計算します。

$$Gain = 1 + \frac{(R_F)}{(R_G)} \tag{4}$$

R_F に 165kΩ を、R_G に 3.4kΩ を選択すると、ほぼ 49.5V/V になります。図 10-1 に示す回路で測定された伝達関数を、図 10-2 に示します。ゲインは、帰還抵抗とゲイン抵抗のみの関数であることに注意します。このゲインは抵抗の比を変化させることで調整され、実際の抵抗値は設計者が設定するインピーダンス・レベルで決まります。インピーダンス・レベルによって、電流ドレイン、浮遊容量の影響、その他いくつかの動作が決まります。最適なインピーダンスの選択はシステムごとに異なるので、設計者は、システムのパラメータに合わせて最適なインピーダンスを選択する必要があります。

10.2.1.3 アプリケーション曲線

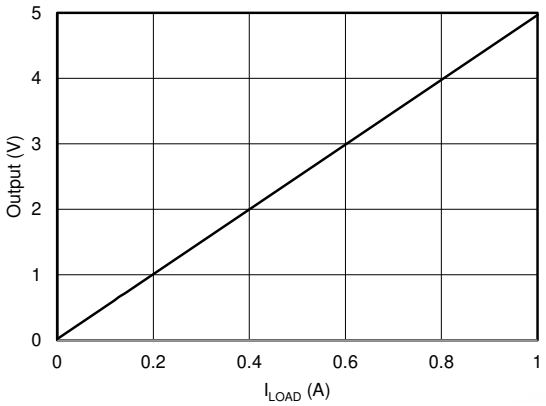


図 10-2. ローサイド、電流検出、伝達関数

10.2.2 代表的なコンパレータ・アプリケーション

コンパレータは、2 つの異なる信号レベルを区別するために使用されます。たとえば、コンパレータを使用して、過電圧状況と通常動作を区別できます。TLV9062-Q1 は、比較対象の 2 つの電圧をそれぞれの入力に印加することで、出力から反転入力への帰還なしに、コンパレータとして使用できます。

TLV9062-Q1 は、電源レールを 100mV 上回る入力同相範囲を持つレール・ツー・レール入出力段を備えています。TLV9062-Q1 は、入力同相範囲全体で位相反転を防止するように設計されています。コンパレータとして使用される TLV9062-Q1 の伝搬遅延は、過負荷復帰時間にスルーレートを加算した値と等しくなります。オーバードライブ電圧が 100mV 未満の場合、過負荷復帰時間が長くなり、スルーレートが減少するため、伝搬遅延が長くなります。

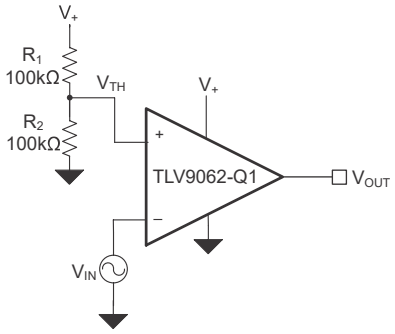


図 10-3. 代表的なコンパレータ・アプリケーション

10.2.2.1 設計要件

この設計の設計要件は次のとおりです。

- 電源電圧 (V_+):5V
- 入力 (V_{IN}):0V～5V
- スレッショルド電圧 (V_{TH}):2.5V

10.2.2.2 詳細な設計手順

この反転コンパレータ回路は、入力電圧 (V_{IN}) をオペアンプの反転端子に印加します。2 つの抵抗 (R1 および R2) により電源電圧 (V_{CC}) が分割され、式 5 で計算される中間電源スレッショルド電圧 (V_{TH}) が生成されます。この回路を、図 10-3 に示します。V_{IN} が V_{TH} より低いとき、出力電圧は正の電源に遷移し、High レベルの出力電圧と等しくなります。V_{IN} が V_{TH} より高いとき、出力電圧は負の電源に遷移し、Low レベルの出力電圧 V_{TH} と等しくなります。

$$V_{TH} = \frac{R_2}{R_1 + R_2} \times V_+ = 2.5\,V \tag{5}$$

Copyright © 2024 Texas Instruments Incorporated

10.2.2.3 アプリケーション曲線

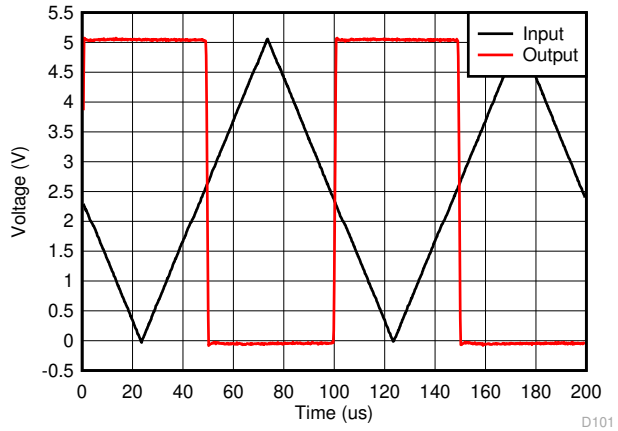


図 10-4. 入力電圧に対するコンパレータの応答 (伝搬遅延を含む)

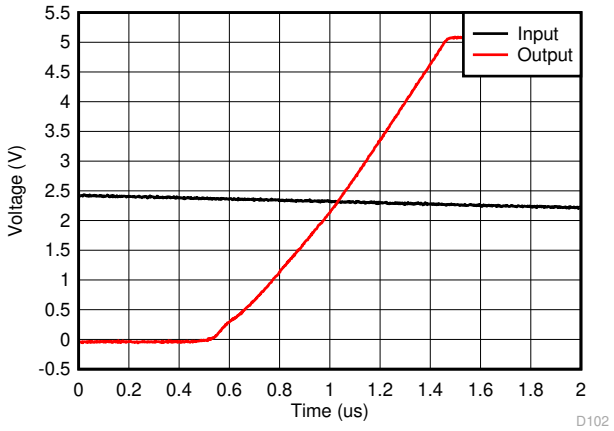


図 10-5. 立ち上がりエッジ

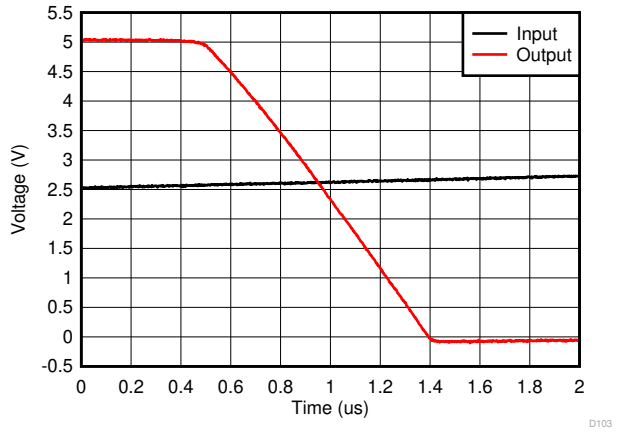


図 10-6. 立ち下がりエッジ

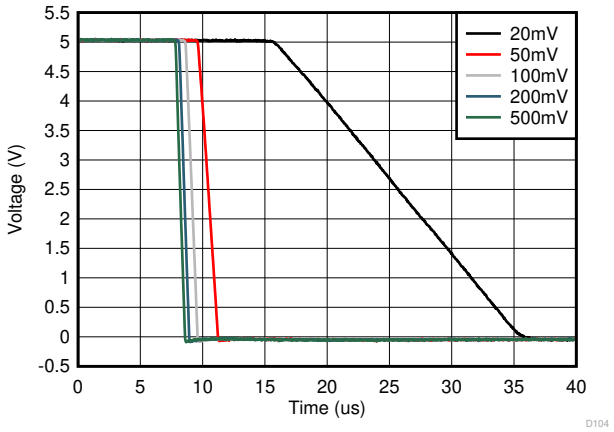


図 10-7. 立ち下がりエッジの伝搬遅延と入力オーバードライブ電圧との関係

10.3 電源に関する推奨事項

TLV906x-Q1 シリーズは、1.8V～5.5V (±0.9V～±2.75V) での動作が規定されています。多くの仕様は、-40℃～125℃で適用されます。「代表的特性」セクションには、動作電圧または温度に関して大きな変動をもたらす可能性のあるパラメータが記載されています。

> **注意**
>
> 6V を超える電源電圧を印加すると、デバイスに永続的な損傷を与える可能性があります。「絶対最大定格」を参照してください。

電源ピンの近くに 0.1μF のバイパス・コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの誤差を低減できます。バイパス・コンデンサの配置の詳細については、「レイアウト」セクションを参照してください。

10.3.1 入力および ESD 保護

TLV906x-Q1 シリーズは、すべてのピンに内部 ESD 保護回路が組み込まれています。入力ピンと出力ピンの場合、この保護は主に入力ピンと電源ピンとの間に接続された電流ステアリング・ダイオードで構成されます。これらの ESD 保護ダイオードは、「絶対最大定格」表に示すように、電流が 10mA に制限されている限り、回路内で入力オーバードライブ保護を行います。駆動入力に直列入力抵抗を追加して入力電流を制限する方法を、図 10-8 に示します。追加された抵抗はアンプの入力で熱ノイズを引き起こすため、ノイズに敏感なアプリケーションでは値を最小限に抑える必要があります。

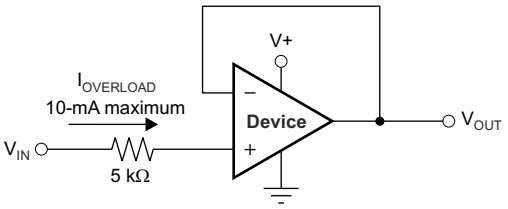


図 10-8. 入力電流保護

10.4 レイアウト

10.4.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- ノイズが回路全体とオペアンプ自体の電源ピンを経由し、アナログ回路に伝播することがあります。バイパス・コンデンサは、アナログ回路に対してローカルに低インピーダンスの電源を供給し、結合ノイズを低減するために使用されます。
  - 各電源ピンとグランドとの間に、低 ESR の 0.1μF セラミック・バイパス・コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグランドに対して単一のバイパス・コンデンサを接続すれば十分です。
- 回路のアナログ部とデジタル部のグランド配線を分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド・プレーン専用です。グランド・プレーンは熱の分散に役立ち、EMI (電磁干渉) ノイズを拾いにくくなります。デジタル・グランドとアナログ・グランドを物理的に分離し、グランド電流の流れに注意を払います。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を分離しておけない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します。図 10-10 に示すように、R_F と R_G を反転入力の近くに配置すると、反転入力の寄生容量が最小化されます。
- 入力配線は、できる限り短くします。入力配線は、回路の最も敏感な部分であることに常に注意してください。
- 重要な配線の周囲に、駆動される低インピーダンスのガード・リングを配置することを検討します。ガード・リングを使用すると、付近に存在する、さまざまな電位の配線からのリーク電流を大幅に低減できます。
- 最高の性能を実現するため、基板組み立ての後で PCB を清掃することを推奨します。
- 高精度の集積回路では、プラスチック・パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄してから、PCB アセンブリをベーキングして、清掃プロセス中にデバイスのパッケージに取り込まれた水分を除去することを推奨します。ほとんどの状況では、クリーニング後に 85℃で 30 分間の低温ベーキングを行えば十分です。

Copyright © 2024 Texas Instruments Incorporated

10.4.2 レイアウト例

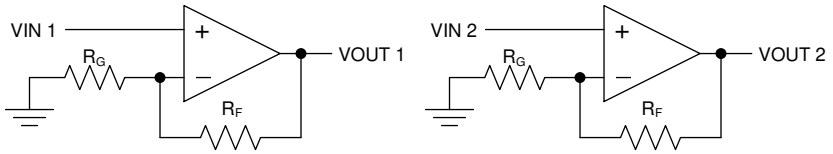


図 10-9. 回路図

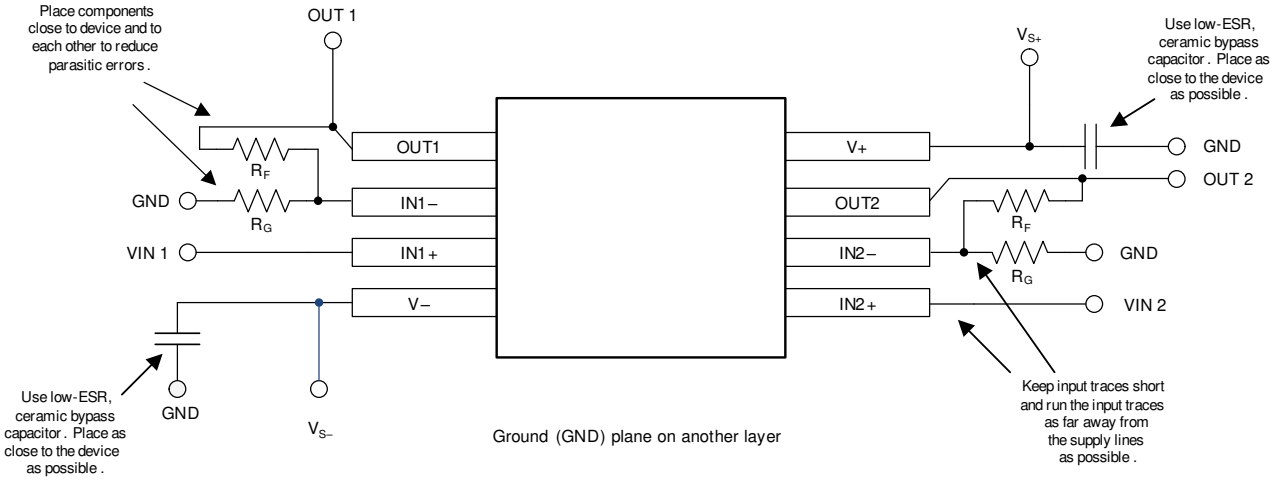


図 10-10. レイアウト例

11 デバイスおよびドキュメントのサポート

11.1 ドキュメントのサポート

11.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『TLV313-Q1 低消費電力、レール・ツー・レール入出力、オフセット標準値 500µV、低コスト・システム用の 1MHz オペアンプ』データシート
- テキサス・インスツルメンツ、『TLVx314-Q1 3MHz、低消費電力、内部 EMI フィルタ、RRIO オペアンプ』データシート
- テキサス・インスツルメンツ、『オペアンプの EMI 除去率』アプリケーション・レポート
- テキサス・インスツルメンツ、『QFN/SON の PCB 実装』アプリケーション・レポート
- テキサス・インスツルメンツ、『シングル・エンド入力から差動出力への変換回路のリファレンス・デザイン』

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

11.3 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

11.4 商標

TI E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

11.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV9061QDBVRQ1	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1N2
TLV9061QDBVRQ1.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1N2
TLV9061QDCKRQ1	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1N5
TLV9061QDCKRQ1.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1N5
TLV9061SQDBVRQ1	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2CTF
TLV9061SQDBVRQ1.A	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2CTF
TLV9061SQDBVRQ1.B	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2CTF
TLV9062QDGKRQ1	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	27CT
TLV9062QDGKRQ1.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	27CT
TLV9062QDRQ1	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9062Q
TLV9062QDRQ1.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9062Q
TLV9062QPWRQ1	Active	Production	TSSOP (PW) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	QTL906
TLV9062QPWRQ1.A	Active	Production	TSSOP (PW) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	QTL906
TLV9064QDRQ1	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV9064QD
TLV9064QDRQ1.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TLV9064QD
TLV9064QPWRQ1	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9064Q
TLV9064QPWRQ1.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T9064Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV9061-Q1, TLV9062-Q1, TLV9064-Q1 :

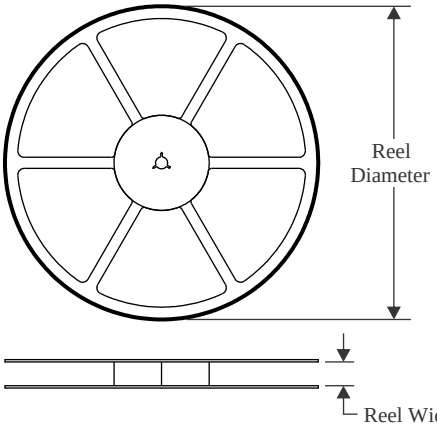
- Catalog : TLV9061, TLV9062, TLV9064

NOTE: Qualified Version Definitions:

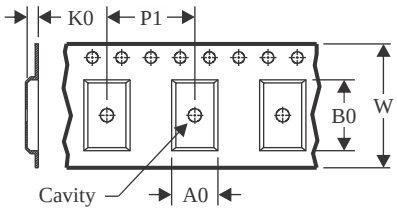
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

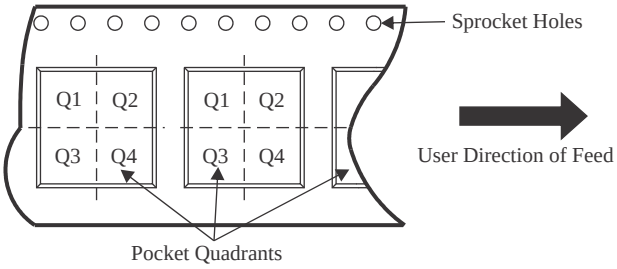


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

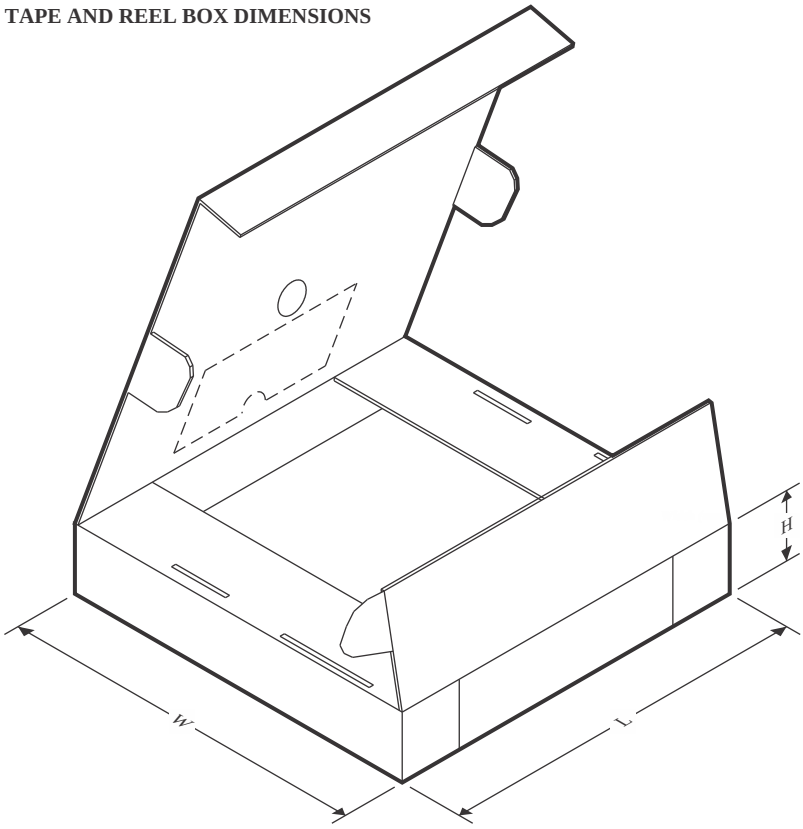
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

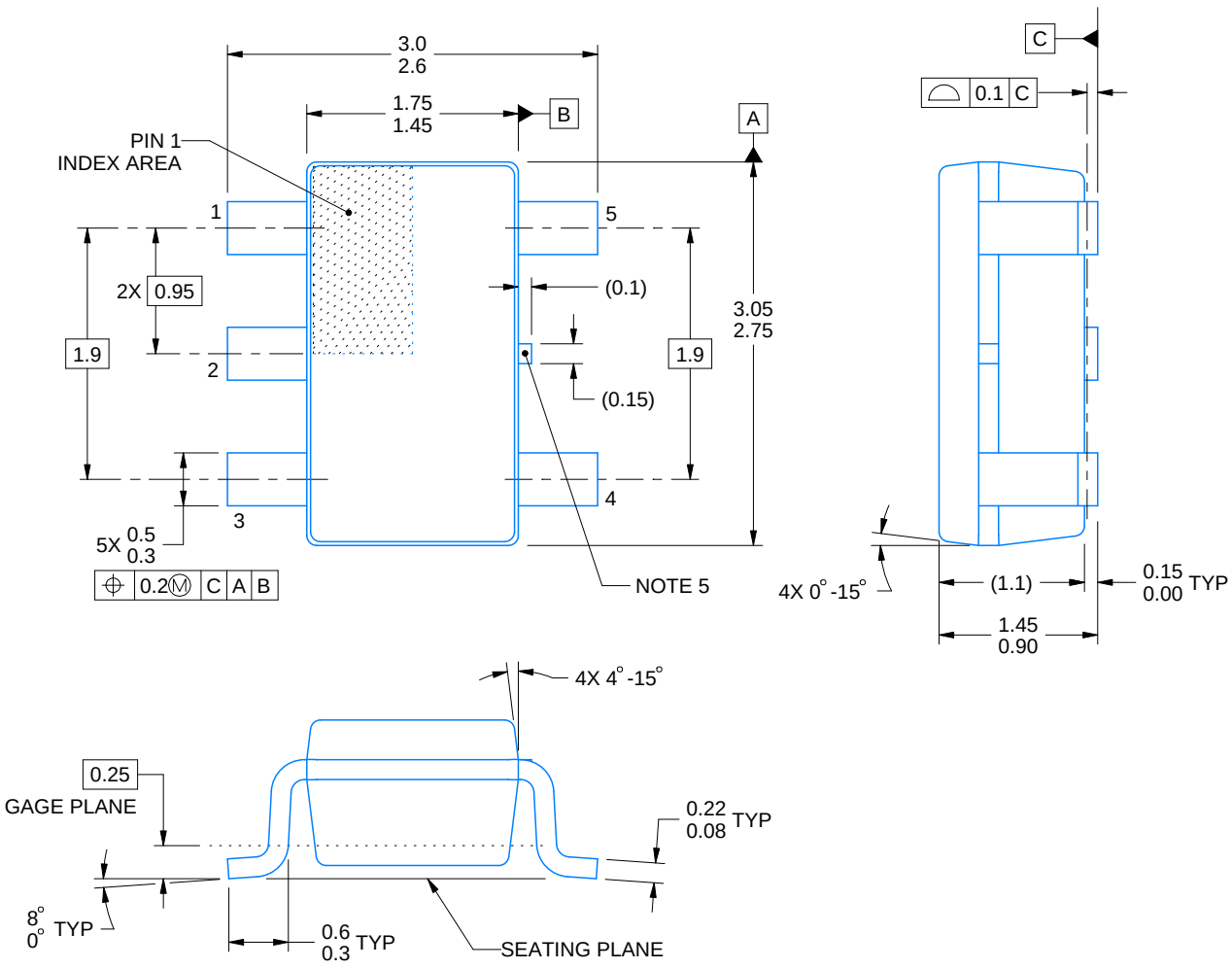
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV9061QDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9061QDCKRQ1	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV9061SQDBVRQ1	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV9062QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
TLV9062QDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV9062QPWRQ1	TSSOP	PW	8	3000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLV9064QDRQ1	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV9064QPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

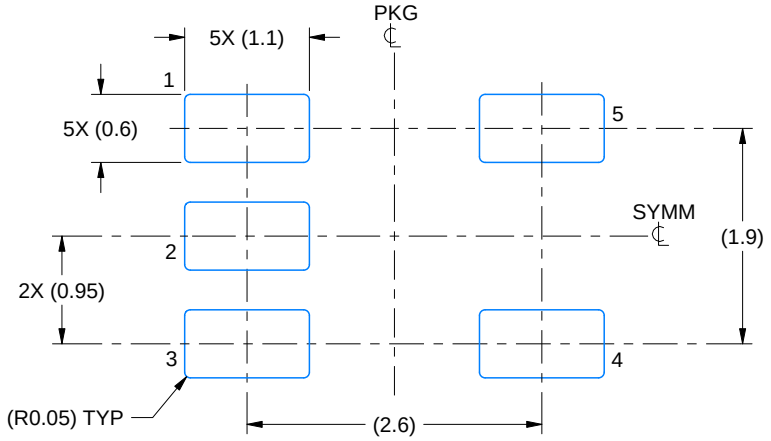
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV9061QDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV9061QDCKRQ1	SC70	DCK	5	3000	190.0	190.0	30.0
TLV9061SQDBVRQ1	SOT-23	DBV	6	3000	210.0	185.0	35.0
TLV9062QDGKRQ1	VSSOP	DGK	8	2500	366.0	364.0	50.0
TLV9062QDRQ1	SOIC	D	8	2500	353.0	353.0	32.0
TLV9062QPWRQ1	TSSOP	PW	8	3000	353.0	353.0	32.0
TLV9064QDRQ1	SOIC	D	14	2500	353.0	353.0	32.0
TLV9064QPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0



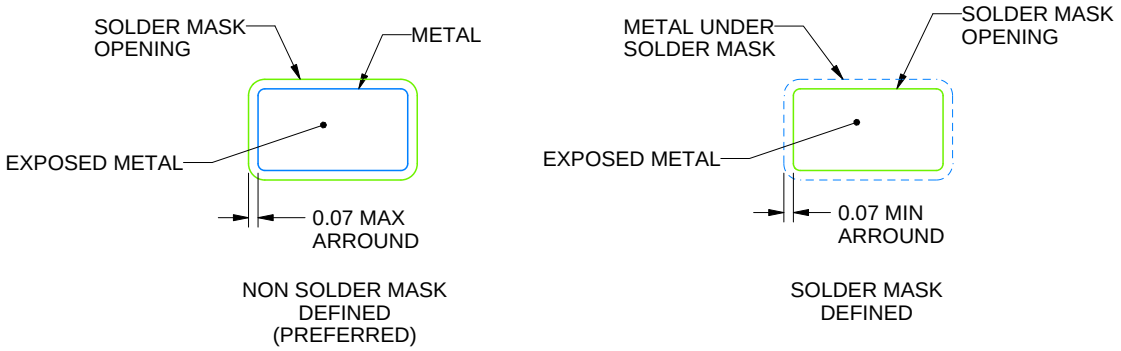
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

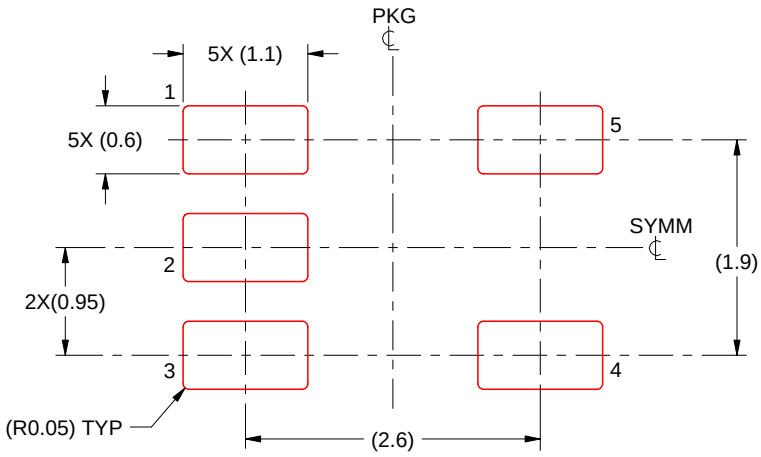


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

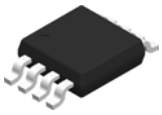
4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

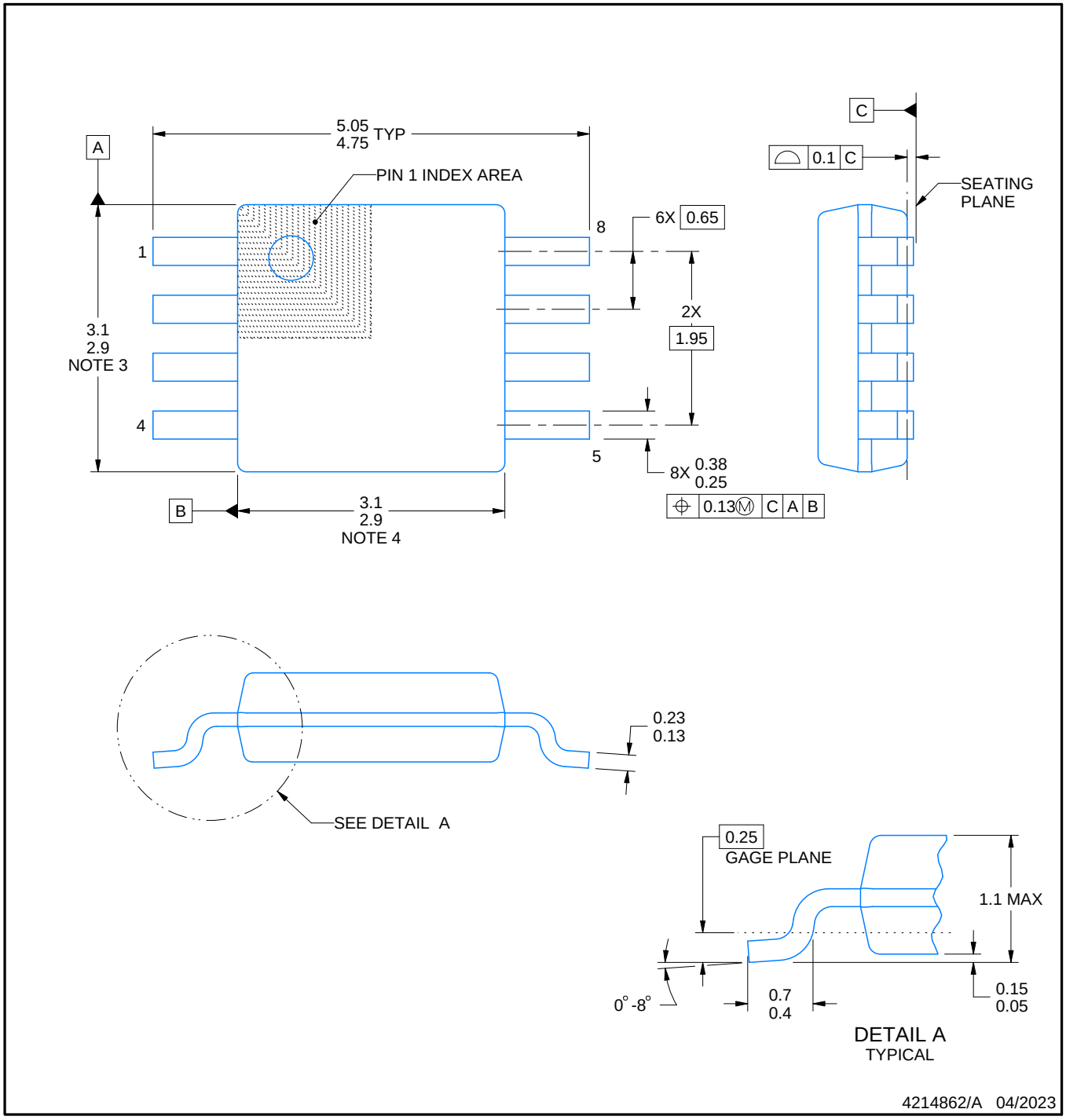
PACKAGE OUTLINE

DGK0008A



VSSOP - 1.1 mm max height

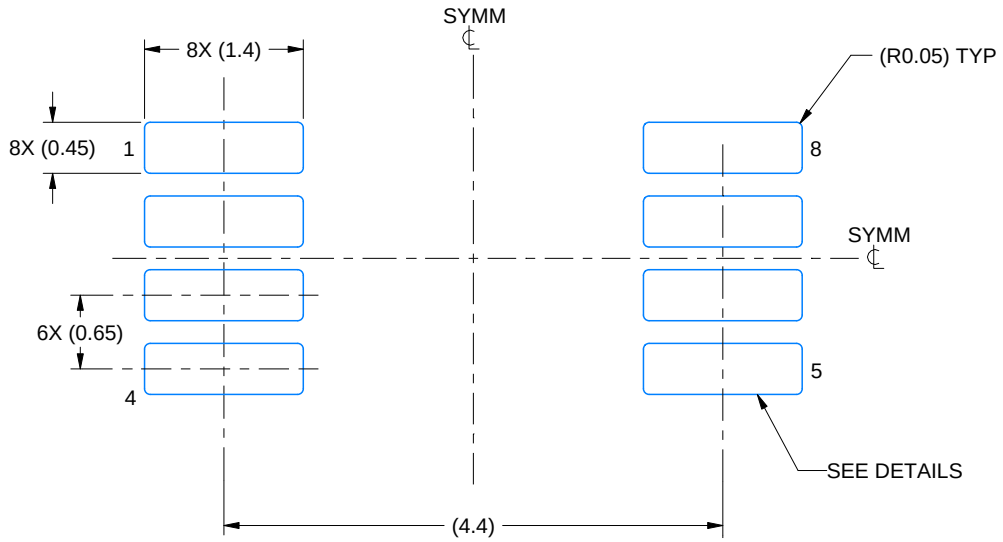
SMALL OUTLINE PACKAGE



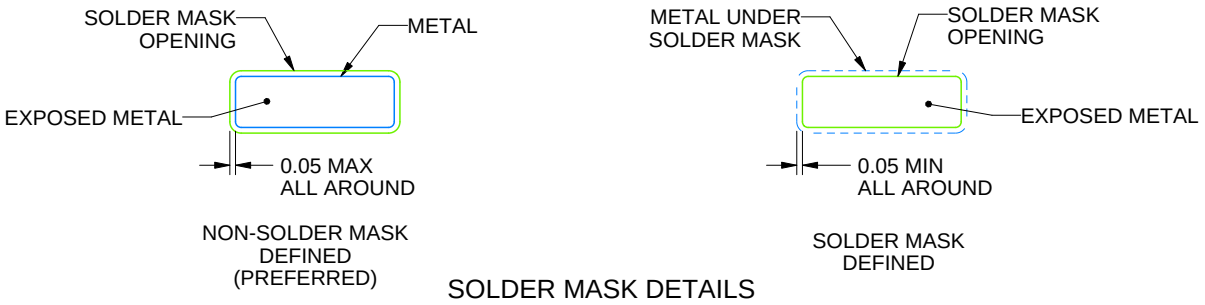
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

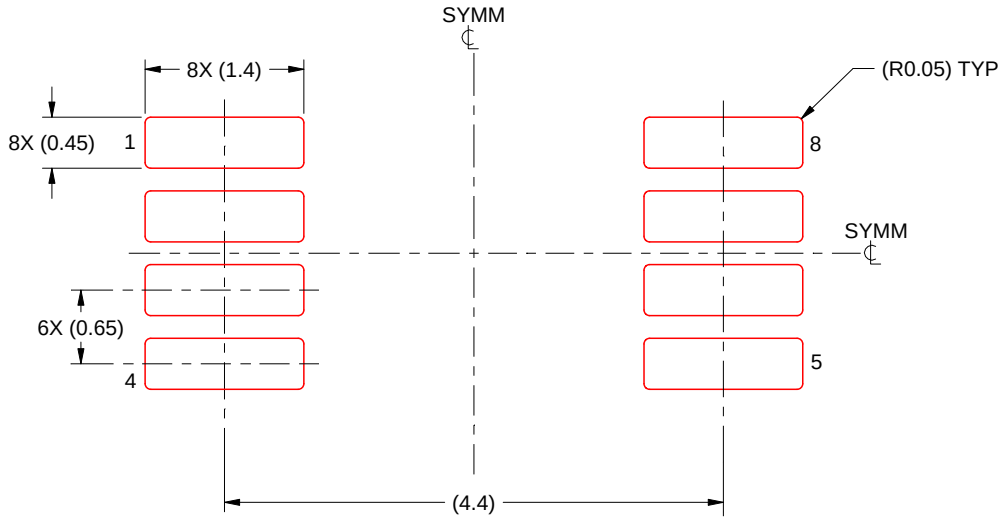


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

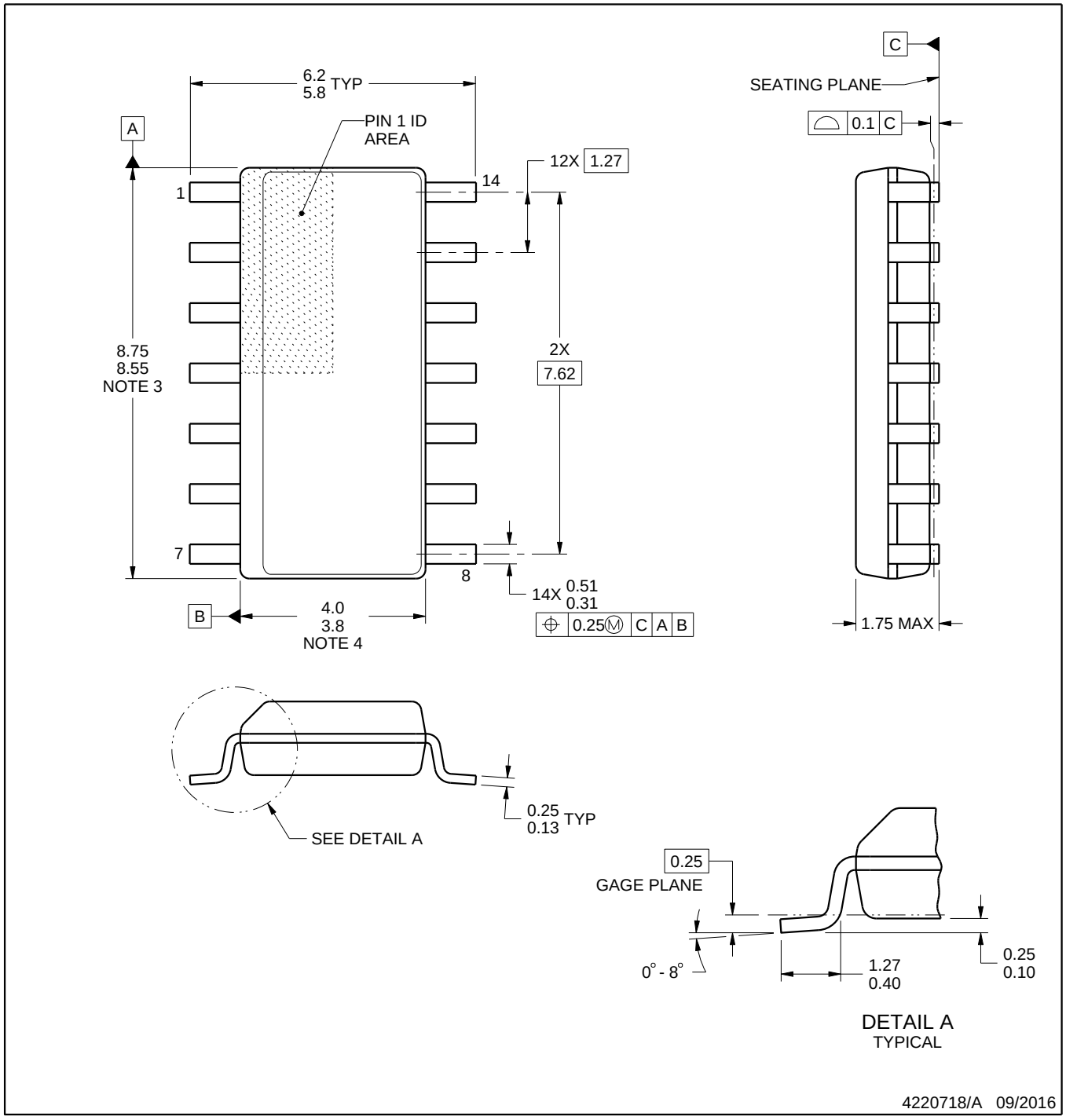


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

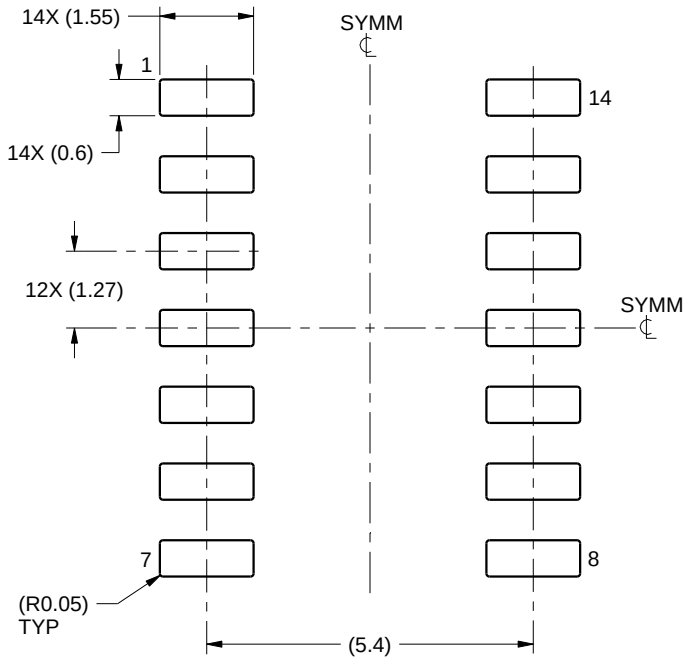
NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

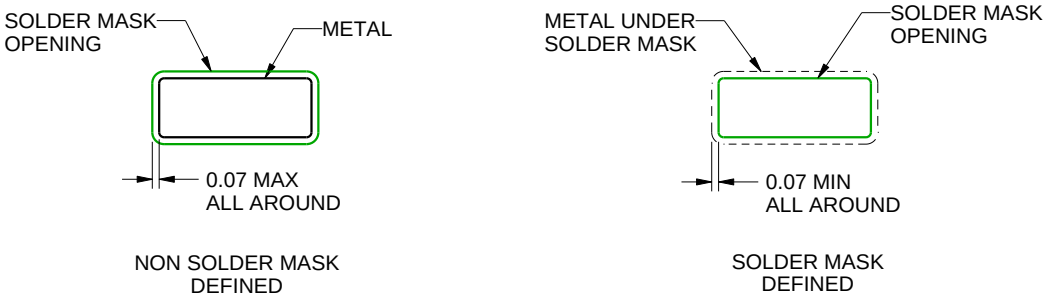


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X

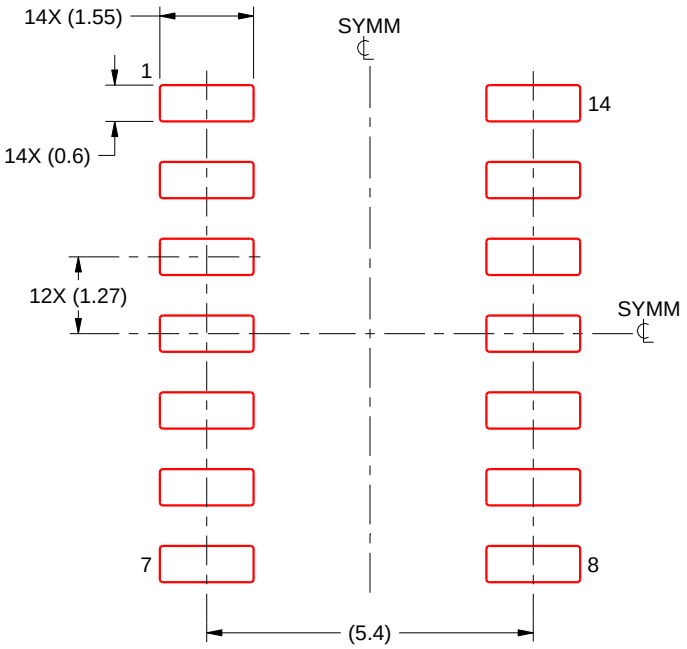


SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

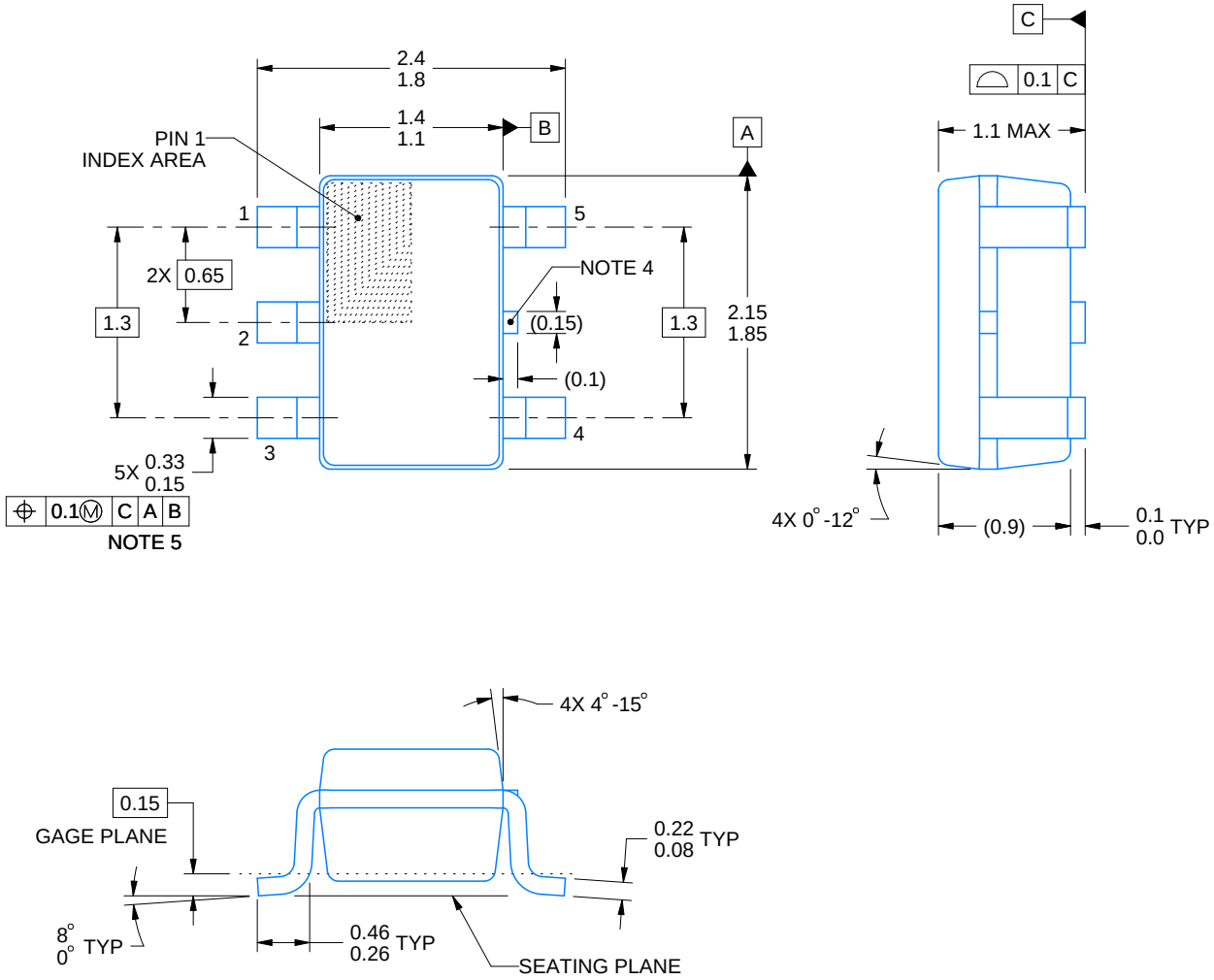


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

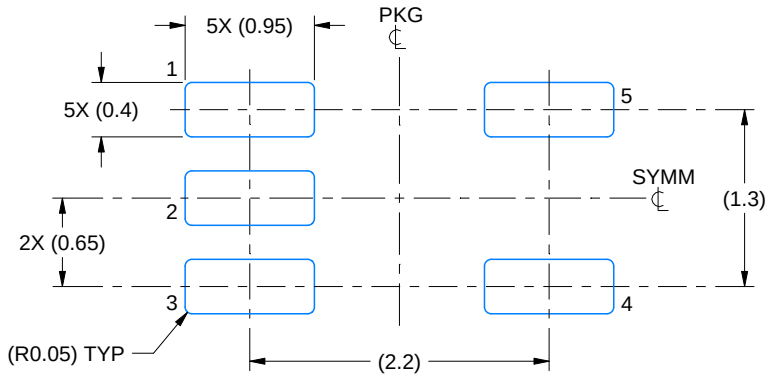
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

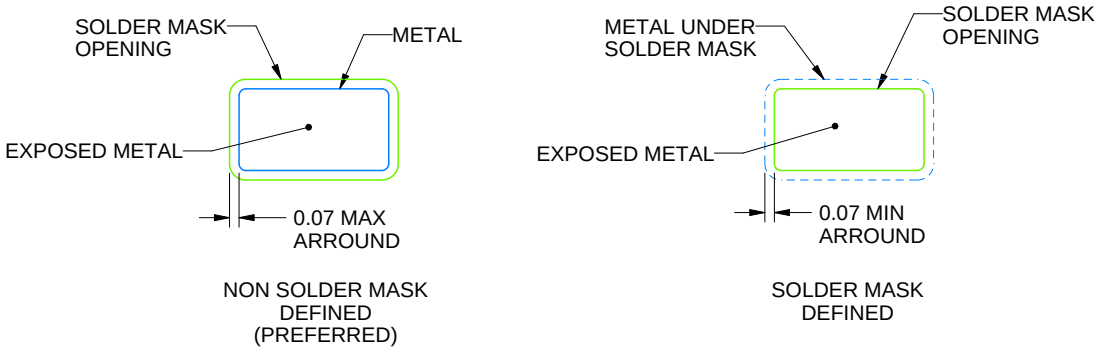


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

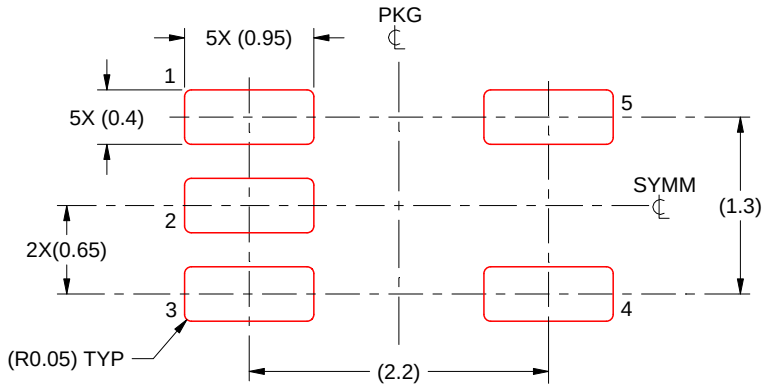


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

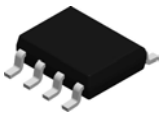


SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

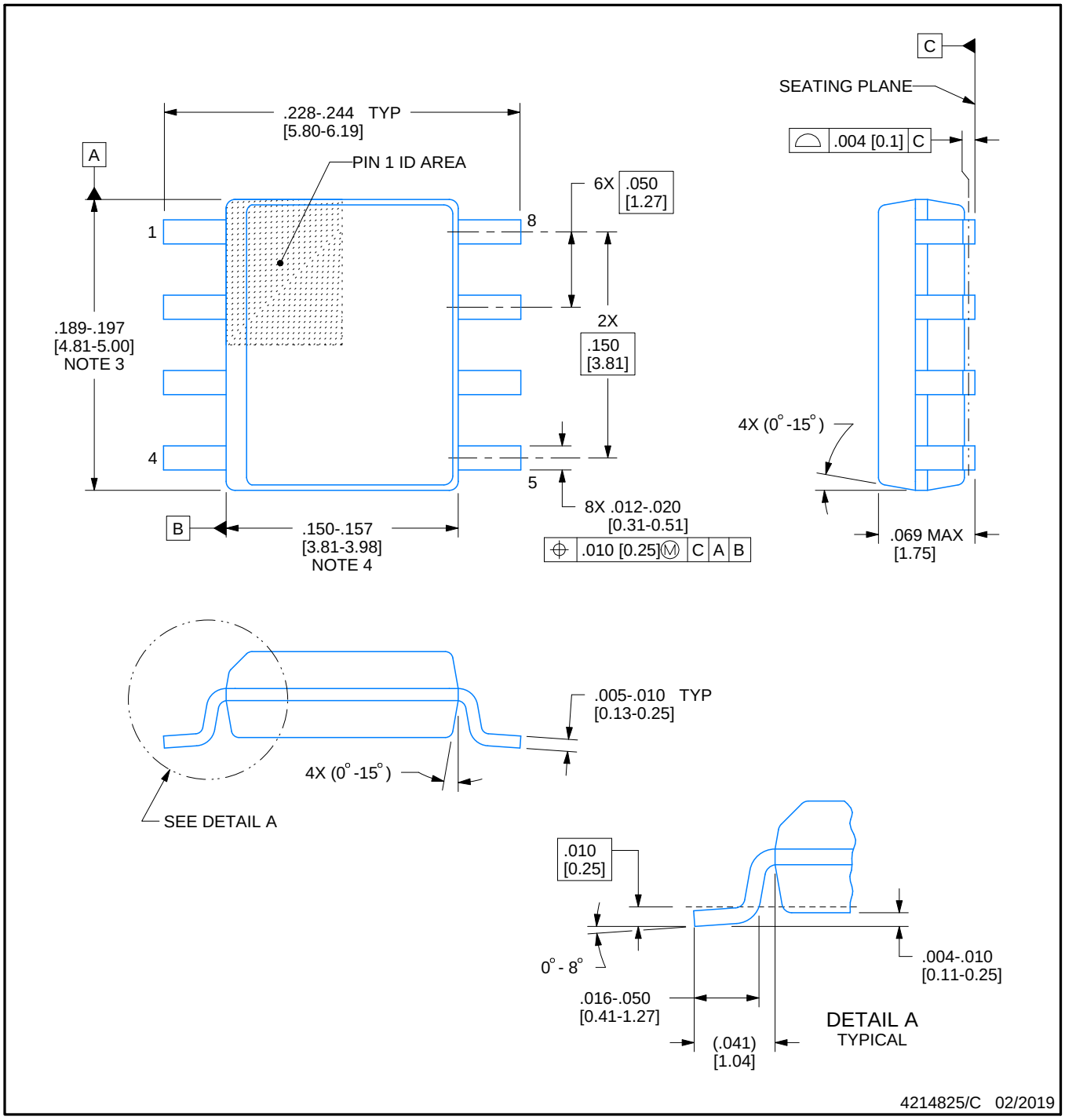


PACKAGE OUTLINE

D0008A

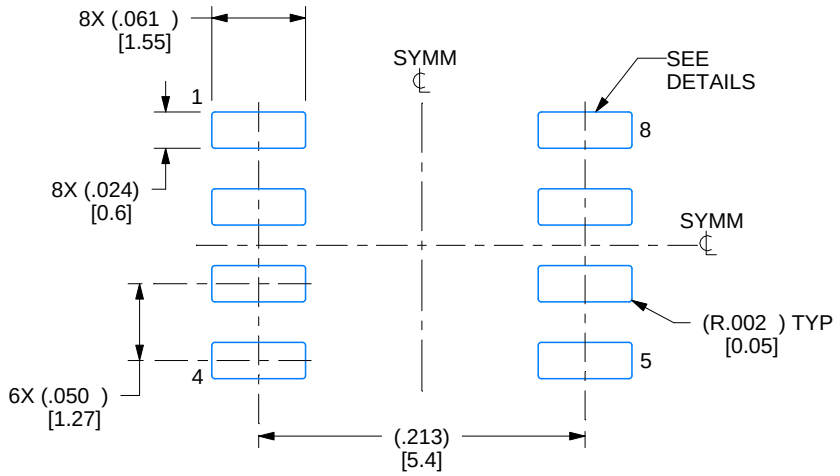
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

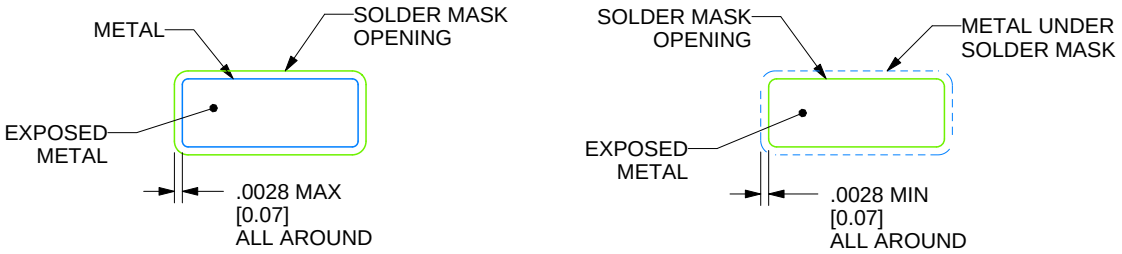


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X

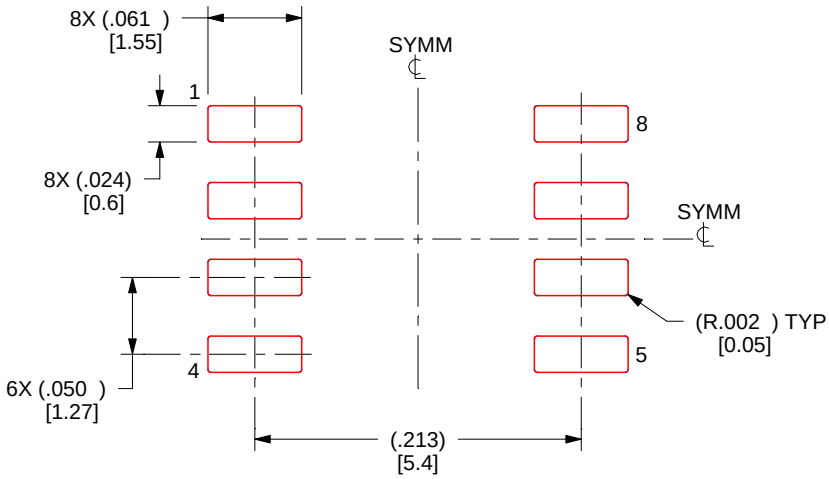


SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

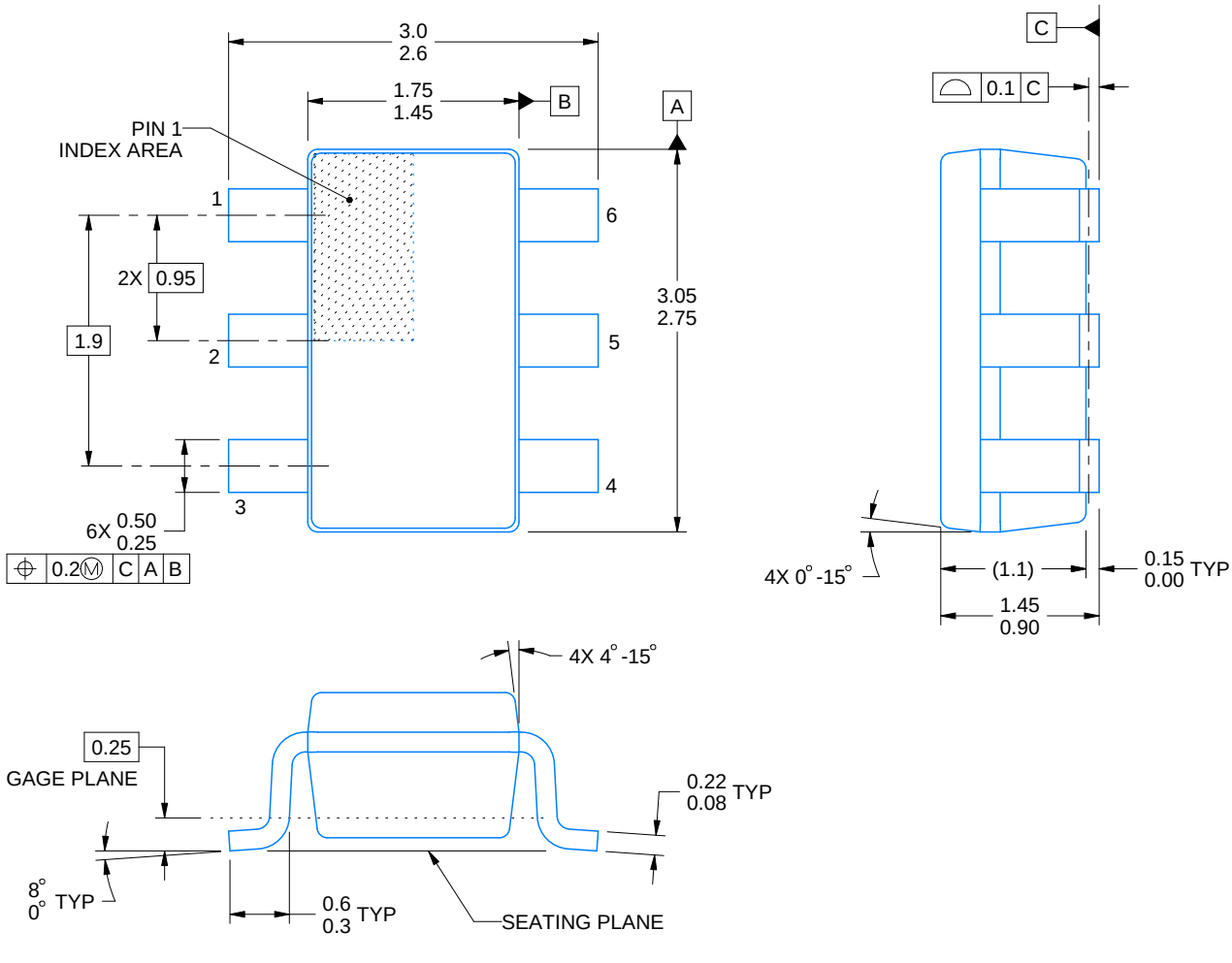


SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

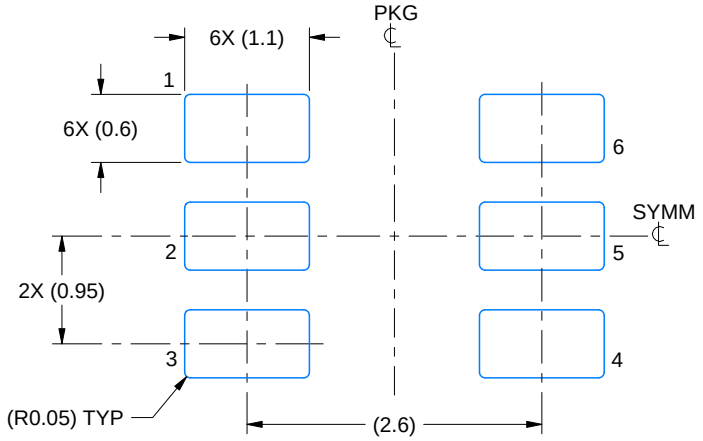
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



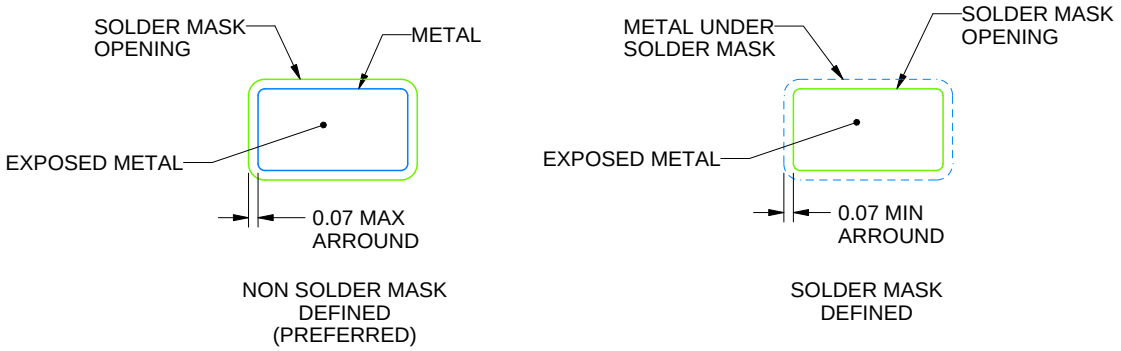
4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

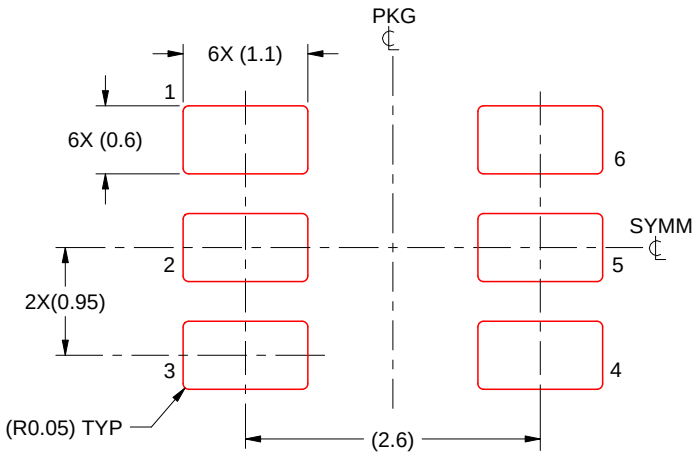


SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



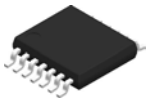
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

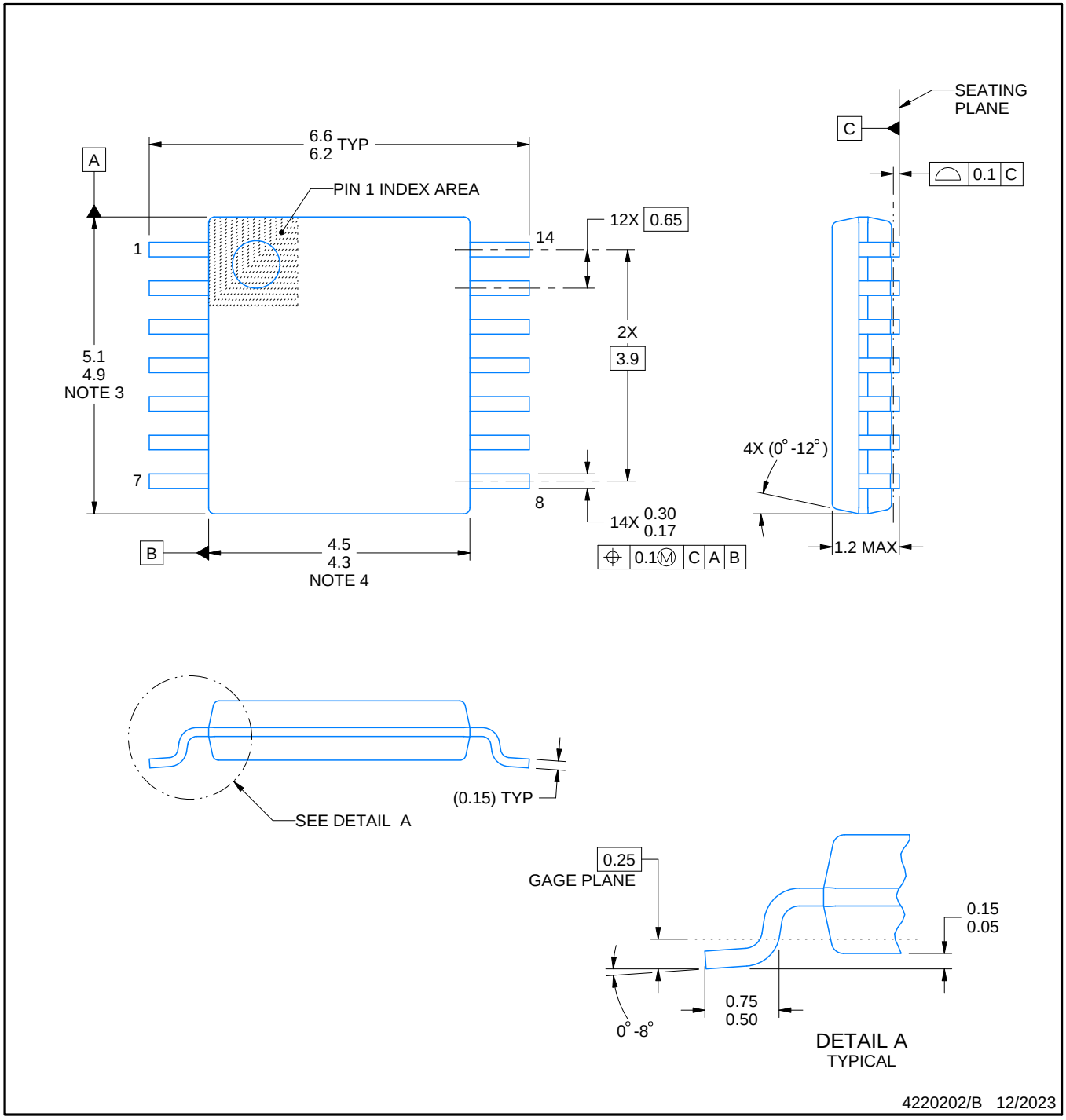
PW0014A



PACKAGE OUTLINE

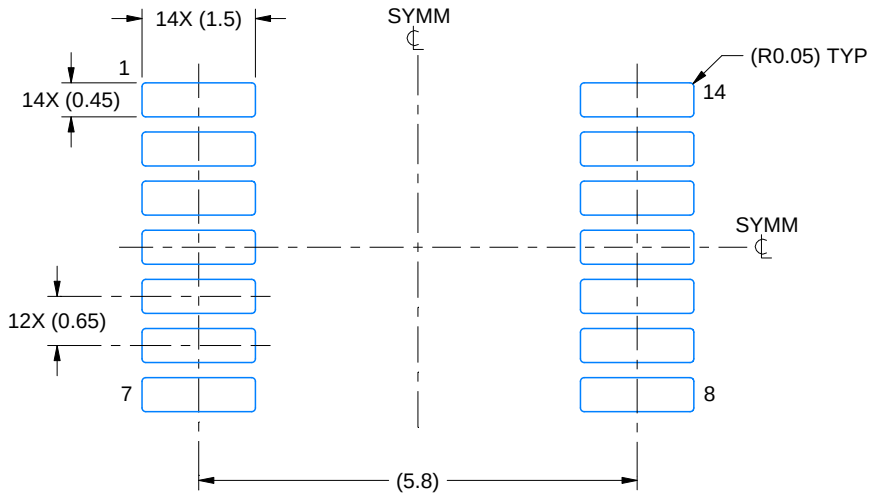
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

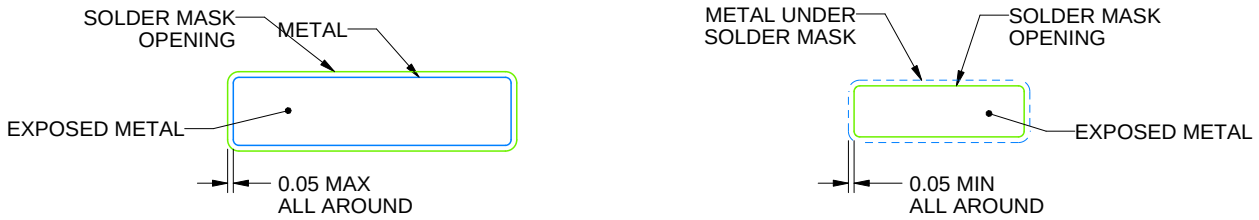


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



NON-SOLDER MASK DEFINED (PREFERRED)

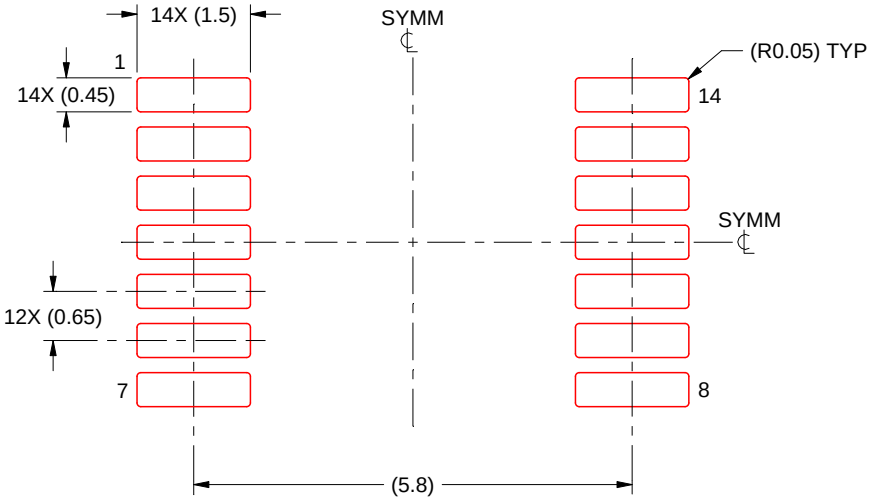
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

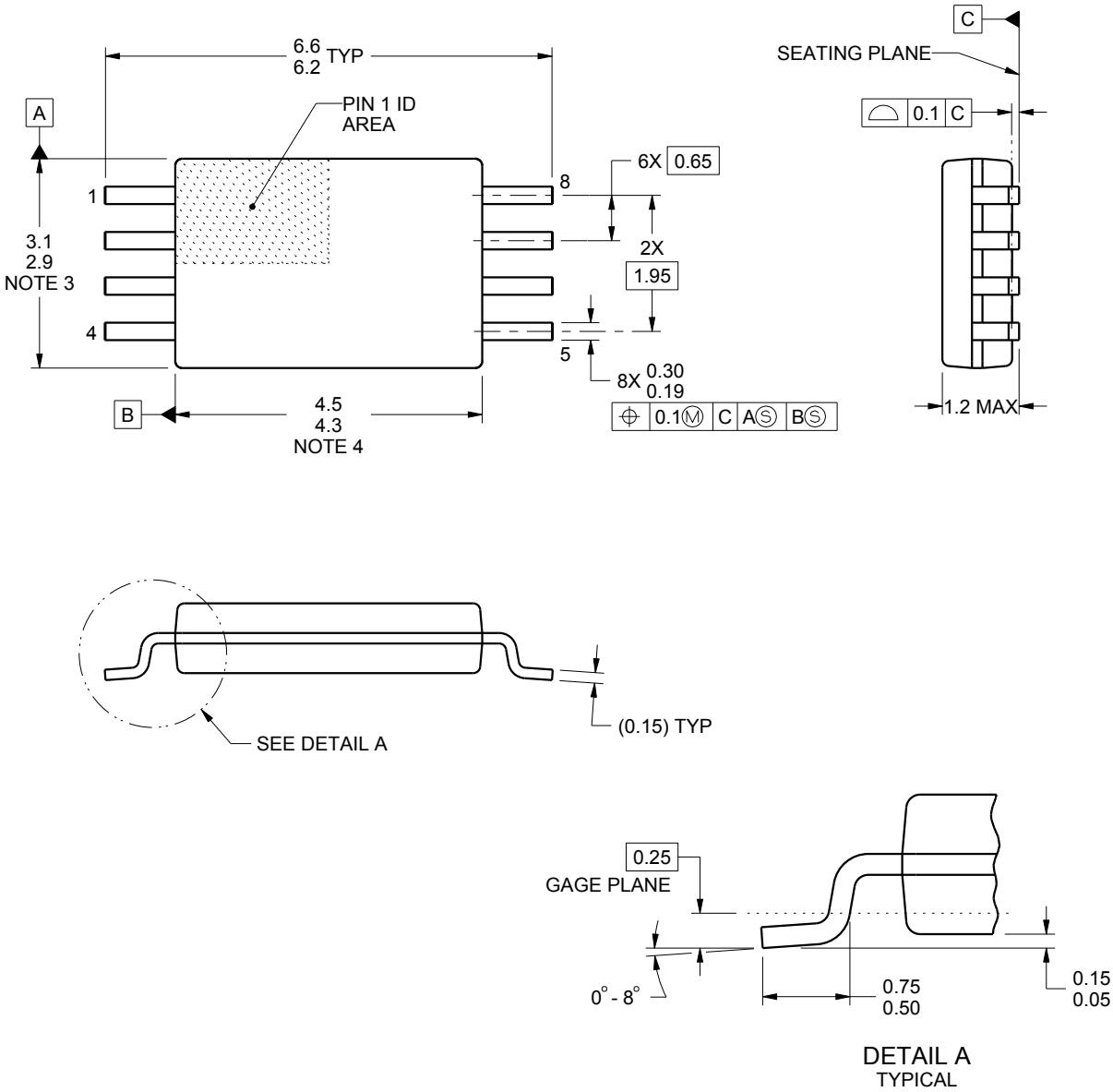


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

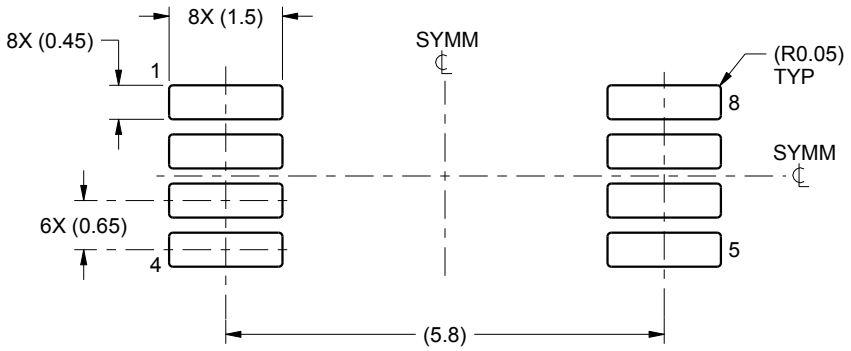
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

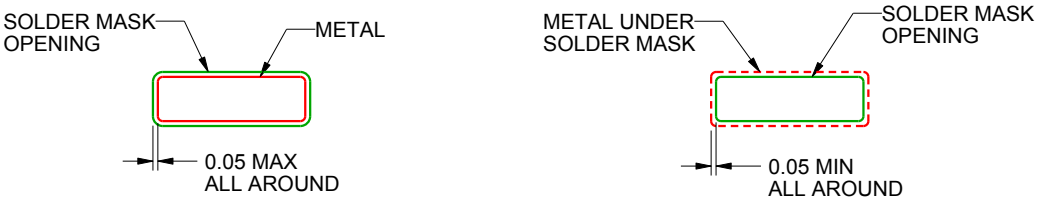


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X



NON SOLDER MASK
DEFINED

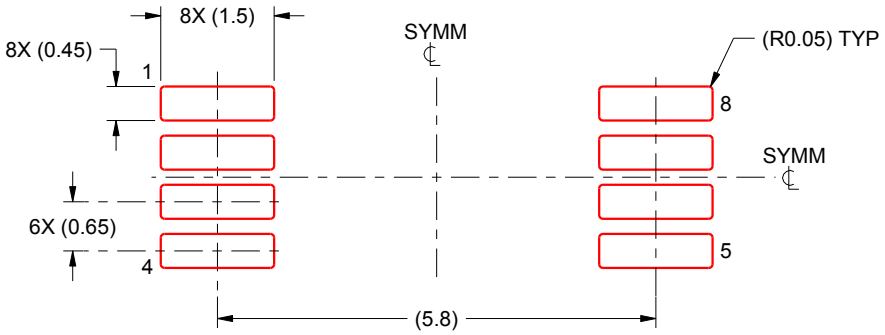
SOLDER MASK
DEFINED

SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated