TLV9024-EP および TLV9034-EP エンハンスド製品高精度クワッド コンパレータ

1 特長

- VID: V62/24640-01XE (TLV9024-EP)
- VID:V62/24640-02XE (TLV9034-EP)
- エンハンスド製品
  - 温度範囲:–55℃～125℃
  - プラスチック パッケージ
  - 管理されたベースライン
  - 単一のアセンブリ / テスト施設
  - 単一の製造施設
  - 長期にわたる製品ライフ サイクル
  - 製品のトレーサビリティ
- 電源電圧範囲:1.65V～5.5V
- 高精度入力オフセット電圧:300μV
- フォルトトレランス付きレール ツー レール入力
- 伝搬遅延時間:100ns (代表値)
- 低い静止電流:チャネルあたり 25μA
- ESD 保護:2kV
- オープン ドレイン出力オプション (TLV9024-EP)
- プッシュプル出力オプション (TLV9034-EP)

2 アプリケーション

- 低軌道衛星用途のサポート
- 衛星用電源システム
- 飛行制御ユニット
- 通信ペイロード

3 説明

TLV9024-EP および TLV9034-EP は、低入力オフセット電圧、フォールトトレラント入力、優れた速度対電力比、100ns の伝播遅延を備えたクワッド チャネル コンパレータ ファミリです。動作電圧範囲は 1.65V～5.5V で、静止時消費電流は 1 チャネルあたり 25μA です。

また、これらのコンパレータにはフォルトトレラント入力があり、最大 6V までの入力による損傷を受けず、出力位相反転がないことが特徴です。

TLV9024-EP コンパレータにはオープン ドレイン出力段があり、電源電圧の下や上にプルできるため、レベル変換に適しています。

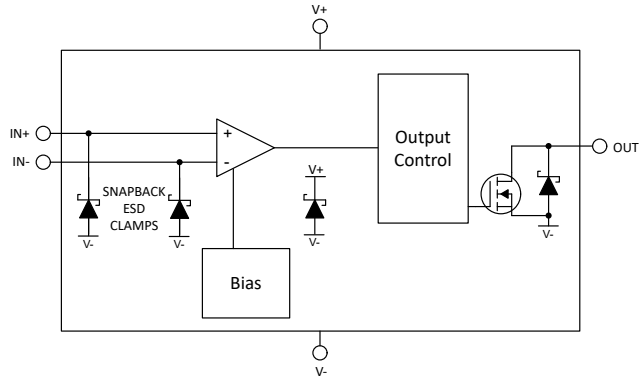
TLV9034-EP にはプッシュプル出力段があり、シンク電流とソース電流の両方を供給できます。

TLV9024-EP および TLV9034-EP は、-55℃ ～ +125℃ の拡張温度範囲で動作が規定されています。

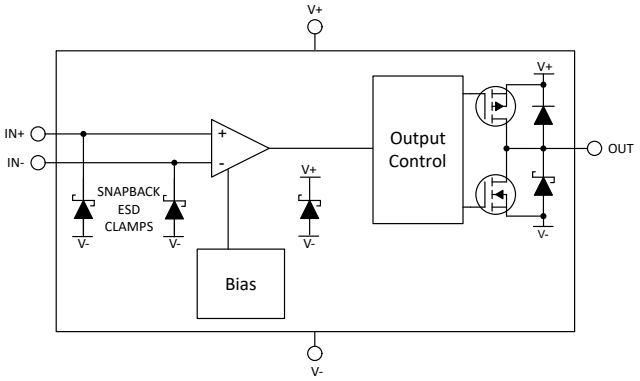
製品情報

部品番号	パッケージ (1)	本体サイズ (公称)
TLV9024-EP、TLV9034-EP	SOT-23 (14)	4.2 mm × 2.0mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



オープン ドレイン出力のブロック図



プッシュプル出力のブロック図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.... 1
2 アプリケーション.... 1
3 説明.... 1
4 ピン構成および機能.... 3
4.1 ピンの機能：TLV9024-EP および TLV9034-EP クワッド.... 3
5 仕様.... 4
5.1 絶対最大定格.... 4
5.2 ESD 定格.... 4
5.3 推奨動作条件.... 4
5.4 熱に関する情報、TLV90X4-EP.... 4
5.5 電気的特性.... 5
5.6 スイッチング特性.... 6
5.7 代表的特性.... 7
6 代表的特性.... 13
7 詳細説明.... 19
7.1 概要.... 19
7.2 機能ブロック図.... 19
7.3 機能説明.... 19
7.4 デバイスの機能モード.... 19
8 アプリケーションと実装.... 22
8.1 アプリケーション情報.... 22
8.2 代表的なアプリケーション.... 25
8.3 電源に関する推奨事項.... 32
9 レイアウト.... 33
9.1 レイアウトのガイドライン.... 33
9.2 レイアウト例.... 33
10 デバイスおよびドキュメントのサポート.... 34
10.1 ドキュメントのサポート.... 34
10.2 ドキュメントの更新通知を受け取る方法.... 34
10.3 サポート・リソース.... 34
10.4 商標.... 34
10.5 静電気放電に関する注意事項.... 34
10.6 用語集.... 34
11 改訂履歴.... 34
12 メカニカル、パッケージ、および注文情報.... 35

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

4.1 ピンの機能：TLV9024-EP および TLV9034-EP クワッド

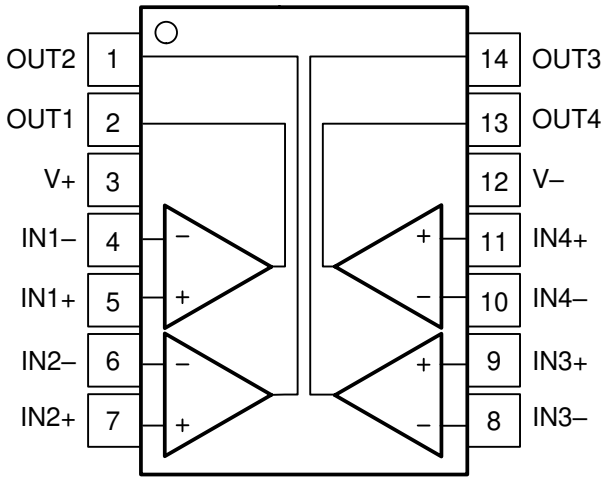


図 4-1. DYY
14 ピン SOT-23
上面図

表 4-1. ピンの機能：TLV9024-EP および TLV9034-EP クワッド

ピン		I/O	説明
名称	番号		
OUT2	1	O	コンパレータ 2 の出力ピン
OUT1	2	O	コンパレータ 1 の出力ピン
V+	3	—	正電源
IN1–	4	I	コンパレータ 1 の負入力ピン
IN1+	5	I	コンパレータ 1 の正入力ピン
IN2–	6	I	コンパレータ 2 の負入力ピン
IN2+	7	I	コンパレータ 2 の正入力ピン
IN3–	8	I	コンパレータ 3 の負入力ピン
IN3+	9	I	コンパレータ 3 の正入力ピン
IN4–	10	I	コンパレータ 4 の負入力ピン
IN4+	11	I	コンパレータ 4 の正入力ピン
V-	12	—	負電源
OUT4	13	O	コンパレータ 4 の出力ピン
OUT3	14	O	コンパレータ 3 の出力ピン

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) [(1)]

	最小値	最大値	単位
電源電圧:V_S = (V+) - (V-)	-0.3	6	V
(V–) から入力ピン (IN+、IN-)[(2)]	-0.3	6	V
入力ピンへの電流 (IN+、IN-)	-10	10	mA
(V–) から出力 (OUT)、オープンドレインのみ[(3)]	-0.3	6	V
(V–) から出力 (OUT)、プッシュプルのみ	-0.3	(V+) + 0.3	V
出力短絡時間[(4)]		10	s
接合部温度、T_J		150	℃
保管温度、T_{stg}	-65	150	℃

(1) 「絶対最大定格」の範囲を超える動作は、デバイスに永続的な損傷を与える可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 入力端子は (V-) に対してダイオード クランプされています。電源レールを超えて 0.3V 以上スイングする入力信号は、電流を 10mA 以下に抑える必要があります。また、入力 (IN+、IN–) は、–0.3V ～ 6V の範囲内である限り、V+ および OUT を超えることができます。
(3) オープンドレインの出力 (OUT) は、入力が –0.3V ～ 6V の範囲内である限り、V+ および入力 (IN+、IN–) を超えることができます
(4) (V–) または (V+) への短絡。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[(1)]	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠[(2)]	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

	最小値	最大値	単位
電源電圧: V_S = (V+) - (V-)	1.65	5.5	V
入力電圧範囲:(V-) から (IN+、IN-)	-0.2	5.7	V
周囲温度、T_A	-55	125	℃

5.4 熱に関する情報、TLV90X4-EP

熱評価基準[(1)]		TLV9024-EP, TLV9034-EP, DYY (SOT23) 14 ピン	単位
R_{qJA}	接合部から周囲への熱抵抗	218.1	℃/W
$R_{qJC(top)}$	接合部からケース (上面) への熱抵抗	127.0	℃/W
R_{qJB}	接合部から基板への熱抵抗	129.6	℃/W
y_{JT}	接合部から上面への特性パラメータ	24.7	℃/W
y_{JB}	接合部から基板への特性パラメータ	126.8	℃/W
$R_{qJC(bot)}$	接合部からケース (底面) への熱抵抗	–	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性

V_S (合計電源電圧) = (V+) - (GND) = 5V、V_{CM} = (GND) (T_A = 25℃時) (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
オフセット電圧						
V_{OS}	入力オフセット電圧	V_S = 1.8V および 5V	-1.5	±0.3	1.5	mV
V_{OS}	入力オフセット電圧	V_S = 1.8V および 5V、T_A = -55℃～+125℃	-2		2	mV
dV_{IO}/dT	入力オフセット電圧ドリフト	V_S = 1.8V および 5V、T_A = -55℃～+125℃		±0.5		μV/℃
電源						
I_Q	静止電流 (コンパレータ 1 個あたり)	V_S = 1.8V および 5V、無負荷、出力 Low		25	35	μA
I_Q	静止電流 (コンパレータ 1 個あたり)	V_S = 1.8V および 5V、無負荷、出力 Low、T_A = -55℃ ～ +125℃			40	μA
PSRR	電源除去比	V_S = 1.8V～5V、T_A = -55℃～+125℃		95		dB
入力バイアス電流						
I_B	入力バイアス電流	V_{CM} = V_S/2		5		pA
I_{OS}	入力オフセット電流	V_{CM} = V_S/2		1		pA
入力容量						
C_{ID}	入力容量、差動	V_{CM} = V_S/2		2		pF
C_{IC}	入力容量、同相	V_{CM} = V_S/2		3		pF
入力電圧範囲						
$V_{CM\text{-}Range}$	同相電圧範囲	V_S = 1.8V および 5V、T_A = -55℃～+125℃	(V-) - 0.2		(V+) + 0.2	V
CMRR	同相除去比	V_S = 5V、(V–) < V_{CM} < (V+ - 1.5)、T_A = –55°C ～ +125°C		70		dB
開ループ ゲイン						
A_{VD}	大信号差動電圧増幅	オープンドレイン版のみ		200		V/mV
出力						
V_{OL}	(V-) からの電圧スイング	I_{SINK} = 4mA、T_A = 25℃		75	125	mV
V_{OL}	(V-) からの電圧スイング	I_{SINK} = 4mA、T_A = -55℃～+125℃			175	mV
V_{OH}	(V+) からの電圧スイング	I_{SOURCE} = 4mA、T_A = 25℃ (プッシュプルのみ)		75	125	mV
V_{OH}	(V+) からの電圧スイング	I_{SOURCE} = 4mA、T_A = –55°C ～ +125°C (プッシュプルのみ)			175	mV
I_{LKG}	オープンドレイン出力リーク電流	V_{PULLUP} = (V+)、T_A = 25℃ (オープンドレインのみ)		100		pA
I_{SC}	短絡電流	V_S = 5V、シンク	90	100		mA
I_{SC}	短絡電流	V_S = 5V、ソース (プッシュプルのみ)	90	100		mA

5.6 スイッチング特性

V_S (合計電源電圧) = (V+) - (GND) = 5V、V_{CM} = V_S/2、C_L= 15pF (T_A = 25℃時) (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
出力						
T_{PD-HL}	伝搬遅延時間、High から Low	V_{ID} = -100mV、入力の中間点から出力の中間点までの遅延 (R_P = 2.5KΩ、オープンドレインのみ)		100		ns
T_{PD-LH}	伝搬遅延時間、Low から High	V_{ID} = 100mV、入力の中間点から出力の中間点までの遅延 (プッシュプルのみ)		115		ns
T_{PD-LH}	伝搬遅延時間、Low から High	V_{ID} = 100mV、入力の中間点から出力の中間点までの遅延 (R_P = 2.5KΩ、オープンドレインのみ)		150		ns
T_{FALL}	5V の出力立ち下がり時間、80% から 20%	V_{ID} = -100mV		3		ns
T_{RISE}	5V の出力立ち上がり時間、20% から 80%	V_{ID} = 100mV 、プッシュプルのみ		3		ns
F_{TOGGLE}	5V、トグル周波数	V_{ID} = 100mV (R_P = 2.5KΩ、オープンドレインのみ)		3		MHz
パワーオン時間						
P_{ON}	パワーオン時間	V_S = 1.8V および 5V、V_{CM} = (V-)、V_{ID} = -0.1V、$V_{PULL-UP}$ = V_S/2、V_S/2 から V_{OUT} = 0.1 × V_S/2 までの遅延 (R_P = 2.5KΩ、オープンドレインのみ)		30		µs

Copyright © 2025 Texas Instruments Incorporated

5.7 代表的特性

T_A = 25℃、V_S = 5V、R_{PULLUP} = 2.5k、C_L = 15pF、V_{CM} = 0V、$V_{UNDERDRIVE}$ = 100mV、$V_{OVERDRIVE}$ = 100mV (特に記述のない限り)。

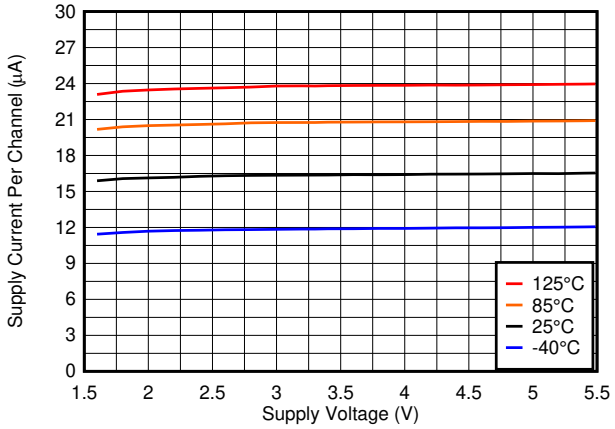


図 5-1. 消費電流と電源電圧の関係

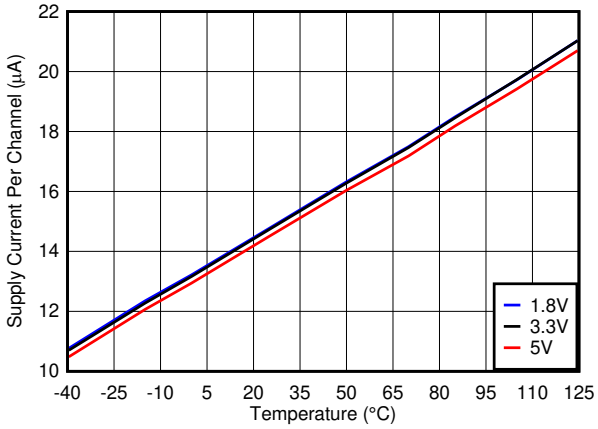


図 5-2. 電源電流と温度の関係

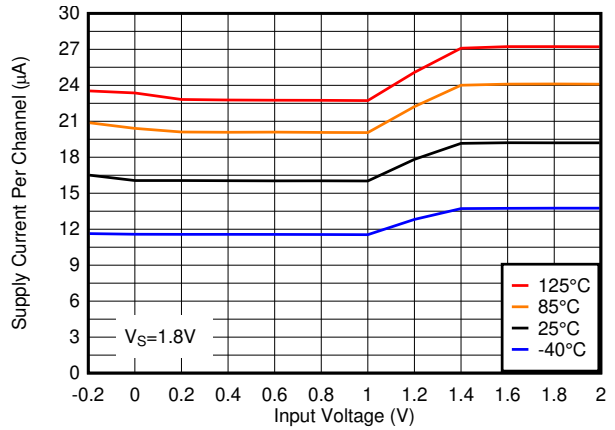


図 5-3. 電源電流と入力電圧、1.8V

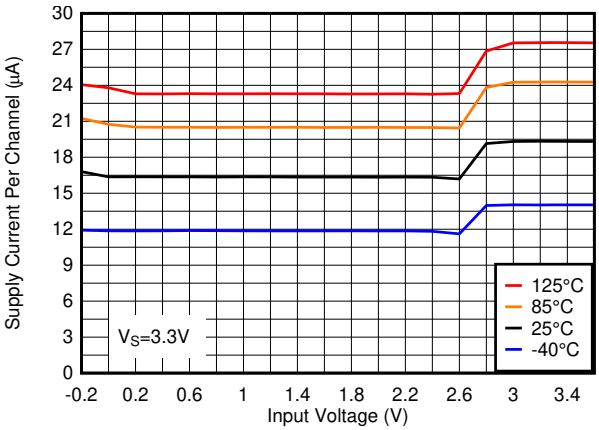


図 5-4. 電源電流と入力電圧、3.3V

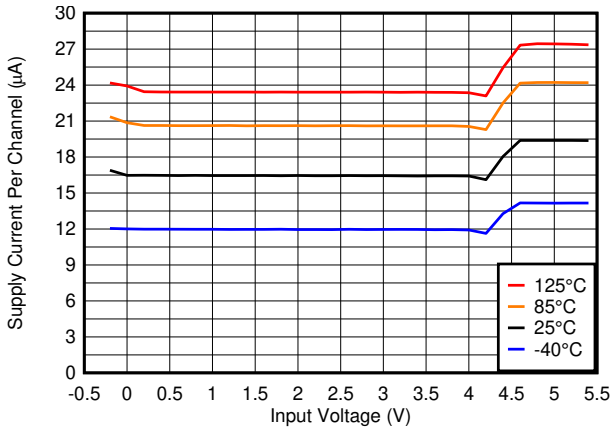


図 5-5. 電源電流と入力電圧、5V

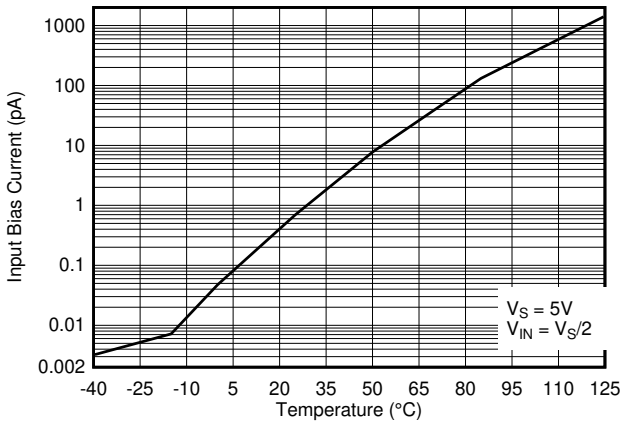


図 5-6. 入力バイアス電流と温度の関係

5.7 代表的特性 (続き)

T_A = 25℃、V_S = 5V、R_{PULLUP} = 2.5k、C_L = 15pF、V_{CM} = 0V、$V_{UNDERDRIVE}$ = 100mV、$V_{OVERDRIVE}$ = 100mV (特に記述のない限り)。

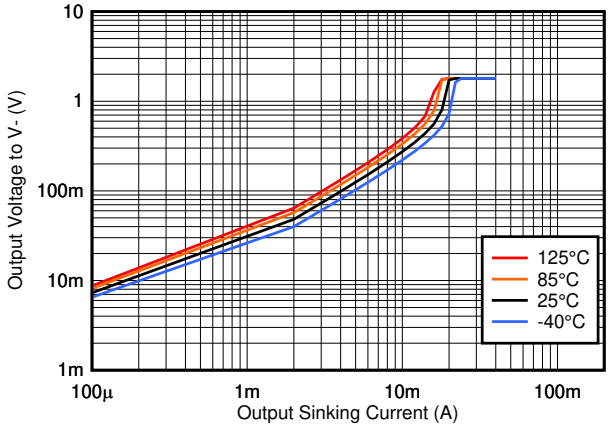


図 5-7. 出力シンク電流と出力電圧の関係、1.8V

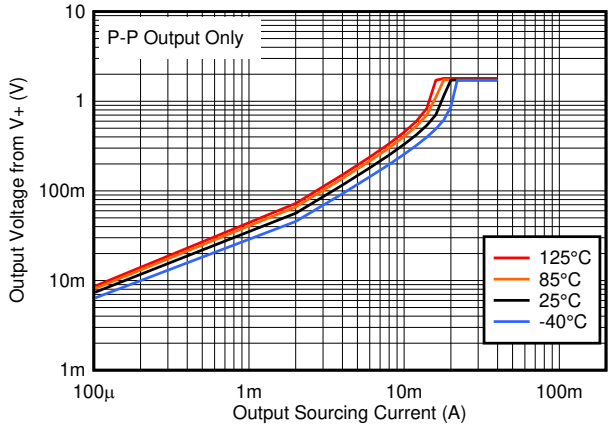


図 5-8. 出力ソース電流と出力電圧の関係、1.8V

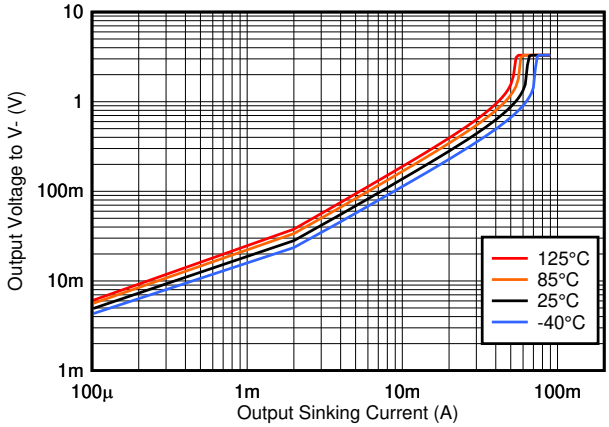


図 5-9. 出力シンク電流と出力電圧の関係、3.3V

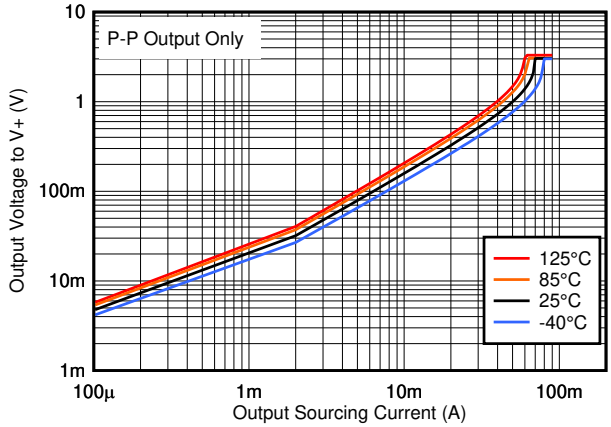


図 5-10. 出力ソース電流と出力電圧の関係、3.3V

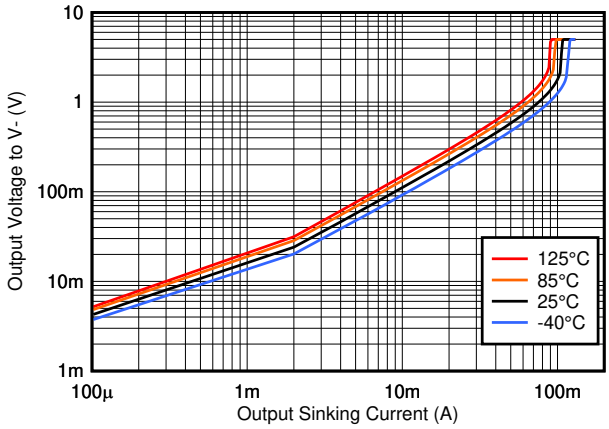


図 5-11. 出力シンク電流と出力電圧の関係、5V

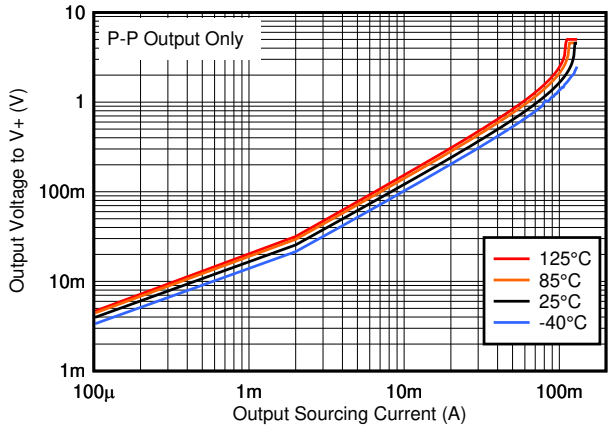


図 5-12. 出力ソース電流と出力電圧の関係、5V

Copyright © 2025 Texas Instruments Incorporated

5.7 代表的特性 (続き)

T_A = 25℃、V_S = 5V、R_{PULLUP} = 2.5k、C_L = 15pF、V_{CM} = 0V、$V_{UNDERDRIVE}$ = 100mV、$V_{OVERDRIVE}$ = 100mV (特に記述のない限り)。

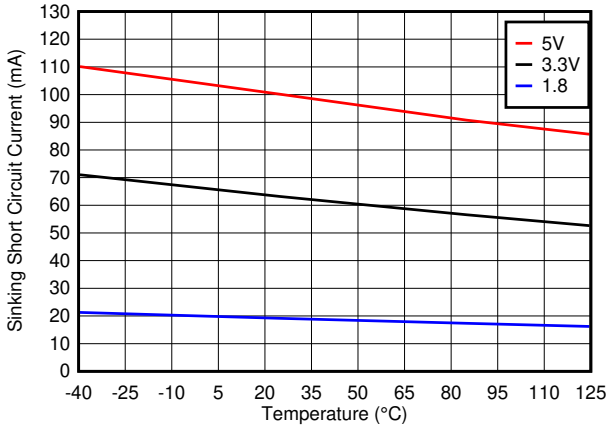


図 5-13. シンク短絡電流と温度の関係

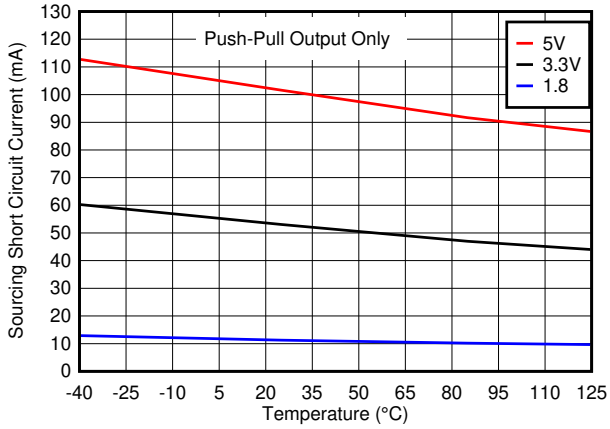


図 5-14. ソース短絡電流と温度の関係

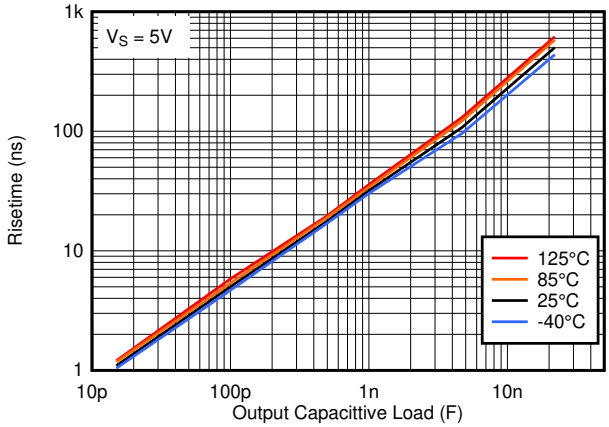


図 5-15. 立ち上がり時間と容量性負荷の関係

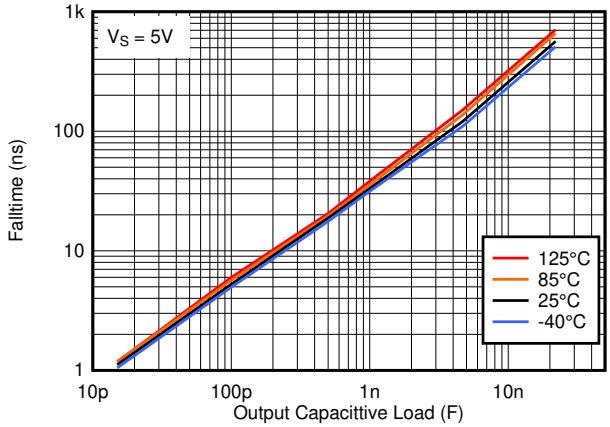


図 5-16. 立ち下がり時間と容量性負荷の関係

5.7 代表的特性 (続き)

T_A = 25℃、V_S = 5V、R_{PULLUP} = 2.5k、C_L = 15pF、V_{CM} = 0V、$V_{UNDERDRIVE}$ = 100mV、$V_{OVERDRIVE}$ = 100mV (特に記述のない限り)。

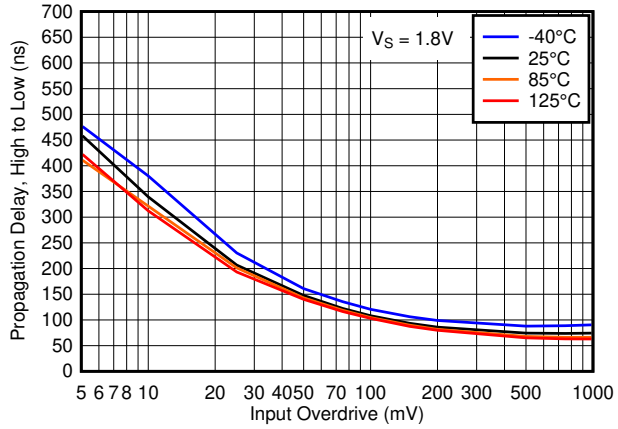


図 5-17. 伝搬遅延、"High" から "Low"、1.8V

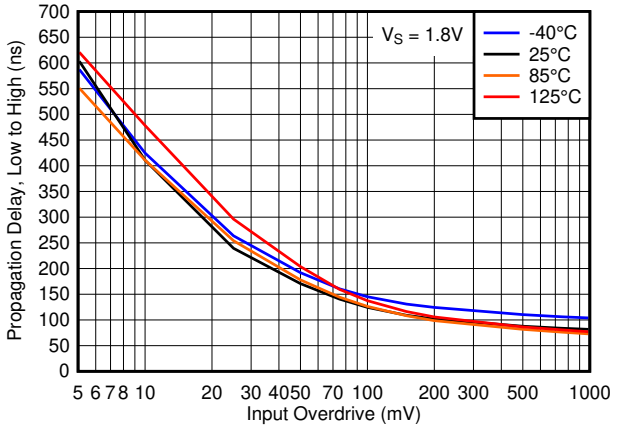


図 5-18. 伝搬遅延、"Low" から "High"、1.8V

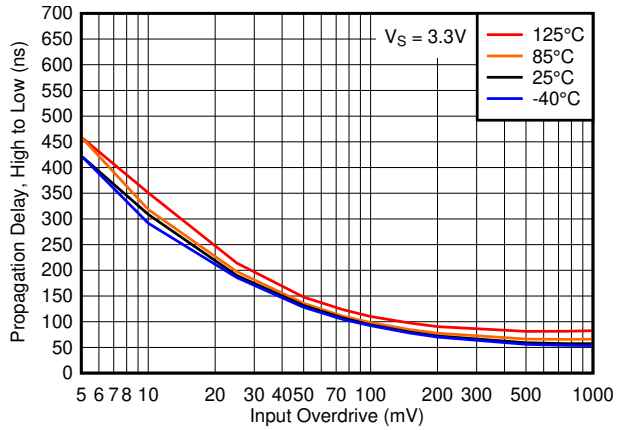


図 5-19. 伝搬遅延、"High" から "Low"、3.3V

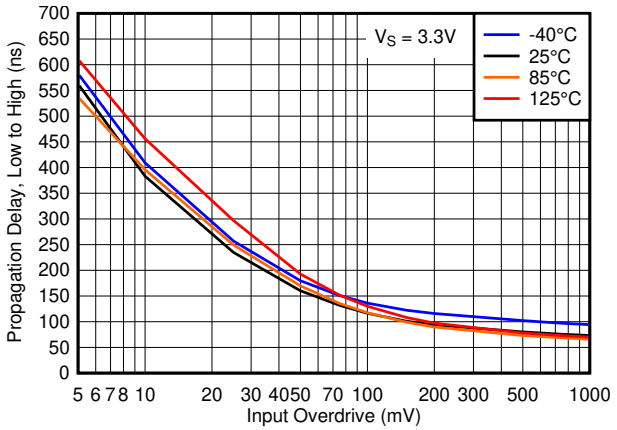


図 5-20. 伝搬遅延、"Low" から "High"、3.3V

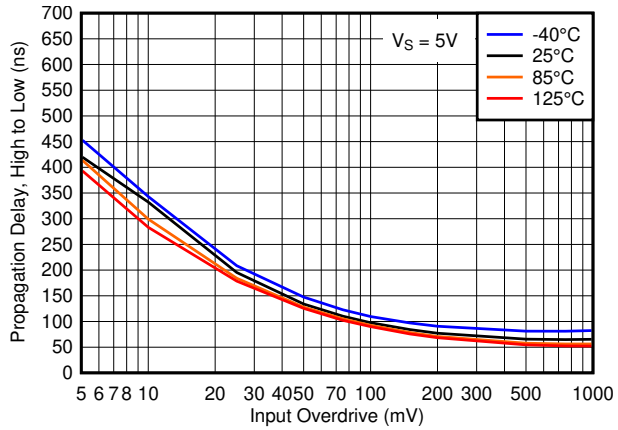


図 5-21. 伝搬遅延、"High" から "Low"、5V

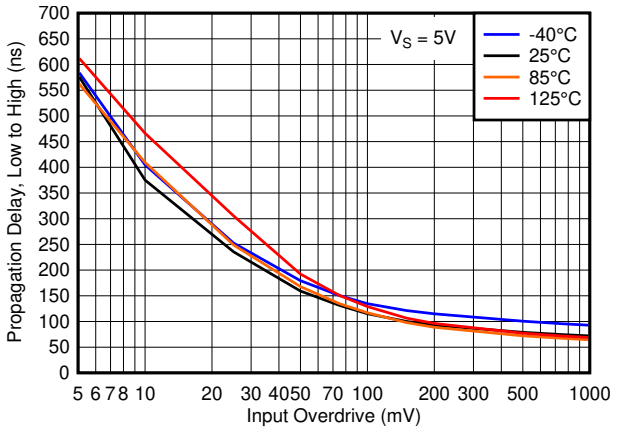


図 5-22. 伝搬遅延、"Low" から "High"、5V

Copyright © 2025 Texas Instruments Incorporated

5.7 代表的特性 (続き)

T_A = 25℃、V_S = 5V、R_{PULLUP} = 2.5k、C_L = 15pF、V_{CM} = 0V、$V_{UNDERDRIVE}$ = 100mV、$V_{OVERDRIVE}$ = 100mV (特に記述のない限り)。

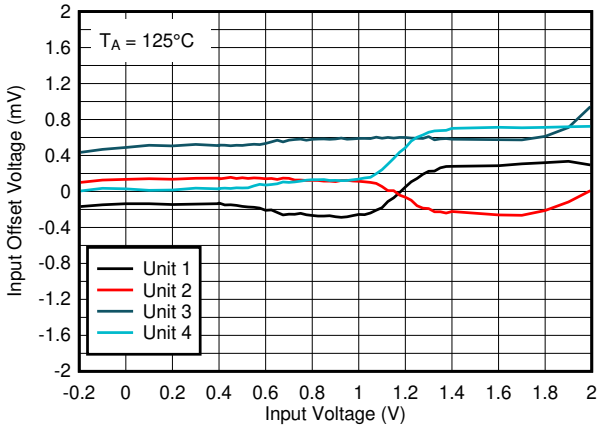


図 5-23. オフセット電圧と入力電圧の関係 (125℃、1.8V)

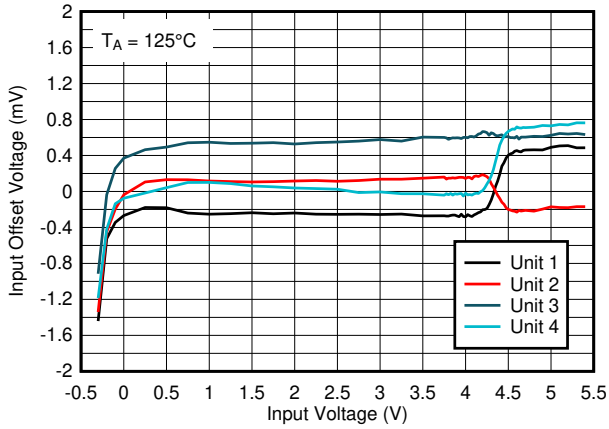


図 5-24. オフセット電圧と入力電圧の関係 (125℃、5V)

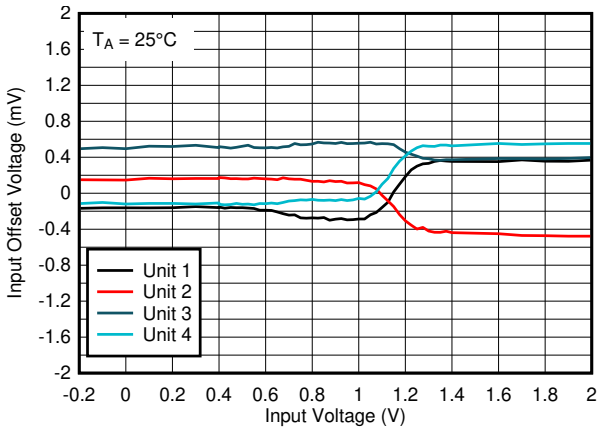


図 5-25. オフセット電圧と入力電圧の関係 (25℃、1.8V)

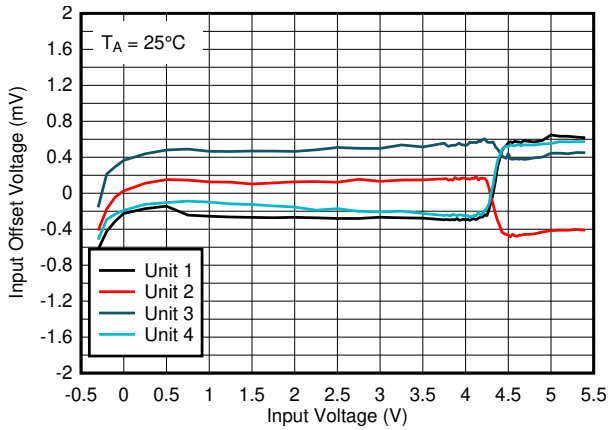


図 5-26. オフセット電圧と入力電圧の関係 (25℃、5V)

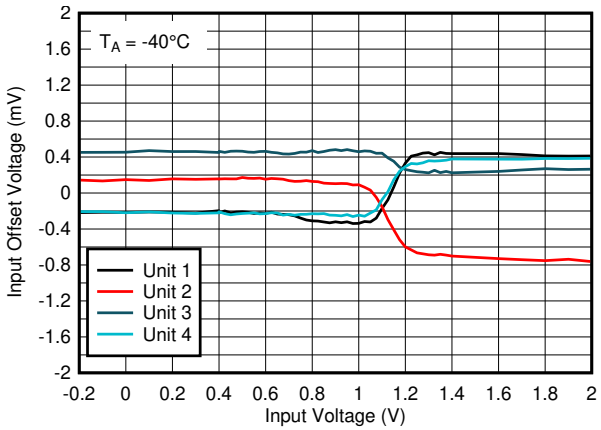


図 5-27. オフセット電圧と入力電圧の関係 (-40℃、1.8V)

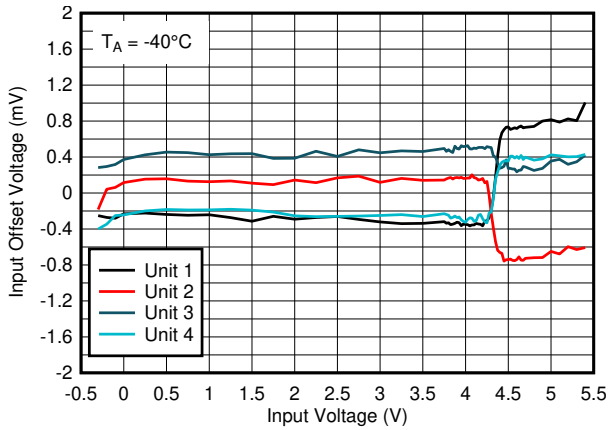


図 5-28. オフセット電圧と入力電圧の関係 (-40℃、5V)

5.7 代表的特性 (続き)

T_A = 25℃、V_S = 5V、R_{PULLUP} = 2.5k、C_L = 15pF、V_{CM} = 0V、$V_{UNDERDRIVE}$ = 100mV、$V_{OVERDRIVE}$ = 100mV (特に記述のない限り)。

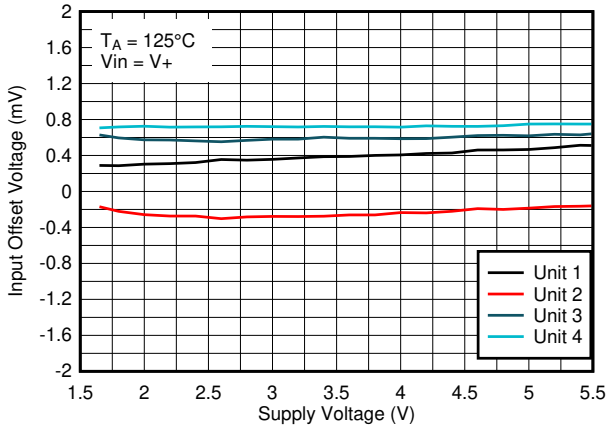


図 5-29. オフセット電圧と電源電圧の関係 (125℃、V_{IN}=V+)

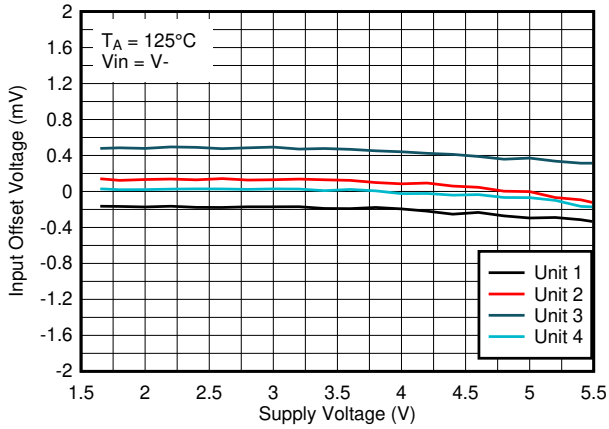


図 5-30. オフセット電圧と電源電圧の関係 (125℃、V_{IN}=V-)

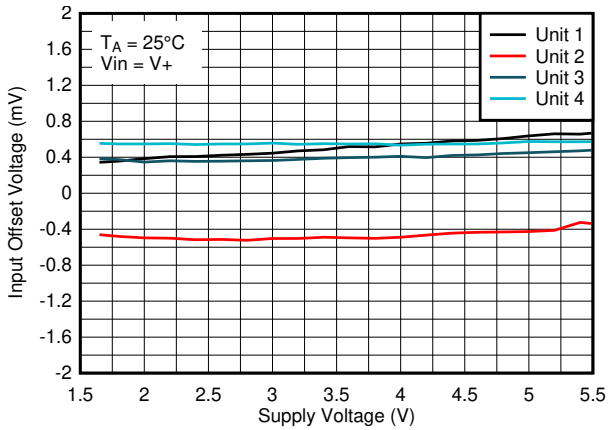


図 5-31. オフセット電圧と電源電圧の関係 (25℃、V_{IN}=V+)

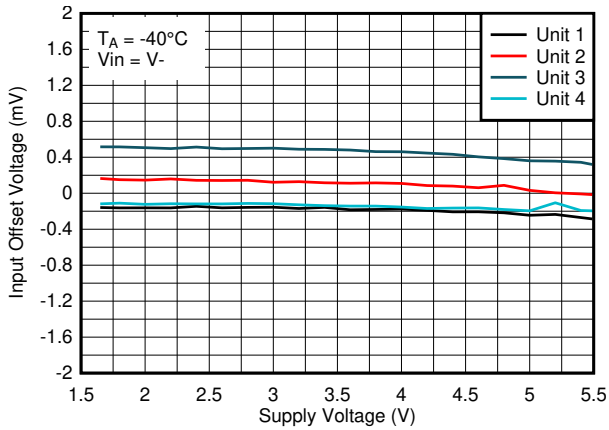


図 5-32. オフセット電圧と電源電圧の関係 (25℃、V_{IN}=V-)

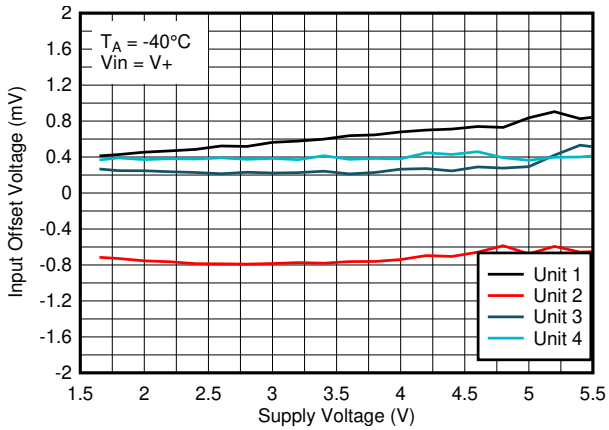


図 5-33. オフセット電圧と電源電圧の関係 (-40℃、V_{IN}=V+)

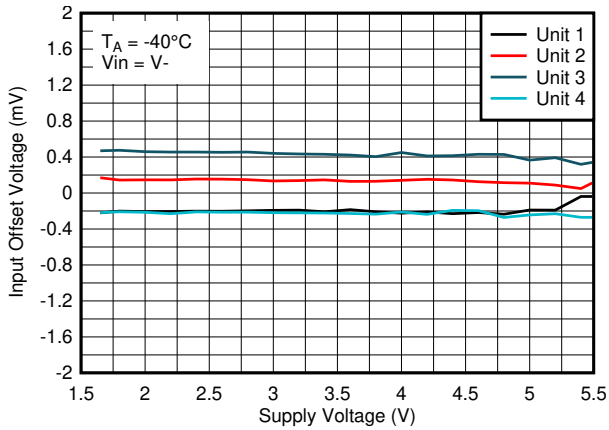


図 5-34. オフセット電圧と電源電圧の関係 (-40℃、V_{IN}=V-)

Copyright © 2025 Texas Instruments Incorporated

6 代表的特性

T_A = 25℃、V_S = 5V、R_{PULLUP} = 2.5k、C_L = 15pF、V_{CM} = 0V、$V_{UNDERDRIVE}$ = 100mV、$V_{OVERDRIVE}$ = 100mV (特に記述のない限り)。

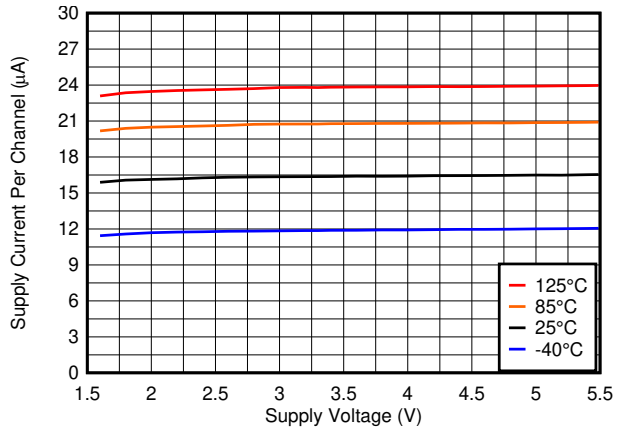


図 6-1. 消費電流と電源電圧の関係

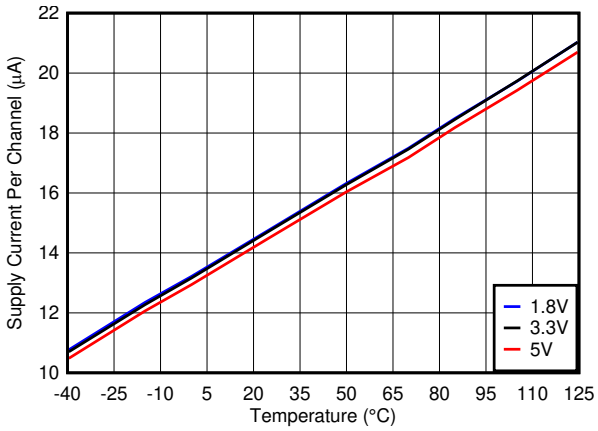


図 6-2. 電源電流と温度の関係

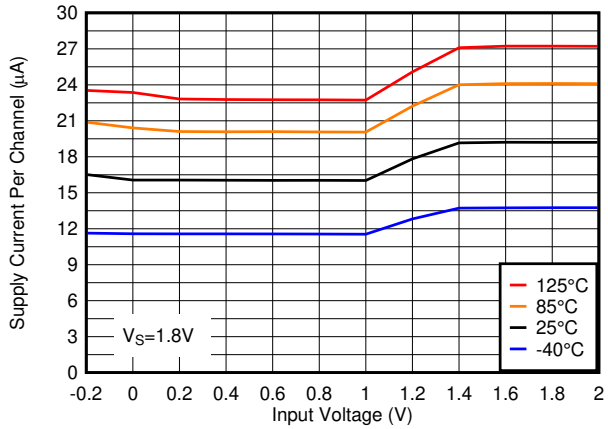


図 6-3. 電源電流と入力電圧、1.8V

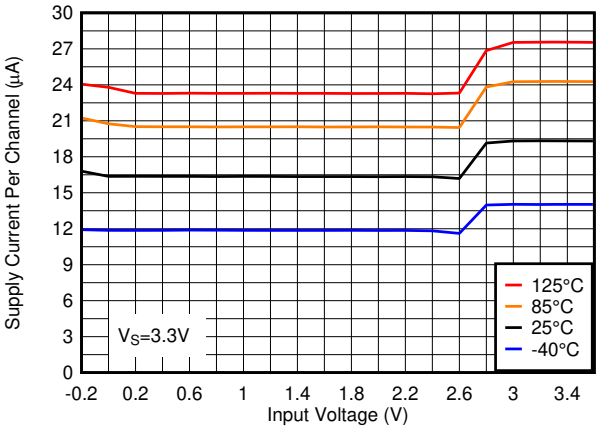


図 6-4. 電源電流と入力電圧、3.3V

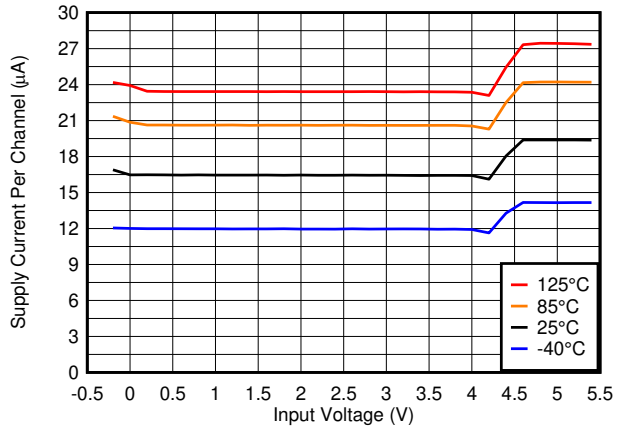


図 6-5. 電源電流と入力電圧、5V

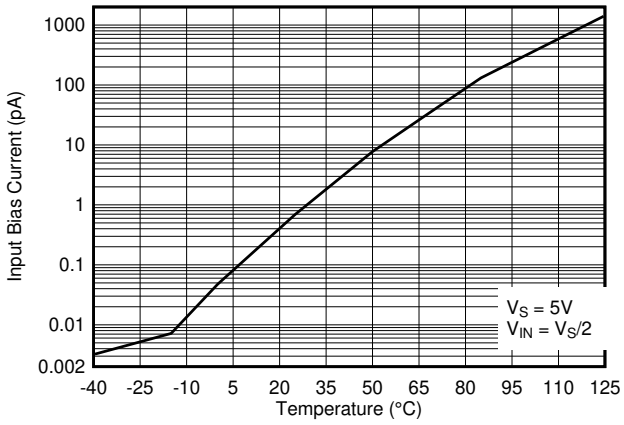


図 6-6. 入力バイアス電流と温度の関係

6 代表的特性 (続き)

T_A = 25℃、V_S = 5V、R_{PULLUP} = 2.5k、C_L = 15pF、V_{CM} = 0V、$V_{UNDERDRIVE}$ = 100mV、$V_{OVERDRIVE}$ = 100mV (特に記述のない限り)。

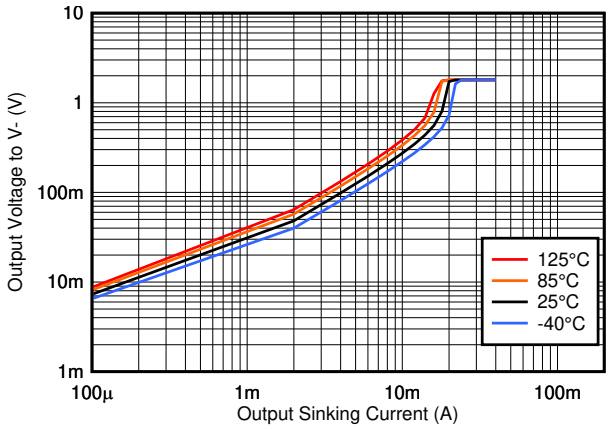


図 6-7. 出力シンク電流と出力電圧の関係、1.8V

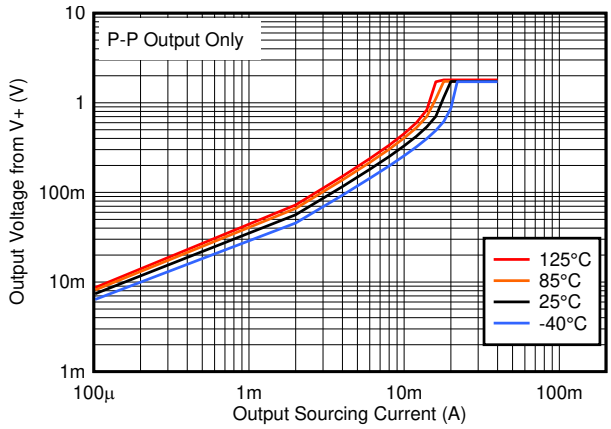


図 6-8. 出力ソース電流と出力電圧の関係、1.8V

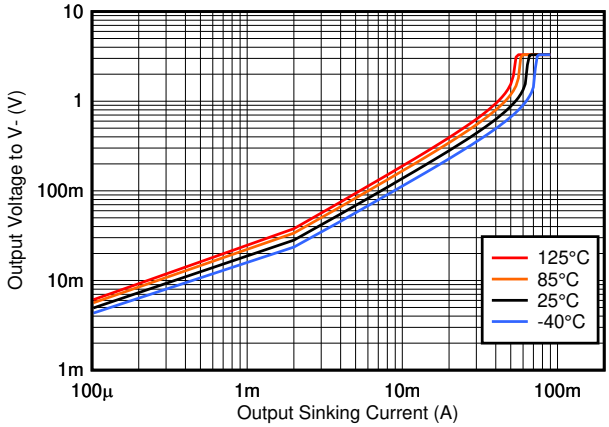


図 6-9. 出力シンク電流と出力電圧の関係、3.3V

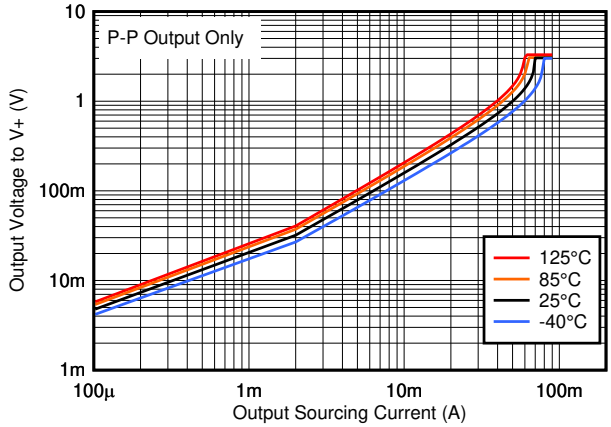


図 6-10. 出力ソース電流と出力電圧の関係、3.3V

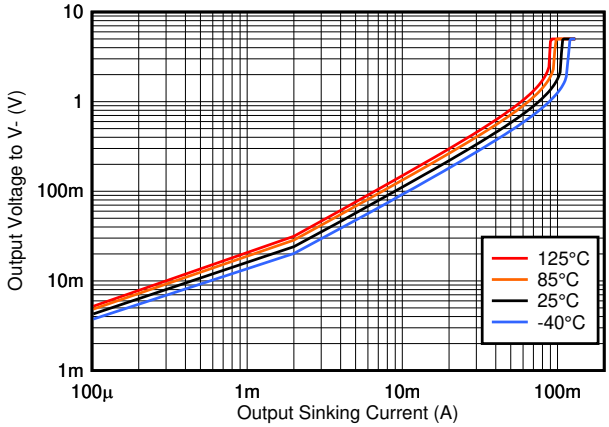


図 6-11. 出力シンク電流と出力電圧の関係、5V

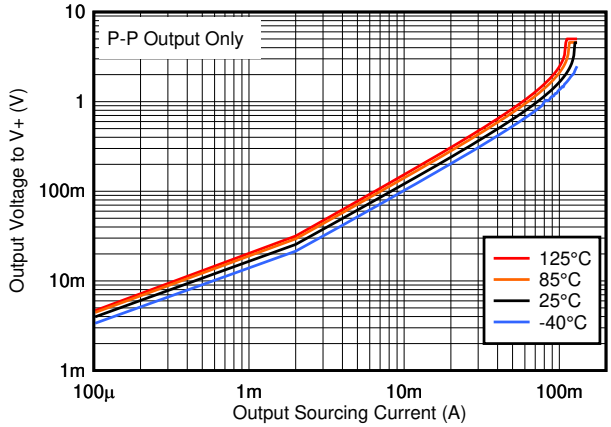


図 6-12. 出力ソース電流と出力電圧の関係、5V

Copyright © 2025 Texas Instruments Incorporated

6 代表的特性 (続き)

T_A = 25℃、V_S = 5V、R_{PULLUP} = 2.5k、C_L = 15pF、V_{CM} = 0V、$V_{UNDERDRIVE}$ = 100mV、$V_{OVERDRIVE}$ = 100mV (特に記述のない限り)。

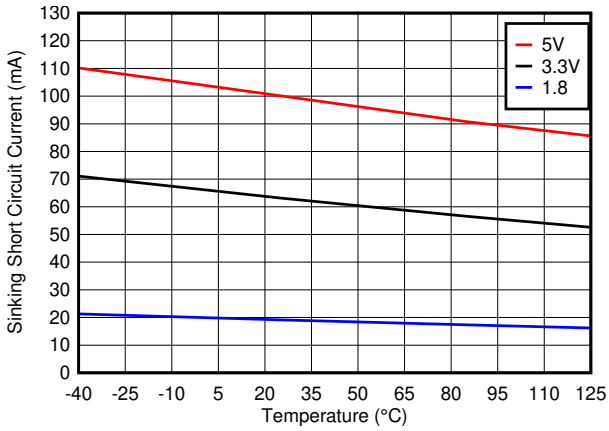


図 6-13. シンク短絡電流と温度の関係

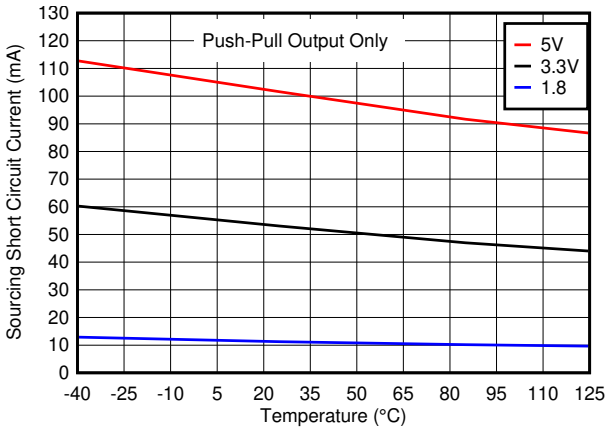


図 6-14. ソース短絡電流と温度の関係

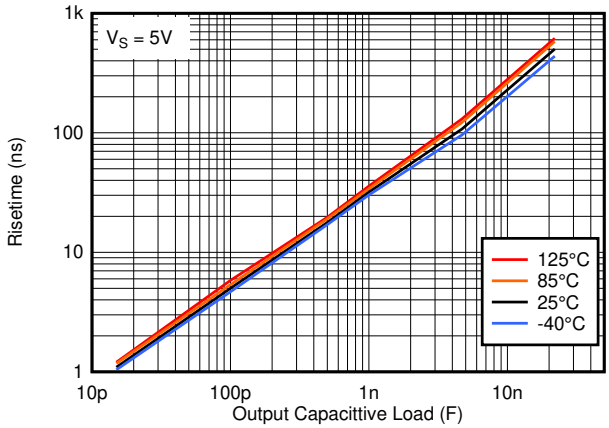


図 6-15. 立ち上がり時間と容量性負荷の関係

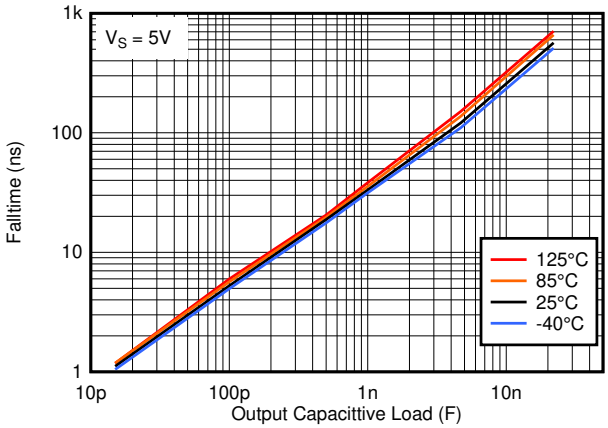


図 6-16. 立ち下がり時間と容量性負荷の関係

6 代表的特性 (続き)

T_A = 25℃、V_S = 5V、R_{PULLUP} = 2.5k、C_L = 15pF、V_{CM} = 0V、$V_{UNDERDRIVE}$ = 100mV、$V_{OVERDRIVE}$ = 100mV (特に記述のない限り)。

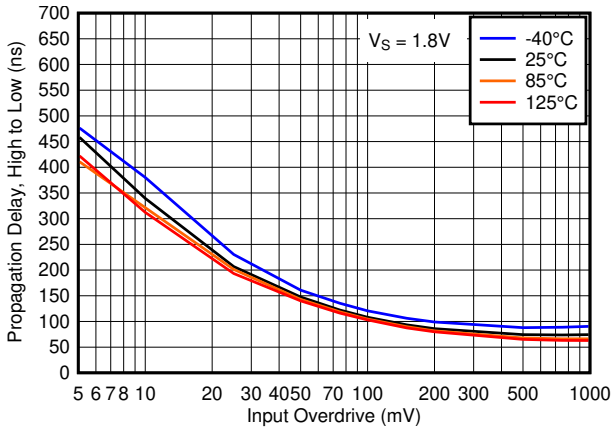


図 6-17. 伝搬遅延、"High" から "Low"、1.8V

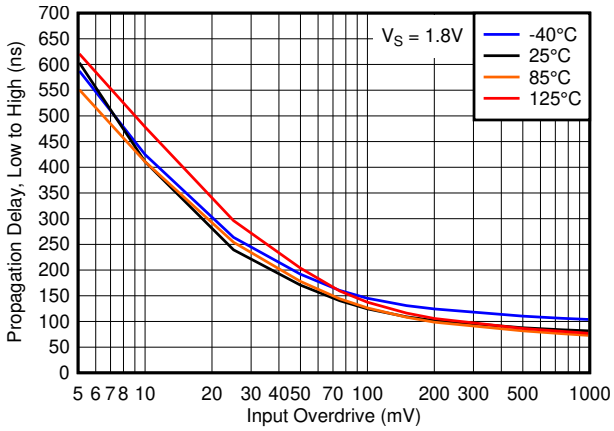


図 6-18. 伝搬遅延、"Low" から "High"、1.8V

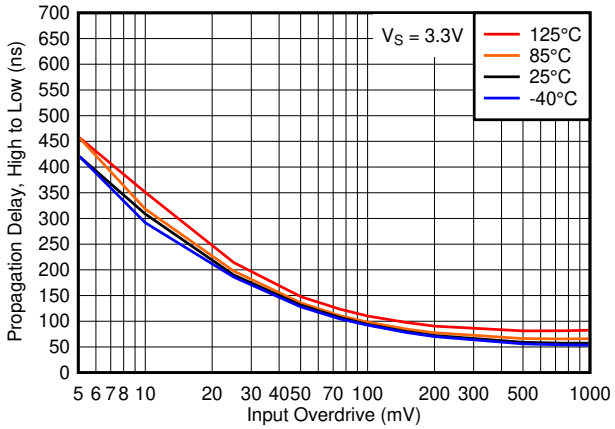


図 6-19. 伝搬遅延、"High" から "Low"、3.3V

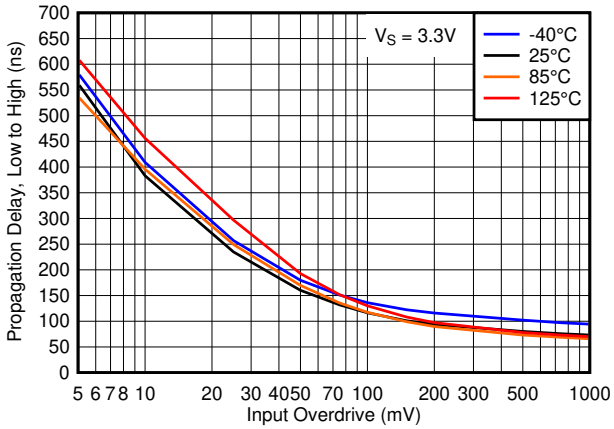


図 6-20. 伝搬遅延、"Low" から "High"、3.3V

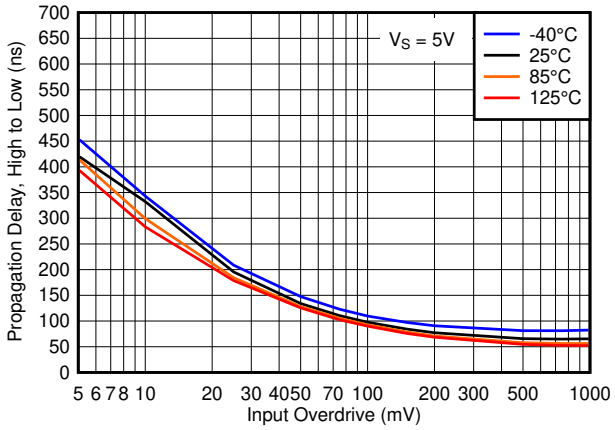


図 6-21. 伝搬遅延、"High" から "Low"、5V

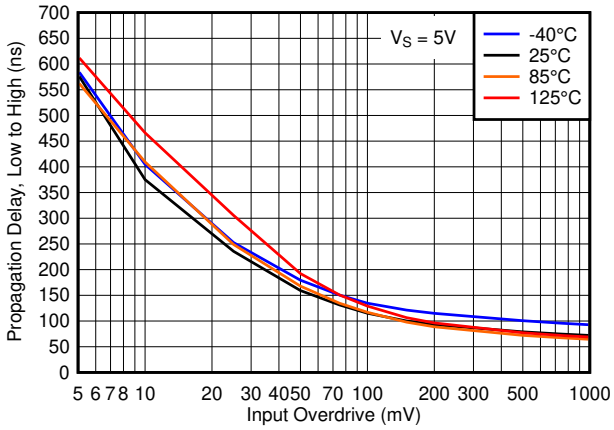


図 6-22. 伝搬遅延、"Low" から "High"、5V

Copyright © 2025 Texas Instruments Incorporated

6 代表的特性 (続き)

T_A = 25℃、V_S = 5V、R_{PULLUP} = 2.5k、C_L = 15pF、V_{CM} = 0V、$V_{UNDERDRIVE}$ = 100mV、$V_{OVERDRIVE}$ = 100mV (特に記述のない限り)。

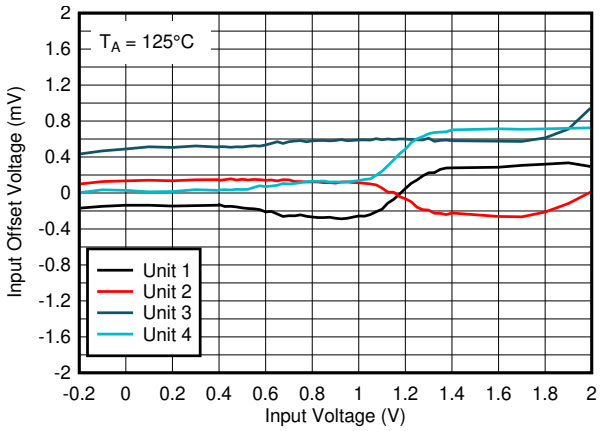


図 6-23. オフセット電圧と入力電圧の関係 (125℃、1.8V)

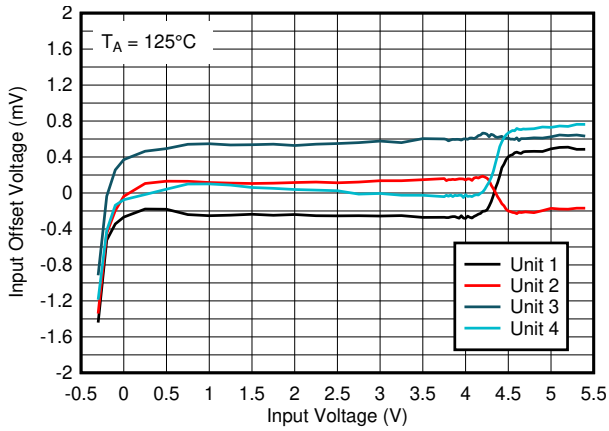


図 6-24. オフセット電圧と入力電圧の関係 (125℃、5V)

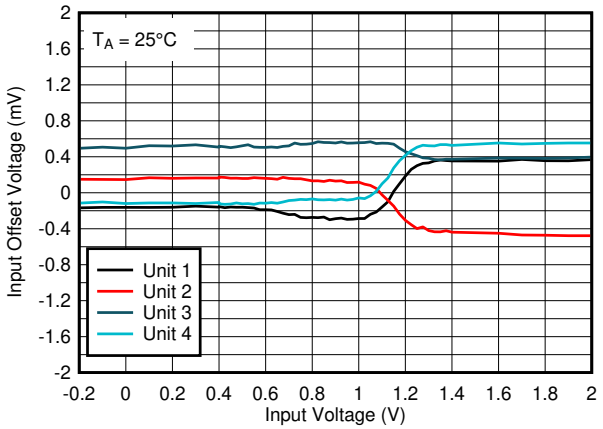


図 6-25. オフセット電圧と入力電圧の関係 (25℃、1.8V)

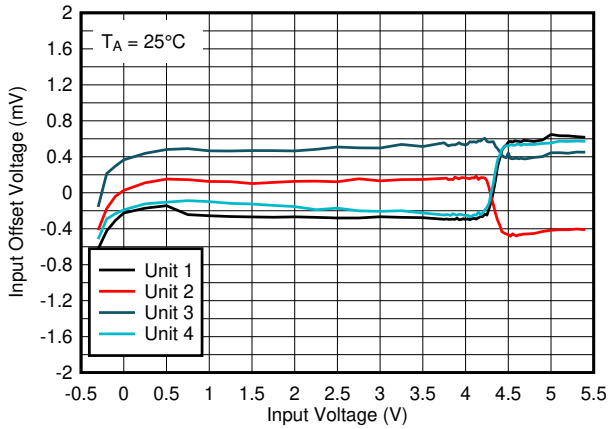


図 6-26. オフセット電圧と入力電圧の関係 (25℃、5V)

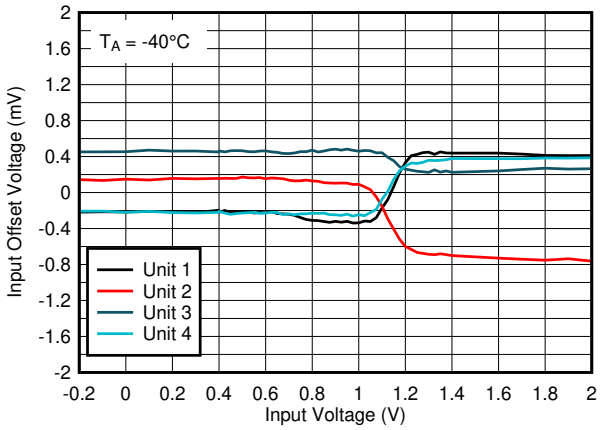


図 6-27. オフセット電圧と入力電圧の関係 (-40℃、1.8V)

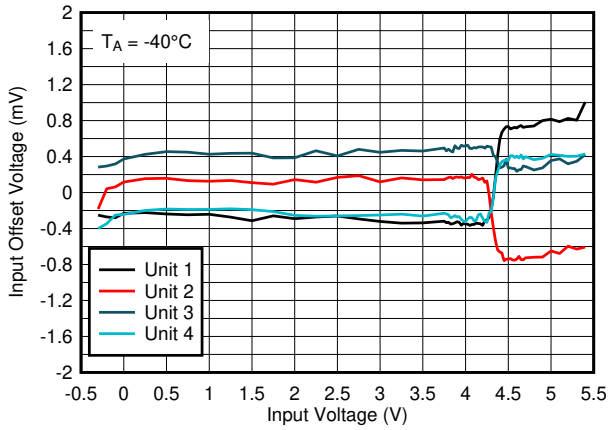


図 6-28. オフセット電圧と入力電圧の関係 (-40℃、5V)

6 代表的特性 (続き)

T_A = 25℃、V_S = 5V、R_{PULLUP} = 2.5k、C_L = 15pF、V_{CM} = 0V、$V_{UNDERDRIVE}$ = 100mV、$V_{OVERDRIVE}$ = 100mV (特に記述のない限り)。

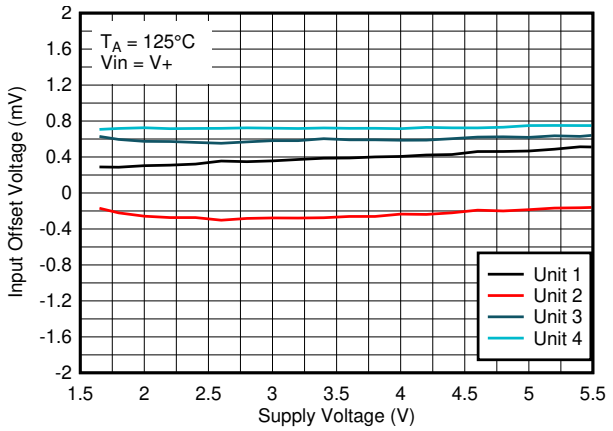


図 6-29. オフセット電圧と電源電圧の関係 (125℃、V_{IN}=V+)

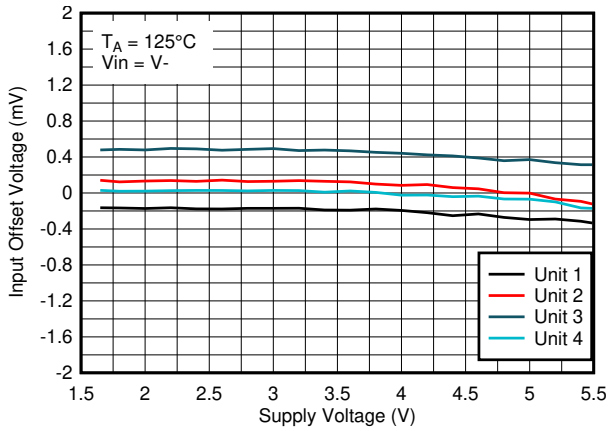


図 6-30. オフセット電圧と電源電圧の関係 (125℃、V_{IN}=V-)

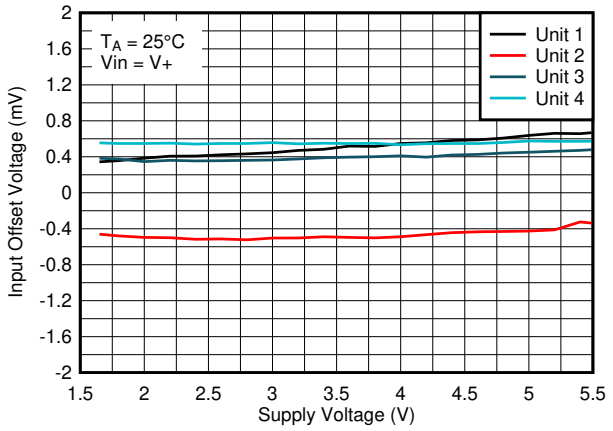


図 6-31. オフセット電圧と電源電圧の関係 (25℃、V_{IN}=V+)

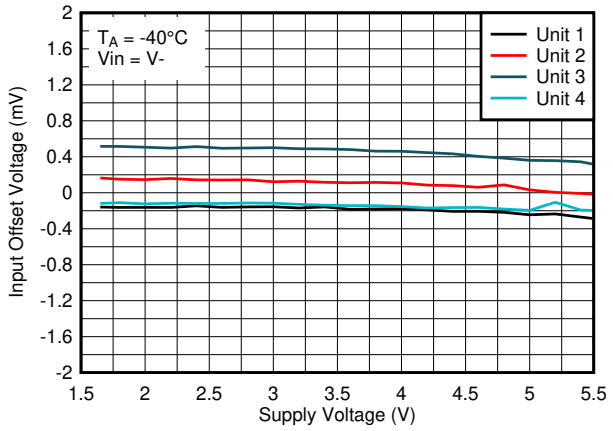


図 6-32. オフセット電圧と電源電圧の関係 (25℃、V_{IN}=V-)

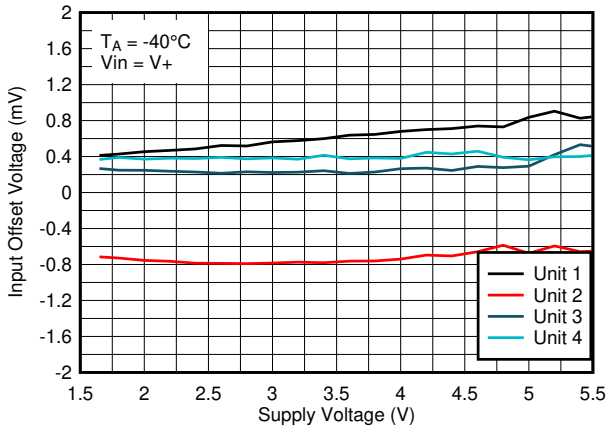


図 6-33. オフセット電圧と電源電圧の関係 (-40℃、V_{IN}=V+)

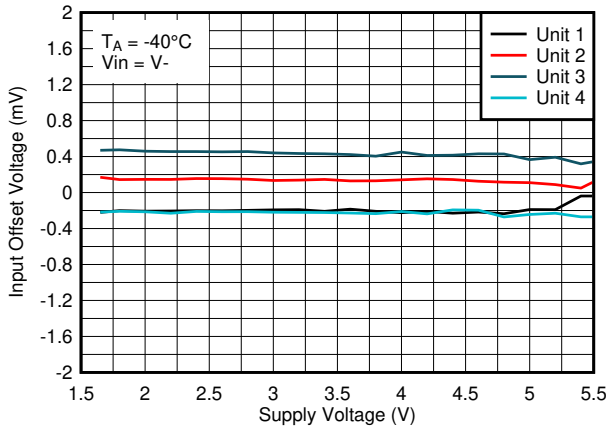


図 6-34. オフセット電圧と電源電圧の関係 (-40℃、V_{IN}=V-)

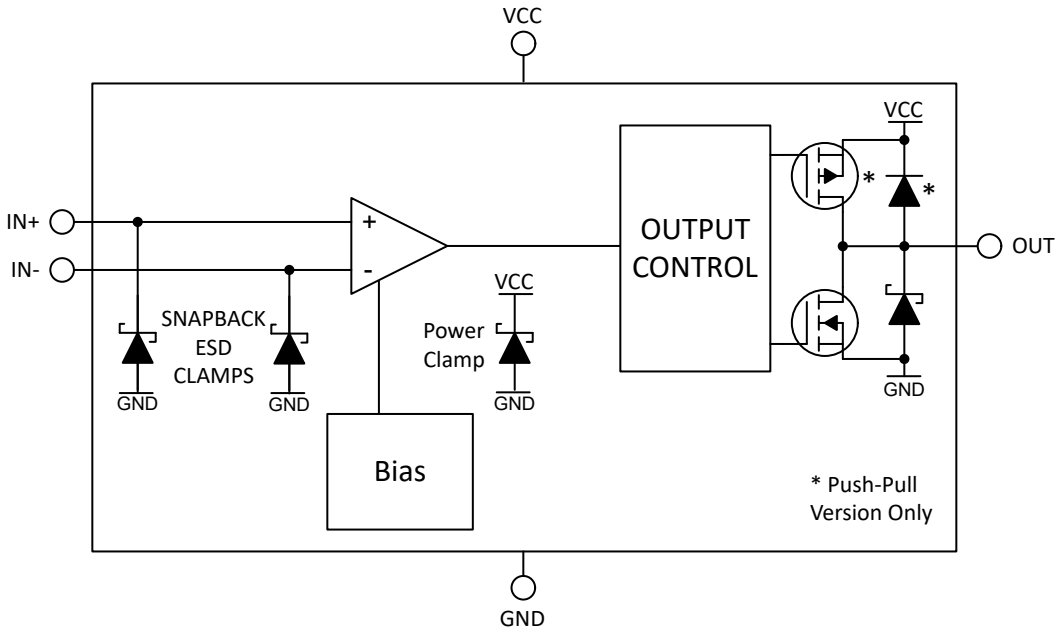
Copyright © 2025 Texas Instruments Incorporated

7 詳細説明

7.1 概要

TLV9024-EP および TLV9034-EP デバイスは、クアッド チャネル エンハンスド製品のマイクロパワー コンパレータで、オープン ドレイン出力またはプッシュプル出力を搭載し、入力オフセット電圧が低いです。チャネルあたりの 25µA のみの消費電力で、最小 1.65V で動作します。

7.2 機能ブロック図



7.3 機能説明

TLV9024-EP (オープン ドレイン出力) および TLV9034-EP (プッシュプル出力) デバイスは、入力オフセット電圧が低く、低電圧で動作可能なマイクロパワー コンパレータです。TLV9024-EP および TLV9034-EP ファミリは、電源レールを超えて最大 200mV で動作可能なレール ツー レール入力段を備えています。また、コンパレータにはプッシュプルおよびオープン ドレインの出力段オプションがあります。

7.4 デバイスの機能モード

7.4.1 出力

7.4.1.1 TLV9024-EP オープン ドレイン出力

TLV9024-EP はオープン ドレイン (オープン コレクタとも呼ばれる) シンクのみの出力段を備えているため、コンパレータの電源電圧 (V_S) にかかわらず、出力ロジック レベルを 0V ～ 5.5V の範囲の外部電圧にプルアップできます。オープン ドレイン出力により、複数のオープン ドレイン出力の論理 OR 接続とロジック レベルの変換も可能になります。プルアップ抵抗電流は 100uA～1mA の範囲で設定することを推奨します。プルアップ抵抗の値を小さくすると、立ち上がり時間を延ばしやすくなりますが、V_{OL} が高くなり、消費電力が大きくなります。立ち上がり時間は、総プルアップ抵抗と総負荷容量の時定数によって決定されます。プルアップ抵抗の値が大きいと (>1MΩ)、RC 時定数が原因で指数関数的な立ち上がりエッジが発生し、立ち上がり時間が長くなります。

使用しないオープン ドレイン出力はフローティングのままにします。フローティング ピンが許されない場合は、V- ピンに接続できます。個々の出力は通常最大 125 mA の電流をシンクできますが、すべてのチャネルの電流の合計は 200mA 未満でなければなりません。

7.4.1.2 TLV9034-EP プッシュプル出力

TLV9034-EP にはプッシュプル出力段があり、シンク電流とソース電流の両方を供給できます。このため、LED や MOSFET ゲートなどの負荷を駆動することができ、外付けプルアップ抵抗で電力を浪費する必要もありません。プッシュプル出力は、絶対に他の出力に接続しないでください。

使用しないプッシュプル出力はフローティングのままにします。電源、グランド、または他の出力に接続してはなりません。個々の出力は通常最大 100mA の電流をシンクおよびソースできますが、すべてのチャネルの電流の合計は 200mA 未満でなければなりません。

7.4.2 入力

7.4.2.1 レール ツー レール入力

TLV9024-EP および TLV9034-EP の入力電圧範囲は、V- より 200mV 低い電圧から V+ より 200mV 高い電圧までです。差動入力電圧 (V_{ID}) は、これらの制限値の範囲内で自由に設定できます。入力ピンの電圧が V+ または V- を超えても、コンパレータ出力の位相反転は発生しません。

7.4.2.2 フォルト トレラント入力

TLV9024-EP および TLV9034-EP の入力は、V_S の影響を受けず、最高 5.5V までフォルト トレラントです。フォルト トレラントとは、V_S に電源が供給されていないとき、または推奨動作範囲内であるときに、同じ高い入力インピーダンスを維持することと定義されます。

フォルト トレラント入力には、V_S が 0 またはランプアップ / ダウン中を含めて、0V～5.5V の範囲で任意の値を使用できます。この機能により、入力電圧範囲と電源電圧が規定の範囲内にある限り、電源シーケンスの問題が回避されます。これが可能なのは、入力が V+ にクランプされていないため、入力に高電圧が印加されても入力電流値が維持されるためです。

いずれかの入力ピンが有効な入力範囲内にあり、電源電圧が有効である限り、出力状態は正常です。

入力電圧異常とその結果の概要を以下に示します:

1. IN+ と IN- の両方が規定の入力電圧範囲内の場合:
   a. IN- が IN+ およびオフセット電圧より高い場合、出力は Low になります。
   b. IN- が IN+ およびオフセット電圧より低い場合、出力は High になります。
2. IN- が規定の入力電圧範囲から外れ、IN+ が規定の電圧範囲内に入る場合、出力は "Low" になります。
3. IN+ が規定の入力電圧範囲より高く、IN- が規定の入力電圧範囲内に入る場合、出力は High になります。
4. IN- と IN+ の両方が規定の入力電圧範囲から外れている場合、出力は不定 (ランダム) になります。この範囲の値では使用しないでください。

耐故障性機能があるものの、テキサス インスツルメンツでは、データシートの仕様を維持するため、通常のシステム動作時に入力を規定の入力電圧範囲内に維持することを*強く*推奨します。指定された入力範囲外で動作すると、伝搬遅延時間や入力バイアス電流などの仕様が変化し、それにより予測不能な動作の原因となる可能性があります。

7.4.2.3 入力保護

入力バイアス電流は、通常は V+ と V- の間の入力電圧に対して 5pA です。コンパレータの入力は、V- に接続された内部 ESD ダイオードにより、逆電圧から保護されます。入力電圧が V- より低くなるか、入力絶対最大定格を上回ると、保護ダイオードが順バイアス状態になり、入力バイアス電流が指数関数的に増加し始めます。入力バイアス電流は、通常は温度が 10℃ 上昇するごとに 2 倍になります。

電源やバッファ付きリファレンス ラインなど、低インピーダンスのソースに入力を接続する場合は、クランプが導通したときに過渡電流を制限するため、入力と直列に電流制限抵抗を追加することを推奨します。電流は 10mA 以下に制限する必要があります。この直列抵抗は、任意の抵抗入力分圧器またはネットワークの一部として使用できます。

Copyright © 2025 Texas Instruments Incorporated

7.4.3 ESD 保護

TLV9024-EP および TLV9034-EP ファミリには、すべてのピンに内部 ESD 保護回路が組み込まれています。入力とオープン ドレイン出力では、各ピンから V- へ の独自の「スナップバック」型 ESD クランプを使用して、ピンが電源電圧 (V+) を超えられるようにしています。ツェナー ダイオードで示されていますが、ツェナーのような定義済みの電圧へのクランプを上回ると、スナップバックは「短絡」し、スレッショルドを上回ると低インピーダンス (SCR など) になります。

TLV9024-EP のオープン ドレイン出力保護は、出力と V- との間に ESD クランプがあるため、出力を V+ よりも最大 5.5V 上にプルアップできます。

TLV9034-EP のプッシュプル出力保護は、出力と V- との間の ESD クランプで構成されますが、出力が電源レールを超えないように、V+ への ESD ダイオード クランプも搭載しています。

電源やバッファ付きのリファレンス ラインなど、低インピーダンスのソースに入力を接続する場合は、クランプの導通が発生したときに過渡電流を制限するため、入力と直列に電流制限抵抗を追加することを推奨します。電流は 10mA 以下に制限する必要があります。この直列抵抗は、任意の抵抗入力分圧器またはネットワークの一部として使用できます。TI は ESD クランプの性能を規定していないため、通常動作時に入力または出力が最大定格を超える可能性がある場合は、外部クランプを追加する必要があります。

7.4.4 未使用入力

チャネルを使用しない場合、入力を互いに接続しないでください。等価帯域幅が広く、オフセット電圧が低いため、入力を互いに直接接続すると、デバイスが内部広帯域ノイズでトリガされ、高周波の「チャタリング」が発生することがあります。使用しない入力は、規定の入力電圧範囲内で使用可能な任意の電圧に接続し、50mV 以上の差動電圧を確保する必要があります。たとえば、一方の入力をグランドに接続し、もう一方の入力を基準電圧に、または過渡電圧を防ぐため入力が直接 V+ ピンに接続されている限り V+ に接続します。

7.4.5 ヒステリシス

TLV9024-EP および TLV9034-EP ファミリには内部ヒステリシスがありません。実効帯域幅が広く、入力オフセット電圧が低いため、絶対差動電圧がゼロに近いときにコンパレータが内部広帯域ノイズでトリガされ、出力が「チャタリング」する場合があります。これは正常な動作であり、想定内です。動きが低速な信号が予想される場合は、外部ヒステリシスを追加することを推奨します。次のセクションの ヒステリシス を参照してください。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

8.1.1 基本的なコンパレータの定義

8.1.1.1 動作

基本コンパレータは、一方の入力の入力電圧 (V_{IN}) を、もう一方の入力の基準電圧 (V_{REF}) と比較します。以下の コンパレータのタイミング図 の例で、V_{IN} が V_{REF} より低くなると、出力電圧 (V_O) はロジック "Low" (V_{OL}) になります。V_{IN} が V_{REF} より高くなると、出力電圧 (V_O) は論理 "High" (V_{OH}) になります。出力条件 に、出力の条件のまとめを示します。入力ピンを入れ替えることにより、出力ロジックを反転できます。

表 8-1. 出力条件

入力の条件	出力
IN+ > IN-	"High" (V_{OH})
IN+ = IN-	不定 (チャタリング - 「ヒステリシス」を参照)
IN+ < IN-	"Low" (V_{OL})

8.1.1.2 伝搬遅延

入力が基準電圧を超えてから出力が応答するまでの間には、遅延があります。これを伝搬遅延と呼びます。伝搬遅延は、"High" から "Low" への入力遷移と "Low" から "High" への入力遷移で異なることがあります。コンパレータのタイミング図 では、伝搬遅延を t_{pLH} と t_{pHL} として示し、入力の中間点から出力の中間点までで測定しています。

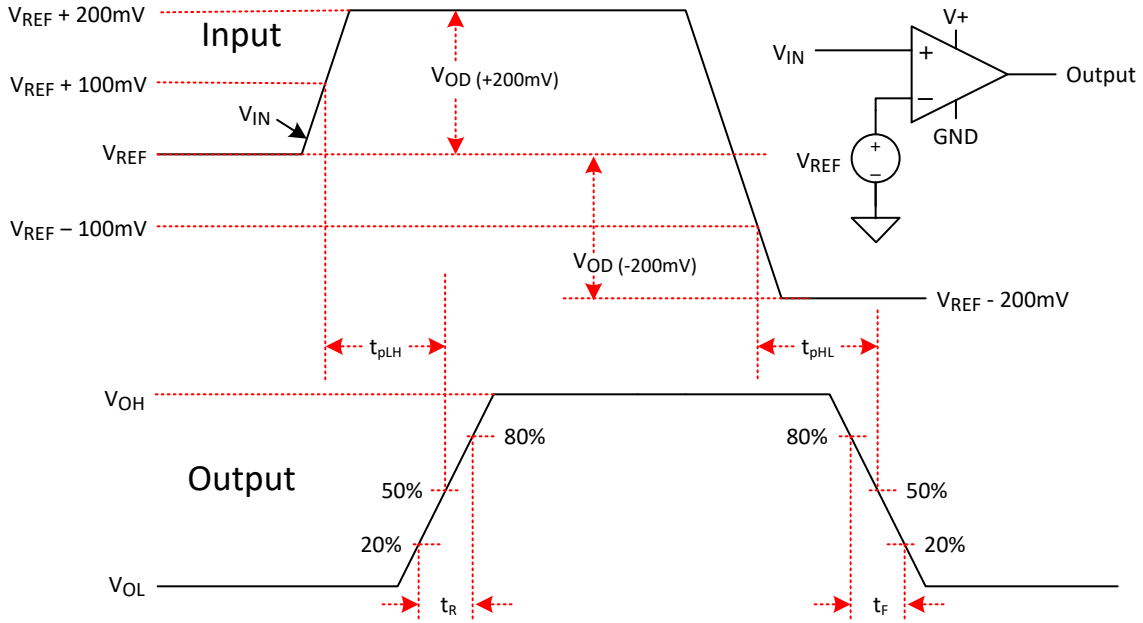


図 8-1. コンパレータのタイミング図

Copyright © 2025 Texas Instruments Incorporated

8.1.1.3 オーバードライブ電圧

オーバードライブ電圧 (V_{OD}) は、基準電圧を超える入力電圧の大きさです。入力ピーク ツー ピーク電圧の合計ではありません。コンパレータのタイミング図 の例に示したオーバードライブ電圧は 100mV です。オーバードライブ電圧は、伝搬遅延 (t_p) に影響を与える可能性があります。オーバードライブ電圧が小さいほど、特に 100mV 未満の場合、伝搬遅延時間が長くなります。高速で応答させたい場合は、できる限り大きなオーバードライブ電圧を印加します。

立ち上がり時間 (t_r) は出力波形の 20% から 80% のポイントまでの時間、立ち下がり時間 (t_f) は 80% から 20% のポイントまでの時間です。

8.1.2 ヒステリシス

基本的なコンパレータ構成では、印加された差動入力電圧がコンパレータのオフセット電圧に近いときに、発振 (ノイズの多い「チャタリング」出力) が発生する場合があります。通常これは、入力信号の動きが非常に低速で、コンパレータのスイッチング スレッショルドを超えたときに発生します。

ヒステリシスまたは正のフィードバックを追加することで、この問題を防止できます。

ヒステリシスの伝達曲線 に、ヒステリシスの伝達曲線を示します。この曲線は、V_{TH}、V_{OS}、V_{HYST} の 3 つの構成要素の関数です。

- V_{TH} は、実際に設定された電圧またはスレッショルドのトリップ電圧です。
- V_{OS} は、V_{IN+} と V_{IN-} の間の内部オフセット電圧です。この電圧を V_{TH} に追加することで、コンパレータが出力状態の変化に応答する必要のある実際のトリップ ポイントを形成します。
- V_{HYST} はヒステリシス (トリップ ウィンドウ) で、コンパレータのノイズ感度を低減するように設計されています。

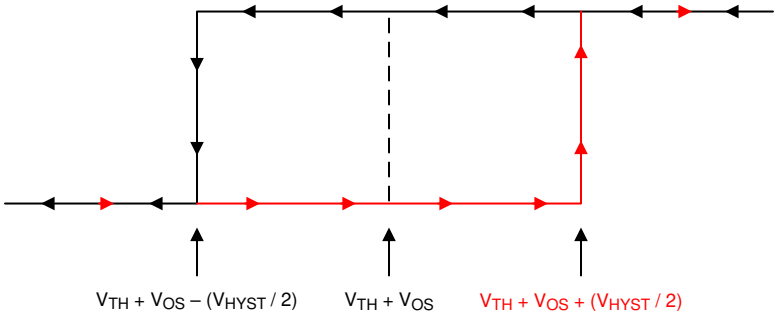


図 8-2. ヒステリシスの伝達曲線

詳細については、アプリケーション ノート SBOA219「ヒステリシス回路付き / なしのコンパレータ」を参照してください。

8.1.2.1 ヒステリシス付きの反転コンパレータ

ヒステリシス付き反転構成の TLV9034-EP に示すように、ヒステリシス付きの反転コンパレータには、コンパレータの電源電圧 (V+) を基準とする 3 つの抵抗回路が必要です。

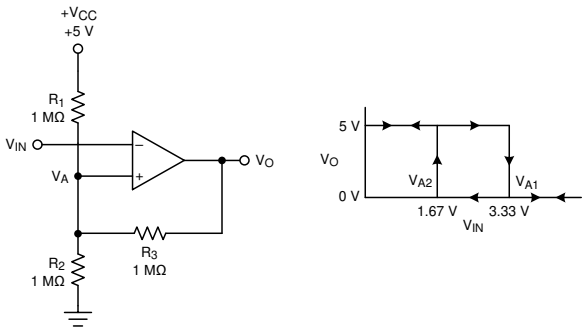


図 8-3. ヒステリシス付き反転構成の TLV9034-EP

出力が "High" と "Low" のときの等価な抵抗ネットワークを図 8-3 に示します。

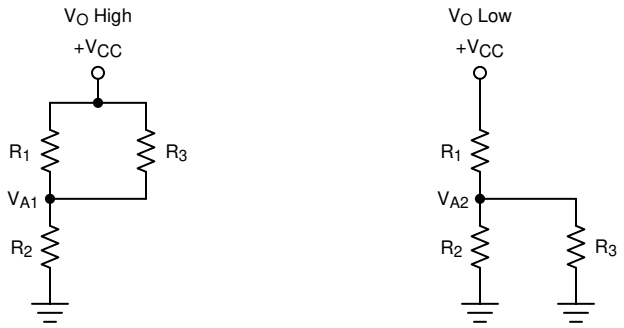


図 8-4. 反転構成の抵抗等価ネットワーク

V_{IN} が V_A より低い場合、出力電圧は "High" です (わかりやすいように、V_O は V_{CC} と同じ高さでスイッチすると仮定)。図 8-4 に示すように、3 つのネットワーク抵抗は R2 と直列の R1 || R3 として表現されます。

以下の式 1 は、"High" から "Low" へのトリップ電圧 (V_{A1}) を定義します。

$$V_{A1} = V_{CC} \times \frac{R2}{(R1 \parallel R3) + R2} \tag{1}$$

V_{IN} が V_A より高くなると、出力電圧は "Low" になります。この場合、式 2 に示すように、3 つのネットワーク抵抗は R1 と直列の R2 || R3 として表現されます。

式 2 を使用して、"Low" から "High" へのトリップ電圧 (V_{A2}) を定義します。

$$V_{A2} = V_{CC} \times \frac{R2 \parallel R3}{R1 + (R2 \parallel R3)} \tag{2}$$

式 3 は、このネットワークによって提供される総ヒステリシスを定義します。

$$\Delta V_A = V_{A1} - V_{A2} \tag{3}$$

8.1.2.2 ヒステリシス付きの非反転コンパレータ

図 8-5 に示すように、ヒステリシス付きの非反転コンパ レータには、反転入力側に 2 つの抵抗ネットワークと 1 つのリファレンス電圧 (V_{REF}) が必要です。

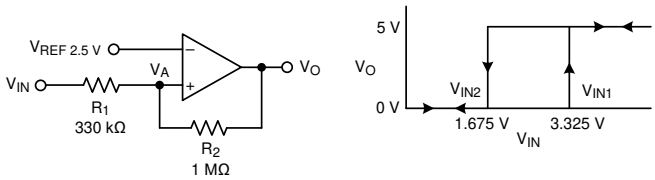


図 8-5. ヒステリシス付き非反転構成の TLV9034-EP

出力が "High" と "Low" のときの等価な抵抗ネットワークを図 8-6 に示します。

Copyright © 2025 Texas Instruments Incorporated

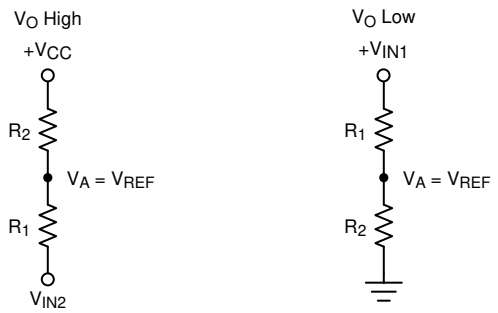


図 8-6. 非反転構成の抵抗ネットワーク

V_{IN} が V_{REF} を下回ると、出力は "Low" になります。出力が "Low" から "High" に切り替わるには、V_{IN} が V_{IN1} のスレッショルドよりも高くなる必要があります。式 4 を使用して、V_{IN1} を計算します。

$$V_{IN1} = R1 \times \frac{V_{REF}}{R2} + V_{REF} \tag{4}$$

V_{IN} が V_{REF} を上回ると、出力は "High" になります。コンパレータが "Low" 状態に戻るには、V_{IN} が V_{IN2} よりも降下する必要があります。式 5 を使用して、V_{IN2} を計算します。

$$V_{IN2} = \frac{V_{REF}\,(R1 + R2) - V_{CC} \times R1}{R2} \tag{5}$$

式 6 に示すように、この回路のヒステリシスは V_{IN1} と V_{IN2} の差です。

$$\Delta V_{IN} = V_{CC} \times \frac{R1}{R2} \tag{6}$$

詳細については、アプリケーション ノート SNOA997「ヒステリシス回路付き反転コンパレータ」および SBOA313「ヒステリシス回路付き非反転コンパレータ」を参照してください。

8.1.2.3 オープン ドレイン出力を使用した反転 / 非反転ヒステリシス

オープン ドレイン出力デバイスを使用することも可能ですが、計算では出力プルアップ抵抗も考慮する必要があります。プルアップ抵抗は、出力が High のとき、帰還抵抗に対して直列に接続されます。そのため、帰還抵抗は実際には R2 + R_{PULLUP} と見なされます。テキサス・インスツルメンツでは、プルアップ抵抗は帰還抵抗値の 10 分の 1 以下にすることを推奨します。

8.2 代表的なアプリケーション

8.2.1 ウィンドウ コンパレータ

ウインドウ コンパレータは、一般的に低電圧および過電圧状態を検出するために使用されます。図 8-7 に、簡単なウィンドウ コンパレータ回路を示します。出力を互いに直接接続する場合、ウィンドウ コンパレータにはオープン ドレイン出力 (TLV9024-EP) を使用する必要があります。

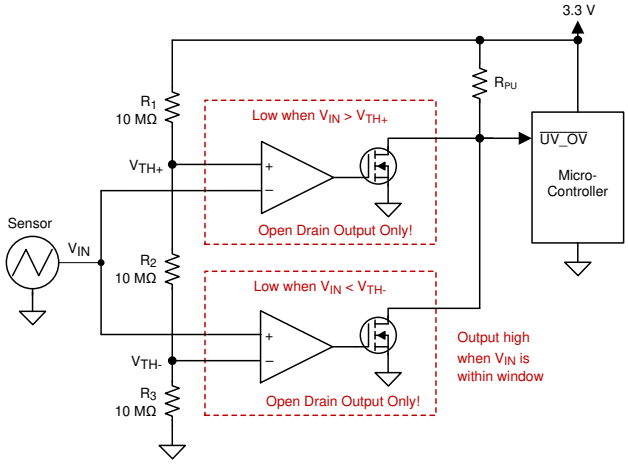


図 8-7. ウィンドウ コンパレータ

8.2.1.1 設計要件

この設計については、以下の設計要件に従ってください。

- 入力信号が 1.1V を下回る場合のアラート (論理 "Low" 出力)
- 入力信号が 2.2V を超える場合のアラート (論理 "Low" 出力)
- アラート信号はアクティブ "Low"
- 3.3V 電源で動作

8.2.1.2 詳細な設計手順

図 8-7 に示されているように、回路を構成します。V_{CC} を 3.3V 電源に接続し、V_{EE} をグランドに接続します。R1、R2、R3 をそれぞれ 10MΩ 抵抗にします。これらの 3 つの抵抗を使用して、ウィンドウ コンパレータの正と負のスレッショルド (V_{TH+} と $V_{TH–}$) を作成します。

各抵抗が等しい場合、V_{TH+} は 2.2V、V_{TH-} は 1.1V です。消費電力を最小限に抑えるため、10MΩ などの大きな抵抗値を使用します。抵抗値を再計算して、目的のトリップ ポイント値を得ることができます。

センサの出力電圧は、2 つのコンパレータの反転入力と非反転入力に印加されます。2 つのオープン ドレイン出力コンパレータを使用すると、2 つのコンパレータ出力を OR 接続できます。

センサが 1.1V 未満または 2.2V 超の場合、それぞれのコンパレータ出力は Low になります。図 8-8 に示されているように、センサが 1.1V ～ 2.2V の範囲内 (「ウィンドウ」内) の場合、それぞれのコンパレータ出力は High になります。

8.2.1.3 アプリケーション曲線

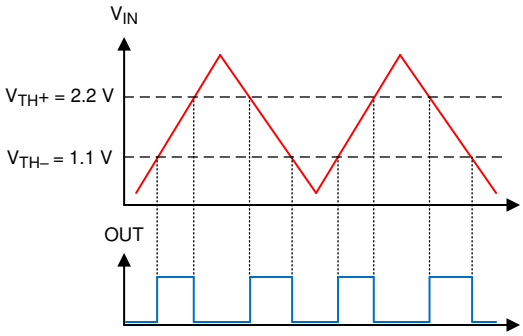


図 8-8. ウィンドウ コンパレータの結果

詳細については、アプリケーション ノート SBOA221「ウィンドウ コンパレータ回路」を参照してください。

Copyright © 2025 Texas Instruments Incorporated

8.2.2 方形波発振器

方形波発振器は、低コストのタイミング リファレンスまたはシステム監視クロック ソースとして使用できます。最良の対称性を得るには、プッシュプル出力デバイス (TLV9034-EP) の使用をお勧めします。

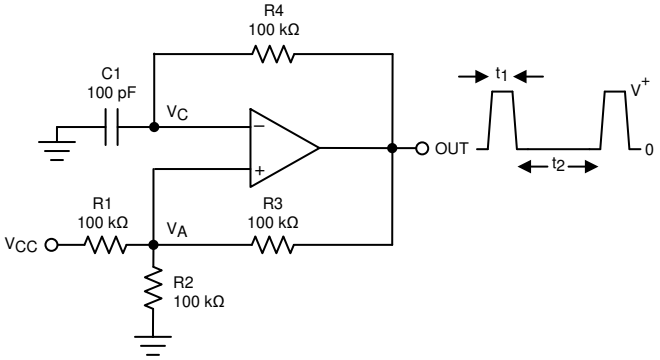


図 8-9. 方形波発振器

8.2.2.1 設計要件

方形波の周期は、コンデンサ C_1 および抵抗 R_4 の RC 時定数によって決定されます。最大周波数は、デバイスの伝搬遅延と出力の容量性負荷によって制限されます。入力バイアス電流が小さいため、特定の発振器周波数を得るために小さい値のコンデンサと大きい値の抵抗を組み合わせることができ、BOM (部品表) コストと基板面積を削減できます。出力の負荷を最小限に抑えるために、R4 は数 kΩ 以上にする必要があります。

8.2.2.2 詳細な設計手順

発振周波数は、抵抗とコンデンサの値によって決定されます。次の計算は、手順の詳細を示しています。

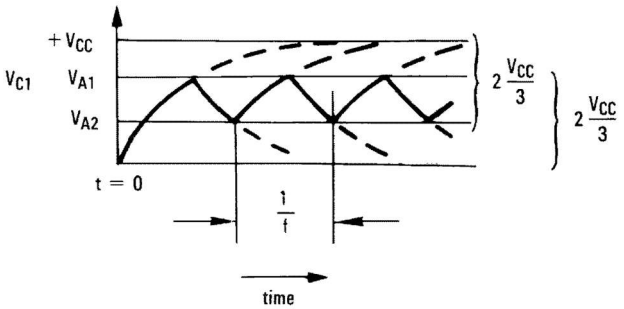


図 8-10. 方形波発振器のタイミング スレッショルド

まず、図 8-9 の出力は High と見なされます。これは、反転された入力 V_C が非反転入力 (V_A) よりも低いことを示しています。これにより、C_1 は R_4 を介して充電され、電圧 V_C は非反転入力と等しくなるまで増加します。このポイントでの V_A の値は、式 7 で計算されます。

$$V_{A1} = \frac{V_{CC} \times R_2}{R_2 + R_1 \| R_3} \tag{7}$$

$R_1 = R_2 = R_3$ の場合、$V_{A1} = 2V_{CC}/3$

この時点でコンパレータの出力はトリップし、出力が負のレールまでプルダウンされます。このポイントでの V_A の値は、式 8 で計算されます。

$$V_{A2} = \frac{V_{CC}(R_2 \| R_3)}{R_1 + R_2 \| R_3} \tag{8}$$

$R_1 = R_2 = R_3$ の場合、$V_{A2} = V_{CC}/3$

ここで、C_1 は R_4 を介して放電され、電圧 V_{CC} は V_{A2} に達するまで低下します。この時点で、出力は開始状態に戻ります。発振周期は、C_1 の電圧が $2V_{CC}/3$ から $V_{CC}/3$ まで低下した後、$2V_{CC}/3$ に戻るまでの時間に等しくなります。この値は各トリップについて $R_4C_1 \times \ln 2$ で与えられます。したがって、合計時間は $2\ R_4C_1 \times \ln 2$ として計算されます。

発振周波数は、式 9 で計算されます。

$$f = 1/(2\ R4 \times C1 \times \ln 2) \tag{9}$$

8.2.2.3 アプリケーション曲線

図 8-11 に、次の部品値を使用した、発振器のシミュレーション結果が示されています。

- $R_1 = R_2 = R_3 = R_4 = 100k\Omega$
- $C_1 = 100pF$、$C_L = 20pF$
- V+ = 5V、V– = GND
- V_A から GND への C_{stray} (図では省略) = 10pF

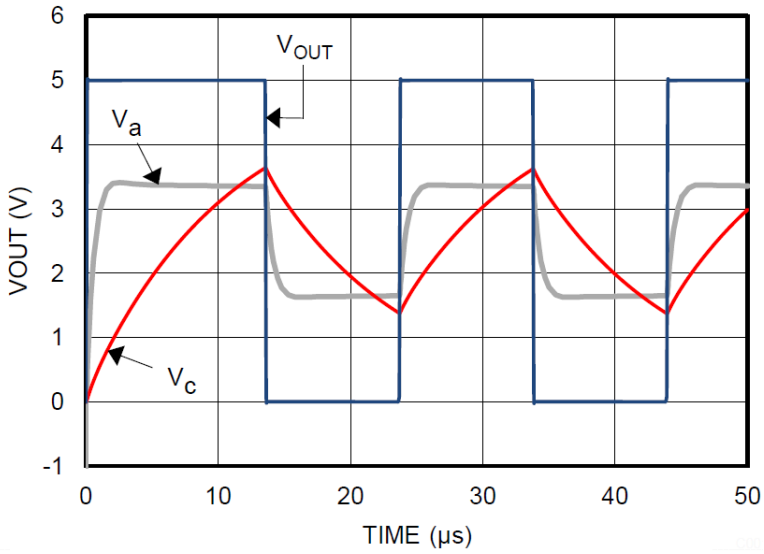


図 8-11. 方形波発振器の出力波形

8.2.3 可変パルス幅ジェネレータ

*可変パルス幅ジェネレータ*パルス幅を調整できる方形波発振器のバリエーションです。

R_4 と R_5 は、出力の状態に応じて、コンデンサ C の充電パスと放電パスを提供します。

Copyright © 2025 Texas Instruments Incorporated

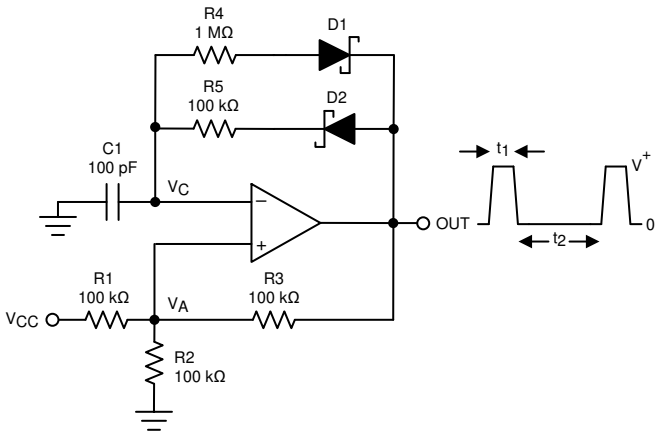


図 8-12. 可変パルス幅ジェネレータ

出力が High のとき、充電パスは R_5 および D_2 によって設定されます。同様に、出力が Low のとき、コンデンサの放電パスは R_4 および D_1 によって設定されます。

パルス幅 t_1 は、R_5 と C の RC 時定数によって決定されます。したがって、パルス間の時間 t_2 は R_4 を変化させることで変更でき、パルス幅は R_5 によって変更できます。出力の周波数は、R_4 と R_5 の両方を変化させることで変更できます。低電圧時には、計算の中で出力 High および Low 電圧を変更することにより、ダイオードの順方向電圧降下 (0.8V、ショットキーの場合は 0.15V) の影響を考慮に入れる必要があります。

8.2.4 時間遅延ジェネレータ

図 8-13 に示す回路は、基準時間からの所定の時間間隔で出力信号を提供し、入力が 0V に戻った時点で自動的に出力を Low にリセットします。これは、電源の制御されたスタートアップをトリガする「パワー オン」信号をシーケンシングするのに便利です。

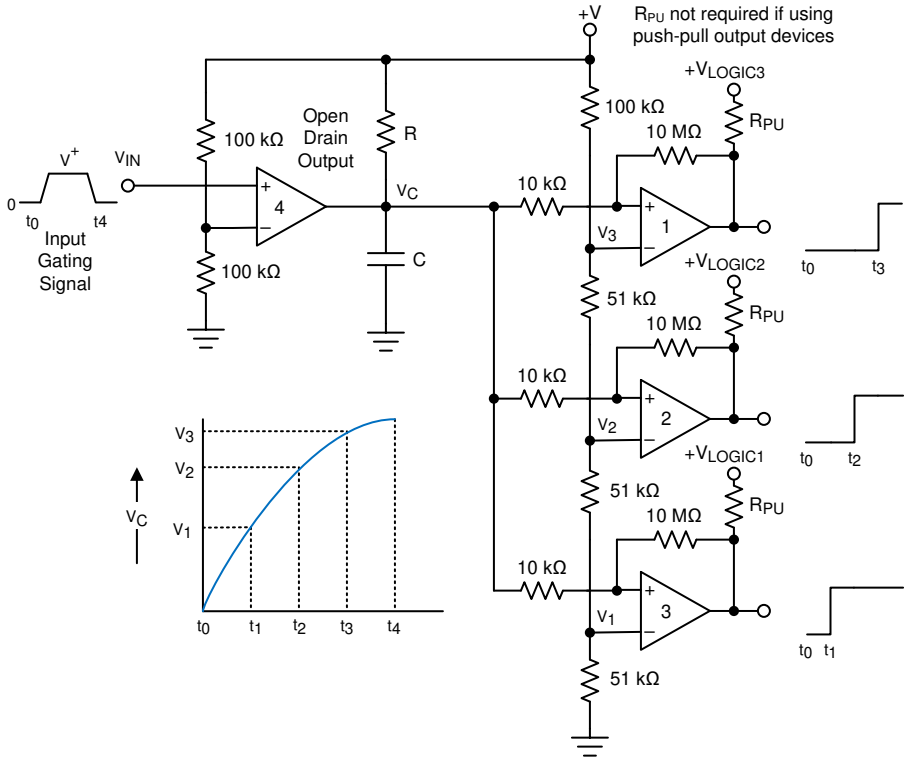


図 8-13. 時間遅延ジェネレータ

V_{IN} = 0V の場合を考えます。コンパレータ 4 の出力はグランドにも接続されており、コンデンサを「短絡」させてコンデンサを 0V に保持します。これは、コンパレータ 1、2、3 の出力も 0V であることを意味します。入力信号が印加されると、オープン ドレイン コンパレータ 4 の出力が ハイ インピーダンスになり、C は R を介して指数関数的に充電されます。これをグラフに示します。コンパレータ 1、2、3 の出力電圧は、V_C が基準電圧 V_1、V_2、V_3 を超えて上昇すると、順番に "High" 状態に切り替わります。10kΩ および 10MΩ の抵抗によって小さなヒステリシスが設定され、遅延時間が長くなる RC 時定数を選択した場合でも高速スイッチングが保証されます。R = 100kΩ、C = 0.01μF～1μF を出発点として調整することを推奨します。

V_{IN} が 0V に低下すると、コンパレータの出力が Low になり、コンデンサが直ちに放電されるため、すべての出力が直ちに Low になります。

コンパレータ 4 はオープン ドレイン型出力 (TLV9024-EP) でなければなりませんが、コンパレータ 1 ～ 3 はシステム要件に応じてオープン ドレイン出力またはプッシュプル出力にできます。プッシュプル出力デバイスには、R_{PU} は必要ありません。

8.2.5 ロジック レベル シフタ

TLV9024-EP の出力は、出力トランジスタの非コミット ドレインです。多数のオープン ドレイン出力を互いに接続し、必要に応じて出力の OR 接続機能を実現できます。

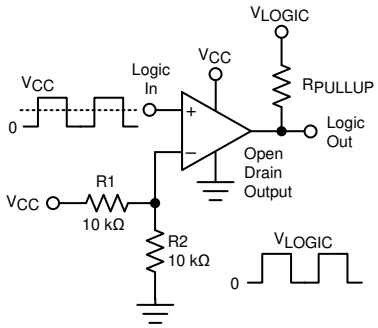


図 8-14. ユニバーサル ロジック レベル シフタ

2 つの 10kΩ 抵抗は、入力ロジック供給レベルの半分に入力をバイアスして、入力ロジックレベルの中間点にスレッショルドを設定します。1 つの共有出力プルアップ抵抗のみが必要であり、0V～5.5V の任意のプルアップ電圧に接続できます。プルアップ電圧は、駆動されるロジック入力の High レベルと一致している必要があります。

8.2.6 ワンショット マルチバイブレータ

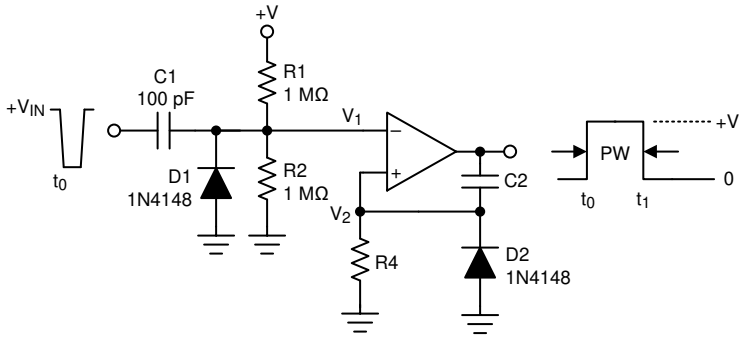


図 8-15. ワンショット マルチバイブレータ

モノステーブル マルチバイブレータには、いつまでも存続できる 1 つの安定した状態があります。この回路を外部からトリガして、別の疑似安定状態に移行させることができます。したがって、モノステーブル マルチバイブレータを使用して、必要な幅のパルスを生成することができます。

Copyright © 2025 Texas Instruments Incorporated

必要なパルス幅は、C_2 と R_4 の値を調整して設定します。R_1 と R_2 の分圧抵抗を使用して、入力トリガ パルスの大きさを決定できます。$V_1 < V_2$ になったとき、出力の状態が変化します。ダイオード D_2 は、パルスの終了時にリセットされるコンデンサ C_2 の急速放電パスを提供します。また、このダイオードは、非反転入力がグランドより低い電圧に駆動されることを防止します。

8.2.7 双安定マルチバイブレータ

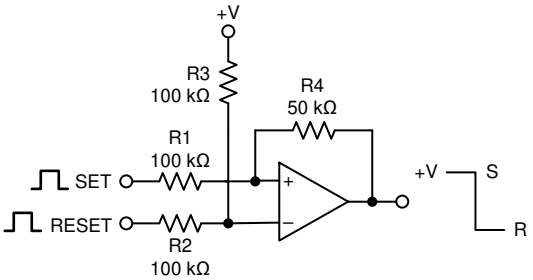


図 8-16. 双安定マルチバイブレータ

双安定マルチバイブレータには、2 つの安定状態があります。基準電圧は、R_2 と R_3 の分圧器によって設定されます。SET 端子に印加されるパルスによって、コンパレータの出力が High に設定されます。R_1、R_4、R_5 の分圧抵抗回路は、非反転入力を基準電圧より高い電圧にクランプします。RESET に印加されたパルスにより、出力が Low に切り替わります。

8.2.8 ゼロ交差検出器

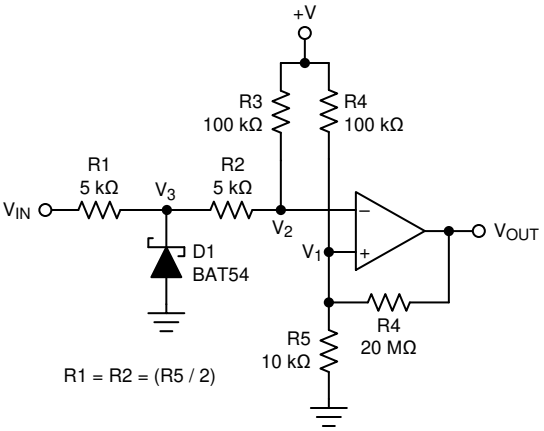


図 8-17. ゼロ交差検出器

R_4 および R_5 の分圧器により、非反転入力に基準電圧 V_1 が設定されます。R_1 と R_2 の直列抵抗を R_5 と等しくすると、コンパレータは $V_{IN} = 0$ のときにスイッチングします。ダイオード D_1 により、V_3 はグランドに近い電圧にクランプされます。R_2 および R_3 の分圧器により、V_2 がグランドより低くなるのを防止します。出力電圧が迅速に遷移できるよう、少量のヒステリシスが設定されます。

8.2.9 パルス スライサ

パルス スライサはゼロ交差検出器のバリエーションで、ベースライン レベルが変動する入力信号上でのゼロ交差の検出に使用されます。この回路は、対称型の波形で最良の性能を発揮します。R_1 と C_1 の RC ネットワークにより、平均基準電圧 V_{REF} が設定されます。この電圧は V_{IN} 信号の平均振幅に追従します。非反転入力は、R2 を介して V_{REF} に直接接続されます。R2 と R3 を使用してヒステリシスを設定すると、遷移をスプリアス トグルが発生しない状態に維持できます。時定数の値は、長期間の対称性と振幅の変化に対する応答時間の間のトレードオフとなります。

波形がデータである場合、適切な平均ベースラインを維持するために、データを NRZ (Non-Return to Zero) 形式でエンコードできます。非対称入力では、V_{REF} 平均電圧の変化を原因とするタイミング歪みが発生する場合があります。

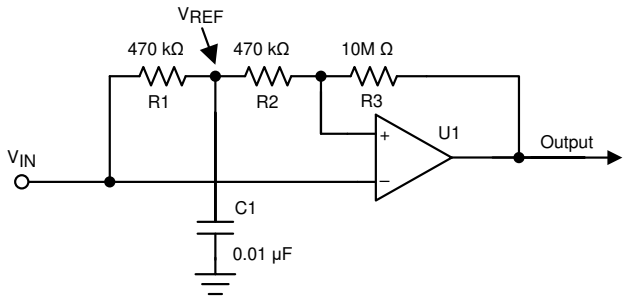


図 8-18. TLV9034-EP を使用するパルス スライサ

この設計については、以下の設計要件に従ってください。

- 有効なトリップ スレッショルドを維持するには、RC 定数の値 (R_2 および C_1) が目標データ レートをサポートする必要があります。
- R_2 と R_{43} を使用して設定されたヒステリシスにより、スプリアス出力信号のトグルを防止できます。

TLV9024-EP も使用できますが、その場合は出力にプルアップ抵抗を追加する必要があります (わかりやすいように図では省略)。

図 8-19 は、ベースラインが変動する、ボー レート 9600 のデータ信号の結果を示しています。

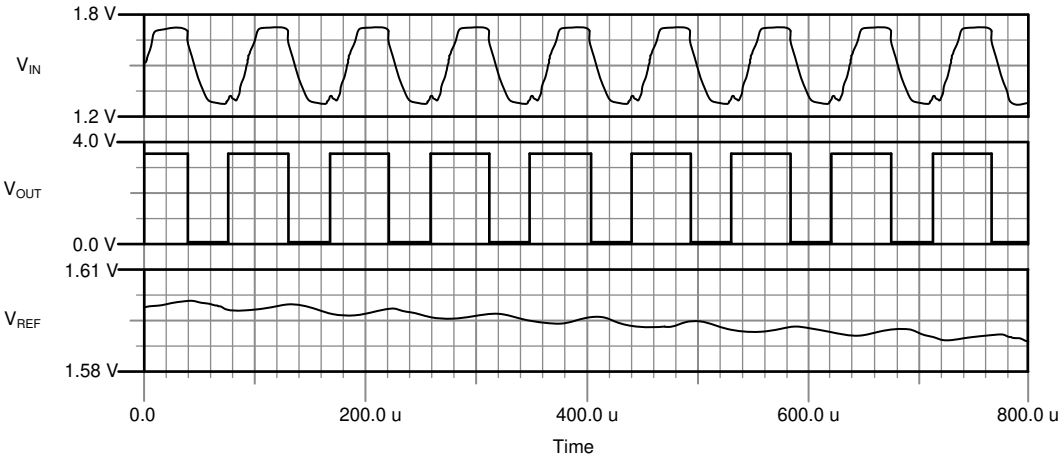


図 8-19. パルス スライサの波形

8.3 電源に関する推奨事項

出力エッジが高速であるため、電源リンギングおよび誤トリガーや発振を防ぐために、電源ピンのバイパス コンデンサが重要です。V_{CC} ピンとグランド ピンの間に低 ESR の 0.1µF セラミック バイパス コンデンサを直接接続し、それぞれのデバイスで電源を直接バイパスします。 出力遷移時間中に、特にプッシュプル出力デバイスの場合、狭いピーク電流が流れる場合があります。これらの狭いパルスにより、バイパスされない電源ラインや品質の低いグランドにリンギングが発生する可能性があり、これが入力電圧範囲に影響を与えて、不正確な比較や発振を引き起こす場合があります。

デバイスには、「分割」電源 (V+、V-、および GND) または「単一」電源 (V+ および GND) から電力を供給できます (V- ピンに GND を印加)。

いずれのタイプについても、入力信号を規定の入力範囲内 (V+ と V- の間) に維持する必要があります。

「分割」電源では、出力は (GND ではなく) V- の電位まで「Low」になる (V_{OL} になる) ことに注意してください。

Copyright © 2025 Texas Instruments Incorporated

9 レイアウト

9.1 レイアウトのガイドライン

高精度のコンパレータ アプリケーションでは、適切な動作のために、ノイズとグリッチが最小限に抑えられた安定した電源が重要です。出力の立ち上がり時間と立ち下がり時間は数十ナノ秒であり、高速ロジック デバイスとして扱う必要があります。バイパス コンデンサは電源ピンにできる限り近づけて配置し、必要に応じてベタのグランド プレーンに接続します。また、できれば V_{CC} ピンと GND ピンの間に直接接続します。

出力の発振を防ぐため、出力と入力間のカップリングを最小限に抑えてください。カップリングを低減するために、出力間に V_{CC} または GND のパターンが存在する場合を除いて、出力パターンと入力パターンを並列に配置しないでください。入力に直列抵抗を追加する場合、デバイスの近くに抵抗を配置します。出力と直列に小さい値 (<100Ω) の抵抗を追加して、制御された長い非インピーダンス トレース上のリンギングや反射を減衰させることもできます。エッジの形状を最適化するには、長距離の配線にはバック終端を持つ制御されたインピーダンストレースを使用する必要があります。

9.2 レイアウト例

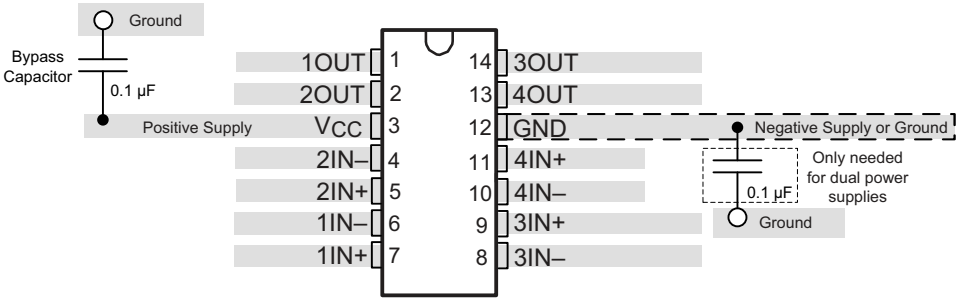


図 9-1. レイアウト例

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

『アナログ エンジニア向け回路設計ヒント集: *アンプ*(コンパレータのセクションを参照)、SLYY137

『Precision Design、ヒステリシス付きコンパレータのリファレンス デザイン』、TIDU020

『ウィンドウ コンパレータ回路 』、SBOA221

『リファレンス デザイン、ウィンドウ コンパレータのリファレンス デザイン』、TIPD178

『ヒステリシス回路付き / なしのコンパレータ』、SBOA219

『ヒステリシスを持つ反転コンパレータ回路』、SNOA997

『ヒステリシスを持つ非反転コンパレータ回路』、SBOA313

『コンパレータによるゼロ クロス検出回路』、SNOA999

『PWM ジェネレータ回路』、SBOA212

『産業用ドライブ アプリケーションでのロータリー エンコーダの性能を改善するためのコンパレータの実装方法』、SNOAA41

『独立して動作する 4 つのコンパレータ』、SNOA654

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Copyright © 2025 Texas Instruments Incorporated

日付	改訂	注
2025 年 4 月	*	初版リリース

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV9024MDYYTEP	Active	Production	SOT-23-THIN (DYY) | 14	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-	TLV9024EP
TLV9034MDYYTEP	Active	Production	SOT-23-THIN (DYY) | 14	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-	TLV9034EP
V62/24640-01XE	Active	Production	SOT-23-THIN (DYY) | 14	250 | SMALL T&R	-	NIPDAU	Level-2-260C-1 YEAR	See TLV9024MDYYTEP	TLV9024EP
V62/24640-02XE	Active	Production	SOT-23-THIN (DYY) | 14	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	See TLV9034MDYYTEP	TLV9034EP

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV9024-EP, TLV9034-EP :

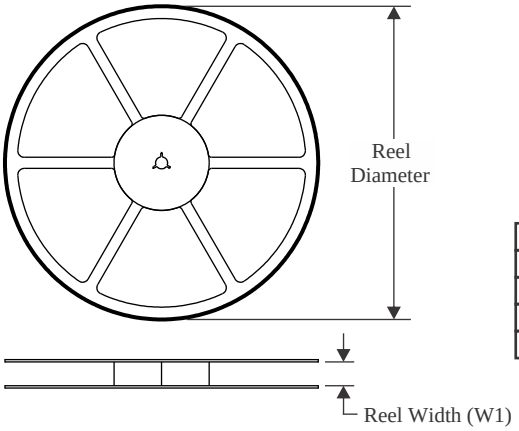
- Catalog : TLV9024, TLV9034
- Automotive : TLV9024-Q1, TLV9034-Q1

NOTE: Qualified Version Definitions:

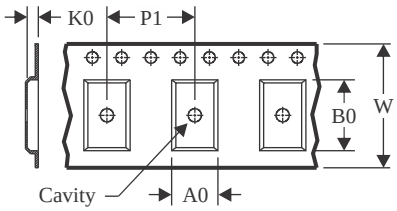
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

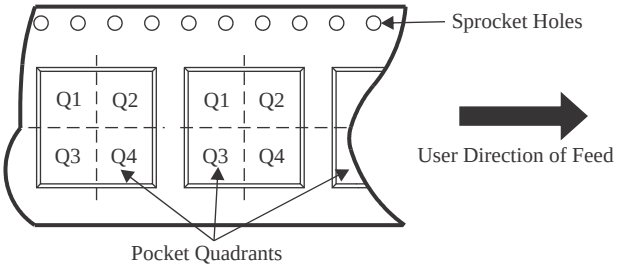


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

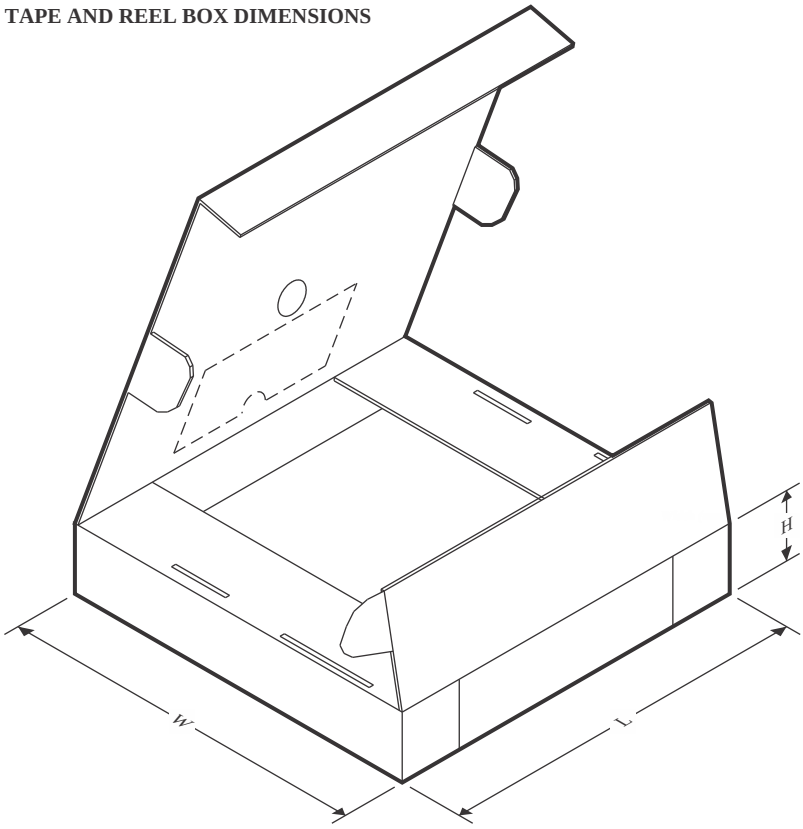
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

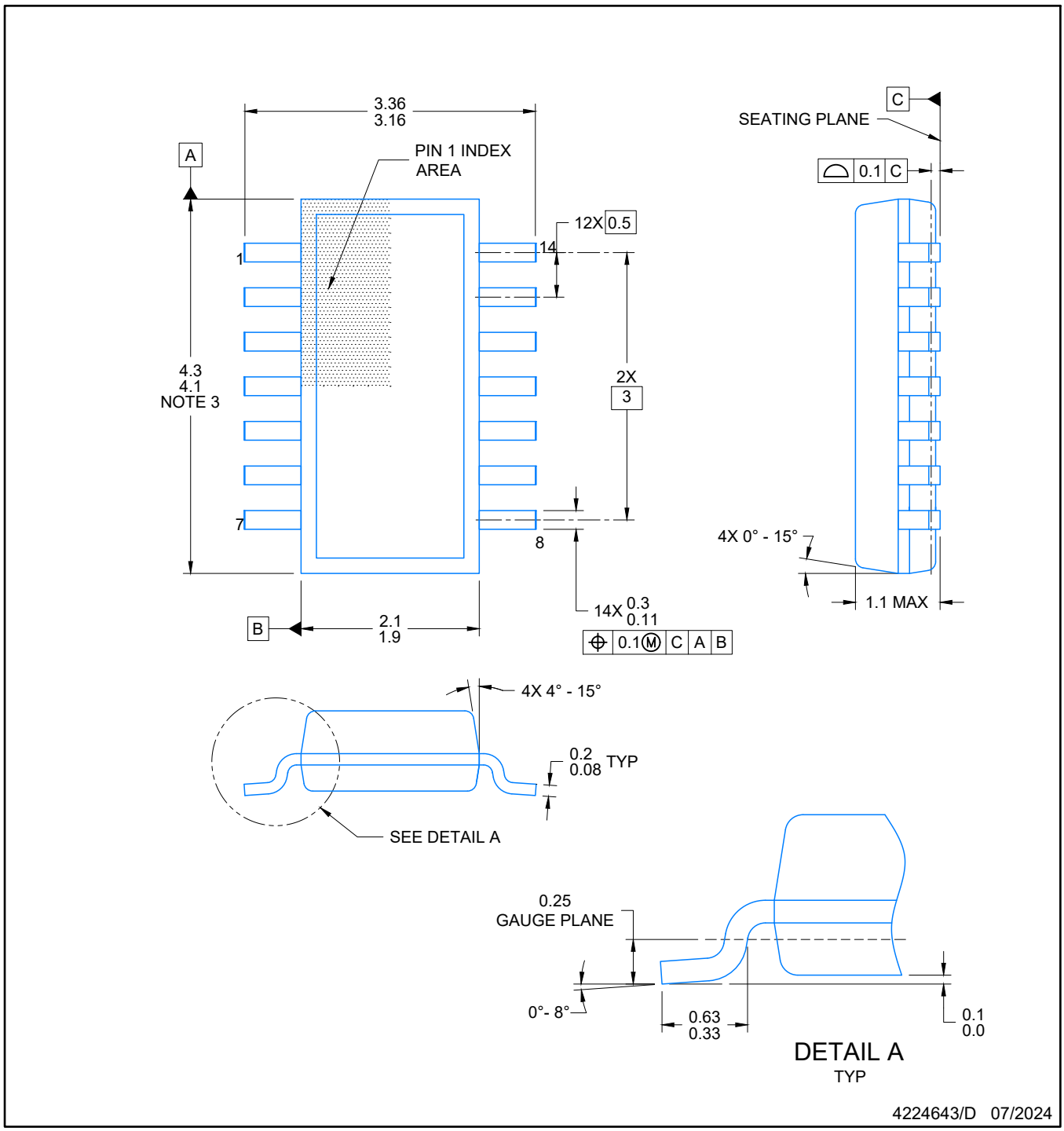
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV9024MDYYTEP	SOT-23-THIN	DYY	14	250	177.8	12.4	3.56	4.5	1.3	8.0	12.0	Q1
TLV9034MDYYTEP	SOT-23-THIN	DYY	14	250	177.8	12.4	3.56	4.5	1.3	8.0	12.0	Q3

TAPE AND REEL BOX DIMENSIONS



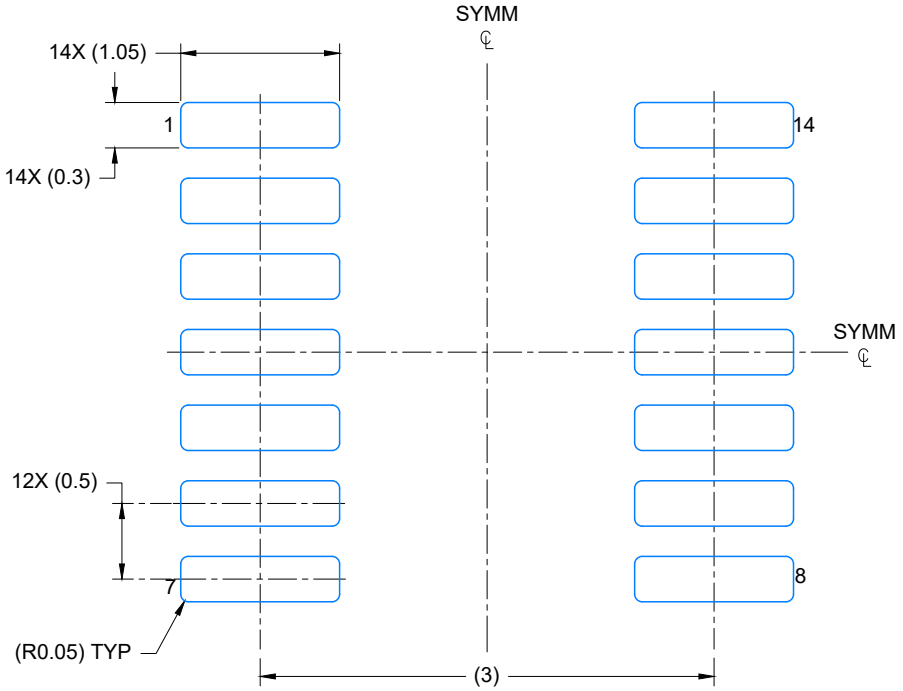
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV9024MDYYTEP	SOT-23-THIN	DYY	14	250	208.0	191.0	35.0
TLV9034MDYYTEP	SOT-23-THIN	DYY	14	250	208.0	191.0	35.0

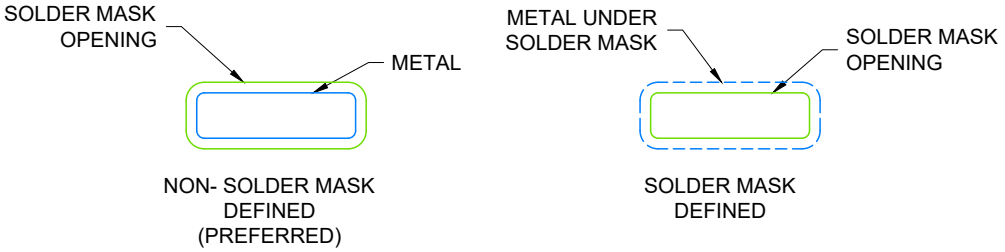


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

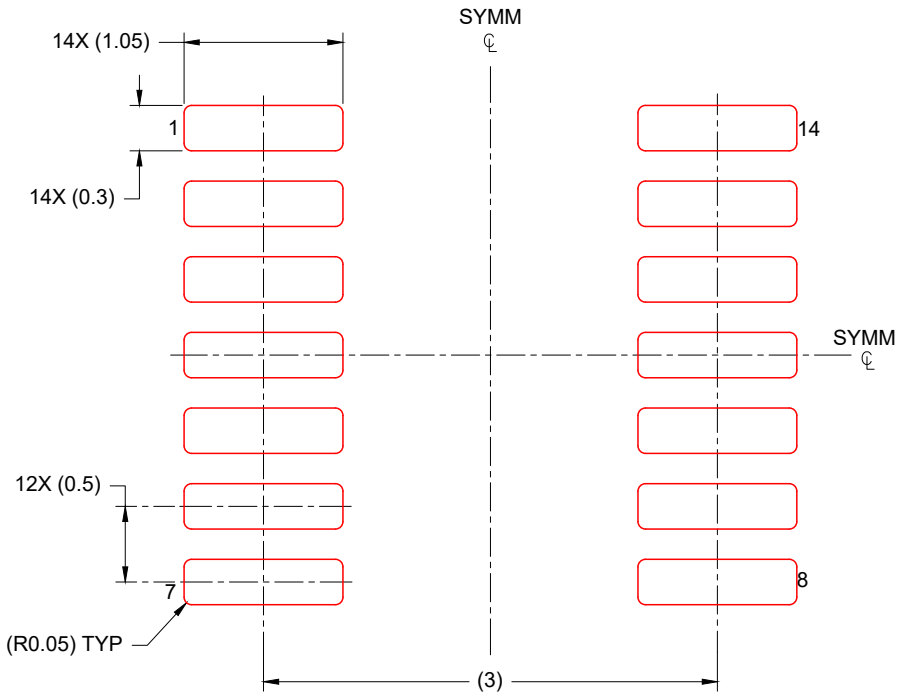


SOLDER MASK DETAILS

4224643/D 07/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated