

TLV709 150mA、30V、静止電流 3.2μA、低ドロップアウトリニアレギュレータ

1 特長

- ・ 入力電圧範囲: 2.5V ~ 30V
- ・ 選択可能な出力電圧:
 - 固定: 1.2V ~ 5V
 - 可変: 1.2V ~ 28V
- ・ 出力電流: 最大 150mA
- ・ 超低 I_Q : 150mA の負荷電流で 3.2μA
- ・ 0.47μF 以上の出力コンデンサで安定動作
- ・ 過電流保護
- ・ パッケージ:
 - 3 ピン SOT-23 (DBZ) (固定構成のみ、事前情報)
 - 4 ピン SOT-89 (PK) (固定構成のみ)
 - 5 ピン SOT-23 (DBV) (固定構成と可変構成の両方)
- ・ 動作時接合部温度: -40°C ~ +125°C

2 アプリケーション

- ・ ホーム / ビルディング オートメーション
- ・ リテール オートメーションおよびペイメント
- ・ グリッド インフラ
- ・ 医療用アプリケーション
- ・ 照明アプリケーション

3 説明

TLV709 低ドロップアウト (LDO) リニア電圧レギュレータは、低静止電流のデバイスです。このデバイスは、広い入力電圧範囲と低消費電力動作の利点を小型パッケージで実現しています。TLV709 は、バッテリ駆動アプリケーション向けにマイコンや他の低消費電力負荷への電力供給に最適化されています。

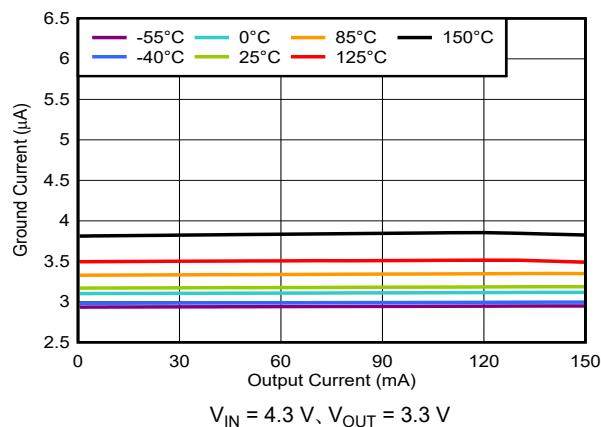
TLV709 LDO は、100mA の負荷電流で標準 600mV の低ドロップアウトをサポートしています。低い静止電流 (標準値 3.2μA) は出力負荷電流の全範囲 (0mA~150mA) にわたってほぼ一定です。また、TLV709 には内部ソフトスタートが搭載されており、起動時の突入電流を低減できます。過電流制限保護機能が組み込まれているため、負荷の短絡やフォルト条件が発生してもレギュレータが保護されます。

TLV709 は、2.9mm × 2.8mm の 5 ピン SOT-23 (DBV)、2.92mm × 2.37mm の 3 ピン SOT-23 (DBZ)、および 4.5mm × 2.5mm の 3 ピン SOT-89 (PK) パッケージで提供されます。DBV パッケージは固定出力および可変出力に対応し、DBZ パッケージは固定出力専用です。

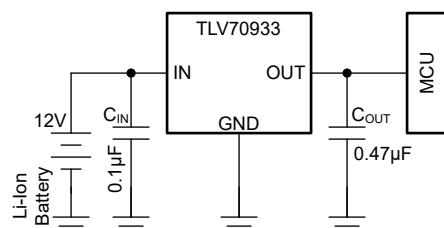
パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
TLV709	DBZ (SOT-23, 3) ⁽³⁾	2.92mm × 2.37mm
	DBV (SOT-23, 5)	2.9mm × 2.8mm
	PK (SOT-89, 3)	4.5mm × 4.095mm

- (1) 詳細については、[メカニカル、パッケージ、および注文情報](#)をご覧ください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。
- (3) 事前情報 (量産データではありません)。



静止電流と負荷電流との関係



代表的なアプリケーション



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあります。TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	7 アプリケーションと実装	14
2 アプリケーション	1	7.1 アプリケーション情報	14
3 説明	1	7.2 代表的なアプリケーション	14
4 ピン構成および機能	3	7.3 設計のベスト プラクティス	18
5 仕様	4	7.4 電源に関する推奨事項	18
5.1 絶対最大定格	4	7.5 レイアウト	18
5.2 ESD 定格	4	8 デバイスおよびドキュメントのサポート	21
5.3 推奨動作条件	4	8.1 デバイスのサポート	21
5.4 熱に関する情報	5	8.2 ドキュメントのサポート	21
5.5 電気的特性	6	8.3 ドキュメントの更新通知を受け取る方法	21
5.6 代表的特性	7	8.4 サポート・リソース	21
6 詳細説明	10	8.5 商標	22
6.1 概要	10	8.6 静電気放電に関する注意事項	22
6.2 機能ブロック図	10	8.7 用語集	22
6.3 機能説明	11	9 改訂履歴	22
6.4 デバイスの機能モード	13	10 メカニカル、パッケージ、および注文情報	22

4 ピン構成および機能

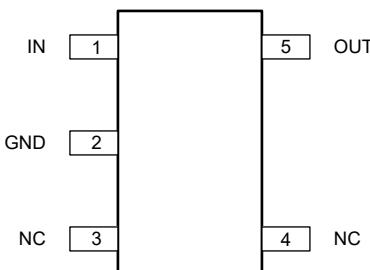


図 4-1. DBV パッケージ (固定)、5 ピン SOT-23 (上面図)

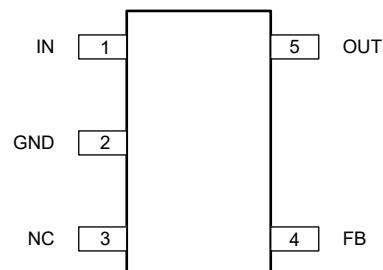


図 4-2. DBV パッケージ (可変)、5 ピン SOT-23 (上面図)

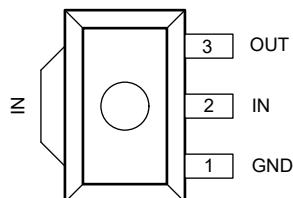


図 4-3. TLV709xxPKR PK パッケージ (IN タブ)、3 ピン SOT-89 (上面図)

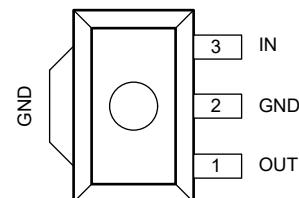


図 4-4. TLV709AxxPKR PK パッケージ (GND タブ)、3 ピン SOT-89 (上面図)

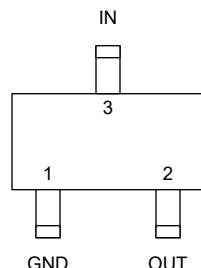


図 4-5. TLV709xxDBZR DBZ パッケージ (事前情報)、3 ピン SOT-23 (上面図)

表 4-1. ピンの機能

名称	ピン					タイプ	説明
	DBV (固定)	DBV (可変)	PK (IN タブ)	PK (GND タブ)	DBZ (固定)		
GND	2	2	1	2、タブ	1	—	グラウンド ピン。
IN	1	1	2、タブ	3	3	I	入力電源ピン。詳細については、「 推奨動作条件 」表と「 入出力コンデンサの要件 」セクションを参照してください。
OUT	5	5	3	1	2	O	レギュレータの出力。詳細については、「 推奨動作条件 」表と「 入出力コンデンサの要件 」セクションを参照してください。
FB	—	4	—	—	—	I	可変構成では、このピンはフィードバック デバイダを利用して出力電圧を設定します。
NC	3、4	3	—	—	—	—	内部接続なし。このピンは、オープンのままでも、あるいは熱特性改善のためグラウンドへ接続してもかまいせん。

5 仕様

5.1 絶対最大定格

動作温度範囲内 (特に記述のない限り)(1) (2)

		最小値	最大値	単位
電圧	V_{IN}	-0.3	30	V
	V_{OUT} (固定デバイスのみ)	$2 \times V_{OUT(typ)}$ または $V_{IN} +$ -0.3 0.3 または 5.5 (どちらか小さい方)		
	V_{OUT} (可変デバイスのみ)	-0.3	$V_{IN} + 0.3$	
	V_{FB}	-0.3	2.4	
電流	ピーク出力電流	内部的に制限		
温度	接合部、 T_J	-40	150	°C
	保存、 T_{stg}	-65	150	

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス定格であり、「推奨動作条件」に示されている条件を超える当該の条件またはその他のいかなる条件下での、デバイスの正常な動作を保証するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) すべての電圧値は、グランド端子を基準としたものです。

5.2 ESD 定格

		値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000
		デバイス帶電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)(1)

		最小値	公称値	最大値	単位
V_{IN}	入力電源電圧	2.5	30	V	
V_{OUT}	出力電圧 (可変デバイスのみ)	1.205	28		
	出力電圧 (固定デバイスのみ)	1.205	5.0		
I_{OUT}	出力電流	0	150	mA	
C_{IN}	入力コンデンサ (2)		0.47	μF	
C_{OUT}	出力コンデンサ (3)		1		
T_J	動作時接合部温度	-40	125	°C	

- (1) すべての電圧は GND を基準にしています。
- (2) LDO の安定性のために、入力コンデンサは必要ありません。ただし、ソース抵抗とインダクタンスの影響を打ち消すために、最小実効値が $0.1\mu F$ の入力容量を推奨します。ソース抵抗とインダクタンスは、場合によって、特に負荷過渡現象がある場合には、リングングや発振などシステムレベルの不安定性の症状を引き起こす可能性があります。
- (3) 記載されているすべてのコンデンサ値は公称値であり、実効容量は公称コンデンサ値の 50% まで低下すると想定されています。

5.4 热に関する情報

热評価基準 ⁽¹⁾		TLV709 ⁽²⁾				単位
		DBV [SOT-23]	PK [SOT-89]	AxxPK [SOT-89]	DBZ [SOT-23]	
		5 ピン	4 ピン	4 ピン	3 ピン	
R _{θJA}	接合部から周囲への熱抵抗	195.7	131.7	72.5	241.9	°C/W
R _{θJC(top)}	接合部からケース(上面)への熱抵抗	88.2	65.8	121.4	122.8	°C/W
R _{θJB}	接合部から基板への熱抵抗	40.7	32.4	37.3	120.7	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	11.2	69.8	29.6	22.6	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	40.5	96.2	36.8	120.0	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーションノートを参照してください。
- (2) 热性能の結果は、JEDEC 規格の 2s2p PCB 構成に基づいています。これらの熱評価基準パラメータは、热的に最適化された PCB レイアウト設計に基づいて、さらに 35~55% 改善することができます。『基板レイアウトが LDO の热性能に及ぼす影響』アプリケーションノートの分析を参照してください。

5.5 電気的特性

特に記述のない限り、動作時接合部温度範囲 ($T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$) で、 $V_{IN} = V_{OUT(\text{nom})} + 1\text{V}$ 、 $I_{OUT} = 100\mu\text{A}$ 、 $C_{OUT} = 1\mu\text{F}$ 。標準値は $T_J = 25^{\circ}\text{C}$ 。⁽¹⁾

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IN}	入力電圧 ⁽²⁾	$I_O = 10\text{mA}$	2.5	30		V
		$10\text{mA} \leq I_O < 50\text{mA}$	3.0	30		
		$50\text{mA} \leq I_O \leq 150\text{mA}$	3.5	30		
V_{OUT}	出力電圧範囲 (TLV709A01)		1.205	28		V
V_{FB}	内部リファレンス ⁽²⁾		1.152	1.205	1.24	
V_{OUT} ⁽⁵⁾	出力電圧精度 ^{(1) (2) (3)}	V_{IN}, I_{OUT} 、および温度で、 $V_{OUT} + 1.0\text{V} \leq V_{IN} \leq 30\text{V}$ $100\mu\text{A} \leq I_{OUT} \leq 150\text{mA}$	-4	4		%
		V_{IN} 、温度の全範囲、および $I_{OUT} = 10\text{mA}$ で、 $I_{OUT} = 10\text{mA}$	$V_{OUT} + 1.0\text{V} \leq V_{IN} \leq 30\text{V}$ $I_{OUT} = 10\text{mA}$	-4	4	
		V_{IN}, I_{OUT} の全範囲、および $T_J = 25^{\circ}\text{C}$ で、 $V_{OUT} + 1\text{V} \leq V_{IN} \leq 30\text{V}$ $100\mu\text{A} \leq I_{OUT} \leq 150\text{mA}$ および $T_J = 25^{\circ}\text{C}$	$V_{OUT} + 1\text{V} \leq V_{IN} \leq 30\text{V}$ $100\mu\text{A} \leq I_{OUT} \leq 150\text{mA}$ および $T_J = 25^{\circ}\text{C}$	-2	2	
I_{GND}	グランド ピン電流 ^{(1) (4)}	$I_{OUT} = 0\text{mA}$	3.2			μA
		$100\mu\text{A} \leq I_{OUT} \leq 150\text{mA}$, $V_{IN} = 30\text{V}$		10		
	グランド ピン電流 ^{(1) (4)} (A バージョンのみ)	$100\mu\text{A} \leq I_{OUT} \leq 150\text{mA}$, $T_J = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$		3.2	4.2	
		$100\mu\text{A} \leq I_{OUT} \leq 150\text{mA}$		3.2	4.8	
	グランド ピン電流 ^{(1) (4)} (A 以外のバージョンのみ)	$100\mu\text{A} \leq I_{OUT} \leq 150\text{mA}$, $T_J = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$		3.4	4.3	
		$100\mu\text{A} \leq I_{OUT} \leq 150\text{mA}$		3.4	5.8	
ΔV_{OUT} (ΔI_{OUT})	ロード レギュレーション ⁽¹⁾	$V_{OUT} \geq 3.3\text{V}$ 、 $100\mu\text{A} < I_{OUT} < 10\text{mA}$	1			%/ A
		$V_{OUT} \geq 3.3\text{V}$ 、 $100\mu\text{A} < I_{OUT} < 50\text{mA}$	1			
		$V_{OUT} \geq 3.3\text{V}$ 、 $100\mu\text{A} < I_{OUT} < 150\text{mA}$	1	2.5		
ΔV_{OUT} (ΔV_{IN})	ライン レギュレーション ⁽²⁾		$V_{OUT(\text{NOM})} + 1\text{V} \leq V_{IN} \leq 30\text{V}$	0.02	0.05	%/ V
V_n	出力ノイズ電圧	$BW = 10\text{Hz} \sim 100\text{kHz}$, $C_{OUT} = 10\mu\text{F}$	$I_{OUT} = 1\text{mA}$	487		μVRms
			$I_{OUT} = 50\text{mA}$	577		
I_{CL}	出力電流制限	$V_{OUT} = 0\text{V}$, $V_{IN} \geq 3.5\text{V}$	160	1000		mA
		$V_{OUT} = 0\text{V}$, $V_{IN} < 3.5\text{V}$	90	1000		
PSRR	電源リップル除去		$f = 100\text{kHz}$, $C_{OUT} = 10\mu\text{F}$	60		dB
V_{DO}	ドロップアウト電圧	$V_{IN} = V_{OUT(\text{nom})} - 0.1\text{V}$, $I_{OUT} = 10\text{mA}$	75	150		mV
		$V_{IN} = V_{OUT(\text{nom})} - 0.1\text{V}$, $I_{OUT} = 50\text{mA}$	400			
		$V_{IN} = V_{OUT(\text{nom})} - 0.1\text{V}$, $I_{OUT} = 150\text{mA}$	1000	1600		

(1) TLV709 は、0mA から I_{CL} までの全負荷電流範囲にわたって安定して機能します。

(2) 最小の $V_{IN} = V_{OUT} + 1\text{V}$ またはこの表の「入力電圧」に示されている値のうち、いずれか大きい方です。

(3) 可変デバイスの場合、出力精度には、出力電圧の設定に使用される外部抵抗に関連する許容誤差と不整合は含まれません。

(4) リーク電流ヌル制御回路を参照してください。TLV709 ファミリは、リーク電流ヌル制御回路を採用しています。この回路は、出力電流がパストラジスターのリーク電流よりも小さい場合にのみアクティブになります。この回路は通常、出力負荷が $5\mu\text{A}$ 未満、 V_{IN} が 18V を超え、ダイ温度が 100°C を超える場合にアクティブになります。

(5) $I_{OUT} = 150\text{mA}$ に使用される最小 V_{IN} は、 $V_{OUT} + 1.6\text{V}$ です。

5.6 代表的特性

動作温度 $T_J = 25^\circ\text{C}$ で、 $V_{IN} = V_{OUT(NOM)} + 1.0\text{V}$ または 2.5V (どちらか大きい方)、 V_{OUT} (標準値) = 3.3V 、 $I_{OUT} = 1\text{mA}$ 、 $C_{IN} = 1\mu\text{F}$ 、 $C_{OUT} = 1\mu\text{F}$ (特に記述のない限り)

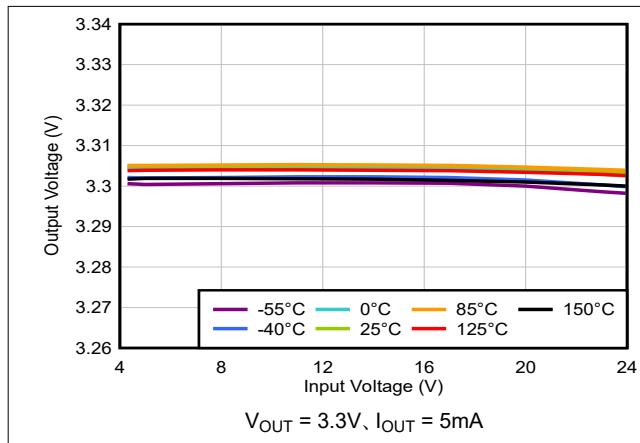


図 5-1. ライン レギュレーション

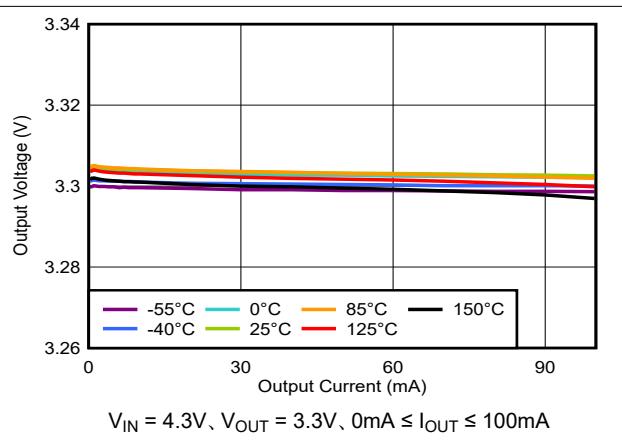


図 5-2. ロード レギュレーション

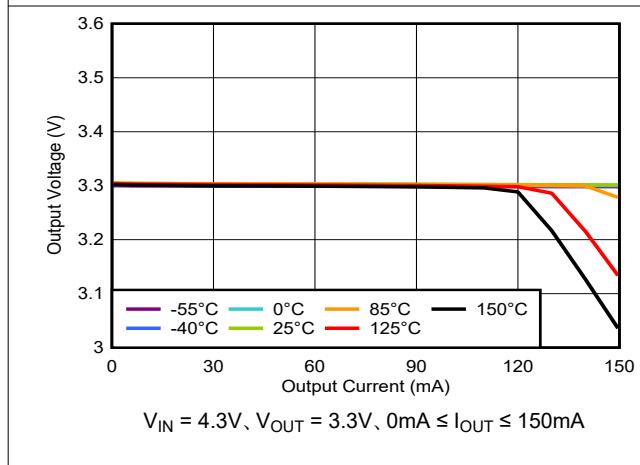


図 5-3. ロード レギュレーション

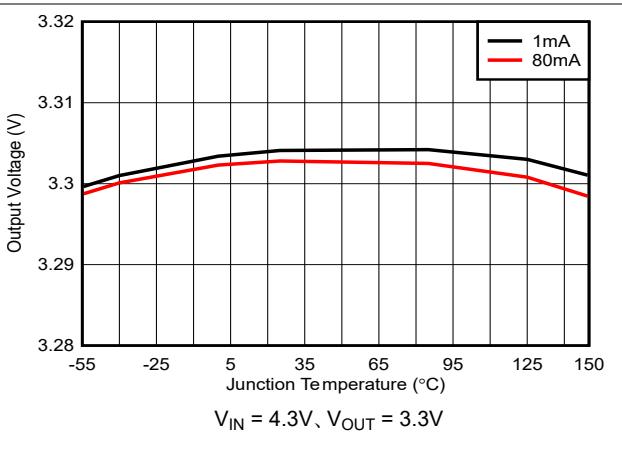


図 5-4. V_{OUT} vs 温度および I_{OUT}

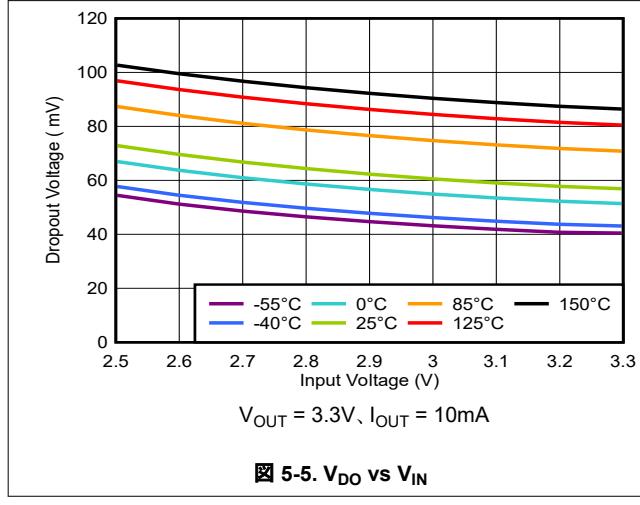


図 5-5. V_{DO} vs V_{IN}

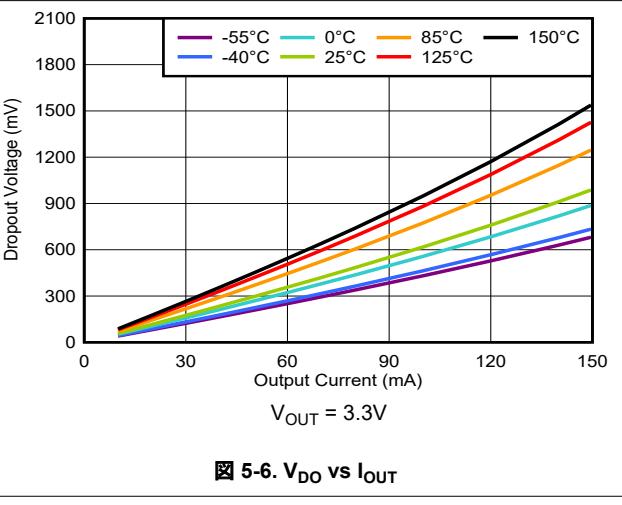


図 5-6. V_{DO} vs I_{OUT}

5.6 代表的特性 (続き)

動作温度 $T_J = 25^\circ\text{C}$ で、 $V_{IN} = V_{OUT(NOM)} + 1.0\text{V}$ または 2.5V (どちらか大きい方)、 V_{OUT} (標準値) = 3.3V 、 $I_{OUT} = 1\text{mA}$ 、 $C_{IN} = 1\mu\text{F}$ 、 $C_{OUT} = 1\mu\text{F}$ (特に記述のない限り)

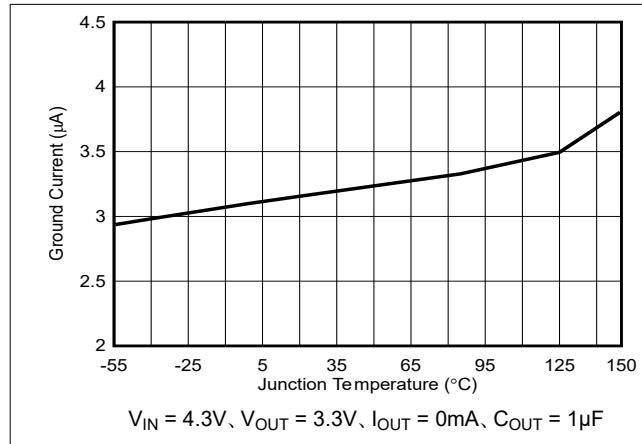


図 5-7. グランド電流 vs 温度

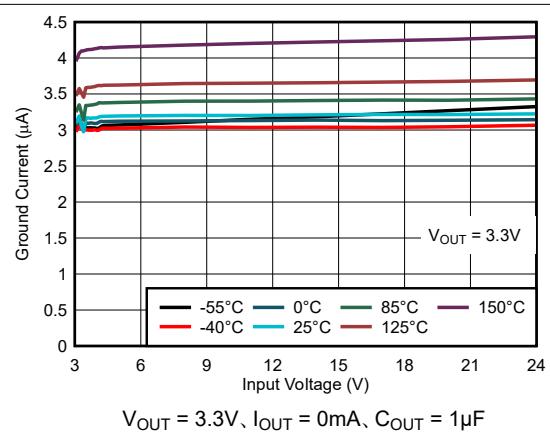


図 5-8. グランド電流 vs V_{IN}

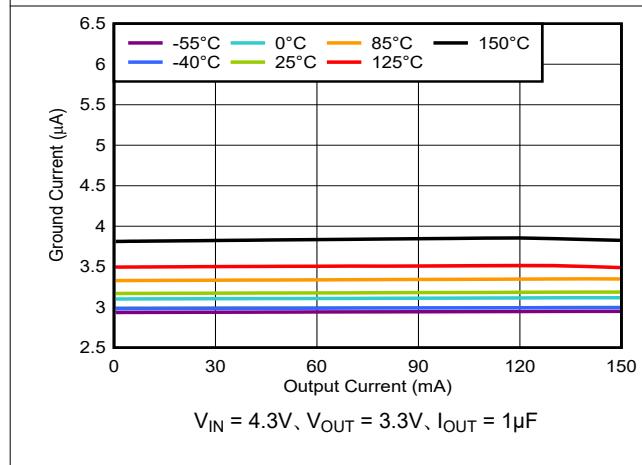


図 5-9. グランド電流 vs I_{OUT}

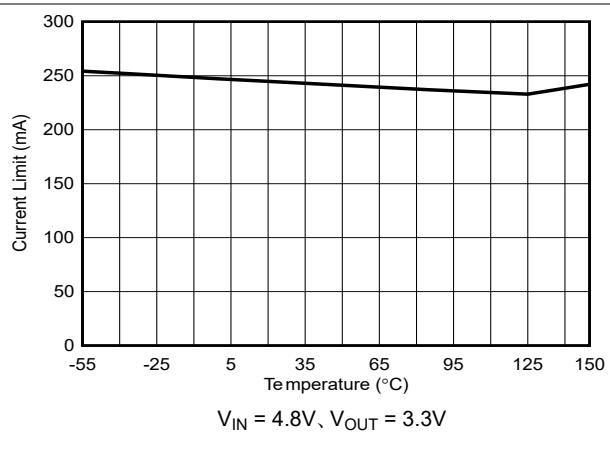


図 5-10. I_{CL} vs 温度

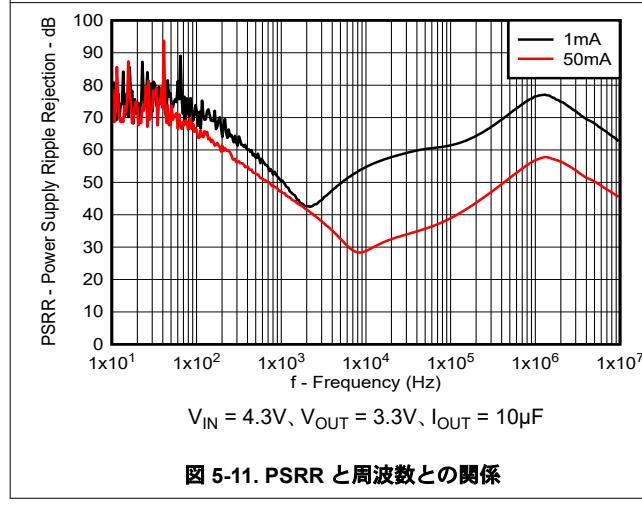


図 5-11. PSRR と周波数との関係

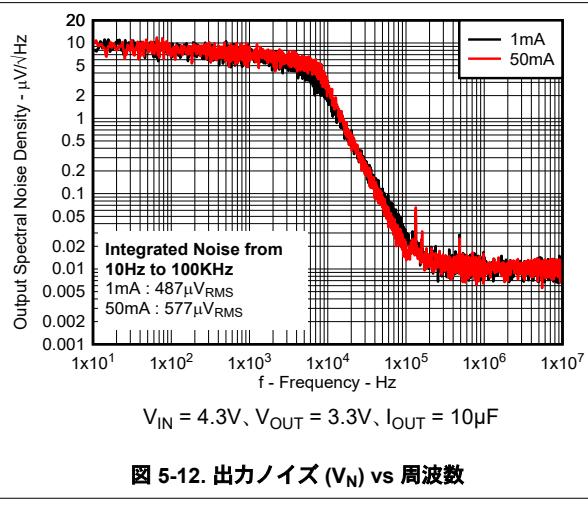


図 5-12. 出力ノイズ (V_N) vs 周波数

5.6 代表的特性 (続き)

動作温度 $T_J = 25^\circ\text{C}$ で、 $V_{IN} = V_{OUT(NOM)} + 1.0\text{V}$ または 2.5V (どちらか大きい方)、 V_{OUT} (標準値) = 3.3V 、 $I_{OUT} = 1\text{mA}$ 、 $C_{IN} = 1\mu\text{F}$ 、 $C_{OUT} = 1\mu\text{F}$ (特に記述のない限り)

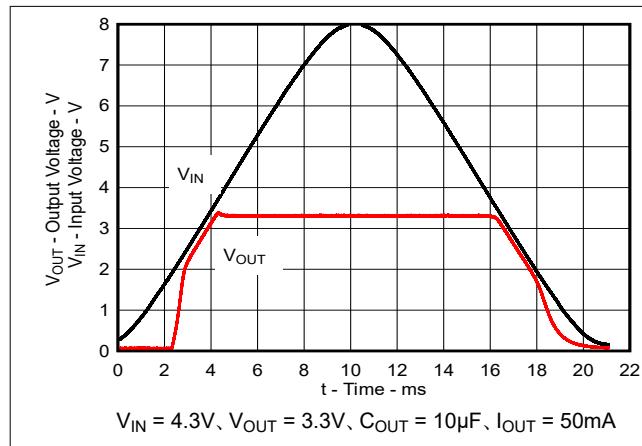


図 5-13. V_{IN} ランプによるパワーアップ / パワーダウン

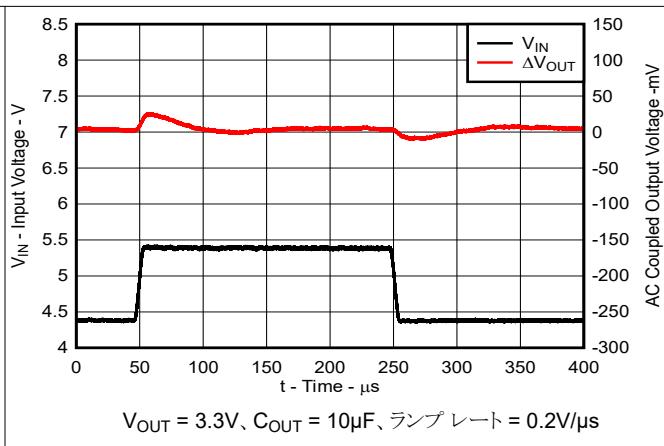


図 5-14. V_{IN} ライン過渡応答 (4.3V~5.3V)

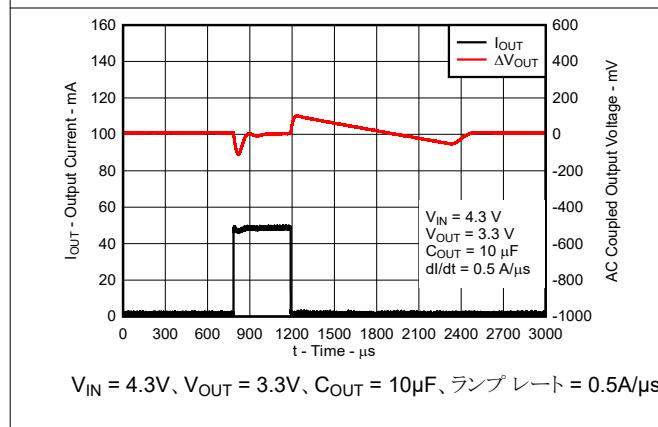


図 5-15. I_{OUT} 過渡電流 (1mA~50mA)

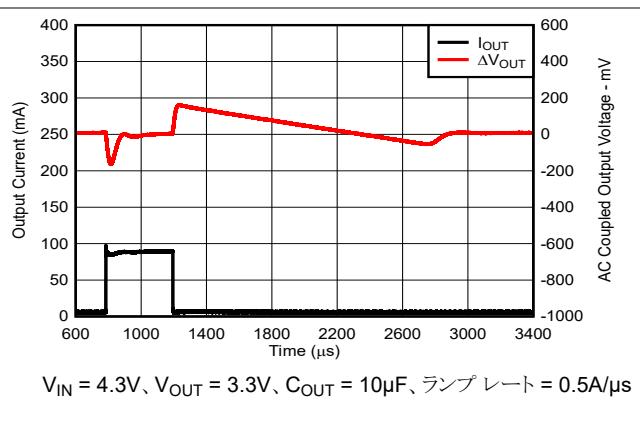
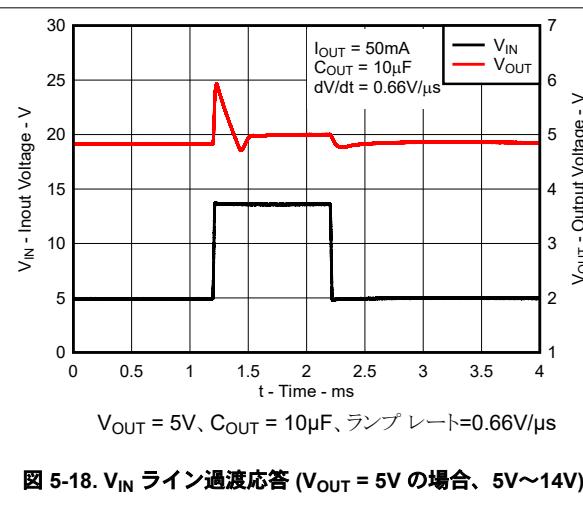
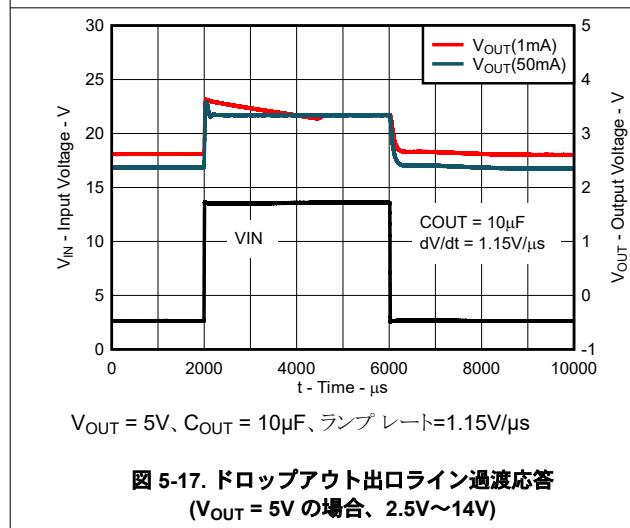


図 5-16. I_{OUT} 過渡電流 (1mA~80mA)



6 詳細説明

6.1 概要

TLV709 低ドロップアウト レギュレータ (LDO) は、出力電流範囲の全体にわたって、静止電流がわずか $3.2\mu\text{A}$ (標準値) です。このデバイスは、小型パッケージで広い入力電圧範囲と低いドロップアウト電圧を実現しています。このデバイスは $2.5\text{V} \sim 30\text{V}$ の入力範囲で動作し、 $1\mu\text{F}$ 以上の任意の出力コンデンサで安定です。TLV709 は、負荷電流範囲全体にわたって静止電流が小さく、バッテリ駆動アプリケーションへ電力を供給するために設計されています。TLV709 にはソフトスタートが内蔵されており、出力コンデンサへの突入電流を制御できます。また、この LDO は、負荷短絡時や出力の障害状態時の過電流保護機能を備えています。

6.2 機能ブロック図

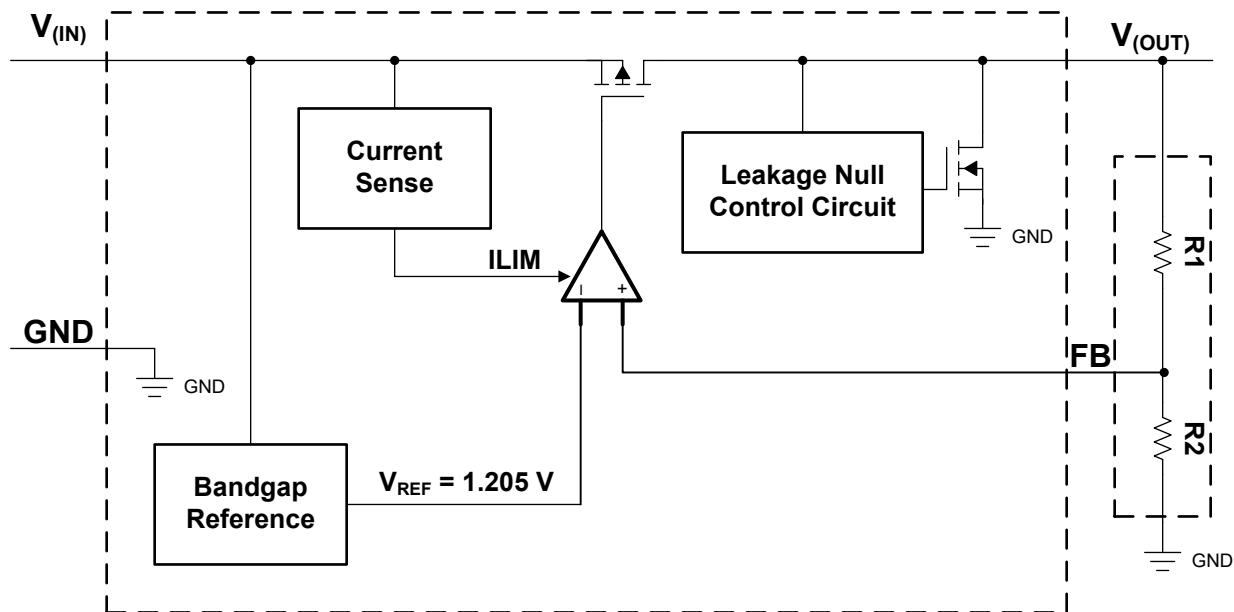


図 6-1. 機能ブロック図：可変バージョン

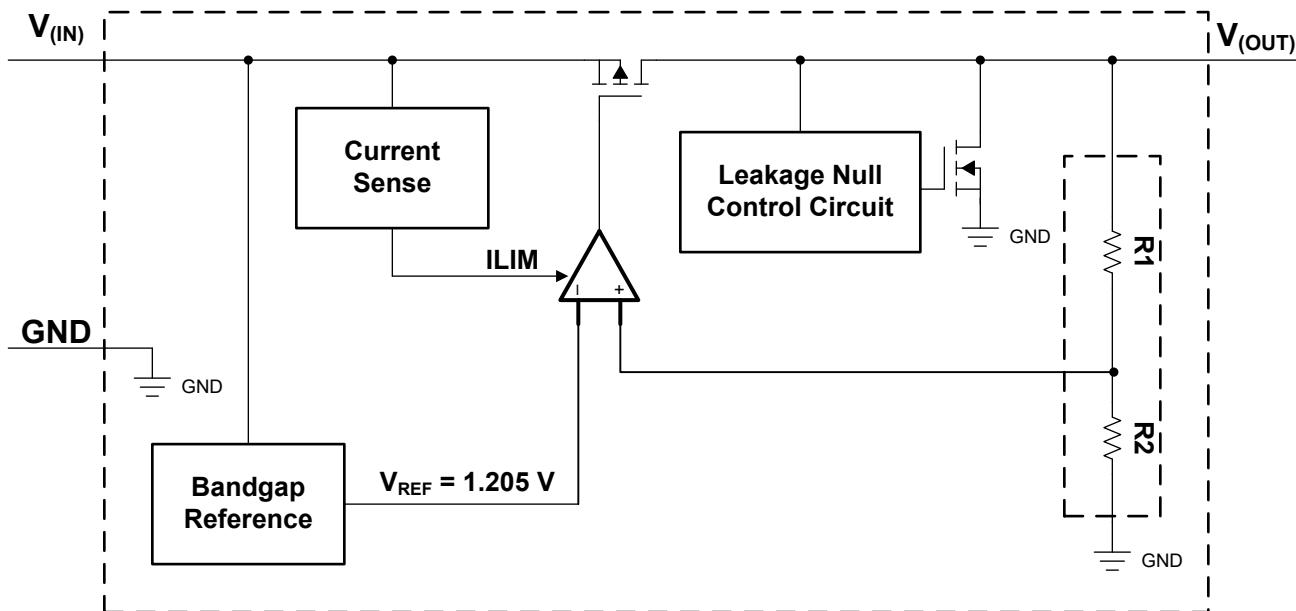


図 6-2. 機能ブロック図：固定バージョン

6.3 機能説明

6.3.1 広い電源電圧範囲

このデバイスは 2.5V~30V の入力電源範囲で動作し、広範囲のアプリケーションに対応できます。この広い電源電圧範囲は、大きな過渡電圧や高い DC 電圧電源を持つアプリケーション向けに設計されています。

6.3.2 低静止電流

このデバイスは、負荷電流範囲の全体 (0mA~150mA) にわたって、必要な静止電流は、わずか 3.2μA (標準値) です。この要件は室温の場合であり、-40°C~125°C の温度範囲全体では 4.8μA (最大値) です。

6.3.3 ドロップアウト電圧 (V_{DO})

ドロップアウト電圧 (V_{DO}) は、パストランジスタが完全にオンになる定格出力電流 (I_{RATED}) において、 $V_{IN} - V_{OUT}$ として定義されます。 V_{IN} は入力電圧、 V_{OUT} は出力電圧、 I_{RATED} は [推奨動作条件](#) 表に記載されている最大 I_{OUT} です。ドロップアウト動作では、パストランジスタはオーム領域または三極管領域で動作し、スイッチとして機能します。ドロップアウト電圧は、出力電圧がレギュレーション状態を維持すると予想される、プログラムされた公称出力電圧よりも大きな最小入力電圧を間接的に規定します。入力電圧が出力レギュレーションを維持するために必要な値よりも低下すると、出力電圧も同様に低下します。

CMOS レギュレータの場合、ドロップアウト電圧はパストランジスタのドレインソース間オン抵抗 ($R_{DS(ON)}$) によって決まります。したがって、リニア レギュレータが定格電流よりも低い値で動作する場合、その電流に対するドロップアウト電圧はそれに応じてスケーリングされます。[式 1](#) を使用して、デバイスの $R_{DS(ON)}$ を計算します。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (1)$$

6.3.4 電流制限

このデバイスには、内部に電流制限回路があり、過渡的な高負荷電流障害または短絡イベントの時にレギュレータを保護します。電流制限は、ブリックウォール方式です。高負荷電流障害では、ブリックウォール方式により、出力電流が電流制限 (I_{CL}) に制限されます。 I_{CL} は、[電気的特性](#) 表に記載されています。

デバイスが電流制限されている場合、出力電圧はレギュレートされません。電流制限イベントが発生すると、消費電力の増加によりデバイスが発熱し始めます。デバイスがブリックウォール電流制限にある場合、パストランジスタは電力 [$(V_{IN} - V_{OUT}) \times I_{CL}$] を消費します。電流制限の詳細については、[『制限の把握』アプリケーションノート](#) を参照してください。

図 6-3 は、電流制限の図を示しています。

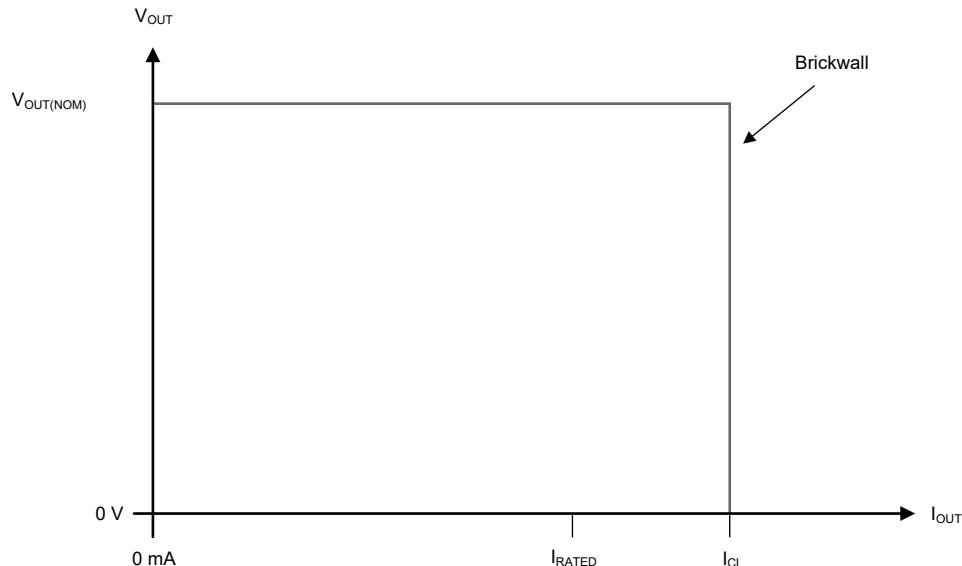


図 6-3. 電流制限

6.3.5 リーク電流のヌル制御回路

このデバイスには、リーク電流のヌル制御回路が内蔵されています。高温では、パストランジスタのリーク電流が増加し、無負荷 ($I_{OUT} = 0\text{mA}$) 状態での V_{OUT} の精度に影響を与え始めます。このリーク電流は、LDO のヘッドルーム ($V_{IN} - V_{OUT}$) が大きいほど悪化します。TLV709 にはリーク電流のヌル制御回路が内蔵されており、パストランジスタのリーク電流を検出し、リーク電流に対してグランド放電パスを提供します。この回路により、TLV709 は広い V_{IN} および温度 (-40°C ~ +125°C) 範囲にわたって、はるかに厳密な V_{OUT} 精度を維持することができます。

6.4 デバイスの機能モード

通常モードおよびドロップアウト モードの各動作の簡単な比較を [表 6-1](#) に示します。

表 6-1. デバイスの機能モードの比較

動作モード	パラメータ	
	V_{IN}	I_{OUT}
通常	$V_{IN} > V_{OUT(nom)} + V_{DO}$	$I_{OUT} < I_{CL}$
ドロップアウト	$V_{IN} < V_{OUT(nom)} + V_{DO}$	$I_{OUT} < I_{CL}$

6.4.1 通常動作

デバイスは、次の条件で公称出力電圧へのレギュレートを行います。

- 入力電圧が、公称出力電圧とドロップアウト電圧の和 ($V_{OUT(nom)} + V_{DO}$) よりも大きい
- 出力電流が、電流制限より小さい ($I_{OUT} < I_{CL}$)
- デバイスの接合部温度が -40°C を超え、+125°C 未満

6.4.2 ドロップアウト動作

入力電圧が、公称出力電圧と規定ドロップアウト電圧の和よりも低い場合、デバイスはドロップアウト モードで動作します。ただし、他のすべての条件は、正常動作の条件を満たしている必要があります。このモードでは、出力電圧は入力電圧に追従します。このモードでは、デバイスの過渡性能が大きく低下します。パストランジスタは、抵抗領域すなわち三極管領域で動作し、スイッチとして機能します。ドロップアウト中にライン過渡または負荷過渡事象が生じると、大きな出力電圧の偏差が発生します。

デバイスが定常ドロップアウト状態であるとき、パストランジスタは抵抗領域すなわち三極管領域に駆動されます。定常ドロップアウト状態とは、デバイスが通常のレギュレーション状態から直接ドロップアウトになった場合ですが、スタートアップ中は異なります。ドロップアウトは、 $V_{IN} < V_{OUT(NOM)} + V_{DO}$ のときに発生します。入力電圧 $\geq V_{OUT(NOM)} + V_{DO}$ に復帰すると、出力電圧は短時間オーバーシュートします。 $V_{OUT(NOM)}$ は公称出力電圧、 V_{DO} はドロップアウト電圧です。この期間中に、デバイスはパストランジスタを線形領域に戻します。

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インストルメンツの製品仕様に含まれるものではなく、テキサス・インストルメンツではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

TLV709 LDO レギュレータは、バッテリ駆動アプリケーションに最適な選択肢です。このデバイスは、負荷電流範囲全体でデバイスの I_Q が小さいので、MSP430 などの低消費電力マイクロコントローラの電源として適しています。TLV709 は消費電流が非常に低いため、軽負荷時の効率を最大化できます。このデバイスは広い入力電圧範囲に対応し、可変構成と固定出力レベルで出力電圧を柔軟に選択できます。これらの特長から、このデバイスはビル オートメーションや電動工具の電源として最適です。

7.2 代表的なアプリケーション

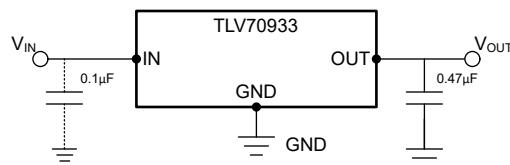


図 7-1. 代表的なアプリケーションの回路 (固定電圧バージョン)

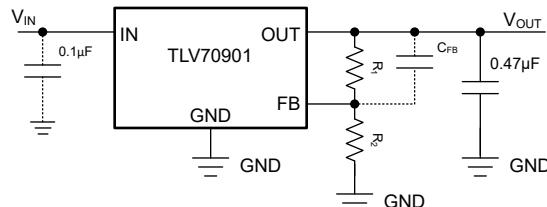


図 7-2. TLV70901 の可変 LDO レギュレータのプログラミング

注: 点線は、オプションの入力コンデンサを示します。「推奨動作条件」表と「入出力コンデンサの要件」セクションを参照してください。

表 7-1. 抵抗 R1 および R2 の出力電圧を調整可能

出力電圧 (V)	R1 (MΩ)	R2 (MΩ)
1.8	0.499	1
2.8	1.33	1
5.0	3.16	1

7.2.1 設計要件

表 7-2 は、図 7-1 の設計要件をまとめたものです。

表 7-2. 設計パラメータ

パラメータ	設計要件
入力電圧	12V
出力電圧	3.3V
出力電流	100mA

7.2.2 詳細な設計手順

7.2.2.1 TLV70901 可変 LDO の V_{OUT} の設定

図 7-2 に示すように、TLV709 には、外付けの抵抗デバイダを使用して出力電圧を設定する可変バージョン (TLV70901) が含まれています。出力電圧の動作範囲は 1.2V~28V で、以下のように計算されます。

$$V_{OUT} = V_{REF} \times \left(1 + \frac{R1}{R2} \right) \quad (2)$$

ここで

- $V_{REF} = 1.205V$ (標準値)

分圧抵抗を流れる電流が約 1.5μA になるように、抵抗 R1 および R2 を選択します。値の小さい抵抗を使用するとノイズ特性が改善されますが、消費電力が大きくなります。あまり大きい抵抗値は避けてください。R1、R2 を通って FB へまたは FB から流れるリーク電流は、 V_{OUT} を V_{REF} で除算した値に比例するオフセット電圧を発生させます。推奨される設計手順は、 $R2 = 1M\Omega$ を選択して分圧抵抗の電流を 1.5μA に設定してから、式 3 を使用して R1 を計算することです。

$$R1 = \left(\frac{V_{OUT}}{V_{REF}} - 1 \right) \times R2 \quad (3)$$

図 7-2 にこの構成を示します。

7.2.2.2 外部コンデンサの要件

このデバイスは、入出力に低等価直列抵抗 (ESR) のセラミック コンデンサを使用することで安定するように設計されています。積層セラミック コンデンサは、この種のアプリケーションの業界標準になっており、推奨されますが、適切な判断のもとに使用する必要があります。X7R、X5R、C0G 定格の誘電体を採用したセラミックコンデンサは、温度範囲全体にわたって比較的良好な容量安定性が得られます。しかし、Y5V 定格のコンデンサは、容量に大きな変動があるため推奨しません。

選択したセラミック コンデンサの種類にかかわらず、実効静電容量は動作電圧と温度によって変化します。一般に、実効静電容量は 50% 程度減少すると予想されます。「[推奨動作条件](#)」表に示す入力および出力コンデンサは、公称値の約 50% の実効静電容量を表しています。

7.2.2.3 入出力コンデンサの要件

安定性のために入力コンデンサは必要ではありませんが、アナログ設計では IN と GND の間にコンデンサを接続するのが適切です。このコンデンサは、リアクティブな入力ソースに対抗し、過渡応答、入力リップル、PSRR を改善します。ソースインピーダンスが 0.5Ω を超える場合は、入力コンデンサを使用します。大きく高速な立ち上がり時間の負荷またはライン過渡が予想される場合は、より値の大きいコンデンサを使用してください。また、デバイスが入力電源から数インチ離れて配置される場合は、より値の大きいコンデンサを使用してください。

デバイスの動的性能は、より大きい出力コンデンサを使用することで向上します。TLV709 は、安定性のために $1\mu F$ 以上の出力コンデンサ ($0.47\mu F$ 以上の静電容量) と、 0.001Ω ~ 1Ω の等価直列抵抗 (ESR) を必要とします。最高の過渡性能を得るには、X5R および X7R タイプのセラミック コンデンサを使用します。これらのコンデンサは、温度による値と ESR の変動が最小限に抑えられているからです。特定のアプリケーション用にコンデンサを選択するときは、コンデンサの DC バイアス特性に注意します。出力電圧が高くなると、コンデンサの定格が大きく低下します。安定性のために、「[推奨動作条件](#)」表に記載されている範囲内の出力コンデンサを使用します。

7.2.2.4 逆電流

過度な逆電流がある場合、デバイスが損傷する可能性があります。逆電流は、通常の導通チャネルではなく PMOS パストランジスタの固有ボディダイオードを通って流れます。この電流が大きくなると、デバイスの長期的な信頼性が低下します。

このセクションでは、逆電流が発生する可能性のある条件について概説します。これらの条件はすべて、 $V_{OUT} \leq V_{IN} + 0.3V$ の絶対最大定格を超える可能性があります。これらの条件は次のとおりです。

- デバイスが大きな C_{OUT} を持ち、負荷電流がほとんどまたはまったくない状態で入力電源が破損した場合
- 入力電源が確立されていない場合、出力はバイアスされる
- 出力は入力電源よりも高くバイアスされる

アプリケーションで逆電流が予期される場合は、外部保護機能を使用してデバイスを保護します。逆電流はデバイス内で制限されないため、拡張された逆電圧動作が予期される場合は、外部制限が必要です。この電流が避けられない場合は、逆電流をデバイスの定格出力電流の 5% 以下に制限します。

図 7-3 に、デバイスを保護するための 1 つのアプローチを示します。

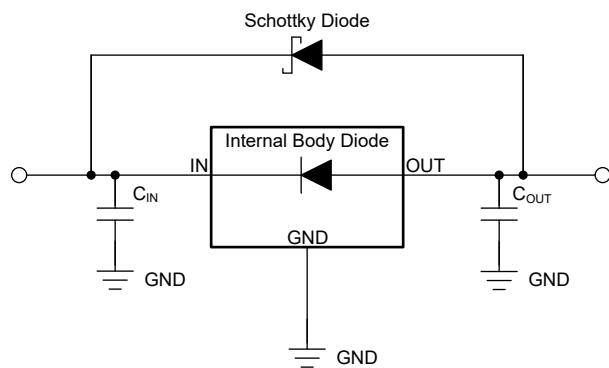


図 7-3. ショットキー ダイオードを使用した逆電流保護の回路例

7.2.2.5 フィードフォワード コンデンサ (C_{FF})

可変電圧バージョンのデバイスでは、フィードフォワード コンデンサ (C_{FF}) を OUT ピンから FB ピンへ接続します。 C_{FF} は過渡現象、ノイズ、PSRR の性能を向上させますが、レギュレータの安定性には必要ありません。推奨される C_{FF} 値を「[推奨動作条件](#)」表に示します。より高い容量の C_{FF} を使用すると、起動時間が長くなります。 C_{FF} のトレードオフの詳細な説明については、「[低ドロップアウト レギュレータでフィードフォワード コンデンサを使用する場合の長所と短所](#)」アプリケーション ノートを参照してください。

C_{FF} と R_1 は、周波数 f_Z においてループ ゲインにゼロ点を形成します。 C_{FF} 、 R_1 、 R_2 は、周波数 f_P においてループ ゲインに極を形成します。 C_{FF} のゼロ周波数と極周波数は、次の式から計算できます。

$$f_Z = 1 / (2 \times \pi \times C_{FF} \times R_1) \quad (4)$$

$$f_P = 1 / (2 \times \pi \times C_{FF} \times (R_1 \parallel R_2)) \quad (5)$$

フィードバック分圧器の電流が $5\mu A$ 未満の場合、安定性のために $C_{FF} \geq 10pF$ が必要です。[式 6](#) はフィードバック デバイダの電流を計算します。

$$I_{FB_Divider} = V_{OUT} / (R_1 + R_2) \quad (6)$$

C_{FF} による起動時間の増加を避けるために、 $C_{FF} \times R_1 < 50\mu s$ に制限します。

出力電圧が $1.205V$ で、FB ピンが OUT ピンに接続されている場合、 C_{FF} は使用されません。

7.2.2.6 消費電力 (P_D)

回路の信頼性を確保するには、デバイスの消費電力、プリント基板 (PCB) 上の回路の位置、およびサーマル プレーンの適切なサイズを考慮する必要があります。レギュレータの周囲の PCB 領域には、熱ストレスを増大させるその他の発熱デバイスが、ほとんどまたはまったくないようになります。

1 次近似では、レギュレータの消費電力は、入力と出力の電圧差と負荷条件に依存します。消費電力 (P_D) は、次の式で計算されます。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (7)$$

注

システム電圧レールを適切に選択することで、消費電力を最小限に抑えることができるため、より高い効率を実現できます。消費電力を最小限にするには、適切な出力レギュレーションに必要な最小の入力電圧を使用します。

サーマル パッドを備えたデバイスの場合、デバイス パッケージの主な熱伝導経路は、サーマル パッドを通じて PCB へと接続されます。サーマル パッドをデバイスの下の銅パッド領域に半田付けします。このパッド領域には、放熱性を高めるために、追加の銅プレーンに熱を伝導するメッキされたビアの配列を設ける必要があります。

最大消費電力により、デバイスの最大許容周囲温度 (T_A) が決まります。次の式によると、消費電力と接合部温度は、多くの場合、いくつかの要因による関係があります。これらの要因としては、PCB とデバイス パッケージを組み合わせた接合部から周囲への熱抵抗 ($R_{\theta JA}$)、および周囲空気の温度 (T_A) があります。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (8)$$

熱抵抗 ($R_{\theta JA}$) は、特定の PCB 設計に作り込まれている熱拡散能力に大きく依存します。したがって、 $R_{\theta JA}$ は、銅箔の総面積、銅の重量、プレーンの位置に応じて変化します。[熱に関する情報](#) 表に記載されている接合部から周囲への熱抵抗は、JEDEC 標準の PCB および銅箔面積によって決まります。この熱抵抗は、パッケージの熱性能の相対的な測定値として使用されます。PCB 基板レイアウト最適化により、[熱に関する情報](#) 表の値に比べて $R_{\theta JA}$ が 35%~55% 改善されています。詳細については、『[基板レイアウトが LDO の熱性能に及ぼす影響に関する実証的分析](#)』アプリケーション ノートを参照してください。

7.2.2.7 推定接合部温度

現在、JEDEC 規格では ψ (Psi) 熱評価基準の使用を推奨しています。これらの指標は、代表的な PCB 基板アプリケーションで回路内にあるときのリニアレギュレータの接合部温度を推定します。これらの指標は熱抵抗パラメータではなく、接合部温度を推定するための実用的かつ相対的な方法を提供します。これらの ψ 指標は、熱拡散に利用できる銅箔面積に大きく依存しないことが判明しています。「[熱に関する情報](#)」表には、主要な熱指標である、接合部から上面への特性パラメータ (ψ_{JT}) と接合部から基板への特性パラメータ (ψ_{JB}) がリストされています。これらのパラメータは、以下の式で説明するように、接合部温度 (T_J) を計算するための 2 つの方法を提供します。接合部から上面への特性パラメータ (ψ_{JT}) とデバイス パッケージの中央上部の温度 (T_T) を使用して、接合部温度を計算します。接合部から基板への特性パラメータ (ψ_{JB}) とデバイス パッケージから 1mm の PCB 表面温度 (T_B) を使用して、接合部温度を計算します。

$$T_J = T_T + \psi_{JT} \times P_D \quad (9)$$

ここで

- P_D は、消費電力
- T_T は、デバイス パッケージの中央上部の温度

$$T_J = T_B + \Psi_{JB} \times P_D \quad (10)$$

ここで

- T_B は、デバイスパッケージから 1mm の位置で、パッケージのエッジの中心で測定された PCB 表面温度

熱指標とその使用方法の詳細については、『半導体および IC パッケージの熱指標』アプリケーションノートを参照してください。

7.3 設計のベスト プラクティス

レギュレータの OUT ピンおよび GND ピンの可能な限り近くに、少なくとも 1 つの $0.47\mu\text{F}$ のコンデンサを配置します。

出力コンデンサとレギュレータを、長くて細い配線で接続しないでください。

最高の性能を実現するため、入力コンデンサを、レギュレータの IN および GND ピンの可能な限り近くに配置します。

絶対最大定格を超過してはなりません。

7.4 電源に関する推奨事項

TLV709 は、2.5V~30V の入力電源電圧範囲で動作するように設計されています。この入力電圧範囲により、デバイスがレギュレートされた出力を供給するための十分なヘッドルームが得られます。入力電源にノイズがある場合、ESR の低い入力コンデンサを追加すると、出力のノイズ特性を改善するために役立ちます。

7.5 レイアウト

7.5.1 レイアウトのガイドライン

総合的に最高の性能を得るには、回路のすべての部品をプリント基板 (PCB) の同じ面に配置します。これらの部品は、それぞれの LDO ピン接続にできるだけ近づけて配置してください。入力および出力コンデンサのグランド復帰接続は、可能な限り GND ピンに近く配置し、広いコンポーネント側の銅のプレーンで接続してください。LDO 回路から入力コンデンサ、出力コンデンサ、または分圧抵抗への接続にビアや長い配線を使用しないでください。この方法は、システム性能に悪影響を及ぼします。このグランドおよびレイアウトの方式により誘導性の寄生成分が最小化され、負荷過渡電流の低減、ノイズの最小化、回路の安定性の増大を実現できます。グランド基準プレーンを PCB に埋め込むか、コンポーネントの反対側の PCB の裏面に配置します。この基準プレーンにより、出力電圧の精度が確保され、LDO がノイズから遮断されます。

7.5.1.1 電力散逸

信頼性の高い動作を行うためには、ワーストケースの接合部温度が 125°C を超えないようにする必要があります。この制限により、任意のアプリケーションでレギュレータが処理できる消費電力が制限されます。接合部温度が許容される制限内であることを保証するには、最大許容消費電力 $P_{D(\max)}$ および実際の消費電力 P_D を計算します。 P_D が $P_{D(\max)}$ 以下であることを確認してください。

式 11 は、最大消費電力の制限を決定します。

$$P_{D(\max)} = \frac{T_J \max - T_A}{R_{\theta JA}} \quad (11)$$

ここで

- $T_{J\max}$ は、許容される最大の接合部温度です。
- $R_{\theta JA}$ は、パッケージの接合部から周囲への熱抵抗です（「熱に関する情報」表を参照）。
- T_A は周囲温度

式 12 は、レギュレータの消費電力を計算します。

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (12)$$

7.5.2 レイアウト例

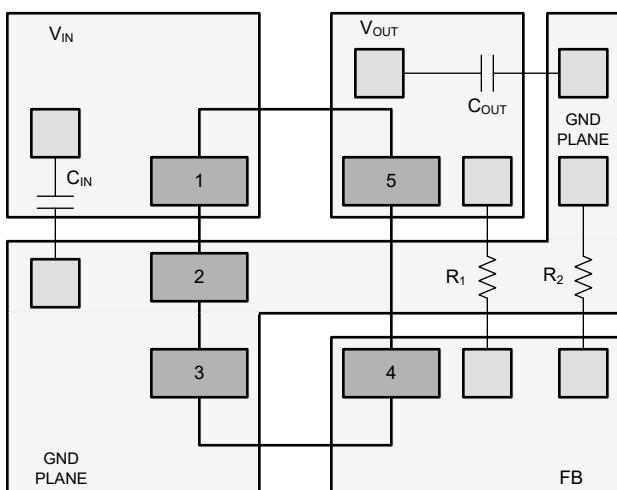


図 7-4. TLV709A01DBV のレイアウト例

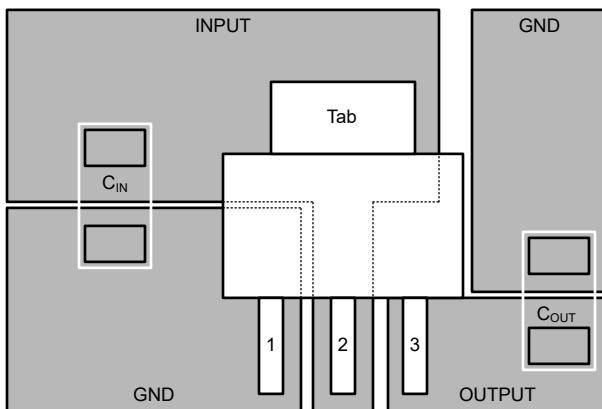


図 7-5. TLV709xxPK のレイアウト例 (IN タブ)

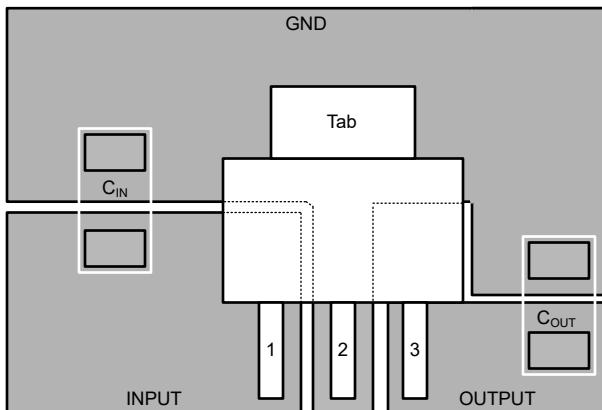


図 7-6. TLV709AxxPK のレイアウト例 (GND タブ)

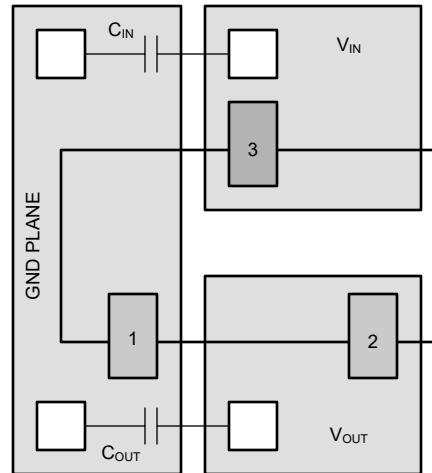


図 7-7. TLV709xxDBZ のレイアウト例

8 デバイスおよびドキュメントのサポート

8.1 デバイスのサポート

8.1.1 開発サポート

8.1.1.1 評価基板

TLV709 を使用した初期の回路性能評価には、評価基板 (EVM) を利用することができます。TPS71533EVM 評価基板 (および関連するユーザー ガイド) は、テキサス・インスツルメンツの Web サイトにある製品フォルダで請求するか、TI eStore から直接購入できます。

8.1.1.2 SPICE モデル

SPICE による回路パフォーマンスのコンピュータ・シミュレーションは、多くの場合、アナログ回路やシステムのパフォーマンスを分析するのに有用です。TLV709 用の SPICE モデルは、製品フォルダの「ツールとソフトウェア」から入手できます。

8.1.2 デバイスの命名規則

表 8-1. 利用可能なオプション

製品 ⁽¹⁾	説明
TLV709AxxDBVz	SOT-23-5 (DBV) パッケージ: A は可変出力を示します。 xx は公称出力電圧です (たとえば、33 = 3.3V、50 = 50V、01=可変)。 z はパッケージ数量です。
TLV709AxxDBZz	SOT-23-3 (DBZ) パッケージの場合: A は可変出力を示します。 xx は公称出力電圧です (たとえば、33 = 3.3V、50 = 50V)。 z はパッケージ数量です。
TLV709xxPKz	IN タブ付きの SOT-89 (PK) パッケージの場合、 xx は公称出力電圧です (たとえば、33 = 3.3V、50 = 50V)。 z はパッケージ数量です。
TLV709AxxPKz	GND タブ付きの SOT-89 (PK) パッケージ: A は可変出力を示します。 xx は公称出力電圧です (たとえば、33 = 3.3V、50 = 50V)。 z はパッケージ数量です。

- (1) 最新のパッケージ情報と発注情報については、このデータシートの末尾にある「付録:パッケージ オプション」を参照するか、www.ti.com または www.tij.co.jp にある TI の Web サイトを参照してください。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『TPS71533EVM LDO レギュレータ評価基板』ユーザー・ガイド

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (April 2024) to Revision F (August 2025)	Page
• 「事前情報」として DBZ パッケージをドキュメントに追加.....	1
• 「ピン構成および機能」セクションに DBZ 情報を追加.....	3
• 「TLV709A01DBV のレイアウト例」の図を変更し、「TLV709xxDBZ のレイアウト例」の図を追加.....	19

Changes from Revision D (January 2024) to Revision E (April 2024)	Page
• 内部基準電圧の最小仕様制限値を 1.152V に訂正.....	6

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあります。ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV70933DBZR	Active	Production	SOT-23 (DBZ) 3	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3QAF
TLV70933PKR	Active	Production	SOT-89 (PK) 3	1000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	NS
TLV70933PKR.A	Active	Production	SOT-89 (PK) 3	1000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	NS
TLV70950DBZR	Active	Production	SOT-23 (DBZ) 3	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3QBF
TLV70950PKR	Active	Production	SOT-89 (PK) 3	1000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	NV
TLV70950PKR.A	Active	Production	SOT-89 (PK) 3	1000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	NV
TLV709A01DBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2V8F
TLV709A01DBVR.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2V8F
TLV709A33DBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2V6F
TLV709A33DBVR.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2V6F
TLV709A33PKR	Active	Production	SOT-89 (PK) 3	1000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	NT
TLV709A33PKR.A	Active	Production	SOT-89 (PK) 3	1000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	NT
TLV709A50DBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2V7F
TLV709A50DBVR.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2V7F
TLV709A50PKR	Active	Production	SOT-89 (PK) 3	1000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	NW
TLV709A50PKR.A	Active	Production	SOT-89 (PK) 3	1000 LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	NW

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

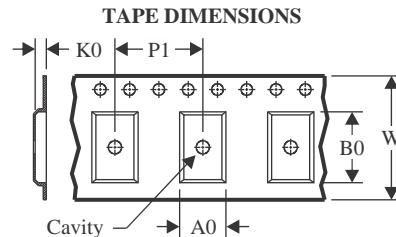
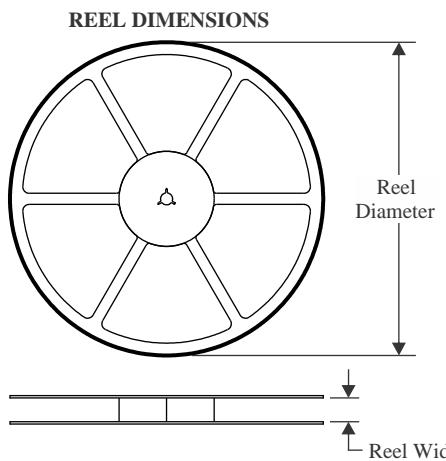
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

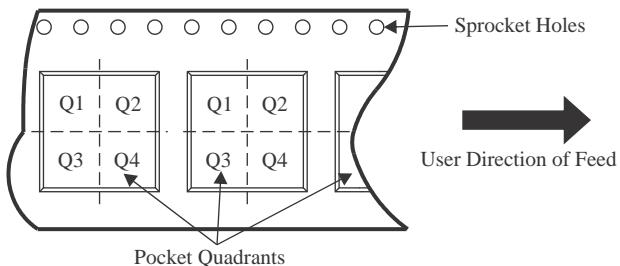
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

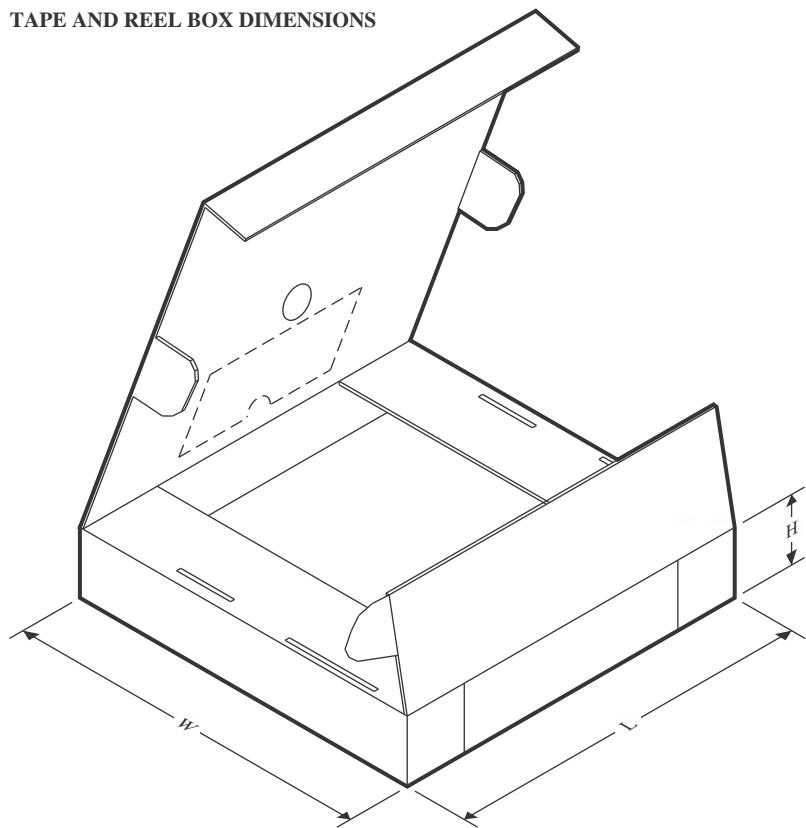
TAPE AND REEL INFORMATION

A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV70933DBZR	SOT-23	DBZ	3	3000	180.0	8.4	2.9	3.35	1.35	4.0	8.0	Q3
TLV70933PKR	SOT-89	PK	3	1000	180.0	12.4	4.91	4.52	1.9	8.0	12.0	Q3
TLV70950DBZR	SOT-23	DBZ	3	3000	180.0	8.4	2.9	3.35	1.35	4.0	8.0	Q3
TLV70950PKR	SOT-89	PK	3	1000	180.0	12.4	4.91	4.52	1.9	8.0	12.0	Q3
TLV709A01DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV709A33DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV709A33PKR	SOT-89	PK	3	1000	180.0	12.4	4.91	4.52	1.9	8.0	12.0	Q3
TLV709A50DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV709A50PKR	SOT-89	PK	3	1000	180.0	12.4	4.91	4.52	1.9	8.0	12.0	Q3

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

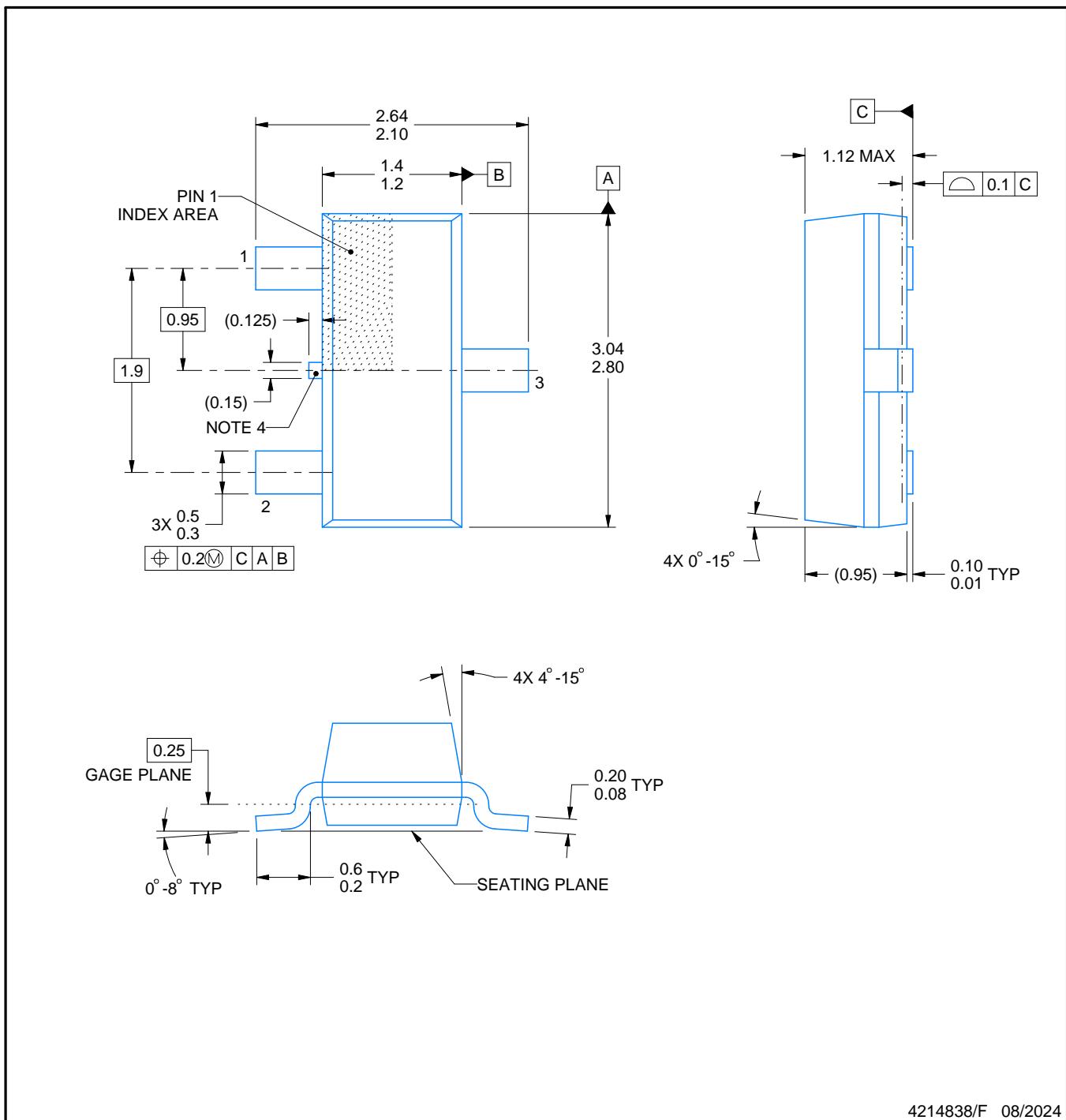
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV70933DBZR	SOT-23	DBZ	3	3000	210.0	185.0	35.0
TLV70933PKR	SOT-89	PK	3	1000	190.0	190.0	30.0
TLV70950DBZR	SOT-23	DBZ	3	3000	210.0	185.0	35.0
TLV70950PKR	SOT-89	PK	3	1000	190.0	190.0	30.0
TLV709A01DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV709A33DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV709A33PKR	SOT-89	PK	3	1000	190.0	190.0	30.0
TLV709A50DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TLV709A50PKR	SOT-89	PK	3	1000	190.0	190.0	30.0

PACKAGE OUTLINE

DBZ0003A

SOT-23 - 1.12 mm max height

SMALL OUTLINE TRANSISTOR



4214838/F 08/2024

NOTES:

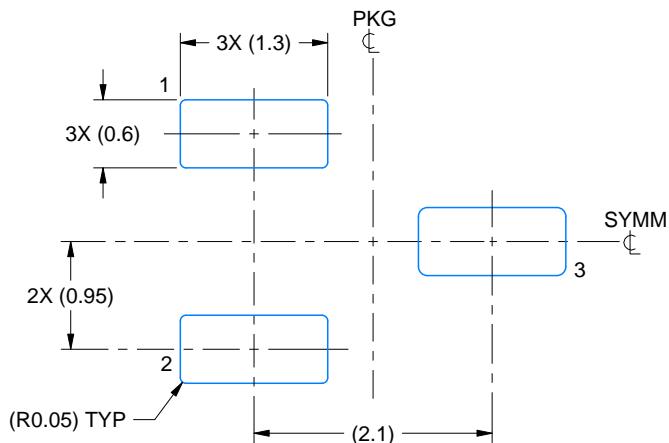
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration TO-236, except minimum foot length.
4. Support pin may differ or may not be present.
5. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side

EXAMPLE BOARD LAYOUT

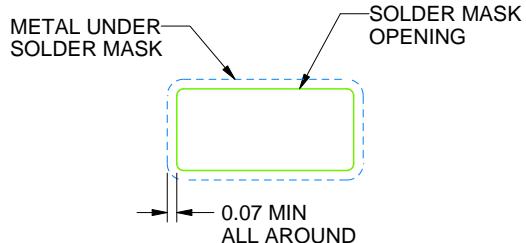
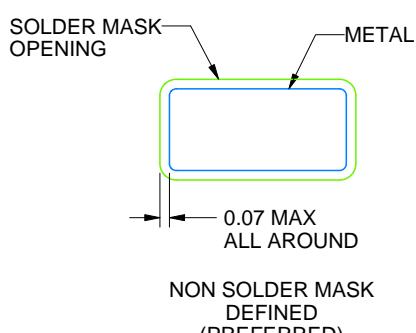
DBZ0003A

SOT-23 - 1.12 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
SCALE:15X



NON SOLDER MASK
DEFINED
(PREFERRED)

SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4214838/F 08/2024

NOTES: (continued)

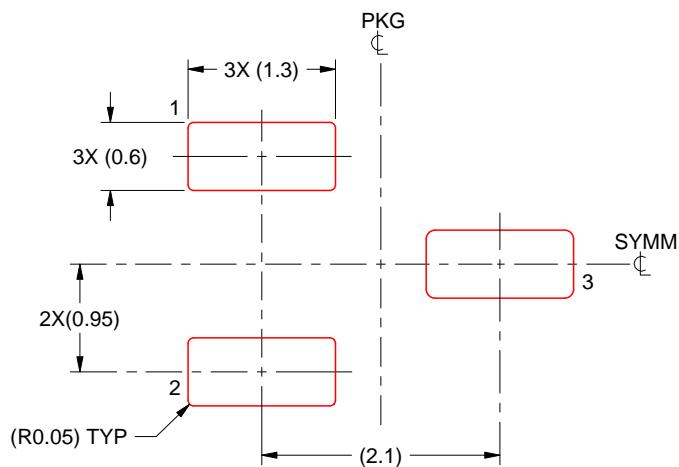
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBZ0003A

SOT-23 - 1.12 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:15X

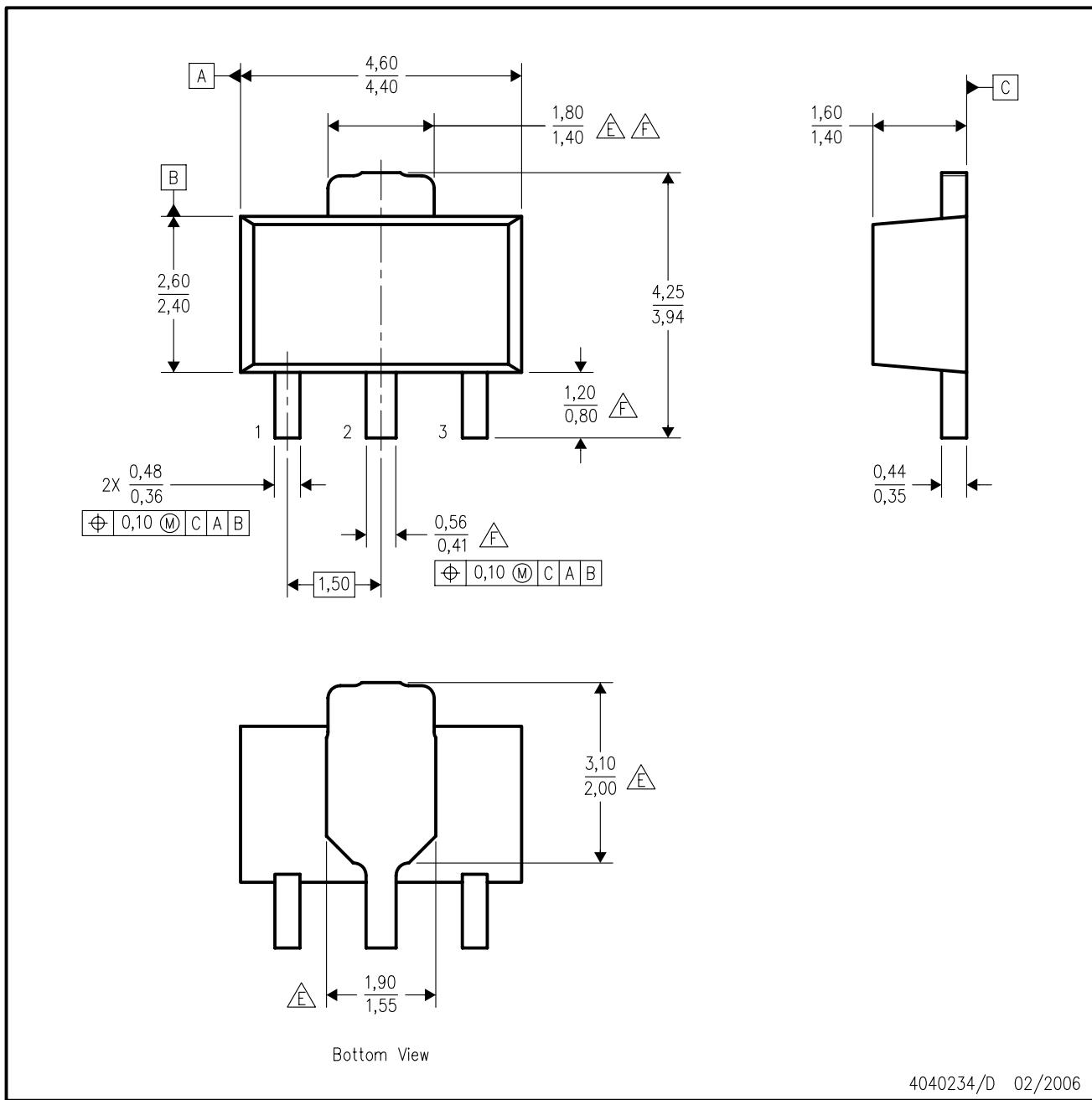
4214838/F 08/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

PK (R-PSSO-F3)

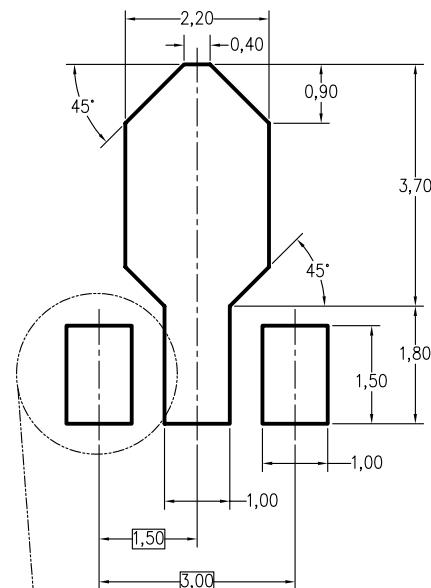
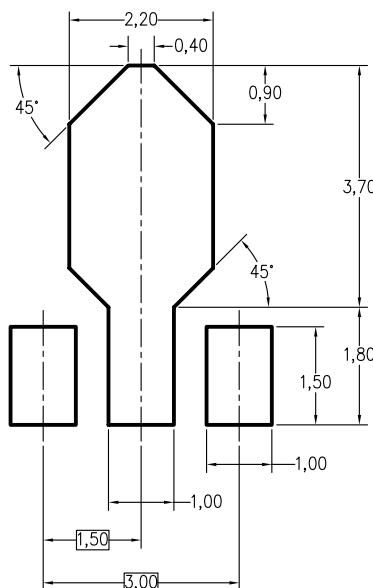
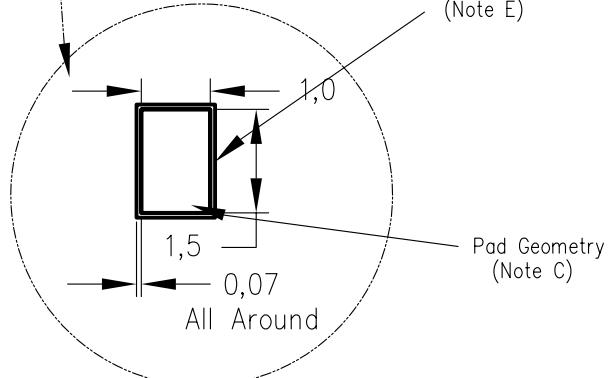
PLASTIC SINGLE-IN-LINE PACKAGE



4040234/D 02/2006

- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. The center lead is in electrical contact with the tab.
 - D. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion not to exceed 0.15 per side.
 - $\triangle E$ Thermal pad contour optional within these dimensions.
 - $\triangle F$ Falls within JEDEC TO-243 variation AA, except minimum lead length, pin 2 minimum lead width, minimum tab width.

PK (R-PDSO-G3)

Example Board Layout
(Note C)Example Stencil Design
(Note D)Non Solder Mask Defined Pad Solder Mask Opening
(Note E)

4208221/A 09/06

- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

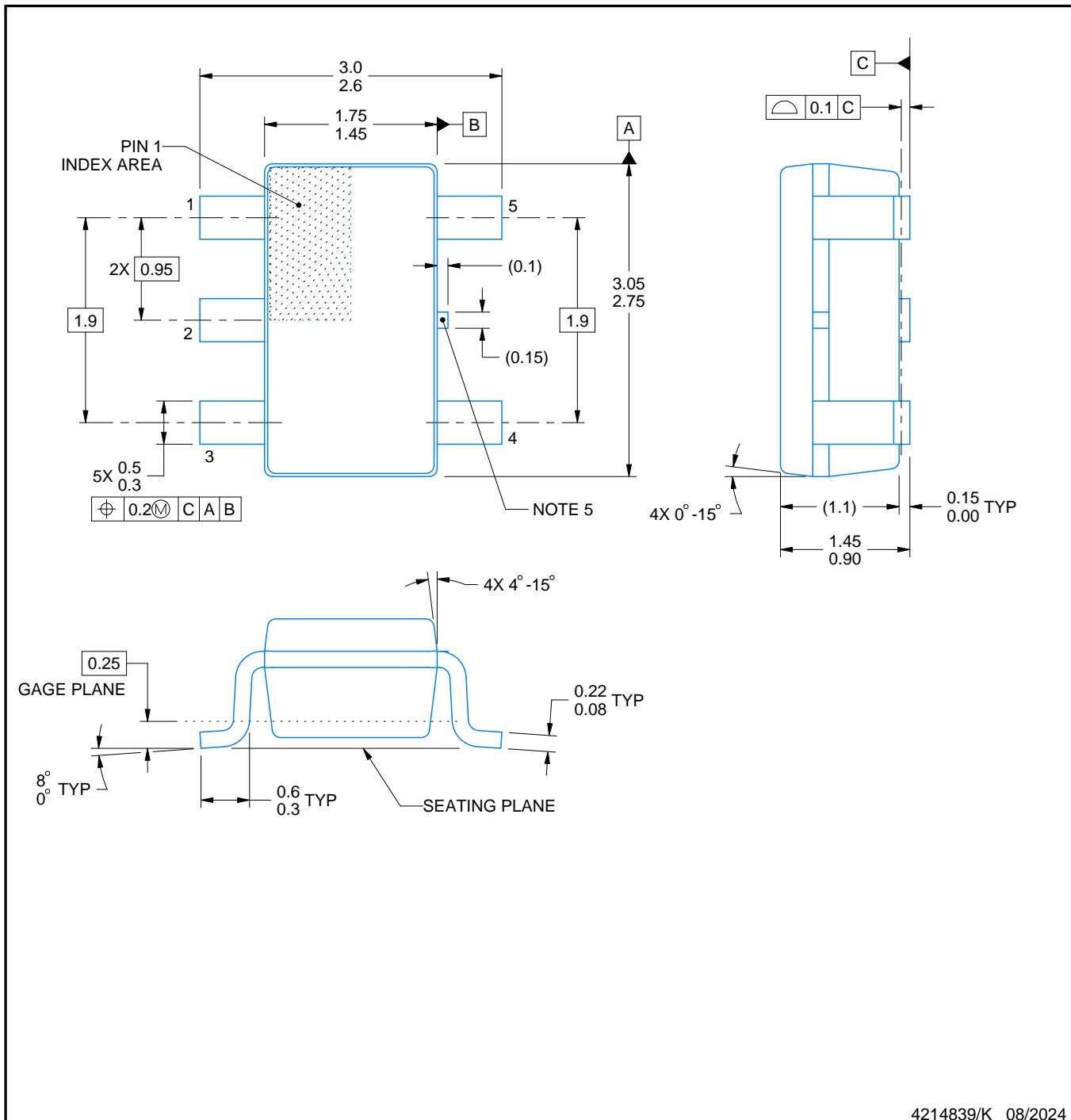
PACKAGE OUTLINE

DBV0005A



SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



4214839/K 08/2024

NOTES:

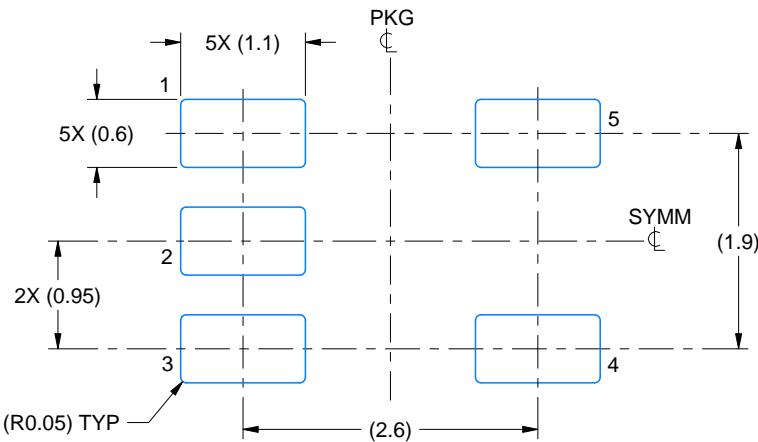
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. Reference JEDEC MO-178.
 4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
 5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

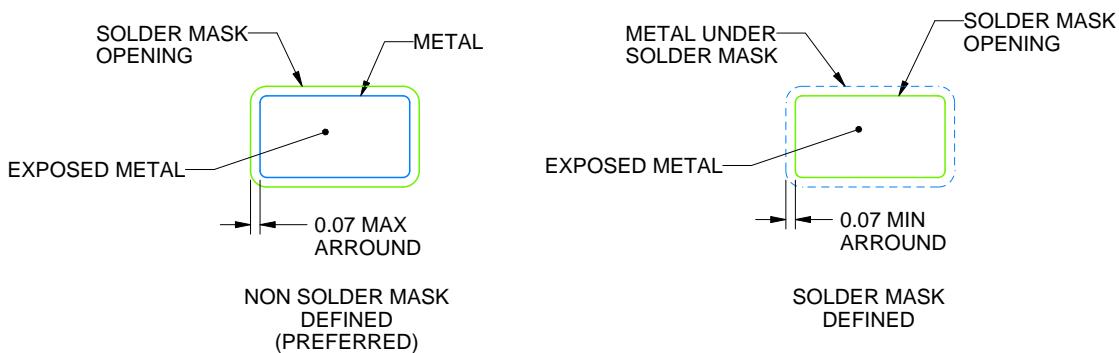
DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

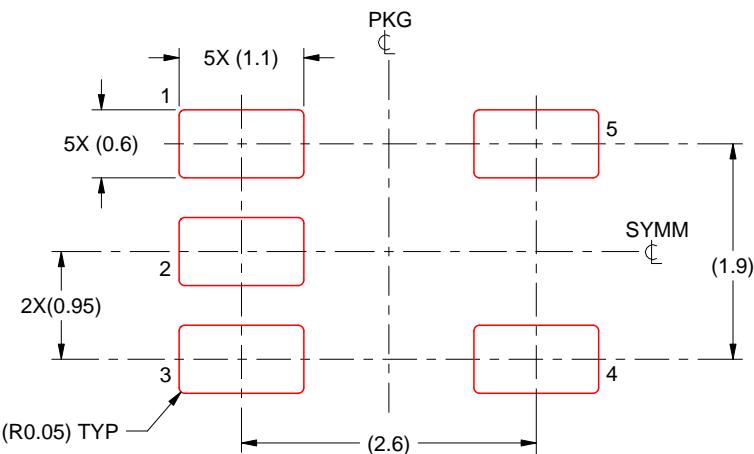
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適したTI製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されているTI製品を使用するアプリケーションの開発の目的でのみ、TIはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TIや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TIおよびその代理人を完全に補償するものとし、TIは一切の責任を拒否します。

TIの製品は、[TIの販売条件](#)、[TIの総合的な品質ガイドライン](#)、[ti.com](#)またはTI製品などに関連して提供される他の適用条件に従い提供されます。TIがこれらのリソースを提供することは、適用されるTIの保証または他の保証の放棄の拡大や変更を意味するものではありません。TIがカスタム、またはカスタマー仕様として明示的に指定していない限り、TIの製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TIはそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025年10月