

# TLV243x-Q1 Advanced LinCMOS™ レールツーレール出力広入力電圧オペアンプ

## 1 特長

- 車載アプリケーション認定済み
- MIL-STD-883、手法 3015 に従い 2000V を超える ESD 保護、マシン モデルで 200V 超 ( $C = 200\text{pF}, R = 0$ )
- 出力スイングに両方の電源レールを含む
- 拡張同相入力電圧範囲: 5V 単一電源で 0V ~ 4.5V (最小値)
- 位相反転なし:
- 低ノイズ: 標準値  $18\text{nV}/\sqrt{\text{Hz}}$  ( $f = 1\text{kHz}$ )
- 低い入力オフセット電圧:  $T_A = 25^\circ\text{C}$  で  $950\mu\text{V}$  (最大値) (TLV243xA-Q1)
- 低い入力バイアス電流: 1pA (標準値)
- 超低電源電流: チャネルあたり  $125\mu\text{A}$  (最大)
- $600\Omega$  出力ドライブ
- マクロモデル内蔵

## 2 アプリケーション

- バッテリ管理ユニット
- ADAS ドメイン コントローラ
- ブレーキ システム

## 3 説明

TLV243x と TLV243xA は、テキサス・インスツルメンツ製の低電圧オペアンプ各デバイスの同相入力電圧範囲は、標準的な CMOS アンプよりも拡張されているため、幅広い用途に適しています。また、同相入力が電源レールに駆動されている場合、これらのデバイスは位相反転しません。これにより、レールツーレールの入力性能について割増金を支払うことなく、ほとんどの設計要件を満たすことができます。また、レールツーレール出力性能も備えており、単一電源または分割電源用途でのダイナミック レンジが拡大します。このファミリは、3V および 5V 電源で完全に特性評価されており、低電圧動作用に最適となっています。TLV243x は、チャネルごとに必要な消費電流がわずか  $100\mu\text{A}$  (標準値) であるため、バッテリ駆動用途に最適です。また TLV243x は、従来のレールツーレールオペアンプと比べて出力駆動能力を向上しており、テレコムアプリケーション用の  $600\Omega$  負荷を駆動できます。

TLV243x ファミリーの他の製品は、大電力の TLV244x とマイクロパワーの TLV2422 バージョンです。

TLV243x は入力インピーダンスが高く、ノイズが低いため、圧電性トランസデューサなど高インピーダンスのソース用の 小信号コンディショニングに最適です。これらのデバイスは、マイクロ電力消費レベルと低電圧動作のため、ハ

ンドヘルド監視およびリモートセンシング用途に最適です。さらに、単一または分割電源でレール ツー レール出力が可能なため、このファミリは A/D コンバータ (ADC) と接続するための優れた選択肢です。高精度用途向けには、最大入力オフセット電圧  $950\mu\text{V}$  の TLV243xA をご用意しています。

設計でシングルオペアンプが必要な場合は、SOT-23 パッケージのレールツーレール出力オペアンプについては、テキサス・インスツルメンツの TLV2211、TLV2221、または TLV2231 をご参照ください。TLV22xx デバイスは小さなサイズと低消費電力で、高密度のバッテリ駆動機器向けに設計されています。

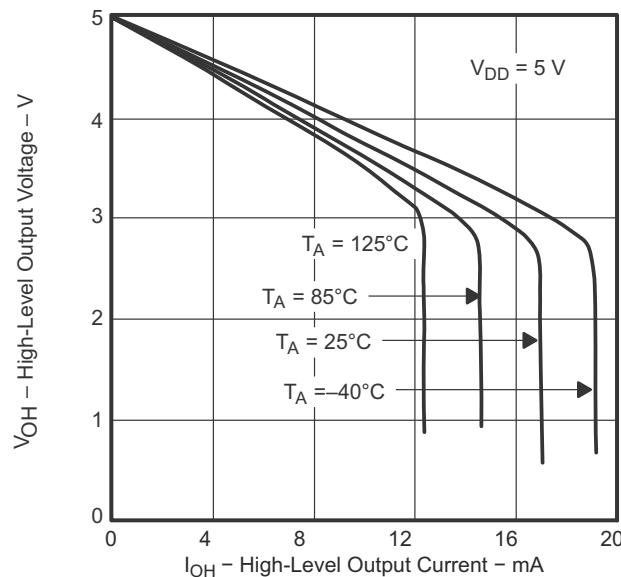
## パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	パッケージ サイズ <sup>(2)</sup>
TLV2432-Q1、 TLV2432A-Q1	D (SOIC, 8)	4.9mm × 6mm
TLV2434A-Q1	D (SOIC, 8) PW (TSSOP, 14)	4.9mm × 6mm 5mm × 6.4mm

(1) 詳細については、セクション 9 を参照してください。

(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。

HIGH-LEVEL OUTPUT VOLTAGE  
vs  
HIGH-LEVEL OUTPUT CURRENT

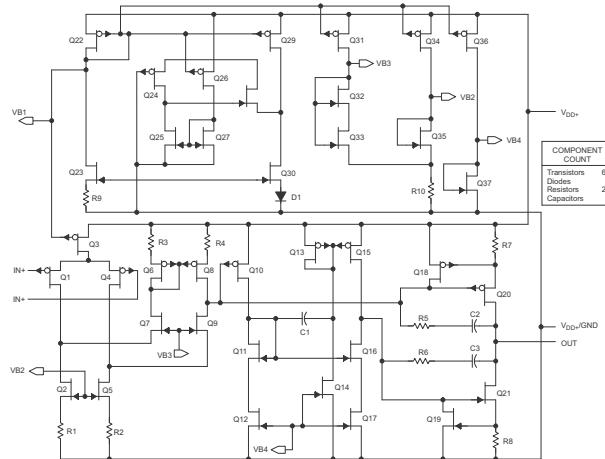
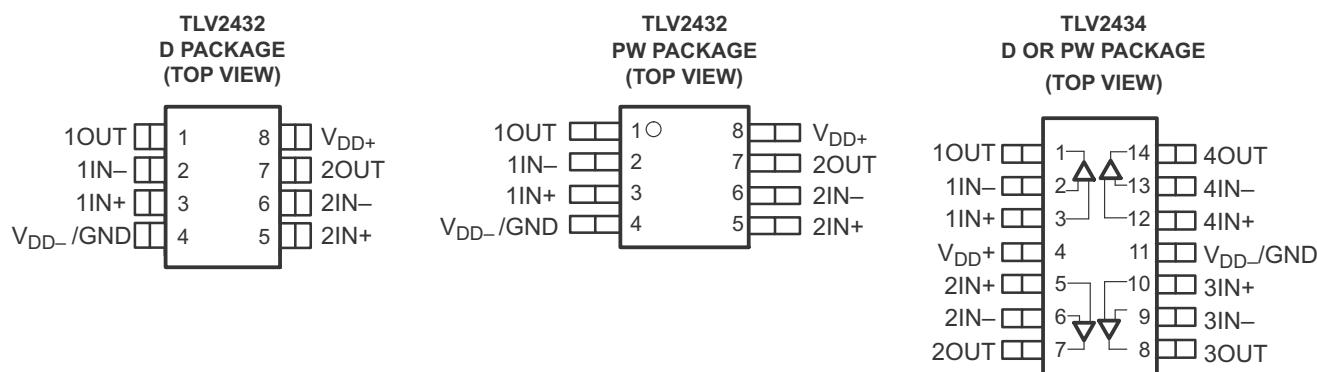


このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあります。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

## 4 注文情報

$T_A$	$25^\circ\text{C}$ での $V_{IO\text{max}}$	パッケージ <sup>(2)</sup>		発注用部品番号 <sup>(1)</sup>	上面のマーキング
$-40^\circ\text{C} \sim 125^\circ\text{C}$	950 $\mu\text{V}$	SOIC – D	テープアンドリール	TLV2432AQDRQ1	2432AQ
		TSSOP – PW	テープアンドリール	TLV2432AQPWRQ1	プレビュー
	2.5mV	SOIC – D	テープアンドリール	TLV2432QDRQ1	2432Q1
		TSSOP – PW	テープアンドリール	TLV2432QPWRQ1	プレビュー
	950 $\mu\text{V}$	SOIC – D	テープアンドリール	TLV2434AQDRQ1	2434AQ
		TSSOP – PW	テープアンドリール	TLV2434AQPWRQ1	2434AQ

- (1) 最新のパッケージ情報と注文情報については、このドキュメントの末尾にある「付録:パッケージオプション」を参照するか、[www.ti.com](http://www.ti.com) にある TI の Web サイトを参照してください。  
(2) パッケージ図面、熱特性データ、記号の意味については、[www.ti.com/packaging](http://www.ti.com/packaging) をご覧ください。



等価回路図 (各アンプ)

## 5 仕様

### 5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) <sup>(1)</sup>

		最小値	最大値	単位
$V_{DD}$	電源電圧 <sup>(2)</sup>		12	V
$V_{ID}$	差動入力電圧 <sup>(3)</sup>		$\pm V_{DD}$	
$I_I$	入力電流 (任意の入力)		$\pm 5$	mA
$I_O$	出力電流		$\pm 50$	mA
	$V_{DD+}$ への総電流		$\pm 50$	mA
	$V_{DD-}$ からの合計電流		$\pm 50$	mA
	25°C 以下の短絡電流の時間 <sup>(4)</sup>	制限なし		
	連続総許容損失	放熱定格表を参照		
$T_A$	動作自由気体温度範囲:接尾辞 Q	-40	125°C	
$T_{stg}$	保管温度範囲	-65	150°C	
	リード温度: ケースから 1.6mm (1/16 インチ) 離れた点で 10 秒間		260°C	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、このデータシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 差動電圧を除くすべての電圧値は、 $V_{DD+}$  と  $V_{DD-}$  の中点を基準にしています。
- (3) 差動電圧は、 $IN_-$  を基準とする  $IN_+$  です。入力が  $V_{DD-} - 0.3V$  を下回ると、過剰な電流が流れます。
- (4) 出力はグランド、またはいずれかの電源に短絡する可能性があります。消費電力定格を超えないように、温度および/または電源電圧を制限する必要があります。

### 5.2 損失定格

パッケージ	$T_A \leq 25^\circ\text{C}$ の電力定格	$T_A = 25^\circ\text{C}$ を超えるディレーティング係数	$T_A = 70^\circ\text{C}$ の電力定格	$T_A = 85^\circ\text{C}$ の電力定格	$T_A = 125^\circ\text{C}$ の電力定格
D (8)	725mW	5.8 mW/°C	464mW	377mW	145mW
D (14)	1022mW	7.6 mW/°C	900mW	777mW	450mW
PW (8)	525mW	4.2 mW/°C	336mW	273mW	105mW
PW (14)	720mW	5.6 mW/°C	634mW	547mW	317mW

### 5.3 推奨動作条件

		最小値	最大値	単位
$V_{DD}$	電源電圧	2.7	10	V
$V_I$	入力電圧	$V_{DD-} - V_{DD+} - 0.8$		V
$V_{IC}$	同相入力電圧	$V_{DD-} - V_{DD+} - 0.5$		V
$T_A$	自由空気での動作温度	-40	125	°C

## 5.4 電気的特性 : $V_{DD} = 3V$

指定された自由空気温度で、 $V_{DD} = 3V$  (特に記述のない限り)

パラメータ		テスト条件		$T_A$ <sup>(1)</sup>	最小値	標準値	最大値	単位		
$V_{IO}$	入力オフセット電圧	$V_{IC} = 0$ , $V_O = 0$ , $V_{DD\pm} = \pm 1.5V$ , $R_S = 50\Omega$	TLV243x	25°C	300	2000		$\mu V$		
				フルレンジ		2500				
		$V_{IC} = 0$ , $V_O = 0$ , $V_{DD\pm} = \pm 1.5V$ , $R_S = 50\Omega$	TLV243xA	25°C	300	950				
				フルレンジ		1600				
$a_{VIO}$	入力オフセット電圧の温度係数	$V_{IC} = 0$ , $V_O = 0$ , $V_{DD\pm} = \pm 1.5V$ , $R_S = 50\Omega$	$25^{\circ}\text{C} \sim 70^{\circ}\text{C}$	25°C ~ 70°C	2			$\mu V/\text{^{\circ}C}$		
$I_{IO}$	入力オフセット電圧の長期ドリフト <sup>(3)</sup>			25°C	0.003			$\mu V/\text{mo}$		
				25°C	0.5			$pA$		
$I_{IB}$	入力バイアス電流			フルレンジ		150				
				25°C	1			$pA$		
				フルレンジ		300				
$V_{ICR}$	同相入力電圧範囲	$ V_{IO}  \leq 5mV$ , $R_S = 50\Omega$	$25^{\circ}\text{C}$	0~2.5	-0.25~ 2.75			$V$		
				フルレンジ	0.2~2.2					
$V_{OH}$	High レベル出力電圧	$I_O = -100\mu A$ $I_O = -3mA$	$25^{\circ}\text{C}$		2.98			$V$		
					2.5					
				フルレンジ	2.25					
$V_{OL}$	Low レベル出力電圧	$V_{IC} = 1.5V$	$I_{OL} = 100\mu A$ $I_{OL} = 3mA$	25°C	0.02			$V$		
				25°C	0.83					
				フルレンジ		1				
$A_{VD}$	大信号差動電圧増幅	$V_{IC} = 2.5V$ , $V_O = 1V \sim 2V$	$R_L = 2k\Omega$ <sup>(2)</sup> $R_L = 1M\Omega$ <sup>(2)</sup>	25°C	1.5	2.5		$V/mV$		
				フルレンジ	0.5					
				25°C	750					
$R_{id}$	差動入力抵抗			25°C	1000			$G\Omega$		
$r_i$	同相入力抵抗			25°C	1000			$G\Omega$		
$C_I$	同相入力キャパシタンス	$f = 10kHz$		25°C	8			$pF$		
$Z_o$	閉ループ出力インピーダンス	$f = 100kHz$ , $A_V = 10$		25°C	130			$\Omega$		
$CMRR$	同相除去比	$V_{IC} = V_{ICR}$ 最小、 $R_S = 50\Omega$	$V_O = 1.5V$ , $R_S = 50\Omega$	25°C	63	83		$dB$		
				フルレンジ	63					
$k_{SVR}$	電源除去比 ( $\Delta V_{DD\pm}/\Delta V_{IO}$ )	$V_{DD} = 2.7V \sim 8V$ , $V_{IC} = V_{DD}/2$ ,	無負荷	25°C	80	95		$dB$		
				フルレンジ	80					
$I_{DD}$	電源電流 (チャネルあたり)	$V_O = 1.5V$ , 無負荷		25°C	115	150		$\mu A$		
				フルレンジ		175				

(1) フルレンジは  $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$  です。

(2)  $2.5V$  を基準。

(3) 標準値は、 $T_A = 150^{\circ}\text{C}$  での 168 時間の動作寿命テストを通じて観測された入力オフセット電圧シフトに基づいており、アルレニウスの式を使用して  $T_A = 25^{\circ}\text{C}$  に外挿し、活性化エネルギーを  $0.96\text{ eV}$  と仮定しています。

## 5.5 動作特性 : $V_{DD} = 3V$

指定された自由空気温度で、 $V_{DD} = 3V$  (特に記述のない限り)

パラメータ	テスト条件	$T_A$ <sup>(1)</sup>	最小値	標準値	最大値	単位
SR ユニティゲインでのスルーレート	$V_O = 1V \sim 2V, R_L = 2k\Omega$ <sup>(2)</sup> , $C_L = 100pF$ <sup>(2)</sup>	25°C	0.15	0.25		V/ $\mu$ s
		フルレンジ	0.1			
$V_n$ 等価入力ノイズ電圧	f = 10Hz	25°C	120			nV/ $\sqrt{Hz}$
	f = 1kHz		22			
$V_{n(PP)}$ ピークツーピークの等価入力ノイズ電圧	f = 0.1Hz~1Hz	25°C	2.7			$\mu$ V
	f = 0.1Hz~10Hz		4			
$I_n$ 等価入力ノイズ電流		25°C	0.6			fA/ $\sqrt{Hz}$
THD+N 全高調波歪みおよびノイズ	$V_O = 0.5V \sim 2.5V, R_L = 2k\Omega$ <sup>(2)</sup> , f = 1kHz	25°C	0.65%			
			0.5%			
ゲイン帯域幅積	f = 10kHz, $R_L = 2k\Omega$ , $C_L = 100pF$ <sup>(2)</sup>	25°C	0.5			MHz
$B_{OM}$ 最大出力 — スイング帯域幅	$V_{O(PP)} = 1V, R_L = 2k\Omega, A_V = 1, C_L = 100pF$ <sup>(2)</sup>	25°C	220			kHz
$t_s$ セトリング タイム	$A_V = -1, Step = 0.5V \sim 2.5V, R_L = 2k\Omega$ <sup>(2)</sup> , $C_L = 100pF$ <sup>(2)</sup>	25°C	0.1%まで	1.5		$\mu$ s
			0.01%まで	3.2		
$\Phi_m$ ユニティゲインでの位相マージン	$R_L = 2k\Omega$ <sup>(2)</sup> , $C_L = 100pF$ <sup>(2)</sup>	25°C	62°			
ゲイン マージン	$R_L = 2k\Omega$ <sup>(2)</sup> , $C_L = 100pF$ <sup>(2)</sup>	25°C	11			dB

(1) フルレンジは -40°C~125°Cです。

(2) 2.5V を基準

## 5.6 電気的特性 : $V_{DD} = 5V$

$V_{DD} = 5V$ 、規定の自由気流温度時 (特に記述のない限り)

パラメータ	テスト条件	$T_A$ <sup>(1)</sup>	最小値	標準値	最大値	単位	
$V_{IO}$ 入力オフセット電圧	$V_{IC} = 0$ 、 $V_O = 0$ 、 $V_{DD\pm} = \pm 2.5V$ 、 $R_S = 50\Omega$	TLV243x	25°C	300	2000	$\mu V$	
		TLV243xA	フルレンジ		2500		
	$V_{IC} = 0$ 、 $V_O = 0$ 、 $V_{DD\pm} = \pm 1.5V$ 、 $R_S = 50\Omega$	25°C	300	950			
		フルレンジ			2000		
$a_{VIO}$ 入力オフセット電圧の温度係数	$V_{IC} = 0$ 、 $V_O = 0$ 、 $V_{DD\pm} = \pm 1.5V$ 、 $R_S = 50\Omega$	25°C ~ 70°C	2			$\mu V/^\circ C$	
入力オフセット電圧の長期ドリフト <sup>(3)</sup>		25°C	0.003			$\mu V/mo$	
$I_{IO}$ 入力オフセット電流		25°C	0.5			$pA$	
		フルレンジ			150		
$I_{IB}$ 入力バイアス電流		25°C	1			$pA$	
		フルレンジ			300		
$V_{ICR}$ 同相入力電圧範囲	$ V_{IO}  \leq 5mV$ 、 $R_S = 50\Omega$	25°C	0~4.5	-0.25~4.75		$V$	
		フルレンジ	0~4.2				
$V_{OH}$ High レベル出力電圧	$I_{OH} = -100\mu A$ $I_{OH} = -5mA$	25°C		4.97		$V$	
		25°C	4	4.35			
		フルレンジ		4			
$V_{OL}$ Low レベル出力電圧	$V_{IC} = 2.5V$	$I_{OL} = 100\mu A$	25°C	0.01		$V$	
			25°C	0.8			
		フルレンジ		1.25			
$A_{VD}$ 大信号差動電圧増幅	$V_{IC} = 2.5V$ 、 $V_O = 1V \sim 4V$	$R_L = 2k\Omega$ <sup>(2)</sup>	25°C	2.5	3.8	$V/mV$	
			フルレンジ	0.5			
		$R_L = 1M\Omega$ <sup>(2)</sup>	25°C		950		
$R_{id}$ 差動入力抵抗			25°C	1000		$G\Omega$	
$r_i$ 同相入力抵抗			25°C	1000		$G\Omega$	
$C_I$ 同相入力キャパシタンス	$f = 10MHz$		25°C	8		$pF$	
$Z_o$ 閉ループ出力インピーダンス	$f = 100kHz$ 、 $A_V = 10$		25°C	130		$\Omega$	
$CMRR$ 同相除去比	$V_{IC} = V_{ICR} MIN$ 、 $V_O = 2.5 V$ 、 $R_S = 50\Omega$	25°C	63	90		$dB$	
		フルレンジ	63				
$k_{SVR}$ 電源除去比 ( $\Delta V_{DD}/\Delta V_{IO}$ )	$V_{DD} = 4.4V \sim 8V$ 、 $V_{IC} = V_{DD}/2$ 、無負荷	25°C	80	95		$dB$	
		フルレンジ	80				
$I_{DD}$ 電源電流 (チャネルあたり)	$V_O = 2.5V$ 、無負荷	25°C	115	150		$\mu A$	
		フルレンジ			175		

(1) フルレンジは  $-40^\circ C \sim 125^\circ C$  です。

(2)  $2.5V$  を基準

(3) 標準値は、 $T_A = 150^\circ C$  での 168 時間の動作寿命テストを通じて観測された入力オフセット電圧シフトに基づいており、アルレニウスの式を使用して  $T_A = 25^\circ C$  に外挿し、活性化エネルギーを  $0.96 eV$  と仮定しています。

## 5.7 動作特性 : $V_{DD} = 5V$

$V_{DD} = 5V$ 、規定の自由気流温度時 (特に記述のない限り)

パラメータ	テスト条件	$T_A$ <sup>(1)</sup>	最小値	標準値	最大値	単位
SR ユニティゲインでのスルーレート	$V_O = 1.5V \sim 3.5V$ 、 $R_L = 2k\Omega$ <sup>(2)</sup> 、 $C_L = 100pF$ <sup>(2)</sup>	25°C	0.15	0.25		V/ $\mu$ s
		フルレンジ	0.1			
$V_n$ 等価入力ノイズ電圧	f = 10Hz	25°C	100			nV/ $\sqrt{Hz}$
	f = 1kHz		18			
$V_{n(PP)}$ ピークツーピークの等価入力ノイズ電圧	f = 0.1Hz~1Hz	25°C	1.9			$\mu$ V
	f = 0.1Hz~10Hz		2.8			
$I_n$ 等価入力ノイズ電流		25°C	0.6			fA/ $\sqrt{Hz}$
THD+N 全高調波歪みおよびノイズ	$V_O = 1.5V \sim 3.5V$ 、f = 1kHz、 $R_L = 600\Omega$ <sup>(2)</sup>	25°C	0.045%			
	$A_V = 1$		0.4%			
ゲイン帯域幅積	f = 10kHz、 $R_L = 600\Omega$ <sup>(2)</sup> 、 $C_L = 100pF$ <sup>(2)</sup>	25°C	0.55			MHz
$B_{OM}$ 最大出力 — スイング帯域幅	$V_{O(PP)} = 2V$ 、 $A_V = 1$ 、 $R_L = 2k\Omega$ <sup>(2)</sup> 、 $C_L = 100pF$ <sup>(2)</sup>	25°C	100			kHz
$t_s$ セトリング タイム	$A_V = -1$ 、ステップ = 1.5V ~ 3.5V、 $R_L = 2k\Omega$ <sup>(2)</sup> 、 $C_L = 100pF$ <sup>(2)</sup>	25°C	0.1% まで	6.4		$\mu$ s
			0.01% まで	13.1		
$\Phi_m$ ユニティゲインでの位相マージン	$R_L = 2k\Omega$ <sup>(2)</sup> 、 $C_L = 100pF$ <sup>(2)</sup>	25°C	66°			
ゲイン マージン	$R_L = 2k\Omega$ <sup>(2)</sup> 、 $C_L = 100pF$ <sup>(2)</sup>	25°C	11			dB

(1) フルレンジは -40°C~125°Cです。

(2) 2.5V を基準

## 5.8 代表的特性

**グラフ一覧**

		図
$V_{IO}$	入力オフセット電圧	ディストリビューション 3、4
		同相入力電圧との関係 5、6
$\alpha_{VIO}$	入力オフセット電圧の温度係数	ディストリビューション 7、8
$I_{IB}/I_{IO}$	入力バイアスおよび入力オフセット電流	自由気流での周囲温度との関係 9
$V_{OH}$	High レベル出力電圧	High レベル出力電流との関係 10、11
$V_{OL}$	Low レベル出力電圧	Low レベル出力電流との関係 12、13
$V_{O(PP)}$	最大ピークツーピーク出力電圧	周波数との関係 14
$I_{os}$	短絡出力電流	と電源電圧との関係 15
		自由気流での周囲温度との関係 16
$V_{ID}$	差動入力電圧	と出力電圧との関係 17、18
	差動ゲイン	と負荷抵抗との関係 19
$A_{VD}$	大信号差動電圧増幅	周波数との関係 20、21
	差動電圧増幅	自由気流での周囲温度との関係 22、23
$Z_o$	出力インピーダンス	周波数との関係 24、25
$CMRR$	同相除去比	周波数との関係 26
		自由気流での周囲温度との関係 27
$k_{SVR}$	電源電圧除去比	周波数との関係 28、29
		自由気流での周囲温度との関係 30
$I_{DD}$	電源電流	と電源電圧との関係 31
$SR$	スルーレート	負荷容量との関係 32
		自由気流での周囲温度との関係 33
$V_o$	反転型の大信号パルス応答	34、35
	ボルテージフォロワの大信号パルス応答	36、37
	反転型の小信号パルス応答	38、39
	ボルテージフォロワの小信号パルス応答	40、41
$V_n$	等価入力ノイズ電圧	周波数との関係 42、43
	ノイズ電圧 (入力基準)	10 秒以上の期間です 44
$THD + N$	全高調波歪みおよびノイズ	周波数との関係 45、46
	ゲイン帯域幅積	自由気流での周囲温度との関係 47 と電源電圧との関係 48
$\Phi_m$	位相マージン	周波数との関係 20、21
		負荷容量との関係 49
	ゲインマージン	負荷容量との関係 50
$B_1$	ユニティゲイン帯域幅	負荷容量との関係 51

**DISTRIBUTION OF TLV2432  
INPUT OFFSET VOLTAGE**

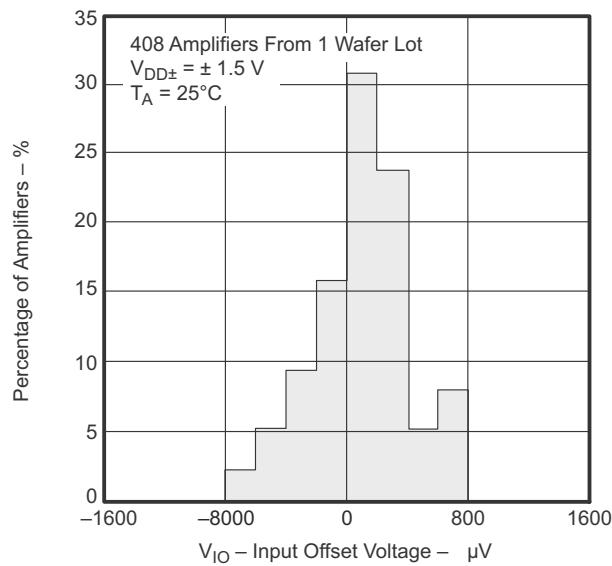


図 5-1.

**DISTRIBUTION OF TLV2432  
INPUT OFFSET VOLTAGE**

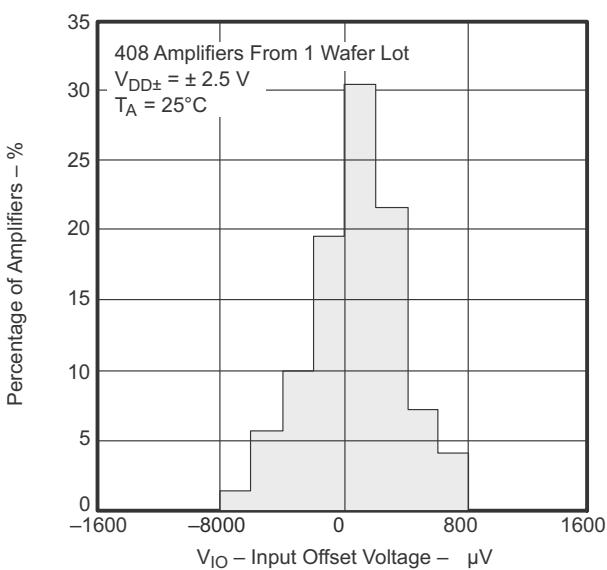


図 5-2.

**INPUT OFFSET VOLTAGE  
vs  
COMMON-MODE INPUT VOLTAGE**

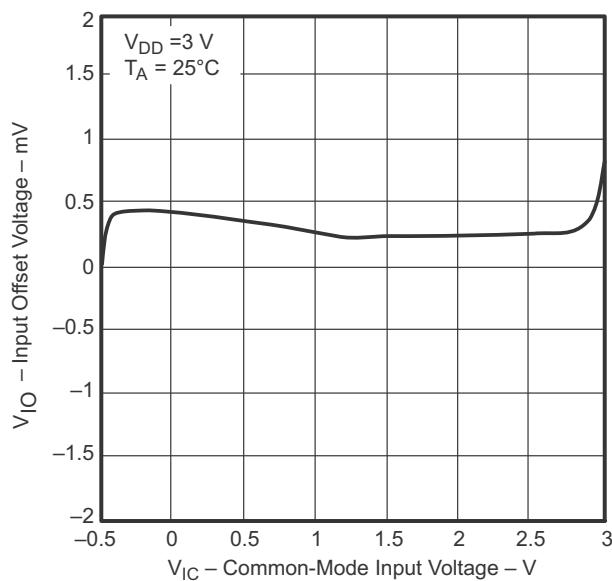


図 5-3.

**INPUT OFFSET VOLTAGE  
vs  
COMMON-MODE INPUT VOLTAGE**

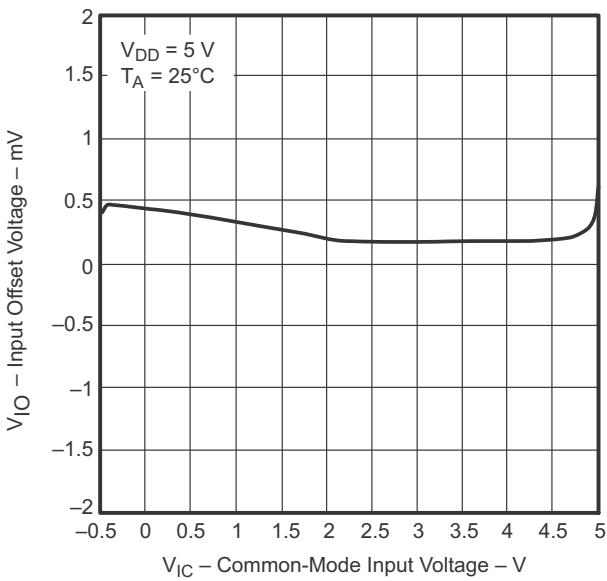


図 5-4.

### DISTRIBUTION OF TLV2432 INPUT OFFSET VOLTAGE TEMPERATURE COEFFICIENT

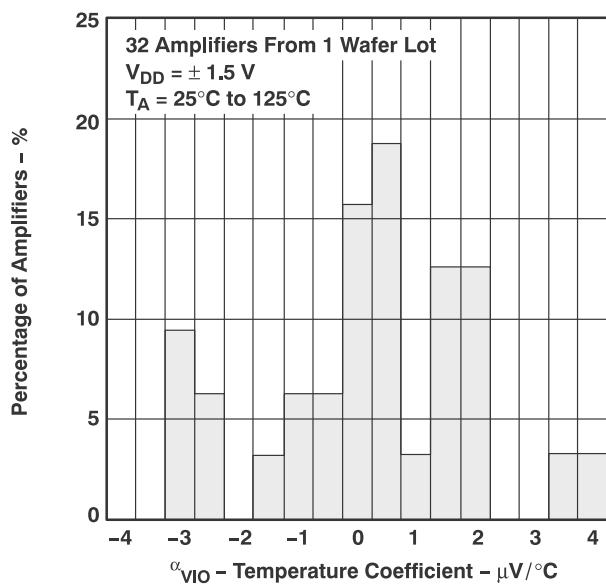


図 5-5.

### DISTRIBUTION OF TLV2432 INPUT OFFSET VOLTAGE TEMPERATURE COEFFICIENT

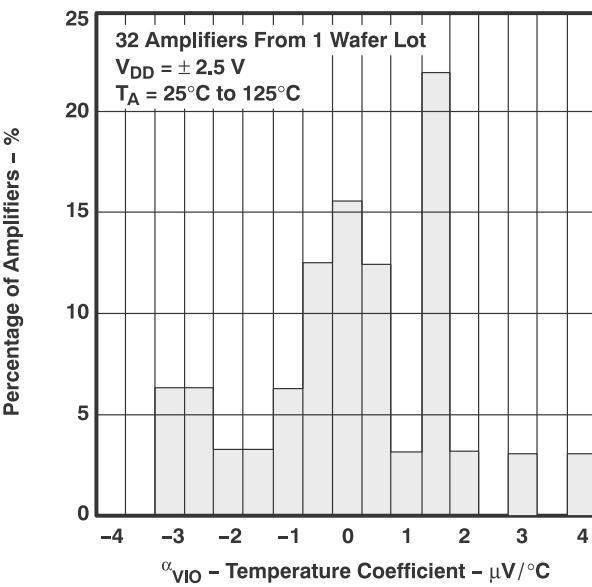


図 5-6.

### INPUT BIAS AND INPUT OFFSET CURRENTS vs FREE-AIR TEMPERATURE

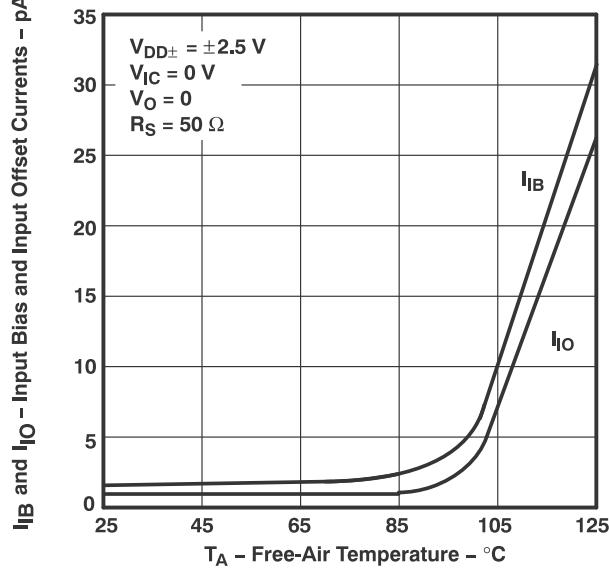


図 5-7.

### HIGH-LEVEL OUTPUT VOLTAGE vs HIGH-LEVEL OUTPUT CURRENT

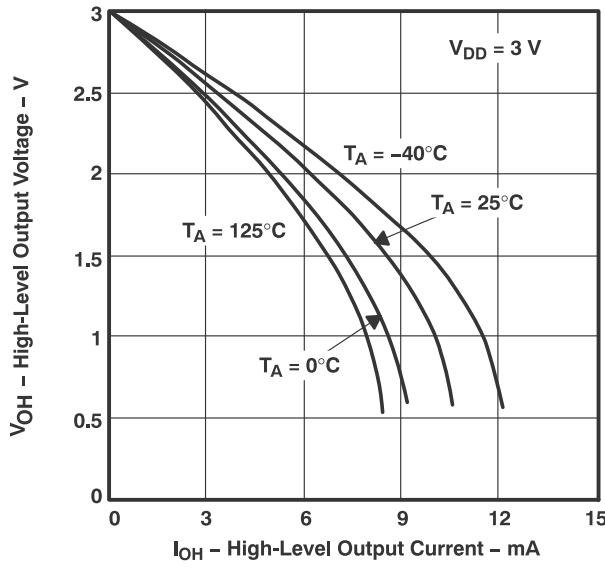


図 5-8.

**LOW-LEVEL OUTPUT VOLTAGE  
vs  
LOW-LEVEL OUTPUT CURRENT**

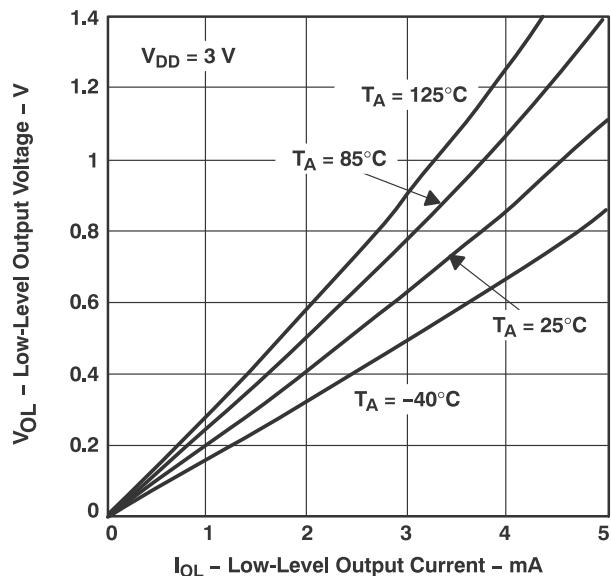


図 5-9.

**HIGH-LEVEL OUTPUT VOLTAGE  
vs  
HIGH-LEVEL OUTPUT CURRENT**

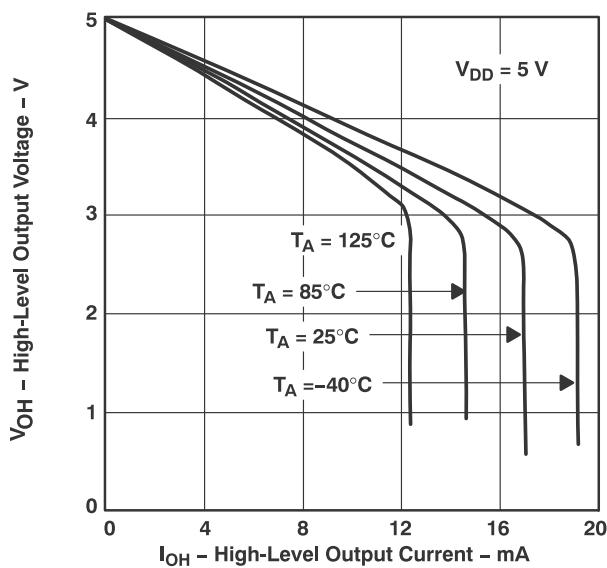


図 5-10.

**LOW-LEVEL OUTPUT VOLTAGE  
vs  
LOW-LEVEL OUTPUT CURRENT**

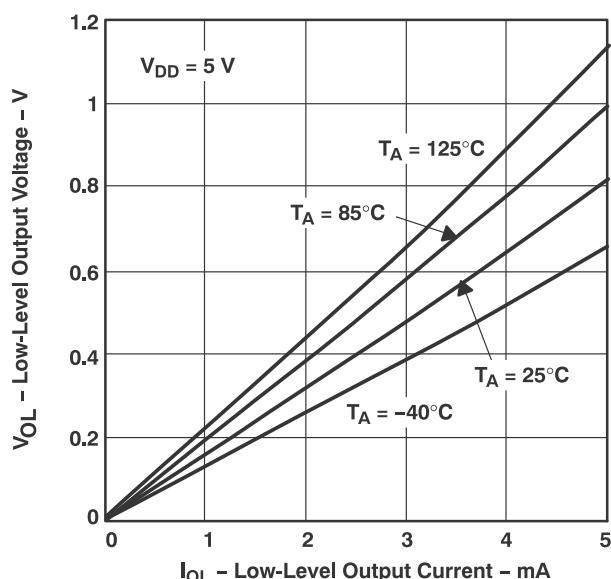


図 5-11.

**MAXIMUM PEAK-TO-PEAK OUTPUT VOLTAGE  
vs  
FREQUENCY**

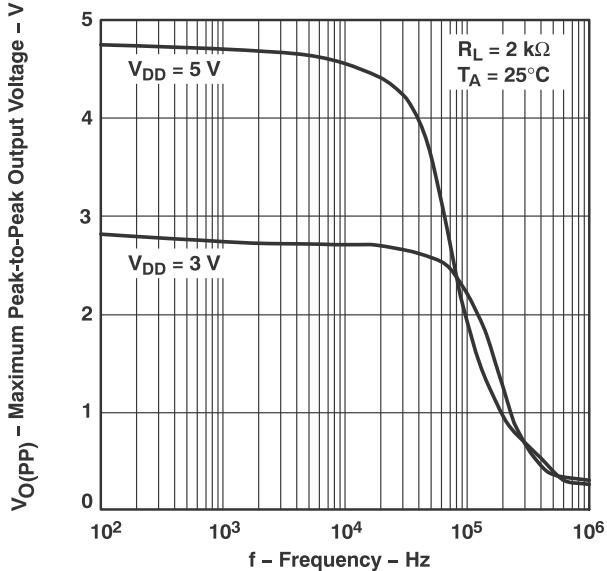


図 5-12.

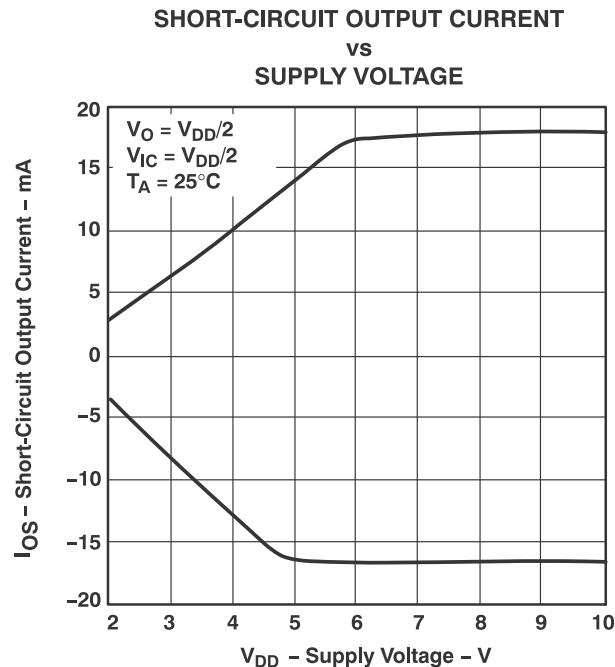


図 5-13.

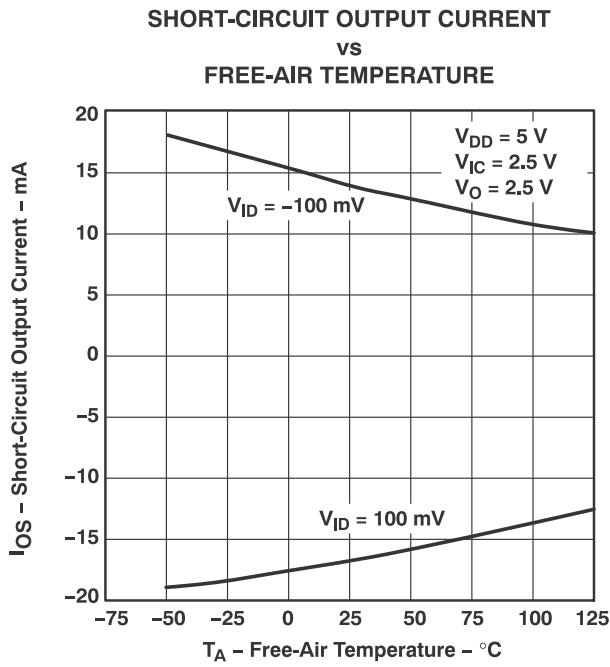


図 5-14.

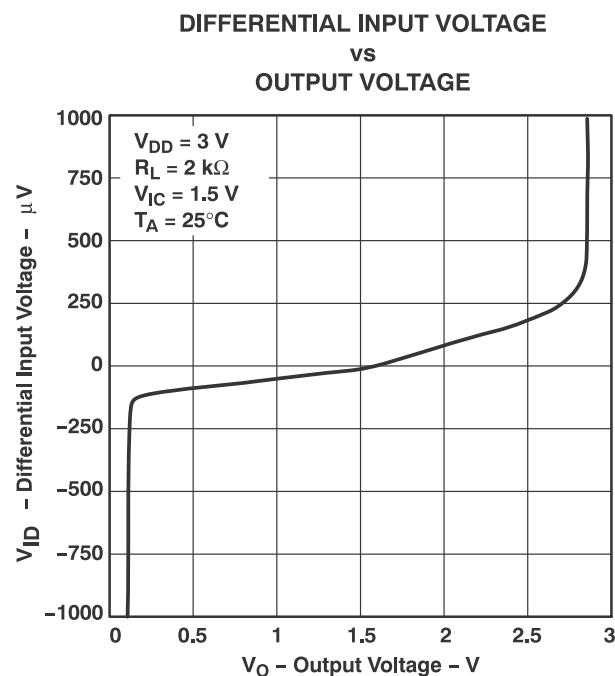


図 5-15.

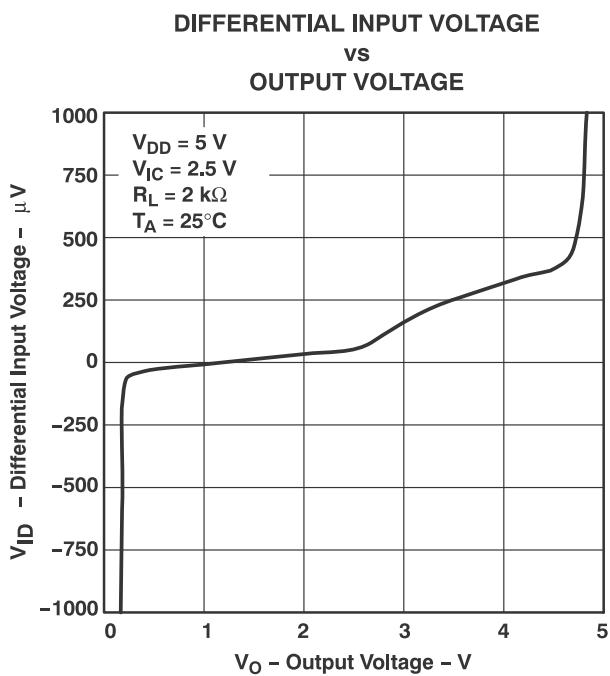


図 5-16.

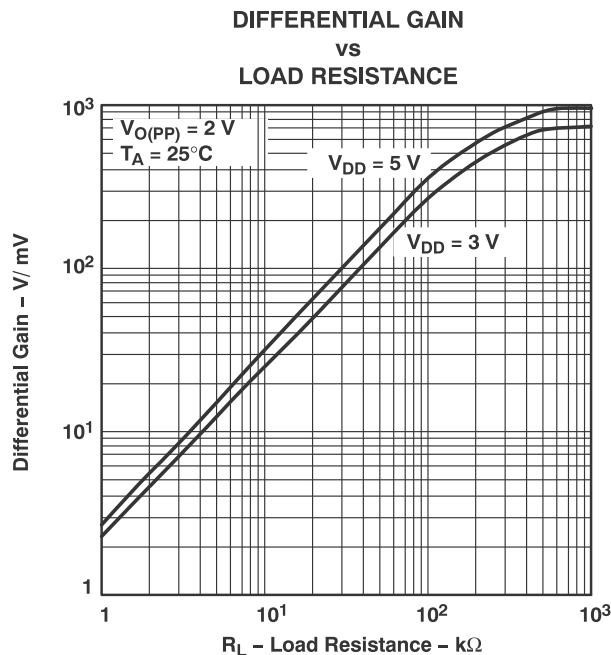


図 5-17.

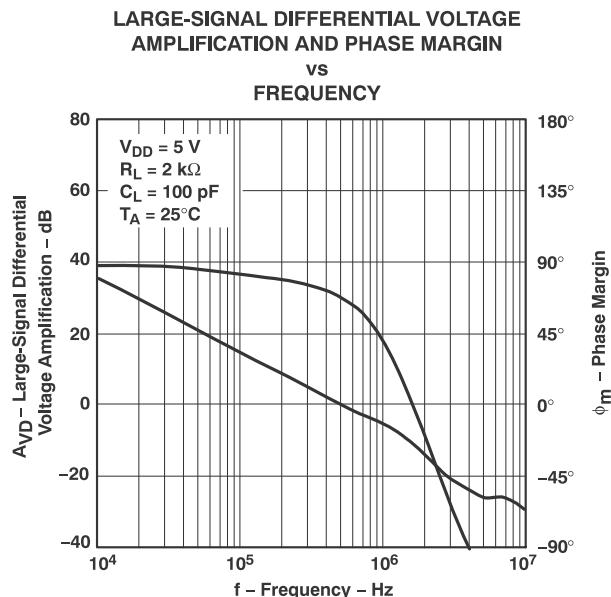


図 5-18.

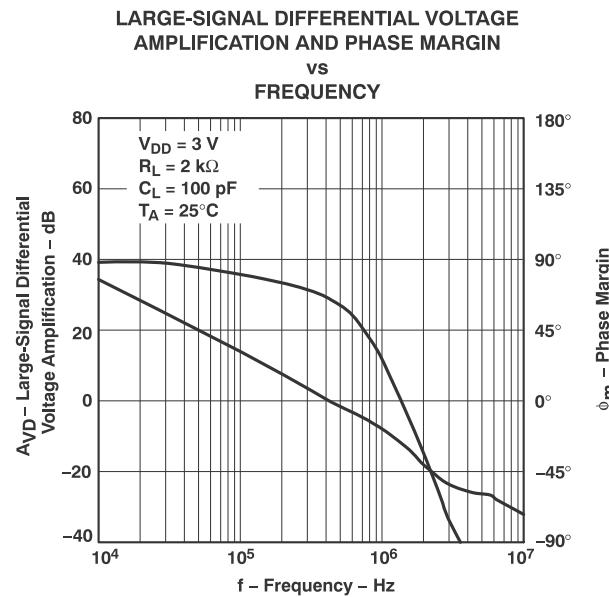


図 5-19.

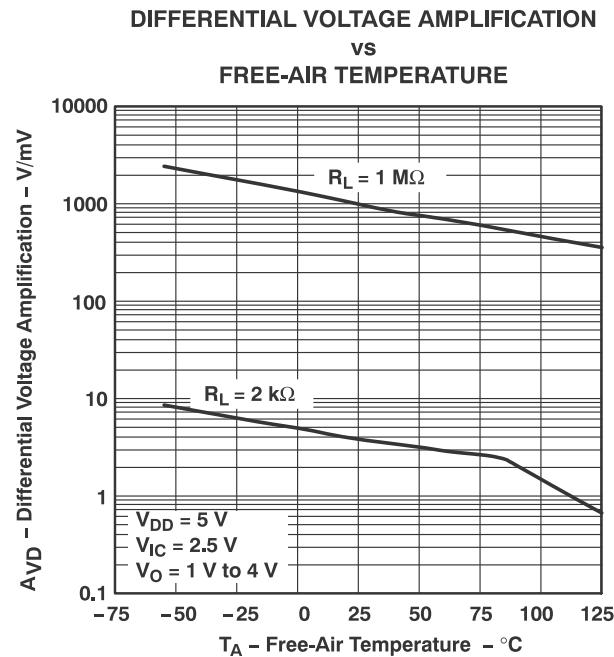


图 5-20.

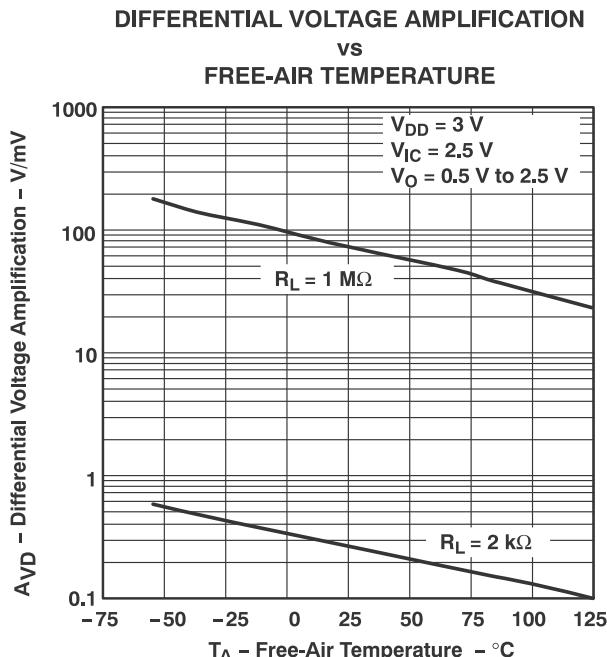


图 5-21.

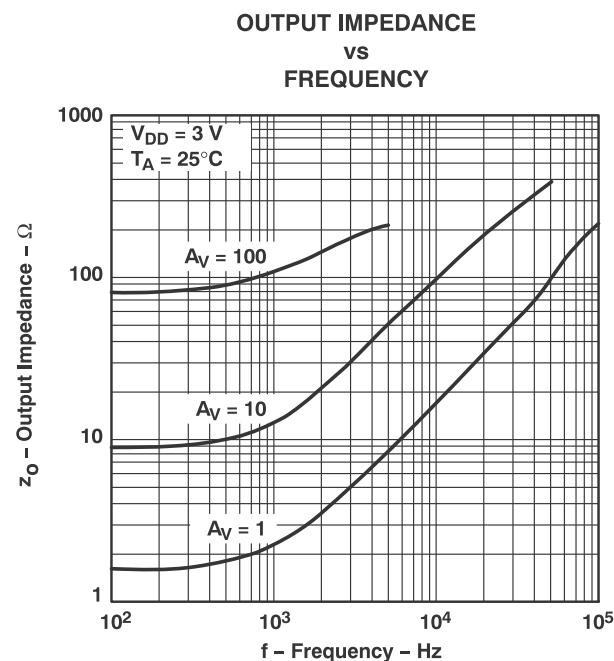


图 5-22.

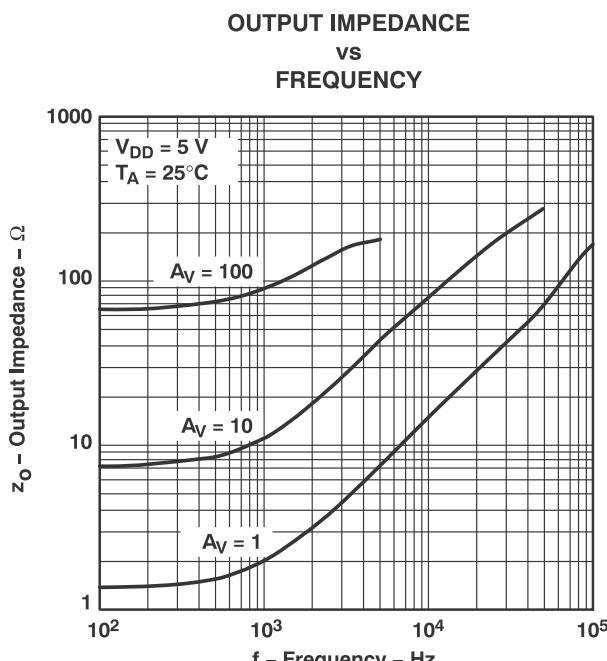


图 5-23.

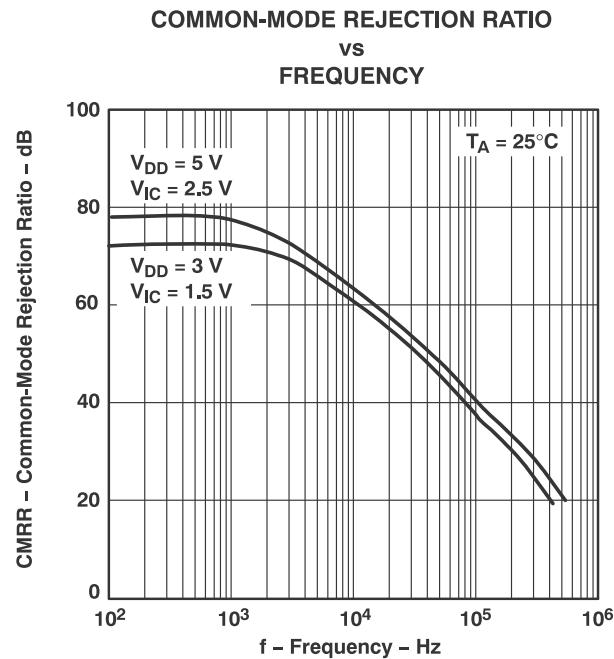


図 5-24.

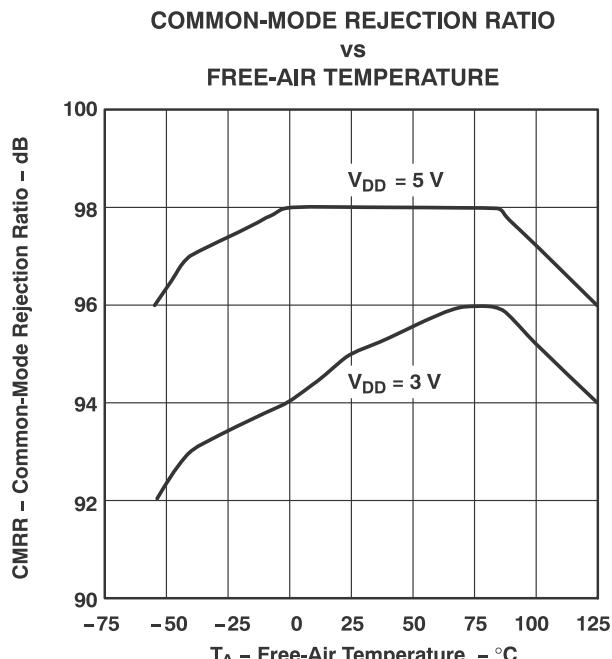


図 5-25.

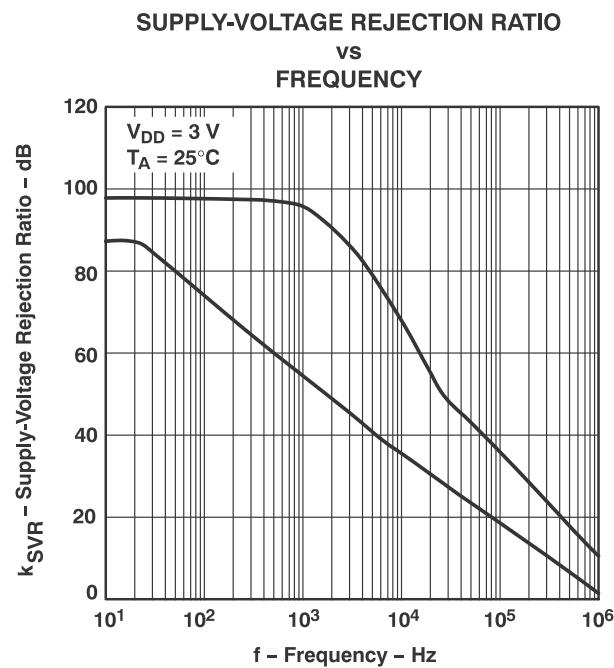


図 5-26.

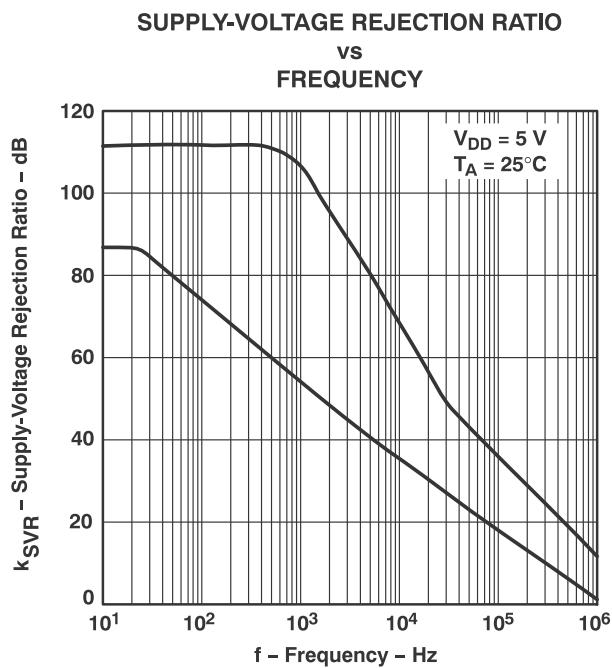


図 5-27.

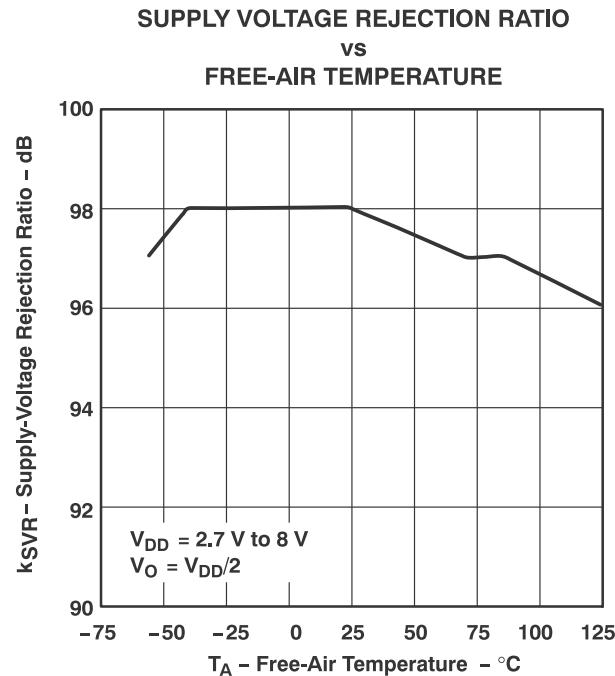


図 5-28.

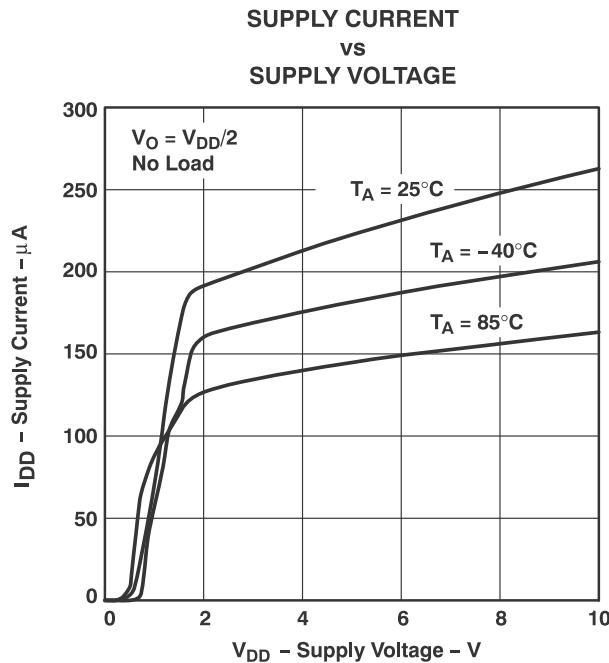


図 5-29.

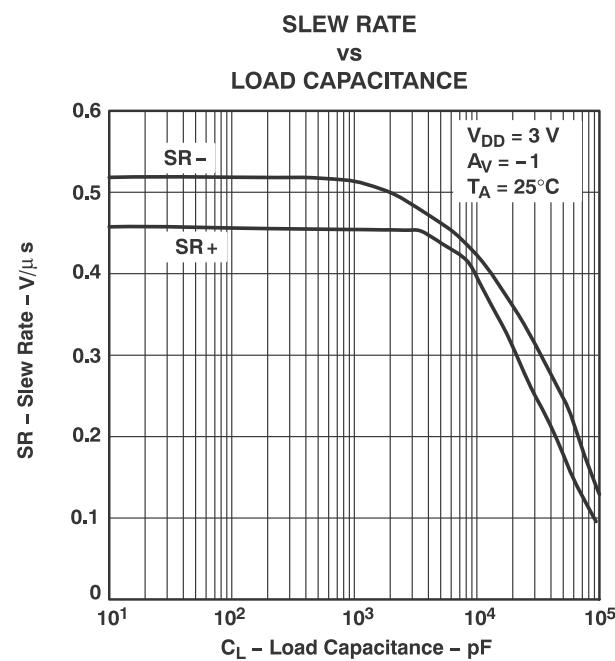


図 5-30.

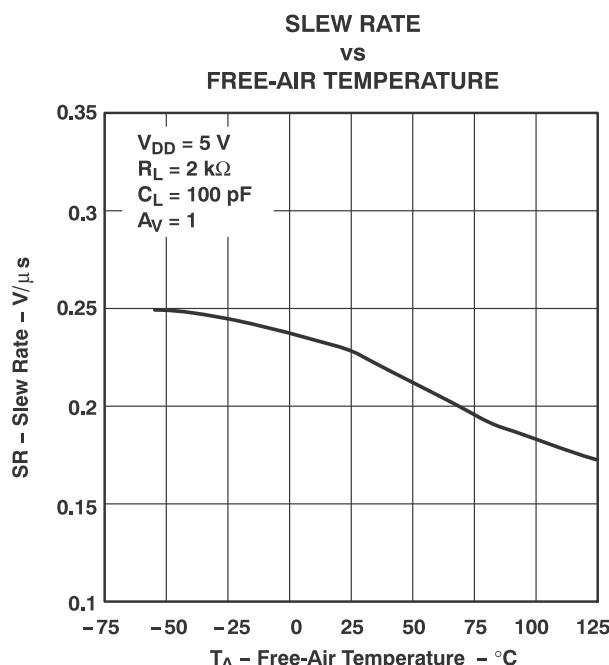


図 5-31.

**INVERTING LARGE-SIGNAL PULSE  
RESPONSE**

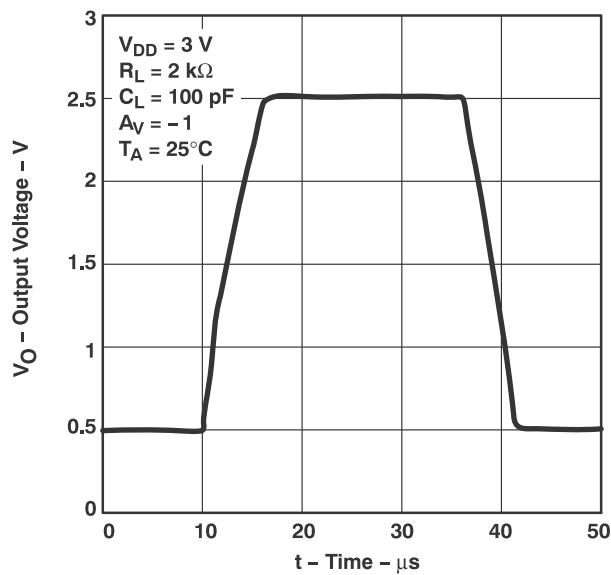


図 5-32.

**INVERTING LARGE-SIGNAL PULSE  
RESPONSE**

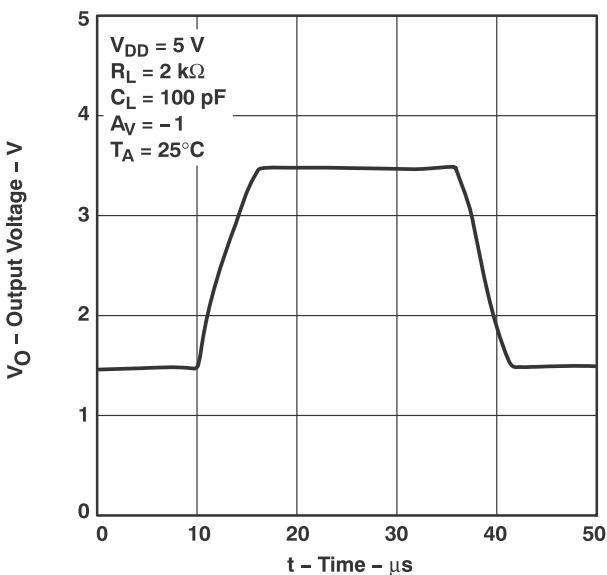


図 5-33.

**VOLTAGE-FOLLOWER LARGE-SIGNAL  
PULSE RESPONSE**

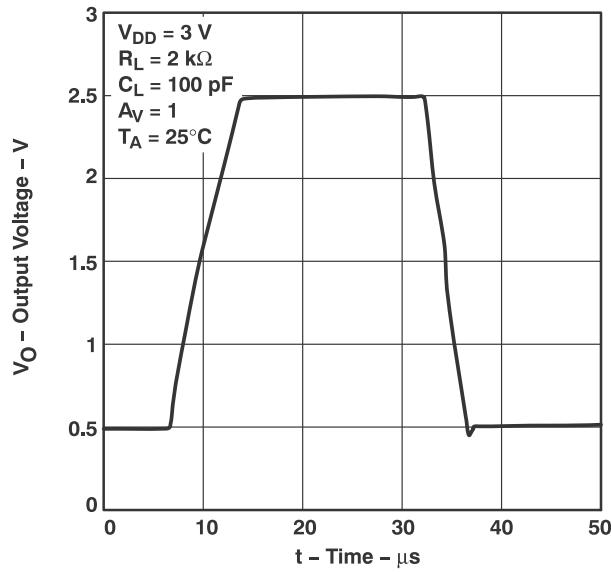


図 5-34.

**VOLTAGE-FOLLOWER LARGE-SIGNAL  
PULSE RESPONSE**

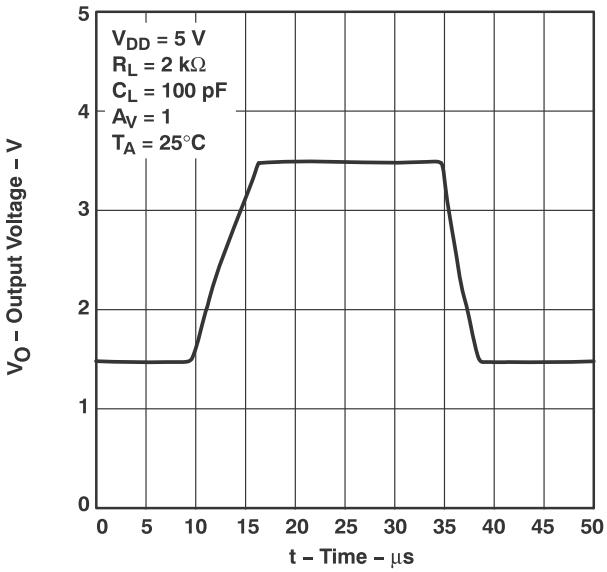


図 5-35.

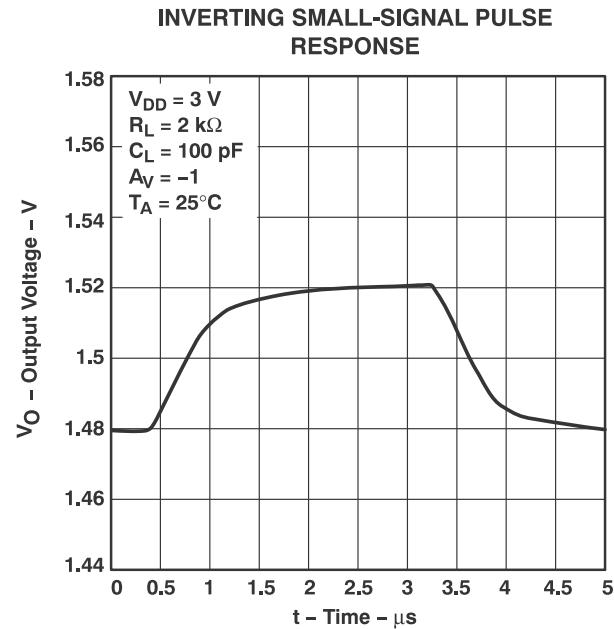


図 5-36.

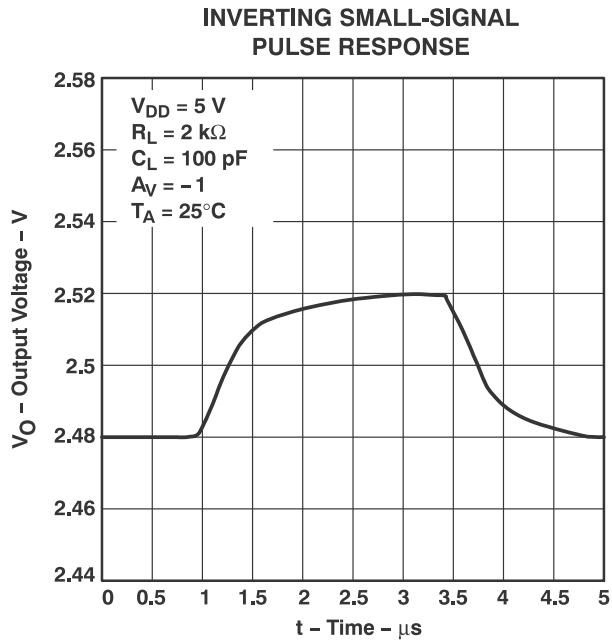


図 5-37.

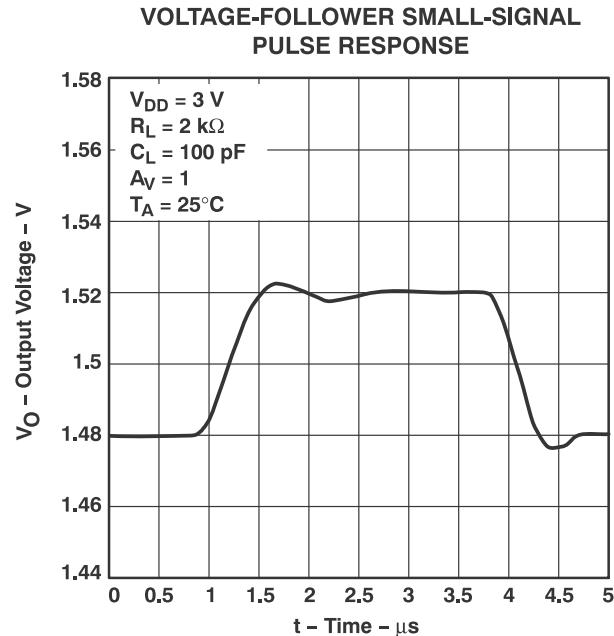


図 5-38.

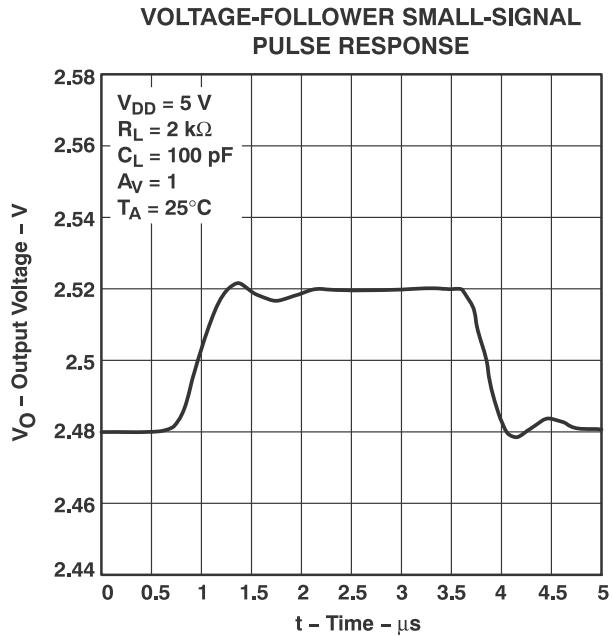


図 5-39.

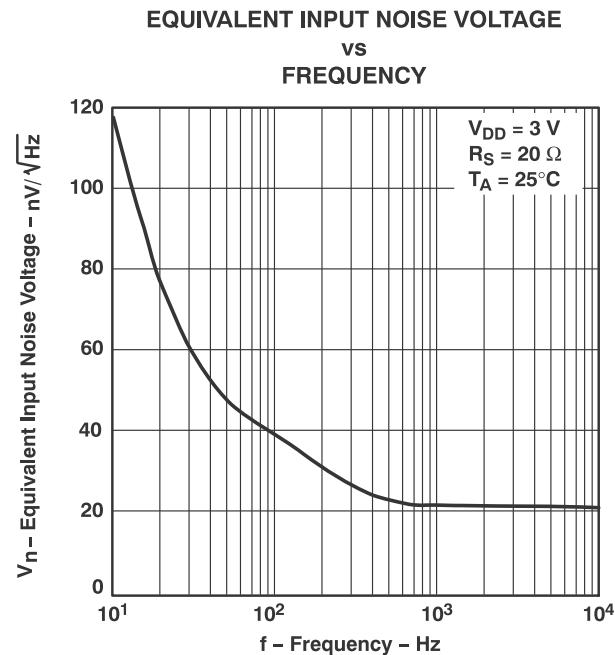


図 5-40.

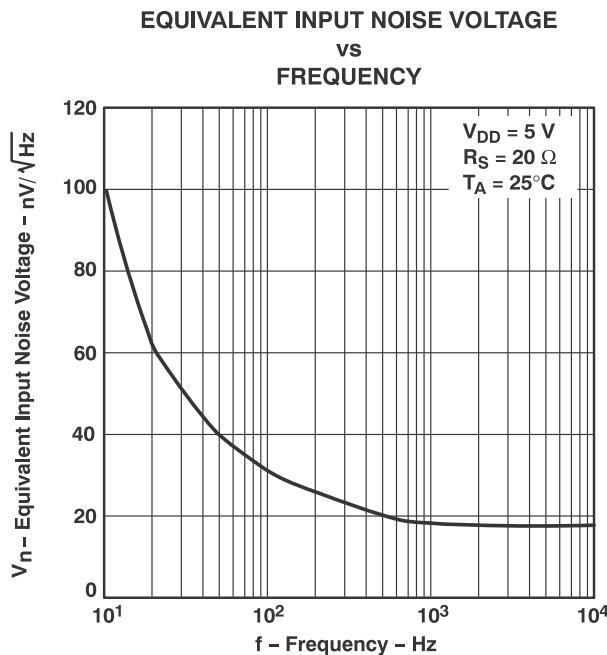


図 5-41.

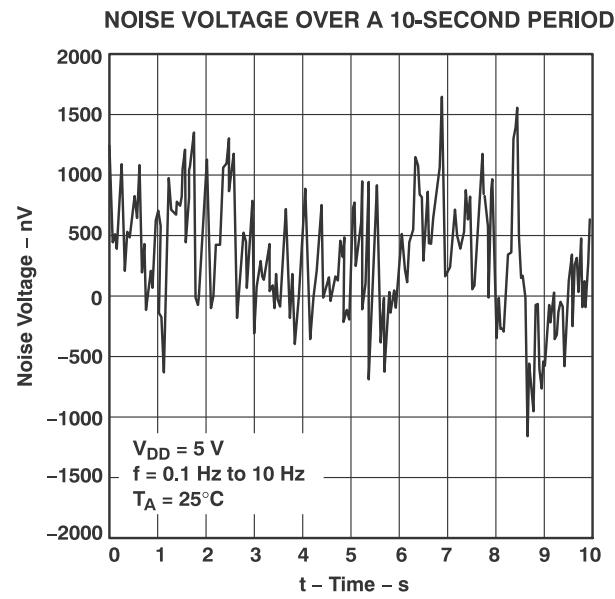


図 5-42.

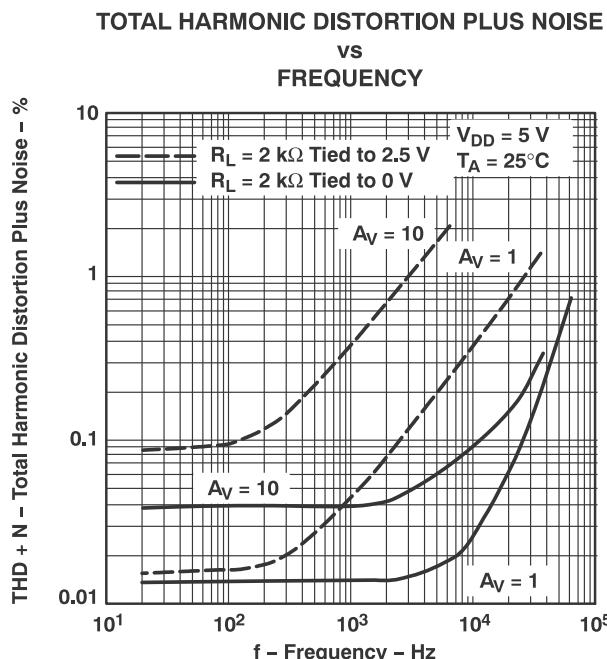


図 5-43.

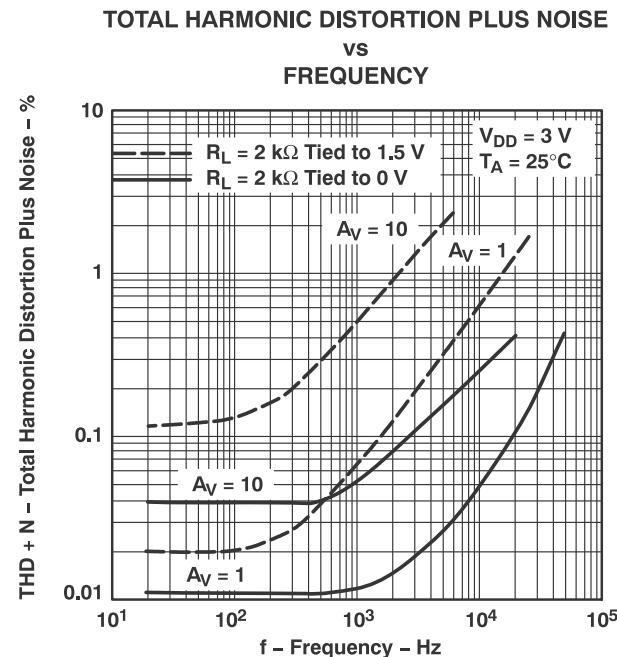


図 5-44.

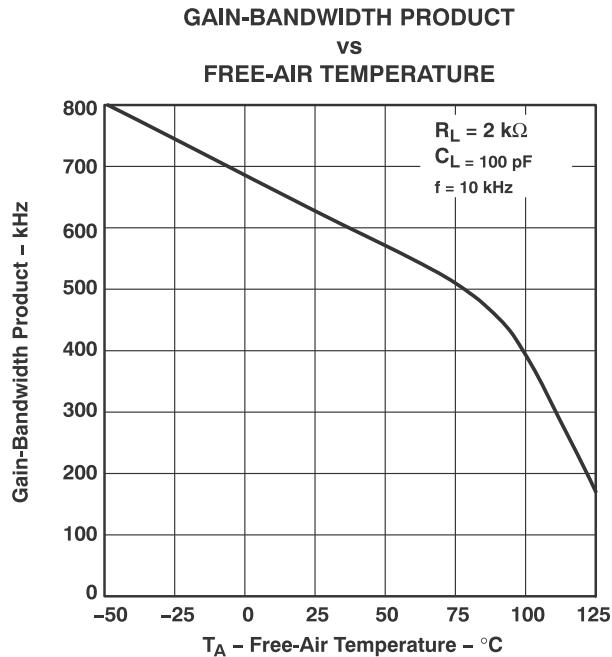


図 5-45.

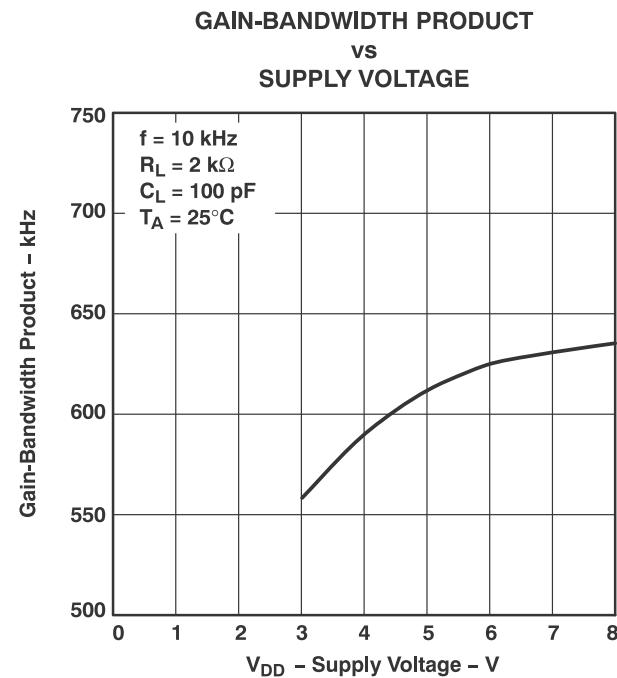


図 5-46.

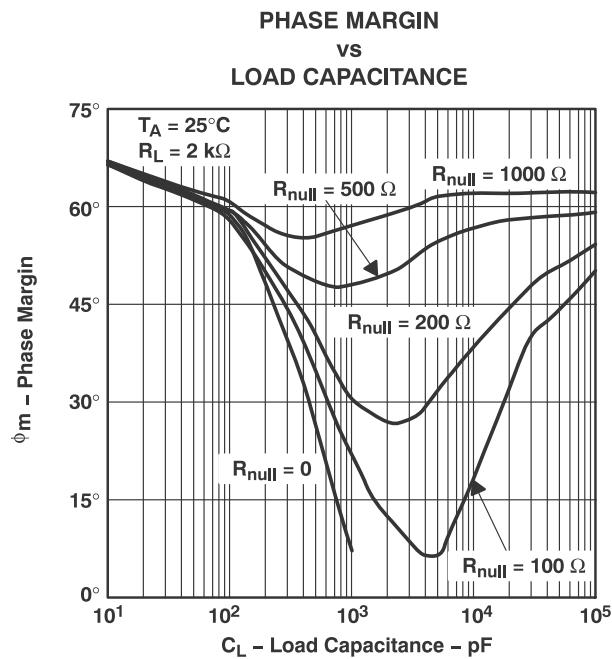


図 5-47.

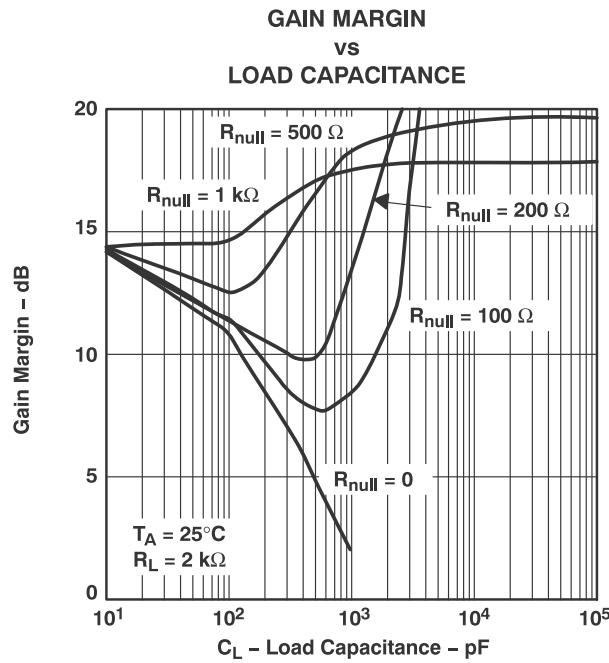


图 5-48.

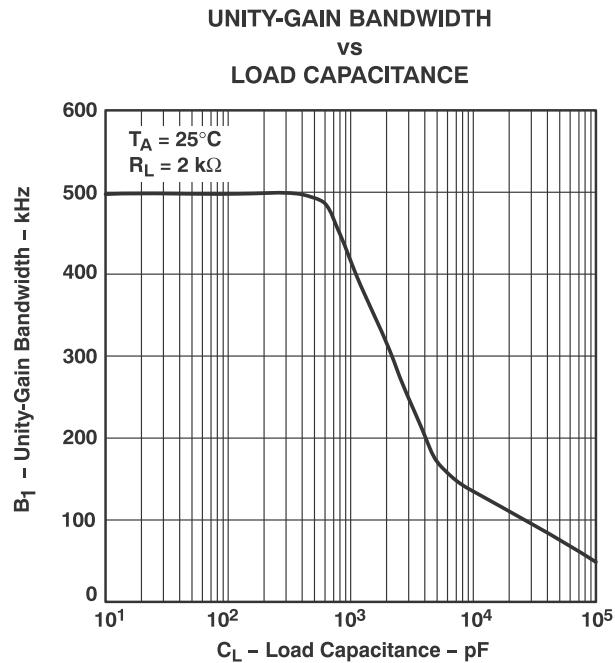


图 5-49.

## 6 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

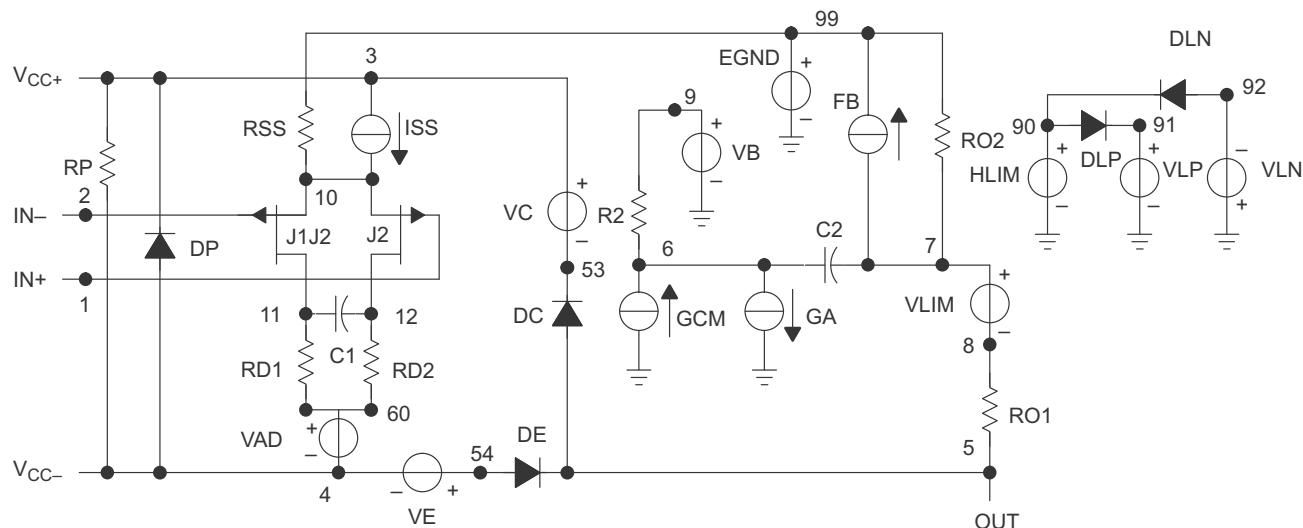
### 6.1 アプリケーション情報

#### 6.1.1 マクロモデル情報

提供されたマクロモデル情報は、Microsim *PSpice*™ で使用されるモデル生成ソフトウェアである Microsim *Parts*™ を使用して取得されました。The Boyle Macromodel<sup>1</sup>とのサブ回路図 6-1 は、TLV243x の代表的な電気的特性および動作特性を使用して、 $T_A = 25^\circ\text{C}$  で生成されています。この情報を使って、次の主要パラメータの出力シミュレーションを、許容誤差 20% (ほとんどの場合) で生成できます。

- 最大正出力電圧振幅
- 最大負出力電圧振幅
- スルーレート
- 静止電力消費
- 入力バイアス電流
- 開ループ電圧増幅
- ユニティゲイン周波数
- 同相除去比
- 位相マージン
- DC 出力抵抗
- AC 出力抵抗
- 短絡出力電流制限

<sup>1</sup> G.R. Boyle, B.M. Cohn, D.O. Pederson, J.E. Solomon,『集積回路オペアンプのマクロモデリング』、*IEEE Journal of Solid-State Circuits*, SC-9, 353 (1974)



```
.SUBCKT TLV2432 1 2 3 4 5
C1 11 12 3.560E-12
C2 6 7 15.00E-12
DC 5 53 DX
DE 54 5 DX
DLP 90 91 DX
DLN 92 90 DX
DP 4 3 DX
EGND 99 0 POLY (2) (3,0) (4,0) 0 .5 .5
FB 7 99 POLY (5) VB VC VE VLP
+ VLN 0 21.04E6 -30E6 30E6 30E6 -30E6
GA 6 0 11 12 47.12E-6
GCM 0 6 10 99 4.9E-9
ISS 3 10 DC 8.250E-6
HLIM 90 0 VLIM 1K
J1 11 2 10 JX
J2 12 1 10 JX
R2 6 9 100.0E3
```

```
RD1 60 11 21.22E3
RD2 60 12 21.22E3
R01 8 5 120
R02 7 99 120
RP 3 4 26.04E3
RSS 10 99 24.24E6
VAD 60 4 -.6
VB 9 0 DC 0
VC 3 53 DC .65
VE 54 4 DC .65
VLIM 7 8 DC 0
VLP 91 0 DC 1.4
VLN 0 92 DC 9.4
.MODEL DX D (IS=800.0E-18)
.MODEL JX PJF (IS=500.0E-15 BETA=281E-6
+ VTO=-.065)
.ENDS
```

図 6-1. ボイル マクロモデルとサブサーキット

## 7 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

### 7.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 7.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

### 7.3 商標

Advanced LinCMOS™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

Microsim Parts™ is a trademark of MicroSim.

すべての商標は、それぞれの所有者に帰属します。

### 7.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 7.5 用語集

#### テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

## 8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (January 2011) to Revision C (July 2025)	Page
最新のデータシート規格を反映するように、文書全体にわたって採番方式、書式、表、図、相互参照を更新.....	1
「注文情報」から TLV2434-Q1 プレビュー デバイスを削除.....	2
電気的特性変更: $V_{DD} = 3V$ の同相信号除去比の最小値: 70dB から 63dB.....	4
電気的特性変更: $V_{DD} = 3V$ の 25°C 消費電流 (チャネルごと) の標準値: 98μA から 115μA.....	4
電気的特性変更: $V_{DD} = 3V$ の 25°C 消費電流 (チャネルごと) の最大値: 125μA から 150μA.....	4
電気的特性変更: $V_{DD} = 3V$ の消費電流 (チャネルごと) の全温度範囲の最大値: 130μA から 175μA.....	4
電気的特性変更: $V_{DD} = 5V$ の同相信号除去比の最小値: 70dB から 63dB.....	6
電気的特性変更: $V_{DD} = 5V$ の 25°C 消費電流 (チャネルごと) の標準値: 100μA から 115μA.....	6
電気的特性変更: $V_{DD} = 5V$ の 25°C 消費電流 (チャネルごと) の最大値: 125μA から 150μA.....	6
電気的特性変更:全温度範囲での $V_{DD} = 5V$ の消費電流 (チャネルごと) の最大値: 135μA から 175μA.....	6

## 9 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">TLV2432AQDRQ1</a>	Active	Production	SOIC (D)   8	2500   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2432AQ
TLV2432AQDRQ1.A	Active	Production	SOIC (D)   8	2500   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2432AQ
<a href="#">TLV2432QDRG4Q1</a>	Active	Production	SOIC (D)   8	2500   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2432Q1
TLV2432QDRG4Q1.A	Active	Production	SOIC (D)   8	2500   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2432Q1
<a href="#">TLV2434AQDRQ1</a>	Active	Production	SOIC (D)   14	2500   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2434AQ
TLV2434AQDRQ1.A	Active	Production	SOIC (D)   14	2500   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2434AQ
<a href="#">TLV2434AQPWRQ1</a>	Active	Production	TSSOP (PW)   14	2000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	2434AQ
TLV2434AQPWRQ1.A	Active	Production	TSSOP (PW)   14	2000   LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	2434AQ

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

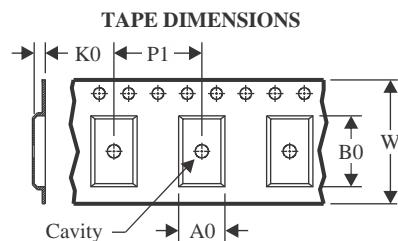
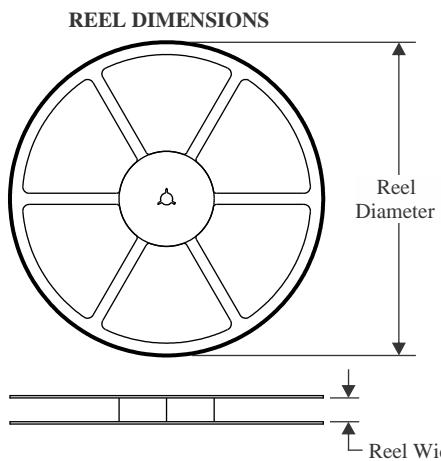
**OTHER QUALIFIED VERSIONS OF TLV2432-Q1, TLV2432A-Q1, TLV2434A-Q1 :**

- Catalog : [TLV2432](#), [TLV2432A](#), [TLV2434A](#)

NOTE: Qualified Version Definitions:

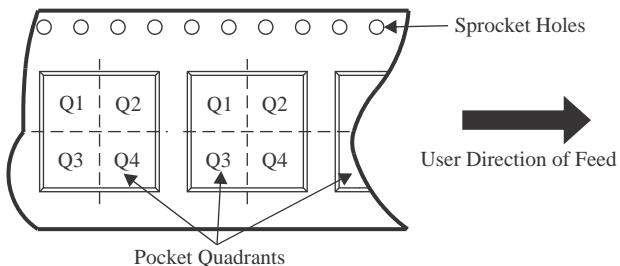
- Catalog - TI's standard catalog product

## TAPE AND REEL INFORMATION



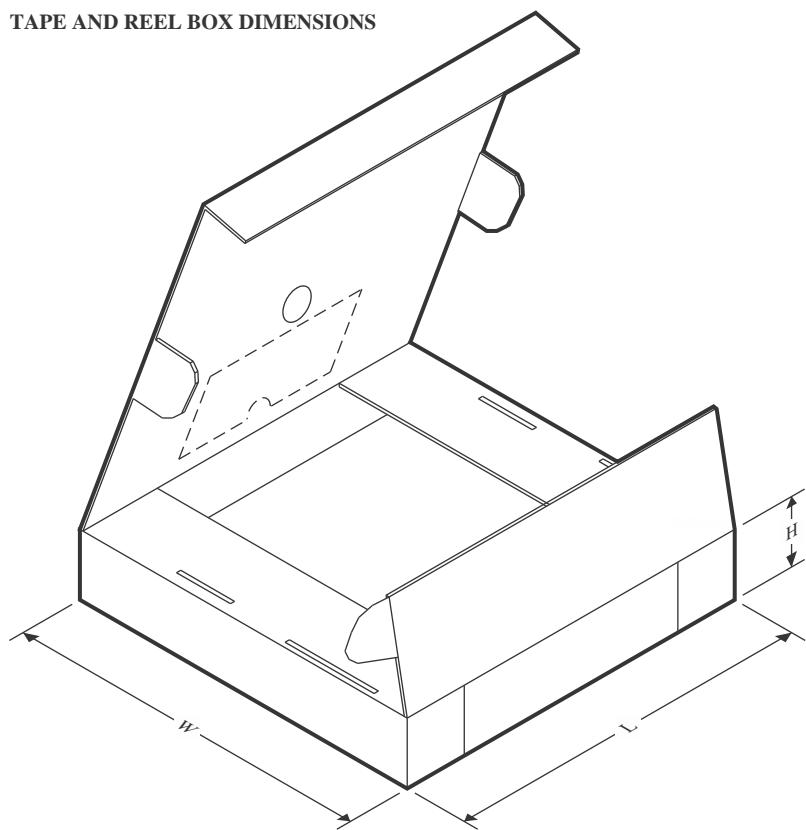
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV2434AQPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLV2434AQPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

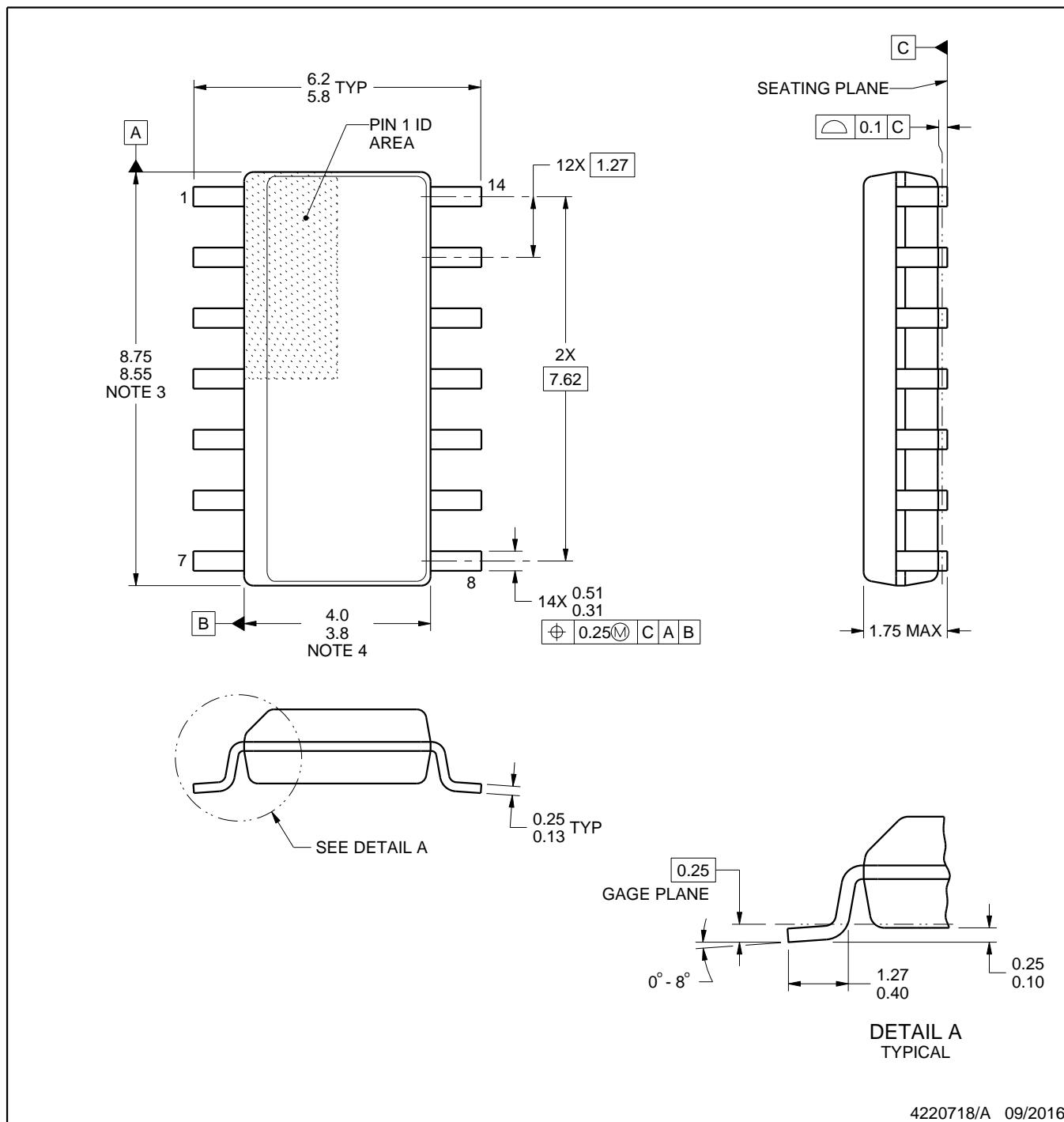
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV2434AQPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0
TLV2434AQPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0

# PACKAGE OUTLINE

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

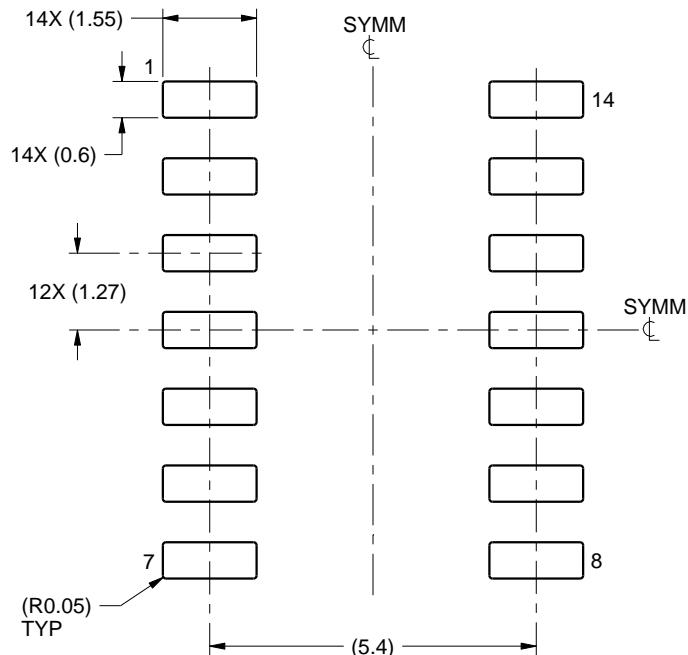
- All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
- Reference JEDEC registration MS-012, variation AB.

# EXAMPLE BOARD LAYOUT

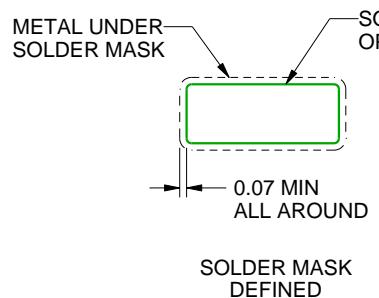
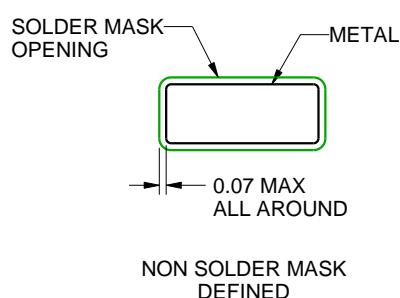
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE  
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

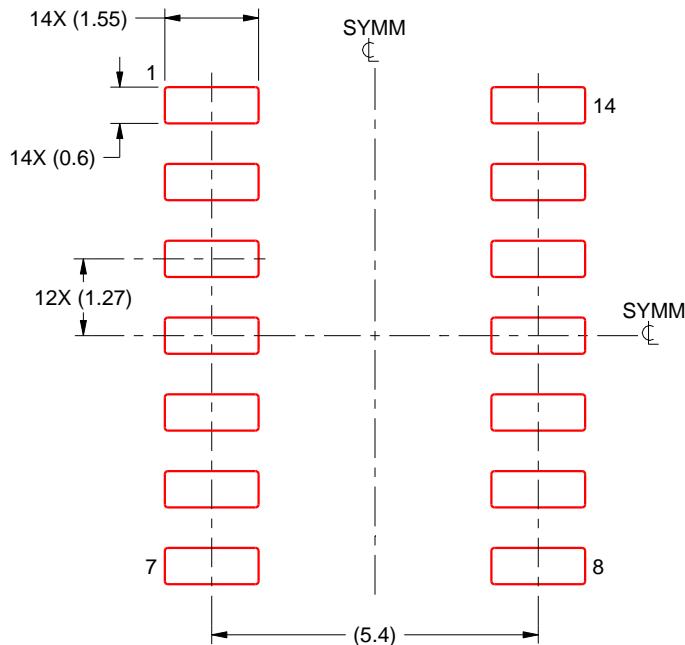
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

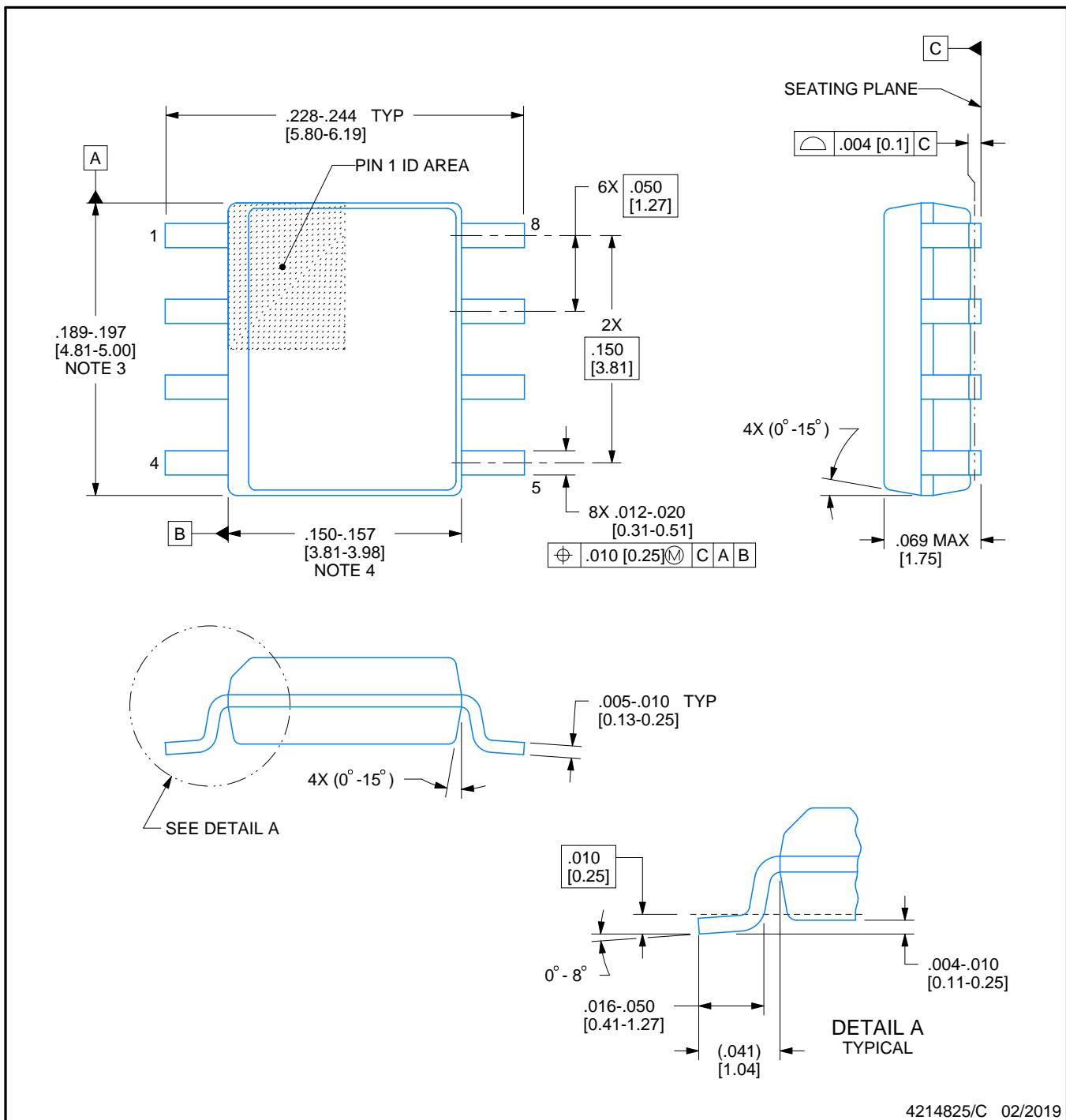
D0008A



# PACKAGE OUTLINE

## SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

### NOTES:

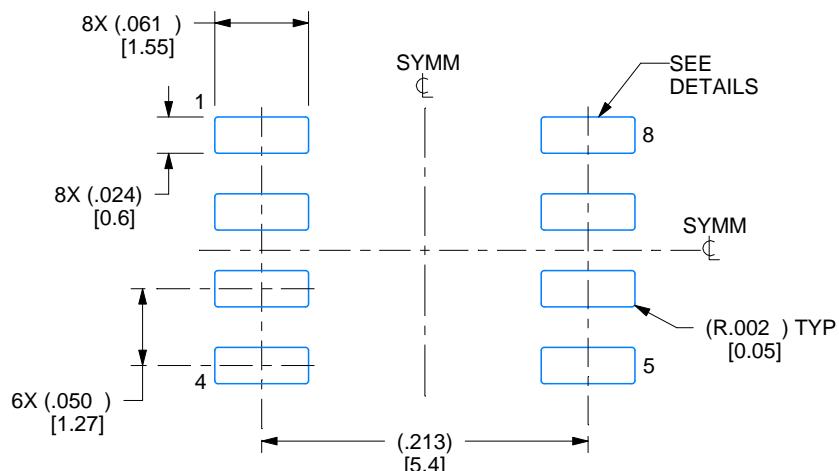
- Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches.
- Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
- This dimension does not include interlead flash.
- Reference JEDEC registration MS-012, variation AA.

# EXAMPLE BOARD LAYOUT

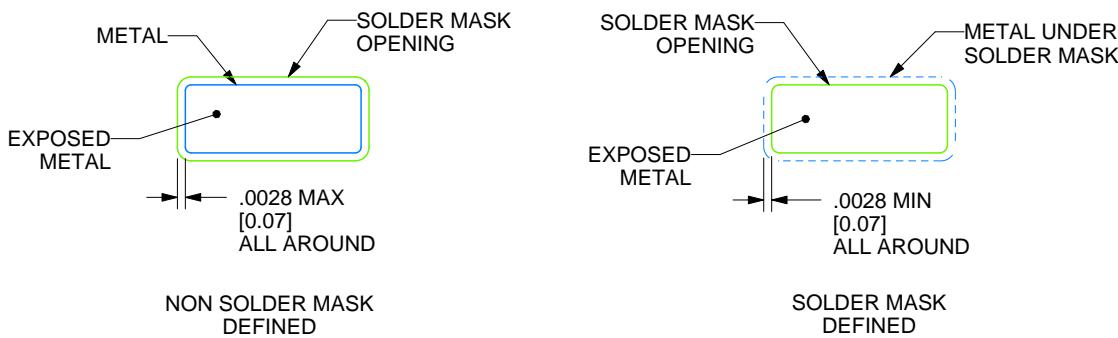
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

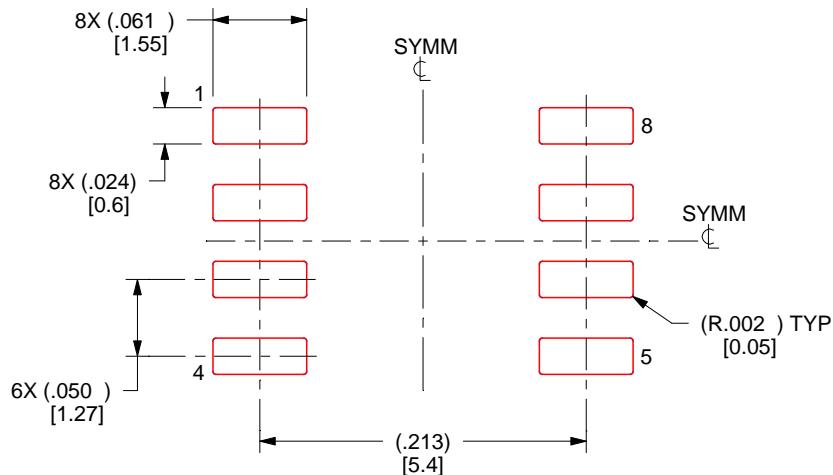
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE  
BASED ON .005 INCH [0.125 MM] THICK STENCIL  
SCALE:8X

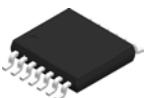
4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

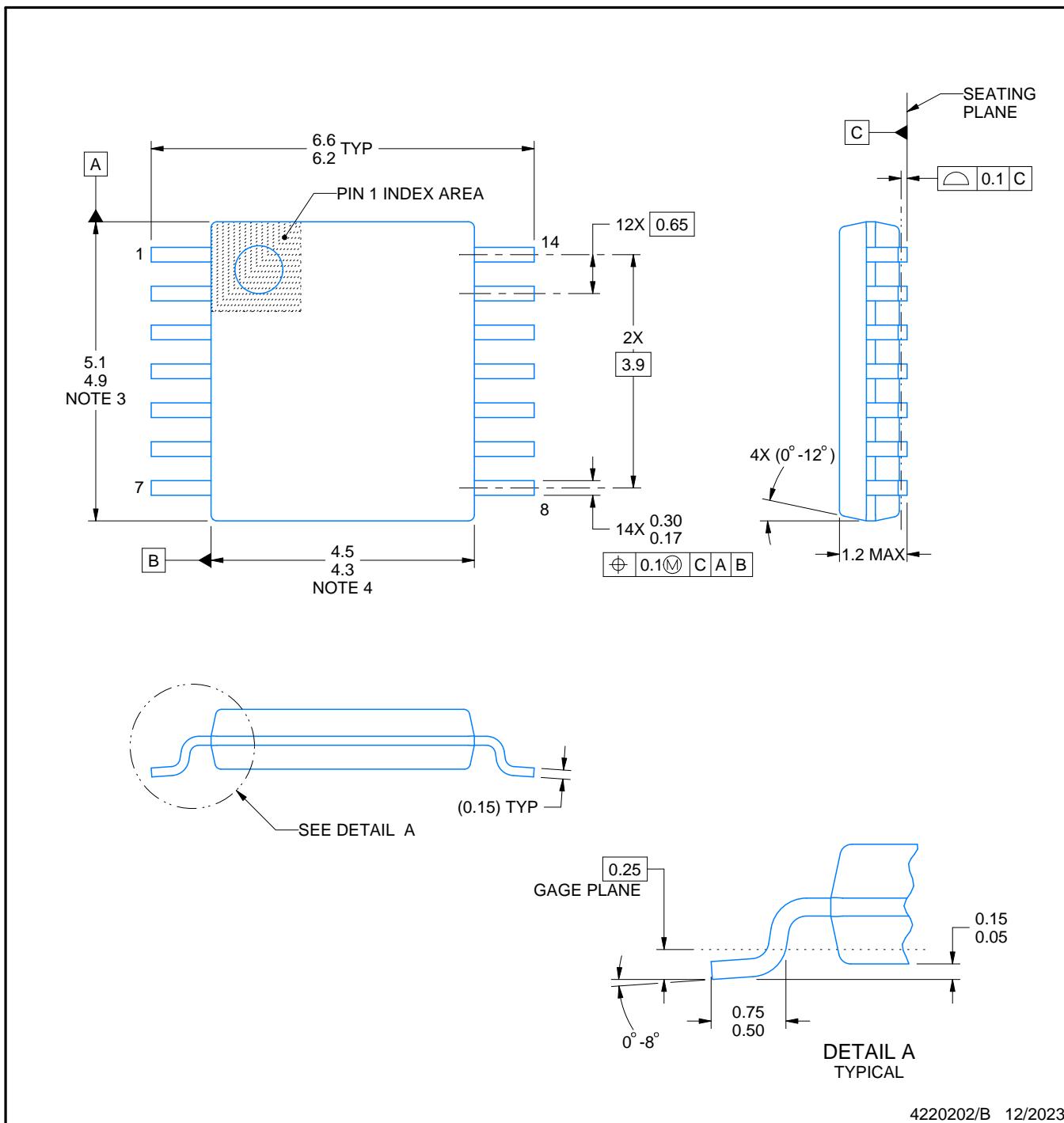
# PACKAGE OUTLINE

PW0014A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

## NOTES:

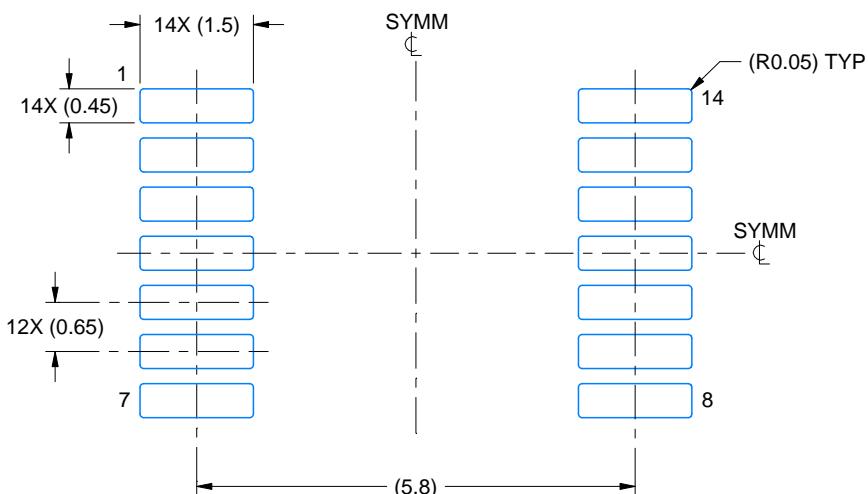
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- Reference JEDEC registration MO-153.

# EXAMPLE BOARD LAYOUT

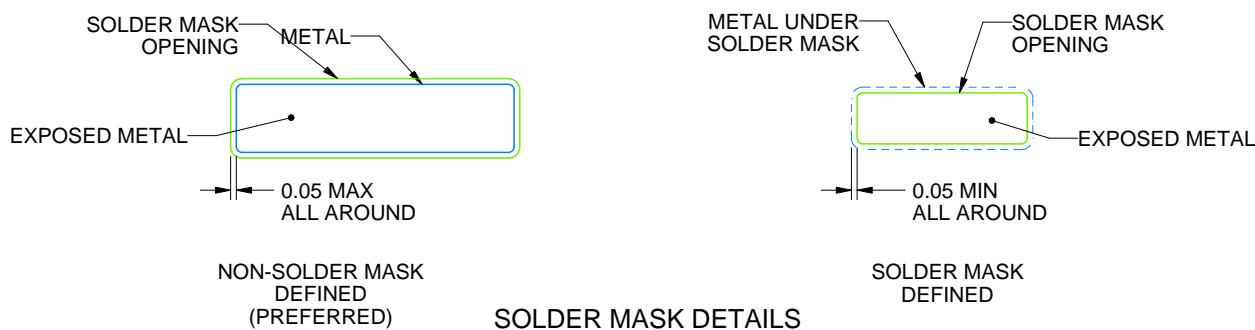
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

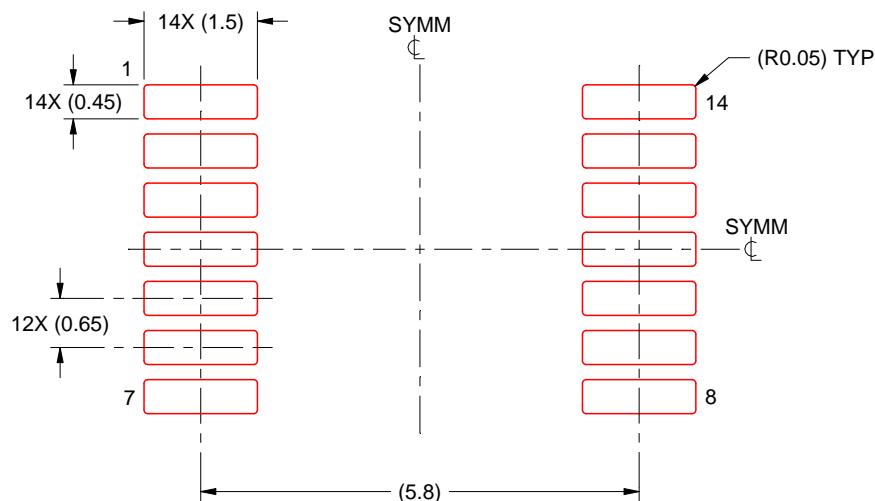
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月