

TLV232x 低電圧、ローパワー オペアンプ

1 特長

- 規定温度範囲における広い電源電圧範囲:
 - $T_A = -40^\circ\text{C} \sim +85^\circ\text{C}$, $V_{DD} = 2.7\text{V} \sim 8\text{V}$
- 3V および 5V で完全に特性評価済み
- 単一電源動作
- 同相入力電圧範囲は、 $T_A = 25^\circ\text{C}$ で負のレールより低く、 $V_{DD} - 1\text{V}$ まで拡張
- 出力電圧範囲に負のレールを含む
- 高い入力インピーダンス: $10^{12}\Omega$ (標準値)
- ESD 保護回路
- ラッチアップ耐性設計

2 アプリケーション

- 煙探知器と熱探知器
- フィールドトランスマッタとセンサ
 - 流量トランスマッタ
 - 圧力トランスマッタ
 - 温度トランスマッタ
 - レベルトランスマッタ
- モーション検出器

3 説明

TLV2322 および TLV2324 (TLV232x) オペアンプは、低電圧、単一電源のアプリケーションで使用するように特別に設計されたデバイスファミリーの製品です。このアンプは、デバイスが消費電流の絶対最小値を消費する必要がある、超ローパワーシステムで特に有用です。各アンプは、2.7V の最小電源電圧まで完全に機能し、3V と 5V 電源の両方で完全に特性評価、検査、仕様規定されています。同相入力電圧範囲には負のレールが含まれ、正のレールの 1V 以内まで拡張されます。

これらのアンプは、オペアンプごとの最大消費電流が $-40^\circ\text{C} \sim +85^\circ\text{C}$ の全温度範囲で $27\mu\text{A}$ のみに規定された、超ローパワー、携帯型、バッテリ駆動のアプリケーションでの使用を特に想定しています。

テキサス インスツルメンツのシリコンゲート LinCMOS™ テクノロジを使用すると、低電圧および低消費電力の動作が可能になります。LinCMOS テクノロジプロセスには、非常に高い入力インピーダンスと超低バイアス電流という特長があるため、これらのアンプは、センサ回路やフィルタアプリケーションなどの高インピーダンスソースとのインターフェイスに最適です。

小型ポータブル装置の設計を容易にするため、TLV232x はスマートアウトラインパッケージおよび薄型縮小スマートアウトラインパッケージ (TSSOP) を含む幅広いパッケージオプションで入手できます。TSSOP パッケージで

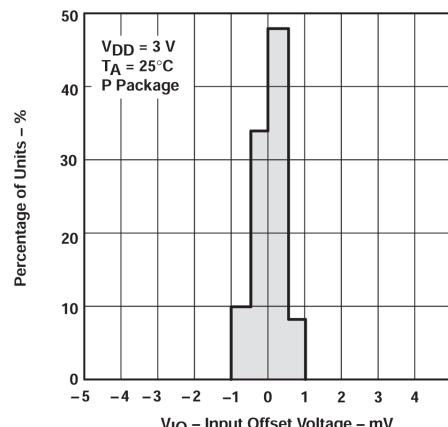
は、標準の表面実装パッケージに比べて寸法が大幅に削減されています。最大高さはわずか 1.1mm で、スペースが重要な場合にこのデバイスは特に魅力的です。

デバイスの入力と出力は、ラッチアップの影響を受けずに -100mA の電流に耐えるよう設計されています。TLV232x は、MIL-STD 883C、メソッド 3015.2 でテストされる最大 2000V の電圧での機能故障を防止する、内部 ESD 保護回路が内蔵しています。ただし、ESD にさらされるとデバイスパラメトリック性能が低下する可能性があるため、これらのデバイスを取り扱う際には注意を払ってください。

製品情報

部品番号	25°C での V_{IOMAX}	パッケージ (1)
TLV2322	9mV	D (SOIC, 8)
		P (PDIP, 8)
		PW (TSSOP, 8)
TLV2324	10mV	D (SOIC, 14)
		N (PDIP, 14)
		PW (TSSOP, 14)

(1) 供給されているすべてのパッケージについては、[セクション 10](#) を参照してください。



入力オフセット電圧のサンプル分布 (TLV2322)



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....	1	6.1 単一電源テスト回路と分割電源テスト回路との関係.....	17
2 アプリケーション.....	1	6.2 入力バイアス電流.....	18
3 説明.....	1	6.3 Low レベル出力電圧.....	18
4 ピン構成および機能.....	3	6.4 入力オフセット電圧の温度係数.....	18
5 仕様.....	5	6.5 最大出力応答.....	19
5.1 絶対最大定格.....	5	6.6 テスト時間.....	19
5.2 損失定格.....	5	7 アプリケーションと実装.....	20
5.3 推奨動作条件.....	5	7.1 アプリケーション情報.....	20
5.4 電気的特性、TLV2322.....	6	8 デバイスおよびドキュメントのサポート.....	24
5.5 動作特性 TLV2322, V _{DD} = 3V.....	7	8.1 ドキュメントの更新通知を受け取る方法.....	24
5.6 動作特性、TLV2322, V _{DD} = 5V.....	7	8.2 サポート・リソース.....	24
5.7 電気的特性、TLV2324.....	8	8.3 商標.....	24
5.8 動作特性、TLV2324, V _{DD} = 3V.....	9	8.4 静電気放電に関する注意事項.....	24
5.9 動作特性、TLV2324, V _{DD} = 5V.....	9	8.5 用語集.....	24
5.10 代表的特性.....	10	9 改訂履歴.....	24
6 パラメータ測定情報.....	17	10 メカニカル、パッケージ、および注文情報.....	25

4 ピン構成および機能

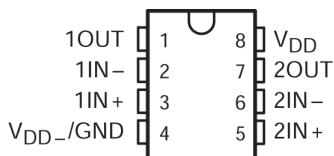


図 4-1. TLV2322 D パッケージ、8 ピン SOIC および P 图 4-2. TLV2322 PW パッケージ、8 ピン TSSOP (上面
パッケージ、8 ピン PDIP (上面図) 図)

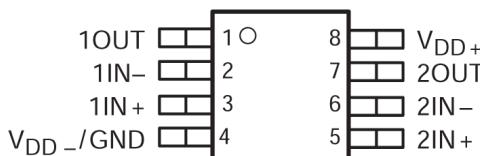


表 4-1. ピンの機能 : TLC2322

ピン		タイプ	説明
名称	番号		
1IN+	3	入力	非反転入力、チャネル 1
1IN-	2	入力	反転入力、チャネル 1
2IN+	5	入力	非反転入力、チャネル 2
2IN-	6	入力	反転入力、チャネル 2
OUT1	1	出力	出力、チャネル 1
OUT2	7	出力	出力、チャネル 2
V _{DD} +	8	—	正(最高)電源
V _{DD} /GND	4	—	グランドまたは負の(最低)電源

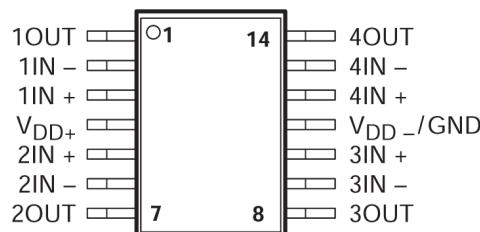
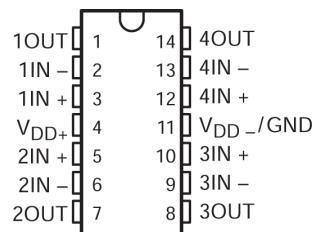


図 4-3. TLV2324 D パッケージ、14 ピン SOIC、または 図 4-4. TLV2324 PW パッケージ、14 ピン TSSOP (上
面図)

表 4-2. ピンの機能 : TLC2324

ピン		タイプ	説明
名称	番号		
1IN+	3	入力	非反転入力、チャネル 1
1IN-	2	入力	反転入力、チャネル 1
2IN+	5	入力	非反転入力、チャネル 2
2IN-	6	入力	反転入力、チャネル 2
3IN+	10	入力	非反転入力、チャネル 3
3IN-	9	入力	反転入力、チャネル 3
4IN+	12	入力	非反転入力、チャネル 4
4IN-	13	入力	反転入力、チャネル 4
OUT1	1	出力	出力、チャネル 1
OUT2	7	出力	出力、チャネル 2
OUT3	8	出力	出力、チャネル 3
OUT4	14	出力	出力、チャネル 4
V _{DD} +	4	—	正(最高)電源

表 4-2. ピンの機能 : TLC2324 (続き)

ピン		タイプ	説明
名称	番号		
V _{DD} /GND	11	—	グランドまたは負の(最低)電源

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
V_{DD} ⁽²⁾	電源電圧		8	V
V_{ID} ⁽³⁾	差動入力電圧		$V_{DD} \pm$	V
V_I (任意の入力)	入力電圧	-0.3	V_{DD}	V
I_I	入力電流		± 5	mA
I_O	出力電流		± 30	mA
	$T_A = 25^\circ\text{C}$ ⁽⁴⁾ (またはそれ以下) での短絡電流の時間	制限なし		
	連続総許容損失	「 損失定格 」を参照してください		
T_A	自由空気での動作温度	-40	85	°C
T_{stg}	保存温度	-65	150	°C
	リード温度: ケースから 1.6mm (1/16 インチ) 離れた点で 10 秒間		260	°C

- (1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらは、ストレス定格のみを示すものであり、これらの条件や「[推奨動作条件](#)」に示されたその他の条件と等しい、またはそれを超える条件で本デバイスが正しく動作することを意味するものではありません。絶対最大定格の状態に長時間置くと、デバイスの信頼性に影響を与えることがあります。
- (2) 差動電圧を除くすべての電圧値は、ネットワーク グラウンドを基準にしています。
- (3) 差動電圧は、反転入力に対して非反転入力のものです。
- (4) 出力は、どちらの電源にも短絡できます。温度、電源電圧、またはその両方が最大消費電力定格を超えないように制限してください (セクション [7.1.6](#) を参照)。

5.2 損失定格

パッケージ	$T_A \leq 25^\circ\text{C}$ の電力定格	ディレーティング係数、 $T_A > 25^\circ\text{C}$	$T_A = 85^\circ\text{C}$ の電力定格
D (SOIC、8)	725mW	5.8 mW/°C	377mW
D (SOIC、14)	950mW	7.6 mW/°C	494mW
N (PDIP、14)	1575mW	12.6 mW/°C	819mW
P (PDIP、8)	1000mW	8.0 mW/°C	520mW
PW (TSSOP、8)	525mW	4.2 mW/°C	273mW
PW (TSSOP、14)	700mW	5.6 mW/°C	364mW

5.3 推奨動作条件

			最小値	最大値	単位
V_{DD}	電源電圧		2.7	8	V
V_{IC}	同相入力電圧	$V_{DD} = 3\text{V}$	-0.2	1.8	V
		$V_{DD} = 5\text{V}$	-0.2	3.8	
T_A	自由空気での動作温度		-40	85	°C

5.4 電気的特性、TLV2322

規定の自由気流温度時 (特に記述のない限り)

パラメータ		テスト条件	T _A ⁽¹⁾	TLV2322						単位	
				V _{DD} = 3V			V _{DD} = 5V				
				最小値	標準値	最大値	最小値	標準値	最大値		
V _{IO}	入力オフセット電圧	V _O = 1V, V _{IC} = 1V, R _S = 50Ω, R _L = 1MΩ	25°C	1.1	9	1.1	9	mV			
			フルレンジ		11			11			
α _{VIO}	入力オフセット電圧の平均温度係数		25°C ~ 85°C		1			1.1		μV/°C	
I _{IO}	入力オフセット電流 ^{(2) (3)}	V _O = 1V, V _{IC} = 1V	25°C	0.5		0.5		pA			
			85°C	22	1000	24	1000				
I _{IB}	入力バイアス電流 ^{(2) (3)}	V _O = 1V, V _{IC} = 1V	25°C	0.6		0.6		pA			
			85°C	175	2000	200	2000				
V _{ICR}	同相入力電圧範囲 ⁽⁴⁾		25°C	-0.2~2	-0.2~2.3	-0.2~4	-0.2~4.2	V			
			フルレンジ	-0.2~1.8		-0.2~3.8					
V _{OH}	High レベル出力電圧	V _{IC} = 1V, V _{ID} = 100mV, I _{OH} = -1mA	25°C	1.75	1.9	3.2	3.8	V			
			フルレンジ	1.7		3					
V _{OL}	Low レベル出力電圧	V _{IC} = 1V, V _{ID} = 100mV, I _{OH} = -1mA	25°C	115	150	95	150	mV			
			フルレンジ		190		190				
A _{VD}	大信号差動電圧増幅	V _{IC} = 1V, R _L = 1MΩ ⁽⁵⁾	25°C	50	400	50	520	V/mV			
			フルレンジ	50		50					
CMRR	同相除去比	V _O = 1V, R _S = 50Ω, V _{IC} = V _{ICRmin}	25°C	61	83	65	88	dB			
			フルレンジ	59		60					
k _{SVR}	電源除去比 ($\Delta V_{DD}/\Delta V_{IO}$)	V _{IC} = 1V, V _O = 1V, R _S = 50Ω	25°C	70	86	70	86	dB			
			フルレンジ	65		65					
I _{DD}	電源電流	V _O = 1V, V _{IC} = 1V, 無負荷	25°C	13	34	20	34	μA			
			フルレンジ		54		54				

(1) フルレンジは -40°C ~ +85°C です。

(2) 入力バイアス電流と 5pA 未満の入力オフセット電流の標準的な値は数学的に決定されます。

(3) 値は特性により規定されます。

(4) この範囲は各入力にも個別に適用されます。

(5) V_{DD} = 5V 時の V_{O(PP)} = 0.25V ~ 2V, V_{DD} = 3V 時の V_O = 0.5V ~ 1.5V です。

5.5 動作特性 TLV2322、 $V_{DD} = 3V$

指定された自由空気温度で、 $V_{DD} = 3V$

パラメータ		テスト条件	T_A	TLV2322			単位
				最小値	標準値	最大値	
SR	ユニティ ゲインでのスルーレート	$V_{IC} = 1V$ 、 $V_{I(PP)} = 1V$ 、 $R_L = 1M\Omega$ 、 $C_L = 20pF$ 、図 6-1 を参照	25°C	0.02			V/ μ s
			85°C	0.02			
V_n	等価入力ノイズ電圧	$f = 1kHz$ 、 $R_S = 20\Omega$ 、図 6-2 を参照	25°C	68			nV/ \sqrt{Hz}
B_{OM}	最大出力 — スイング帯域幅	$V_O = V_{OH}$ 、 $R_L = 1M\Omega$ 、 $C_L = 20pF$ 、図 6-1 を参照	25°C	2.5			kHz
			85°C	2			
B_1	ユニティ ゲイン帯域幅	$V_I = 10mV$ 、 $R_L = 1M\Omega$ 、 $C_L = 20pF$ 、図 6-3 を参照	25°C	27			kHz
			85°C	21			
ϕ_m	位相マージン	$V_I = 10mV$ 、 $f = B_1$ 、 $R_L = 1M\Omega$ 、 $C_L = 20pF$ 、図 6-3 を参照	-40°C	39			°
			25°C	34			
			85°C	28			

5.6 動作特性、 $V_{DD} = 5V$

指定された自由空気温度で、 $V_{DD} = 5V$

パラメータ		テスト条件	T_A	TLV2322			単位
				最小値	標準値	最大値	
SR	ユニティ ゲインでのスルーレート	$V_{IC} = 1V$ 、 $R_L = 1M\Omega$ 、 $C_L = 20pF$ 、図 6-1 を参照	25°C	0.03			V/ μ s
			85°C	0.03			
		$V_{I(PP)} = 2.5V$	25°C	0.03			
			85°C	0.02			
V_n	等価入力ノイズ電圧	$f = 1kHz$ 、 $R_S = 20\Omega$ 、図 6-2 を参照	25°C	68			nV/ \sqrt{Hz}
B_{OM}	最大出力 — スイング帯域幅	$V_O = V_{OH}$ 、 $R_L = 1M\Omega$ 、 $C_L = 20pF$ 、図 6-1 を参照	25°C	5			kHz
			85°C	4			
B_1	ユニティ ゲイン帯域幅	$V_I = 10mV$ 、 $R_L = 1M\Omega$ 、 $C_L = 20pF$ 、図 6-3 を参照	25°C	85			kHz
			85°C	55			
ϕ_m	位相マージン	$V_I = 10mV$ 、 $f = B_1$ 、 $R_L = 1M\Omega$ 、 $C_L = 20pF$ 、図 6-3 を参照	-40°C	38			°
			25°C	34			
			85°C	28			

5.7 電気的特性、TLV2324

規定の自由気流温度時 (特に記述のない限り)

パラメータ		テスト条件	T _A ⁽¹⁾	TLV2324						単位	
				V _{DD} = 3V			V _{DD} = 5V				
				最小値	標準値	最大値	最小値	標準値	最大値		
V _{IO}	入力オフセット電圧	V _O = 1V, V _{IC} = 1V, R _S = 50Ω, R _L = 1MΩ	25°C	1.1	10	1.1	10	1.1	10	mV	
			フルレンジ		12				12		
α _{VIO}	入力オフセット電圧の平均温度係数		25°C ~ 85°C		1			1.1		μV/°C	
I _{IO}	入力オフセット電流 ^{(2) (3)}	V _O = 1V, V _{IC} = 1V	25°C	0.5		0.5				pA	
			85°C	22	1000	24	1000				
I _{IB}	入力バイアス電流 ^{(2) (3)}	V _O = 1V, V _{IC} = 1V	25°C	0.6		0.6				pA	
			85°C	175	2000	200	2000				
V _{ICR}	同相入力電圧範囲 ⁽⁴⁾		25°C	-0.2~2	-0.2~2.3	-0.2~4	-0.2~4.2			V	
			フルレンジ	-0.2~1.8		-0.2~3.8				V	
V _{OH}	High レベル出力電圧	V _{IC} = 1V, V _{ID} = 100mV, I _{OH} = -1mA	25°C	1.75	1.9	3.2	3.8			V	
			フルレンジ	1.7		3					
V _{OL}	Low レベル出力電圧	V _{IC} = 1V, V _{ID} = -100mV, I _{OL} = 1mA	25°C	115	150	95	150			mV	
			フルレンジ		190				190		
A _{VD}	大信号差動電圧増幅	V _{IC} = 1V, R _L = 1MΩ ⁽⁵⁾	25°C	50	400	50	520			V/mV	
			フルレンジ	50		50					
CMRR	同相除去比	V _O = 1V, R _S = 50Ω, V _{IC} = V _{ICRmin}	25°C	61	83	65	88			dB	
			フルレンジ	59		60					
k _{SVR}	電源除去比 ($\Delta V_{DD}/\Delta V_{IO}$)	V _O = 1V, V _{IC} = 1V, R _S = 50Ω	25°C	70	86	70	86			dB	
			フルレンジ	65		65					
I _{DD}	電源電流	V _O = 1V, V _{IC} = 1V, 無負荷	25°C		26	68	39	68		μA	
			フルレンジ			108			108		

(1) フルレンジは -40°C~85°Cです。

(2) 入力バイアス電流と 5pA 未満の入力オフセット電流の標準的な値は数学的に決定されます。

(3) 値は特性により規定されます。

(4) この範囲は各入力にも個別に適用されます。

(5) V_{DD} = 5V 時の VO(PP) = 0.25V ~ 2V, V_{DD} = 3V 時の V_O = 0.5V ~ 1.5V です。

5.8 動作特性、 $V_{DD} = 3V$

指定された自由空気温度で、 $V_{DD} = 3V$

パラメータ		テスト条件	T_A	TLV2324			単位
				最小値	標準値	最大値	
SR	ユニティゲインでのスルーレート	$V_{IC} = 1V$ 、 $V_{I(PP)} = 1V$ 、 $R_L = 1M\Omega$ 、 $C_L = 20pF$ 、図 6-1 を参照	25°C	0.02			V/ μ s
			85°C	0.02			
V_n	等価入力ノイズ電圧	$f = 1kHz$ 、 $R_S = 20\Omega$ 、図 6-2 を参照	25°C	68			nV/ \sqrt{Hz}
B_{OM}	最大出力 — スイング帯域幅	$V_O = V_{OH}$ 、 $R_L = 1M\Omega$ 、 $C_L = 20pF$ 、図 6-1 を参照	25°C	2.5			kHz
			85°C	2			
B_1	ユニティゲイン帯域幅	$V_I = 10mV$ 、 $R_L = 1M\Omega$ 、 $C_L = 20pF$ 、図 6-3 を参照	25°C	27			kHz
			85°C	21			
ϕ_m	位相マージン	$V_I = 10mV$ 、 $f = B_1$ 、 $R_L = 1M\Omega$ 、 $C_L = 20pF$ 、図 6-3 を参照	-40°C	39			°
			25°C	34			
			85°C	28			

5.9 動作特性、 $V_{DD} = 5V$

指定された自由空気温度で、 $V_{DD} = 5V$

パラメータ		テスト条件	T_A	TLV2324			単位
				最小値	標準値	最大値	
SR	ユニティゲインでのスルーレート	$V_{IC} = 1V$ 、 $R_L = 1M\Omega$ 、 $C_L = 20pF$ 、図 6-1 を参照	25°C	0.03			V/ μ s
			85°C	0.03			
			25°C	0.03			
			85°C	0.02			
V_n	等価入力ノイズ電圧	$f = 1kHz$ 、 $R_S = 20\Omega$ 、図 6-2 を参照	25°C	68			nV/ \sqrt{Hz}
B_{OM}	最大出力 — スイング帯域幅	$V_O = V_{OH}$ 、 $R_L = 1M\Omega$ 、 $C_L = 20pF$ 、図 6-1 を参照	25°C	5			kHz
			85°C	4			
B_1	ユニティゲイン帯域幅	$V_I = 10mV$ 、 $R_L = 1M\Omega$ 、 $C_L = 20pF$ 、図 6-3 を参照	25°C	85			kHz
			85°C	55			
ϕ_m	位相マージン	$V_I = 10mV$ 、 $f = B_1$ 、 $R_L = 1M\Omega$ 、 $C_L = 20pF$ 、図 6-3 を参照	-40°C	38			°
			25°C	34			
			85°C	28			

5.10 代表的特性

表 5-1. グラフ一覧

			図
V_{IO}	入力オフセット電圧	ディストリビューション	1 ~ 4
α_{VIO}	入力オフセット電圧の温度係数	ディストリビューション	5 ~ 8
I_{IB}	入力バイアス電流	と自由気流での周囲温度との関係	9
I_{IO}	入力オフセット電流	と自由気流での周囲温度との関係	9
V_{IC}	同相入力電圧	と電源電圧との関係	10
V_{OH}	High レベル出力電圧	と High レベル出力電流との関係	11
		と電源電圧との関係	12
		と自由気流での周囲温度との関係	13
V_{OL}	Low レベル出力電圧	と同相入力電圧との関係	14
		と自由気流での周囲温度との関係	15, 16
		と差動入力電圧の関係	17
		と Low レベル出力電流との関係	18
A_{VD}	大信号差動電圧増幅	と電源電圧との関係	19
		と自由気流での周囲温度との関係	20
		周波数との関係	21, 22
I_{DD}	電源電流	と電源電圧との関係	23
		と自由気流での周囲温度との関係	24, 25
S_R	スルーレート	と電源電圧との関係	26
		と自由気流での周囲温度との関係	27
$V_{O(PP)}$	最大ピークツーピーク出力電圧と	周波数との関係	28
B_1	ユニティゲイン帯域幅	と電源電圧との関係	29
		と自由気流での周囲温度との関係	30
ϕ_m	位相マージン	と電源電圧との関係	31
		と自由気流での周囲温度との関係	32
		と負荷容量との関係	33
	位相シフト	周波数との関係	21, 22
V_n	等価入力ノイズ電圧	周波数との関係	34

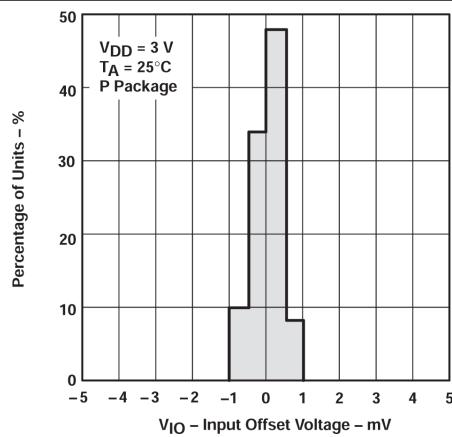


図 5-1. TLV2322 入力オフセット電圧の分布

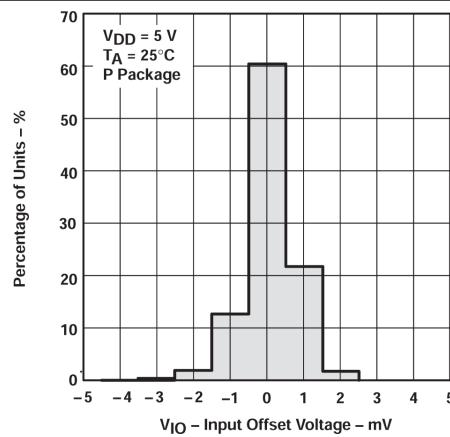


図 5-2. TLV2322 入力オフセット電圧の分布

5.10 代表的特性 (続き)

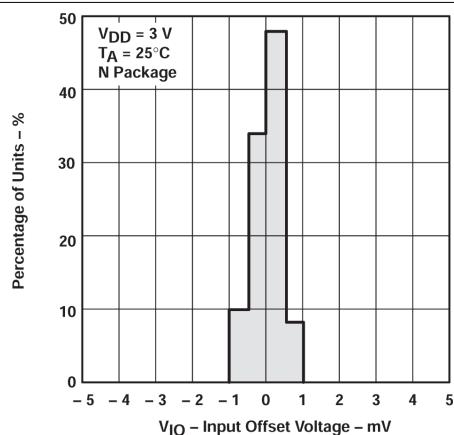


図 5-3. TLV2324 入力オフセット電圧の分布

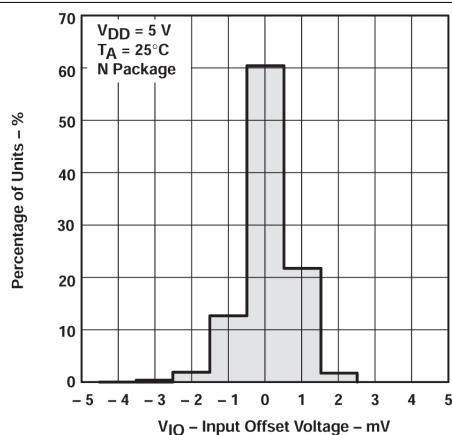


図 5-4. TLV2324 入力オフセット電圧の分布

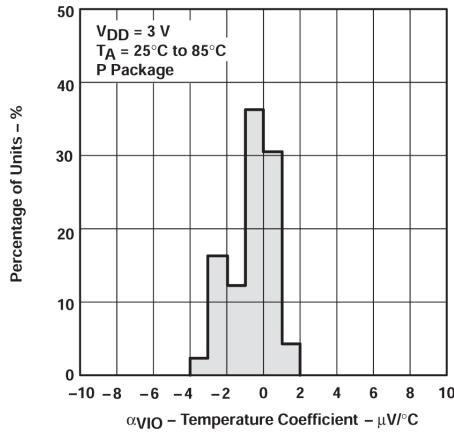


図 5-5. TLV2322 入力オフセット電圧温度係数の分布

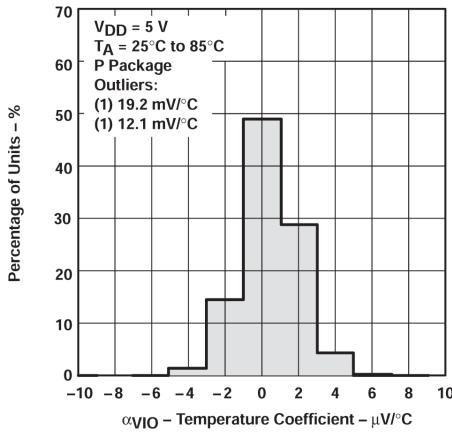


図 5-6. TLV2322 入力オフセット電圧温度係数の分布

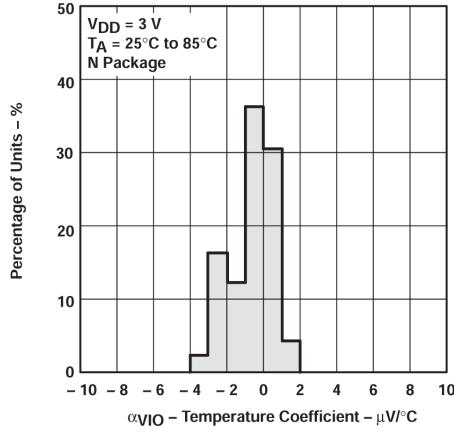


図 5-7. TLV2324 入力オフセット電圧温度係数の分布

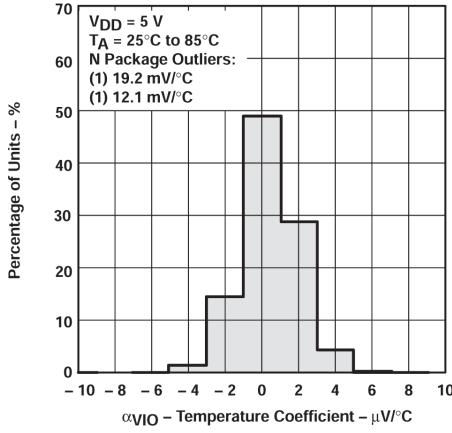
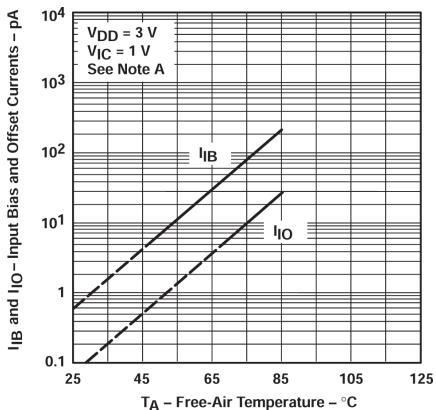


図 5-8. TLV2324 入力オフセット電圧温度係数の分布

5.10 代表的特性 (続き)



入力バイアス電流と 5pA 未満の入力オフセット電流の標準的な値は数学的に決定されます

図 5-9. 入力バイアス電流および入力オフセット電流と自由気流での周囲温度との関係

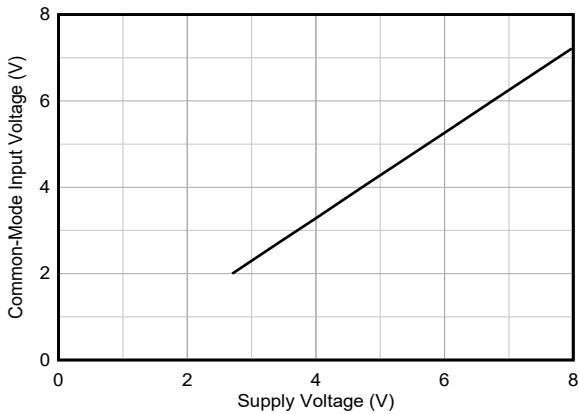


図 5-10. 同相入力範囲と電源電圧との関係

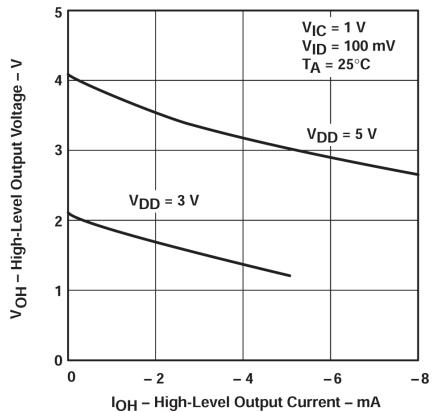


図 5-11. HIGH レベル出力電圧と HIGH レベル出力電流との関係

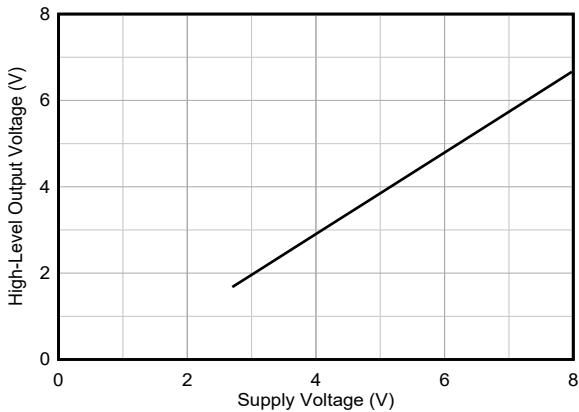


図 5-12. High レベル出力電圧と電源電圧との関係

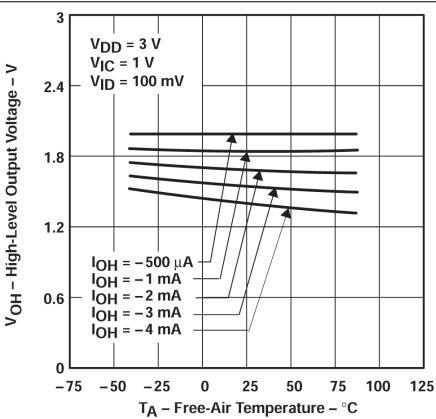


図 5-13. High レベル出力電圧と自由気流での周囲温度との関係

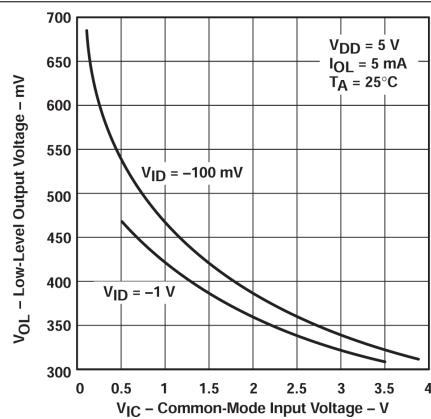


図 5-14. Low レベル出力電圧と同相入力電圧との関係

5.10 代表的特性 (続き)

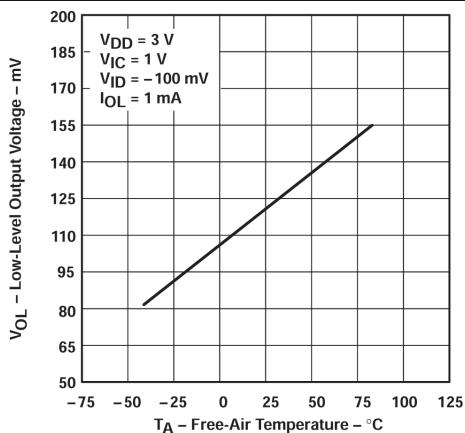


図 5-15. Low レベル出力電圧と自由気流での周囲温度との関係

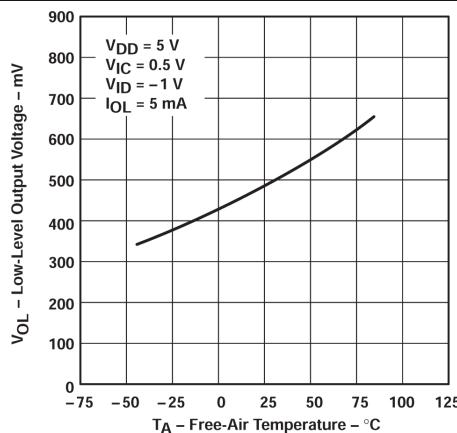


図 5-16. Low レベル出力電圧と自由気流での周囲温度との関係

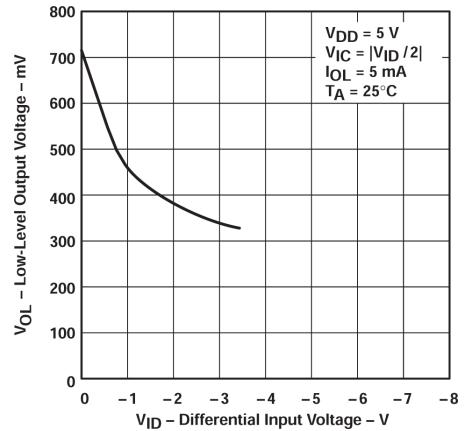


図 5-17. Low レベル出力電圧と差動入力電圧の関係

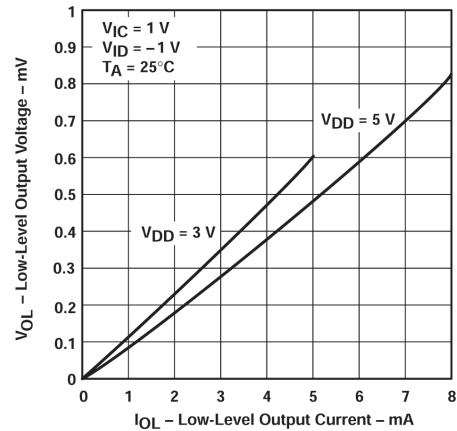


図 5-18. Low レベル出力電圧と Low レベル出力電流との関係

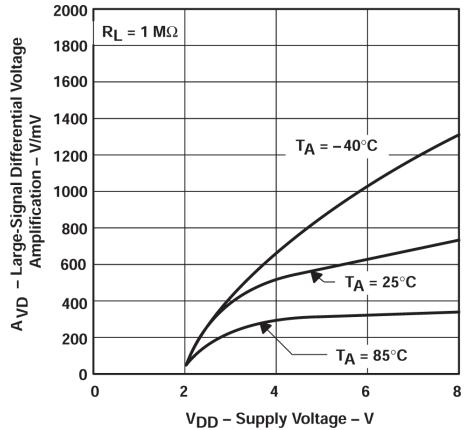


図 5-19. 大信号の差動電圧増幅と電源電圧との関係

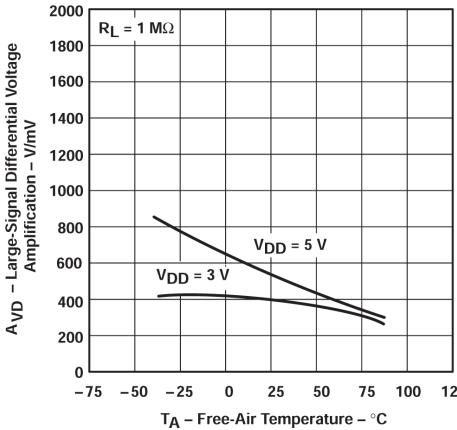


図 5-20. 大信号の差動電圧増幅と自由気流温度との関係

5.10 代表的特性(続き)

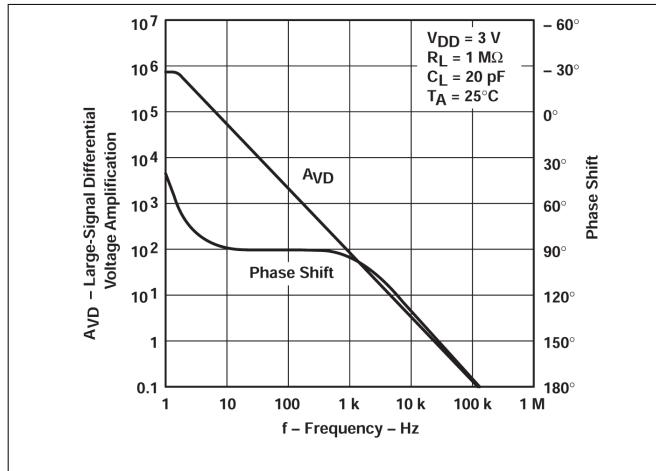


図 5-21. 大信号の差動電圧増幅および位相シフトと周波数との関係

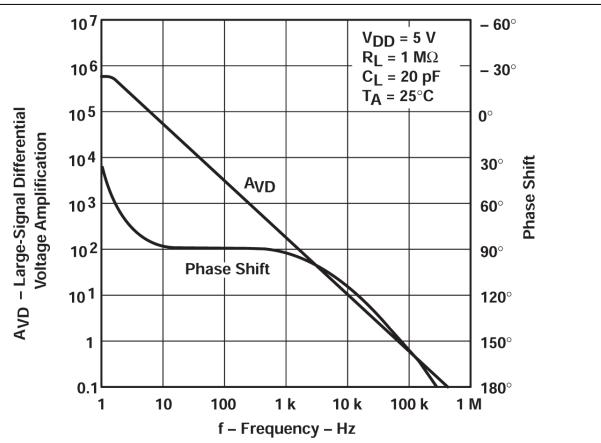


図 5-22. 大信号の差動電圧増幅および位相シフトと周波数との関係

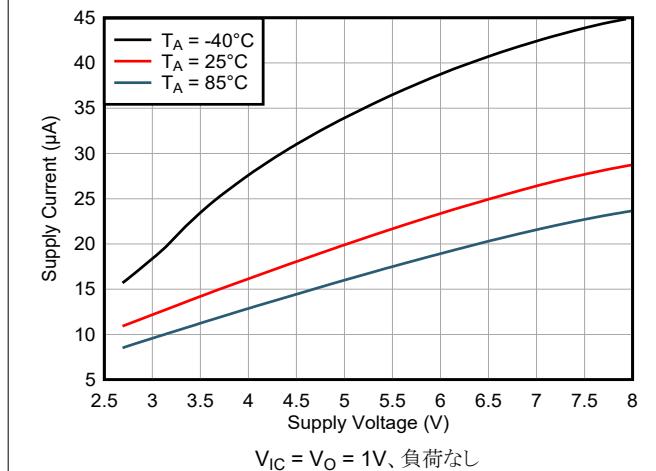


図 5-23. 電源電流と電源電圧との関係

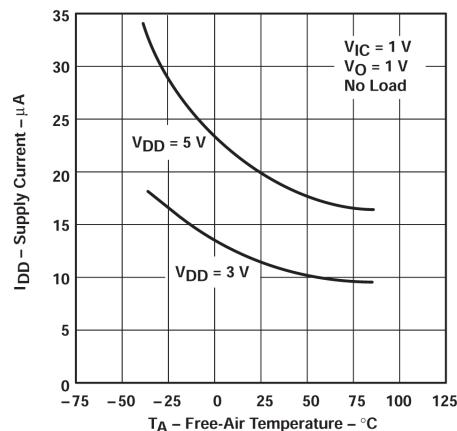


図 5-24. TLV2322 電源電流と自由気流での周囲温度との関係

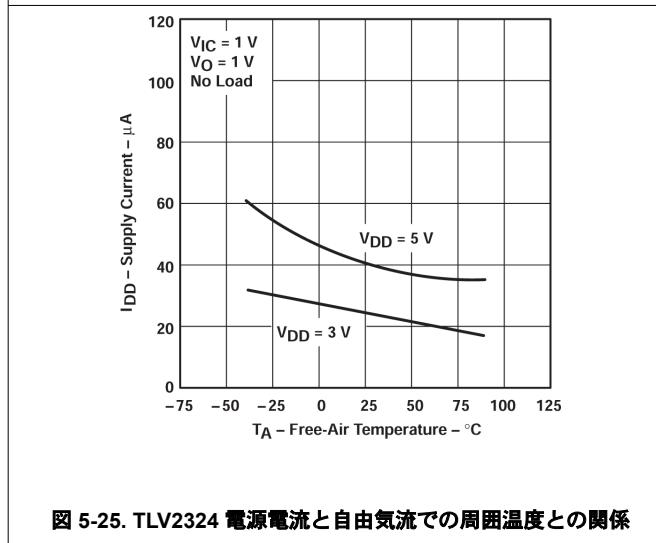


図 5-25. TLV2324 電源電流と自由気流での周囲温度との関係

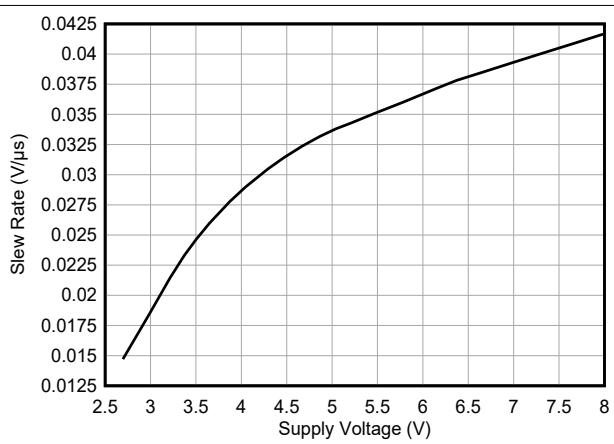


図 5-26. スルーレートと電源電圧との関係

5.10 代表的特性 (続き)

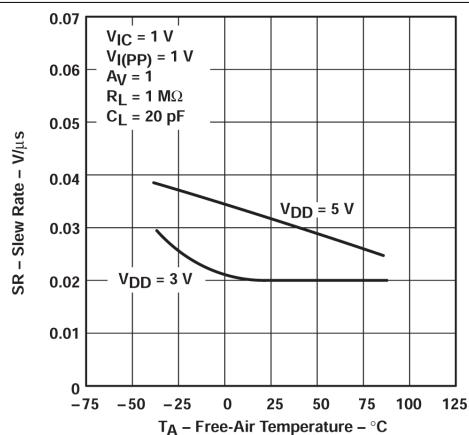


図 5-27. スルー レートと自由気流温度との関係

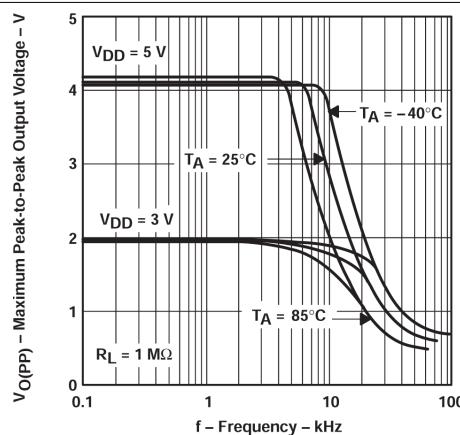


図 5-28. 最大ピークツーピーク出力電圧と周波数との関係

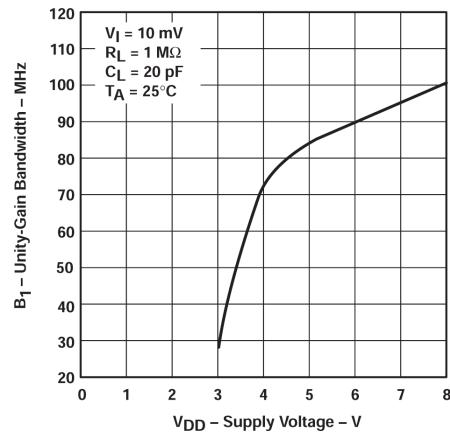


図 5-29. ユニティゲイン帯域幅と電源電圧との関係

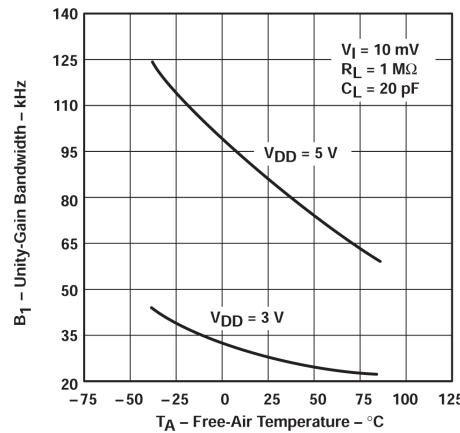


図 5-30. ユニティゲイン帯域幅積と自由気流での周囲温度との関係

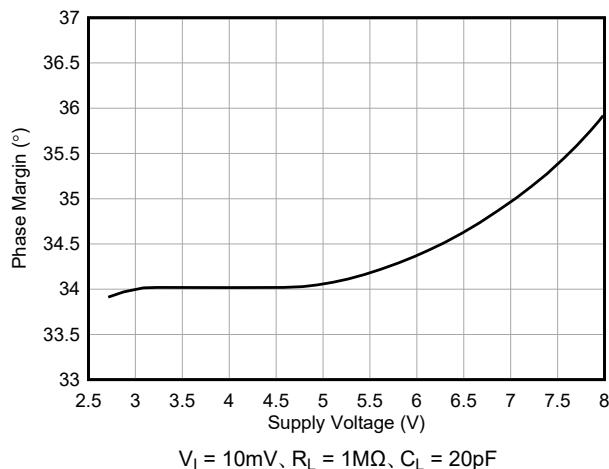


図 5-31. 位相マージンと電源電圧との関係

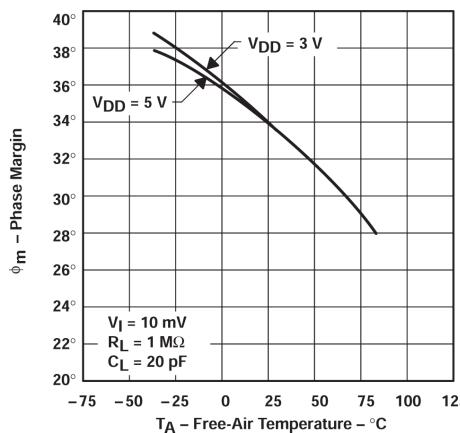


図 5-32. 位相マージンと自由気流での周囲温度との関係

5.10 代表的特性 (続き)

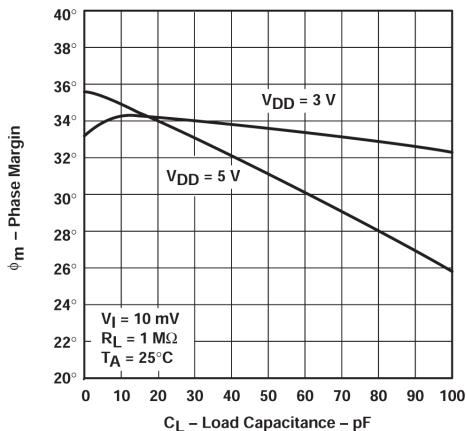


図 5-33. 位相マージンと負荷容量との関係

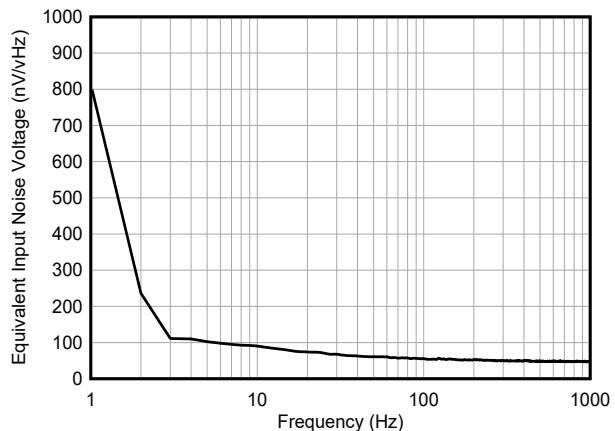


図 5-34. 等価入力ノイズ電圧と周波数との関係

6 パラメータ測定情報

6.1 単一電源テスト回路と分割電源テスト回路との関係

TLV232x は単一電源動作に最適化されているため、各種テストに使用する回路構成では、多くの場合入力信号をグラウンドからオフセットする必要があります。この不便さを回避するには、分割電源と負のレールに接続している出力負荷を使用してデバイスをテストします。以下の図は、単一電源テスト回路と分割電源テスト回路の比較を示しています。どちらの回路も使用しても同じ結果になります。

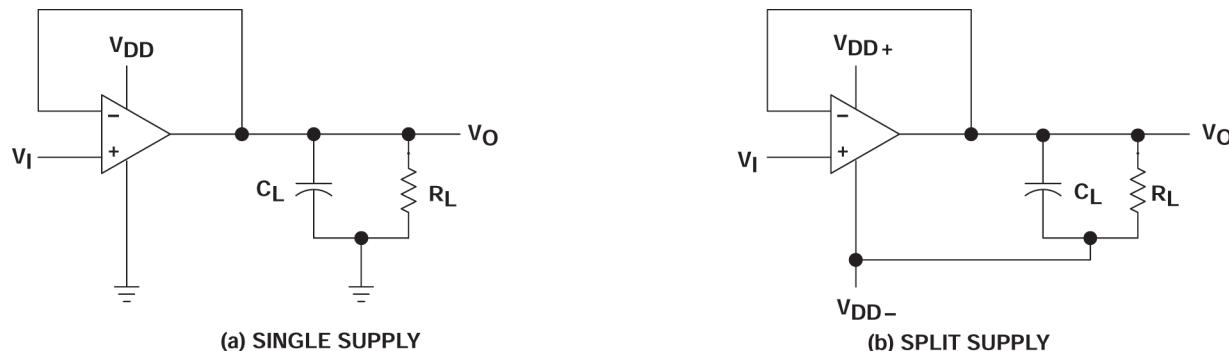


図 6-1. ユニティ ゲイン アンプ

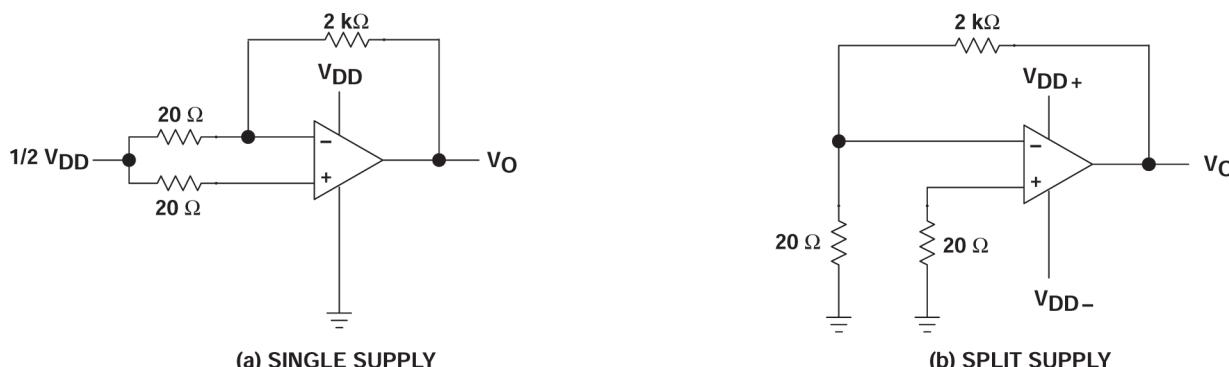


図 6-2. ノイズテスト回路

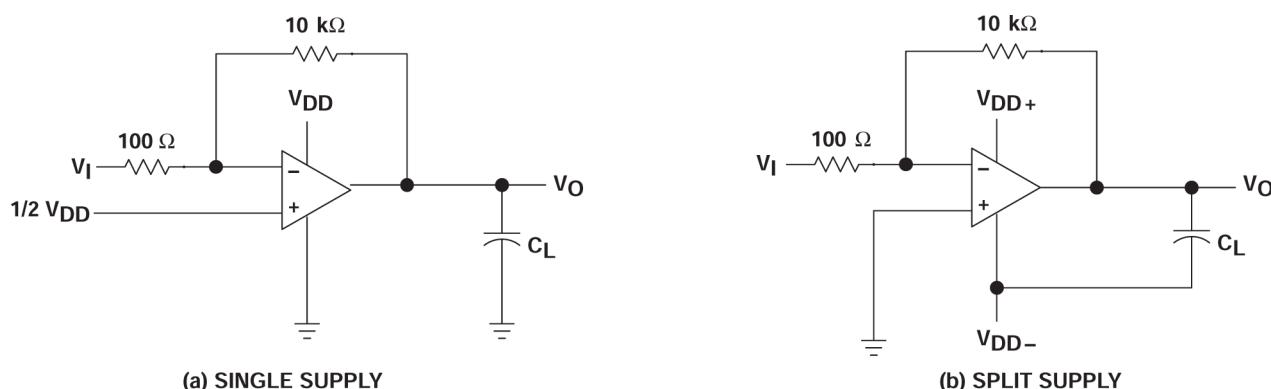


図 6-3. ゲイン 100 の反転アンプ

6.2 入力バイアス電流

TLV232x オペアンプは入力インピーダンスが高いため、入力バイアス電流を測定しようとすると、読み取り値が不正確になる可能性があります。通常の周囲温度でのバイアス電流は通常 1pA 未満で、テストソケットのリークによって容易に超過します。誤測定を避けるため、次の 2 つの方法を推奨します：

- 他の潜在的なリークソースからデバイスを絶縁します。デバイス入力の周囲および間に接地シールドを使用します (図 6-4 を参照)。入力に流れ込む可能性のあるリーケージはシャントされます。
- テストソケットにデバイスを接続せずに、実際に入力バイアス電流テストを実行して (ピコアンメータを使用)、テストソケットのリーケージを補償します。実際のバイアス電流は、テストソケット内のデバイスで得られた読み取り値からオープンソケットのリーケージ読み取り値を差し引くことによって計算できます。

多くの自動テスターやベンチトップ型オペアンプテスターは、デバイスの入力と直列に抵抗を接続したサーボループ技術を使用して、入力バイアス電流を測定します (直列抵抗の両端の電圧降下を測定してバイアス電流を計算)。この方法では、正しい読み取り値を得るためにテストソケットにデバイスを挿入する必要があります。そのため、この手法ではオープンソケットの読み取りはできません。

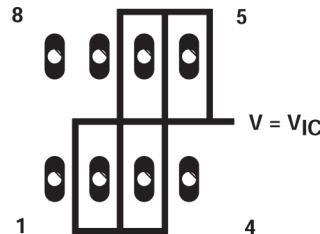


図 6-4. デバイス入力周辺の絶縁金属 (P パッケージ)

6.3 Low レベル出力電圧

Low レベルの電源電圧動作を実現するには、入力段においてある程度の妥協が必要です。この妥協により、デバイスの Low レベルの出力電圧は、同相入力電圧レベルと差動入力電圧レベルの両方に依存することになります。Low レベル出力の読み取り値と電気的仕様に記載されている値の関係を比較する場合は、これら 2 つの条件を遵守してください。これら以外の条件を使用する場合は、セクション 5.10 の「代表的特性」を参照してください。

6.4 入力オフセット電圧の温度係数

多くの場合読み取り値が不正確になるのは、入力オフセット電圧の温度係数の測定を試みることに起因しています。このパラメータは実際には、2 つの異なる温度で得られる入力オフセット電圧の測定値を使用して計算されます。温度の一方 (または両方) が氷点下を下回ると、デバイスとテストソケットの両方に水分が集まる可能性があります。この水分によりリーケージと接触抵抗が発生し、入力オフセット電圧の読み取り値が不正確になる可能性があります。前述の絶縁手法はリーケージには効果がありません。水分は絶縁メタルも覆うため、この手法は役に立ちません。誤差を最小限に抑えるため、これらの測定は氷点下より高い温度で実行してください。

6.5 最大出力応答

それを超えるとオペアンプのスルーレートが出力電圧スイングを制限する周波数である、最大出力応答は、多くの場合全線形応答と全ピーク応答の 2 つの方法で指定されます。全線形応答は通常、正弦波入力信号の周波数を上げながら、出力の歪みレベルを監視して測定します。出力に大きな歪みがあるときは、入力周波数が全線形帯域幅として記録されます。フルピーク応答は、歪みに関係なく、全ピーカツーピーク出力スイングが維持される最大出力周波数として定義されます。出力周波数が全ピーカ応答帯域幅または最大出力スイング帯域幅よりも大きい場合、全ピーカツーピーク出力スイングを維持できません。

重大な歪みに関して業界で許容される値がないため、このデータシートでは全ピーカ応答を規定しており、図 6-1 の回路を使用して測定します。初期設定では、正弦波入力を使用してデバイスの最大ピーカツーピーク出力を決定します（正弦波の振幅はクリッピングが発生するまで増加します）。次に、正弦波は同じ振幅の方形波に置き換えられます。周波数は最大ピーカツーピーク出力が維持されなくなるまで上昇します（図 6-5）。方形波を使用すると、最大ピーカツーピーク出力に達するポイントをより正確に判定することができます。

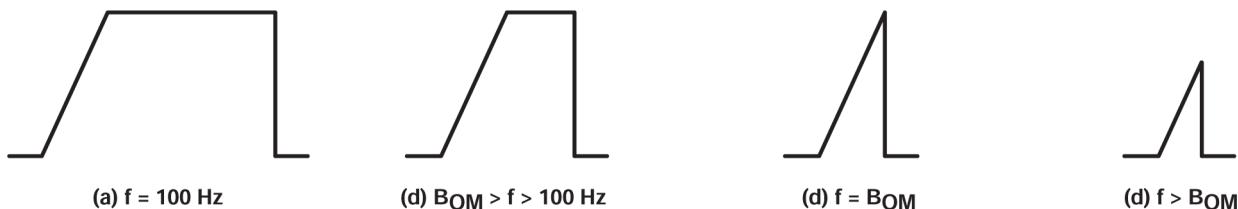


図 6-5. 最大出力応答の出力信号

6.6 テスト時間

テスト時間が不十分なことは頻繁に起こる問題です。この問題は特大量の CMOS デバイスのテストをするときに、テスト時間が短い環境において生じます。CMOS の内部容量はバイポーラおよび BiFET デバイスよりも本質的に高く、バイポーラおよび BiFET デバイスよりも長いテスト時間が必要です。供給レベルが低下して温度が低下すると、問題はより顕著になります。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

7.1.1 単電源動作

TLV232x はデュアル電源（平衡電源または分割電源とも呼ばれます）を使用しても適切に動作しますが、この設計では単一電源での動作に最適化されています。この最適化には、グランドを含む入力同相電圧範囲と、グランドまでプルダウンする出力電圧範囲が含まれています。電源電圧範囲は最低 2.7V まで拡張されているため、TTL および HCMOS で通常利用できる電源レベルでの動作が可能です。

多くの単一電源用途では、グランドより高いリファレンスレベルを確立するため、1 つの入力に電圧を印加する必要があります。この仮想グランドは、2 つの大きな抵抗と、[OPA202](#) などのバッファアンプを使用して生成します。

TLV232x はデジタルロジックと正常に連動して動作しますが、同じ電源からリニアデバイスとデジタルロジックの両方に電力を供給する場合は、以下の推奨予防措置を講じてください：

- 個別のバイパスされた電源ラインからリニアデバイスに電力を供給します（図 7-1 を参照）。そうしないと、デジタルロジックの高いスイッチング電流により発生する電圧降下の結果、線形デバイス電源レールが変動する可能性があります。
- ノイズにより誤差が発生する可能性を減らすため、適切なバイパス手法を使用してください。多くの場合、単一の容量性デカップリングで十分ですが、高周波アプリケーションでは高い確率で RC デカップリングが必要になります。

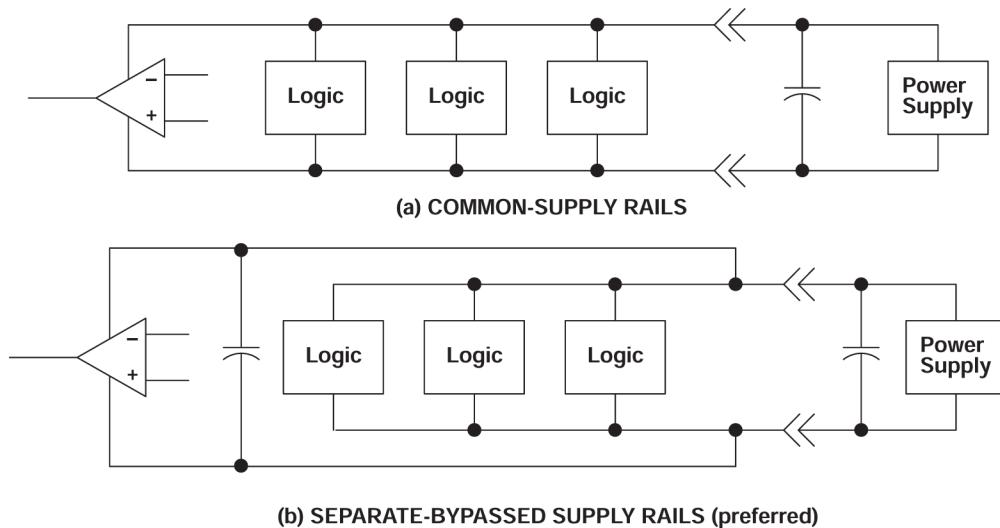


図 7-1. 共通電源レールと分離電源レールとの関係

7.1.2 入力特性

TLV232x は、いずれかの入力で超える場合に、デバイスの誤動作を引き起こす可能性がある最小および最大入力電圧で規定されています。特に単一電源動作の場合、この規定範囲を超えることは頻繁に発生する問題です。下限範囲には負のレールが含まれますが、範囲の上限は、 $T_A = 25^\circ\text{C}$ では $V_{DD} - 1\text{V}$ 、その他のすべての温度では $V_{DD} - 1.2\text{V}$ で規定されます。

ポリシリコンゲートプロセスの採用と、慎重な入力回路設計により、従来の TLV232x は、通常のメタルゲートプロセスと比べて非常に優れた入力オフセット電圧ドリフト特性を実現しています。CMOS デバイスのオフセット電圧ドリフトは、酸化膜

に埋め込まれたリンドーパントの分極によって生じるスレッショルド電圧シフトから大きな影響を受けます。(ポリシリコンゲートなどの)導体にリンドーパントを配置すると分極の問題が軽減され、スレッショルド電圧シフトが1桁以上減少します。時間経過に伴うオフセット電圧ドリフトは、動作の最初の月を含めて通常 $0.1\mu\text{V}/\text{月}$ と計算されます。

従来の150mm LinCMOSプロセスから直径300mmのウェハプロセスへの移行により、入力オフセット電圧の精度、スルーレート、位相マージン、出力電流駆動能力、高レベルの出力電圧が改善されています。ただし、この変化により新しいクロスオーバー領域が生じ、この領域では入力同相電圧が V_{DD} レールに近づくと入力オフセットがシフトします(通常は $300\mu\text{V} \sim 400\mu\text{V}$)。図7-2と図7-3は、5V電源の場合のさまざまな温度における、この特性の平均と標準偏差を示しています。

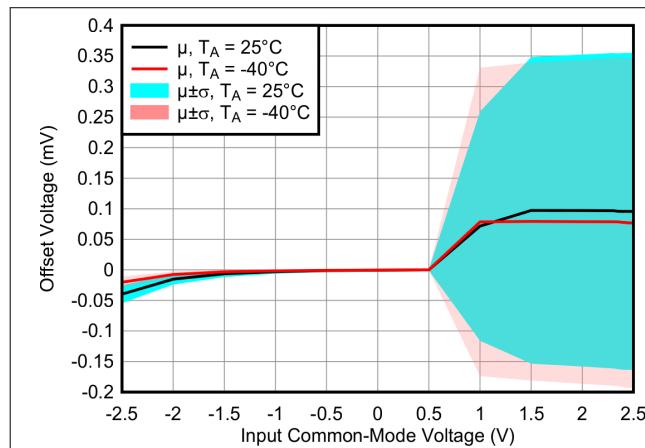


図7-2. オフセット電圧と入力同相電圧との関係

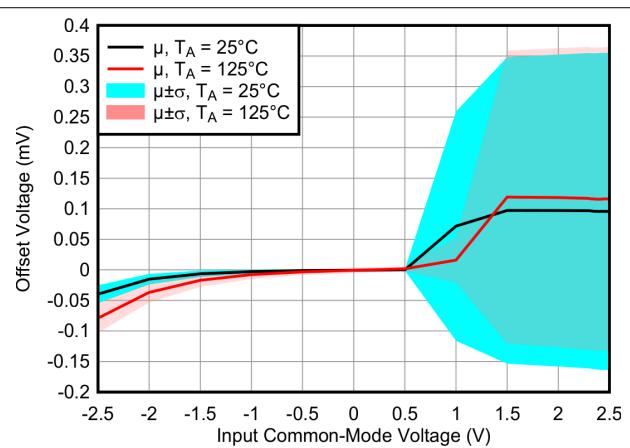


図7-3. オフセット電圧と入力同相電圧との関係

入力インピーダンスが非常に高く、バイアス電流要件も低いため、TLV232xは低レベルの信号処理用に設計されています。ただし、プリント基板とソケットでのリーク電流がバイアス電流要件を容易に上回ることがあり、デバイス性能の低下を招く可能性があります。ベストプラクティスとして、入力の周囲にガードリングを含めます(「パラメータ測定情報」セクションの図6-4と同様)。これらの保護は、同相入力と同じ電圧レベルで低インピーダンスのソースから駆動します(図7-4を参照)。

発振を防ぐため、未使用のアンプの入力をグランドに接続してください。

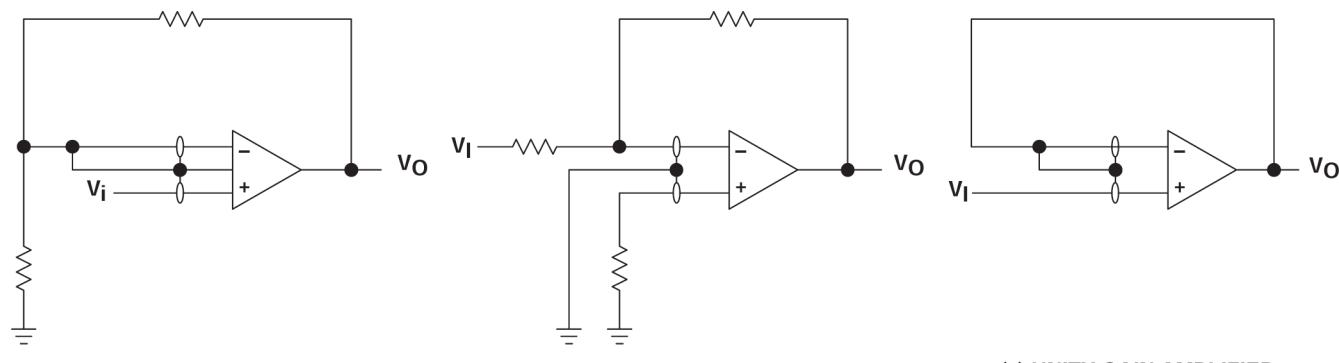


図7-4. ガードリング方式

7.1.3 ノイズ性能

オペアンプ回路のノイズ仕様は、1段目の差動アンプの電流に大きく依存します。TLV232xは入力バイアス電流要件が低いため、ノイズ電流が非常に小さくなり、ほとんどの用途においてこの値は取るに足りないものです。バイポーラデバイス

ではノイズ電流が大きくなるため、 $50\text{k}\Omega$ を超える回路インピーダンスの値を使用する場合、デバイスはこの機能のおかげでバイポーラデバイスよりも特に優れた性能を発揮します。

7.1.4 帰還

オペアンプ回路はほとんどの場合帰還を採用しており、帰還は発振の第一前提条件であるため、注意が必要です。発振の問題の大半は、容量性負荷の駆動と、浮遊入力容量の無視に起因します。帰還抵抗と並列に値の小さいコンデンサを接続することは、効果的な解決方法です(図 7-5 を参照)。このコンデンサの値は経験に基づき最適化されています。

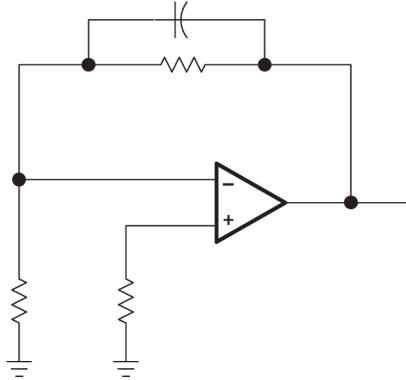


図 7-5. 入力容量の補償

7.1.5 静電放電保護

TLV232x は、MIL-PRF-38535、メソッド 3015.2 でテストされる最大 2000V の電圧での機能故障を防止する、内部静電放電(ESD)保護回路を内蔵しています。ただし、ESD にさらされるとデバイスパラメトリック性能が低下する可能性があるため、これらのデバイスを取り扱う際には注意を払ってください。また、保護回路によって入力バイアス電流は温度依存性を持ち、逆バイアスダイオードの特性を持つようになります。

7.1.6 ラッチアップ

CMOS デバイスは、本来備わっている寄生サイリスタによってラッチアップの影響を受けやすいため、TLV232x の入出力は、ラッチアップの影響を受けずに -100mA のサージ電流に耐えるよう設計されています。ただし、可能な限りラッチアップの可能性を低減するためのベストプラクティスを使用してください。内部保護ダイオードには順バイアスを印加しないでください。印加する入力電圧と出力電圧のための電源電圧は 300mV を超えないようにしてください。パルス発生器に容量性カッピングを使用するときは注意が必要です。デバイスにできるだけ近づけて電源レールの間に配置したデカップリングコンデンサ(標準値 $0.1\mu\text{F}$)を使用して、電源過渡をシャントします。

ラッチアップが発生した場合に確立される電流経路は、通常は正の電源レールとグランドの間にあり、電源ラインのサージ、電源電圧を超える出力電圧または入力電圧、またはその両方によってトリガされます。ラッチアップが発生すると、電流の流れは電源のインピーダンスと寄生サイリスタの順方向抵抗のみによって制限され、通常はデバイスが破壊されます。温度と電源電圧が高くなると、ラッチアップが発生する可能性が高くなります。

7.1.7 出力特性

TLV232x の出力段は比較的大きな電流をシンクおよび供給するように設計されています(セクション 5.10 を参照)。出力が短絡状態になると、この大電流能力のために、特定の条件でデバイスが破損します。出力電流能力は電源電圧に応じて向上します。

TLV232x は非常に優れた High レベルの出力電圧および電流能力を備えていますが、必要に応じてこの能力を高める方法を利用できます。最も単純な方法では、出力から正の電源レールに接続されたプルアップ抵抗(R_P)を使用します(図 7-6 を参照)。この回路を使用することには 2 つの欠点があります。1 つは、NMOS プルダウントランジスタは比較的大きな電流をシンクすることです。この回路では、プルダウントランジスタは、オペアンプの入力の駆動力に応じて、オン抵抗は約 $60\Omega \sim 180\Omega$ の線形抵抗のように動作します。 R_P の値が非常に小さいと、出力で 0V からの電圧オフセットが発

生します。2つ目は、プルアップ抵抗 R_P はプルダウントランジスタへのドレン負荷として機能することです。そのため、対応するプルアップトランジスタが出力電流を供給しない出力電圧レベルでは、オペアンプのゲインが低下します。

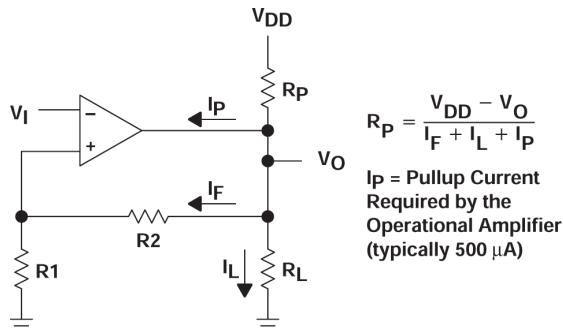


図 7-6. 抵抗性プルアップにより v_{OH} が増加

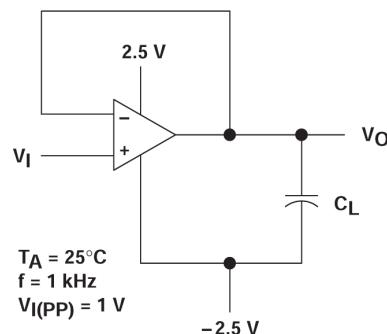
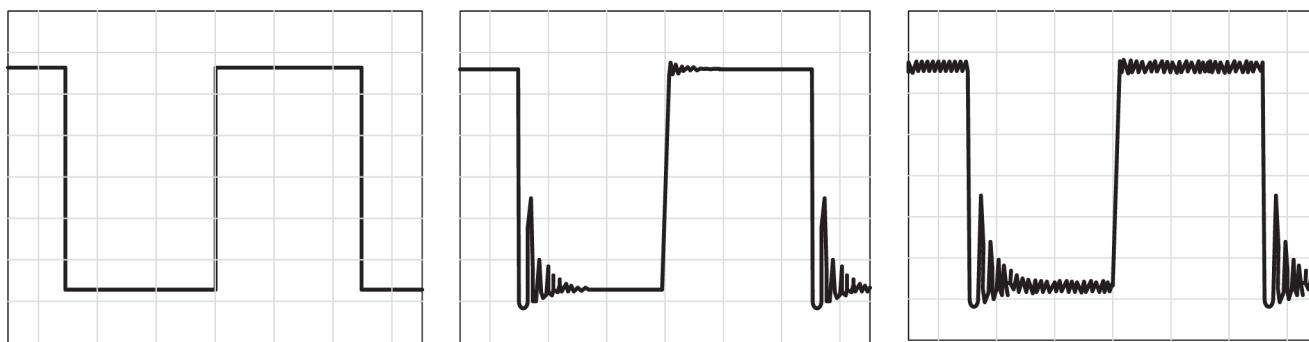


図 7-7. 出力特性のテスト回路

TLV232x のすべての動作特性は 20pF の負荷を使用して測定されています。このデバイスはより高い容量性負荷を駆動します。ただし、出力負荷容量が大きくなると、結果として低い周波数で応答極が発生し、リング、ピーク、または発振が発生します (図 7-7 および 図 7-8 を参照)。多くの場合、帰還ループに直列抵抗の形で補償を追加すると、問題が軽減されます。



(a) $C_L = 20\text{ pF}$, $R_L = \text{NO LOAD}$

(b) $C_L = 260\text{ pF}$, $R_L = \text{NO LOAD}$

(c) $C_L = 310\text{ pF}$, $R_L = \text{NO LOAD}$

図 7-8. 容量性負荷の影響

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.3 商標

LinCMOS™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。



ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (February 1997) to Revision A (July 2025)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 「アプリケーション」、「ピン構成および機能」、「アプリケーションと実装」、「デバイスおよびドキュメントのサポート」、「メカニカル、パッケージ、注文情報」セクションを追加.....	1
• 旧 TLE2322Y と TLE2324Y デバイスおよび関連する内容をデータシートから削除.....	1
• 「特長」、「説明」、「推奨動作条件」、「電気的特性」、「代表的特性」、「単一電源動作」の最小電源電圧を 2V から 2.7V に変更.....	1
• 「等価回路図(各アンプ)」セクションを削除.....	3
• 「ピン構成および機能」セクションとピンの説明を追加.....	3
• 入力バイアス電流と入力オフセット電流が特性ごとに規定された表注釈を追加.....	6
• 標準的な入力オフセット電流を 0.1pA から 0.5pA に変更.....	6
• 標準的な入力オフセット電流を -0.3V から -0.2V に変更.....	6
• $T_A = 25^\circ\text{C}$ の最小入力同相電圧を -0.3V から -0.2V に変更.....	6
• $T_A = 25^\circ\text{C}$ での $V_{DD} = 3V$ の標準的な消費電流を 12μA から 13μA に変更.....	6
• $T_A = 25^\circ\text{C}$ での $V_{DD} = 3V$ の最小 CMRR を 65dB から 61dB に変更.....	6
• $T_A = 25^\circ\text{C}$ での $V_{DD} = 3V$ の標準的な CMRR を 88dB から 83dB に変更.....	6
• 全温度範囲での $V_{DD} = 3V$ の最小 CMRR を 60dB から 59dB に変更.....	6

• $T_A = 25^\circ\text{C}$ での $V_{DD} = 5\text{V}$ の標準的な CMRR を 94dB から 88dB に変更.....	6
• 入力バイアス電流と入力オフセット電流が特性ごとに規定された表注釈を追加.....	8
• 標準的な入力オフセット電流を 0.1pA から 0.5pA に変更.....	8
• $T_A = 25^\circ\text{C}$ の最小入力同相電圧を -0.3V から -0.2V に変更.....	8
• $T_A = 25^\circ\text{C}$ での $V_{DD} = 3\text{V}$ の標準的な消費電流を 24 μA から 26 μA に変更.....	8
• $T_A = 25^\circ\text{C}$ での $V_{DD} = 3\text{V}$ の最小 CMRR を 65dB から 61dB に変更.....	8
• $T_A = 25^\circ\text{C}$ での $V_{DD} = 3\text{V}$ の標準的な CMRR を 88dB から 83dB に変更.....	8
• 全温度範囲での $V_{DD} = 3\text{V}$ の最小 CMRR を 60dB から 59dB に変更.....	8
• $T_A = 25^\circ\text{C}$ での $V_{DD} = 5\text{V}$ の標準的な CMRR を 94dB から 88dB に変更.....	8
• 図 5-10、5-12、5-23、5-26、5-31、5-34 を更新.....	10
• 「最大出力応答」の全線形応答および全ピーク応答の説明を更新.....	19
• 「単一電源動作」の図 40 を削除して仮想グランド生成のガイダンスを更新.....	20
• 「入力特性」に入力クロスオーバー領域の変更に関するガイダンスを追加.....	20

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV2322ID	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 85	2322I
TLV2322IDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	2322I
TLV2322IDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	2322I
TLV2322IP	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TLV2322IP
TLV2322IP.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TLV2322IP
TLV2322IPWR	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TY2322
TLV2322IPWR.A	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TY2322
TLV2324ID	Obsolete	Production	SOIC (D) 14	-	-	Call TI	Call TI	-40 to 85	TLV2324I
TLV2324IDR	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TLV2324I
TLV2324IDR.A	Active	Production	SOIC (D) 14	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TLV2324I
TLV2324IN	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TLV2324IN
TLV2324IN.A	Active	Production	PDIP (N) 14	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TLV2324IN
TLV2324IPWR	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TY2324
TLV2324IPWR.A	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TY2324

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

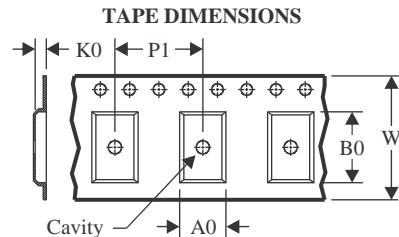
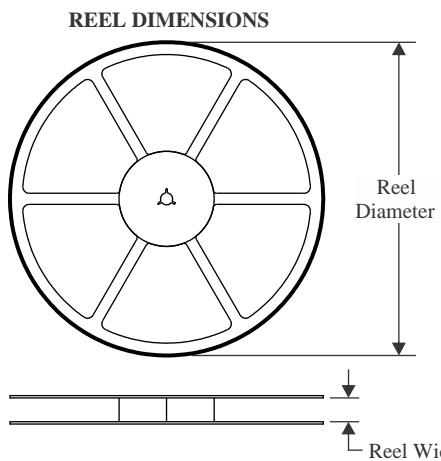
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

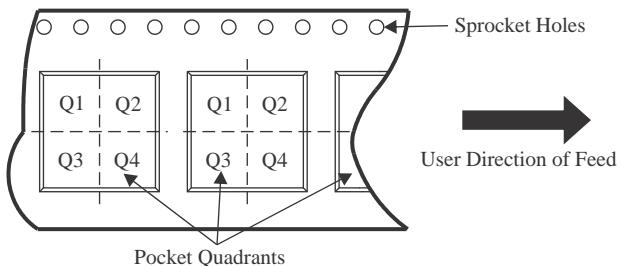
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



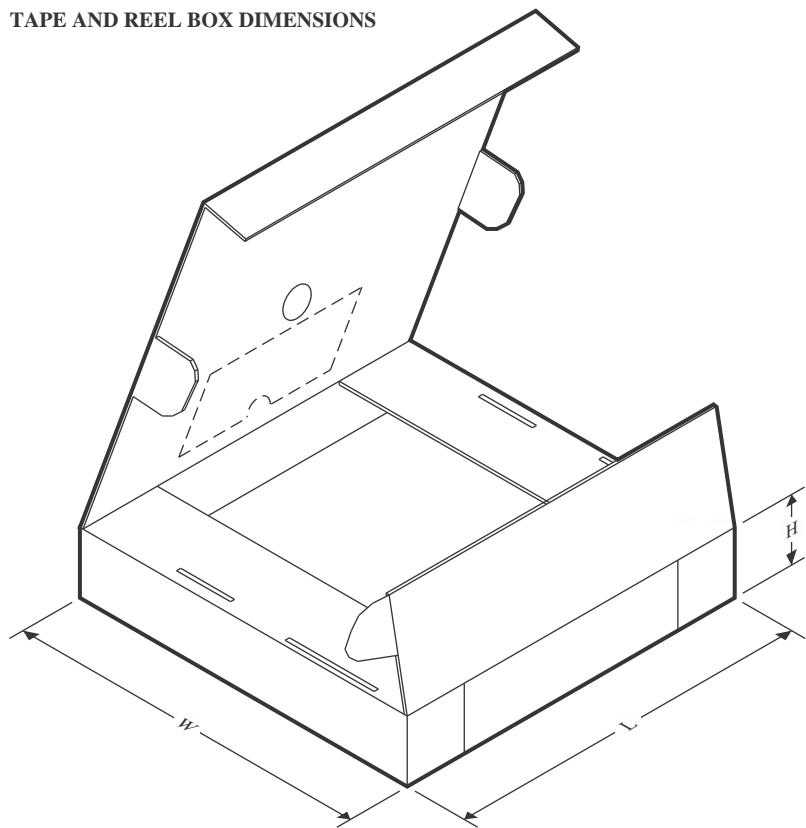
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



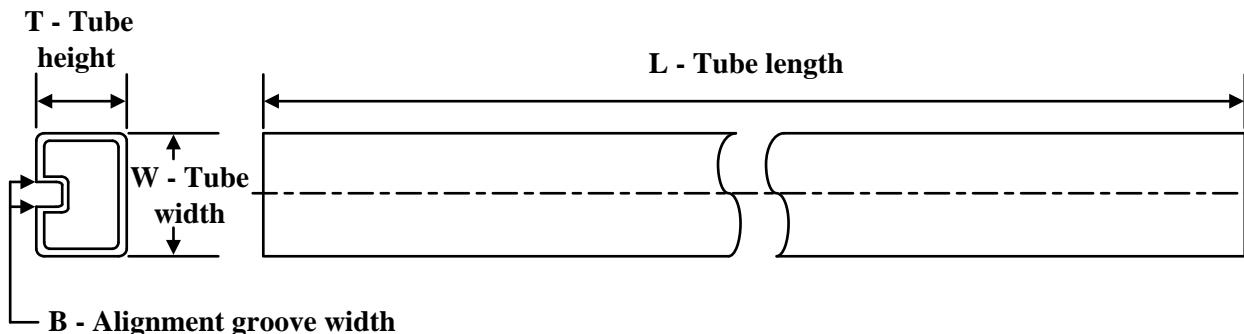
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV2322IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV2322IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV2322IPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLV2324IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLV2324IPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV2322IDR	SOIC	D	8	2500	340.5	338.1	20.6
TLV2322IDR	SOIC	D	8	2500	353.0	353.0	32.0
TLV2322IPWR	TSSOP	PW	8	2000	353.0	353.0	32.0
TLV2324IPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
TLV2324IPWR	TSSOP	PW	14	2000	353.0	353.0	32.0

TUBE


*All dimensions are nominal

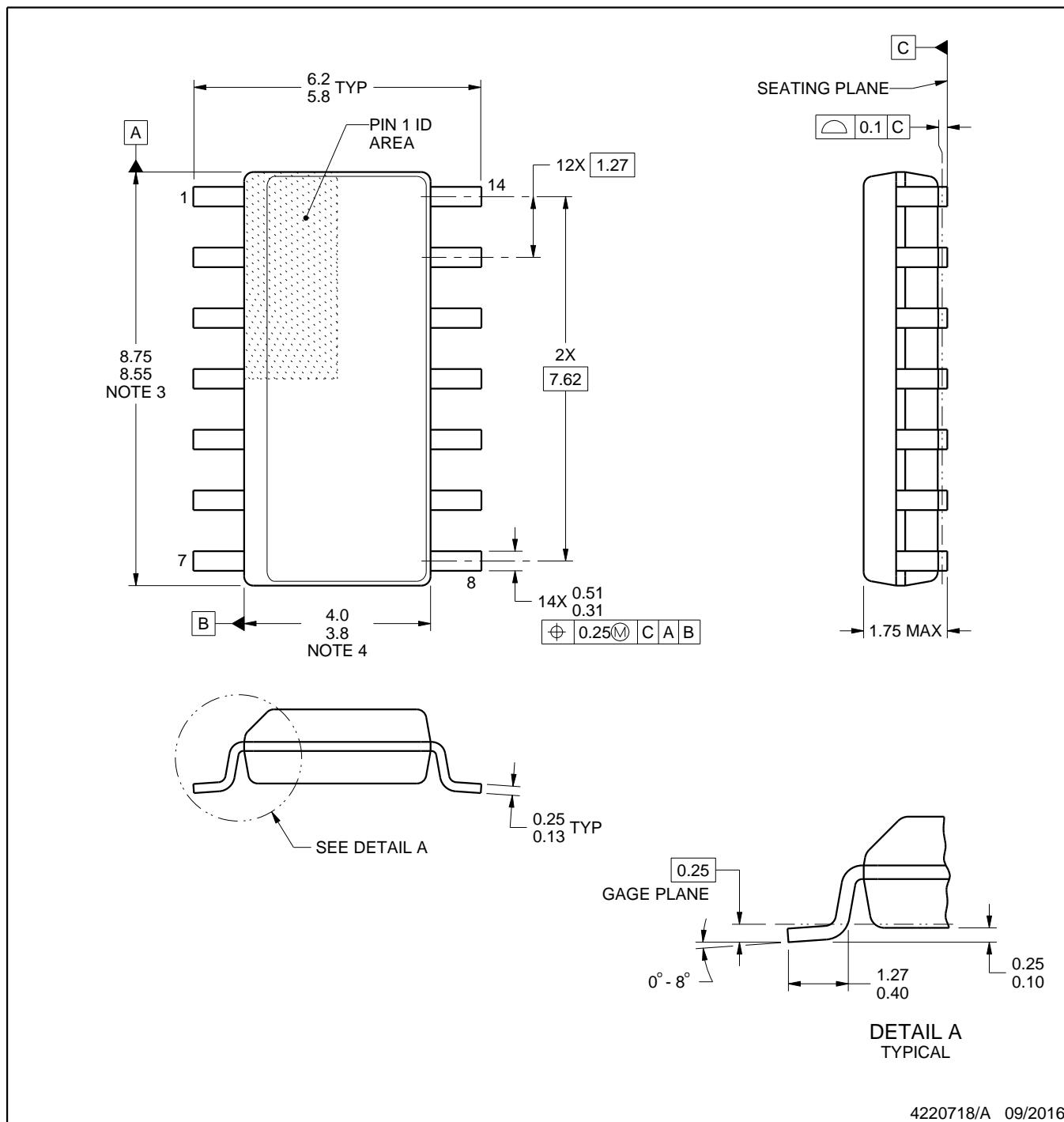
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μ m)	B (mm)
TLV2322IP	P	PDIP	8	50	506	13.97	11230	4.32
TLV2322IP.A	P	PDIP	8	50	506	13.97	11230	4.32
TLV2324IN	N	PDIP	14	25	506	13.97	11230	4.32
TLV2324IN.A	N	PDIP	14	25	506	13.97	11230	4.32

PACKAGE OUTLINE

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

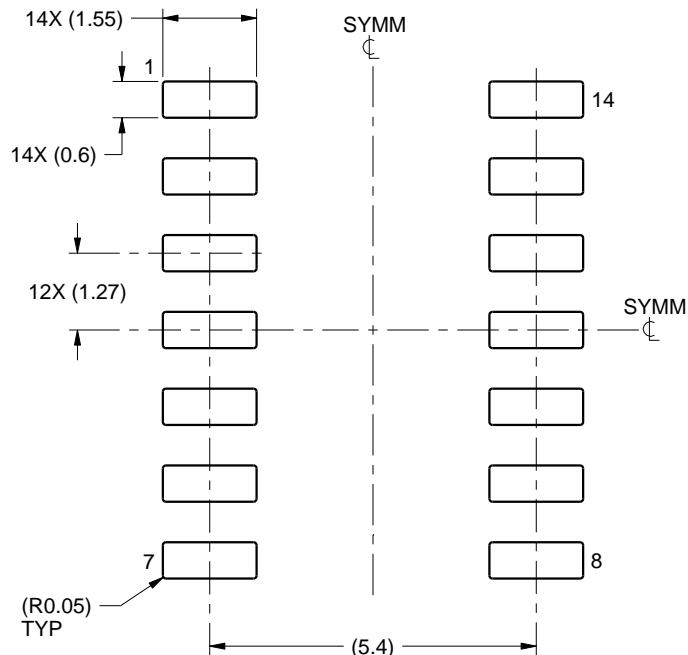
- All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
- Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

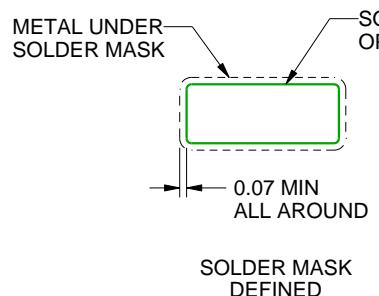
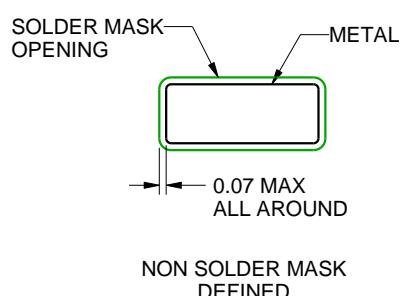
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

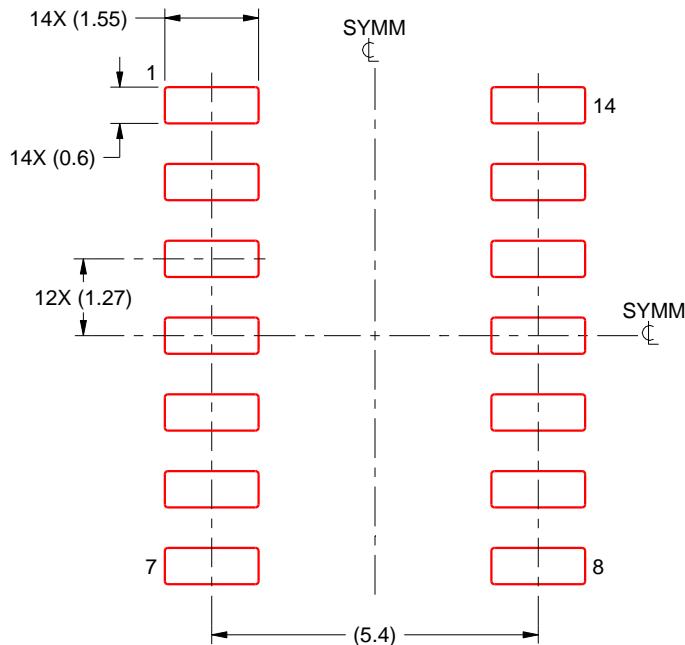
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

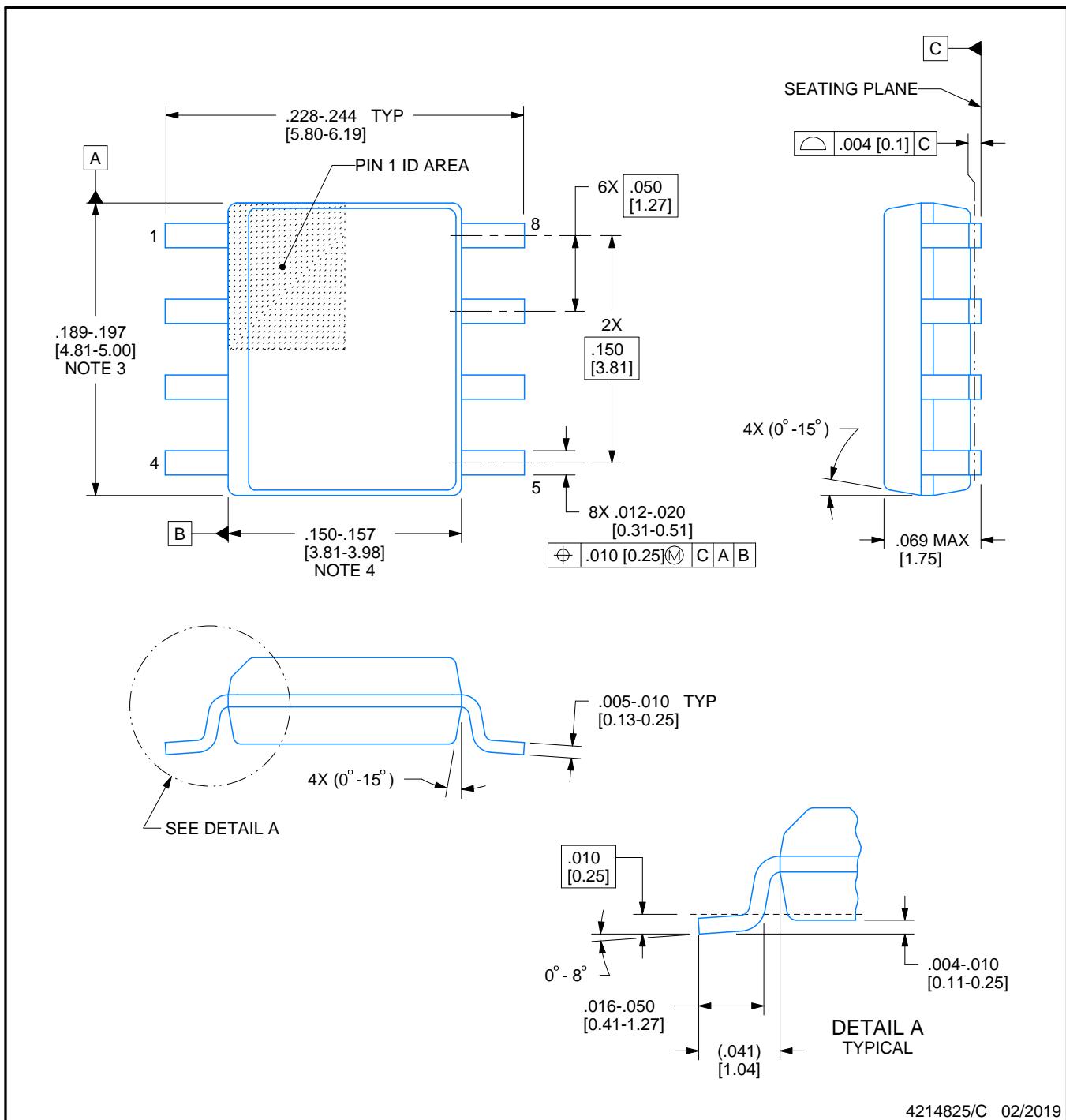
D0008A



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

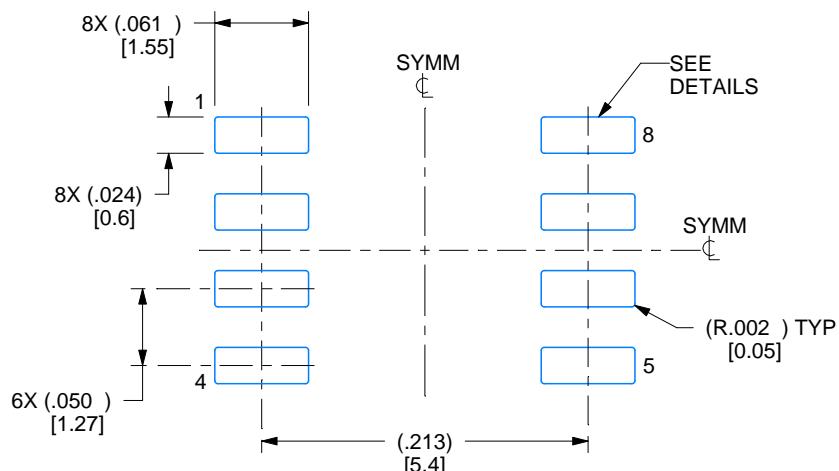
- Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
- This dimension does not include interlead flash.
- Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

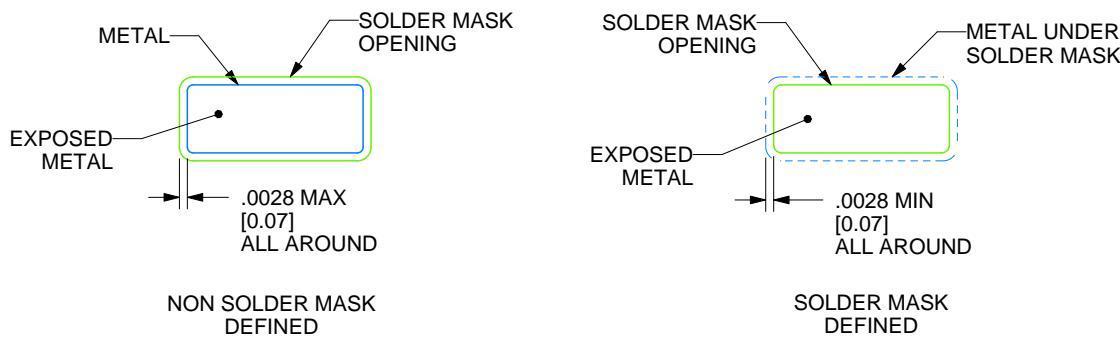
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

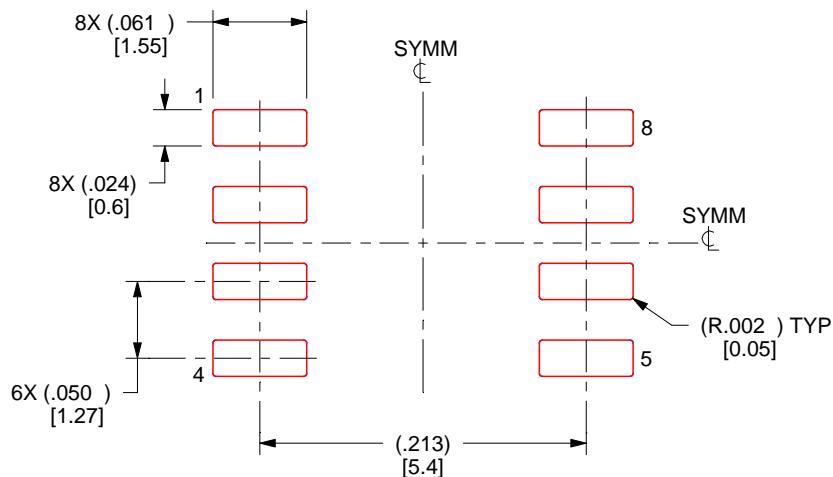
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

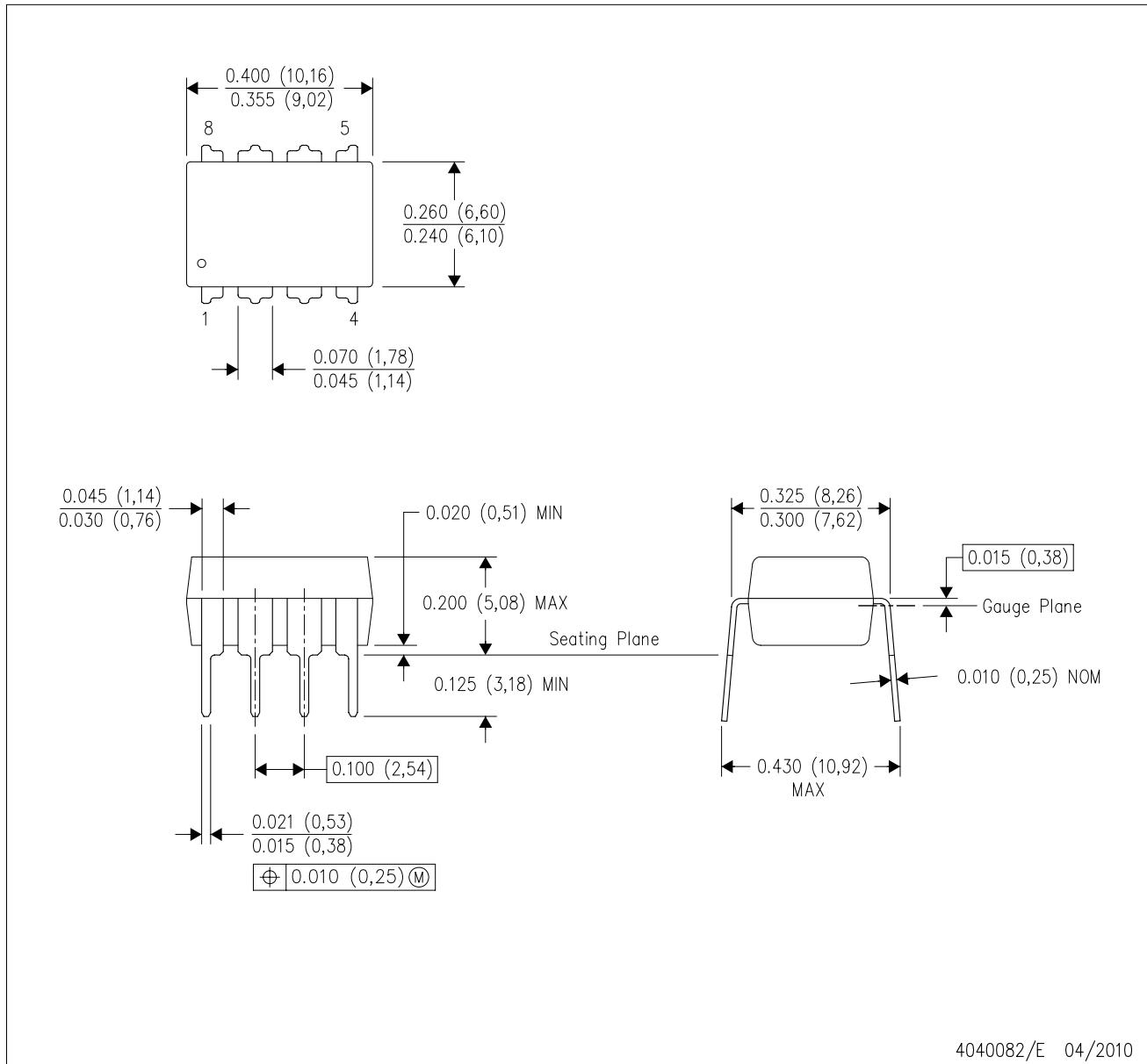
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

P (R-PDIP-T8)

PLASTIC DUAL-IN-LINE PACKAGE



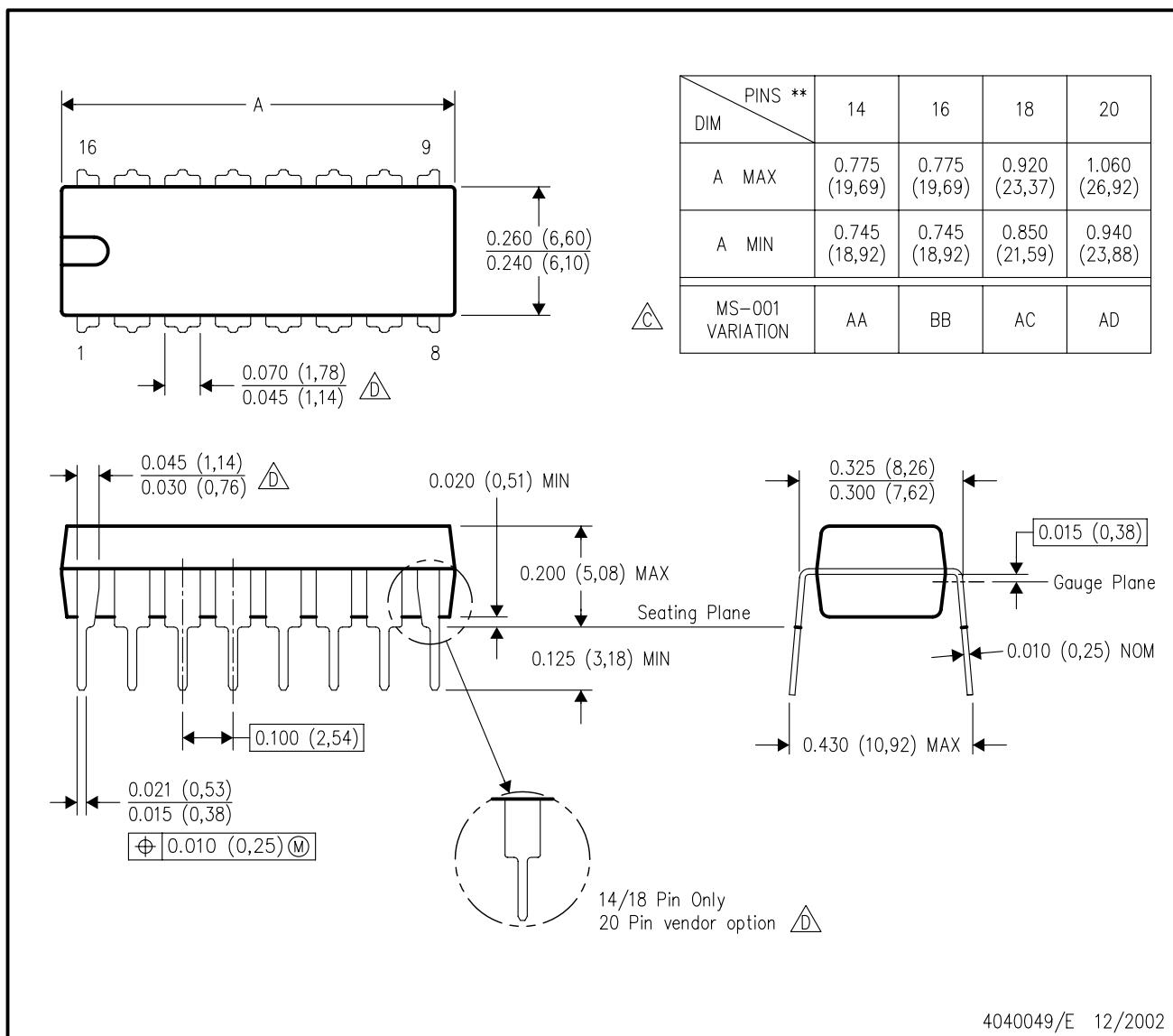
4040082/E 04/2010

- NOTES:
- All linear dimensions are in inches (millimeters).
 - This drawing is subject to change without notice.
 - Falls within JEDEC MS-001 variation BA.

N (R-PDIP-T**)

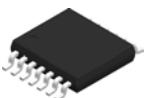
16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



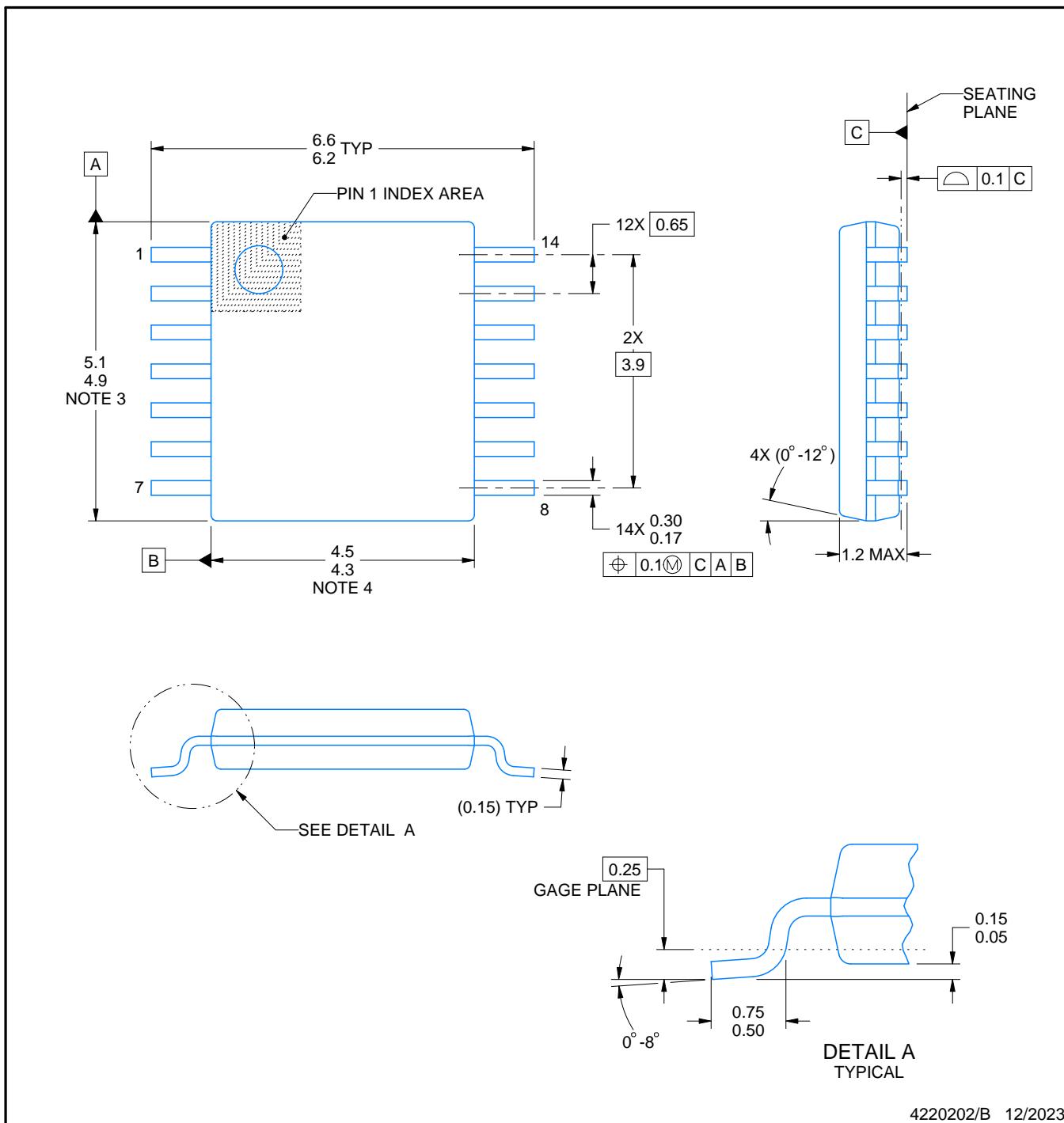
PACKAGE OUTLINE

PW0014A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

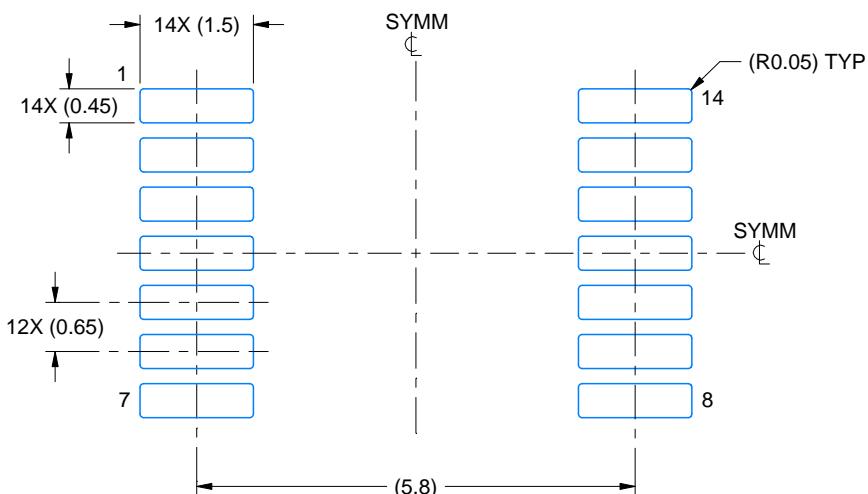
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

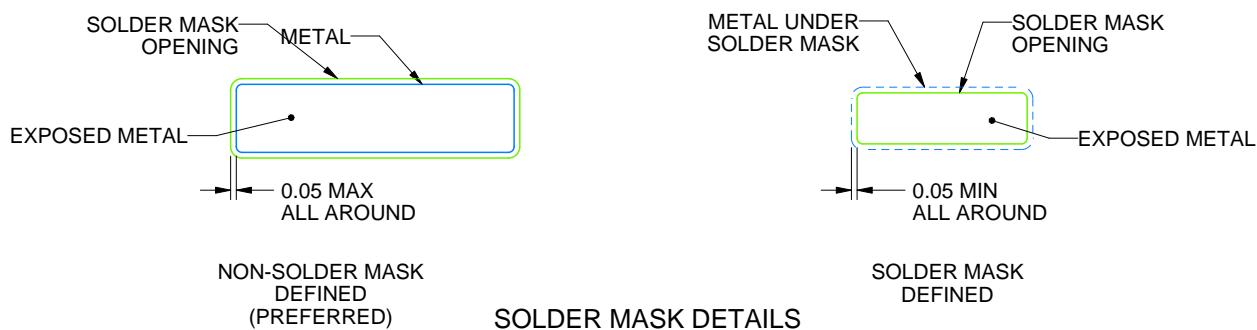
PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

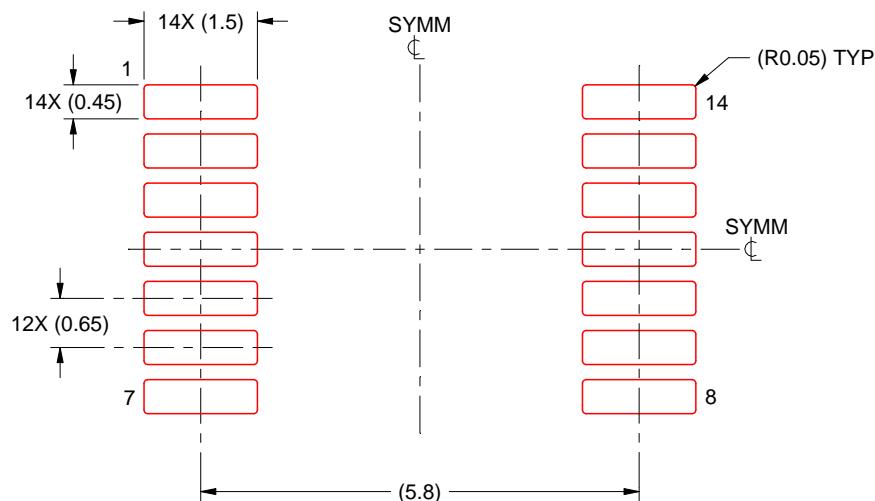
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

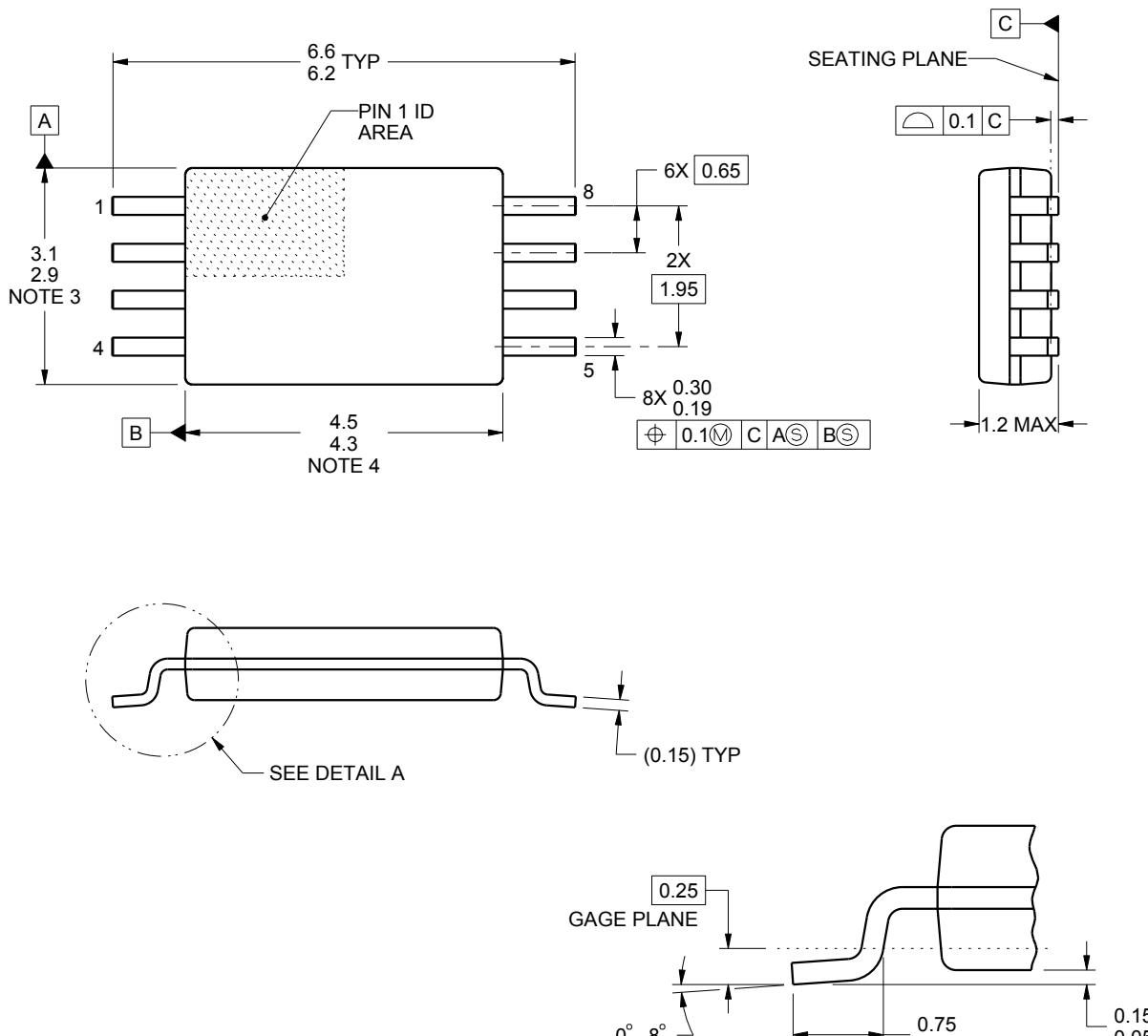
PACKAGE OUTLINE

PW0008A



TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



DETAIL A
TYPICAL

NOTES:

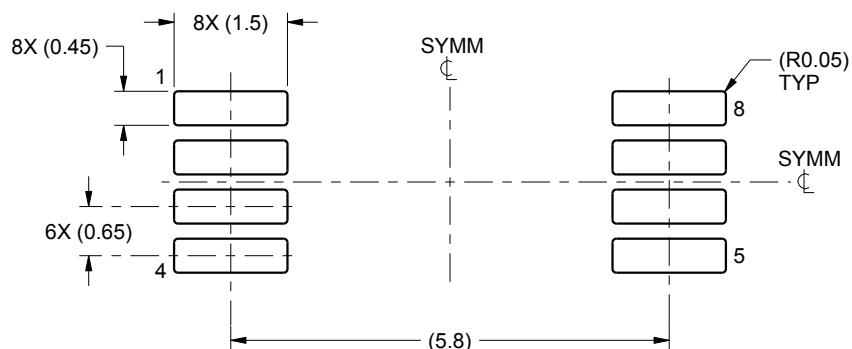
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
 4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
 5. Reference JEDEC registration MO-153, variation AA.

EXAMPLE BOARD LAYOUT

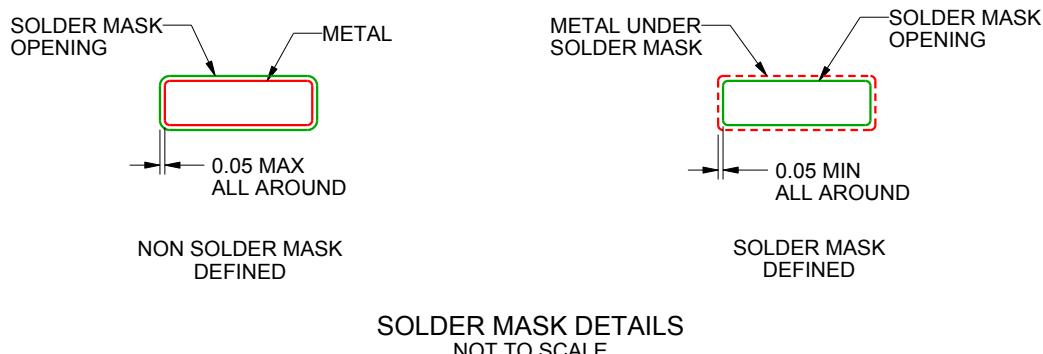
PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:10X



4221848/A 02/2015

NOTES: (continued)

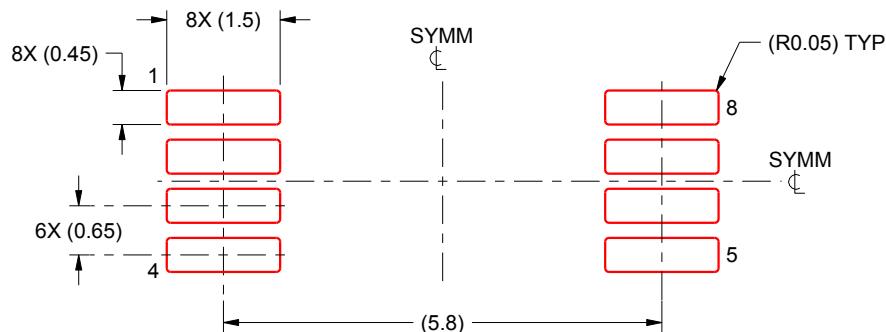
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月