

TLC6C598-Q1 パワー・ロジック8ビット・シフト・レジスタLEDドライバ

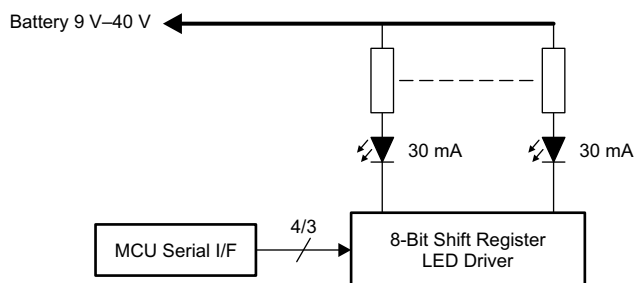
1 特長

- 車載アプリケーション用に認定済み
- 下記内容でAEC-Q100認定済み
 - デバイス温度グレード 1: 動作時周囲温度–40°C~125°C 範囲
 - デバイスHBM ESD分類レベルH2
 - デバイスCDM ESD分類レベルC3B
- 3V~5.5Vの広いV_{CC}範囲
- 出力最大定格40V
- V_{CC} = 5Vで50mAの継続電流を出力する、8個のパワーDMOSトランジスタ
- サーマル・シャットダウン保護機能
- 拡張カスケードにより複数のステージが可能
- 単一の入力ですべてのレジスタをクリア
- 低消費電力
- 低速なスイッチング時間(t_rおよびt_f)により、EMIを大幅に低減
- 16ピンのTSSOP-PWパッケージ
- 16ピンのSOIC-Dパッケージ

2 アプリケーション

- メーター・クラスター
- インジケータ・ランプ
- LED照明および制御

代表的なアプリケーションの回路図



3 概要

TLC6C598-Q1は、モノリシックで中程度の電圧、低電流出力の8ビット・シフト・レジスタで、LEDなど、比較的中程度の負荷電力を必要とするシステムで使用するように設計されています。

このデバイスには、8ビットのシリアル・イン、パラレル・アウトのシフト・レジスタが内蔵されており、8ビットのDタイプ・ストレージ・レジスタへデータを供給します。データはシフト・レジスタとストレージ・レジスタを経由して、それぞれシフト・レジスタ・クロック(SRCK)とレジスタ・クロック(RCK)の立ち上がりエッジで転送されます。ストレージ・レジスタは、シフト・レジスタ・クリア(CLR)がHIGHのとき、出力バッファへデータを転送します。CLRがLOWになると、デバイス内のすべてのレジスタがクリアされます。出力イネーブル(G)をHIGHに保持すると、出力バッファのすべてのデータがLOWに保持され、すべてのドレイン出力がオフになります。GをLOWに保持すると、ストレージ・レジスタのデータが出力バッファへ透過的になります。出力バッファのデータがLOWのとき、DMOSTランジスタの出力がオフになります。データがHIGHのとき、DMOSTランジスタ出力はシンク電流能力を持つようになります。シリアル出力(SER OUT)は、SRCKの立ち下がりエッジでデバイスからクロック出力され、カスケード接続されたアプリケーション用に追加のホールド時間を与えます。これによって、クロック信号のスキューの可能性があり、デバイスが互いに接近して配置されていない、またはシステムに電磁気干渉への耐性が必要なアプリケーションのパフォーマンスが向上します。デバイスには、サーマル・シャットダウン保護機能が組み込まれています。

製品情報(1)

型番	パッケージ	本体サイズ(公称)
TLC6C598-Q1	SOIC (16)	9.90mm×3.91mm
	TSSOP (16)	5.00mm×4.40mm

(1) 提供されているすべてのパッケージについては、巻末の注文情報を参照してください。

目次

1	特長	1	9	詳細説明	12
2	アプリケーション	1	9.1	概要.....	12
3	概要	1	9.2	機能ブロック図.....	12
4	改訂履歴	2	9.3	機能説明.....	13
5	概要(続き)	3	9.4	デバイスの機能モード.....	13
6	ピン構成および機能	4	10	アプリケーションと実装	14
7	仕様	5	10.1	アプリケーション情報.....	14
7.1	絶対最大定格.....	5	10.2	代表的なアプリケーション.....	14
7.2	ESD定格.....	5	11	電源に関する推奨事項	17
7.3	推奨動作条件.....	5	12	レイアウト	17
7.4	熱特性について.....	5	12.1	レイアウトのガイドライン.....	17
7.5	電気的特性.....	6	12.2	レイアウト例.....	17
7.6	タイミング要件.....	6	13	デバイスおよびドキュメントのサポート	18
7.7	スイッチング特性.....	7	13.1	コミュニティ・リソース.....	18
7.8	タイミング波形.....	8	13.2	商標.....	18
7.9	代表的特性.....	9	13.3	静電気放電に関する注意事項.....	18
8	パラメータ測定情報	10	13.4	用語集.....	18
			14	メカニカル、パッケージ、および注文情報	18

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Revision B (March 2013) から Revision C に変更

Page

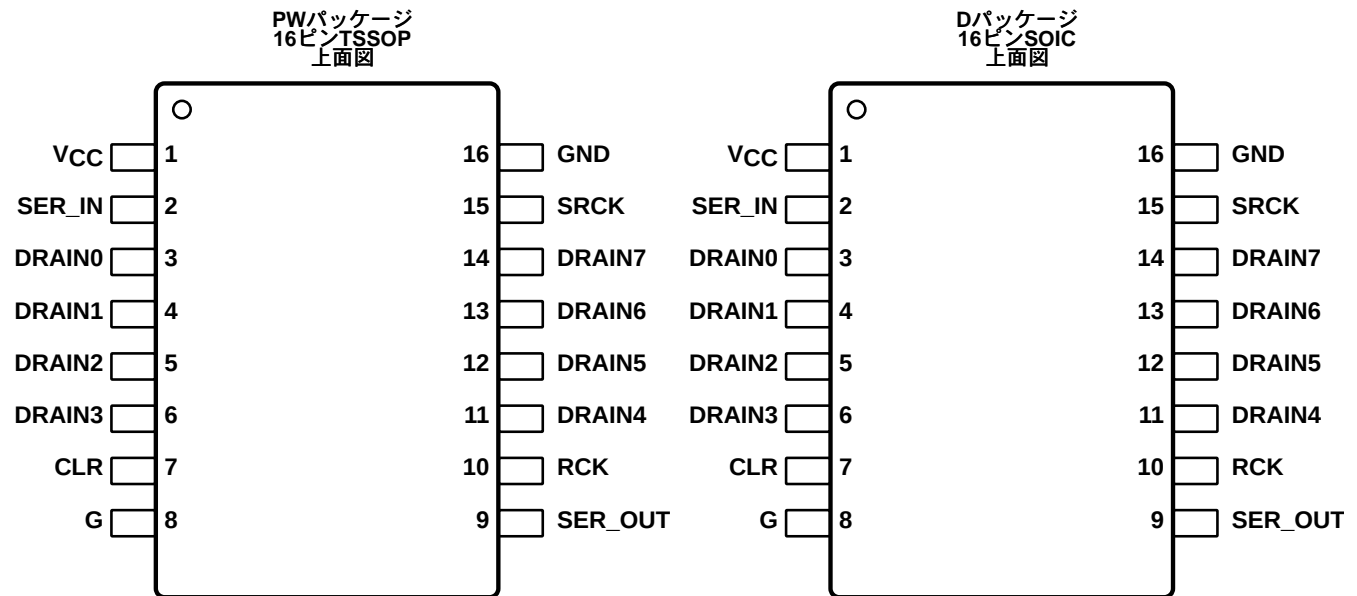
• 「ピン構成および機能」セクション、「ESD定格」の表、「機能概要」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクション 追加.....	1
---	----------

5 概要（続き）

出力はローサイドのオープン・ドレインDMOSTランジスタで、 $V_{CC} = 5V$ のとき、出力定格は連続的なシンク電流で40Vおよび50mAの能力があります。デバイス保護を強化するため、接合部温度が上昇すると、電流制限が減少します。また、デバイスは人体モデルを使用したテストで2000V、マシン・モデルを使用したテストで200VのESD保護を実現しています。

TLC6C598-Q1の特性は、 $-40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ の動作時周辺温度範囲での動作についてのものです。

6 ピン構成および機能



ピン機能

ピン		I/O	説明
名前	番号		
$\overline{\text{CLR}}$	7	I	シフト・レジスタのクリア、アクティブLOW。ストレージ・レジスタは、 $\overline{\text{CLR}}$ がHIGHのとき、出力バッファへデータを転送します。 $\overline{\text{CLR}}$ をLOWへ駆動すると、デバイスのすべてのレジスタがクリアされます。
DRAIN0	3	O	オープン・ドレイン出力、LED電流シンク・チャンネル、LEDカソードへ接続
DRAIN1	4	O	オープン・ドレイン出力、LED電流シンク・チャンネル、LEDカソードへ接続
DRAIN2	5	O	オープン・ドレイン出力、LED電流シンク・チャンネル、LEDカソードへ接続
DRAIN3	6	O	オープン・ドレイン出力、LED電流シンク・チャンネル、LEDカソードへ接続
DRAIN4	11	O	オープン・ドレイン出力、LED電流シンク・チャンネル、LEDカソードへ接続
DRAIN5	12	O	オープン・ドレイン出力、LED電流シンク・チャンネル、LEDカソードへ接続
DRAIN6	13	O	オープン・ドレイン出力、LED電流シンク・チャンネル、LEDカソードへ接続
DRAIN7	14	O	オープン・ドレイン出力、LED電流シンク・チャンネル、LEDカソードへ接続
$\overline{\text{G}}$	8	I	出力イネーブル、アクティブLOW。LEDチャンネルのイネーブル/ディセーブル入力ピン。 $\overline{\text{G}}$ をLOWにすると、出力ラッチ・レジスタの状態に従い、すべてのドレイン・チャンネルがイネーブルになります。HIGHにすると、すべてのチャンネルがオフになります。
GND	16	—	電力グラウンドで、デバイスのグラウンド・リファレンス・ピンです。このピンは、PCBのグラウンド・プレーンに接続する必要があります。
RCK	10	I	レジスタ・クロック。シフト・レジスタの各ステージのデータは、RCKの立ち上がりエッジでストレージ・レジスタへ転送されます。
SER IN	2	I	シリアル・データ入力。SER INのデータは、SRCKの立ち上がりエッジごとに、内部レジスタへロードされます。
SER OUT	9	O	8ビットのシリアル・シフト・レジスタのシリアル・データ出力。このピンの目的は、シリアル・バスに複数のデバイスをカスケード接続することです。
SRCK	15	I	シリアル・クロック入力。SRCKの各立ち上がりエッジごとに、データがSER INから内部のシリアル・シフト・レジスタへ転送されます。
V _{CC}	1	I	デバイスの電源ピン。TIは、このピンの近くに0.1μFのセラミック・コンデンサを追加することをお勧めします。

7 仕様

7.1 絶対最大定格

自由通気で動作温度範囲内の場合(特に記述のない限り)⁽¹⁾

		MIN	MAX	UNIT
V _{CC}	ロジック電源電圧	-0.3	8	V
V _I	ロジック入力電圧範囲	-0.3	8	V
V _{DS}	電力DMOSのドレイン-ソース間電圧	-0.3	42	V
	連続合計損失	熱特性についてを参照		
T _A	動作時周囲温度	-40	125	°C
T _J	Operating junction temperature range	-40	150	°C
T _{stg}	保管温度範囲	-55	165	°C

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示したもので、**推奨動作条件**に示されている値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。

7.2 ESD定格

			VALUE	UNIT	
V _(ESD)	Electrostatic discharge	Human body model (HBM), per AEC Q100-002 ⁽¹⁾	±2000	V	
		Charged device model (CDM), per AEC Q100-011	すべてのピン		±750
			Corner pins (1, 8, 9, and 16)		±750

(1) AEC Q100-002は、ANSI/ESDA/JEDEC JS-001仕様に従ってHBMストレス試験を実施することを示します。

7.3 推奨動作条件

			MIN	MAX	単位
V _{CC}	電源電圧		3	5.5	V
V _{IH}	HIGHレベルの入力電圧		2.4		V
V _{IL}	LOWレベルの入力電圧			0.7	V
T _A	Operating ambient temperature		-40	125	°C

7.4 熱特性について

THERMAL METRIC ⁽¹⁾		TLC6C598-Q1		単位
		PW (TSSOP)	D (SOIC)	
		16ピン	16 PINS	
R _{θJA}	Junction-to-ambient thermal resistance	129.4	100	°C/W
R _{θJC(top)}	Junction-to-case (top) thermal resistance	55.4	45	°C/W
R _{θJB}	Junction-to-board thermal resistance	65.8	40	°C/W
ψ _{JT}	Junction-to-top characterization parameter	9.9	10	°C/W
ψ _{JB}	Junction-to-board characterization parameter	65.2	40	°C/W
R _{θJC(bot)}	Junction-to-case (bottom) thermal resistance	該当なし	該当なし	°C/W

(1) 従来および新しい熱測定値の詳細については、『Semiconductor and IC Package Thermal Metrics』アプリケーション・レポート(SPRA953)を参照してください。

7.5 電気的特性

 $V_{CC} = 5V$ 、 $T_C = 25^\circ C$ (特に記述のない限り)

PARAMETER		TEST CONDITIONS		MIN	TYP	MAX	UNIT
	DRAIN0 to DRAIN7. Drain-to-source voltage					40	V
V_{OH}	High-level output voltage, SER OUT	$I_{OH} = -20 \mu A$	$V_{CC} = 5 V$	4.9	4.99		V
		$I_{OH} = -4 mA$		4.5	4.69		V
V_{OL}	Low-level output voltage, SER OUT	$I_{OH} = 20 \mu A$	$V_{CC} = 5 V$		0.001	0.01	V
		$I_{OH} = 4 mA$			0.25	0.4	V
I_{IH}	High-level input current	$V_{CC} = 5 V, V_I = V_{CC}$			0.2		μA
I_{IL}	Low-level input current	$V_{CC} = 5 V, V_I = 0$			-0.2		μA
I_{CC}	Logic supply current	$V_{CC} = 5 V$, no clock signal	All outputs off		0.1	1	μA
			All outputs on		88	160	
$I_{CC(FRQ)}$	Logic supply current at frequency	$f_{SRCK} = 5 MHz, C_L = 30 pF$	All outputs on		200		μA
I_{DSX}	Off-state drain current	$V_{DS} = 30 V$	$V_{CC} = 5 V$			0.1	μA
		$V_{DS} = 30 V, T_C = 125^\circ C$	$V_{CC} = 5 V$		0.15	0.3	
$r_{DS(on)}$	Static drain-source on-state resistance	$I_D = 20 mA, V_{CC} = 5 V, T_A = 25^\circ C$, Single channel ON		6	7.41	8.6	Ω
		$I_D = 20 mA, V_{CC} = 5 V, T_A = 25^\circ C$, All channels ON		6.7	8.3	9.6	
		$I_D = 20 mA, V_{CC} = 3.3 V, T_A = 25^\circ C$, Single channel ON		7.9	9.34	11.2	
		$I_D = 20 mA, V_{CC} = 3.3 V, T_A = 25^\circ C$, All channels ON		8.7	10.25	12.3	
		$I_D = 20 mA, V_{CC} = 5 V, T_A = 125^\circ C$, Single channel ON		9.1	11.13	12.9	
		$I_D = 20 mA, V_{CC} = 5 V, T_A = 125^\circ C$, All channels ON		10.3	12.28	14.5	
		$I_D = 20 mA, V_{CC} = 3.3 V, T_A = 125^\circ C$, Single channel ON		11.6	13.69	16.4	
		$I_D = 20 mA, V_{CC} = 3.3 V, T_A = 125^\circ C$, All channels ON		12.8	14.89	18.2	
$T_{SHUTDOWN}$	Thermal shutdown trip point			150	175	200	$^\circ C$
T_{hys}	Hysteresis				15		$^\circ C$

7.6 タイミング要件

		MIN	NOM	MAX	UNIT
t_{su}	セットアップ時間、SRCK↑前のSER IN HIGH	15			ns
t_h	ホールド時間、SRCK↑後のSER IN HIGH	15			ns
t_w	SER INのパルス幅	40			ns

7.7 スイッチング特性

 $V_{CC} = 5V, T_J = 25^\circ C$

PARAMETER		TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	伝搬遅延時間、 \overline{G} からの出力がLOWレベルからHIGHレベルへ	$C_L = 30pF, I_D = 48mA$		220		ns
t_{PHL}	伝搬遅延時間、 \overline{G} からの出力がHIGHレベルからLOWレベルへ			75		ns
t_r	立ち上がり時間、ドレイン出力			210		ns
t_f	立ち下がり時間、ドレイン出力			128		ns
t_{pd}	伝搬遅延時間、SRCK↓からSER OUTへ	$C_L = 30pF, I_D = 48mA$		49.4		ns
t_{or}	SER OUTの立ち上がり時間(10%から90%まで)	$C_L = 30pF$		20		ns
t_{of}	SER OUTの立ち下がり時間(90%から10%まで)	$C_L = 30pF$		20		ns
$f_{(SRCK)}$	シリアルクロック周波数	$C_L = 30pF, I_D = 20mA$			10	MHz
t_{SRCK_WH}	SRCKパルス幅、HIGH		30			ns
t_{SRCK_WL}	SRCKパルス幅、LOW		30			ns

7.8 タイミング波形

SER INからSER OUTへの波形を、[図 1](#)に示します。出力信号は、シフト・レジスタ・クロック(SRCK)の立ち下がりエッジで現れます。これは、SER OUTに位相インバータが存在するためです([図 13](#)を参照)。その結果、データがSER INからSER OUTへ転送されるにはSRCKの7.5周期分の時間が必要です。

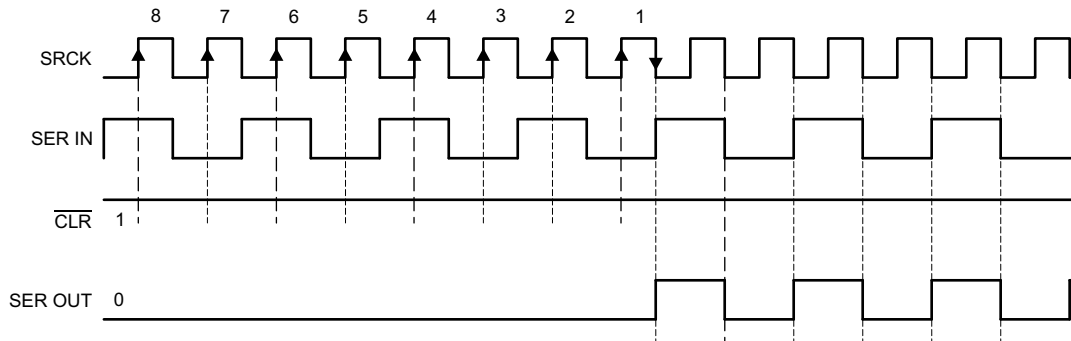


図 1. SER INからSER OUTへの波形

スイッチング時間と電圧波形を、[図 2](#)に示します。これらすべてのパラメータのテストは、[図 11](#)に示すテスト回路を使用して行われました。

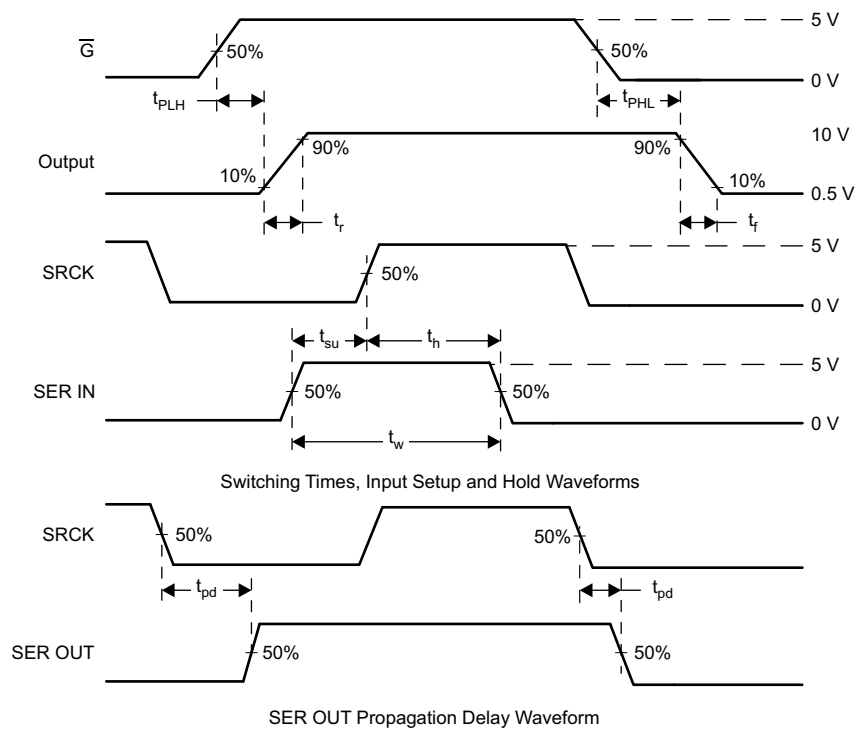


図 2. スイッチング時間と電圧波形

7.9 代表的特性

図 5 および 図 6 の条件: 単一チャンネルがオン、図 7、図 8、図 9 の条件: すべてのチャンネルがオン。

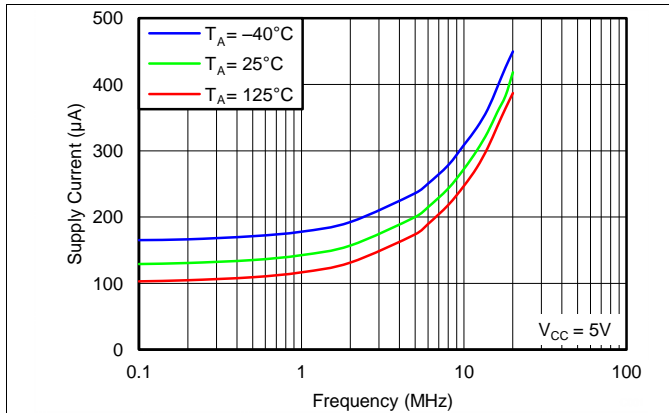


図 3. 電源電流と周波数との関係

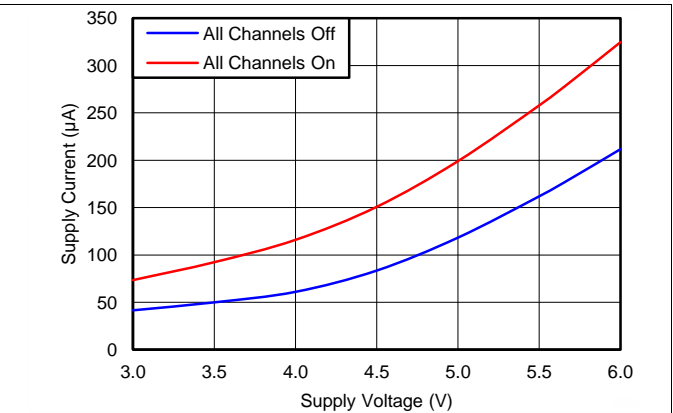


図 4. 電源電流と電源電圧との関係

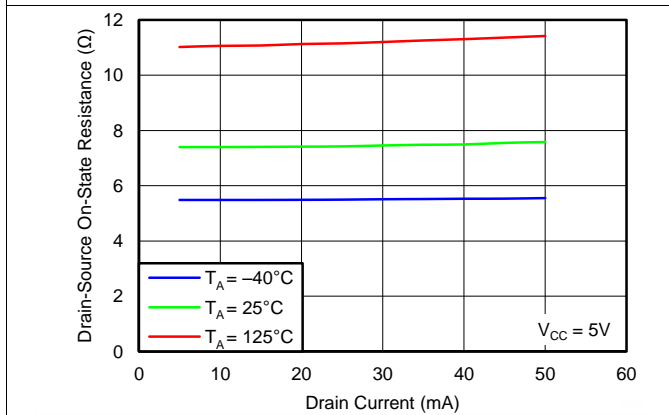


図 5. ドレイン-ソース間のオン状態抵抗とドレイン電流との関係

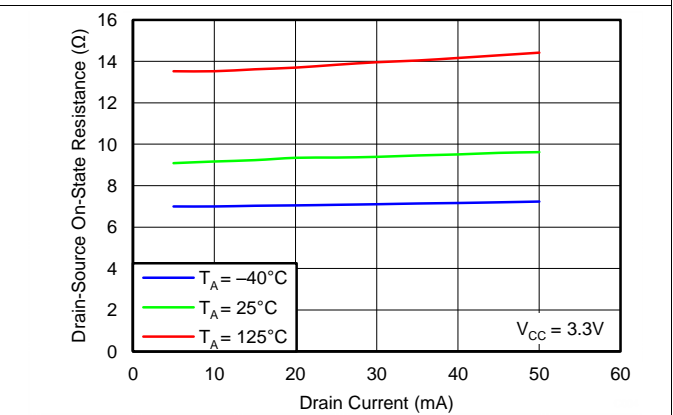


図 6. ドレイン-ソース間のオン状態抵抗とドレイン電流との関係

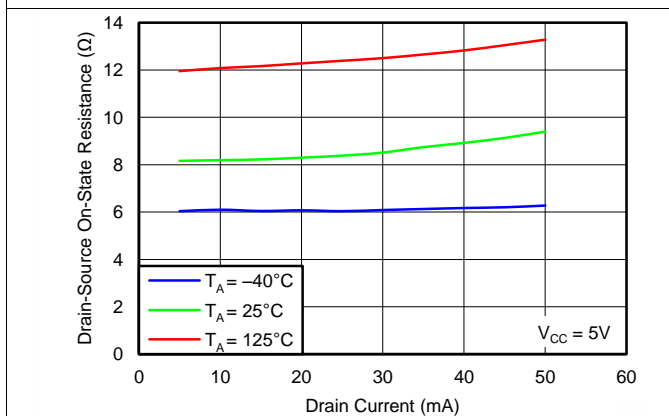


図 7. ドレイン-ソース間のオン状態抵抗とドレイン電流との関係

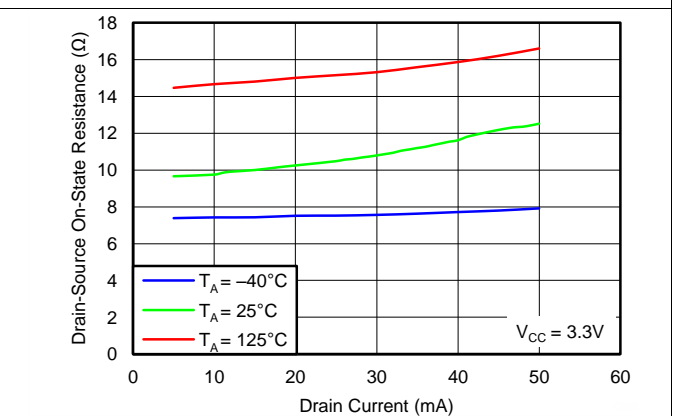
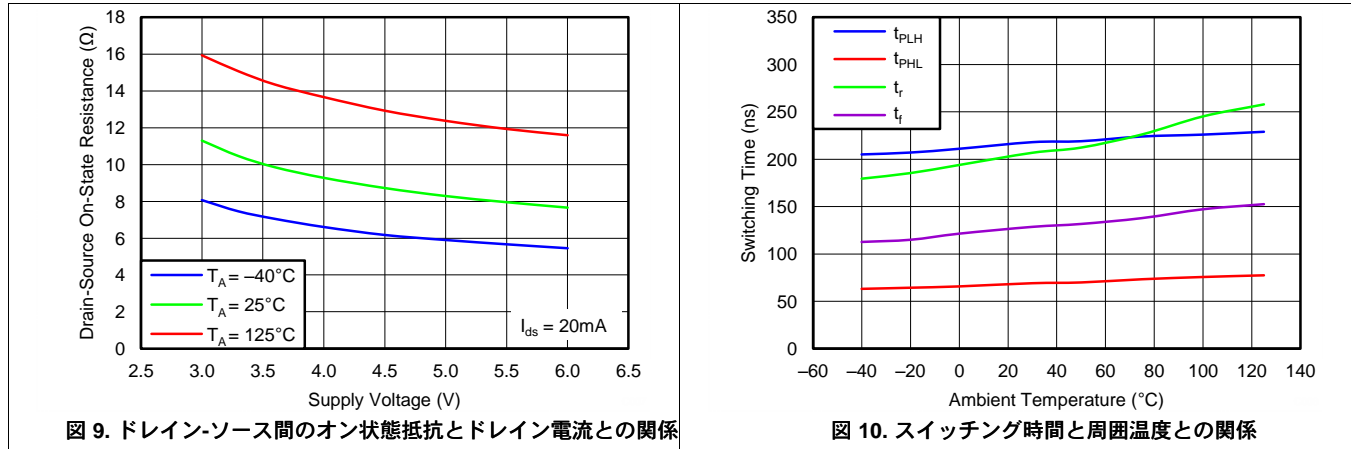


図 8. ドレイン-ソース間のオン状態抵抗とドレイン電流との関係

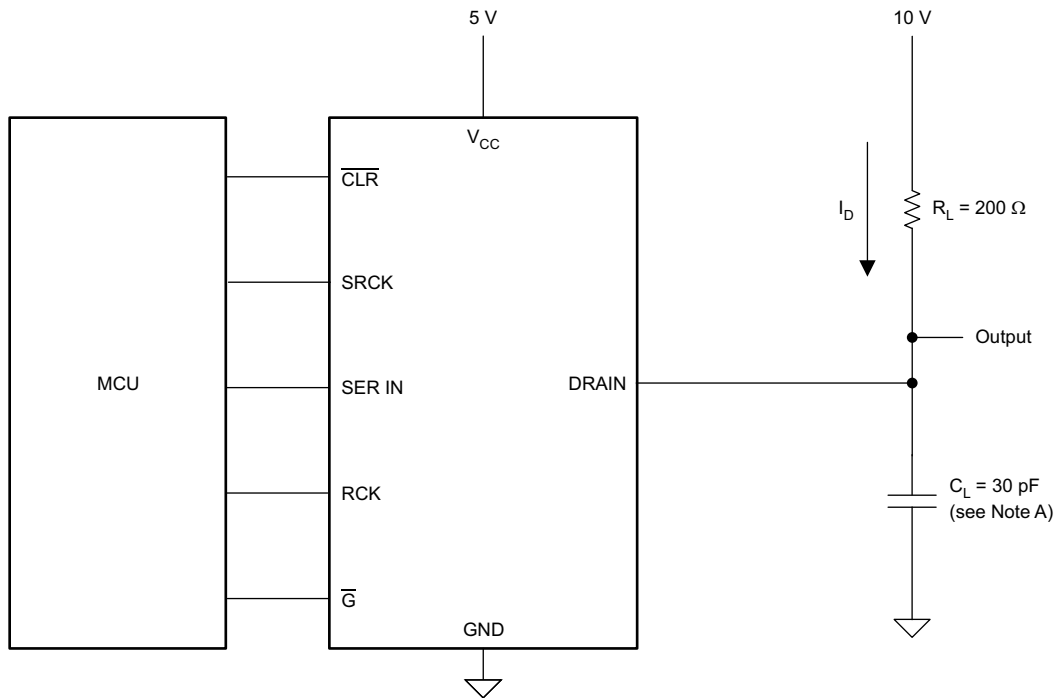
代表的特性 (continued)

図 5 および 図 6 の条件: 単一チャンネルがオン、図 7、図 8、図 9 の条件: すべてのチャンネルがオン。



8 パラメータ測定情報

図 11 および 図 12 は、抵抗性負荷テスト回路と電圧波形を示したものです。図 12 から、G が LOW に保持され、CLR が HIGH に保持された状態で、各ドレインのステータスはレジスタ・クロックの立ち上がりエッジで変化し、その時点で出力バッファヘデータが転送されることを示すのが確認できます。



Copyright © 2016, Texas Instruments Incorporated

A. C_L には、プローブとジグの容量が含まれます。

図 11. 抵抗性負荷テスト回路

パラメータ測定情報 (continued)

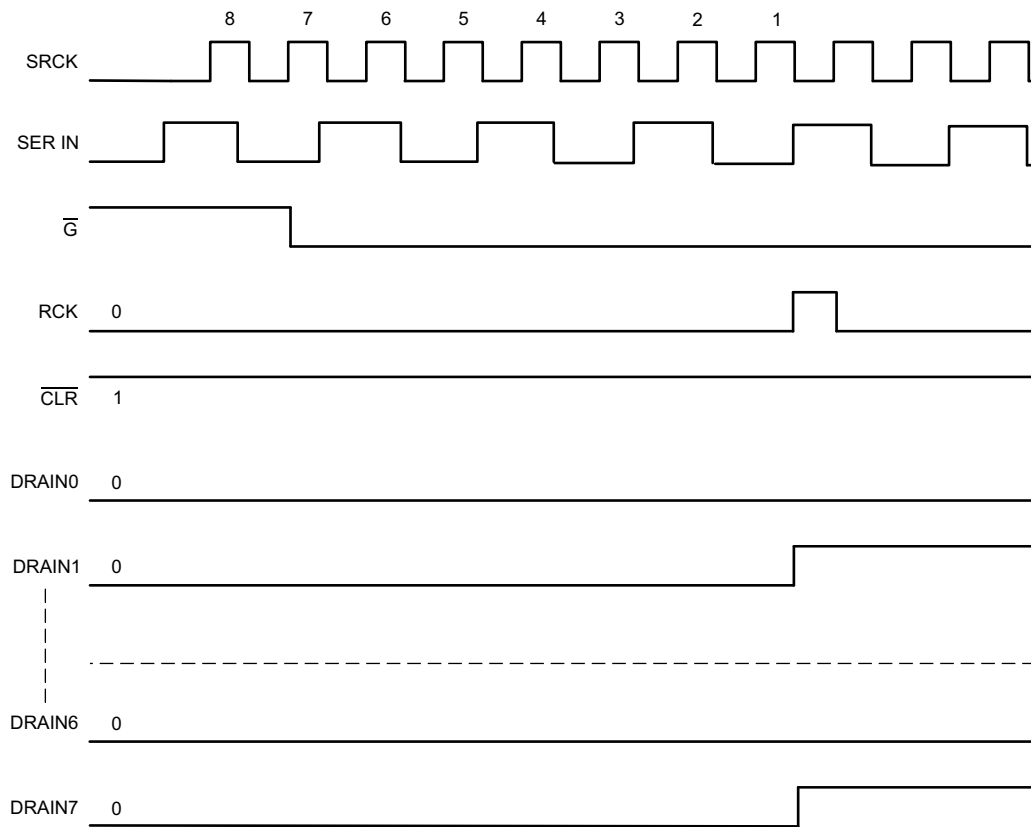


図 12. 電圧波形

9 詳細説明

9.1 概要

TLC6C598-Q1 デバイスは、モノリシックで中程度の電圧、低電流の8ビット・シフト・レジスタで、比較的中程度の負荷電力を必要とするLEDなどを駆動するよう設計されています。このデバイスには、8ビットのシリアル・イン、パラレル・アウトのシフト・レジスタが内蔵されており、8ビットのDタイプ・ストレージ・レジスタへデータを供給します。デバイスには、サーマル・シャットダウン保護機能も組み込まれています。

9.2 機能ブロック図

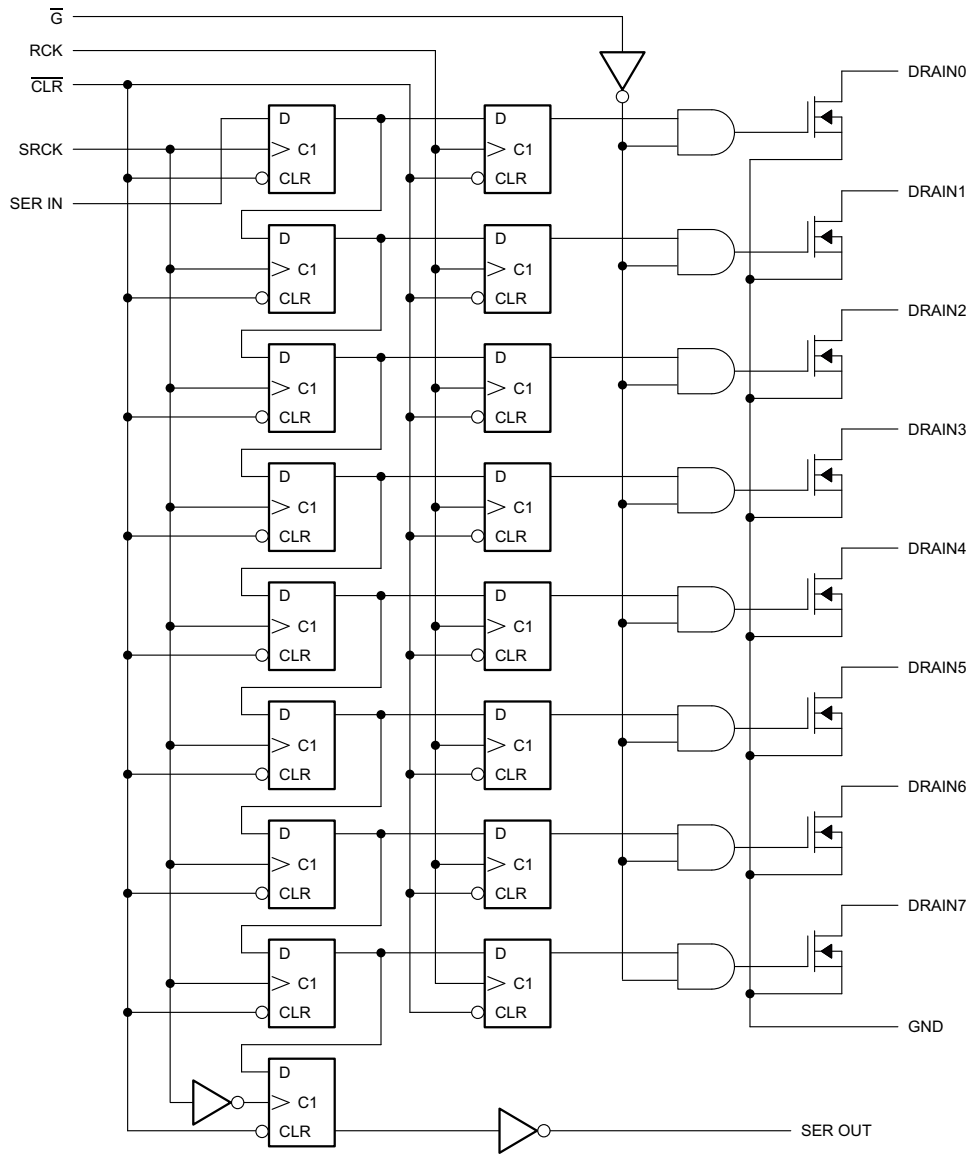


図 13. TLC6C598-Q1のロジック図(正)

9.3 機能説明

9.3.1 サーマル・シャットダウン

デバイスには、接合部の温度が175°C (代表値)を超えた場合に自身を保護するため、内部的なサーマル・シャットダウン機能が実装されています。接合部温度がサーマル・トリップのスレッシュホールドを超えると、サーマル・シャットダウンにより、デバイスは強制的にオープン状態になります。接合部温度が 160°C (代表値)未満に低下すると、デバイスは再度動作を開始します。

9.3.2 シリアル・イン・インターフェイス

TLC6C598-Q1デバイスには8ビットのシリアル・イン、パラレル・アウトのシフト・レジスタが搭載されており、8ビットのDタイプ・ストレージ・レジスタへデータを供給します。シフト・レジスタとストレージ・レジスタを経由するデータ転送は、それぞれシフト・レジスタ・クロック(SRCK)とレジスタ・クロック(RCK)の立ち上がりエッジで行われます。ストレージ・レジスタは、シフト・レジスタ・クリア(CLR)がHIGHのとき、出力バッファへデータを転送します。

9.3.3 レジスタのクリア

CLRのロジックがLOWになると、デバイスのすべてのレジスタがクリアされます。TIは、電源オン時または初期化時にデバイスのクリアをお勧めします。

9.3.4 出力チャンネル

DRAIN0～DRAIN7。これらのピンは、40VまでのLED電源電圧に耐えられます。これは、車載のロード・ダンプ状況で非常に役立ちます。

9.3.5 レジスタ・クロック

RCKはストレージ・レジスタ・クロックです。ストレージ・レジスタのデータは、出力イネーブル(\bar{G})入力信号がHIGHのとき、常に出力に現れます。

9.3.6 SER OUTによるカスケード接続

SER OUTピンを、シリアル・バス上でカスケード接続する次のデバイスのSER IN入力へ接続すると、データはSRCKの立ち上がりエッジで次のデバイスへ転送されます。これによって、2番目のデバイスがSRCKの同じ立ち上がりエッジで、SRCKとデータ入力の両方を受信する問題を回避できるため、カスケードされたアプリケーションの信頼性を向上できます。

9.3.7 出力制御

出力イネーブル(G)をHIGHに保持すると、出力バッファのすべてのデータがLOWに保持され、すべてのドレイン出力がオフになります。GをLOWに保持すると、ストレージ・レジスタのデータが出力バッファへ透過的になります。出力バッファのデータがLOWのとき、DMOSトランジスタの出力がオフになります。データがHIGHのとき、DMOSトランジスタ出力はシンク電流能力を持ちます。このピンは、グローバルPWM調光にも使用できます。

9.4 デバイスの機能モード

9.4.1 $V_{CC} < 3V$ での動作

このデバイスは、 $3V \leq V_{CC} \leq 5.5V$ の範囲で通常に動作します。動作電圧が3V未満のとき、通信インターフェイスや電流容量も含めて、デバイスの正しい動作は保証されません。

9.4.2 $5.5V \leq V_{CC} \leq 8V$ での動作

このデバイスは、この電圧範囲で通常に動作しますが、この電圧範囲で長時間動作すると信頼性の問題が発生する可能性があります。

10 アプリケーションと実装

注

以降のアプリケーション情報は、TIの製品仕様に含まれるものではなく、TIではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

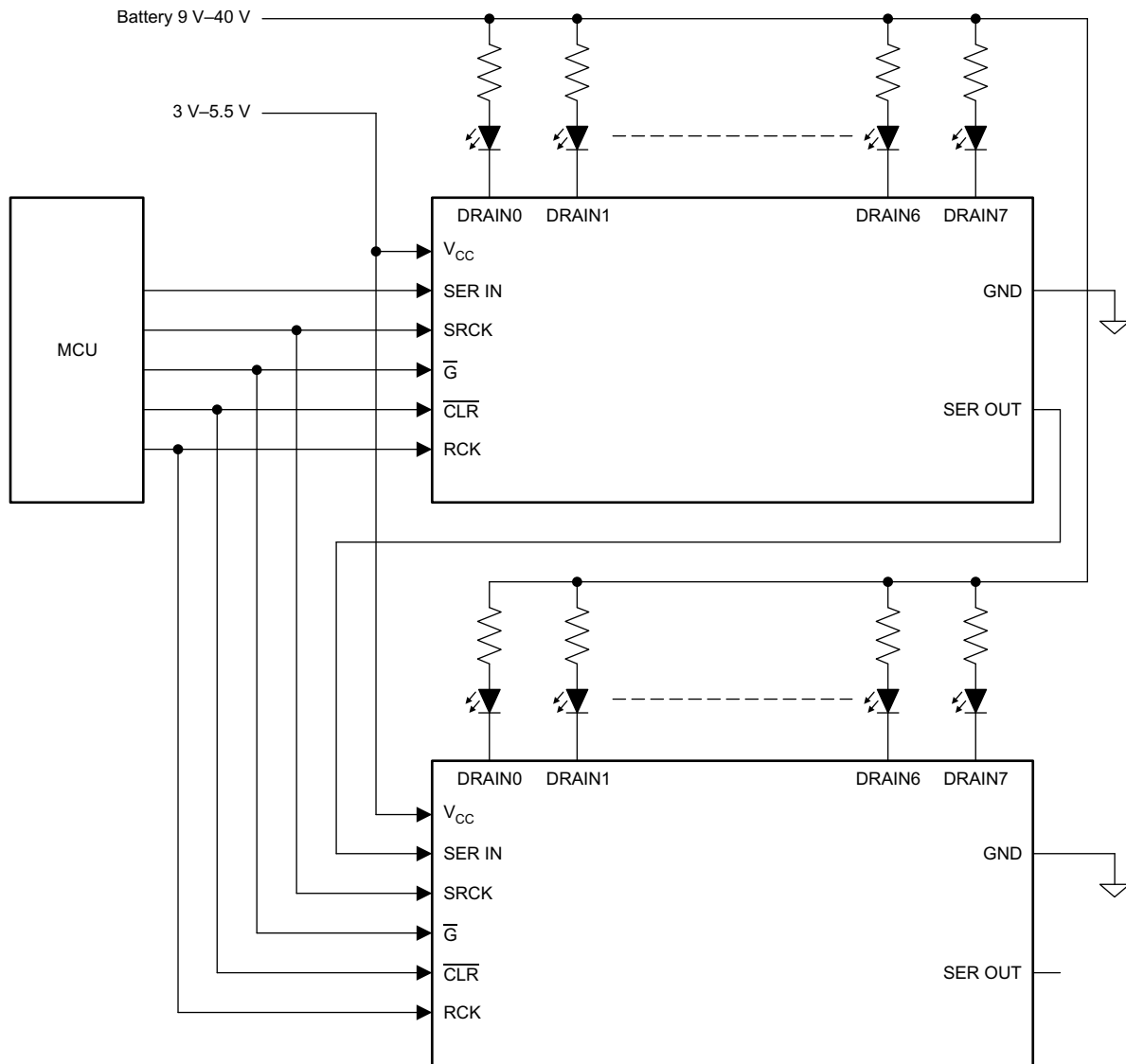
10.1 アプリケーション情報

TLC6C598-Q1デバイスはシリアル・イン、パラレル・アウト、電力およびロジックの8ビット・シフト・レジスタで、 $V_{CC} = 5V$ のとき、ローサイドのオープン・ドレインDMOS出力定格は、40Vおよび50mAの連続シンク電流能力です。このデバイスは抵抗性負荷を駆動するよう設計されており、マイクロコントローラとLEDやランプとの間のインターフェイスとして特に適しています。また、デバイスは人体モデルを使用したテストで 2000V、マシン・モデルを使用したテストで 200VのESD保護を実現しています。

10.2 代表的なアプリケーション

2つのTLC6C598-Q1チップをカスケード・トポロジに構成した代表的なカスケード・アプリケーション回路を、[図 14](#)に示します。すべての入力信号はMCUが生成します。

代表的なアプリケーション (continued)



Copyright © 2016, Texas Instruments Incorporated

図 14. 代表的なアプリケーション回路

10.2.1 設計要件

設計パラメータ	例での値
V_{Battery}	9V~40V
V_{CC_1}	3.3V
$I(\text{D}0)$, $I(\text{D}1)$, $I(\text{D}2)$, $I(\text{D}3)$, $I(\text{D}4)$, $I(\text{D}5)$, $I(\text{D}6)$, $I(\text{D}7)$	30mA
V_{CC_2}	5V
$I(\text{D}8)$, $I(\text{D}9)$, $I(\text{D}10)$, $I(\text{D}11)$, $I(\text{D}12)$, $I(\text{D}13)$, $I(\text{D}14)$, $I(\text{D}15)$	50mA

10.2.2 詳細な設計手順

設計プロセスを開始するには、いくつかのパラメータを決定する必要があります。

- V_{supply} : LED電源電圧
- V_{Dx} : LED順方向電圧
- I : LED電流

これらのパラメータを決定すると、次の数式を使用して、LEDと直列の抵抗を計算できます。

$$R_X = (V_{\text{Supply}} - V_{\text{Dx}}) / I \quad (1)$$

10.2.3 アプリケーション曲線

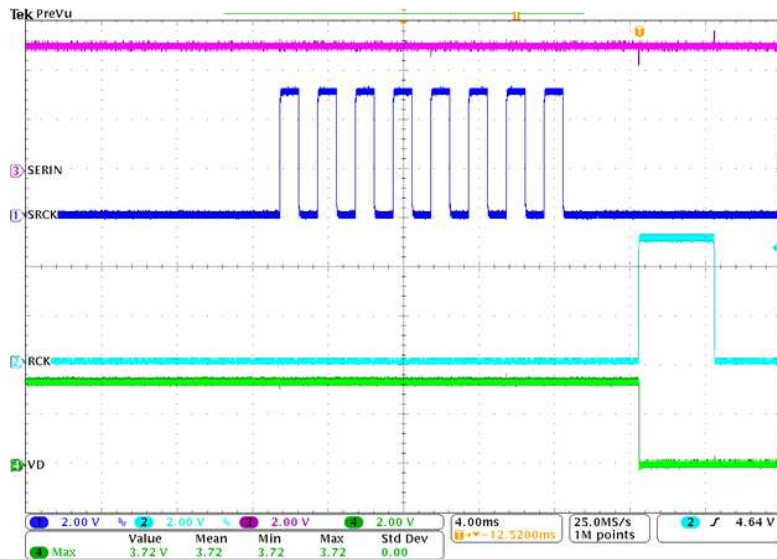


図 15. TLC6C598-Q1のアプリケーション波形

11 電源に関する推奨事項

TLC6C598-Q1 デバイスは、3V～5.5V の入力電源電圧範囲で動作するように設計されています。この入力電圧には適切なレギュレーションが行われる必要があります。TI は、 V_{CC} ピンの近くにセラミックのバイパス・コンデンサの配置をお勧めします。

12 レイアウト

12.1 レイアウトのガイドライン

デジタル信号ピンについて、レイアウトの特別な要件はありません。セラミックのバイパス・コンデンサを対応するピンの近くに配置することだけが要件です。

基板の熱伝導率を高めるために、PCB 上の銅領域の面積はできるだけ大きくします。PCB 上の銅領域は、パッケージから周囲への主要な熱伝導経路です。PCB 上でパッケージの反対側にヒートシンクが取り付けられていない場合は、銅領域を可能な限り大きくすることが極めて重要です。

基板の熱伝導率を最適化するため、パッケージのグランド・パッドの直下に、できるだけ多くのサーマル・ビアを追加します。

すべてのサーマル・ビアは、半田ボイドの発生を防ぐため、基板の両側で、めっきして閉じるか、栓で塞いで覆っておく必要があります。信頼性と性能を確保するため、半田被覆率は85%以上とします。

12.2 レイアウト例

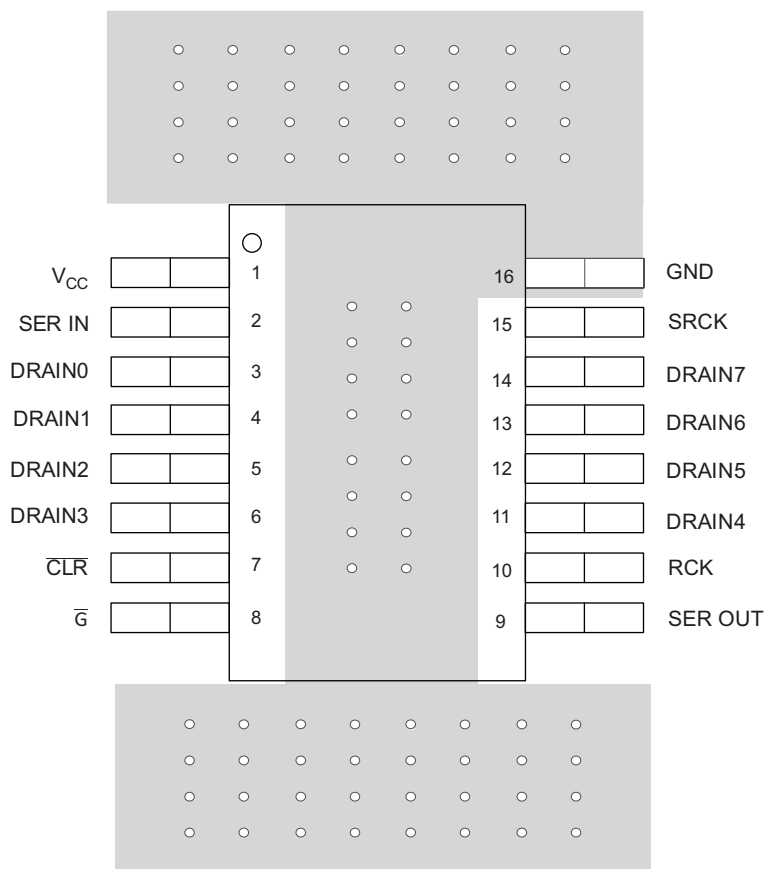


図 16. TLC6C598-Q1 のレイアウト例

13 デバイスおよびドキュメントのサポート

13.1 コミュニティ・リソース

以下のリンクから、TIのコミュニティ・リソースにアクセスできます。リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらはTIの仕様を構成するものではなく、必ずしもTIの見解を反映したものではありません。TIの[使用条件](#)を参照してください。

TI E2E™オンライン・コミュニティ *TIのE2E (Engineer-to-Engineer)* コミュニティ。エンジニア間の共同作業を促進するために開設されたものです。e2e.ti.comでは、他のエンジニアに質問し、知識を共有し、アイデアを検討して、問題解決に役立てることができます。

設計サポート *TIの設計サポート* 役に立つE2Eフォーラムや、設計サポート・ツールをすばやく見つけることができます。技術サポート用の連絡先情報も参照できます。

13.2 商標

E2E is a trademark of Texas Instruments.
All other trademarks are the property of their respective owners.

13.3 静電気放電に関する注意事項



これらのデバイスは、限定的なESD (静電破壊) 保護機能を内蔵しています。保存時または取り扱い時は、MOSゲートに対する静電破壊を防止するために、リード線同士をショートさせておくか、デバイスを導電フォームに入れる必要があります。

13.4 用語集

SLYZ022 — *TI用語集*.

この用語集には、用語や略語の一覧および定義が記載されています。

14 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。これらの情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLC6C598CQDRQ1	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	TLC6C598C
TLC6C598CQDRQ1.A	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	TLC6C598C
TLC6C598QPWRQ1	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	6C598
TLC6C598QPWRQ1.A	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	6C598

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLC6C598-Q1 :

- Catalog : [TLC6C598](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLC6C598CQDRQ1	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
TLC6C598QPWRQ1	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLC6C598CQDRQ1	SOIC	D	16	2500	353.0	353.0	32.0
TLC6C598QPWRQ1	TSSOP	PW	16	2000	350.0	350.0	43.0

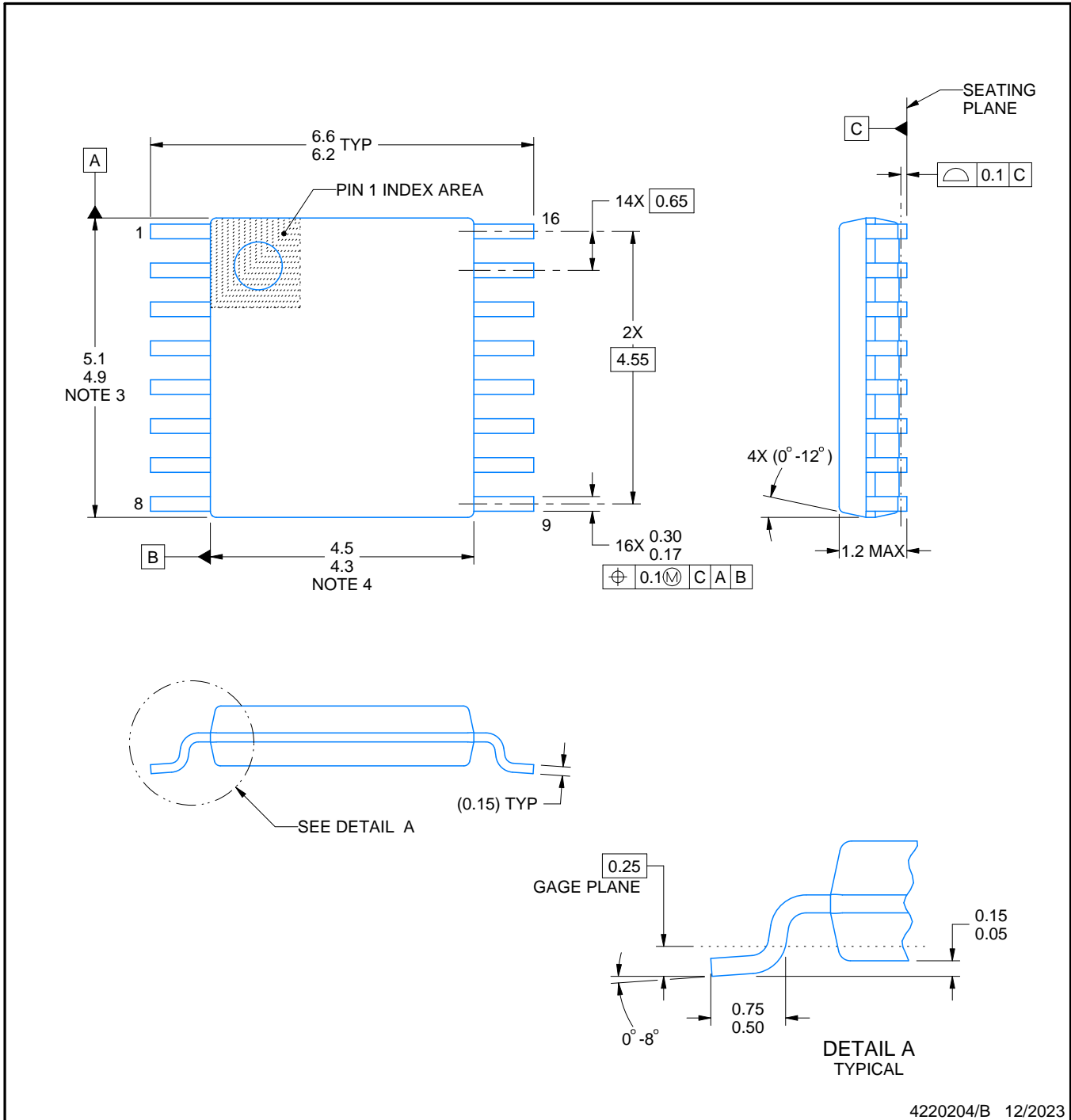
D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



4040047-6/M 06/11

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 -  C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 -  D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AC.



4220204/B 12/2023

NOTES:

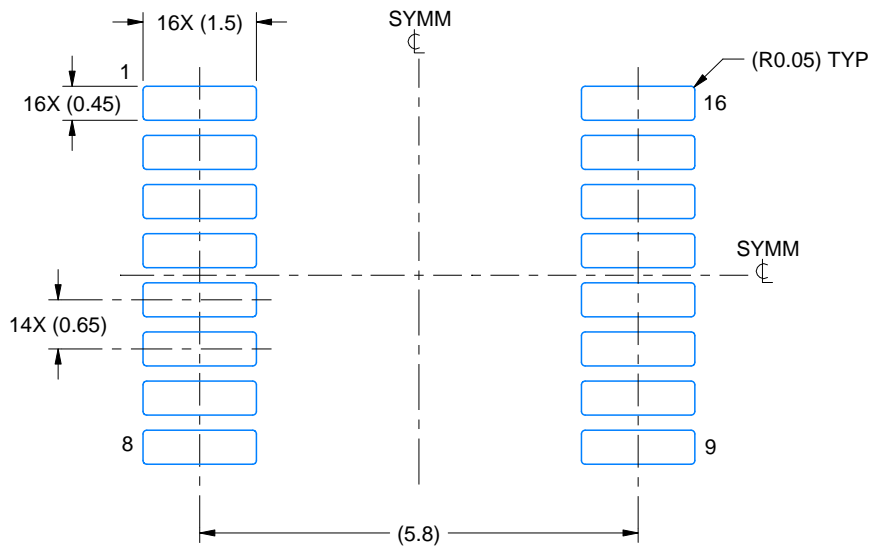
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

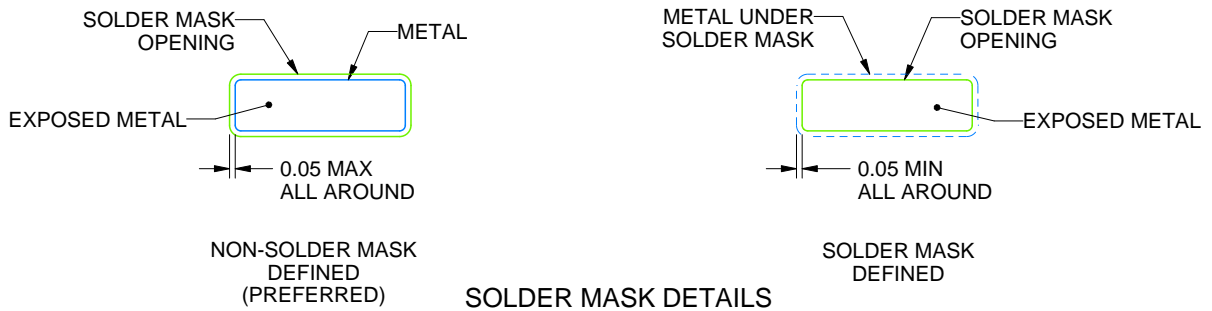
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

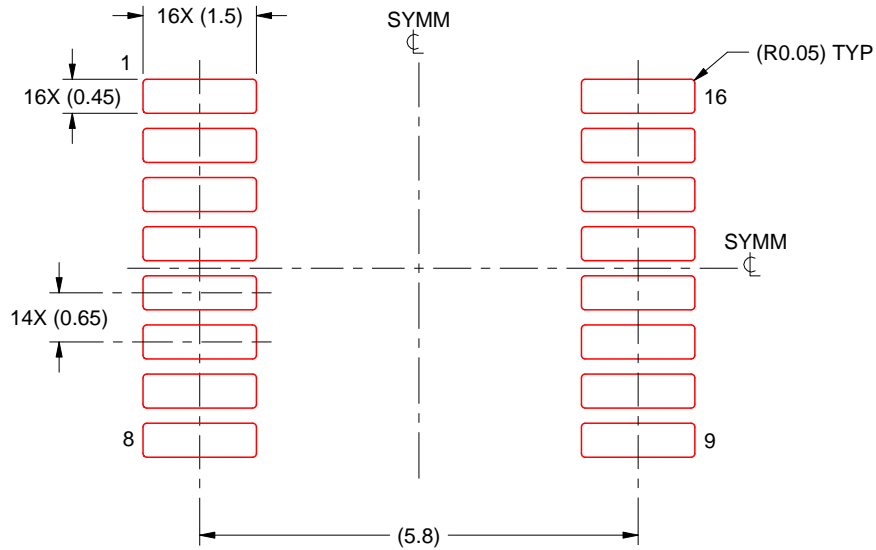
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月