TLC555-Q1 車載用 LinCMOS™ テクノロジ タイマ

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - 温度グレード 1:-40℃～+125℃、T_A
- 機能安全対応
  - 機能安全システムの設計に役立つ資料を利用可能
- 超低消費電力
  - V_{DD} = 5V で 1mA (標準値)
- 非安定モードで動作可能
- レール ツー レールにスイング可能な CMOS 出力
- 高い出力電流能力
  - シンク 100mA (標準値)
  - ソース 10mA (標準値)
- 出力は CMOS、TTL、MOS と完全互換
- 電源電流が少ないため出力遷移中のスパイクが小さい
- 2V～15V の単一電源動作
- 温度範囲:-40℃～+125℃
- NE555 と機能的に交換可能 (同じピン配置)

2 アプリケーション

- 高精度のタイミング
- パルス生成
- シーケンシャル タイミング
- 時間遅延の生成
- パルス幅変調
- パルス位置変調
- リニア ランプ生成器
- 車載用ランプおよび LED 照明
- テレマティクス

3 概要

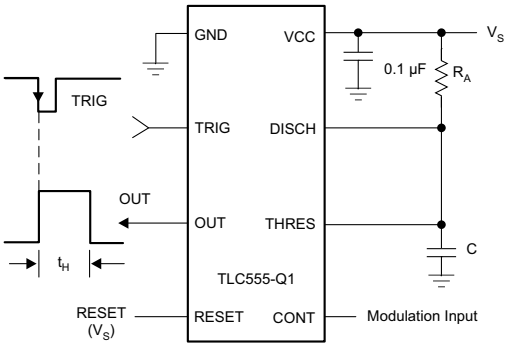
TLC555-Q1 は、テキサス・インスツルメンツの LinCMOS™ テクノロジを利用して製造されたモノリシック タイミング回路です。このタイマは CMOS、TTL、MOS ロジックと完全互換であり、最高 2MHz の周波数で動作します。このデバイスは入力インピーダンスが高いため、NE555 が使用しているコンデンサよりも小さな値のタイミング コンデンサをサポートしています。そのため、より正確な時間遅延と発振が可能です。電源電圧の範囲全体にわたって低消費電力を実現します。

NE555 と同様、TLC555-Q1 のトリガ レベルは電源電圧の約 1/3、スレッショルド レベルは電源電圧の約 2/3 です。これらの電圧レベルは、制御電圧ピン (CONT) を使用して変更できます。トリガ入力 (TRIG) がトリガ レベルより低くなると、フリップ フロップがセットされ、出力は HIGH になります。TRIG がトリガ レベルより高く、かつスレッショルド入力 (THRES) がスレッショルド レベルより高くなると、フリップ フロップはリセットされ、出力は LOW になります。リセット入力 (RESET) は他のすべての入力より優先され、新しいタイミング サイクルの開始に使用されます。RESET を LOW にすると、フリップ フロップはリセットされ、出力は LOW になります。出力が LOW のとき常に、放電ピン (DISCH) と GND との間に低インピーダンスの経路が形成されます。誤トリガを防止するため、未使用の入力はすべて、適切なロジック レベルに接続します。

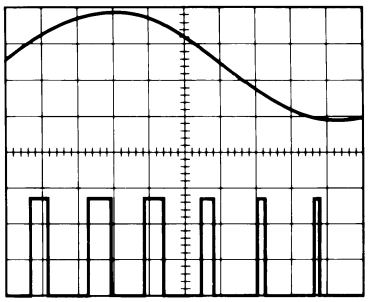
パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TLC555-Q1	SOIC (8)	4.9mm × 6.0mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



パルス幅変調器



パルス幅変調波形：
上の波形—変調
下の波形—出力電圧

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....2
5 仕様.....3
5.1 絶対最大定格.....3
5.2 ESD 定格.....3
5.3 推奨動作条件.....3
5.4 熱に関する情報.....3
5.5 電気的特性:V_{DD} = 5 V.....4
5.6 電気的特性:V_{DD} = 15 V.....5
5.7 スイッチング特性.....6
5.8 代表的特性.....6
6 詳細説明.....7
6.1 概要.....7
6.2 機能ブロック図.....7
6.3 機能説明.....7
6.4 デバイスの機能モード.....12
7 アプリケーションと実装.....13
7.1 アプリケーション情報.....13
7.2 代表的なアプリケーション.....13
7.3 電源に関する推奨事項.....18
7.4 レイアウト.....18
8 デバイスおよびドキュメントのサポート.....19
8.1 ドキュメントのサポート.....19
8.2 ドキュメントの更新通知を受け取る方法.....19
8.3 サポート・リソース.....19
8.4 商標.....19
8.5 静電気放電に関する注意事項.....19
8.6 用語集.....19
9 改訂履歴.....19
10 メカニカル、パッケージ、および注文情報.....20

4 ピン構成および機能

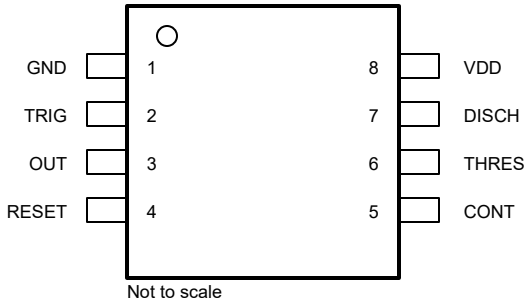


図 4-1. D パッケージ、8 ピン SOIC (上面図)

表 4-1. ピンの機能

ピン		タイプ	説明
名称	番号		
CONT	5	入力 / 出力	コンパレータのスレッショルドを制御。出力 2/3 V_{DD} により、バイパス・コンデンサ接続が可能になります。
DISCH	7	出力	オープン コレクタ出力から放電タイミング コンデンサ
GND	1	—	グランド
OUT	3	出力	大電流タイマ出力信号
リセット	4	入力	アクティブ Low のリセット入力により、出力と放電を Low に強制
THRES	6	入力	タイミング入力の終了。THRES > CONT は出力と放電を Low に設定します。
TRIG	2	入力	タイミング入力の開始。TRIG < 1/2 CONT により出力が High に設定され、放電がオープンになります。
VDD	8	—	入力電源電圧、2V～15V

Copyright © 2024 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
V_{DD}	電源電圧 (2)			18	V
V_I	入力電圧 (任意の入力)		-0.3	V_{DD}	V
	シンク電流 (放電、または出力)			150	mA
I_O	ソース電流 (出力)			15	mA
	連続総電力定格 (3)	$T_A \le 25°C$		900	mW
		$T_A = 125°C$		180	
	連続合計電力散逸ディレーティング係数(3)、$T_A \ge 25°C$			7.2	mW/°C
T_A	自由空気での動作温度		-40	125	°C
T_{stg}	保管温度		-65	150	°C

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) すべての電圧値は、ネットワークの GND を基準としたものです。
(3) 熱に関する情報参照。

5.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 (1)		±1000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	
			コーナー ピン (1、4、5、8)	±750	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施することを示しています。

5.3 推奨動作条件

		最小値	最大値	単位
V_{DD}	電源電圧	2	15	V
T_A	自由空気での動作温度	-40	125	°C

5.4 熱に関する情報

熱評価基準(1)		TLC555-Q1 D (SOIC) 8 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	138.9	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	78.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	87.9	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	23.2	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	86.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2024 Texas Instruments Incorporated

5.5 電気的特性：V_{DD} = 5 V

V_{DD} = 5V、規定の自由気流温度時 (特に記述のない限り)

パラメータ		テスト条件 (1)		最小値	代表値	最大値	単位
V_{IT}	スレッショルド電圧	25°C		2.8	3.3	3.8	V
		フルレンジ		2.7		3.9	
I_{IT}	スレッショルド電流	25°C			10		pA
		フルレンジ			5000		
$V_{I(TRIG)}$	トリガ電圧	25°C		1.36	1.66	1.96	V
		フルレンジ		1.26		2.06	
$I_{I(TRIG)}$	トリガ電流	25°C			10		pA
		フルレンジ			5000		
$V_{I(RESET)}$	リセット電圧	25°C		0.4	1.1	1.5	V
		フルレンジ		0.3		1.8	
$I_{I(RESET)}$	リセット電流	V_{RESET} = V_{DD}	25°C		10		pA
			フルレンジ		5000		
		V_{RESET} = 0 V	25°C		5.9		μA
			フルレンジ		6		
	電源電圧のパーセンテージとしての制御電圧 (開路)	フルレンジ			66.7%		
	放電スイッチ、オン状態電圧	I_{OL} = 10 mA	25°C		0.14	0.5	V
			フルレンジ			0.6	
	放電スイッチ、オフ状態電流	25°C			0.1		nA
		フルレンジ			120		
V_{OH}	High レベル出力電圧	I_{OH} = -1 mA	25°C	4.1	4.8		V
			フルレンジ	4.1			
V_{OL}	Low レベル出力電圧	I_{OL} = 8 mA	25°C		0.21	0.4	V
			フルレンジ			0.6	
		I_{OL} = 5 mA	25°C		0.13	0.3	
			フルレンジ			0.45	
		I_{OL} = 3.2 mA	25°C		0.08	0.3	
			フルレンジ			0.4	
I_{DD}	電源電流 (2)	25°C			180	350	μA
		フルレンジ				700	

(1) フル レンジは T_A = -40℃～125℃です。
(2) これらの値は、THRES が DISCH または TRIG に直接接続されている場合に予想される動作構成に適用されます。

Copyright © 2024 Texas Instruments Incorporated

5.6 電気的特性：V_{DD} = 15 V

V_{DD} = 15 V、規定の自由気流温度時 (特に記述のない限り)

パラメータ		テスト条件 (1)		最小値	代表値	最大値	単位
V_{IT}	スレッショルド電圧	25°C		9.45	10	10.55	V
		フルレンジ		9.35		10.65	
I_{IT}	スレッショルド電流	25°C			10		pA
		フルレンジ			5000		
$V_{I(TRIG)}$	トリガ電圧	25°C		4.65	5	5.35	V
		フルレンジ		4.55		5.45	
$I_{I(TRIG)}$	トリガ電流	25°C			10		pA
		フルレンジ			5000		
$V_{I(RESET)}$	リセット電圧	25°C		0.4	1.1	1.5	V
		フルレンジ		0.3		1.8	
$I_{I(RESET)}$	リセット電流	V_{RESET} = V_{DD}	25°C		10		pA
			フルレンジ		5000		
		V_{RESET} = 0V	25°C		17.8		μA
			フルレンジ		18		
	電源電圧のパーセンテージとしての制御電圧 (開路)	フルレンジ			66.7%		
	放電スイッチ、オン状態電圧	I_{OL} = 100 mA	25°C		0.77	1.7	V
			フルレンジ			1.8	
	放電スイッチ、オフ状態電流	25°C			0.1		nA
		フルレンジ			120		
V_{OH}	High レベル出力電圧	I_{OH} = -10 mA	25°C	12.5	14.2		V
			フルレンジ	12.5			
		I_{OH} = -5 mA	25°C	13.5	14.6		
			フルレンジ	13.5			
		I_{OH} = -1 mA	25°C	14.2	14.9		
			フルレンジ	14.2			
V_{OL}	Low レベル出力電圧	I_{OL} = 100 mA	25°C		1.28	3.2	V
			フルレンジ			3.8	
		I_{OL} = 50 mA	25°C		0.63	1	
			フルレンジ			1.5	
		I_{OL} = 10 mA	25°C		0.12	0.3	
			フルレンジ			0.45	
I_{DD}	電源電流 (2)	25°C			360	600	μA
		フルレンジ				1000	

(1) フル レンジは T_A = -40℃～125℃です。
(2) これらの値は、THRES が DISCH または TRIG に直接接続されている場合に予想される動作構成に適用されます。

Copyright © 2024 Texas Instruments Incorporated

5.7 スイッチング特性

(特に記述が無い限り、V_{DD} = 5V、T_A = 25°C でのデータ)。特性値は設計と特性評価の一方または両方で規定されます。

パラメータ		テスト条件	最小値	代表値	最大値	単位
	タイミング間隔の電源電圧感度	V_{DD} = 5V～15V、C_T = 0.1 µF R_A = R_B = 1 kΩ～100 kΩ (1)		0.1	0.5	%/V
t_r	出力パルスの立ち上がり時間	R_L = 10MΩ、C_L = 10pF		20	75	ns
t_f	出力パルスの立ち下がり時間	R_L = 10MΩ、C_L = 10pF		15	60	ns
f_{max}	非安定モードでの最大周波数	R_A = 470Ω、C_T = 200pF R_B = 200Ω (1)	1.2	2.1		MHz

(1) R_A、R_B、C_T は 図 5-1 で定義されています。

5.8 代表的特性

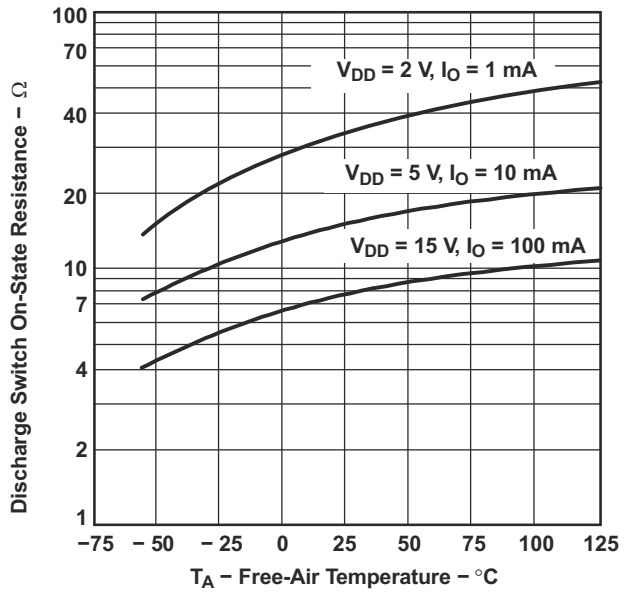
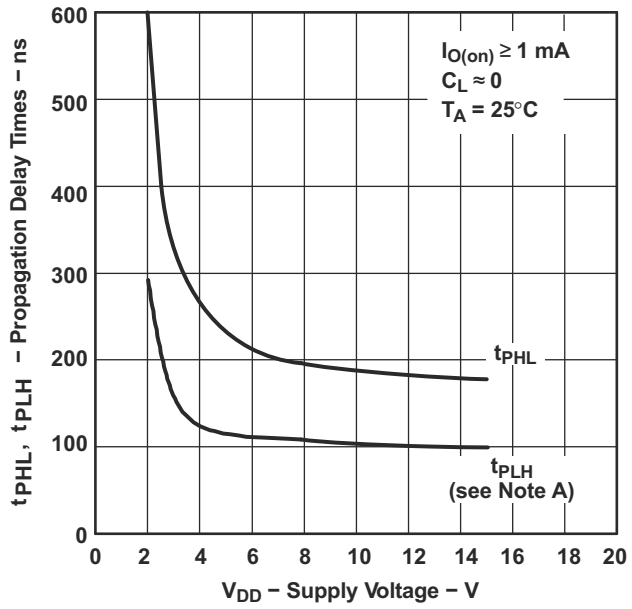


図 5-1. 放電スイッチのオン状態抵抗と自由空気温度との関係



A. これらの値に対する負荷抵抗の影響は、個別に考慮する必要があります。

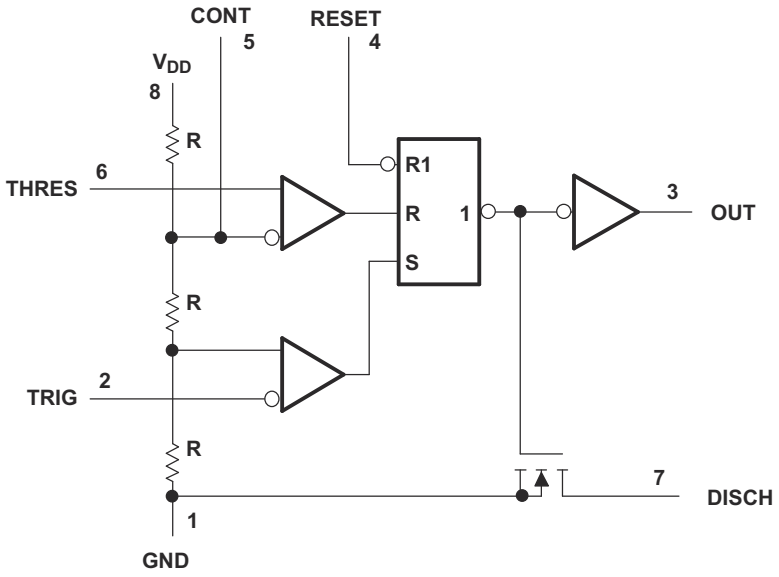
図 5-2. トリガおよびスレッショルドが短絡してから出力を放電するまでの伝搬遅延時間と電源電圧との関係

Copyright © 2024 Texas Instruments Incorporated

6 詳細説明

6.1 概要

TLC555-Q1 タイマは、476ns から時間単位まで、または < 1 MHz から 2.1 MHz までの汎用タイミング アプリケーションに使用できます。すべての入力はレベル センシティブであり、エッジ トリガではありません。

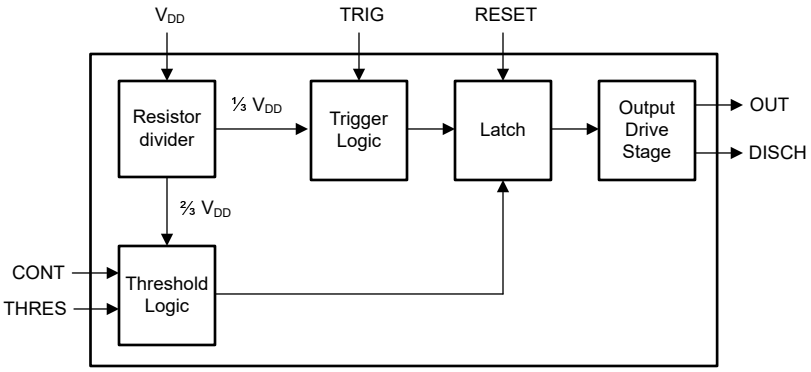


Copyright © 2017, Texas Instruments Incorporated

注：RESET は TRIG をオーバーライドすることができ、これが THRES をオーバーライドする場合もあります。

図 6-1. 概略回路図

6.2 機能ブロック図



6.3 機能説明

6.3.1 モノステーブル動作

モノステーブル動作で、これらのタイマのいずれかを接続する方法を 図 6-2 に示します。出力が Low の場合、トリガ (TRIG) に負方向のパルスを印加するとフリップ フロップが設定され ($\overline{Q}$ が Low になる)、出力が High に駆動され、Q1 がオフになります。コンデンサ C は、コンデンサの両端の電圧がスレッショルド (THRES) 入力のスレッショルド電圧に達するまで、R_A 経由で充電されます 。TRIG が High レベルに戻ると、スレッショルド コンパレータの出力によってフリップフロップがリセットされ ($\overline{Q}$ が High になる)、出力が Low に駆動され、Q1 経由で C が放電します。

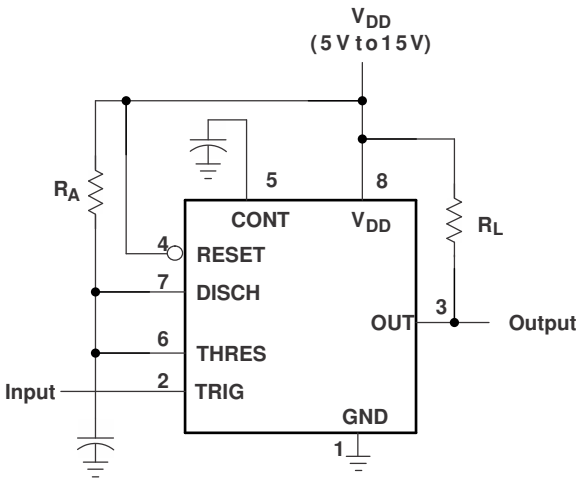


図 6-2. モノステーブル動作回路

TRIG 電圧がトリガ スレッショルドを下回ると、モノステーブル動作が開始されます。開始すると、タイミング インターバルの終了前に少なくとも 10µs にわたって TRIG が High である場合にのみ、シーケンスは終了します。トリガがグランドに接続されたとき、コンパレータの保存時間は 10µs にまで延ばすことができ、これにより 10µs に対する最小モノステーブル パルス幅が制限されます。スレッショルド レベルと Q1 の飽和電圧により、出力パルス幅は約 $t_w = 1.1R_AC$ となります。図 6-3 は、R_A および C のさまざまな値に対する時定数のプロットです。スレッショルド レベルと充電レートは、電源電圧 (V_{DD}) に正比例します。その結果、タイム インターバルの間、電源電圧が一定であれば、タイミング インターバルは電源電圧に依存しません。

タイミング インターバルの間に、RESET と TRIG に同時に負方向のトリガ パルスを印加すると、C が放電し、サイクルが再開され、リセット パルスの正のエッジから始まります。リセットパルスが Low である間、出力は Low に保持されます。誤トリガを防止するため、リセットを使用していないときはリセットを V_{DD} に接続します。リセット機能が必要で、ピンが外部ロジックまたはマイクロコントローラによって駆動される場合は、リセットピンがフローティングにならないように、V_{DD} にプルアップ抵抗 (10kΩ など) を使用してください。リセット機能が必要ない場合は、リセットピンを直接 V_{DD} ピンに短絡します。

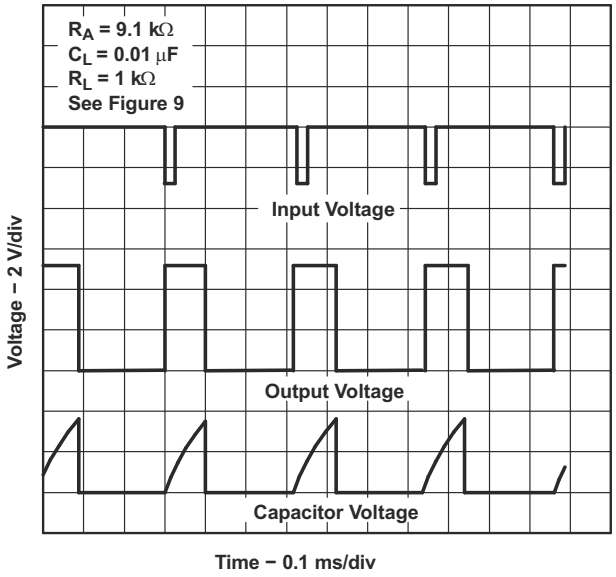


図 6-3. 代表的なモノステーブル波形

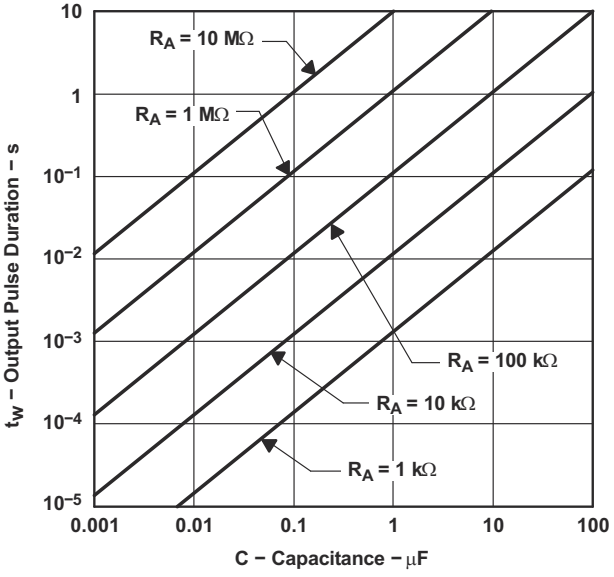


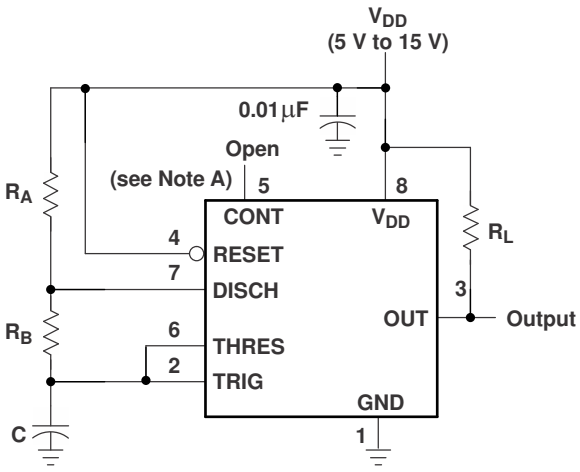
図 6-4. 出力パルス幅と容量との関係

Copyright © 2024 Texas Instruments Incorporated

6.3.2 非安定動作

図 6-5 は、2 番目の抵抗 (R_B) を回路に追加し、トリガ入力をスレッショルド入力に接続すると、タイマがセルフ トリガしてマルチバイブレータとして動作することを示しています。C コンデンサは R_A および R_B 経由で充電され、R_B 経由でのみ放電されます。その結果、R_A と R_B の値によって デューティ サイクルが制御されます。

この非安定接続により、C コンデンサはスレッショルド電圧レベル (≈ 0.67 × V_{DD}) とトリガ電圧レベル (≈ 0.33 × V_{DD}) の間で充電および放電されます。モノステーブル回路と同様に、充電時間と放電時間 (結果として、周波数とデューティ サイクル) は電源電圧に依存しません。



A. CONT 電圧をコンデンサでグランドにデカップリングすることで、動作を向上できます。これは、個々のアプリケーションに対して評価する必要があります。

図 6-5. 非安定動作回路

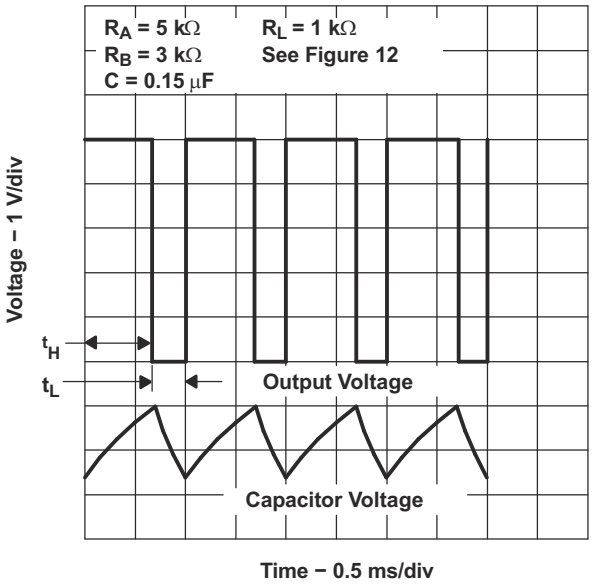


図 6-6. 代表的な非安定波形

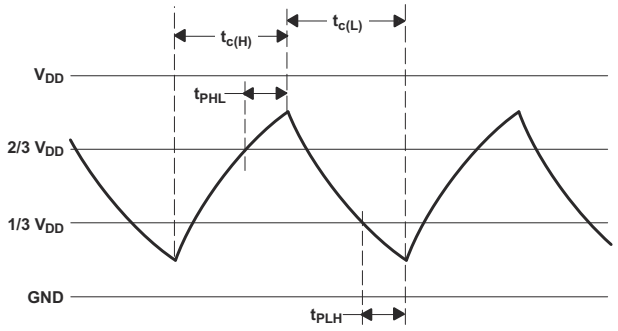


図 6-7. トリガ電圧とスレッショルド電圧の波形

図 6-7 に、非安定動作中に生成される代表的な波形を示します。100kHz 以下の周波数について、出力 High レベル期間 (t_H) と Low レベル期間 (t_L) は次のように計算します。

$$t_H = 0.693(R_A + R_B)C \quad (1)$$

$$t_L = 0.693(R_B)C \quad (2)$$

その他の有用な関係は次のとおりです。

$$\text{period} = t_H + t_L = 0.693(R_A + 2R_B)C \quad (3)$$

$$\text{frequency} \approx \frac{1.44}{(R_A + 2R_B)C} \quad (4)$$

$$\text{Output driver duty cycle} = \frac{t_L}{t_H + t_L} = \frac{R_B}{R_A + 2R_B} \quad (5)$$

$$\text{Output waveform duty cycle} = \frac{t_H}{t_H + t_L} = 1 - \frac{R_B}{R_A + 2R_B} \quad (6)$$

$$\text{Low-to-high ratio} = \frac{t_L}{t_H} = \frac{R_B}{R_A + R_B} \quad (7)$$

式 1 から 式 7 は、TRIG および THRES 入力から DISCH 出力までの伝搬遅延時間は考慮していません。これらの遅延時間は周期に直接加算され、コンデンサが過充電されるため、計算値と実際の値に周波数に応じて増加する差が生じます。さらに、放電中の内部オン抵抗 r_{on} が R_B に加算され、R_B が非常に小さいときの計算でタイミング誤差が発生するもう一つの要因となります。以下の式は、測定値と非常に近い値を導きます。式 8 の式は、伝搬遅延と放電オン抵抗が式に追加されているため、より高い周波数 (100kHz 超) で使用したときの実際の Low および High 時間を表しています。C_T の値には、公称または意図的なタイミング容量だけでなく、PCB 上の寄生容量も含まれます。CONT のデカップリング容量もデューティ サイクルに影響を及ぼし、コンデンサのリーク抵抗に依存する誤差が寄与します。詳細については、『低デューティ サイクル タイマ回路の設計』の記事を参照してください。

$$t_{c(H)} = C_T (R_A + R_B) \ln\left[3 - \exp\left(\frac{-t_{PLH}}{C_T(R_B + r_{on})}\right)\right] + t_{PHL}$$

$$t_{c(L)} = C_T (R_B + r_{on}) \ln\left[3 - \exp\left(\frac{-t_{PHL}}{C_T(R_A + R_B)}\right)\right] + t_{PLH} \quad (8)$$

Copyright © 2024 Texas Instruments Incorporated

これらの式と前述の式は、時定数に数または関数の対数を乗算する点で類似しています。対数項の極限値は、低周波数での ln(2)、超高周波数での ln(3) の間になければなりません。デューティ サイクルが 50% に近い場合は、対数項の適切な定数を適切な結果で置き換えることができます。出力波形のデューティ サイクルが 50% 未満では、$t_{c(H)}$ / $t_{c(L)}$ < 1 が必要であり、場合によっては $R_A \leq r_{on}$ が必要です。これらの条件を得るのは難しい場合があります。図 6-8 に、C_T と $R_A + 2 \times R_B$ のさまざまな組み合わせに関連する公称フリーランニング周波数を示します。

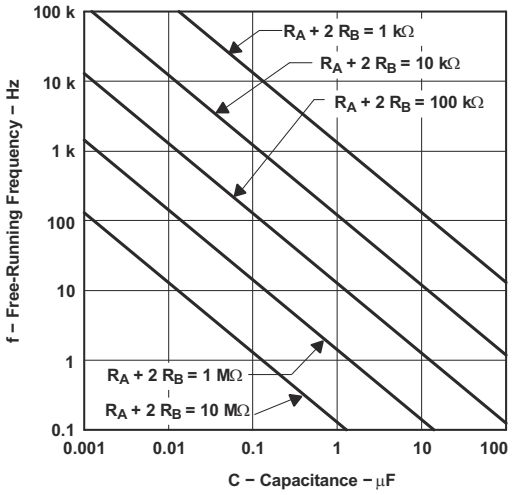


図 6-8. フリーランニング周波数

6.3.3 周波数分周器

タイミング サイクルの長さを調整することで、TLC555-Q1 の基本回路を周波数デバイダとして動作させることができます。図 6-9 に、タイミング サイクル中に再トリガが発生しないことをより確実にする 3 分周回路を示します。

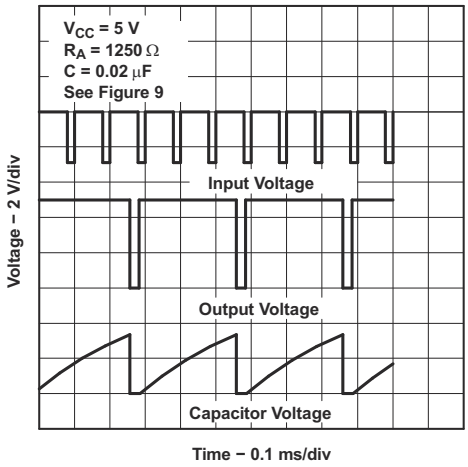


図 6-9. 3 分周回路波形

Copyright © 2024 Texas Instruments Incorporated

6.4 デバイスの機能モード

表 6-1 に、デバイスの機能モードを記載します。有効なリセット電圧条件を得るには、外付けプルアップ抵抗を V_{DD} に接続するか (リセット機能を使用する場合)、リセットピンを直接 V_{DD} に短絡します (RESET 機能を使用しない場合)。

表 6-1. 機能表

リセット	トリガ電圧 (1)	スレッショルド電圧(1)	出力	放電スイッチ
Low	自分に合っていない	自分に合っていない	Low	オン
High	< 1/3 V_{DD}	自分に合っていない	High	オフ
High	> 1/3 V_{DD}	> 2/3 V_{DD}	Low	オン
High	> 1/3 V_{DD}	< 2/3 V_{DD}	既に確かめたとおり	

(1) 表記の電圧レベルは公称値です。

Copyright © 2024 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

TLC555-Q1 タイマ デバイスは抵抗とコンデンサの充電遅延を使用して、時間遅延または動作周波数をプログラム可能です。次のセクションでは、設計手順について簡単に説明します。

7.2 代表的なアプリケーション

7.2.1 ミッシング パルス検出器

図 7-1 に示す回路は、欠落したパルス、または連続するパルス間の異常に長い間隔を検出することができます。単安定回路のタイミング間隔は、パルス間隔がタイミング間隔よりも小さい場合、入力パルス列によって連続的に再トリガされます。パルス間隔が長い、パルスの欠落、またはパルス列が終了すると、タイミング間隔を完了でき、図 7-2 に示すような出力パルスが生成されます。

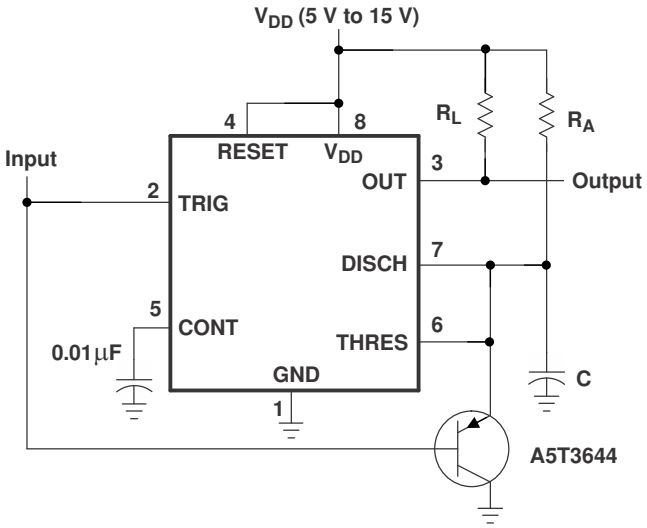


図 7-1. ミッシング パルス検出器回路

7.2.1.1 設計要件

入力フォルト (パルス消失) は入力 High である必要があります。タイミング コンデンサ (C) が放電されたままのため、入力が Low に固定されていることは検出されません。

7.2.1.2 詳細な設計手順

R_A× C > [最大通常入力 High 時間] となるように、R_A および C を選択します。R_L は V_{OH} を改善しますが、TTL との互換性には必要ありません。

7.2.1.3 アプリケーション曲線

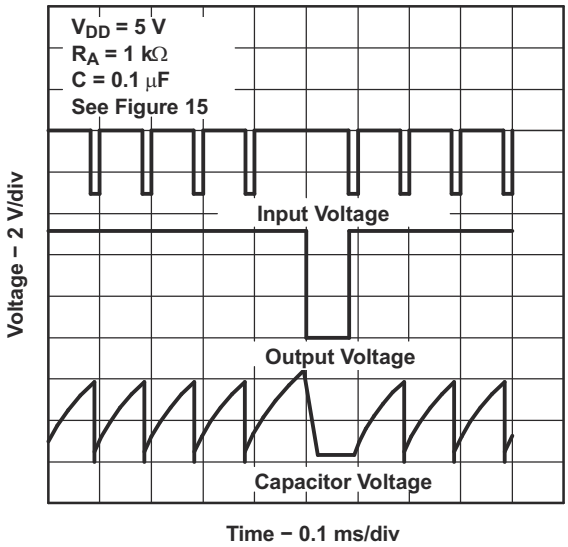
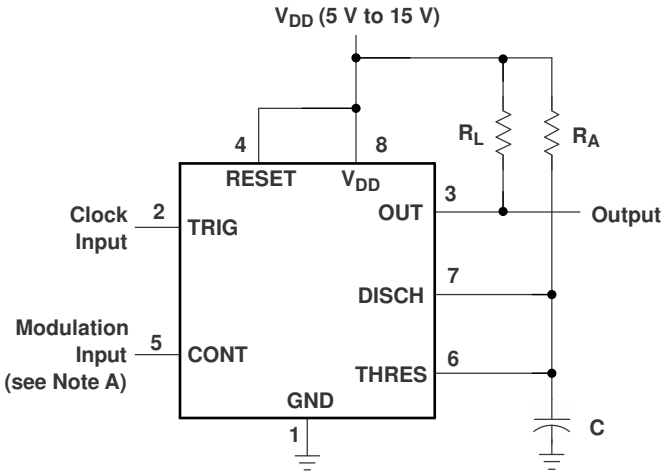


図 7-2. ミッシング パルス検出器の完了タイミング波形

7.2.2 *パルス幅変調*

タイマの動作は、CONT に外部電圧 (または電流) を印加して内部スレッショルドとトリガ電圧を変調することで変更できます。図 7-3 に、パルス幅変調の回路を示します。連続入力パルス トレインによって単一安定回路がトリガされ、制御信号によってスレッショルド電圧が変調されます。結果として生じる出力パルス幅変調を 図 7-4 に示します。正弦波変調信号が表示されていますが、任意の波形を使用できます。



A. 変調信号は、CONT に直接結合することも、容量結合することもできます。直接結合の場合、変調ソース電圧とインピーダンスがタイマのバイアスに及ぼす影響を考慮する必要があります。

図 7-3. パルス幅変調回路

7.2.2.1 設計要件

クロック入力の V_{OL} および V_{OH} レベルは、それぞれ VDD の 1/3 よりも低く、あるいは高くする必要があります。変調入力はグランドから VDD まで変動する可能性があります。このアプリケーションは、非線形の伝達関数を許容する必要があります。コンデンサの電荷は、負の指数曲線の RC をベースとしているため、変調入力とパルス幅との関係は線形ではありません。

Copyright © 2024 Texas Instruments Incorporated

7.2.2.2 詳細な設計手順

R_A × C = 1/4 [クロック入力周期] になるよう、R_A および C を選択します。R_L は V_{OH} を改善しますが、TTL との互換性には必要ありません。

7.2.2.3 アプリケーション曲線

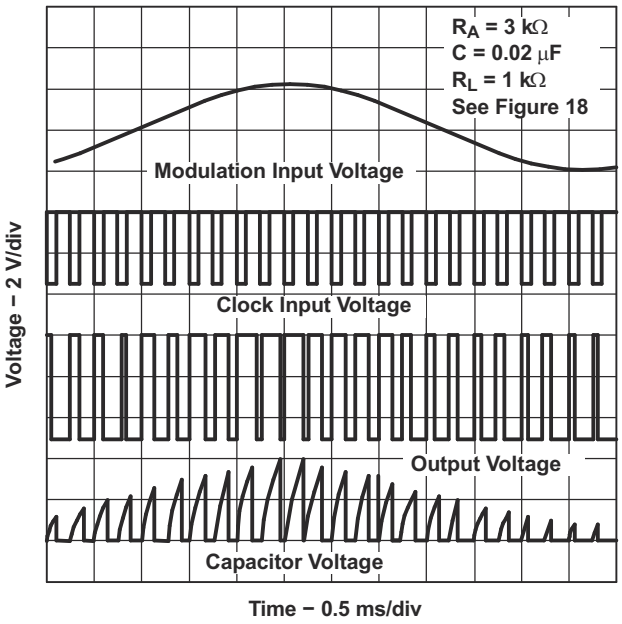
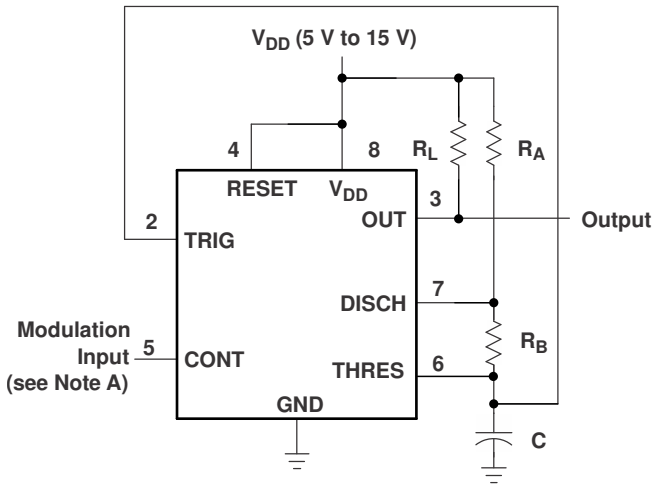


図 7-4. パルス幅変調波形

7.2.3 パルス位置変調

図 7-5 に示すように、これらのタイマはいずれもパルス位置変調器として使用できます。このアプリケーションは、フリーランニング発振器のスレッショルド電圧と時間遅延を変調します。図 7-6 に、このタイプの回路の三角波変調信号を示しますが、任意の波形を使用できます。



A. 変調信号は、CONT に直接結合することも、容量結合することもできます。直接結合の場合、変調ソース電圧とインピーダンスがタイマのバイアスに及ぼす影響を考慮する必要があります。

図 7-5. パルス位置変調回路

7.2.3.1 設計要件

DC 結合変調入力と AC 結合変調入力のどちらも、タイミング コンデンサの電圧上限スレッショルドと電圧下限スレッショルドを変更します。周波数とデューティ サイクルはどちらも変調電圧によって変化します。

7.2.3.2 詳細な設計手順

公称出力周波数およびデューティ・サイクルは、セクション 6.3.2 の式で決定できます。R_L は V_{OH} を改善しますが、TTL との互換性には必要ありません。

7.2.3.3 アプリケーション曲線

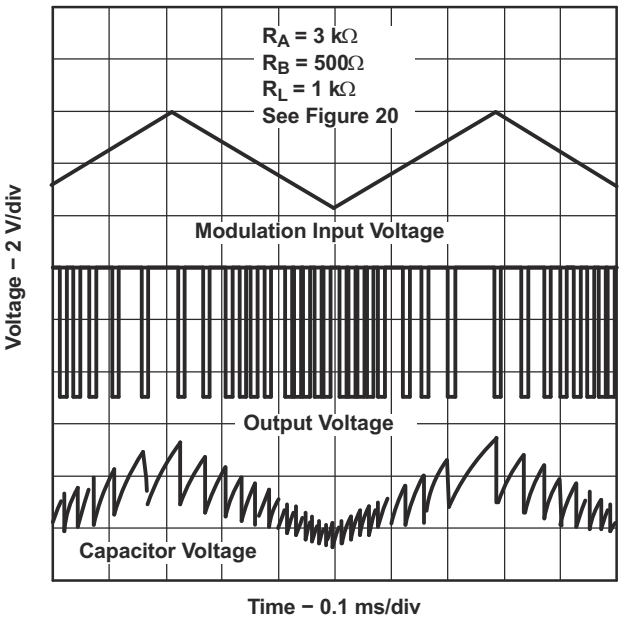
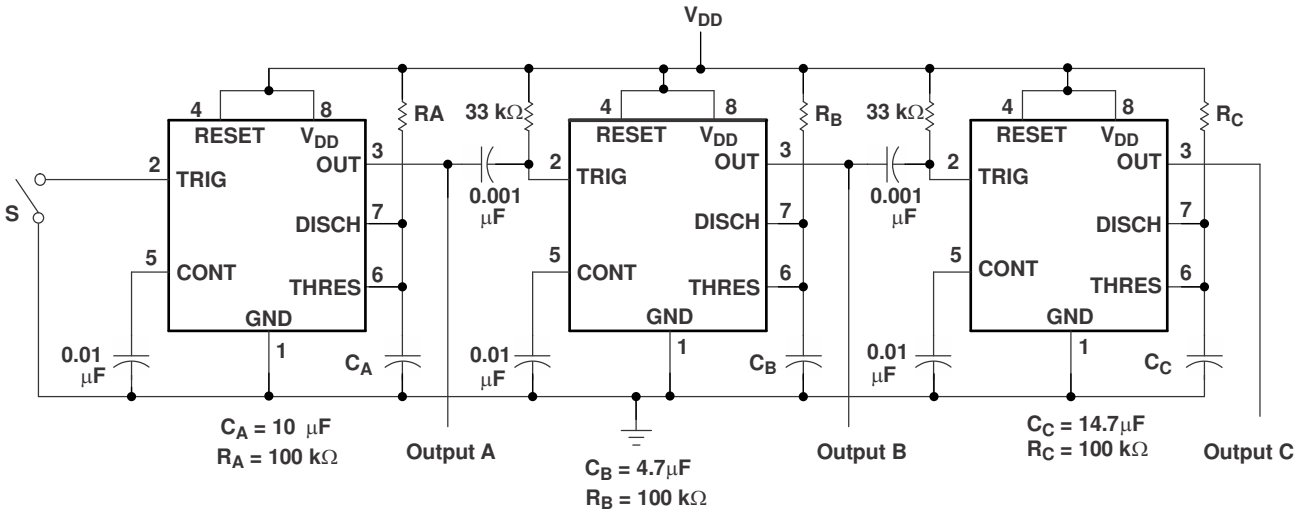


図 7-6. パルス位置変調波形

7.2.4 シーケンシャル タイマ

多くのアプリケーション (コンピュータなど) では、起動時に条件を初期化するための信号が必要です。他のアプリケーション (試験装置など) では、試験信号を順番に起動する必要があります。これらのタイミング回路を接続して、シーケンシャル制御を行うことができます。これらのタイマは、非安定回路または単安定回路接続のさまざまな組み合わせで使用でき、また変調ありまたは変調なしで使用できるため、非常に柔軟な波形制御が可能です。図 7-7 に、多くのシステムで使用可能なアプリケーションを含むシーケンサ回路を示し、図 7-8 に、その出力波形を示します。

Copyright © 2024 Texas Instruments Incorporated



NOTE A: S closes momentarily at t = 0.

Copyright © 2016, Texas Instruments Incorporated

図 7-7. シーケンシャル タイマ回路

7.2.4.1 設計要件

シーケンシャル タイマ アプリケーションは、複数の単一安定タイマをチェーン接続します。接合部品は 33kΩ 抵抗と 0.001µF コンデンサです。出力の High から Low へのエッジは、10µs スタート パルスを次の単安定出力に渡します。

7.2.4.2 詳細な設計手順

タイミング抵抗およびコンデンサは、式 $t_w = 1.1 \times R \times C$ を用いて選択することができます。

7.2.4.3 アプリケーション曲線

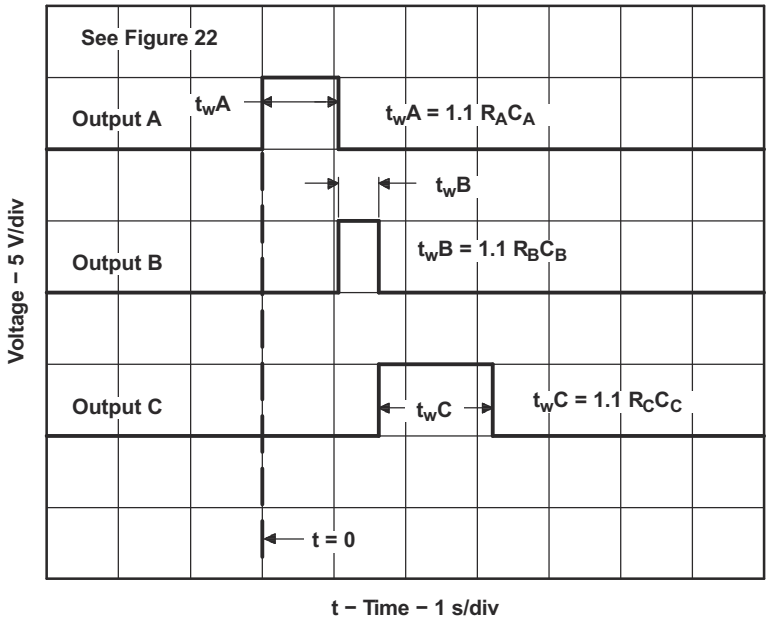


図 7-8. シーケンシャル タイマの波形

7.3 電源に関する推奨事項

TLC555-Q1 には 4.5V～15V の範囲の電源電圧が必要です。関連回路を保護するため、十分な電源バイパスが必要です。1μF 電解コンデンサと並列に接続するコンデンサの最小の推奨容量値は 0.1μF です。バイパス コンデンサは、TLC555-Q1 にできる限り近づけて配置し、パターン長を最短にします。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

TLC555-Q1 の配線には、標準 PCB ルールが適用されます。0.1μF コンデンサを 1μF 電解コンデンサと並列にして、TLC555-Q1 のできるだけ近くに配置します。遅延時間に使用するコンデンサは、DISCHARGE ピンのできるだけ近くに配置します。下層にグランド プレーンを使用すると、ノイズ耐性とシグナル インテグリティが向上します。

7.4.2 レイアウト例

図 7-9 に、各種アプリケーションの基本的なレイアウトを示します。

- C1 – 時間遅延計算に基づく
- C2 – 制御電圧ピンの 0.01μF バイパス コンデンサ
- C3 - 0.1μF バイパス セラミック コンデンサ
- C4 – 1μF 電解バイパス コンデンサ
- R1 – 時間遅延計算に基づく

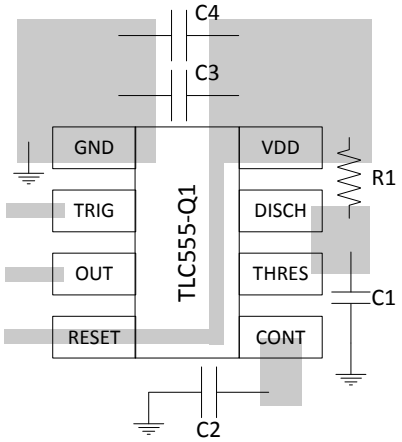


図 7-9. 推奨レイアウト

Copyright © 2024 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『TLC555-Q1 を正および負のチャージ ポンプとして使用』アプリケーション ノート
- テキサス・インスツルメンツ、『EMC 互換車載対応 LED リア ランプ、シーケンシャル 回転アニメーション リファレンス デザイン』

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

LinCMOS™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (May 2015) to Revision C (April 2024)	Page
• 「特長」に機能安全のドキュメントへの参照を追加	1
• 「概要 (続き)」セクションを削除	1
• 「パッケージ情報」表を更新	1
• 「散逸電力定格」を削除し、連続合計電力散逸の仕様を「絶対最大定格」に移動	3
• 「絶対最大定格」で、連続合計電力散逸電力定格を $T_A \le 25°C$ で 725mW から 900mW に、$T_A = 125°C$ で 145mW から 180mW に変更し、$T_A = 25°C$ でのディレーティング係数を 5.8mW/°C から 7.2mW/°C に変更	3
• 「熱に関する情報」の熱抵抗および特性パラメータ値を更新	3
• 両方の「電気的特性」表で、リセット電流 ($I_{I(RESET)}$) のテスト条件を $V_{RESET} = V_{DD}$ に変更	4
• 両方の「電気的特性」表の、テスト条件 $V_{RESET} = 0V$ に新しいリセット電流 ($I_{I(RESET)}$) の標準値を追加	4
• 次の「電気的特性」の電源電流の標準値を 170µA から 180µA に変更: $V_{DD} = 5\ V$	4

Copyright © 2024 Texas Instruments Incorporated

- 「動作特性」表のタイトルを「スイッチング特性」に変更し、値が設計または特性によって決定されることを明確化 6
- 「スイッチング特性」のタイミング間隔仕様の初期誤差を削除 6
- 「概要」に入力タイプに関するテキストを追加 7
- 機能ブロック図を簡素化した回路図に変更し、「概要」に移動 7
- 新しい「機能ブロック図」を追加 7
- モノステーブル動作でのリセットピン プルアップ抵抗のガイダンスを追加 7
- モノステーブル動作で V_{CC} を V_{DD} に変更 7
- 「非安定動作」に、公称動作周波数と寄生成分の明確化を追加 9
- 「非安定動作」で V_{CC} を V_{DD} に変更 9
- 「デバイスの機能モード」で、図 11「等価回路図」を削除し、リセット ピンに関するガイダンスを追加 12
- 表 6-1「機能表」で V_{CC} を V_{DD} に変更 12
- 「ドキュメントのサポート」セクションにアプリケーション ノートとリファレンス デザインへの参照を追加 19

Changes from Revision A (October 2012) to Revision B (May 2015) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- 「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 1

Changes from Revision * (October 2006) to Revision A (October 2012) **Page**

- 「特長」セクションに AEC-Q100 の適格性評価の文章を追加 1
- 最新のドキュメントおよび翻訳基準に合わせて、データシートのテキストを更新 1
- 「概要」および「注文情報」セクションの最後から 2 番目の段落を更新 1
- 5V および 15V の電気的特性の表で、T_A 列のすべての「MAX」入力を「フル レンジ」に変更 4
- 冗長データのみを含む最後の「電気的特性」表を削除 6

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は指定したデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、左側のナビゲーションを参照してください。

Copyright © 2024 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLC555QDRQ1	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL555Q
TLC555QDRQ1.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL555Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLC555-Q1 :

- Catalog : TLC555

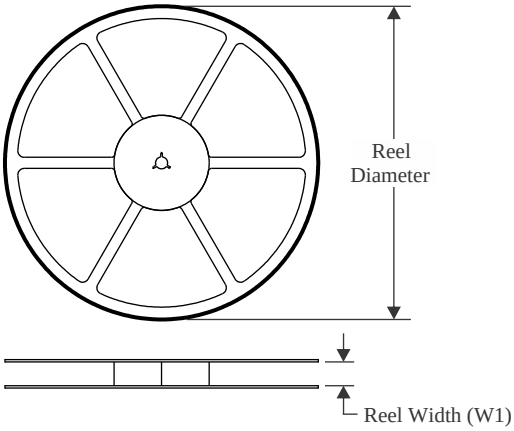
- Military : TLC555M

NOTE: Qualified Version Definitions:

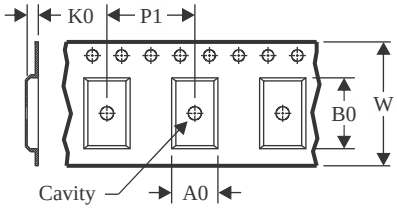
- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

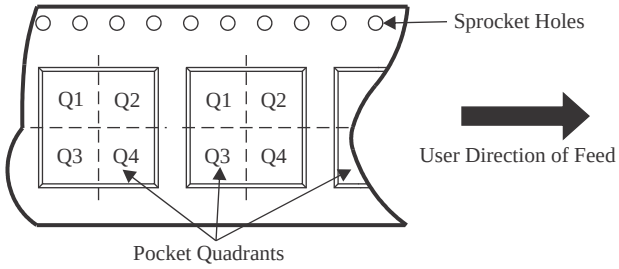


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

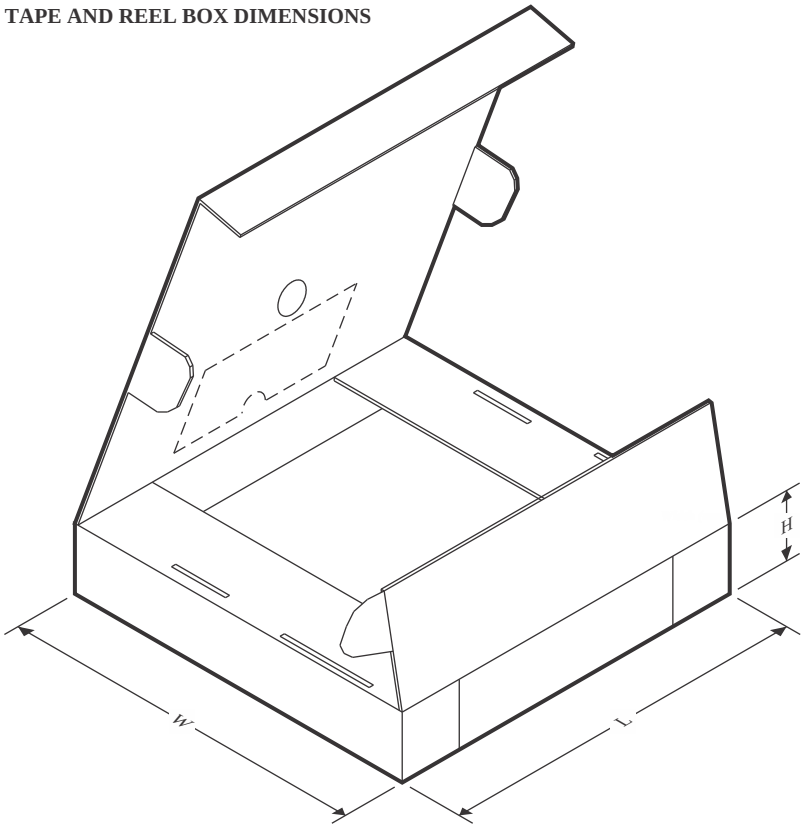
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLC555QDRQ1	SOIC	D	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1

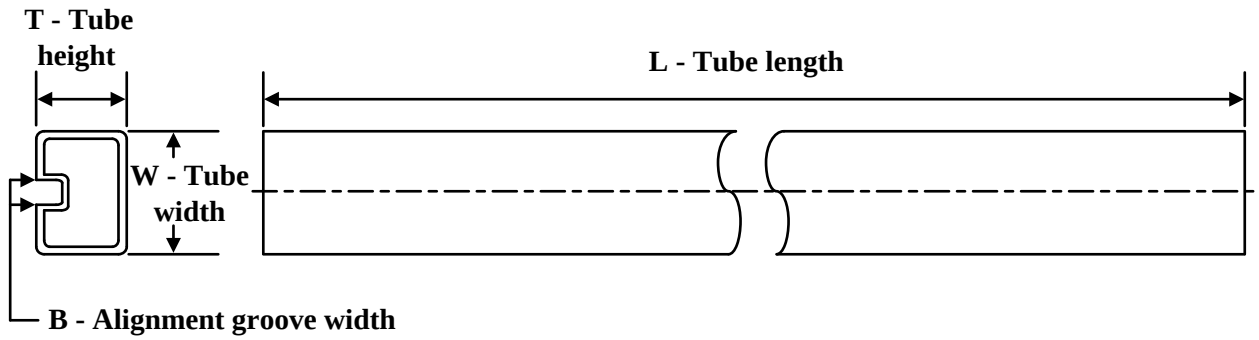
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

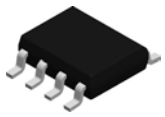
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLC555QDRQ1	SOIC	D	8	2500	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TLC555QDRQ1	D	SOIC	8	2500	506.6	8	3940	4.32
TLC555QDRQ1.A	D	SOIC	8	2500	506.6	8	3940	4.32

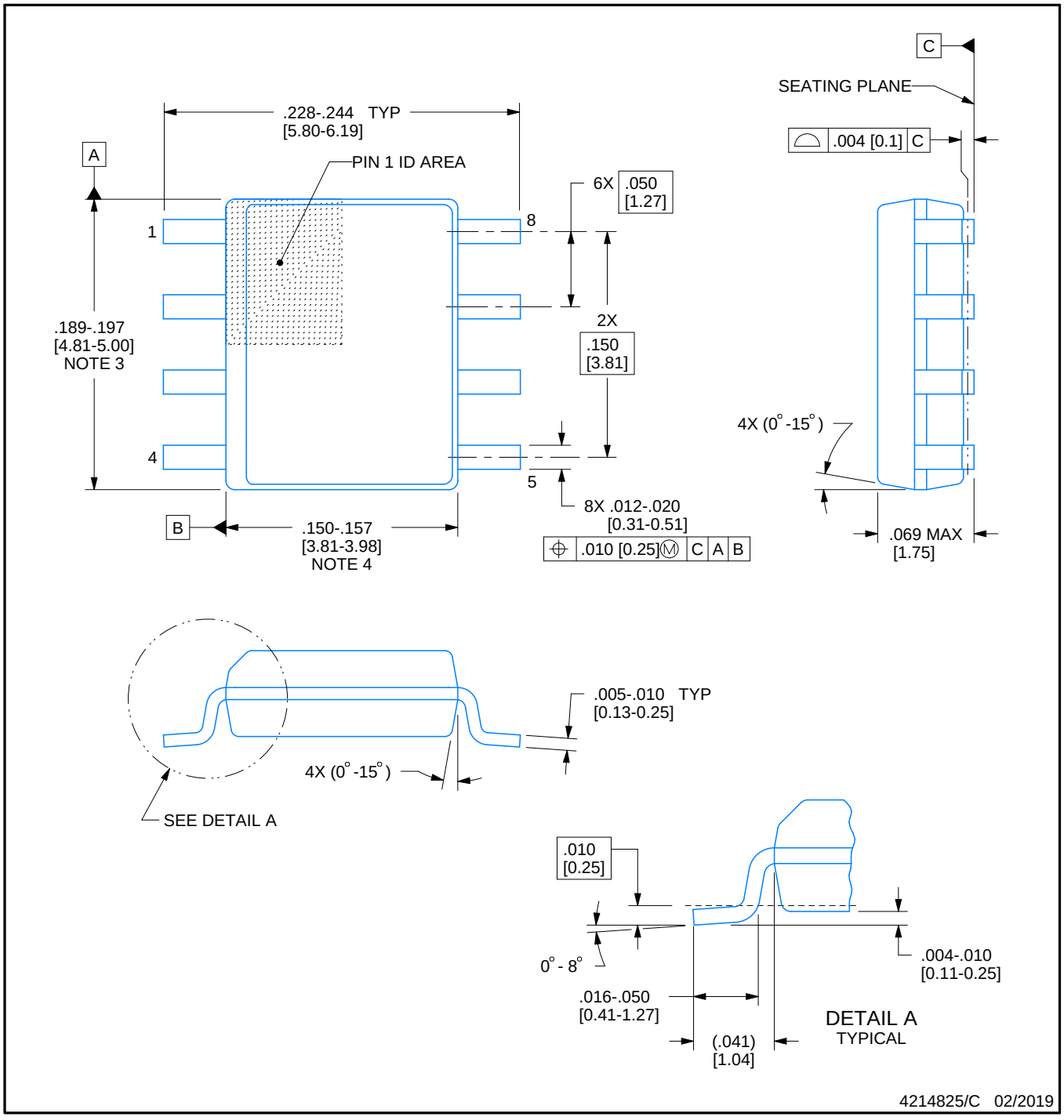


PACKAGE OUTLINE

D0008A

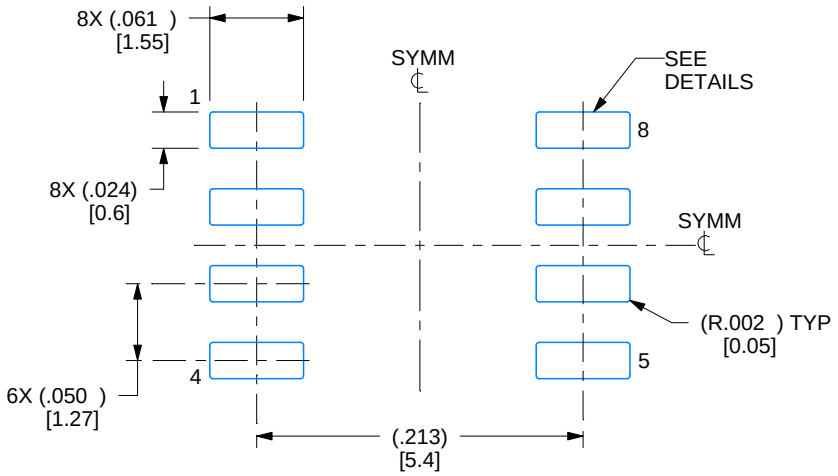
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

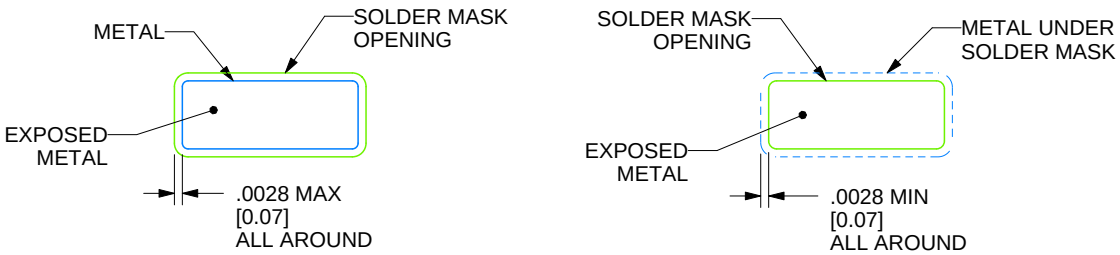


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

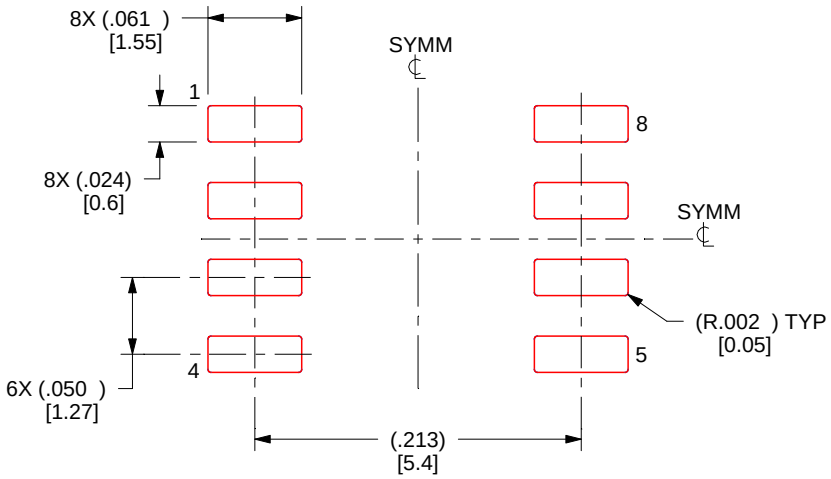
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、 テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated