TL494 のパルス幅変調制御回路

1 特長

- 完全な PWM 電源制御回路
- 200mA のシンクまたはソース電流の不確定な出力
- 出力制御により、シングルエンドまたはプッシュプルの動作を選択
- 内部回路によりどちらの出力でも二重パルスを抑制
- 可変デッド・タイムにより全範囲にわたる制御を実現
- 内部レギュレータは、公差 5% の安定した 5V のリファレンス電源を提供
- 回路のアーキテクチャにより簡単に同期可能

2 アプリケーション

- デスクトップ PC
- 電子レンジ
- 電源 PFC 付きまたはなしの AC/DC 絶縁型電源
- サーバーの PSU
- ソーラー・マイクロインバータ
- 洗濯機:ローエンドとハイエンド
- 電動アシスト自転車
- 電源:テレコム / サーバーの AC/DC 電源:デュアル・コントローラ:アナログ
- 煙感知器
- ソーラー・パワー・インバータ

3 概要

TL494 デバイスには、パルス幅変調 (PWM) 制御回路をシングル・チップ上に構築するため必要なすべての機能が組み込まれています。このデバイスは主に電源の制御用に設計されており、特定のアプリケーションに合わせて電源制御回路を柔軟にカスタマイズできます。

TL494 デバイスには、2 つのエラー・アンプ、オンチップの可変発振器、デッドタイム制御 (DTC) コンパレータ、パルス・ステアリング制御フリップ・フロップ、5V、5% 精度のレギュレータ、出力制御回路が搭載されています。

エラー・アンプの同相電圧範囲は、-0.3V から V_{CC} - 2V までです。デッドタイム制御コンパレータには固定オフセットがあり、デッドタイムは約 5% です。オンチップ発振器は、RT をリファレンス出力に終端して CT にのこぎり波入力を供給することでバイパスできます。または、同期マルチレール電源の共通回路を駆動することもできます。

不確定な出力トランジスタは、共通エミッタまたはエミッタフォロワのいずれかの出力能力があります。TL494 デバイスはプッシュプルまたはシングルエンド出力で動作し、出力制御機能で動作を選択できます。このデバイスのアーキテクチャでは、プッシュプル動作中にどちらかの出力が 2 回パルスされることはありません。

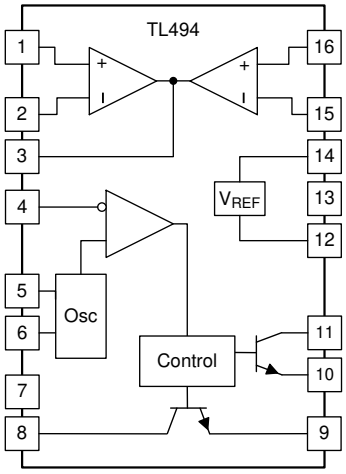
TL494 デバイスは 0℃～70℃、TL494I デバイスは -40℃～85℃で動作が規定されています。

デバイス情報(1)

部品番号	パッケージ (ピン)	本体サイズ
TL494	SOIC (16)	9.90mm × 3.91mm
	PDIP (16)	19.30mm × 6.35mm
	SOP (16)	10.30mm × 5.30mm
	TSSOP (16)	5.00mm × 4.40mm

(1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。

4 概略ブロック図



英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 概略ブロック図.....1
5 改訂履歴.....2
6 ピン構成と機能.....3
7 仕様.....4
7.1 絶対最大定格.....4
7.2 ESD 定格.....4
7.3 推奨動作条件.....4
7.4 熱に関する情報.....4
7.5 電気的特性、リファレンス・セクション.....5
7.6 電気的特性、発振器セクション.....5
7.7 電気的特性、エラー・アンプ・セクション.....5
7.8 電気的特性、出力セクション.....6
7.9 電気的特性、デッドタイム制御セクション.....6
7.10 電気的特性、PWM コンパレータ・セクション.....6
7.11 電気的特性、デバイス全体.....6
7.12 スイッチング特性.....6
7.13 代表的特性.....7
8 パラメータ測定情報.....8
9 詳細説明.....10
9.1 概要.....10
9.2 機能ブロック図.....10
9.3 機能説明.....10
9.4 デバイスの機能モード.....12
10 アプリケーションと実装.....13
10.1 アプリケーション情報.....13
10.2 代表的なアプリケーション.....13
11 電源に関する推奨事項.....20
12 レイアウト.....20
12.1 レイアウトのガイドライン.....20
12.2 レイアウト例.....21
13 デバイスおよびドキュメントのサポート.....21
13.1 商標.....21
13.2 Electrostatic Discharge Caution.....21
13.3 Glossary.....21
14 メカニカル、パッケージ、および注文情報.....21

5 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision H (March 2017) to Revision I (July 2022) — **Page**

- 文書全体の表、図、相互参照の採番方法を更新.....1

Changes from Revision G (January 2015) to Revision H (March 2017) — **Page**

- パッケージの図を更新.....1
- 「電流制限アンプ」セクションの抵抗の極性リファレンスを訂正。.....15
- 図 12 を更新。.....15

Changes from Revision F (January 2014) to Revision G (January 2015) — **Page**

- 「アプリケーション」セクション、「製品情報」表、「ピンの機能」表、「ESD 定格」表、「熱に関する情報」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加.....1

Changes from Revision E (February 2005) to Revision F (January 2014) — **Page**

- 新しい TI データシート・フォーマットにドキュメントを更新 - 仕様変更なし.....1
- 「注文情報」表を削除。.....1
- ESD の警告を追加.....1

Copyright © 2022 Texas Instruments Incorporated

6 ピン構成と機能

D, DB, N, NS, OR PW PACKAGE
(TOP VIEW)

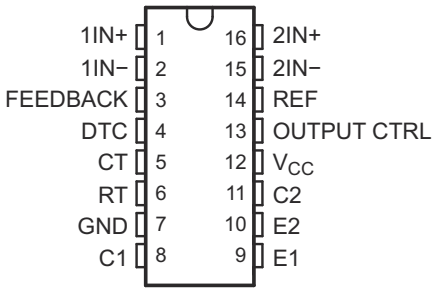


表 6-1. ピン機能

ピン		タイプ	説明
名称	番号		
1IN+	1	I	エラー・アンプ 1 への非反転入力
1IN-	2	I	エラー・アンプ 1 への反転入力
2IN+	16	I	エラー・アンプ 2 への非反転入力
2IN-	15	I	エラー・アンプ 2 への反転入力
C1	8	O	BJT 出力 1 のコレクタ端子
C2	11	O	BJT 出力 2 のコレクタ端子
CT	5	—	発振器周波数の設定に使用するコンデンサ端子
DTC	4	I	デッドタイム制御コンパレータの入力
E1	9	O	BJT 出力 1 のエミッタ端子
E2	10	O	BJT 出力 2 のエミッタ端子
FEEDBACK	3	I	フィードバック用の入力ピン
GND	7	—	グランド
OUTPUT CTRL	13	I	シングルエンド / 並列出力とプッシュプルのいずれかの動作を選択
REF	14	O	5V のリファレンス・レギュレータの出力
RT	6	—	発振周波数の設定に使用する抵抗端子
V_{CC}	12	—	正の電源

Copyright © 2022 Texas Instruments Incorporated

7 仕様

7.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
V_{CC}	電源電圧(2)		41	V
V_I	アンプの入力電圧		V_{CC} + 0.3	V
V_O	コレクタの出力電圧		41	V
I_O	コレクタの出力電流		250	mA
	リード温度:ケースから 1.6mm (1/16 インチ) 離れた点で 10 秒間		260	℃
T_{stg}	保管温度範囲	-65	150	℃

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を越える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
(2) すべての電圧値は、ネットワーク・グランド端子を基準としたものです。

7.2 ESD 定格

			最大値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠、すべてのピン	500	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠、すべてのピン	200	

7.3 推奨動作条件

			最小値	最大値	単位
V_{CC}	電源電圧		7	40	V
V_I	アンプの入力電圧		-0.3	V_{CC} - 2	V
V_O	コレクタの出力電圧			40	V
	コレクタの出力電流 (各トランジスタ)			200	mA
	フィードバック端子への電流			0.3	mA
f_{OSC}	オシレータの周波数		1	300	kHz
C_T	タイミング・コンデンサ		0.47	10000	nF
R_T	タイミング抵抗		1.8	500	kΩ
T_A	動作温度 (空気流あり)	TL494C	0	70	℃
		TL494I	-40	85	

7.4 熱に関する情報

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		TL494					単位
		D	DB	N	NS	PW	
$R_{\theta JA}$	パッケージの熱インピーダンス(1) (2)	73	82	67	64	108	℃/W

(1) 最大消費電力は T_J(max)、θ_{JA}、T_A の関数です。最大許容消費電力と、許容される周囲温度との関係式は $P_D = (T_J(max) - T_A)/\theta_{JA}$ です。絶対最大定格 T_J = 150℃での動作は、信頼性に影響を与える可能性があります。
(2) パッケージの熱インピーダンスは、JESD 51-7 に従って計算しています。

Copyright © 2022 Texas Instruments Incorporated

7.5 電気的特性、リファレンス・セクション

自由気流での推奨動作温度範囲内、V_{CC} = 15V、f = 10kHz (特に記述のない限り)

パラメータ	テスト条件[1]	TL494C、TL494I			単位
		最小値	標準値[2]	最大値	
出力電圧 (REF)	I_O = 1mA	4.75	5	5.25	V
入力レギュレーション	V_{CC} = 7V～40V		2	25	mV
出力レギュレーション	I_O = 1mA～10mA		1	15	mV
出力電圧の温度による変化	ΔT_A = 最小値～最大値		2	10	mV/V
短絡出力電流[3]	REF = 0V		25		mA

(1) 最小値または最大値として示されている条件については、推奨動作条件で指定されている適切な値を使用します。
(2) パラメータの温度による変化を除いて、標準値はすべて T_A = 25℃です。
(3) 短絡時間は 1 秒間を超えないようにする必要があります。

7.6 電気的特性、発振器セクション

C_T = 0.01μF、R_T = 12kΩ (図 8-1 を参照)

パラメータ	テスト条件[1]	TL494C、TL494I			単位
		最小値	標準値[2]	最大値	
周波数			10		kHz
周波数の標準偏差[3]	V_{CC}、C_T、R_T、T_A 定数のすべての値		100		Hz/kHz
電圧による周波数の変化	V_{CC} = 7V～40V、T_A = 25℃		1		Hz/kHz
温度による周波数の変化[4]	ΔT_A = 最小値～最大値			10	Hz/kHz

(1) 最小値または最大値として示されている条件については、推奨動作条件で指定されている適切な値を使用します。
(2) パラメータの温度による変化を除いて、標準値はすべて T_A = 25℃での値です。
(3) 標準偏差は、式から導出された平均値周辺での統計的分布の測定値です。

$$\sigma = \sqrt{\frac{\sum_{n=1}^{N}\left(x_n - \overline{x}\right)^2}{N-1}}$$

(4) タイミング・コンデンサとタイミング抵抗の温度係数は考慮されていません。

7.7 電気的特性、エラー・アンプ・セクション

図 8-2 を参照

パラメータ	テスト条件	TL494C、TL494I			単位
		最小値	標準値[1]	最大値	
入力オフセット電圧	V_O (FEEDBACK) = 2.5V		2	10	mV
入力オフセット電流	V_O (FEEDBACK) = 2.5V		25	250	nA
入力バイアス電流	V_O (FEEDBACK) = 2.5V		0.2	1	μA
同相入力電圧範囲	V_{CC} = 7V～40V	-0.3～V_{CC} - 2			V
開ループ電圧増幅	ΔV_O = 3V、V_O = 0.5V～3.5V、R_L = 2kΩ	70	95		dB
ユニティ・ゲイン帯域幅	V_O = 0.5V～3.5V、R_S = 2kΩ		800		kHz
同相信号除去比	ΔV_O = 40V、T_A = 25℃	65	80		dB
出力シンク電流 (FEEDBACK)	V_{ID} = -15mV～-5V、V (FEEDBACK) = 0.7V	0.3	0.7		mA
出力ソース電流 (FEEDBACK)	V_{ID} = 15mV～5V、V (FEEDBACK) = 3.5V	-2			mA

(1) 温度によるパラメータの変化を除き、標準値はすべて T_A = 25℃での値です。

7.8 電気的特性、出力セクション

パラメータ		テスト条件	最小値	標準値(1)	最大値	単位
コレクタのオフ状態電流		V_{CE} = 40V、V_{CC}= 40V		2	100	μA
エミッタのオフ状態電流		V_{CC} = V_C = 40V、V_E = 0			-100	μA
コレクタ - エミッタ間の飽和電圧	共通エミッタ	V_E = 0、I_C = 200mA		1.1	1.3	V
	エミッタフォロワ	$V_{O(C1 または C2)}$ = 15V、I_E = -200mA		1.5	2.5	
出力制御の入力電流		V_I = V_{ref}			3.5	mA

(1) 温度係数を除く標準値はすべて、T_A = 25℃での値です。

7.9 電気的特性、デッドタイム制御セクション

図 8-1 を参照

パラメータ	テスト条件	最小値	標準値(1)	最大値	単位
入力バイアス電流 (デッドタイム制御)	V_I = 0～5.25V		-2	-10	μA
最大デューティ・サイクル、各出力	V_I (デッドタイム制御) = 0、C_T = 0.01μF、R_T = 12kΩ		45%		—
入力スレッショルド電圧 (デッドタイム制御)	ゼロ・デューティ・サイクル		3	3.3	V
	最大デューティ・サイクル	0			

(1) 温度係数を除く標準値はすべて、T_A = 25℃での値です。

7.10 電気的特性、PWM コンパレータ・セクション

図 8-1 を参照

パラメータ	テスト条件	最小値	標準値(1)	最大値	単位
入力スレッショルド電圧 (FEEDBACK)	ゼロ・デューティ・サイクル		4	4.5	V
入力シンク電流 (FEEDBACK)	V (FEEDBACK) = 0.7V	0.3	0.7		mA

(1) 温度係数を除く標準値はすべて、T_A = 25℃での値です。

7.11 電気的特性、デバイス全体

パラメータ	テスト条件		最小値	標準値(1)	最大値	単位
スタンバイ時の電源電流	R_T = V_{ref}、他のすべての入力と出力はオープン	V_{CC} = 15V		6	10	mA
		V_{CC} = 40V		9	15	
平均電源電流	V_I (デッドタイム制御) = 2V。図 8-1 を参照			7.5		mA

(1) 温度係数を除く標準値はすべて、T_A = 25℃での値です。

7.12 スイッチング特性

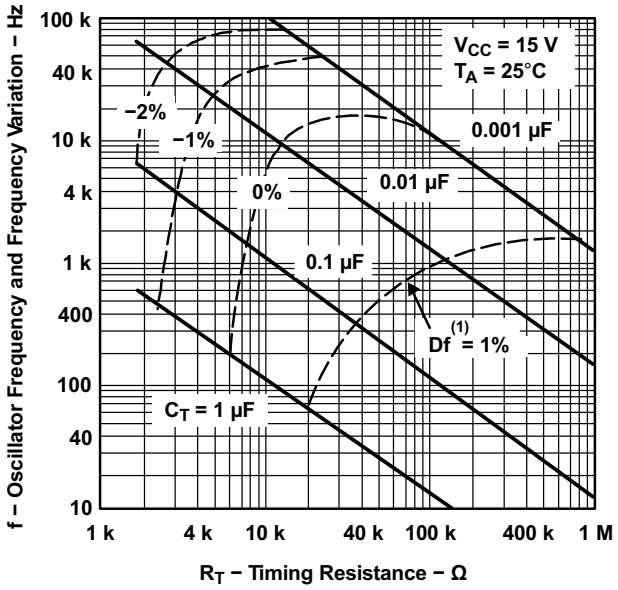
T_A = 25℃

パラメータ	テスト条件	最小値	標準値(1)	最大値	単位
立ち上がり時間	共通エミッタの構成については、図 8-3 を参照		100	200	ns
立ち下がり時間			25	100	ns
立ち上がり時間	エミッタフォロワ構成。図 8-4 を参照		100	200	ns
立ち下がり時間			40	100	ns

(1) 温度係数を除く標準値はすべて、T_A = 25℃での値です。

Copyright © 2022 Texas Instruments Incorporated

7.13 代表的特性



周波数変動 (Δf) は、全温度範囲で発生する発振器周波数の変化です。

図 7-1. 発振器の周波数および周波数の変動とタイミング抵抗との関係

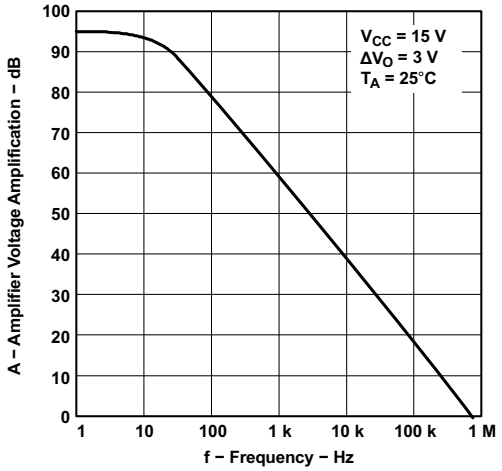


図 7-2. アンプの電圧増幅率と周波数との関係

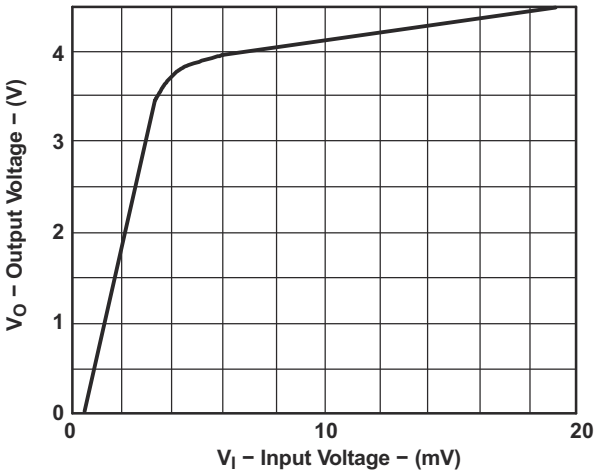


図 7-3. エラー・アンプの伝達特性

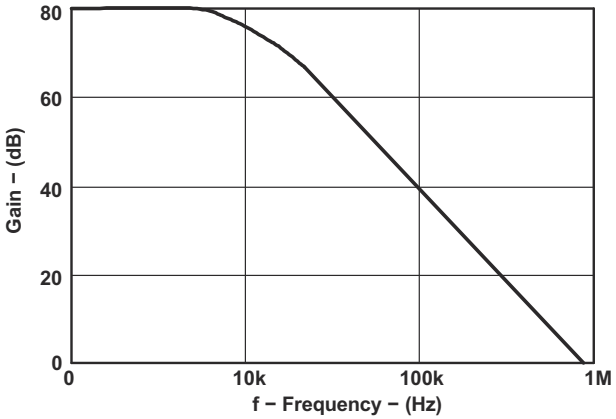
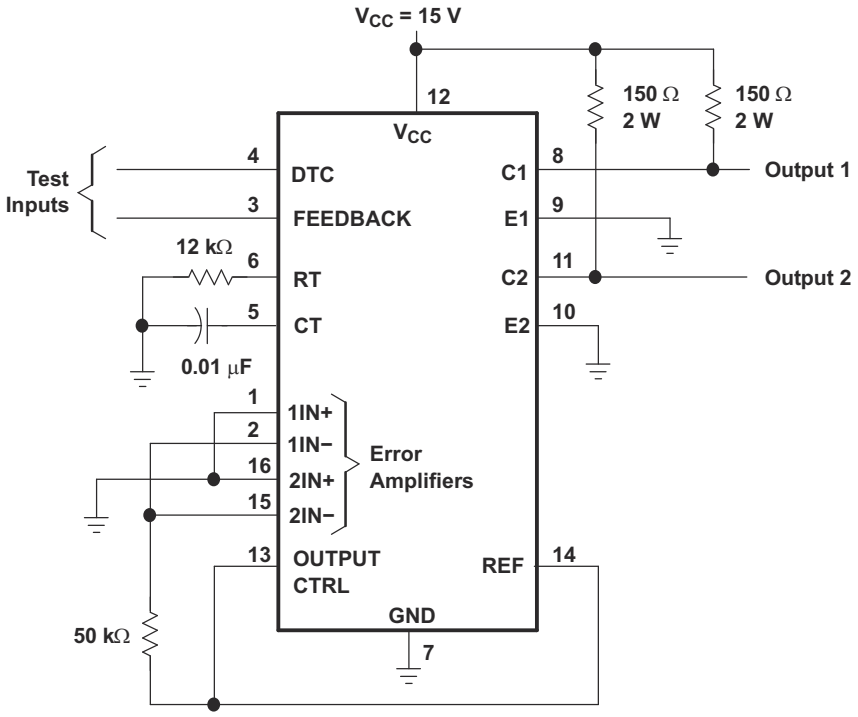
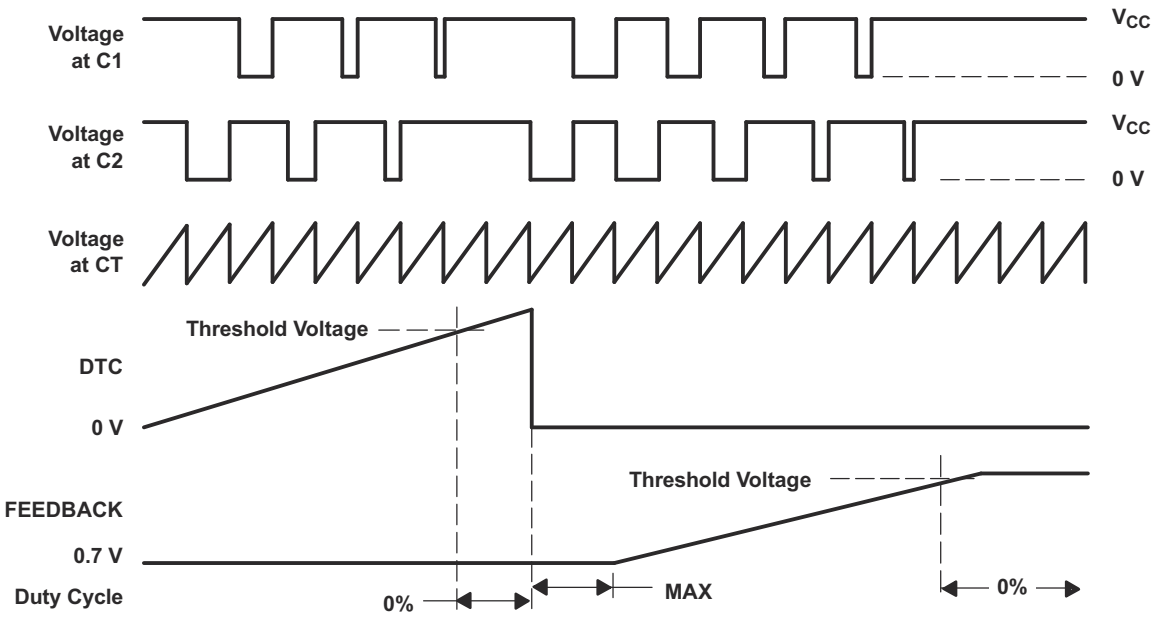


図 7-4. エラー・アンプのボード線図

8 パラメータ測定情報



TEST CIRCUIT



VOLTAGE WAVEFORMS

図 8-1. 動作テスト回路と波形

Copyright © 2022 Texas Instruments Incorporated

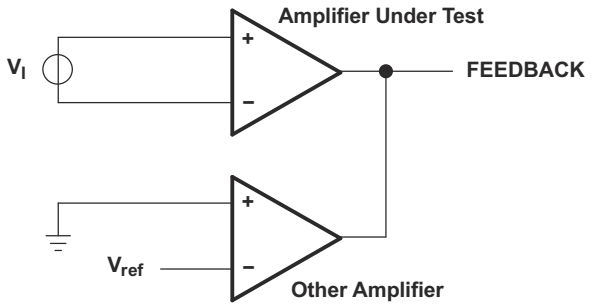
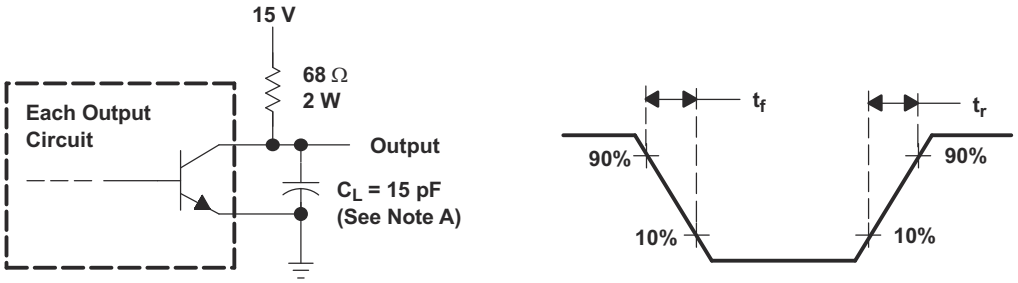


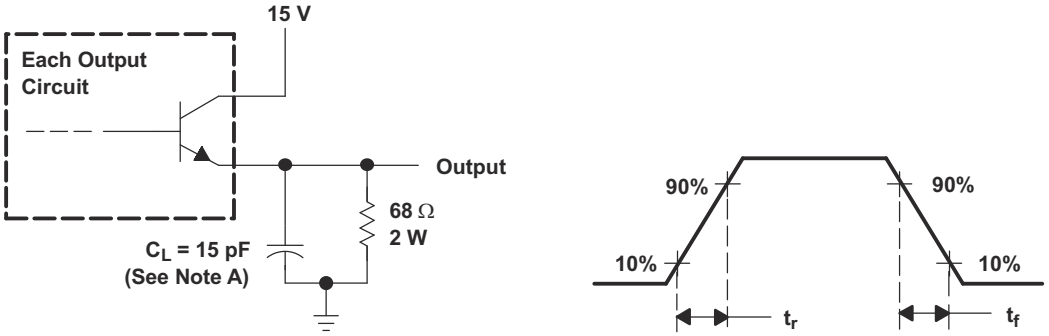
図 8-2. アンプの特性



TEST CIRCUIT　　OUTPUT VOLTAGE WAVEFORM

NOTE A: C_L includes probe and jig capacitance.

図 8-3. 共通エミッタの構成



TEST CIRCUIT　　OUTPUT VOLTAGE WAVEFORM

NOTE A: C_L includes probe and jig capacitance.

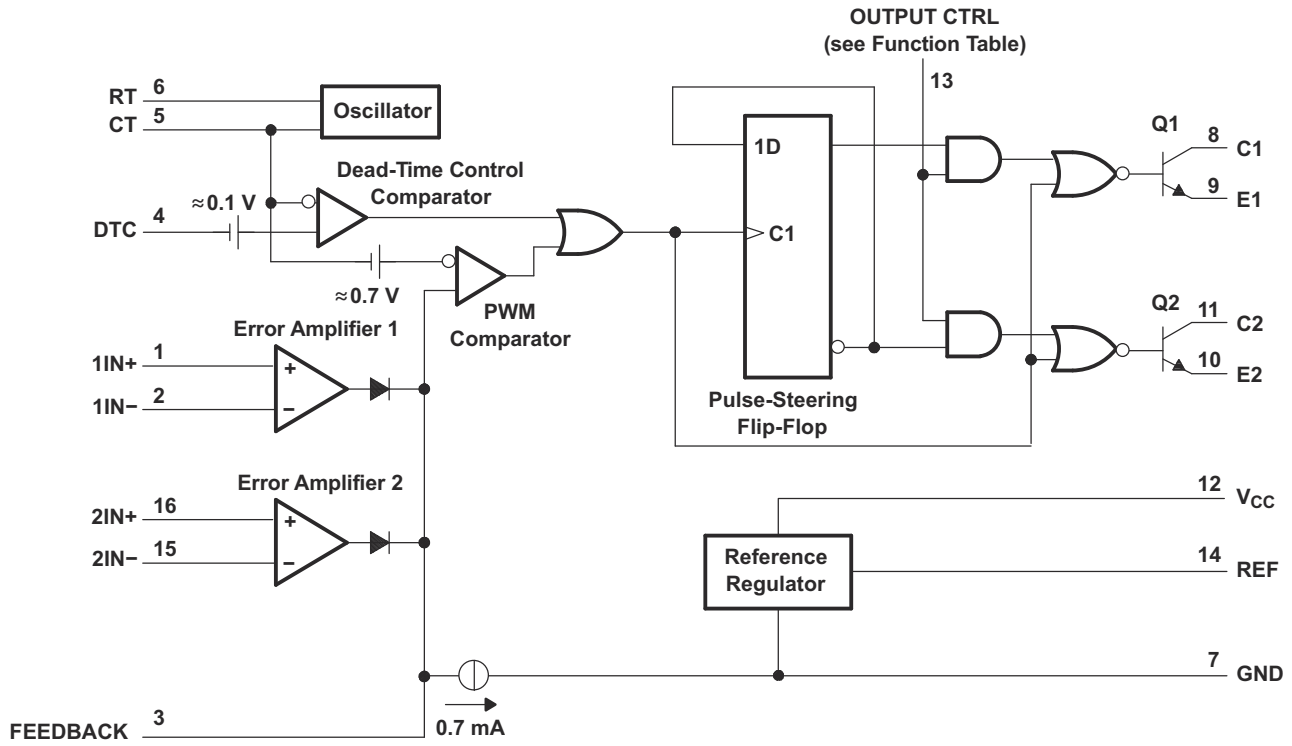
図 8-4. エミッタフォロワの構成

9 詳細説明

9.1 概要

TL494 の設計は、スイッチング電源の制御に必要となる主な構築ブロックが組み込まれているだけでなく、多くの基本的な問題に対処し、設計全体で必要になる追加回路の数を減らすことができます。TL494 は固定周波数のパルス幅変調 (PWM) 制御回路です。出力パルスの変調は、タイミング・コンデンサ (CT) 上の内部発振器によって生成されるのこぎり波を、2 つの制御信号のいずれかと比較することで行われます。出力段は、のこぎり波の電圧が電圧制御信号よりも大きいときイネーブルになります。制御信号が大きくなると、のこぎり波入力の電圧のほうが大きい時間は減少します。これにより、出力パルスの持続時間は減少します。パルス・ステアリング・フリップ・フロップは、変調されたパルスを交互に 2 つの出力トランジスタに送ります。TL494 の動作の詳細については、ti.com にあるアプリケーション・ノートを参照してください。

9.2 機能ブロック図



9.3 機能説明

9.3.1 5V リファレンス・レギュレータ

TL494 内部 5V リファレンス・レギュレータの出力は REF ピンです。このピンは安定したリファレンスであるとともに、プリレギュレータとして機能し、出力制御ロジック、パルス・ステアリング・フリップ・フロップ、発振器、デッドタイム制御コンパレータ、PWM コンパレータに電力を供給する安定した電源です。このレギュレータは、1 次リファレンスとしてバンドギャップ回路を採用し、0℃～70℃の自由気流での動作温度範囲で変動が 100mV 未満の熱安定性を維持します。内部リファレンスとプリレギュレータを保護するため、短絡保護機能が搭載されています。追加のバイアス回路では、10mA の負荷電流を利用できます。リファレンス電圧は内部で ±5% の初期精度がプログラムされており、7V～40V の入力電圧範囲にわたって変動が 25mV 未満の安定性を維持します。入力電圧が 7V より低い場合、レギュレータは入力から 1V 以内に飽和し、入力をトラッキングします。

9.3.2 発振器

この発振器は、デッドタイムおよび PWM コンパレータに正ののこぎり波を供給し、コンパレータによって各種の制御信号と比較されます。

発振器の周波数は、タイミング部品 R_T と C_T の選択によってプログラムされます。発振器は、外付けのタイミング・コンデンサ C_T を定電流で充電します。その値は、外付けのタイミング抵抗 R_T によって決定されます。これにより、線形ランプ電

Copyright © 2022 Texas Instruments Incorporated

圧波形が生成されます。C_T の両端の電圧が 3V に達すると、発振器の回路が放電し、充電サイクルが再開されます。充電電流は、次の式で決定されます。

$$I_{CHARGE} = \frac{3\,V}{R_T} \tag{1}$$

のこぎり波の周期は次のとおりです。

$$T = \frac{3\,V \times C_T}{I_{CHARGE}} \tag{2}$$

発振器の周波数は次のとおりです。

$$f_{OSC} = \frac{1}{R_T \times C_T} \tag{3}$$

ただし、発振器の周波数は、シングルエンド・アプリケーションの場合のみ出力周波数と等しくなります。プッシュプル・アプリケーションの場合、出力周波数は発振器の周波数の半分です。

シングルエンド・アプリケーション

$$f = \frac{1}{R_T \times C_T} \tag{4}$$

プッシュプル・アプリケーション

$$f = \frac{1}{2R_T \times C_T} \tag{5}$$

9.3.3 デッドタイム制御

デッドタイム制御入力により、最小デッドタイム (オフ時間) を制御できます。入力電圧が発振器のランプ電圧よりも高い場合、コンパレータの出力によってスイッチング・トランジスタ Q1 および Q2 が抑制されます。110mV の内部オフセットにより、デッドタイム制御入力が接地された状態で、最小デッドタイムは約 3% になります。デッドタイム制御入力に電圧を印加すると、追加のデッドタイムが発生する可能性があります。これにより、入力電圧が 0V から 3.3V まで変化することで、デッドタイムを最小値の 3% から 100% まで線形制御できます。フルレンジ制御を使用すると、エラー・アンプを停止せず、外部のソースから出力を制御できます。デッドタイム制御入力は比較的高インピーダンスの入力 (I_I < 10μA) で、出力デューティ・サイクルの追加制御が必要な場合に使用します。ただし、適切な制御を行うには、入力を終端する必要があります。開回路は未定義の状態です。

9.3.4 コンパレータ

コンパレータは、5V のリファレンス・レギュレータからバイアスされます。これにより入力電源から絶縁され、安定性が向上します。コンパレータの入力にはヒステリシスがないため、スレッショルド付近の誤トリガに対する保護が必要です。コンパレータの、いずれかの制御信号入力から出力トランジスタまでの応答時間は 400ns で、オーバードライブはわずか 100mV です。これにより、推奨される 300kHz の範囲内での動作について、出力を半サイクル以内に確実に制御できます。

9.3.5 パルス幅変調 (PWM)

コンパレータは、出力パルス幅の変調制御も行います。このために、タイミング・コンデンサ C_T の両端間のランプ電圧が、エラー・アンプの出力に存在する制御信号と比較されます。タイミング・コンデンサの入力には、制御信号入力から省略された直列のダイオードが組み込まれています。出力ロジックを抑制し、制御電圧を真のグランド電位にシンクする必要なしに、最大デューティ・サイクルでの動作を保証するには、制御信号 (エラー・アンプの出力) が C_T の両端の電圧よりも約 0.7V 高い必要があります。出力パルス幅は、エラー・アンプの出力電圧が 0.5V～3.5V の範囲で変化することによって、周期の 97% から 0 まで変化します。

9.3.6 エラー・アンプ

両方の高ゲイン・エラー・アンプは、V_I 電源レールからバイアスを受け取ります。これにより、V_I よりも -0.3V～2V 低い同相入力電圧範囲が許容されます。どちらのアンプもシングルエンド、単一電源アンプの特性で動作し、出力はアクティブ High のみです。これにより、出力パルス幅の要求が減少するように各アンプを独立してプルアップできます。両方の出力が PWM コンパレータの反転入力ノードで OR 接続されているため、アンプは最小パルス出力優勢を要求します。アンプの出力は電流シンクによって Low にバイアスされ、両方のアンプがバイアス・オフになったときに最大のパルス幅を出力します。

9.3.7 出力制御入力

出力制御入力は、出力トランジスタが並列とプッシュプルのどちらで動作するかを決定します。この入力は、パルス・ステアリング・フリップ・フロップの電源です。出力制御入力は非同期で、発振器やパルス・ステアリング・フリップ・フロップに関係なく、出力を直接制御できます。入力条件は、アプリケーションによって定義される固定条件であることを意図しています。並列動作の場合、出力制御入力は接地する必要があります。これにより、パルス・ステアリング・フリップ・フロップがディセーブルされ、出力が抑制されます。このモードでは、デッドタイム制御 / PWM コンパレータの出力に見られるパルスが、両方の出力トランジスタによって並列に送信されます。プッシュプル動作の場合、出力制御入力を内部の 5V リファレンス・レギュレータに接続する必要があります。この状況では、それぞれの出力トランジスタがパルス・ステアリング・フリップ・フロップによって交互にイネーブルになります。

9.3.8 出力トランジスタ

TL494 には 2 つの出力トランジスタが搭載されています。両方のトランジスタとも、オープン・コレクタ / オープン・エミッタとして構成されており、それぞれに最大 200mA のシンクまたはソース能力があります。トランジスタの飽和電圧は、一般的なエミッタ構成では 1.3V 未満、エミッタフォロワ構成では 2.5V 未満です。出力は、損傷を防止するために過剰な消費電力から保護されていますが、電流ソース出力として動作できるよう十分な電流制限は採用されていません。

9.4 デバイスの機能モード

OUTPUT CTRL ピンをグランドに接続すると、TL494 はシングルエンドまたはパラレル・モードで動作します。OUTPUT CTRL ピンを V_{REF} に接続すると、TL494 は通常のプッシュプルで動作します。

Copyright © 2022 Texas Instruments Incorporated

10 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

10.1 アプリケーション情報

次の設計例では、TL494 を使用して 5V/10A の電源を作成します。このアプリケーションは、アプリケーション・ノート SLVA001 から抜き出したものです。

10.2 代表的なアプリケーション

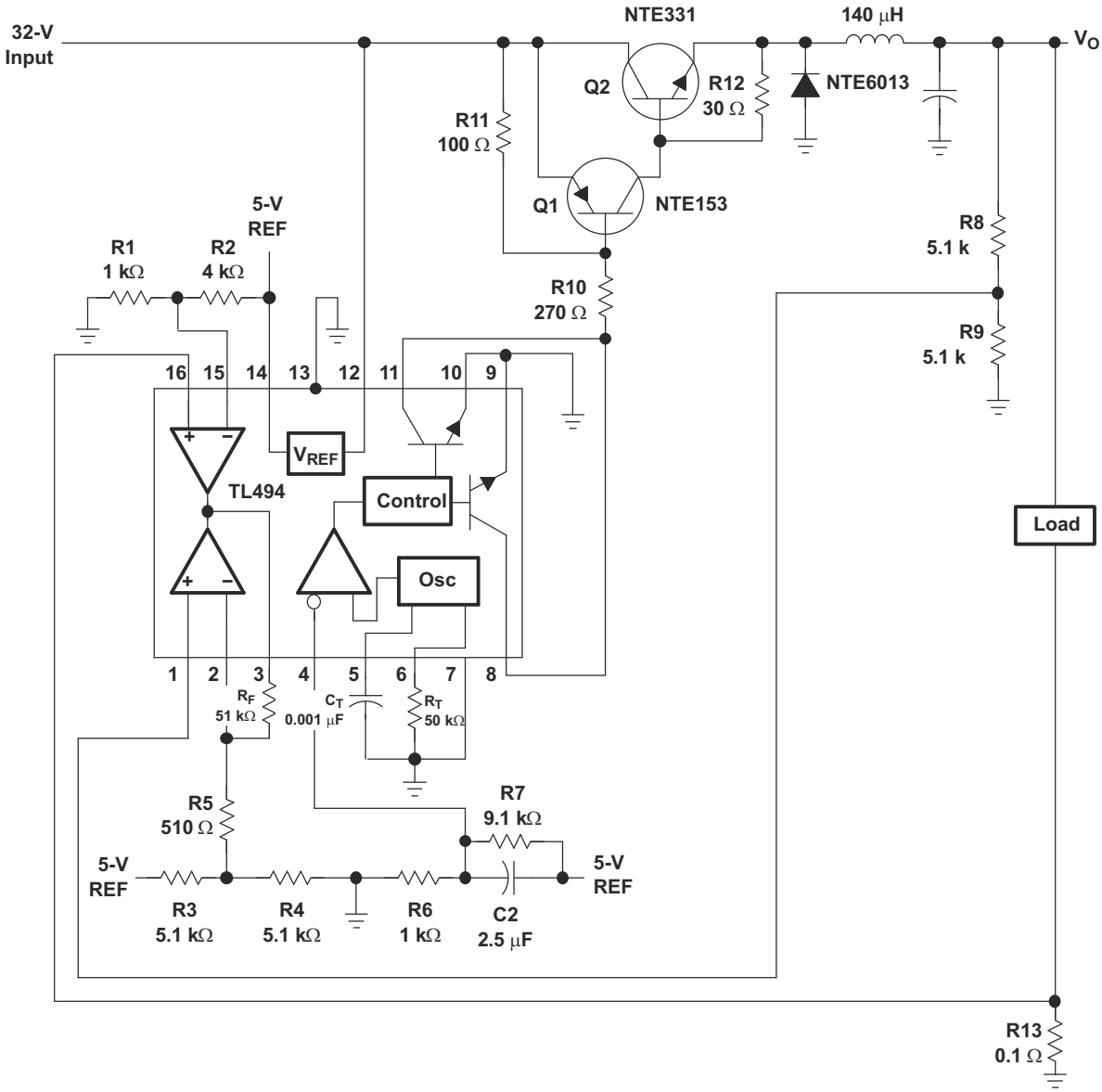


図 10-1. スイッチングと制御のセクション

10.2.1 設計要件

- V_I = 32V
- V_O = 5V
- I_O = 10A
- f_{OSC} = 20kHz のスイッチング周波数
- V_R = 20mV ピーク・ツー・ピーク (V_{RIPPLE})
- ΔI_L = 1.5A のインダクタ電流変化

10.2.2 詳細な設計手順

10.2.2.1 入力電源

この電源の 32V DC 電源は、定格 75VA の 120V 入力、24V 出力のトランスを使用します。24V の 2 次側巻線は、全波ブリッジ整流器に電力を供給し、その後に電流制限抵抗 (0.3Ω) と 2 つのフィルタ・コンデンサが続きます (図 10-2 を参照)。

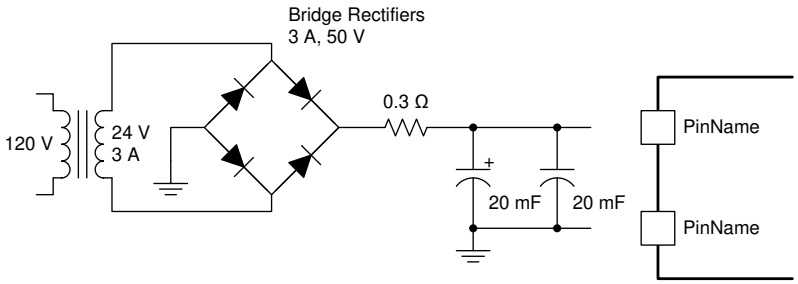


図 10-2. 入力電源

出力の電流と電圧は、式 6 および式 7 によって決定されます。

$$V_{RECTIFIER} = V_{SECONDARY} \times \sqrt{2} = 24\,V \times \sqrt{2} = 34\,V \tag{6}$$

$$I_{RECTIFIER(AVG)} \approx \frac{V_O}{V_I} \times I_O \approx \frac{5\,V}{32\,V} \times 10\,A = 1.6\,A \tag{7}$$

3A/50V の全波ブリッジ整流器は、これらの計算された条件を満たします。スイッチングと制御のセクションを、図 10-1 に示します。

10.2.2.2 制御回路

10.2.2.2.1 発振器

外付けのコンデンサと抵抗をピン 5 および 6 に接続すると、TL494 発振器の周波数が制御されます。発振器は、式 8 および式 9 で計算される部品の値を使用し、20kHz で動作するように設定されます。

$$f_{OSC} = \frac{1}{R_T \times C_T} \tag{8}$$

C_T = 0.001μF を選択し、R_T を計算します。

$$R_T = \frac{1}{f_{OSC} \times C_T} = \frac{1}{(20 \times 10^3) \times (0.001 \times 10^{-6})} = 50\ k\Omega \tag{9}$$

10.2.2.2.2 エラー・アンプ

エラー・アンプは、5V 出力のサンプルをリファレンス電圧と比較し、PWM を調整して一定の出力電流を維持します (図 10-3 を参照)。

Copyright © 2022 Texas Instruments Incorporated

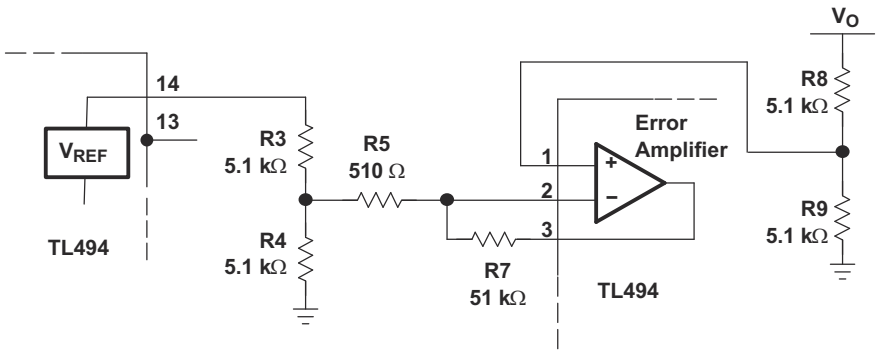


図 10-3. エラー・アンプ・セクション

TL494 内部の 5V のリファレンス電圧は、R3 と R4 によって 2.5V に分割されます。出力電圧の誤差信号も、R8 と R9 によって 2.5V に分割されます。出力を正確に 5.0V にレギュレートする必要がある場合は、R8 の代わりに 10kΩ のポテンショメータを使用して調整を行うことができます。

エラー・アンプ回路の安定性を高めるため、エラー・アンプの出力は R_T 経由で反転入力にフィードバックされ、ゲインは 101 に減少します。

10.2.2.2.3 電流制限アンプ

この電源は 10A の負荷電流と 1.5A の I_L スイングを想定して設計されているため、短絡電流は次のようになります。

$$I_{SC} = I_O + \frac{I_L}{2} = 10.75\,A \tag{10}$$

電流制限回路を、図 10-4 に示します。

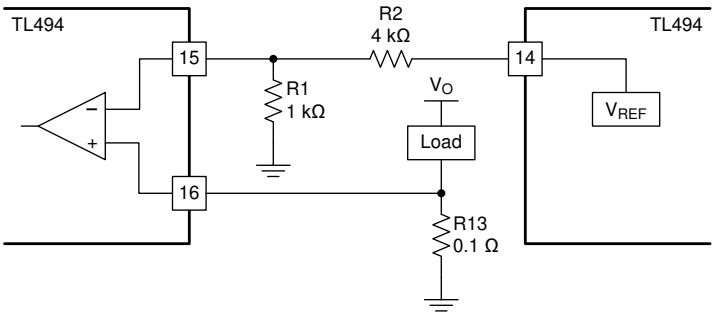


図 10-4. 電流制限回路

抵抗 R1 および R2 は、電流制限アンプの反転入力に約 1V の基準電圧を設定します。抵抗 R13 は、負荷電流が 10A に達したとき、電流制限アンプの非反転端子に、負荷と直列に 1V を印加します。出力パルス幅はこれに対応して縮小されます。R13 の値は、式 11 で計算されます。

$$R13 = \frac{1V}{10\,A} = 0.1\Omega \tag{11}$$

10.2.2.2.4 ソフトスタートとデッドタイム

スタートアップ時のスイッチング・トランジスタのストレスを低減するには、出力フィルタ・コンデンサの充電に伴って発生するスタートアップ・サージを減らす必要があります。デッドタイム制御が利用できるため、ソフトスタート回路の実装は比較的簡単です (図 10-5 を参照)。

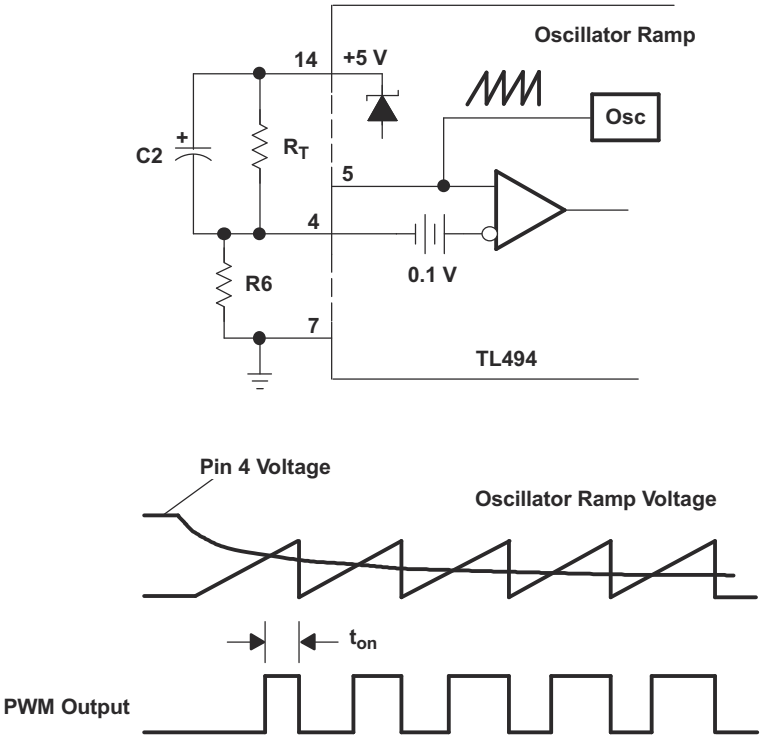


図 10-5. ソフトスタート回路

ソフトスタート回路により、デッドタイム制御入力 (ピン 4) に負の勾配波形を適用することで、出力のパルス幅をゆっくりと増やすことができます (図 10-5 を参照)。

最初は、コンデンサ C2 によってデッドタイム制御入力が 5V レギュレータに追従するように強制され、これにより出力がディセーブルされます (100% のデッドタイム)。コンデンサが R6 経由で充電されると、制御ループが制御するまで、出力のパルス幅はゆっくりと増加します。R6 と R7 の抵抗値の比が 1:10 の場合、スタートアップ後のピン 4 の電圧は 0.1 × 5V、すなわち 0.5V です。

ソフトスタート時間は一般に、25～100 クロック・サイクルの範囲です。20kHz のスイッチング・レートで 50 クロック・サイクルを選択した場合、ソフトスタート時間は次のようになります。

$$t = \frac{1}{f} = \frac{1}{20\,\text{kHz}} = 50\,\mu\text{s per clock cycle} \tag{12}$$

コンデンサの値は次の式で求められます。

$$C2 = \frac{\text{soft} - \text{start time}}{R6} = \frac{50\,\mu\text{s} \times 50\,\text{cycles}}{1\,\text{k}\Omega} = 2.5\,\mu\text{F} \tag{13}$$

これにより、電力が印加されるときに制御回路によって発生する可能性のある誤信号を除去できます。

Copyright © 2022 Texas Instruments Incorporated

10.2.2.3 インダクタの計算

使用するスイッチング回路を、図 39 に示します。

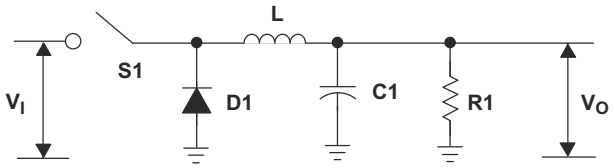


図 10-6. スイッチング回路

必要なインダクタ (L) のサイズは次のとおりです。

d = デューティ・サイクル = V_O/V_I = 5V/32V = 0.156

f = 20kHz (設計目標)

t_{on} = オン時間 (S1 閉) = (1/f) × d = 7.8µs

t_{off} = オフ時間 (S1 開) = (1/f) - ton = 42.2µs

L ≠ $(V_I - V_O) \times t_{ON}/\Delta I_L$

≠ [(32V - 5V) × 7.8µs]/1.5A

≠ 140.4µH

10.2.2.4 出力容量の計算

フィルタ・インダクタを計算してから、出力リップル要件を満たすように出力フィルタ・コンデンサの値を計算します。電解コンデンサは、インダクタンス、抵抗、容量を直列に接続したものとしてモデル化できます。適切なフィルタ処理を実現するには、リップル周波数が、直列インダクタンスが重要になる周波数よりはるかに低い必要があります。したがって、ここで考慮する成分は静電容量と等価直列抵抗 (ESR) の 2 つです。最大 ESR は、指定されたピーク・ツー・ピーク・リップル電圧とピーク・ツー・ピーク・リップル電流との関係に基づいて計算されます。

$$ESR(max) = \frac{\Delta V_{O(ripple)}}{\Delta I_L} = \frac{V}{1.5\,A} \approx 0.067\,\Omega \tag{14}$$

V_O リップル電圧を設計目標の 100mV 未満に持するため必要な最小容量 C3 は、式 15 に従って式で計算されます。

$$C3 = \frac{\Delta I_L}{8f\,\Delta V_O} = \frac{1.5\,A}{8 \times 20 \times 10^3 \times 0.1\,V} = 94\,\mu F \tag{15}$$

最大 ESR が 0.074Ω、最大リップル電流が 2.8A なので、220mF、60V のコンデンサを選択します。

10.2.2.5 トランジスタ・パワー・スイッチの計算

トランジスタ・パワー・スイッチには、NTE153 PNP ドライブ・トランジスタと NTE331 NPN 出力トランジスタが含まれています。これら 2 つのパワー・デバイスは、PNP ハイブリッド・ダーリントン回路構成で接続されています (図 10-7 を参照)。

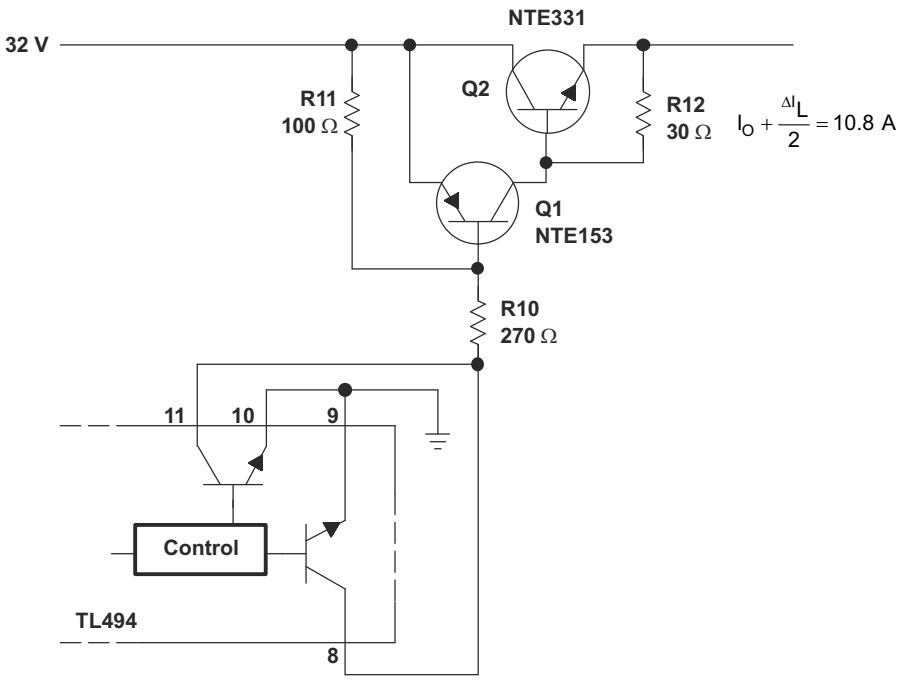


図 10-7. パワー・スイッチ・セクション

ハイブリッド・ダーリントン回路は、最大出力電流 $I_O + \Delta I_L/2$、すなわち 10.8A で飽和させる必要があります。10.8A におけるダーリントンの h_{FE} は、TL494 の最大出力コレクタ電流 250mA を超えないよう、十分に高くする必要があります。公開されている NTE153 と NTE331 の仕様に基づき、必要なパワー・スイッチの最小駆動を式 16 から式 18 までで計算すると、144mA になります。

$$h_{FE}(Q1) \text{ at } I_C \text{ of } 3\,A = 15 \tag{16}$$

$$h_{FE}(Q2) \text{ at } I_C \text{ of } 10.0\,A = 5 \tag{17}$$

$$i_B \geq \frac{I_O + \frac{I_L}{2}}{h_{FE}(Q2) \times h_{FE}(Q1)} \geq 144\,mA \tag{18}$$

R10 の値は、次の式で計算されます。

$$R10 \leq \frac{V_I - \left[V_{BE}(Q1) + V_{CE}(TL494)\right]}{i_B} = \frac{32 - (1.5 + 0.7)}{0.144}$$

$$R10 \leq 207\,\Omega \tag{19}$$

これらの計算に基づき、R10 には最も近い標準抵抗値である 220Ω が選択されています。抵抗 R11 および R12 により、スイッチング・トランジスタがオフになっているときにスイッチング・トランジスタのキャリアを放電できます。

ここで説明している電源は、TL494 の PWM 制御回路の柔軟性を示すものです。この電源設計は、TL494 で使用できる多くの電源制御方式と、制御回路の汎用性を示しています。

Copyright © 2022 Texas Instruments Incorporated

10.2.3 出力特性のアプリケーション曲線

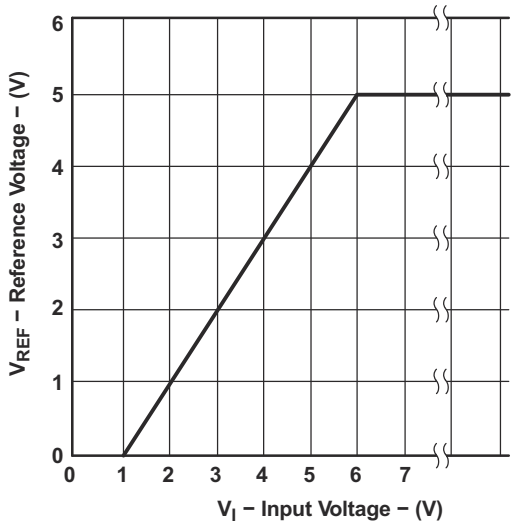


図 10-8. リファレンス電圧と入力電圧との関係

11 電源に関する推奨事項

TL494 は、7V～40V の入力電源電圧範囲で動作するよう設計されています。この入力電源には適切なレギュレーションが行われる必要があります。入力電源がデバイスから数インチ以上離れている場合、セラミック・バイパス・コンデンサに加えてバルク容量の追加が必要になることがあります。一般的には 47μF のタンタル・コンデンサを選択しますが、供給される出力電力によって異なる場合があります。

12 レイアウト

12.1 レイアウトのガイドライン

必ず、フェライト・タイプの閉コアを持つ、低 EMI のインダクタを使用してください。例として、トロイドやケース入り E コア・インダクタがあります。オープン・コアは、EMI 特性が低く、低消費電力の配線や部品から少し離れた場所に配置される場合に使用できます。オープン・コアを使用する場合は、極を PCB に対して垂直にします。スティック・コアは通常、最も望ましくないノイズを発生させます。

12.1.1 フィードバック配線

フィードバック配線は、インダクタやノイズの多い電源の配線とできるだけ離すようにします。また、フィードバック配線はできるだけ直接的に、多少太くすることを検討してください。これら 2 つはトレードオフになることもありますが、どちらかを選ぶ必要があるときは、インダクタの EMI や他のノイズ源から遠ざけることのほうが重要です。可能なら、PCB 上でインダクタと反対側の面にフィードバック配線を置き、両方の間がグランド・プレーンで分離されるようにします。

12.1.2 入出力コンデンサ

値の小さいセラミック入力フィルタ・コンデンサを使用する場合は、IC の VCC ピンのできるだけ近くに配置します。これにより、配線のインダクタンスの影響を可能な限り排除し、内部の IC レールにクリーンな電圧電源を供給できます。一部の設計では、普通は安定性のため、出力からフィードバック・ピンにフィードフォワード・コンデンサを接続する必要があります。この場合も、IC のできるだけ近くに配置します。表面実装コンデンサを使用すると、リード長が短くなり、スルーホール部品によって生成される事実上のアンテナにノイズが結び付く可能性が低くなります。

12.1.3 補償部品

安定性を確保するための外付けの補償部品も、IC の近くに配置する必要があります。フィルタ・コンデンサについての説明と同じ理由で、表面実装の部品をお勧めします。これらは、インダクタと接近しすぎないようにします。

12.1.4 配線とグランド・プレーン

- すべての電源 (大電流) 配線はできるだけ短く、直線的で、太くします。標準的な PCB 基板では、配線の絶対最小値をアンペアあたり 15mil (0.381mm) にすることをお勧めします。
- インダクタ、出力コンデンサ、出力ダイオードは、可能な限り互いに近く配置します。これにより、電源配線に大きなスイッチング電流が流れて EMI が放射されることを低減できます。これによってリード・インダクタンスと抵抗も減少するので、電圧誤差を引き起こすノイズ・スパイク、リンギング、抵抗性損失も減少します。
- IC、入力コンデンサ、出力コンデンサ、および出力ダイオード (該当する場合) のグランドは、グランド・プレーンに直接、かつ互いに近接して接続します。PCB の両側にグランド・プレーンを配置することも推奨されます。これにより、グランド・ループの誤差を低減するとともに、インダクタから放射される EMI をより多く吸収し、ノイズを低減できます。
- 2 層より多い多層基板の場合、グランド・プレーンを使用して電源プレーン (電源配線と部品が配置されているプレーン) と信号プレーン (帰還や補償とその部品が配置されているプレーン) を分離し、性能を向上させることができます。
- 多層基板では、配線や異なるプレーンを接続するためにビアを使用する必要があります。
- 配線で 1 つのプレーンから別のプレーンに大量の電流を送る必要がある場合は、200mA の電流ごとに 1 つの標準ビアを使用することをお勧めします。
- スイッチング電流ループが同じ方向に流れるように部品を配置します。スイッチング・レギュレータの動作方法により、2 つの電力状態があります。1 つはスイッチがオンのとき、もう 1 つはスイッチがオフのときです。いずれの状態でも、現在導通している電源部品によって電流ループが形成されます。2 つの状態のそれぞれで、電流ループが同じ方向に導通するように、電源部品を配置します。これにより、2 つの半サイクル間の配線による磁界の反転を防止し、放射 EMI を低減できます。

Copyright © 2022 Texas Instruments Incorporated

12.2 レイアウト例

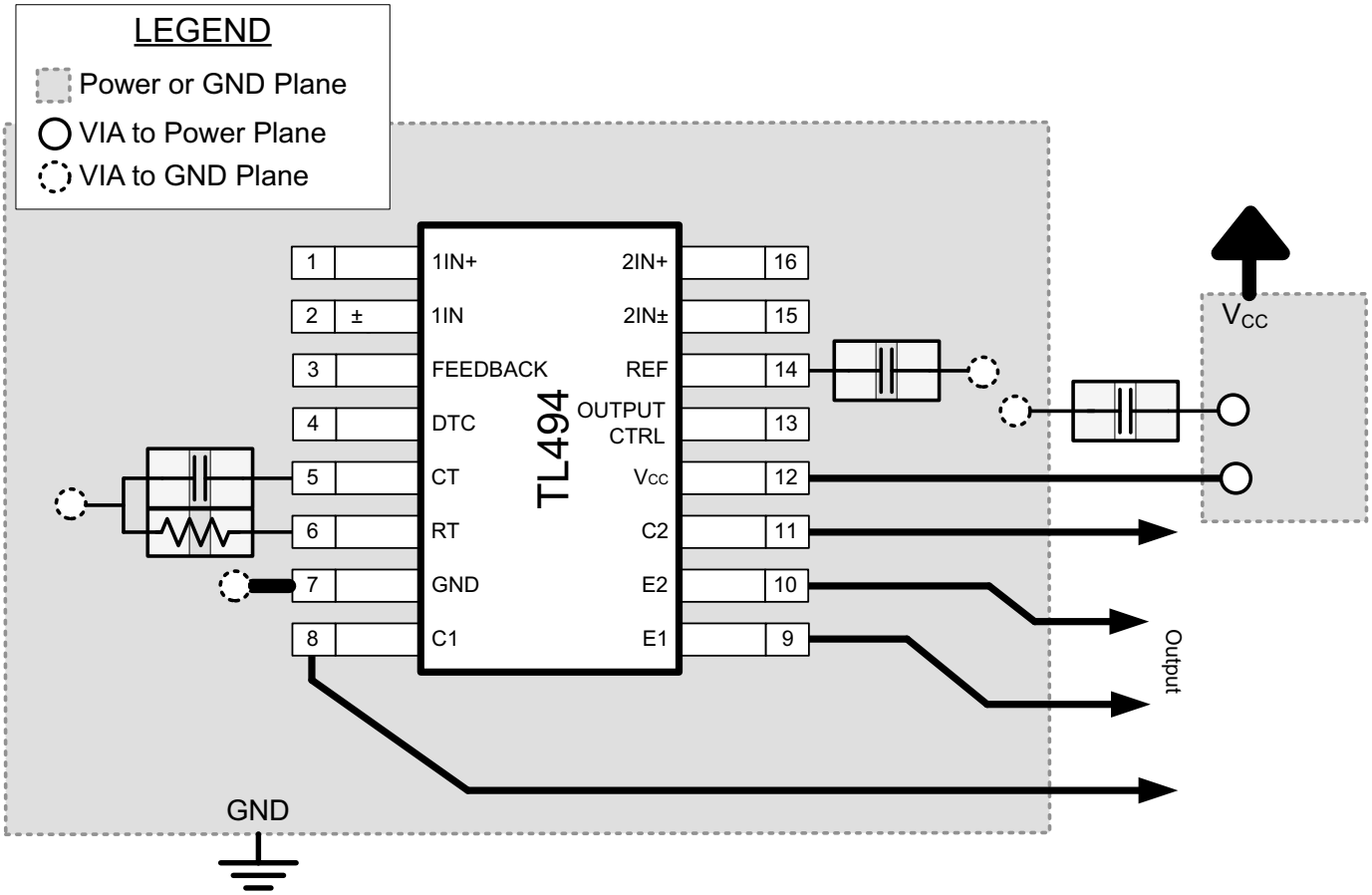


図 12-1. 非反転構成のオペアンプ基板のレイアウト

13 デバイスおよびドキュメントのサポート

13.1 商標

すべての商標は、それぞれの所有者に帰属します。

13.2 Electrostatic Discharge Caution

This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

13.3 Glossary

TI Glossary　　This glossary lists and explains terms, acronyms, and definitions.

14 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。これらの情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TL494CD	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	0 to 70	TL494C
TL494CDR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	0 to 70	TL494C
TL494CDR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL494C
TL494CDRG4	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	0 to 70	TL494C
TL494CN	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL494CN
TL494CN.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL494CN
TL494CNE4	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	TL494CN
TL494CNSR	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL494
TL494CNSR.A	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL494
TL494CNSRG4	Active	Production	SOP (NS) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	TL494
TL494CPW	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	0 to 70	T494
TL494CPWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T494
TL494CPWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	T494
TL494CPWR.B	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	-40 to 85	T494
TL494ID	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-40 to 85	TL494I
TL494IDR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	TL494I
TL494IDR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	TL494I
TL494IDRG4	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-40 to 85	TL494I
TL494IN	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TL494IN
TL494IN.A	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TL494IN
TL494INE4	Active	Production	PDIP (N) | 16	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	TL494IN

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

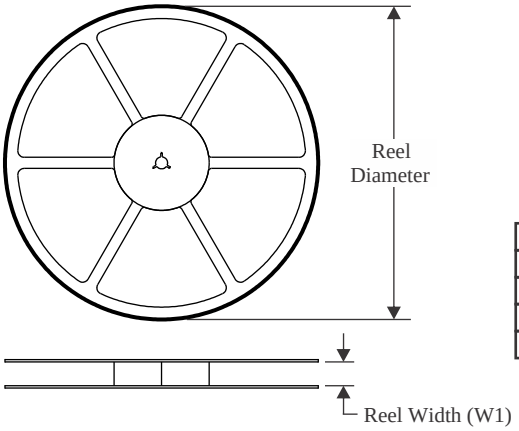
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

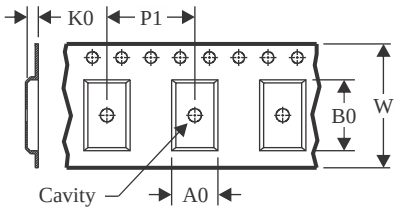
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

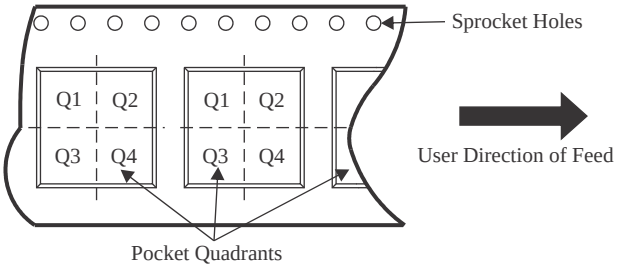


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

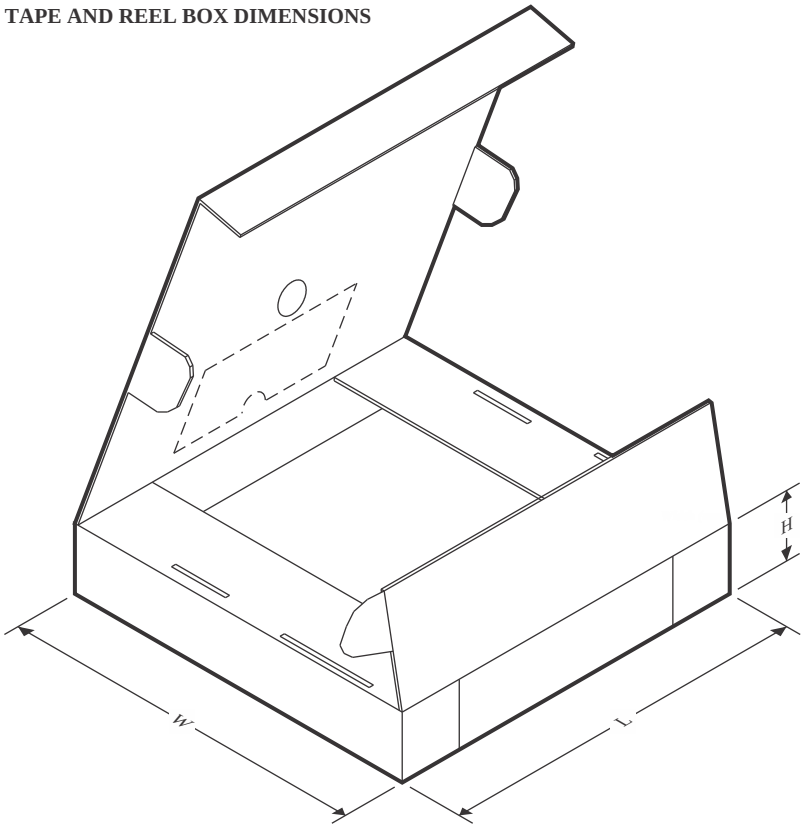
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TL494CDR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
TL494CNSR	SOP	NS	16	2000	330.0	16.4	8.45	10.55	2.5	12.0	16.2	Q1
TL494CPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TL494IDR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

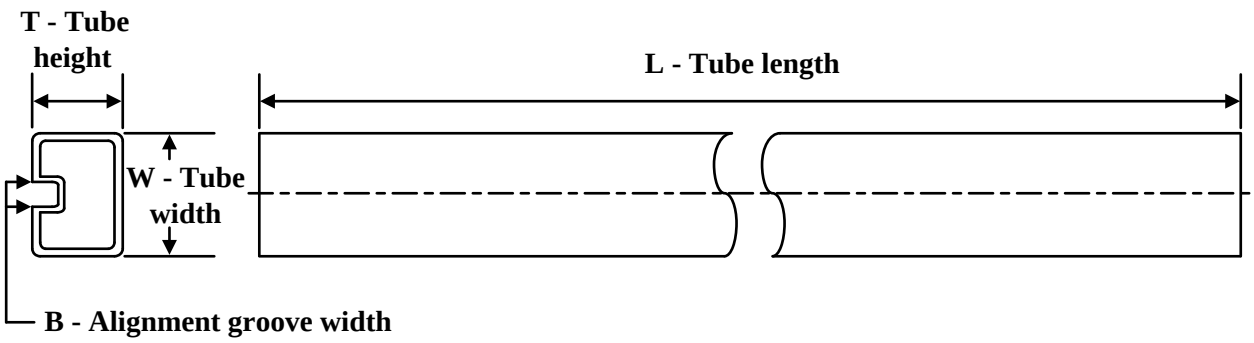
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TL494CDR	SOIC	D	16	2500	353.0	353.0	32.0
TL494CNSR	SOP	NS	16	2000	353.0	353.0	32.0
TL494CPWR	TSSOP	PW	16	2000	353.0	353.0	32.0
TL494IDR	SOIC	D	16	2500	353.0	353.0	32.0

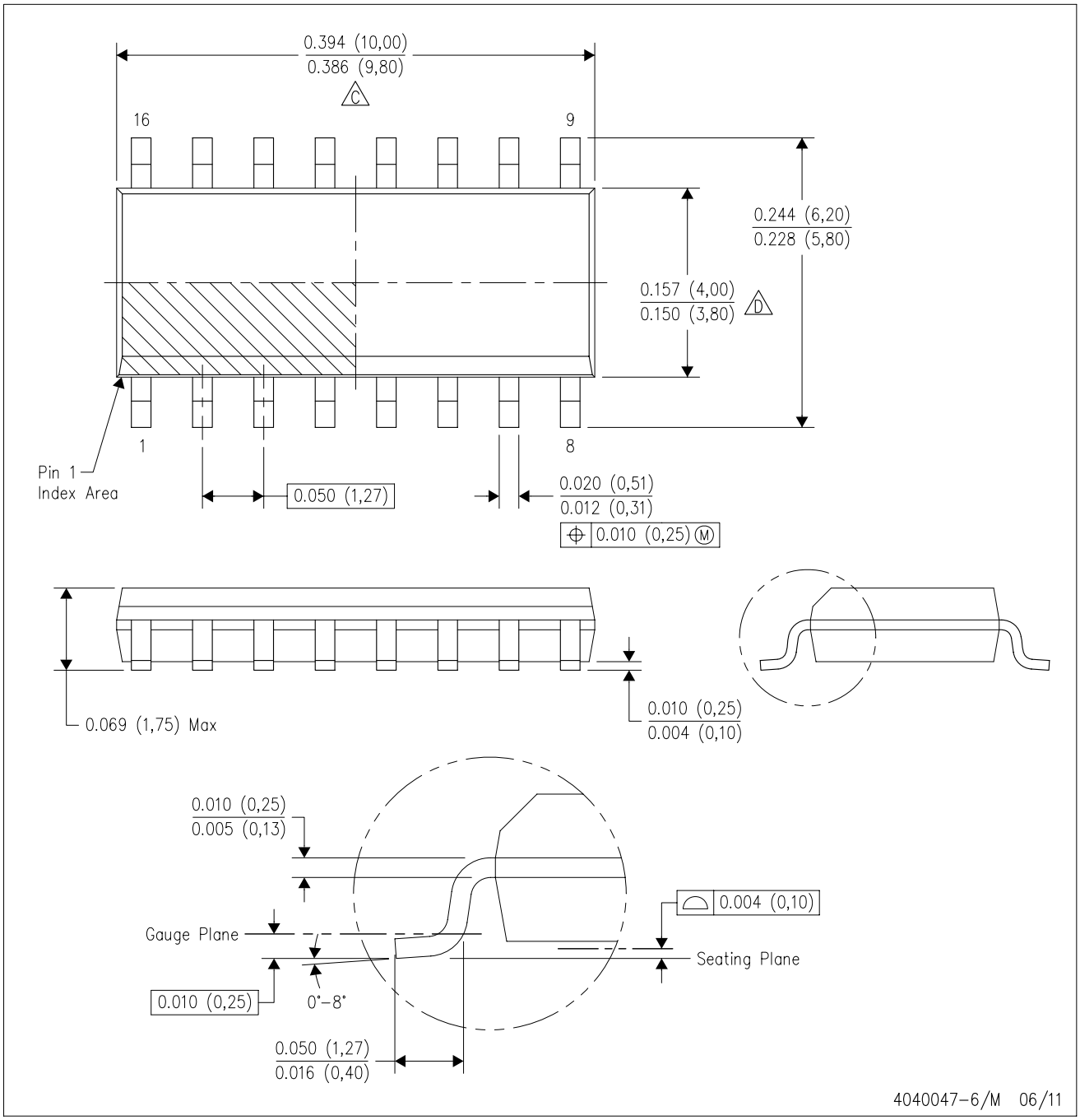
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
TL494CN	N	PDIP	16	25	506	13.97	11230	4.32
TL494CN	N	PDIP	16	25	506	13.97	11230	4.32
TL494CN.A	N	PDIP	16	25	506	13.97	11230	4.32
TL494CN.A	N	PDIP	16	25	506	13.97	11230	4.32
TL494CNE4	N	PDIP	16	25	506	13.97	11230	4.32
TL494CNE4	N	PDIP	16	25	506	13.97	11230	4.32
TL494IN	N	PDIP	16	25	506	13.97	11230	4.32
TL494IN	N	PDIP	16	25	506	13.97	11230	4.32
TL494IN.A	N	PDIP	16	25	506	13.97	11230	4.32
TL494IN.A	N	PDIP	16	25	506	13.97	11230	4.32
TL494INE4	N	PDIP	16	25	506	13.97	11230	4.32
TL494INE4	N	PDIP	16	25	506	13.97	11230	4.32

D (R–PDSO–G16) PLASTIC SMALL OUTLINE

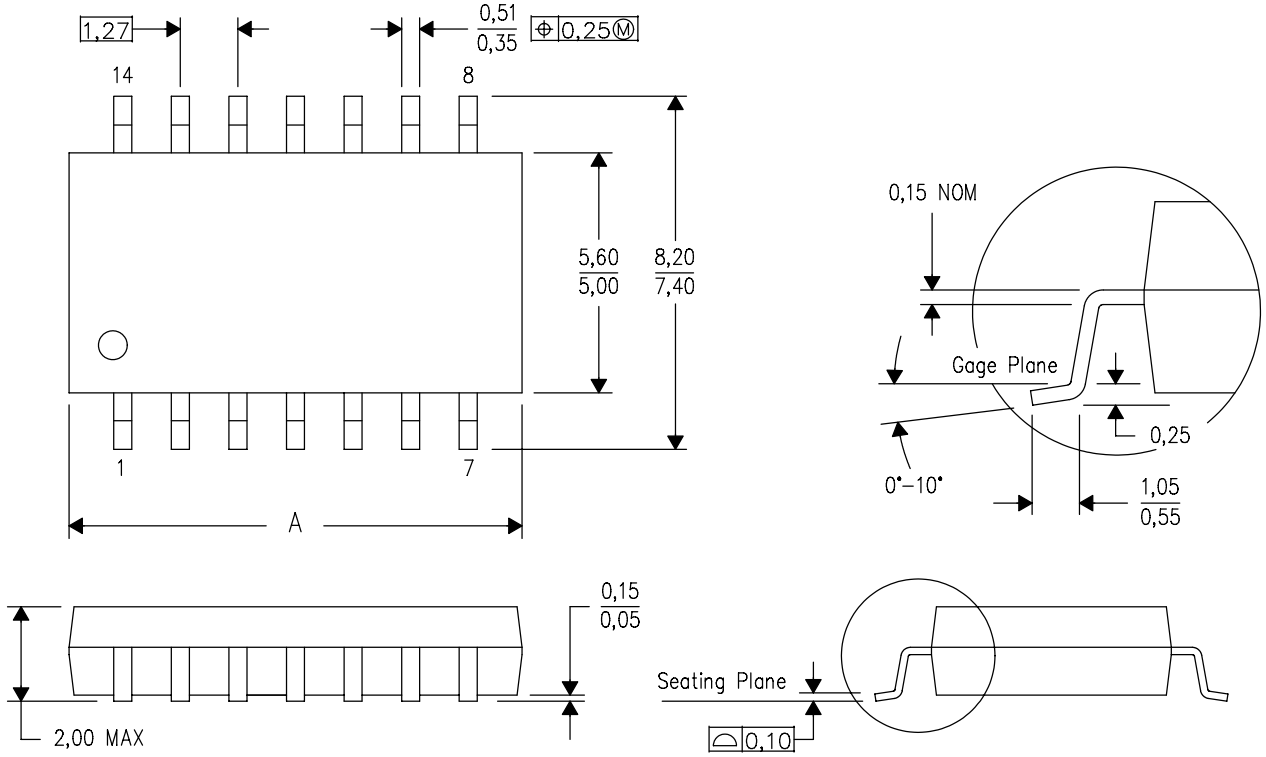


NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

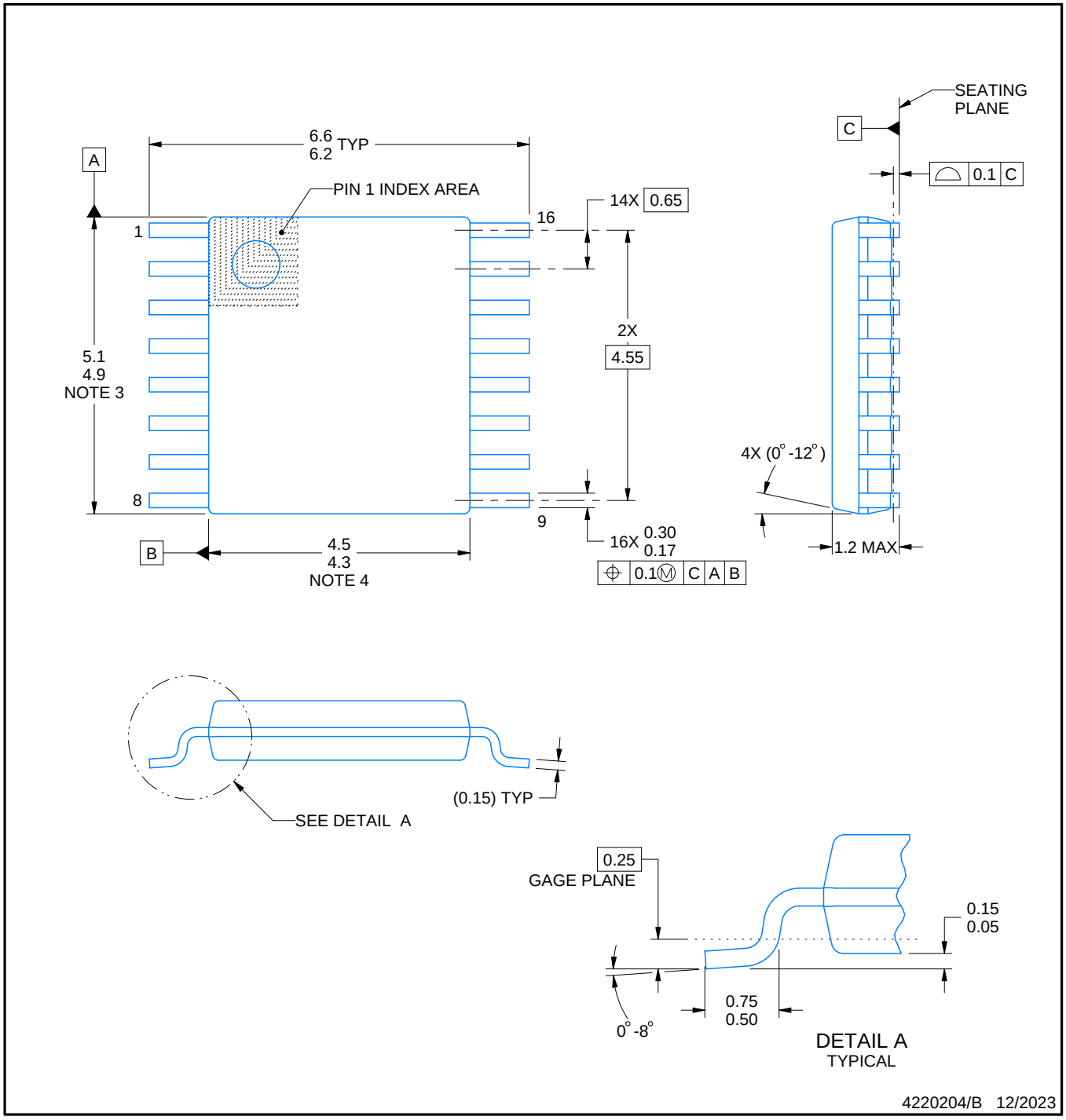
14-PINS SHOWN



DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

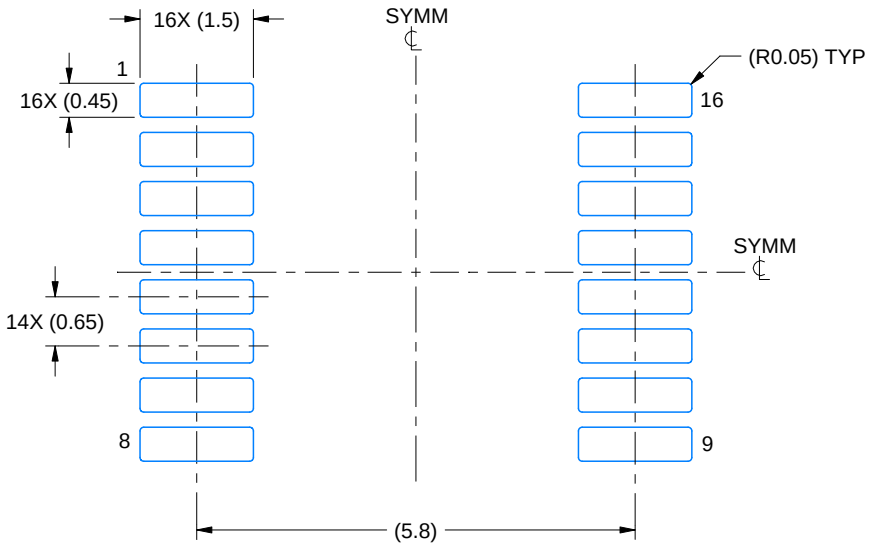
4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

NON-SOLDER MASK DEFINED (PREFERRED)

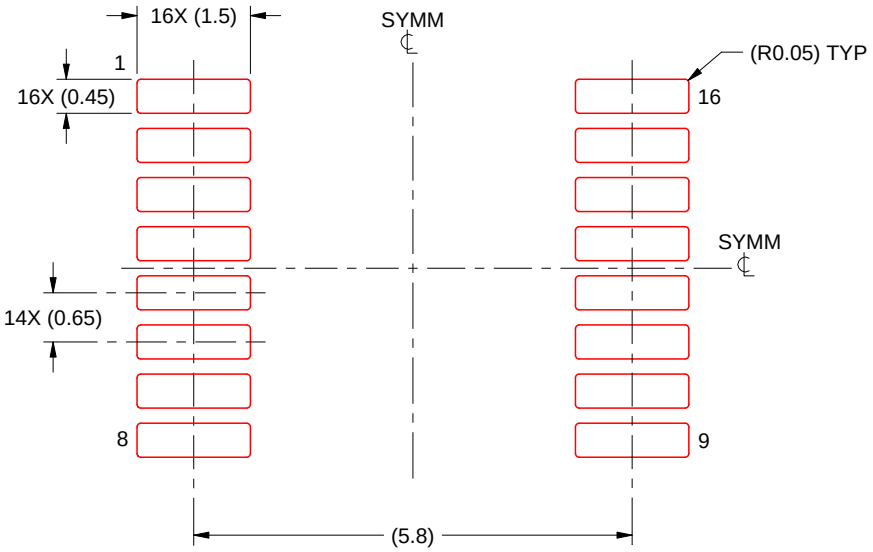
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

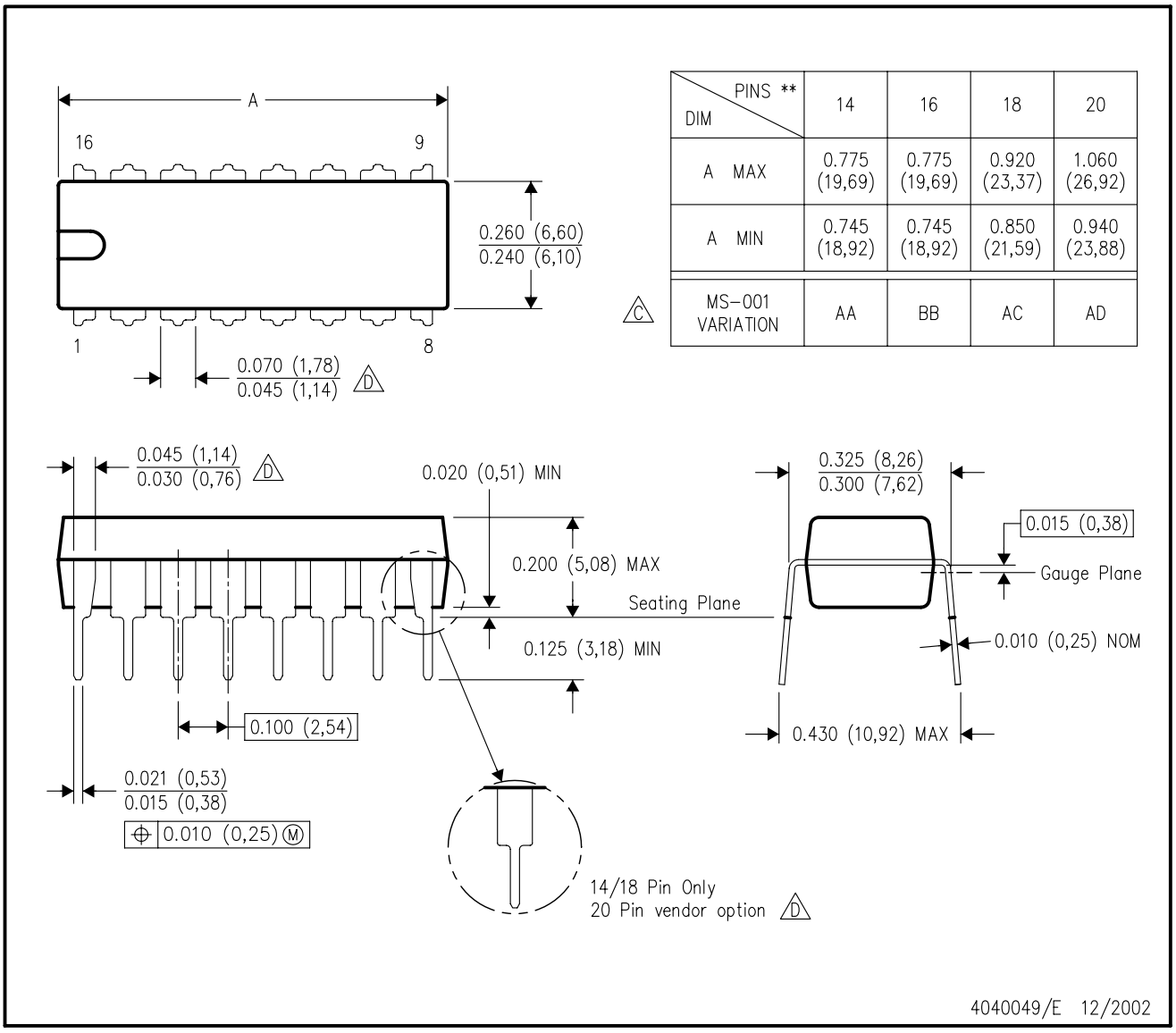
4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

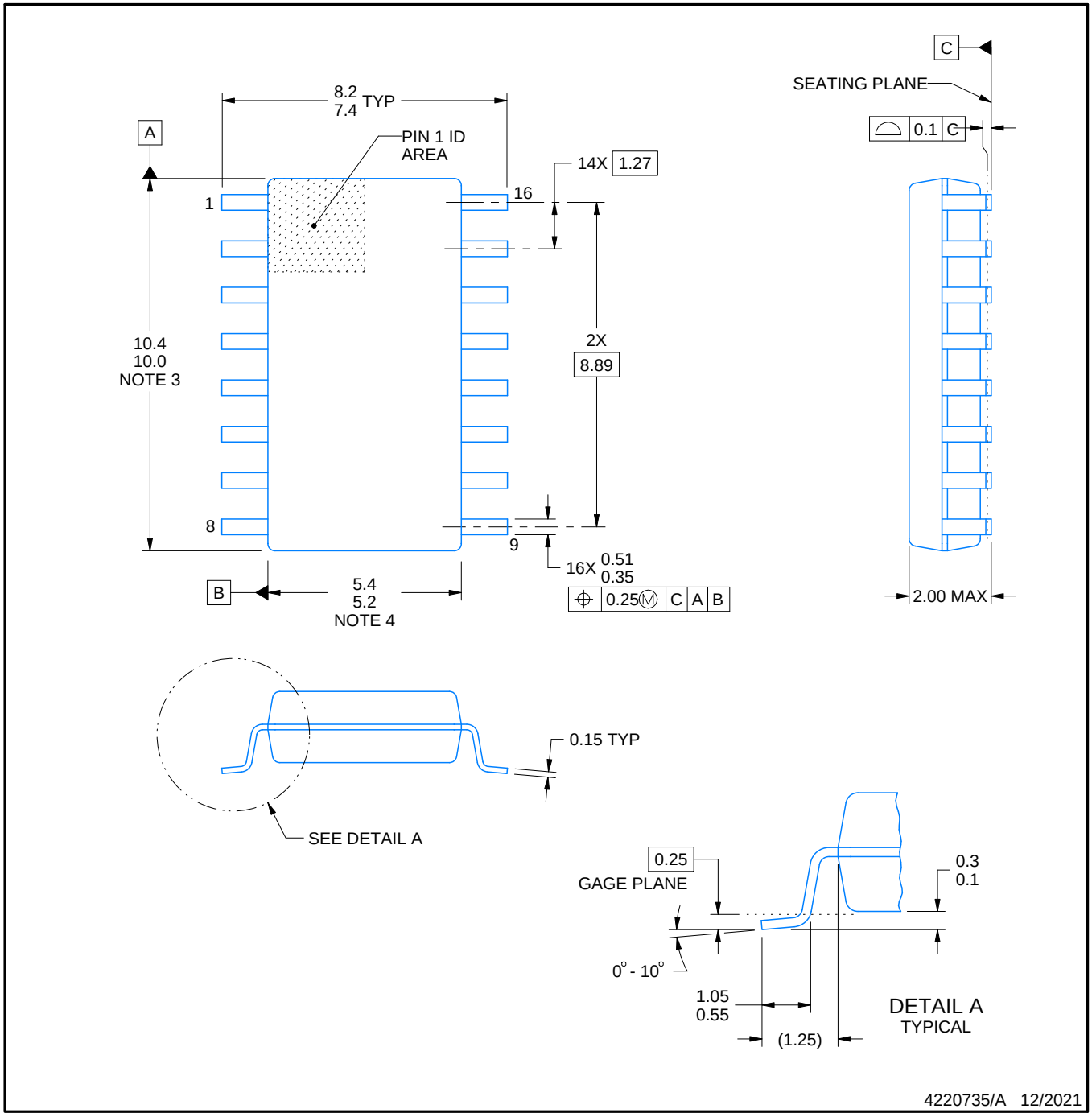
N (R–PDIP–T**) PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



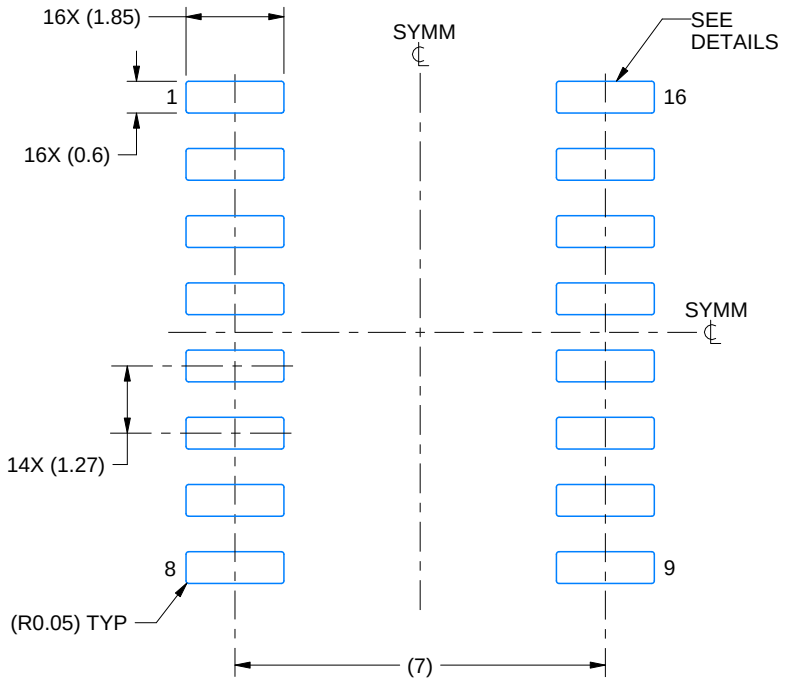
DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

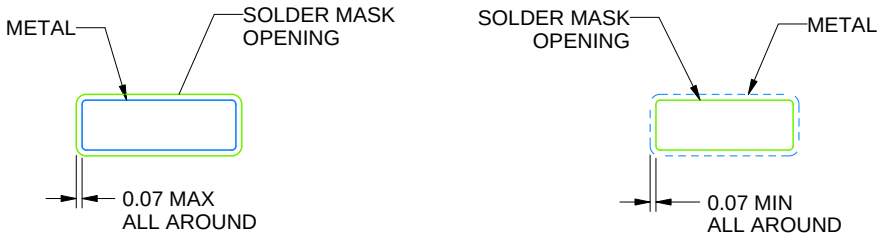


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
SCALE:7X



NON SOLDER MASK DEFINED

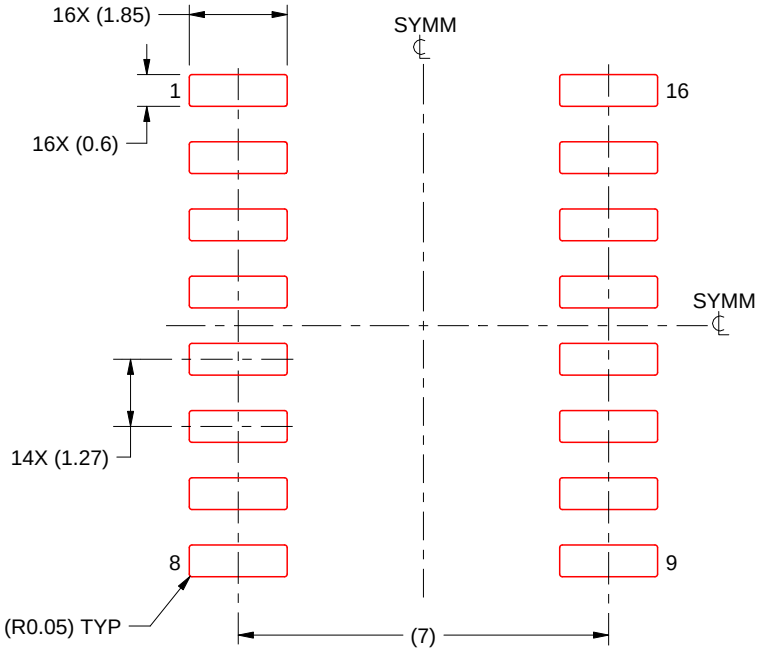
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4220735/A 12/2021

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220735/A 12/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated