THVD1424 3V～5.5V RS-485 トランシーバ、スルー・レート制御、内蔵の 120Ω スイッチ可能終端抵抗、全二重 / 半二重スイッチング機能搭載、

1 特長

- TIA/EIA-485A 規格の要件に適合またはそれを上回る性能
- バス電源電圧:3V～5.5V
- ロジック信号用の 1.65V～5.5V 電源
- 5V 電源で 2.1V を超える差動出力により PROFIBUS に準拠
- ピンで構成可能な半二重と全二重
- ピンで制御されるオンチップ 120Ω 終端抵抗をバス・ピン上に配置
- 最大データ・レートを構成可能
  - SLR = High:500kbps
  - SLR = Low またはフローティング:20Mbps
- バス I/O 保護
  - ±16kV HBM ESD
  - ±8kV IEC 61000-4-2 接触放電
  - ±15kV IEC 61000-4-2 エアギャップ放電
  - ±4kV IEC 61000-4-4 高速過渡バースト
  - ±16V のバス・フォルト保護 (バス・ピンの絶対最大電圧)
- 工業用拡張温度範囲に対応:
  -40℃～125℃
- 低い消費電力
  - シャットダウン時消費電流:5μA 未満
  - 動作中の静止電流:3mA 未満
- グリッチなしの電源オン / オフによるホット・プラグイン機能
- 開放、短絡、アイドル・バスのフェイルセーフ
- 小型で省スペースの 16VQFN (3mm x 3mm) パッケージ

2 アプリケーション

- ファクトリ・オートメーション / 制御
- ビル・オートメーション
- 産業用輸送
- HVAC システム
- スマート・メーター
- ライティング
- グリッド・インフラ

3 概要

THVD1424 は、産業用アプリケーション向けのフレキシブルな RS-485 トランシーバです。このデバイスには、120 Ω のオンチップ終端抵抗、スルーレート制御、半二重モードと全二重モードを切り替え可能などの特長があります。これらの機能はすべてピンで制御されます。これにより、このデバイスは、任意のネットワークの任意のノード位置 (終端ノードまたは中間ノード)、2 線式 (半二重) または 4 線式 (全二重)、低速または高速で使用できます。最終製品の設計者は、さまざまなアプリケーションに対応する共通のプリント基板 (PCB) を設計し、アプリケーションの要件に応じてソフトウェアで構成できます。これにより、設計と認定にかかる時間を大幅に短縮できます。

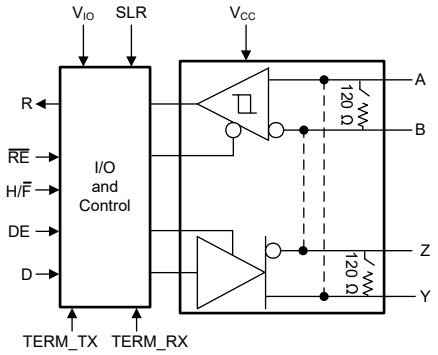
バスのピンは高レベルの IEC 接触放電 ESD への耐性があるため、システム・レベルでの追加保護部品が不要です。このデバイスは 3～5.5V のバス電源で動作し、ロジック電源電圧範囲は 1.65V～5.5V です。同相電圧範囲が広く、バス・ピンの入力リークが小さいため、長いケーブルを使用するマルチポイント・アプリケーションに適しています。

このデバイスは、放熱特性の優れた省スペースの 16 ピン VQFN パッケージで供給されます。周囲温度 –40℃～125℃での動作が規定されています。

パッケージ情報

部品番号	パッケージ(1)	本体サイズ (公称)
THVD1424	VQFN (16)	3mm × 3mm

(1) 完全な部品番号については、このデータシートの末尾にある注文情報を参照してください。



概略回路図

英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長.... 1
2 アプリケーション.... 1
3 概要.... 1
4 改訂履歴.... 2
5 ピン構成および機能.... 3
6 仕様.... 4
6.1 絶対最大定格.... 4
6.2 ESD 定格.... 4
6.3 ESD 定格 [IEC].... 4
6.4 推奨動作条件.... 5
6.5 熱に関する情報.... 5
6.6 消費電力.... 5
6.7 電気的特性.... 6
6.8 スイッチング特性_500kbps.... 8
6.9 スイッチング特性_20Mbps.... 8
6.10 スイッチング特性_終端抵抗.... 9
6.11 スイッチング特性_全二重 / 半二重スイッチング.... 9
6.12 代表的な特性.... 10
7 パラメータ測定情報.... 12
8 詳細説明.... 15
8.1 概要.... 15
8.2 機能ブロック図.... 15
8.3 機能説明.... 15
8.4 デバイスの機能モード.... 15
9 アプリケーション情報に関する免責事項.... 19
9.1 アプリケーション情報.... 19
9.2 代表的なアプリケーション.... 19
9.3 電源に関する推奨事項.... 26
9.4 レイアウト.... 26
10 デバイスおよびドキュメントのサポート.... 28
10.1 デバイスのサポート.... 28
10.2 ドキュメントの更新通知を受け取る方法.... 28
10.3 サポート・リソース.... 28
10.4 商標.... 28
10.5 静電気放電に関する注意事項.... 28
10.6 用語集.... 28
11 メカニカル、パッケージ、および注文情報.... 28

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (September 2022) to Revision A (March 2023)	Page
• 図 9-2 を変更	19

Copyright © 2023 Texas Instruments Incorporated

5 ピン構成および機能

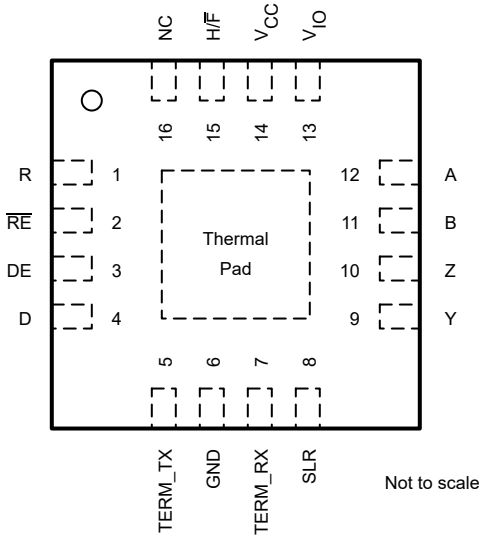


図 5-1. VQFN (RGT) パッケージ、16 ピン (上面図)

表 5-1. ピン機能

ピン		種類	説明
名称	番号		
R	1	デジタル出力	ロジック出力 RS485 データ
RĒ	2	デジタル入力	レシーバのイネーブル / ディセーブル。内部プルアップ。レシーバはデフォルトで無効になっています
DE	3	デジタル入力	ドライバのイネーブル / ディセーブル。内部プルダウン。ドライバはデフォルトで無効になっています
D	4	デジタル入力	ロジック入力 RS485 データ。内部プルアップ。ドライバがイネーブルの場合、デフォルトでバスを HIGH に駆動します
TERM_TX	5	デジタル入力	Y/Z ピンに対する 120Ω オンチップ終端制御。内部プルダウン。Y/Z 間の終端はデフォルトで無効になっています
GND	6	GND	グランド
TERM_RX	7	デジタル入力	A/B ピンに対する 120Ω オンチップ終端制御。内部プルダウン。A/B 間の終端はデフォルトで無効になっています
SLR	8	デジタル入力	スルーレート制御。内部プルダウン、デフォルト 20Mbps 動作。ロジック High SLR により低速 (500kbps) を実現
Y	9	バス入力 / 出力	RS485 バス・ピン。全二重では、このピンは非反転ドライバ出力です。半二重では、これは非反転ドライバ出力と非反転レシーバ入力です
Z	10	バス入力 / 出力	RS485 バス・ピン。全二重では、このピンは反転ドライバ出力です。半二重では、これは反転ドライバ出力と反転レシーバ入力です
B	11	バス入力	全二重モードでの RS485 レシーバ反転入力ピン
A	12	バス入力	全二重モードでの RS485 レシーバ非反転入力ピン
V_{IO}	13	電源	1.65～5.5V ロジック電源電圧
V_{CC}	14	電源	3～5.5V の電源電圧
H/F̄	15	デジタル入力	半二重から全二重への制御。内部プルダウンにより、全二重がデフォルトで Y/Z はドライバ出力、A/B はレシーバ入力ピンとなります
NC	16	無接続	内部未接続
放熱パッド		--	熱特性と電気的性能を最適化するために、GND に接続します

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)[(1) (2)]

		最小値	最大値	単位
バス電源電圧	V_{CC}	-0.5	7	V
ロジック電源電圧	V_{IO}	-0.5	V_{CC} + 0.2	V
バス電圧	GND を基準とする任意のバス・ピン (Y、Z、A、または B) の電圧	-16	16	V
差動バス電圧	終端がイネーブルの場合、(Y-Z) または (Z-Y)、(A-B) または (B-A)	-6	6	V
入力電圧	任意のロジック・ピン (D、DE、SLR、TERM_TX、TERM_RX、H/$\overline{F}$ または $\overline{RE}$) の範囲	-0.3	V_{IO} + 0.2	V
レシーバ出力電流	I_O	-24	24	mA
保存温度	T_{stg}	-65	150	℃

(1) 絶対最大定格の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、このような条件や、推奨動作条件に記載されている条件を超える条件でデバイスが機能するということを意味するわけではありません。絶対最大定格の範囲内であっても、推奨動作条件の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 差動 I/O バス電圧を除くすべての電圧値は、グランド端子を基準にしています。

6.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[(1)]	バス端子 (Y、Z、A、B) および GND	±16,000	V
			バス端子と GND を除くすべてのピン	±4,000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠[(2)]		±1,500	V

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。
(2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

6.3 ESD 定格 [IEC]

				値	単位
$V_{(ESD)}$	静電放電、半二重または全二重として構成されたデバイス、オンチップ終端のオンまたはオフ	接触放電、IEC 61000-4-2 に準拠	バス端子および GND	±8,000	V
		エアギャップ放電、IEC 61000-4-2 に準拠	バス端子および GND	±15,000	
$V_{(EFT)}$	電気的高速過渡の	IEC 61000-4-4 に準拠	バス端子	±4,000	V

Copyright © 2023 Texas Instruments Incorporated

6.4 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{CC}	電源電圧		3		5.5	V
V_{IO}	I/O 電源電圧		1.65		V_{CC}	V
V_I	任意のバス端子での入力電圧 (個別または同相モード)(1)		-7		12	V
V_{IH}	高レベル入力電圧 (D、DE、$\overline{RE}$、TERM_TX、TERM_RX、SLR、H/$\overline{F}$ 入力)		0.7*V_{IO}		V_{IO}	V
V_{IL}	低レベル入力電圧 (D、DE、$\overline{RE}$、TERM_TX、TERM_RX、SLR、H/$\overline{F}$ 入力)		0		0.3*V_{IO}	V
I_O	出力電流、ドライバ		-60		60	mA
I_{OR}	出力電流、レシーバ	V_{IO} = 1.8V または 2.5V	-4		4	mA
I_{OR}	出力電流、レシーバ	V_{IO} = 3.3V または 5V	-8		8	mA
R_L	差動負荷抵抗		54	60		Ω
$1/t_{UI}$	信号速度	SLR = V_{IO}			500	kbps
		SLR = GND またはフローティング			20	Mbps
T_A ((2))	動作時周囲温度		-40		125	℃
T_J (2)	接合部温度		-40		150	℃

(1) このデータシートでは、最も小さい正 (最も大きな負) の制限を最小として指定する代数的規約を使用します。
(2) 動作は、内部 (接合部) 温度が最大 150℃ で規定されています。各アプリケーションでは、内部消費電力による自己発熱を考慮する必要があります。最大接合部温度は、サーマル・シャットダウン (TSD) 回路によって内部的に制限され、接合部温度が標準 170℃ に達すると、ドライバとレシーバはディセーブルされます。

6.5 熱に関する情報

熱評価基準(1)		THVD1424 RGT (QFN) 16 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	46.1	℃/W
$R_{\theta JC\ (top)}$	接合部からケース (上面) への熱抵抗	50.9	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	20.6	℃/W
ψ_{JT}	接合部から上面への特性評価パラメータ	1.1	℃/W
ψ_{JB}	接合部から基板への特性評価パラメータ	20.6	℃/W
$R_{\theta JC\ (bot)}$	接合部からケース (底面) への熱抵抗	6.9	℃/W

(1) 従来および最新の熱評価基準の詳細については、yes アプリケーション・レポートを参照してください。

6.6 消費電力

パラメータ		テスト条件			標準値	最大	単位
P_D	ドライバおよびレシーバがイネーブル、Y に接続された A による外部ループバック、Z に接続された B V_{IO} = V_{CC} = 5.5V、T_A = 125℃、 D = 方形波 50% デューティ	未終端、TERM_TX = L、TERM_RX = L	SLR = H	500kbps	185	210	mW
			SLR = L	20Mbps	310	340	
		TERM_RX = H、A/B 入力間の負荷は 120Ω	SLR = H	500kbps	316	360	mW
			SLR = L	20Mbps	396	430	
		TERM_TX = TERM_RX = H、Y/Z 出力と A/B 入力の間に 120Ω、C_L = 50pF (ドライバ)	SLR = H	500kbps	407	470	mW
			SLR = L	20Mbps	476	510	

6.7 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)。特に記述のない限り、すべての標準値は 25℃、電源電圧 V_{CC} = 5V、V_{IO} = 3.3V における値です。

パラメータ		テスト条件		最小値	標準値	最大値	単位
ドライバ							
$\|V_{OD}\|$	ドライバの差動出力電圧の大きさ	R_L = 60Ω、–7V ≤ V_{test} ≤ 12V (図 7-1 を参照)		1.5	3.3		V
		R_L = 60Ω、–7V ≤ V_{test} ≤ 12V、4.5V ≤ V_{CC} ≤ 5.5V (図 7-1 を参照)		2.1	3.3		V
		R_L = 100Ω (図 7-2 を参照)		2	4		V
		R_L = 54Ω、4.5V ≤ V_{CC} ≤ 5.5V (図 7-2 を参照)		2.1	3.3		V
		R_L = 54Ω (図 7-2 を参照)		1.5	3.3		V
$\Delta\|V_{OD}\|$	差動出力電圧の大きさの変化	R_L = 54Ω または 100Ω (図 7-2 を参照)		-50		50	mV
V_{OC}	同相モード出力電圧	R_L = 54Ω または 100Ω (図 7-2 を参照)			V_{CC}/2	3	V
$\Delta V_{OC\ (SS)}$	定常状態の同相モード出力電圧の変化	R_L = 54Ω または 100Ω (図 7-2 を参照)		-50		50	mV
I_{OS}	短絡出力電流	DE = V_{IO}、-7V ≤ (V_Y または V_Z) ≤ 12V、または Y が Z に短絡		–250		250	mA
I_{OZD}	ドライバ全二重モードでの Y と Z の高インピーダンス出力リーク電流	H/$\overline{F}$ = GND、TERM_TX = GND、DE = GND、V_{CC} = GND または 5.5V、V_O = -7V、+12V		-100		110	µA
		H/$\overline{F}$ = GND、TERM_TX = V_{IO}、DE = GND、V_{CC} = 5.5V、V_O = -7V、+12V		-300		300	µA
レシーバ							
I_I	バス入力電流 (終端無効)	DE = 0V、V_{CC}、V_{IO} = 0V または 5.5V	V_I = 12V		85	110	µA
			V_I = -7V	-100	-70		µA
I_{RXT}	終端がイネーブルのときのレシーバ・バスの入力リーク電流	DE = 0V、V_{CC}、V_{IO} = 5.5V、TERM_RX = V_{IO}	VI = -7～12V	-300		300	µA
V_{TH+}	正方向の入力スレッショルド電圧(1)	-7V～12V の同相モード範囲内			-85	-45	mV
V_{TH-}	負方向の入力スレッショルド電圧(1)			-200	-135		mV
V_{HYS}	入力ヒステリシス			30	50		mV
$C_{A、B}$	入力差動容量	A と B の間で測定、f = 1MHz			20		pF
V_{OH}	出力 HIGH 電圧	I_{OH} = -8mA、V_{IO} = 3～3.6V または 4.5V～5.5V		V_{IO} - 0.4	V_{IO} - 0.2		V
V_{OL}	出力 LOW 電圧	I_{OL} = 8mA、V_{IO} = 3～3.6V または 4.5V～5.5V			0.2	0.4	V
V_{OH}	出力 HIGH 電圧	I_{OH} = -4mA、V_{IO} = 1.65～1.95V または 2.25V～2.75V		V_{IO} - 0.4	V_{IO} - 0.2		V
V_{OL}	出力 LOW 電圧	I_{OL} = 4mA、V_{IO} = 1.65～1.95V または 2.25V～2.75V			0.2	0.4	V
I_{OZ}	出力高インピーダンス電流、R ピン	V_O = 0V または V_{IO}、$\overline{RE}$ = V_{IO}		-2		2	µA
ロジック							
I_{IN}	入力電流 (D、$\overline{RE}$、DE、SLR、TERM_TX、TERM_RX、H/$\overline{F}$)	1.65V ≤ V_{IO} ≤ 5.5V、0V ≤ V_{IN} ≤ V_{IO}		-5		5	µA
過熱保護							
T_{SHDN}	サーマル・シャットダウンのスレッショルド	温度上昇		150	170		℃
T_{HYS}	サーマル・シャットダウン・ヒステリシス				15		℃
電源							
$UV_{VCC\ (立ち上がり)}$	V_{CC} の立ち上がり低電圧スレッショルド				2.5	2.7	V
$UV_{VCC\ (立ち下がり)}$	V_{CC} の立ち下がり低電圧スレッショルド			2	2.1		V
$UV_{VCC\ (hys)}$	V_{CC} の低電圧時のヒステリシス				400		mV
$UV_{VIO\ (立ち上がり)}$	V_{IO} の立ち上がり低電圧スレッショルド				1.5	1.6	V

Copyright © 2023 Texas Instruments Incorporated

6.7 電気的特性 (continued)

自由気流での動作温度範囲内 (特に記述のない限り)。特に記述のない限り、すべての標準値は 25℃、電源電圧 V_{CC} = 5V、V_{IO} = 3.3V における値です。

パラメータ		テスト条件		最小値	標準値	最大値	単位
UV_{VIO} (立ち下がり)	V_{IO} の立ち下がり低電圧スレッショルド			1.3	1.4		V
UV_{VIO} (hys)	V_{IO} の低電圧時のヒステリシス				100		mV
I_{CC}	消費電流 (静止時)、V_{CC} = 4.5V～5.5V TERM_RX、TERM_TX = フローティングまたはロー、SLR = X	ドライバとレシーバがイネーブル、H/$\overline{F}$ = GND	$\overline{RE}$ = 0V、DE = V_{IO}、無負荷		1.5	3	mA
		ドライバがイネーブル、レシーバがディセーブル、H/$\overline{F}$ = GND	$\overline{RE}$ = V_{IO}、DE = V_{IO}、無負荷		1.3	2.5	mA
		ドライバがディセーブル、レシーバがイネーブル、H/$\overline{F}$ = GND	$\overline{RE}$ = 0V、DE = 0V、無負荷		0.8	1.2	mA
		ドライバとレシーバがディセーブル、H/$\overline{F}$ = GND	$\overline{RE}$ = V_{IO}、DE = 0V、D = オープン、無負荷		0.1	2	µA
I_{CC}	消費電流 (静止時)、V_{CC} = 3 V～3.6 V TERM_RX、TERM_TX = フローティングまたはロー、SLR = X	ドライバとレシーバがイネーブル、H/$\overline{F}$ = GND	$\overline{RE}$ = 0V、DE = V_{IO}、無負荷		1.4	2	mA
		ドライバがイネーブル、レシーバがディセーブル、H/$\overline{F}$ = GND	$\overline{RE}$ = V_{IO}、DE = V_{IO}、無負荷		1	1.5	mA
		ドライバがディセーブル、レシーバがイネーブル、H/$\overline{F}$ = GND	$\overline{RE}$ = 0V、DE = 0V、無負荷		0.7	1	mA
		ドライバとレシーバがディセーブル、H/$\overline{F}$ = GND	$\overline{RE}$ = V_{IO}、DE = 0V、D = オープン、無負荷		0.1	2	µA
I_{IO}	ロジック電源電流 (静止時)、V_{IO} = 3～3.6V TERM_RX、TERM_TX = フローティングまたはロー	ドライバがディセーブル、レシーバがイネーブル、SLR = GND	DE = 0V、$\overline{RE}$ = 0V、無負荷		6	11	µA
		ドライバがディセーブル、レシーバがイネーブル、SLR = V_{IO}	DE = 0V、$\overline{RE}$ = 0V、無負荷		8	11	µA
		ドライバがディセーブル、レシーバがディセーブル、SLR = GND	DE = 0V、$\overline{RE}$ = V_{IO}、無負荷		2	4	µA
		ドライバがディセーブル、レシーバがディセーブル、SLR = V_{IO}	DE = 0V、$\overline{RE}$ = V_{IO}、無負荷		4	7	µA
I_{CCDT}	ドライバ終端モードでの電源電流	ドライバは終端がオンの状態でイネーブル、H/$\overline{F}$ = GND	DE = V_{IO}、TERM_TX = V_{IO}		39	48	mA
I_{CCRT}	レシーバ終端モードでの電源電流	レシーバは終端がオンの状態でイネーブル、H/$\overline{F}$ = GND	$\overline{RE}$ = GND、TERM_RX = V_{IO}		1	1.3	mA
I_{CCT}	デバイスの電源電流はディセーブル、終端はオン・モード	ドライバとレシーバがディセーブル、H/$\overline{F}$ = GND	DE = GND、$\overline{RE}$ = V_{IO}、TERM_RX = V_{IO}		200	310	µA
オンチップ終端抵抗							
R_{TERM_TX}	ドライバ出力の Y/Z 端子間で 120Ω の終端	DE = GND、TERM_TX = V_{IO}、V_{YZ} = 2V、V_Z = -7V、0V、10V 図 7-9 を参照してください		102	120	138	Ω
R_{TERM_RX}	レシーバ出力の A/B 端子間で 120Ω の終端	TERM_RX = V_{IO}、V_{AB} = 2V、V_B = -7V、0V、10V 図 7-10 を参照してください		102	120	138	Ω

(1) 特定の条件では、V_{TH+} は V_{TH-} よりも V_{HYS} 以上高いことが保証されます。

6.8 スイッチング特性_500kbps

推奨動作条件全体で 500kbps (SLR = V_{IO})。特に記述のない限り、すべての標準値は 25℃、電源電圧 V_{CC} = 5V、V_{IO} = 3.3V における値です。[(1)]

パラメータ		テスト条件		最小値	標準値	最大値	単位
ドライバ							
t_r、t_f	差動出力立ち上がり / 立ち下がり時間	R_L = 54Ω、C_L = 50pF 図 7-3 を参照してください	V_{CC} = 3～3.6V、標準値 3.3V	200	250	600	ns
			V_{CC} = 4.5～5.5V、標準値 5V	220	270	600	ns
t_{PHL}、t_{PLH}	伝搬遅延		V_{CC} = 3～3.6V、標準値 3.3V		260	500	ns
			V_{CC} = 4.5～5.5V、標準値 5V		260	450	ns
$t_{SK (P)}$	パルス・スキュー、$\|t_{PHL} – t_{PLH}\|$		V_{CC} = 3～3.6V、標準値 3.3V		2	15	ns
			V_{CC} = 4.5～5.5V、標準値 5V		2	15	ns
t_{PHZ}、t_{PLZ}	ディセーブル時間	$\overline{RE}$ = X	図 7-4 および図 7-5 を参照してください		80	200	ns
t_{PZH}、t_{PZL}	イネーブル時間	$\overline{RE}$ = 0V			200	650	ns
		$\overline{RE}$ = V_{IO}			6	11	µs
レシーバ							
t_r、t_f	出力立ち上がり / 立ち下がり時間	C_L = 15pF	図 7-6 を参照してください		5	20	ns
t_{PHL}、t_{PLH}	伝搬遅延				620	1200	ns
$t_{SK (P)}$	パルス・スキュー、$\|t_{PHL} – t_{PLH}\|$				10	40	ns
t_{PHZ}、t_{PLZ}	ディセーブル時間	DE = X	図 7-7 を参照してください		20	60	ns
$t_{PZH (1)}$	イネーブル時間	DE = V_{IO}			80	155	ns
$t_{PZL (1)}$	イネーブル時間	DE = V_{IO}			650	1250	ns
$t_{PZH (2)}$、$t_{PZL (2)}$	イネーブル時間	V_{IO} = 1.65V～1.95V、DE = 0V	図 7-8 を参照してください		7	12	µs
		V_{IO} = 3V～3.6V、DE = 0V			7	12	

(1) A、B は RX 入力、Y/Z は全二重モードのドライバ出力端子です

6.9 スイッチング特性_20Mbps

推奨動作条件全体で 20Mbps (SLR = GND)。すべての標準値は 25℃、電源電圧 V_{CC} = 5V、V_{IO} = 3.3V における値です。[(1)]

パラメータ		テスト条件		最小値	標準値	最大値	単位
ドライバ							
t_r、t_f	差動出力立ち上がり / 立ち下がり時間	R_L = 54Ω、C_L = 50pF 図 7-3 を参照してください	V_{CC} = 3～3.6V、標準値 3.3V	5	9	15	ns
			V_{CC} = 4.5～5.5V、標準値 5V	4.5	8	15	ns
t_{PHL}、t_{PLH}	伝搬遅延		V_{IO} = 1.65V～1.95V	14	25	50	ns
			V_{IO} = 3V～3.6V	9	20	40	ns
$t_{SK (P)}$	パルス・スキュー、$\|t_{PHL} – t_{PLH}\|$		V_{CC} = 3～3.6V、標準値 3.3V		1	3.5	ns
			V_{CC} = 4.5～5.5V、標準値 5V		1	3.5	ns
t_{PHZ}、t_{PLZ}	ディセーブル時間	$\overline{RE}$ = X	図 7-4 および図 7-5 を参照してください		25	50	ns
t_{PZH}、t_{PZL}	イネーブル時間	$\overline{RE}$ = 0V	図 7-4 および図 7-5 を参照してください		30	70	ns
t_{PZH}、t_{PZL}	イネーブル時間	$\overline{RE}$ = V_{IO}、V_{IO} = 1.65V～1.95V	図 7-4 および図 7-5 を参照してください		6	11	µs
		$\overline{RE}$ = V_{IO}、V_{IO} = 3V～3.6V			6	11	
レシーバ							

Copyright © 2023 Texas Instruments Incorporated

6.9 スイッチング特性_20Mbps (continued)

推奨動作条件全体で 20Mbps (SLR = GND)。すべての標準値は 25℃、電源電圧 V_{CC} = 5V、V_{IO} = 3.3V における値です。((1))

パラメータ		テスト条件		最小値	標準値	最大値	単位
t_r、t_f	出力立ち上がり / 立ち下がり時間	C_L = 15pF	図 7-6 を参照してください		5	10	ns
t_{PHL}、t_{PLH}	伝搬遅延				30	55	ns
$t_{SK (P)}$	パルス・スキュー、$\|t_{PHL} – t_{PLH}\|$					4	ns
t_{PHZ}、t_{PLZ}	ディセーブル時間	DE = X	図 7-7 を参照してください		20	58	ns
$T_{PZH (1)}$、$t_{PZL (1)}$	イネーブル時間	DE = V_{IO}			80	155	ns
$t_{PZH (2)}$、$t_{PZL (2)}$	イネーブル時間	V_{IO} = 1.65V～1.95V、DE = 0V	図 7-8 を参照してください		6	11	µs
		V_{IO} = 3V～3.6V、DE = 0V			6	11	µs

(1) A、B は RX 入力、Y/Z は全二重モードのドライバ出力端子です。

6.10 スイッチング特性_終端抵抗

パラメータを推奨動作条件全体に適用します。特に記述のない限り、すべての標準値は 25℃、電源電圧 V_{CC} = 5V、V_{IO} = 3.3V における値です。

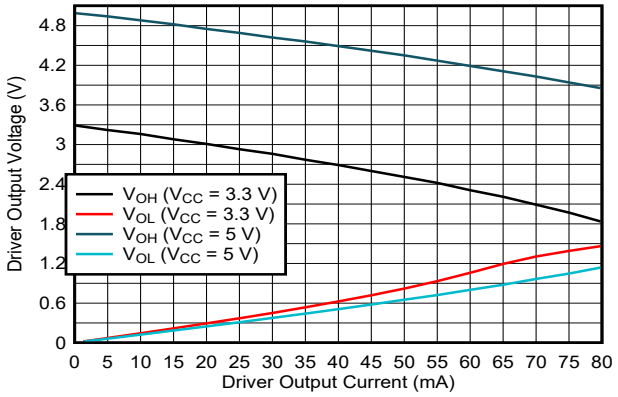
パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{DTEN}	ドライバ端子終端抵抗のターンオン時間	H/$\overline{F}$ = GND、V_{IO} = 3～3.6V、DE = GND、V_{YZ} = 2V、V_Z = 0V 図 7-9 を参照してください		1500	4000	ns
t_{DTZ}	ドライバ端子終端抵抗のターンオフ時間	H/$\overline{F}$ = GND、V_{IO} = 3～3.6V、DE = GND、V_{YZ} = 2V、V_Z = 0V 図 7-9 を参照してください		4600	7200	ns
t_{RTEN}	レシーバ端子終端抵抗のターンオン時間	H/$\overline{F}$ = GND、V_{IO} = 3～3.6V、$\overline{RE}$ = X、V_{AB} = 2V、V_B = 0V 図 7-10 を参照してください		1500	4000	ns
t_{RTZ}	レシーバ端子終端抵抗のターンオフ時間	H/$\overline{F}$ = GND、V_{IO} = 3～3.6V、$\overline{RE}$ = X、V_{AB} = 2V、V_B = 0V 図 7-10 を参照してください		4600	7200	ns

6.11 スイッチング特性_全二重 / 半二重スイッチング

パラメータを推奨動作条件全体に適用します。特に記述のない限り、すべての標準値は 25℃、電源電圧 V_{CC} = 5V、V_{IO} = 3.3V における値です。

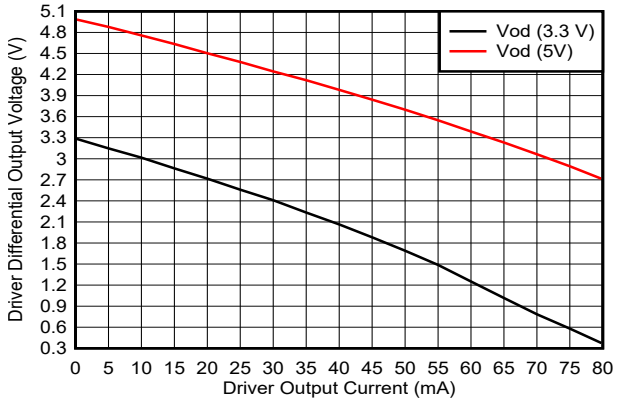
パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{HFD}	半二重モードから全二重モードに切り替える時間	V_{IO} = 3～3.6V、ドライバおよびレシーバ・イネーブル、TERM_TX = V_{IO} 図 7-11 を参照してください		0.1	1.2	µs
t_{FHD}	全二重モードから半二重モードに切り替える時間	V_{IO} = 3～3.6V、ドライバおよびレシーバ・イネーブル、TERM_TX = V_{IO} 図 7-11 を参照してください		0.1	1.2	µs

6.12 代表的な特性



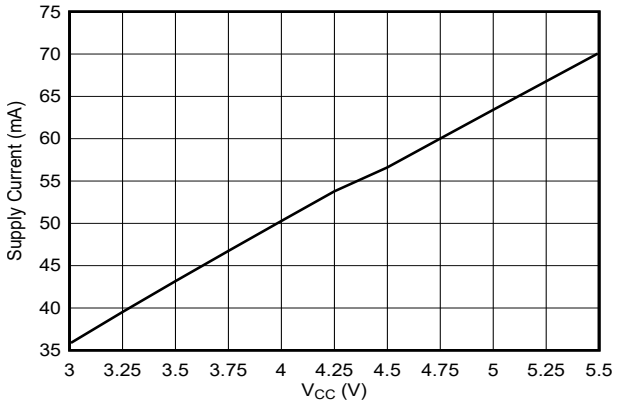
DE = V_{IO} T_A = 25℃

図 6-1. ドライバ出力電圧とドライバ出力電流との関係



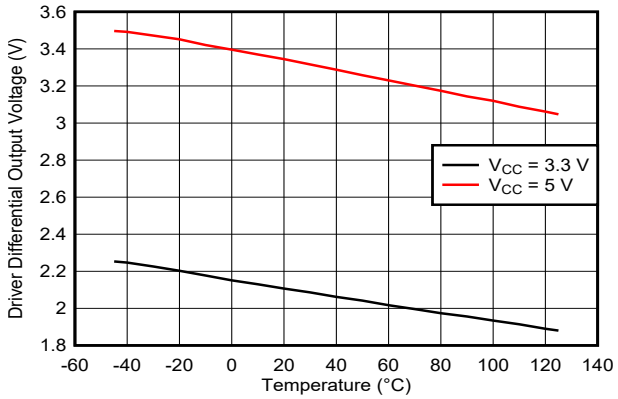
DE = V_{IO} T_A = 25℃

図 6-2. ドライバ差動出力電圧とドライバ出力電流との関係



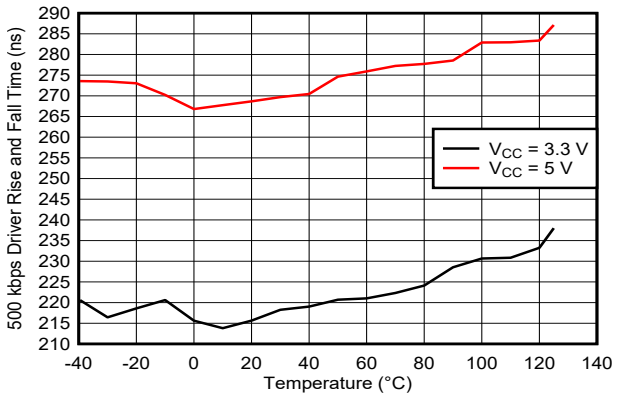
R_L = 54Ω DE = V_{IO} D = V_{IO}
T_A = 25℃

図 6-3. 電源電流と電源電圧との関係



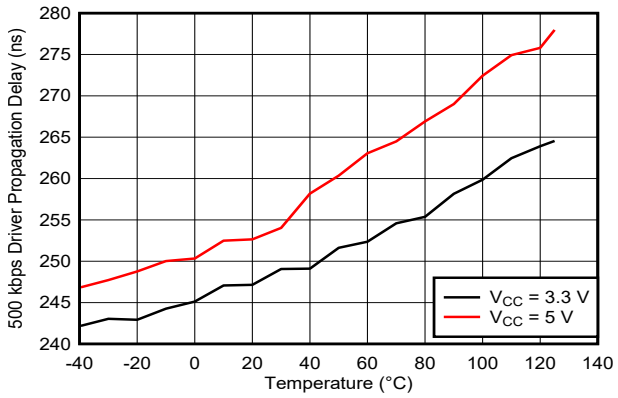
R_L = 54Ω DE = V_{IO} D = V_{IO}

図 6-4. ドライバ出力電圧と温度との関係



R_L = 54Ω C_L = 50pF DE = V_{IO}

図 6-5. ドライバの立ち上がり / 立ち下がり時間と温度との関係 (500kbps)

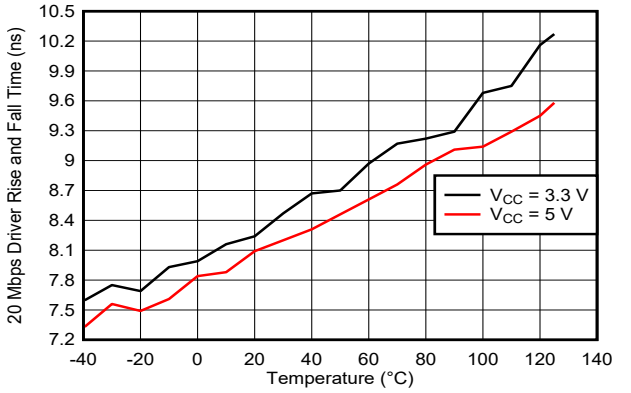


R_L = 54Ω C_L = 50pF DE = V_{IO}

図 6-6. ドライバ伝搬遅延と温度との関係 (500kbps)

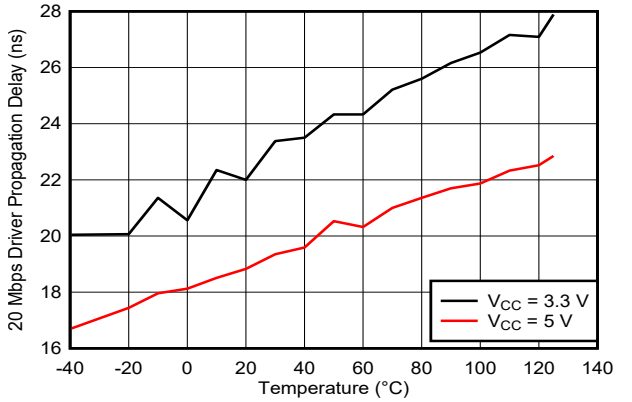
Copyright © 2023 Texas Instruments Incorporated

6.12 代表的な特性 (continued)



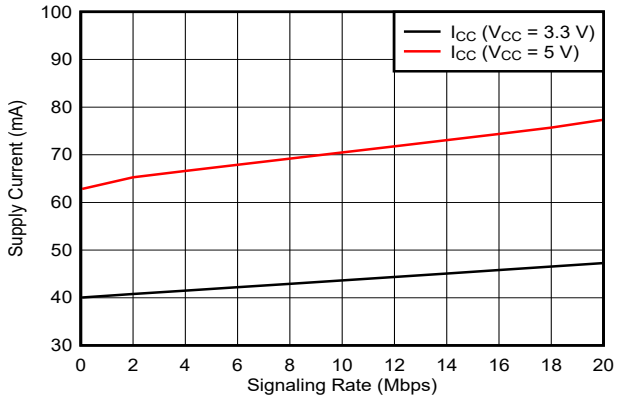
R_L = 54Ω　　C_L = 50pF　　DE = V_{IO}

図 6-7. ドライバの立ち上がり / 立ち下がり時間と温度との関係 (20Mbps)



R_L = 54Ω　　C_L = 50pF　　DE = V_{IO}

図 6-8. ドライバ伝搬遅延と温度との関係 (20Mbps)



R_L = 54Ω　T_A = 25℃

DE = V_{IO}

図 6-9. 電源電流と信号速度との関係 (20Mbps)

7 パラメータ測定情報

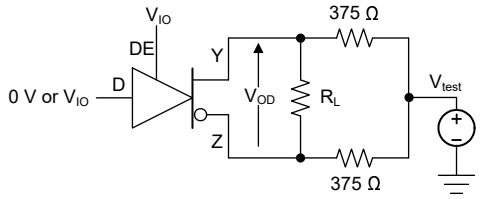


図 7-1. 同相モード負荷でのドライバ差動出力電圧の測定

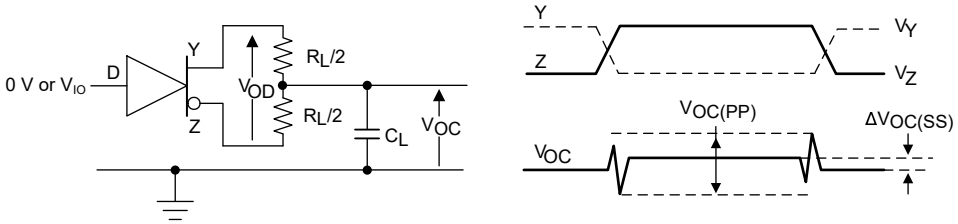


図 7-2. RS-485 負荷を使用したドライバ差動および同相モード出力の測定

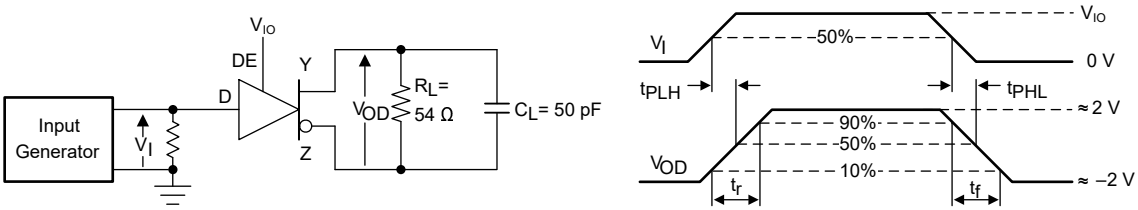


図 7-3. ドライバの差動出力の立ち上がり / 立ち下がり時間と伝搬遅延の測定

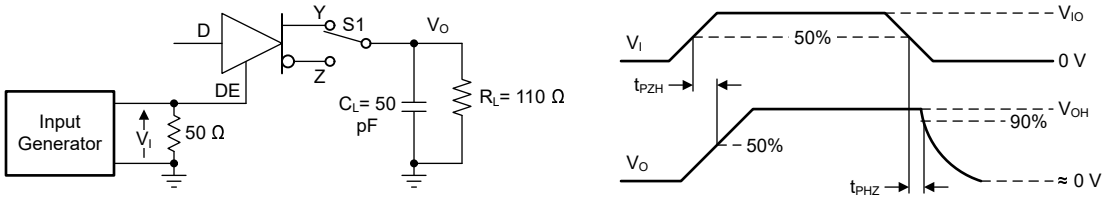


図 7-4. アクティブ・ハイ出力およびプルダウン負荷でのドライバのイネーブルおよびディセーブル時間の測定

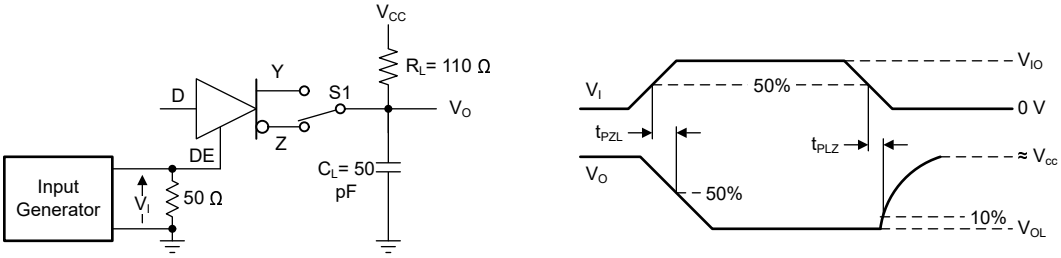


図 7-5. アクティブ LOW 出力およびプルアップ負荷でのドライバのイネーブルおよびディセーブル時間の測定

Copyright © 2023 Texas Instruments Incorporated

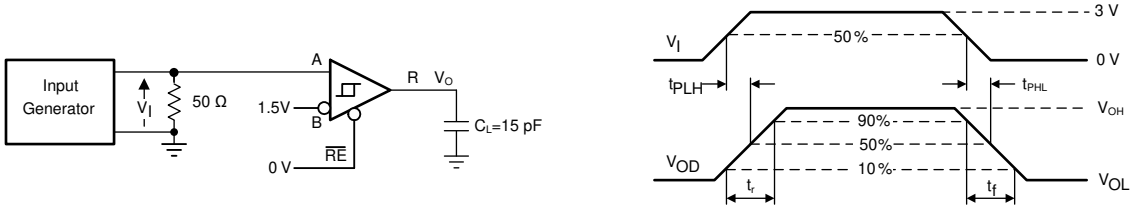


図 7-6. レシーバ出力の立ち上がり / 立ち下がり時間と伝搬遅延の測定

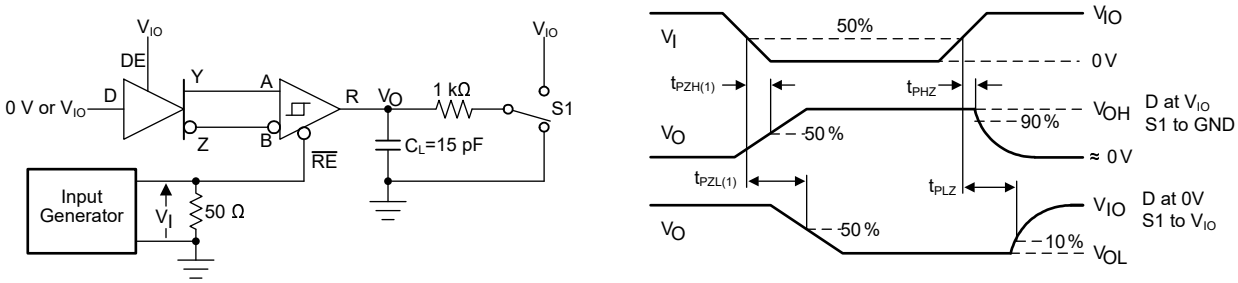


図 7-7. ドライバを有効にした状態でのレシーバのイネーブル / ディセーブル時間の測定

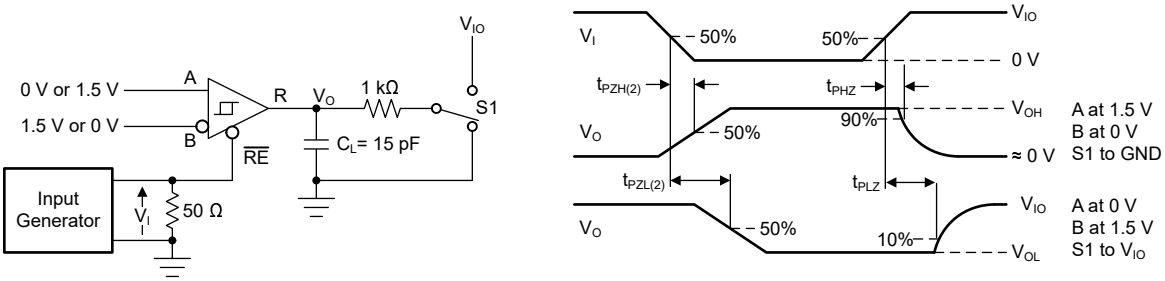


図 7-8. ドライバを無効にした状態でのレシーバのイネーブル時間の測定

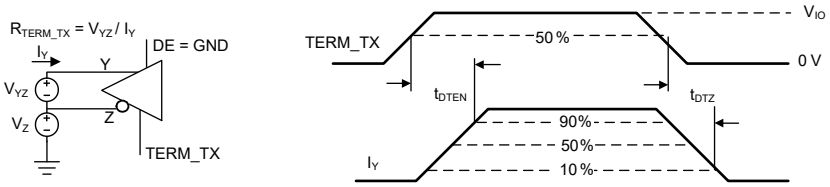


図 7-9. ドライバ端子終端抵抗のイネーブル時間とディセーブル時間の測定

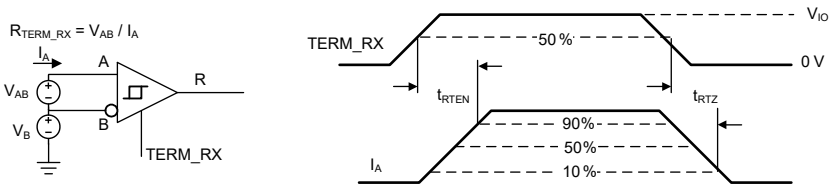


図 7-10. レシーバ端子終端抵抗のイネーブル時間とディセーブル時間の測定

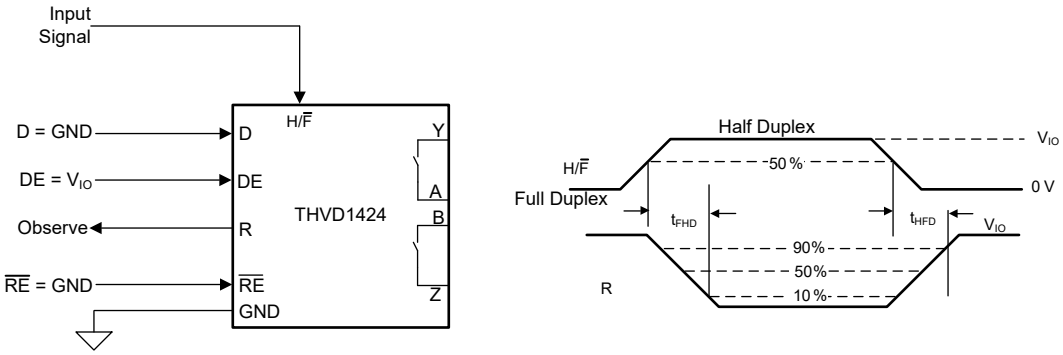


図 7-11. 半二重モードから全二重モードへ、またはその逆への切り替え時間の測定

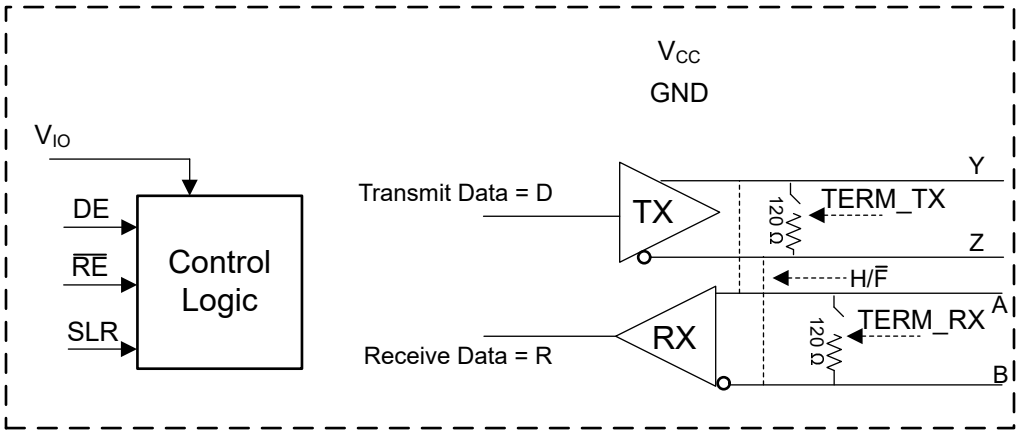
Copyright © 2023 Texas Instruments Incorporated

8 詳細説明

8.1 概要

THVD1424 は柔軟な RS-485 トランシーバで、ピン H/$\overline{F}$ を構成することで、半二重または全二重の RS-485 ネットワークで使用できます。このデバイスにはスルーレート制御ピン SLR があり、デバイスを最大 20Mbps モードまたはスルーレート制限 500kbps モードに設定するために使用できます。また、THVD1424 には、Y/Z 端子間および A/B 端子間にオンチップ 120Ω 終端抵抗が内蔵されています。終端抵抗は、2 つのピン TERM_TX と TERM_RX を使用して制御します。

8.2 機能ブロック図



8.3 機能説明

THVD1424 は、3～5.5V のバス電源で動作します。このデバイスには V_{IO} ピンがあり、1.8V、2.5V、3.3V、5V のロジック・インターフェイスに接続できます。内部 ESD 保護回路は、IEC 61000-4-2 に準拠した最大 ±8kV (接触放電)、±15kV (エアギャップ放電) の静電放電 (ESD)、および IEC 61000-4-4 に準拠した最大 ±4kV の電気的高速過渡 (EFT) からトランシーバを保護します。

8.4 デバイスの機能モード

THVD1424 には H/$\overline{F}$ ピンがあり、半二重または全二重ネットワークで使用できます。H/$\overline{F}$ ピンの機能動作を表に示します。

表 8-1. 二重スイッチング機能表

信号状態	ドライバ	レシーバ	コメント
H/$\overline{F}$ = V_{IO}	ドライバの出力ピンは Y と Z です	レシーバの入力ピンは Y と Z です	半二重モード:ドライバとレシーバは同じバス・ピンを共有し、デバイスの状態は DE ピンと $\overline{RE}$ ピンで制御されます
H/$\overline{F}$ = GND	ドライバの出力ピンは Y と Z です	レシーバの入力ピンは A と B です	全二重モード:これは、H/$\overline{F}$ がフローティングの場合のデバイスのデフォルト状態です。

ドライバ・イネーブル・ピン DE がロジック HIGH のとき、差動出力 Y および Z はデータ入力 D のロジック状態に従います。D のロジック HIGH により、Y は HIGH になり、Z は LOW になります。この場合、$V_{OD} = V_Y – V_Z$ として定義される差動出力電圧は正です。D が LOW のとき、出力状態は反転し、Z は HIGH になり、Y は LOW になり、V_{OD} は負になります。

DE が LOW のとき、両方の出力は高インピーダンスになります。この条件では、D のロジック状態は無関係です。DE ピンにはグランドへの内部プルダウン抵抗があるため、オープンのままにすると、ドライバはデフォルトでディセーブル (高インピーダンス) になります。D ピンには V_{IO} への内部プルアップ抵抗があるため、ドライバがイネーブルのときにオープンのままにすると、出力 Y は HIGH になり、Z は LOW になります。

表 8-2. ドライバ機能表

入力	イネーブル	出力		機能
D	**DE**	**Y**	**Z**	
H	H	H	L	バスをアクティブに HIGH に駆動します
L	H	L	H	バスをアクティブに LOW に駆動します
X	L	Z	Z	ドライバが無効
X	オープン	Z	Z	ドライバはデフォルトで無効になっています
オープン	H	H	L	デフォルトではバスをアクティブに HIGH に駆動します

レシーバ・イネーブル・ピン $\overline{RE}$ がロジック LOW の場合、レシーバはイネーブルになります。全二重モード (半二重モードの場合は V_Y - V_Z) の場合に V_{ID} = V_A - V_B と定義された差動入力電圧が正であり、正の入力スレッショルド V_{TH+} を上回ると、レシーバの出力 R は HIGH になります。V_{ID} が負で、負の入力スレッショルド V_{TH-} を下回ると、レシーバの出力 R は LOW になります。V_{ID} が V_{TH+} と V_{TH-} の間にある場合、出力は不定です。

$\overline{RE}$ がロジック HIGH またはオープンのままの場合、レシーバ出力は高インピーダンスで、V_{ID} の大きさと極性は無関係です。レシーバ入力の内部バイアスにより、トランシーバがバスから切断されたとき (開路)、バス・ラインが短絡したとき (短絡)、またはバスがアクティブに駆動されていないとき (アイドル・バス)、出力 R はフェイルセーフ・ハイになります。

表 8-3. レシーバ機能表

差動入力	イネーブル	出力	機能
V_{ID} = V_A – V_B (全二重モード) または V_Y – V_Z (半二重モード)	**$\overline{RE}$**	**R**	
V_{TH+} < V_{ID}	L	H	有効なバスを HIGH で受信します
V_{TH-} < V_{ID} < V_{TH+}	L	?	不定のバス状態
V_{ID} < V_{TH-}	L	L	有効なバスを LOW で受信します
X	H	Z	レシーバが無効
X	オープン	Z	レシーバはデフォルトで無効になっています
オープン回路バス	L	H	フェイルセーフ・ハイ出力
短絡バス	L	H	フェイルセーフ・ハイ出力
アイドル (終端) バス	L	H	フェイルセーフ・ハイ出力

8.4.1 オンチップの切り替え可能終端

THVD1424 には公称 120Ω の 2 つの終端抵抗があり、1 つは Y/Z の両端に、もう 1 つは A/B の両端にあります。オンチップ終端機能の表に示すように、両方の終端抵抗はピンを使用してイネーブルまたはディセーブルにします。ドライバまたはレシーバの状態に関係なく、両方の終端抵抗をイネーブルまたはディセーブルできます。デバイスの電源がオフの場合、またはサーマル・シャットダウン中の場合、終端はオフになります。

表 8-4. オンチップ終端機能の表

信号状態	デバイス・モード	機能	備考
TERM_TX = V_{IO}	全二重モード	Y と Z の間で 120Ω がイネーブル	Y/Z 間の終端はデフォルトで無効になっています
TERM_TX = GND またはフローティング	全二重モード	Y と Z の間で 120Ω がディセーブル	
TERM_RX = V_{IO}	全二重モード	A と B の間で 120Ω がイネーブル	A/B 間の終端はデフォルトで無効になっています
TERM_RX = GND またはフローティング	全二重モード	A と B の間で 120Ω がディセーブル	
TERM_RX = X、TERM_TX = V_{IO}	半二重モード	Y と Z の間で 120Ω がイネーブル	半二重モードでは、TERM_RX は Don't care であり、TERM_TX はより高い優先度を持っています
TERM_RX = X、TERM_TX = GND	半二重モード	Y と Z の間で 120Ω がディセーブル	

Copyright © 2023 Texas Instruments Incorporated

次の図に、温度と同相モード電圧の間でのオンチップ 120Ω 終端抵抗の変動を示します。

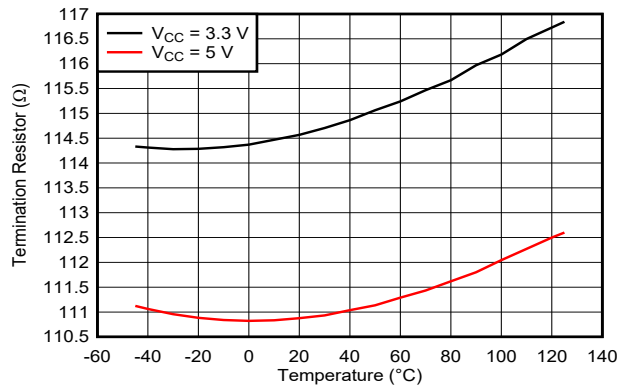


図 8-1. 終端抵抗と温度との関係

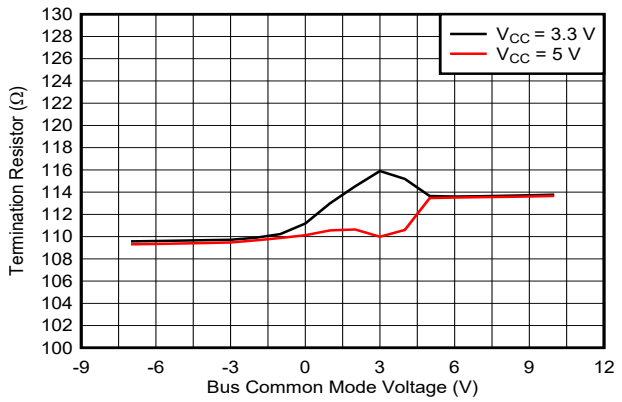


図 8-2. 終端抵抗とバスの同相モード電圧との関係

THVD1424 オンチップ終端抵抗は、終端ブロックがバスに抵抗性負荷を供給するように設計されており、DC 信号から 20Mbps 信号までのバス信号の振幅や位相に影響を与えません。バス電圧が -6V～+6V の範囲で掃引されている次の図を参照してください。バスへの電流は、終端のオンとオフの両方の条件で線形的に変化します。

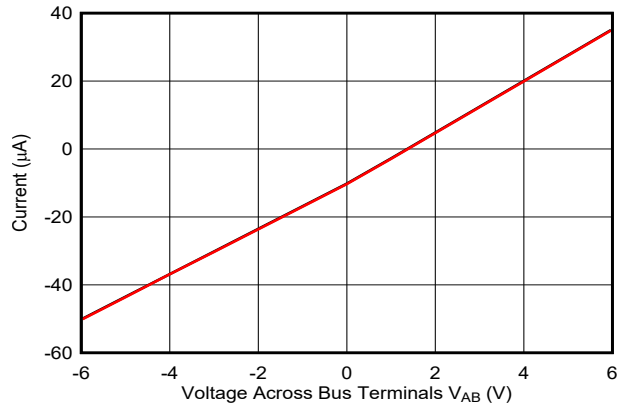


図 8-3. 終端がオフの状態で、AB バス・ピンの電圧と電流との関係

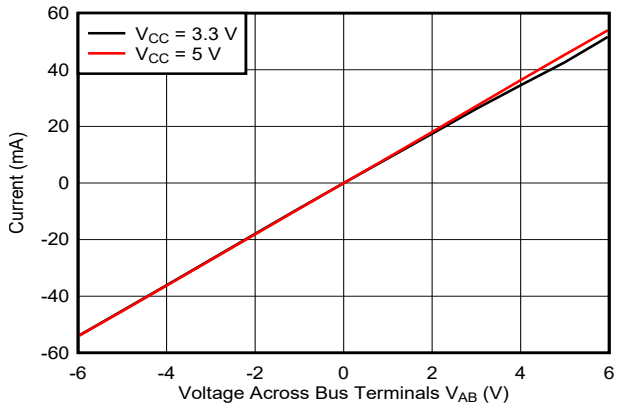


図 8-4. 終端がオンの状態で、AB バス・ピンの電圧と電流との関係

8.4.2 動作データ・レート

THVD1424 は、スルーレート制御 (SLR) ピンを構成することで、低速または高速の RS-485 ネットワークで使用できます。以下の表に、スルーレート制御機能を示します。

表 8-5. スルーレート制御機能の表

信号状態	ドライバ	レシーバ	コメント
SLR = V_{IO}	最大動作速度 = 500kbps	最大動作速度 = 500kbps	レシーバ・パスのドライバ出力とグリッチ・フィルタに適用されるアクティブな高スルーレート制限がイネーブル
SLR = GND またはフローティング	最大動作速度 = 20Mbps	最大動作速度 = 20Mbps	ドライバ出力のスルーレート制限がディセーブルで、レシーバ・パスのグリッチ・フィルタがディセーブル

低速モード (500kbps) のレシーバ・パスは、追加のノイズ・フィルタリングを提供します。有効なデータとして誤って解釈される可能性がある、バスからの高周波ノイズ・パルスを減衰するため、SLR を V_{IO} に設定してローパス・フィルタが標準的な 800kHz より高い周波数のパルスを除外できるようにします。

8.4.3 保護機能

THVD1424 には、電源低電圧、バス短絡、サーマル・シャットダウンなどの保護機能が内蔵されています。

V_{CC} 電源と V_{IO} 電源の両方に電源低電圧保護があります。これにより、両方の電源が立ち上がり低電圧スレッショルドを上回ったときに、バス出力とレシーバ・ロジック出力が既知の駆動状態に維持されます。次の表に、電源レベルのさまざまなシナリオにおけるデバイスの動作を示します。

表 8-6. 電源機能表

V_{CC}	V_{IO}	ドライバ出力	レシーバ出力	バス・ピン YZ と AB の間の終端
> UV_{VCC} (立ち上がり)	> UV_{VIO} (立ち上がり)	DE および D 入力により決定されます	$\overline{RE}$ と A-B によって決定されます	TERM_TX ピンと TERM_RX ピンによって決定されます
< UV_{VCC} (立ち下がり)	> UV_{VIO} (立ち上がり)	高インピーダンス	不定	OFF
> UV_{VCC} (立ち上がり)	< UV_{VIO} (立ち下がり)	高インピーダンス	高インピーダンス	不定
< UV_{VCC} (立ち下がり)	< UV_{VIO} (立ち下がり)	高インピーダンス	高インピーダンス	OFF

バス端子は、最大 ±16V の高電圧短絡イベントから保護されています。また、バス短絡電流は 250mA に制限されています。したがって、複数のドライバが同時にバスを駆動している場合のバス競合などのイベントでは、バス端子を流れる電流が内部的に制限されます。消費電力によって接合部温度が 150℃ を超えると、サーマル・シャットダウンがアクティブになり、ドライバとレシーバがディセーブルされ、オンチップの消費電力が低減されます。接合部温度が、データシートの電気的パラメータのセクションに記載されているサーマル・シャットダウン・ヒステリシス分だけ低下すると、デバイスがイネーブルになります。

Copyright © 2023 Texas Instruments Incorporated

9 アプリケーション情報に関する免責事項

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

THVD1424 は、非同期データ伝送用のフレキシブルな RS-485 トランシーバです。ドライバおよびレシーバのイネーブル・ピン、スルーレート制御、二重制御、終端制御ピンにより、このデバイスはさまざまなポイント・ツー・ポイント、マルチポイント、またはマルチドロップのネットワーク構成に適用できます。

9.2 代表的なアプリケーション

RS-485 バスは、バス・ケーブルと並列に接続する複数のトランシーバで構成されています。ラインの反射を除去するために、各ケーブルの端は終端抵抗 R_T で終端します。この抵抗の値は、ケーブルの特性インピーダンス Z_0 と一致します。この方式は並列終端と呼ばれ、長いケーブル長にわたって高いデータ・レートを実現できます。THVD1424 にはオンチップ 120Ω 終端抵抗が内蔵されており、RS-485 アプリケーションで最も一般的に使用されるケーブルに最適です。図 9-1 に、終端された 2 つのエンド・ノードを示し、残りのノードは未終端です。THVD1424 は、すべてのノード設計で設計できます。TERM_TX ピンを使用すると、ネットワーク内のエンド・ノードと中間ノードのノードを構成できます。

図 9-2 に、全二重ネットワーク内の各ケーブル・ペアのエンド・ノードでの終端を示します。THVD1424 を使用すると、すべてのノードで共通の基板設計を実現できます。TERM_TX ピンと TERM_RX ピンを使用すると、エンド・ノードと中間ノードを構成できます。

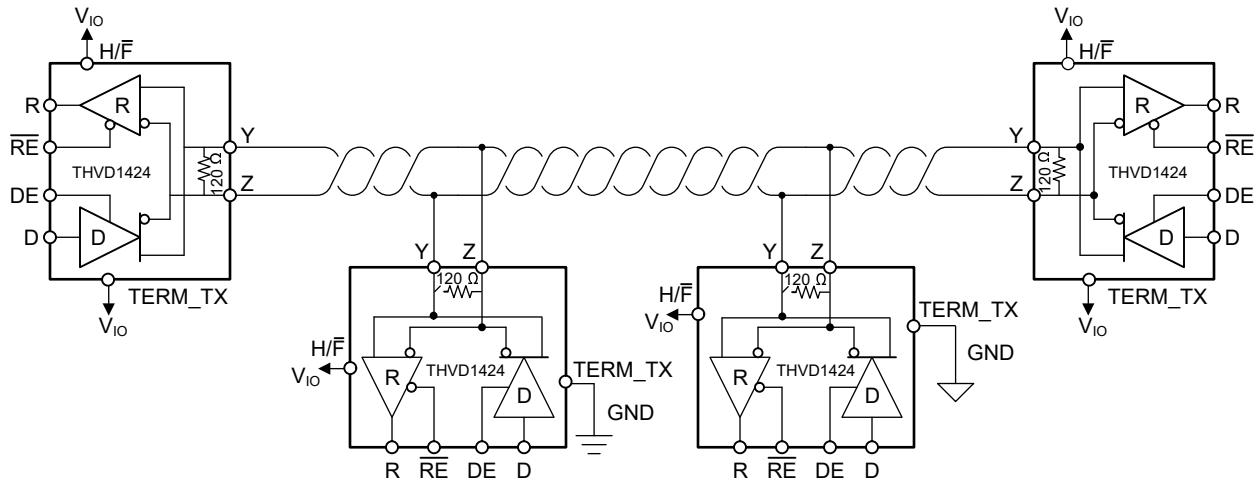


図 9-1. THVD1424 を半二重モードに構成した標準的な RS-485 ネットワーク

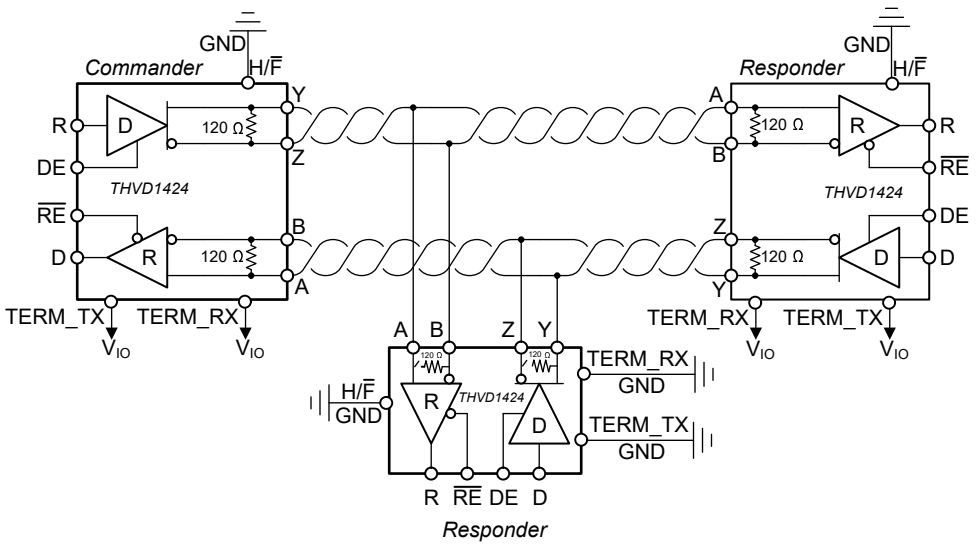


図 9-2. THVD1424 を全二重モードに構成した標準的な RS-485 ネットワーク

9.2.1 設計要件

RS-485 は、長距離ネットワークに適した堅牢な電気規格であり、距離、データ・レート、ノード数などさまざまな要件を持つ幅広いアプリケーションで使用できます。

9.2.1.1 データ・レートとバス長

データ・レートとケーブル長の間には逆関係があります。つまり、データ・レートが高くなると、ケーブル長が短くなります。逆に、データ・レートが低くなると、ケーブル長が長くなります。ほとんどの RS-485 システムは 10kbps～100kbps のデータ・レートを使用しますが、一部のアプリケーションでは 4000 フィート以上の距離で最大 300kbps のデータ・レートを必要とします。最大 5 または 10% の小信号ジッタを許容することで、より長い距離を実現できます。

Copyright © 2023 Texas Instruments Incorporated

9.2.1.2 スタブ長

ノードをバスに接続するときは、トランシーバ入力とケーブル・トランクの間の距離 (スタブと呼ばれます) をできるだけ短くする必要があります。スタブは、終端されていないバス・ラインを示します。スタブの長さが長くなると、反射が発生する可能性があります。一般的なガイドラインとして、スタブの電気的長さ、つまり往復遅延は、ドライバの立ち上がり時間の 1/10 未満にする必要があります。これにより、式 1 に示すように、物理的なスタブの最大長が得られます。

$$L_{(STUB)} \leq 0.1 \times t_r \times v \times c \quad (1)$$

ここで

- t_r は、ドライバの 10/90 の立ち上がり時間です
- c は光の速度 (3×10^8m/s) です
- v は、ケーブルまたはトレースの信号速度を、c の係数で表したものです

THVD1424 は、SLR ピン構成が可能な低速ネットワークと高速ネットワークの両方で使用できます。スルーレート制限により、ドライバの出力の立ち上がり / 立ち下がり時間が遅くなるため、スタブ長を長くできます。

9.2.1.3 バスの負荷

RS-485 規格は、準拠ドライバが 32 個のユニット負荷 (UL) を駆動できる必要があることを規定しています。ここで、1 個のユニット負荷は約 12kΩ の負荷インピーダンスを表します。THVD1424 は 1/8 UL トランシーバで構成されているため、最大 256 個のトランシーバをバスに接続できます。

9.2.1.4 レシーバのフェイルセーフ

THVD1424 の差動レシーバは、以下の原因で発生する無効なバス状態に対するフェイルセーフです。

- コネクタの接続解除などの、オープン・バス状態
- ケーブルが損傷し、ツイストペアが互いに短絡した場合などの、短絡したバス状態
- バス上のドライバがアクティブに駆動していないときに発生するアイドル・バス状態

いずれの場合も、差動レシーバはフェイルセーフ・ロジック HIGH 状態を出力し、レシーバの出力が不定にならないようにします。

レシーバのフェイルセーフは、入力の不定範囲に 0V の差動が含まれないように、レシーバのスレッショルドをオフセットすることで実現されます。RS-422 および RS-485 規格に準拠するには、差動入力 V_{ID} が 200mV を上回るときはレシーバ出力が HIGH になり、V_{ID} が -200mV を下回るときは LOW に出力する必要があります。フェイルセーフ性能を決定するレシーバ・パラメータは、V_{TH+}、V_{TH-}、V_{HYS} (V_{TH+} と V_{TH-} の間の分離) です。表 8-3 に示すように、差動信号が -200mV を下回ると常にレシーバ出力が低くなり、差動信号が 200mV を上回ると常にレシーバ出力が高くなります。

差動入力信号がゼロに近いとき、依然として V_{TH+} スレッショルドを上回り、レシーバ出力が HIGH になります。差動入力が V_{HYS} よりも高く V_{TH+} よりも低い場合のみ、レシーバ出力は LOW 状態に遷移します。したがって、バス障害状態時のレシーバ入力のノイズ耐性には、レシーバのヒステリシス値 V_{HYS} と V_{TH+} の値が含まれます。

9.2.1.5 過渡保護

THVD1424 トランシーバ・ファミリのバス・ピンには、±16kV HBM および ±8kV IEC 61000-4-2 接触放電に対するオンチップ ESD 保護が含まれています。国際電気標準会議 (IEC) の ESD テストは、HBM ESD テストよりはるかに厳しいものです。IEC モデルでは、充電容量 $C_{(S)}$ が 50% 高く、放電抵抗 $R_{(D)}$ が 78% 低いため、HBM モデルよりも放電電流が大幅に大きくなります。

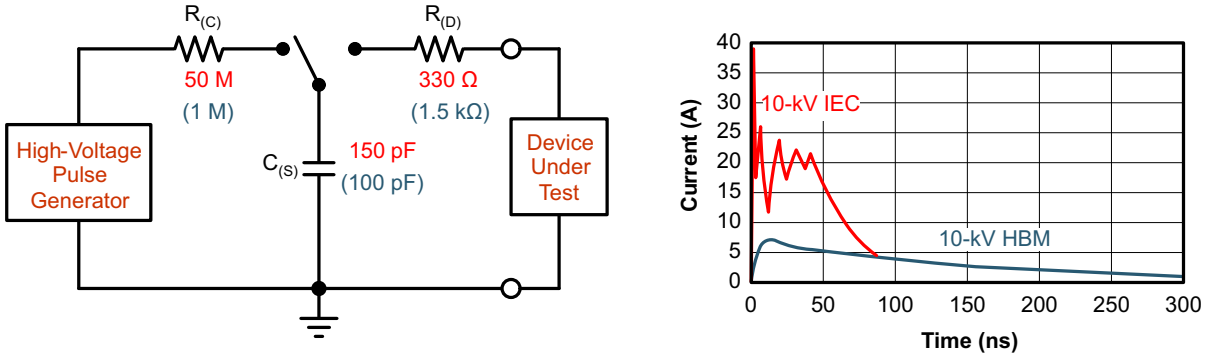


図 9-3. HBM と IEC の ESD モデルと比較時の電流 (HBM 値は括弧内)

IEC ESD 保護のオンチップ実装により、機器の堅牢性が大幅に向上します。一般的な放電イベントは、コネクタやケーブルに人間が接触したことが原因で発生します。設計者は、サージ過渡と呼ばれる長期的な過渡に対する保護を実装することもできます。

一般に、EFT はリレー接触型バウンスまたは誘導性負荷の中断によって発生します。サージ過渡は多くの場合、落雷 (電圧と電流を誘導する直接衝撃または間接衝撃)、または負荷の変化や短絡のスイッチングを含む電源システムのスイッチングに起因します。これらの過渡は、ファクトリ・オートメーションや電力グリッド・システムなどの産業用環境でよく発生します。

図 9-4 は、EFT のパルス電力とサージ過渡を、IEC ESD 過渡に起因する電力と比較したものです。左側の図は、0.5kV のサージ過渡と 4kV の EFT 過渡に対する相対的なパルス電力を示しています。どちらの過渡電力も、左下隅に見える 10kV の ESD 過渡を小さくします。500V のサージ過渡は、産業用オートメーションやプロセス・オートメーションのファクトリ環境で発生する可能性のあるイベントを代表するものです。

右側の図は、同じ 0.5kV サージ過渡に対する 6kV サージ過渡のパルス電力を示しています。発電システムや電力グリッド・システムでは、6kV のサージ過渡が発生する可能性が最も高くなります。

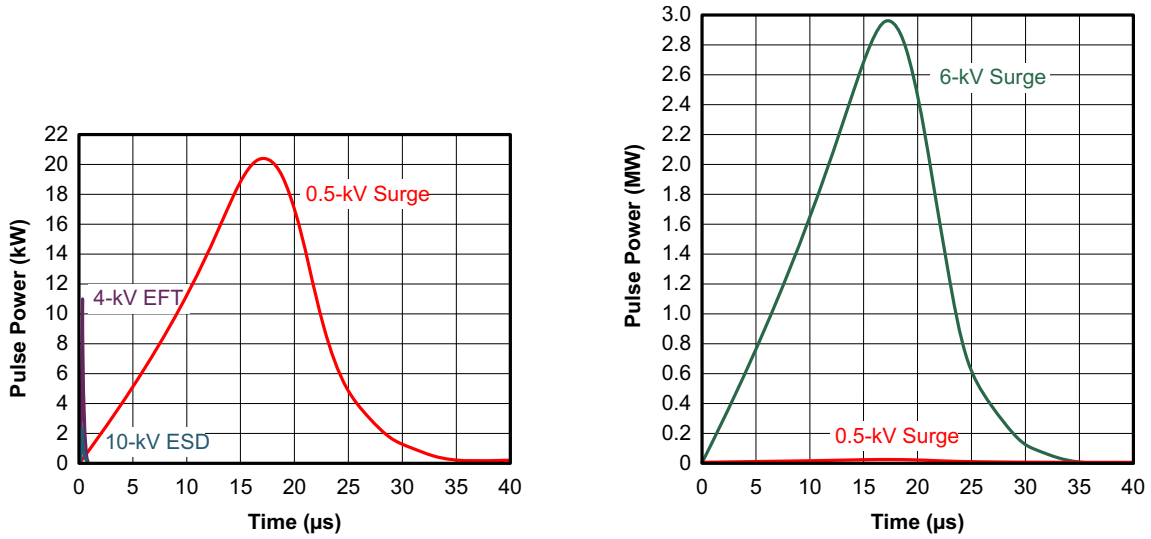


図 9-4. ESD、EFT、サージ過渡の電力比較

Copyright © 2023 Texas Instruments Incorporated

サージ過渡が発生した場合、高エネルギー成分は長いパルス持続時間と低速減衰パルス電力によって特性化されます。トランシーバの内部保護セルに注入された過渡の電気エネルギーは熱エネルギーに変換され、保護セルが加熱および破壊されてトランシーバが破壊されます。図 9-5 に、単一の ESD、EFT、サージ過渡、EFT パルス・トレインの過渡エネルギーの大きな違いを示します。これらは、準拠試験で一般的に適用されます。

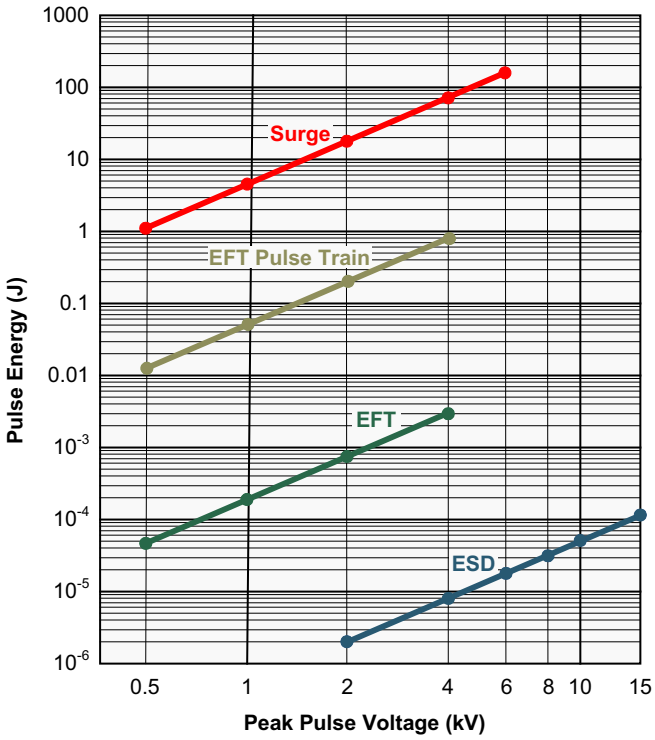


図 9-5. 過渡エネルギーの比較

9.2.2 詳細な設計手順

サージなどの高エネルギー過渡からバス・ノードを保護するには、外部過渡保護デバイスを実装する必要があります。図 9-6 と図 9-7 は、1kV のサージ (IEC 61000-4-5) 過渡に対する保護回路を推奨します。表 9-1 に、関連する部品表を示します。

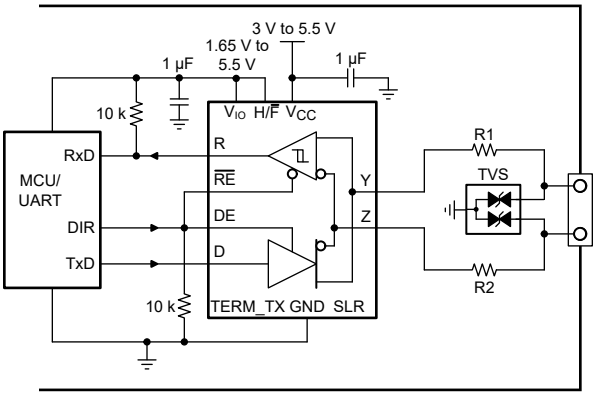


図 9-6. 半二重モードに構成された THVD1424 のサージ過渡に対する過渡保護

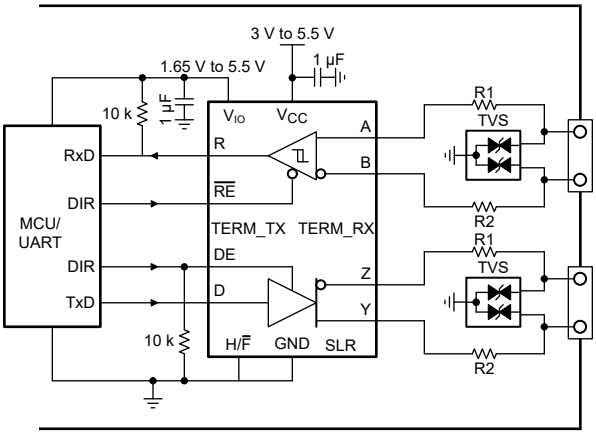


図 9-7. 全二重モードに構成された THVD1424 のサージ過渡に対する過渡保護

表 9-1. 部品表 (BOM)

デバイス	機能	発注型番	メーカー(1)
XCVR	RS-485 トランシーバ	THVD1424	TI
R1	10Ω、パルス耐性のある厚膜抵抗	CRCW0603010RJNEAHP	Vishay
R2			
TVS	双方向 400W 過渡サプレッサ	CDSOT23-SM712	Bourns

(1) 「サード・パーティー製品に関する免責事項」をご覧ください。

Copyright © 2023 Texas Instruments Incorporated

9.2.3 アプリケーション曲線

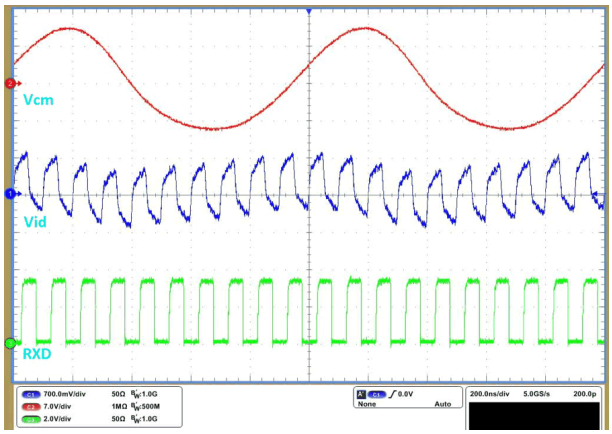


図 9-8. THVD1424 のレシーバ波形は 20Mbps で、同相モードは 1Mhz で動作します

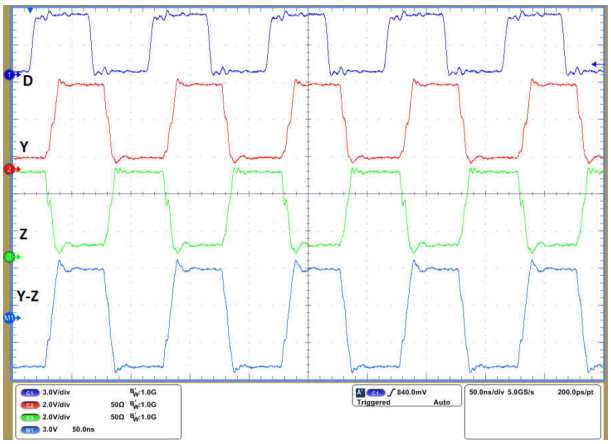


図 9-9. THVD1424 のドライバ波形は 20Mbps で、終端が有効です

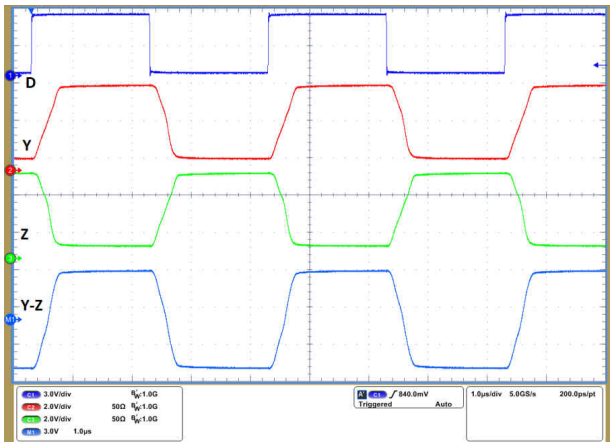


図 9-10. THVD1424 のドライバ波形は 500kbps で、終端が有効です

9.3 電源に関する推奨事項

すべてのデータ・レートと電源電圧で信頼性の高い動作を確保するために、電源ピンのできるだけ近くに 1μF 以上のセラミック・コンデンサを配置して、両方の電源ピン V_{CC} と V_{IO} をデカップリングする必要があります。これにより、スイッチ・モード電源の出力に存在する電源電圧リップルを低減し、PCB 電源プレーンの抵抗とインダクタンスを補償するのに役立ちます。デバイスが正常に動作するには、電源ランプアップ時または定常状態動作時に、バス側電源 V_{CC} がロジック電源 V_{IO} 以上である必要があります。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

堅牢で信頼性の高いバス・ノード設計では、産業用環境で発生する可能性のあるサージ過渡から保護するために、多くの場合、外部の過渡保護デバイスを使用する必要があります。これらの過渡は広い周波数帯域幅 (約 3MHz～300MHz) を持つため、PCB 設計時に高周波レイアウト手法を適用する必要があります。

1. 保護回路をバス・コネクタの近くに配置し、ノイズ過渡が基板全体に伝播するのを防止します。
2. V_{CC} およびグランド・プレーンを使用して、低インダクタンスを実現します。高周波電流は、抵抗が最小ではなく、インピーダンスが最小であるパスに追従する傾向があることに注意してください。
3. 信号路の方向に向けて保護部品を設計します。過渡電流を信号路から強制的に迂回させて保護デバイスに到達させないでください。
4. 基板上のトランシーバ、UART、コントローラ IC の V_{CC} および V_{IO} ピンにできるだけ近い位置に、1μF 以上のデカップリング・コンデンサを配置します。
5. 実効ビア・インダクタンスを最小化するため、デカップリング・コンデンサと保護デバイスの V_{CC}、V_{IO}、グランド接続には少なくとも 2 つのビアを使用します。
6. 過渡イベント時にこれらのラインのノイズ電流を制限するには、ロジック・ラインに 1kΩ～10kΩ のプルアップおよびプルダウン抵抗を使用します。
7. TVS クランプ電圧がトランシーバ・バス・ピンの規定最大電圧よりも高い場合は、Y、Z、A、B の各バス・ラインにパルス耐性抵抗を挿入します。これらの抵抗は、トランシーバへの残留クランプ電流を制限し、ラッチアップを防止します。
8. 純粋な TVS 保護は最大 1kV のサージ過渡に十分ですが、過渡電圧が高い場合は、数百ボルトのクランプ電圧に過渡を低減する金属酸化物バリスタ (MOV) と、過渡電流を 1mA 未満に制限する過渡ブロッキング・ユニット (TBU) が必要です。

Copyright © 2023 Texas Instruments Incorporated

9.4.2 レイアウト例

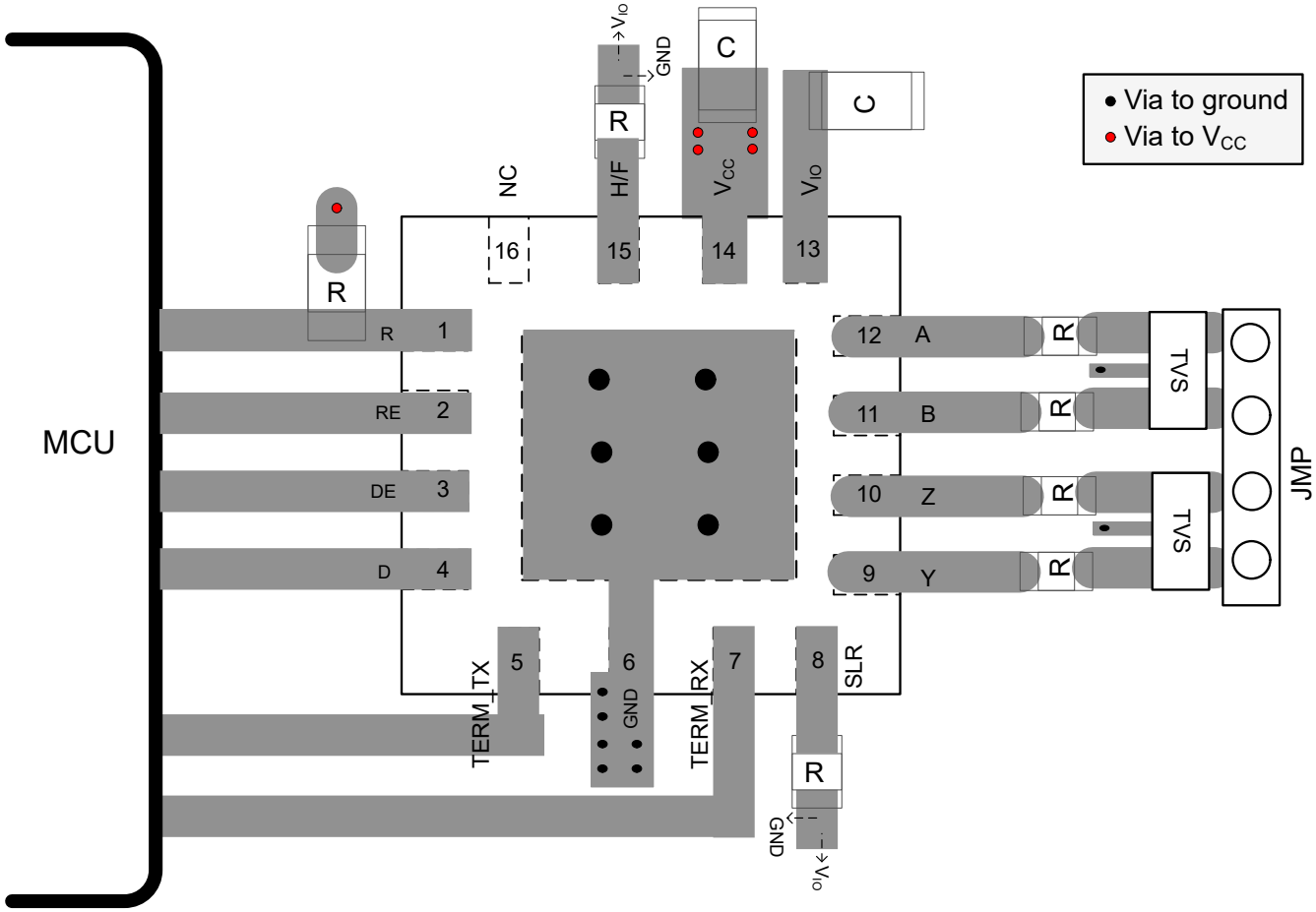


図 9-11. VQFN-16 パッケージの THVD1424 のレイアウト例

10 デバイスおよびドキュメントのサポート

10.1 デバイスのサポート

10.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

10.4 商標

TI E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
THVD1424RGTR	Active	Production	VQFN (RGT) | 16	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1424
THVD1424RGTR.A	Active	Production	VQFN (RGT) | 16	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1424
THVD1424RGTRG4	Active	Production	VQFN (RGT) | 16	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1424
THVD1424RGTRG4.A	Active	Production	VQFN (RGT) | 16	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1424

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

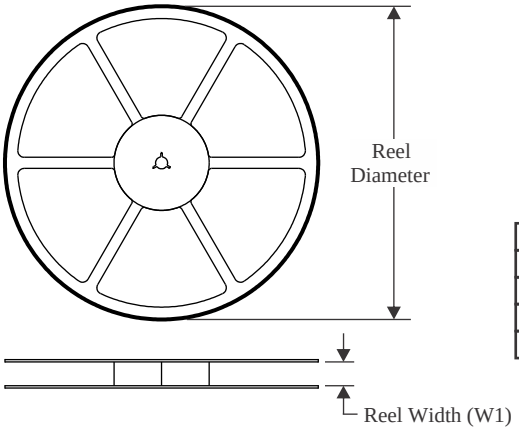
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

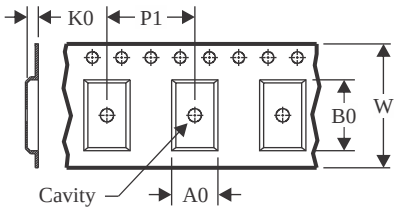
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

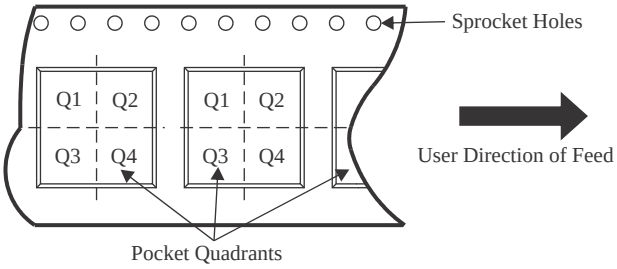


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

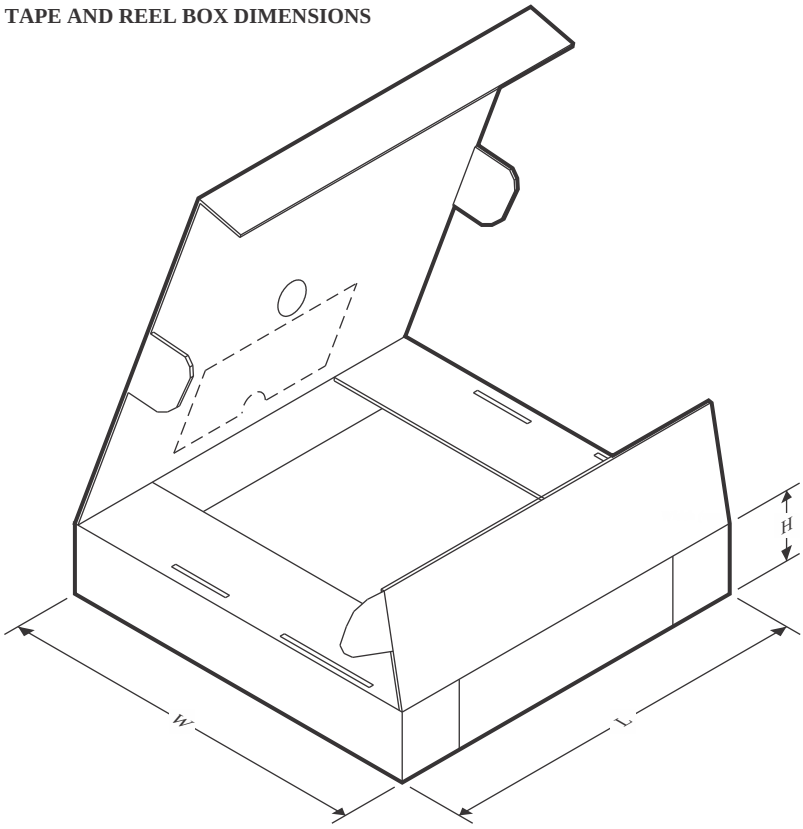
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
THVD1424RGTR	VQFN	RGT	16	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
THVD1424RGTRG4	VQFN	RGT	16	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



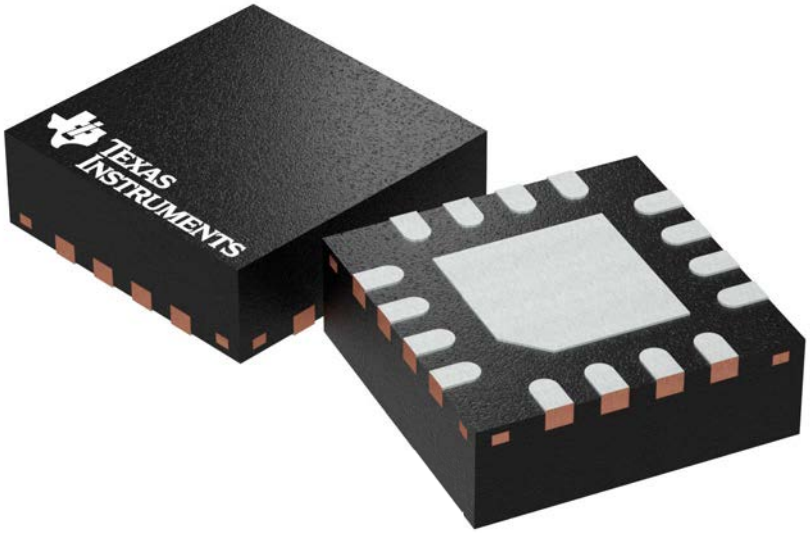
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
THVD1424RGTR	VQFN	RGT	16	5000	367.0	367.0	35.0
THVD1424RGTRG4	VQFN	RGT	16	5000	367.0	367.0	35.0

RGT 16

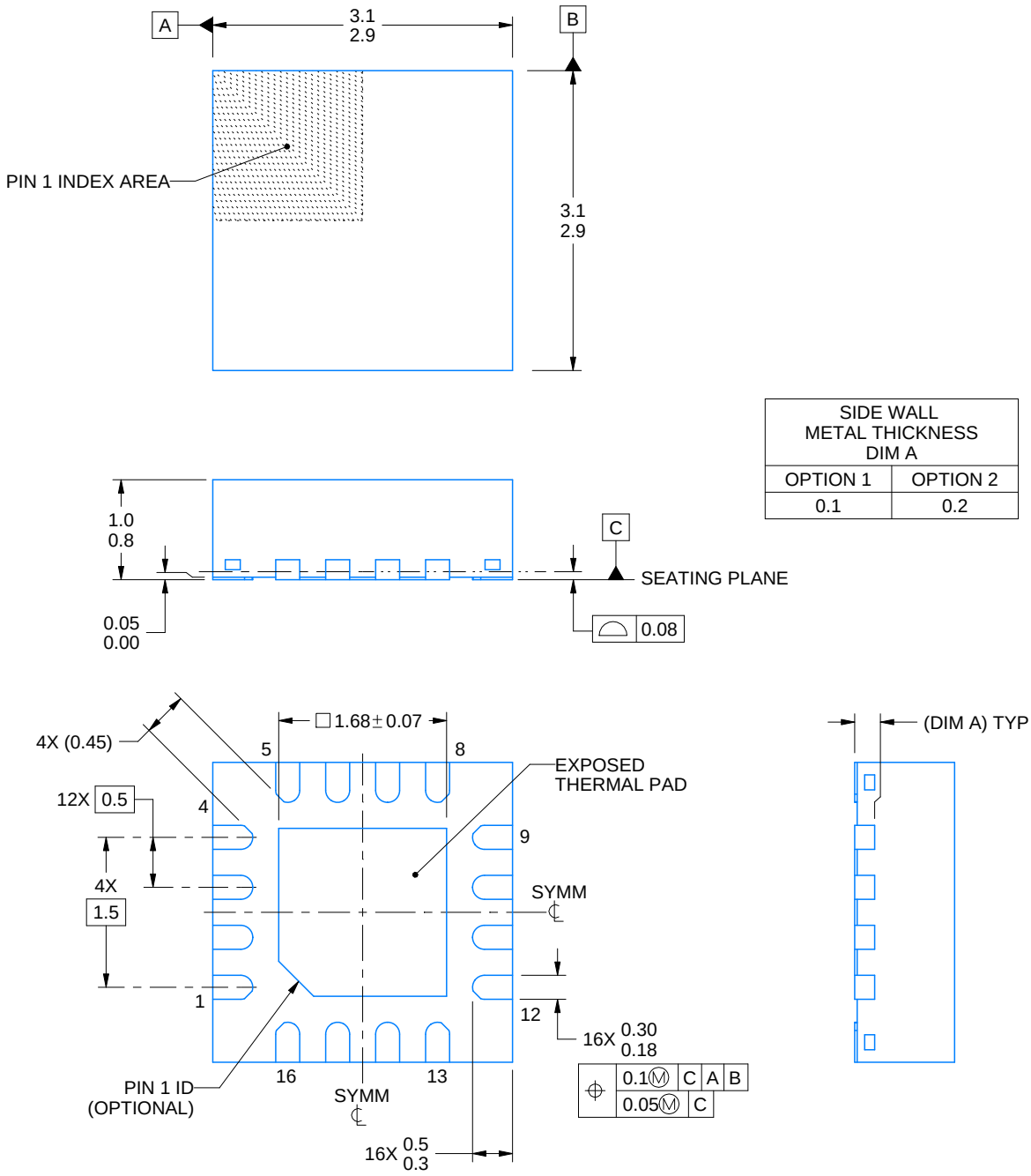
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4203495/I

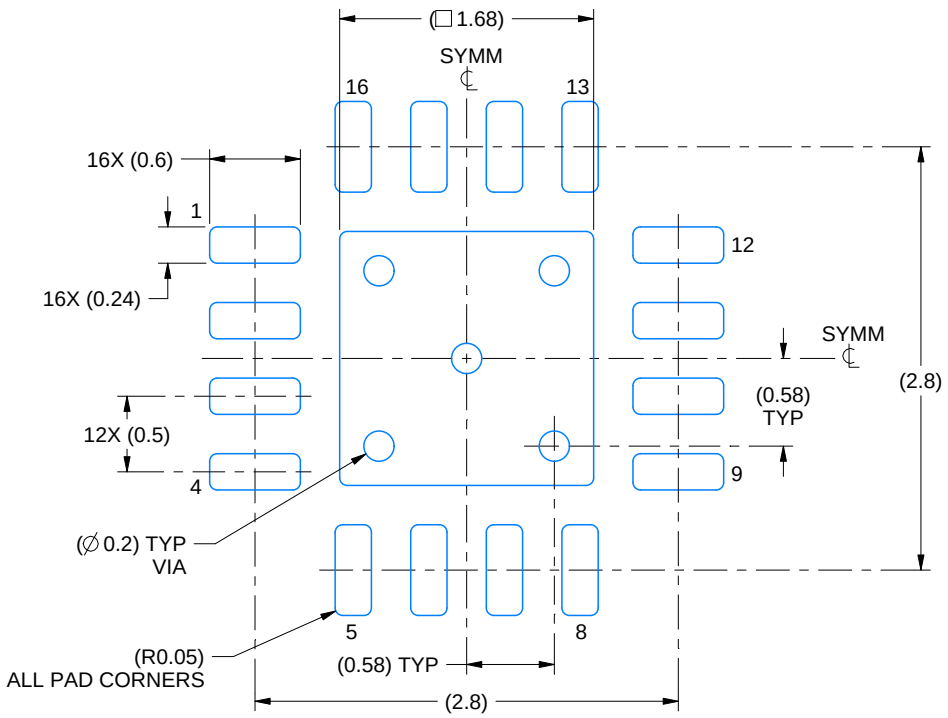


SIDE WALL METAL THICKNESS DIM A	
OPTION 1	OPTION 2
0.1	0.2

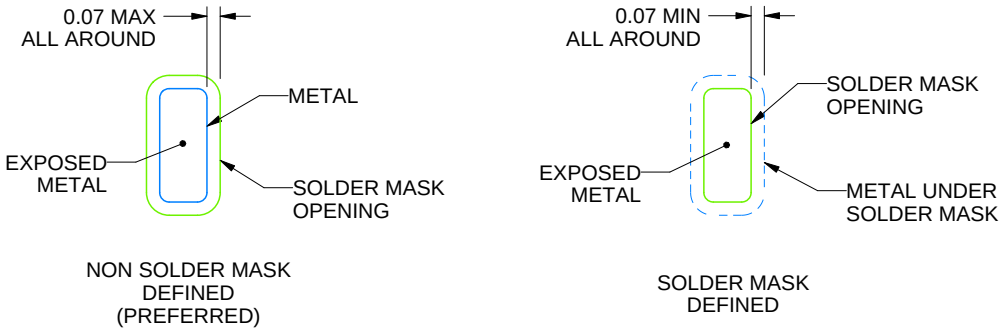
4222419/E 07/2025

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

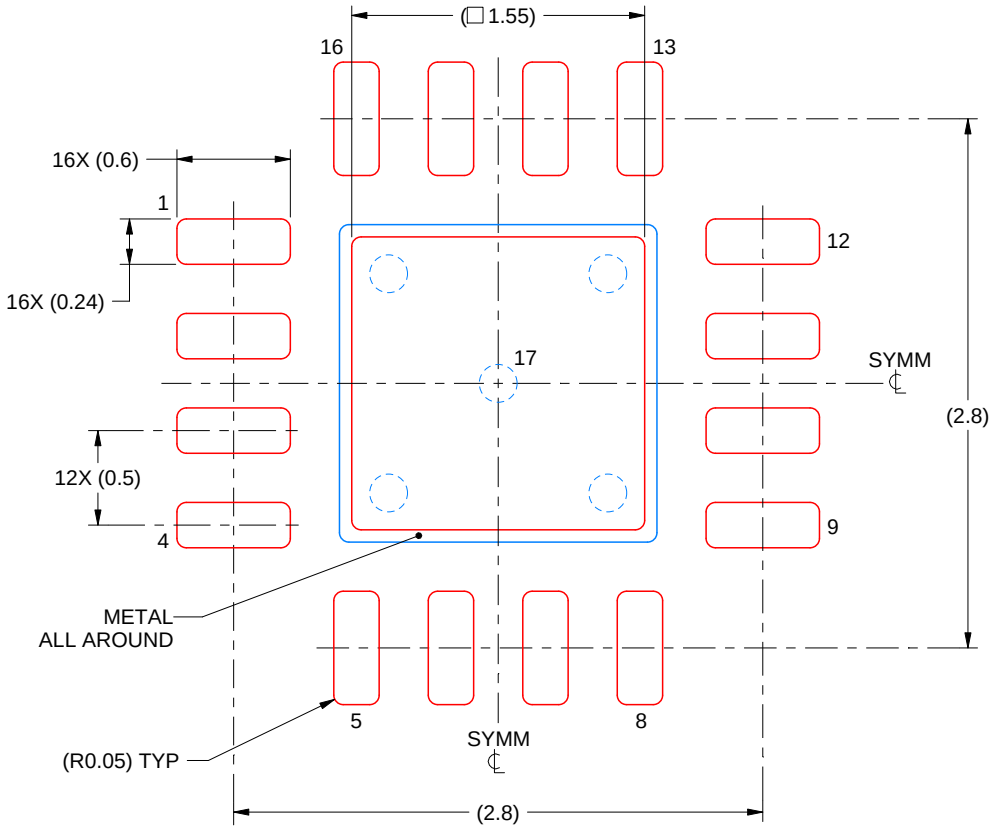


SOLDER MASK DETAILS

4222419/E 07/2025

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4222419/E 07/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス· インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、 テキサス· インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス· インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス· インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、 テキサス· インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。 テキサス· インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、 テキサス· インスツルメンツおよびその代理人を完全に補償するものとし、 テキサス· インスツルメンツは一切の責任を拒否します。

テキサス· インスツルメンツの製品は、 テキサス· インスツルメンツの販売条件、または ti.com やかかる テキサス· インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。 テキサス· インスツルメンツがこれらのリソースを提供することは、適用される テキサス· インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、 テキサス· インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated