

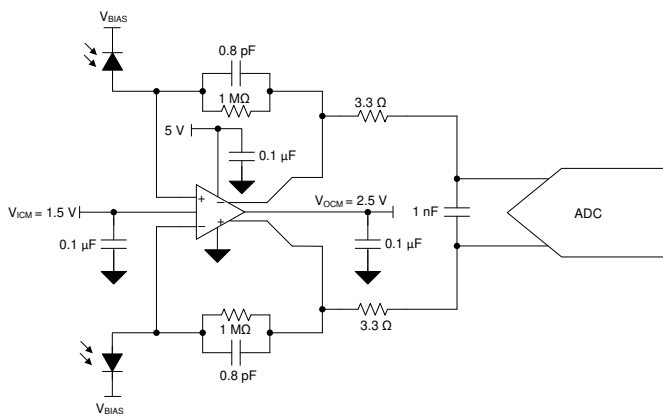
THS4567 220MHz、高入力インピーダンス、独立入力および出力同相モード制御付き完全差動アンプ

1 特長

- ゲイン帯域幅積 (GBWP): 220 MHz
- スルー レート: 500 V/ μ s
- 帯域幅: 42 MHz ($G = 10$ V/V)
- 電圧ノイズ: 4.2 nV/ $\sqrt{\text{Hz}}$
- 電源電流 (I_Q): 2 mA
- I_Q : 28 μ A (シャットダウン)
- レール ツー レール出力 (RRO)
- 高インピーダンスの CMOS 入力
- 入力と出力で独立した同相モード制御
- 標準の完全差動アンプ (FDA) として使用するために入力同相モード ループをディセーブル
- 単一電源電圧範囲: 3.3V ~ 5.5 V
- 分割電源電圧範囲: ± 1.65 V ~ ± 2.75 V
- 動作温度範囲: -40°C ~ 125°C

2 アプリケーション

- アブソリュート光エンコーダ
- AC ドライブ位置フィードバック
- リニア モーター位置センサ
- 医療用パルス オキシメータ
- 光学コヒーレントトモグラフィ



光エンコーダ用シングル ステージ差動入力 / 差動出力、TIA および ADC ドライバ

3 概要

THS4567 デバイスは、独立した入力同相モード (VICM) および出力同相モード (VOCM) 制御を備えた新しい完全差動アンプ (FDA) です。標準的な FDA は出力同相モード制御のみを備えています。THS4567 は、最小安定ゲインが 10V/V の非補償型アンプです。

THS4567 は、完全差動トランスインピーダンス アンプ (TIA) および A/D コンバータ (ADC) ドライバとして、単一の統合段で動作します。

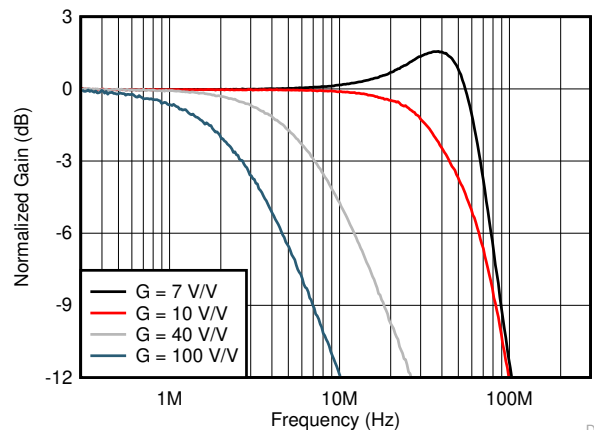
VICM ループは、フォトダイオード (PD) の逆バイアスをアンプの入力および出力スイングのコンプライアンス範囲から分離するため、設計者は PD の逆バイアスを最大化し、PD 容量を最小化できます。VICM ループをディセーブルにすると、THS4567 を標準の FDA として動作させることができます。

VOCM ループは差動出力同相モード電圧を設定し、通常は次の ADC 段の同相モード基準電圧に設定します。

製品情報 (1)

部品番号	パッケージ	本体サイズ (公称)
THS4567	WQFN (10)	2.00 mm × 2.00 mm

(1) 利用可能なパッケージについては、データシートの末尾にあるパッケージ オプションについての付録を参照してください。



小信号周波数応答とゲインとの関係

D201



目次

1 特長.....	1	7.4 デバイスの機能モード.....	18
2 アプリケーション.....	1	8 アプリケーションと実装.....	19
3 概要.....	1	8.1 アプリケーション情報.....	19
4 改訂履歴.....	2	8.2 代表的なアプリケーション.....	20
5 ピン構成および機能.....	3	8.3 0V バイアスのフォトダイオードを持った差動 TIA.....	24
6 仕様.....	4	8.4 差動 AC 結合した TIA.....	25
6.1 絶対最大定格.....	4	9 電源に関する推奨事項.....	25
6.2 ESD 定格.....	4	10 レイアウト.....	26
6.3 推奨動作条件.....	4	10.1 レイアウトのガイドライン.....	26
6.4 熱に関する情報.....	4	10.2 レイアウト例.....	26
6.5 電気的特性: 差動 TIA モード、ICM ループ イネーブル.....	5	11 デバイスおよびドキュメントのサポート.....	27
6.6 電気的特性: FDA 動作、ICM ループ ディスエーブル.....	6	11.1 ドキュメントのサポート.....	27
6.7 代表的特性: $(V_{S+}) - (V_{S-}) = 5V$	9	11.2 ドキュメントの更新通知を受け取る方法.....	27
7 詳細説明.....	16	11.3 サポート・リソース.....	27
7.1 概要.....	16	11.4 商標.....	27
7.2 機能ブロック図.....	16	11.5 静電気放電に関する注意事項.....	27
7.3 機能説明.....	17	11.6 用語集.....	27
		12 メカニカル、パッケージ、および注文情報.....	27

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
2020 年 12 月	*	初版

5 ピン構成および機能

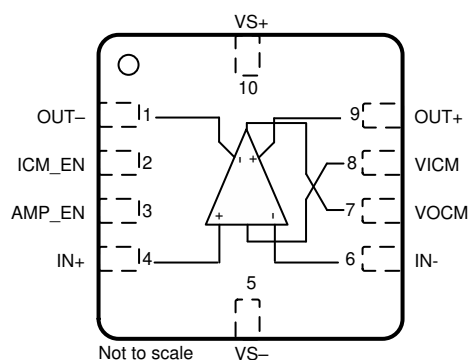


図 5-1. RUN パッケージ
10 ピン WQFN
上面図

表 5-1. ピンの機能

名称	ピン番号	I/O	説明
AMP_EN	3	I	アンプがイネーブル。High (デフォルト) = 通常動作、Low = 電源オフ モード。
ICM_EN	2	I	入力同相モード ループ イネーブル。High (デフォルト) = ICM ループがイネーブル (TIA モード)、ICM ループがディスエーブル (FDA モード)。
IN+	4	I	非反転 (正) アンプ入力 (V_{IN+} = ピン 4 で測定された電圧)。
IN-	6	I	反転 (負) アンプ入力 (V_{IN-} = ピン 6 で測定された電圧)。
OUT+	9	O	非反転 (正) アンプの出力 (V_{OUT+} = ピン 9 で測定された電圧)。
OUT-	1	O	反転 (負) アンプの出力 (V_{OUT-} = ピン 1 で測定された電圧)。
VICM	8	I	入力同相モード電圧入力 (VICM = ピン 8 に印加される電圧、 V_{ICM} = ピン 8 で測定された電圧)。
VOCM	7	I	出力同相モード電圧入力 (VOCM = ピン 7 に印加される電圧、 V_{OCM} = 平均出力電圧)。
VS+	10	–	正の電源入力 (V_{S+} = ピン 10 に印加される電圧)。
VS-	5	–	負の電源入力 (V_{S-} = ピン 5 に印加される電圧)。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V_S	全電源電圧、($V_{S+} - V_{S-}$)		5.75	V
	入力、出力、イネーブル、同相モード ピンの電圧範囲	$(V_{S-}) - 0.5$	$(V_{S+}) + 0.5$	V
	差動入力ピン電圧		± 1	V
I_{IN}	連続入力電流		± 10	mA
I_{OUT}	連続出力電流 ⁽²⁾		± 20	mA
T_J	接合部温度		150	°C
T_A	自由空気での動作温度	-40	125	°C
T_{stg}	保管温度	-65	150	°C

- (1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみにについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) エレクトロマイグレーションを制限するための長期的な連続出力電流。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	± 3000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン ⁽²⁾	± 1000	

- (1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由空気での動作温度範囲内 (特に記述のない限り)。

		最小値	公称値	最大値	単位
V_S	全電源電圧	3.3	5	5.5	V
T_A	自由空気での動作温度	-40		125	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		THS4567	単位
		RUN (WQFN)	
		10 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	118	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	70.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	57.5	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	3.7	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	57.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

6.5 電気的特性：差動 TIA モード、ICM ループ イネーブル

$V_{S+} = 2.5V$, $V_{S-} = -2.5V$, $V_{OCM} =$ オープン, $V_{ICM} =$ オープン, $R_F = 1M\Omega$, $C_F = 0.4pF$, $C_{IN} = 10pF$ (各入力ピン), $AMP_EN = 2.5V$, ICM ループ イネーブル ($ICM_EN = 2.5V$), $T_A = 25^\circ C$ 。(特に記述のない限り)。

パラメータ		テスト条件	最小値	代表値	最大値	単位
AC 性能 (ICM ループ)						
GBWP	差動トランスインピーダンス ゲイン帯域幅積	V _{OUT} = 100 mV _{pp}		220		MHz
	入力コモン モード制御ループの小信号帯域幅	V _{OUT} = 100 mV _{pp}		5		MHz
i _N	入力差動電流ノイズ	f = 100kHz、ICM ループ ディスエーブル		0.02		pA/√Hz
		f = 100kHz、ICM ループの出力電流、I _{CM_CTL} ⁽³⁾ < 750nA		0.35		
		f = 100kHz、ICM ループの出力電流、I _{CM_CTL} ⁽³⁾ < 2.8μA		0.5		
		f = 100kHz、ICM ループの出力電流、I _{CM_CTL} ⁽³⁾ < 5.5 μA		0.65		
		f = 100kHz、ICM ループの出力電流、I _{CM_CTL} ⁽³⁾ < 17 μA		1.1		
		f = 100kHz、ICM ループの出力電流、I _{CM_CTL} ⁽³⁾ < 55 μA		1.9		
DC 性能 (ICM ループ)						
V _{ICM} ⁽¹⁾	V _{ICM} ピンのデフォルト電圧が V _S より高い	V _{ICM} ピンがオープン (ピン 8 で測定された電圧)	1.4	1.55	1.75	V
V _{ICM} ⁽¹⁾	デフォルトの入力コモン モード電圧は V _S より高い	V _{ICM} ピンはオープン、V _{ICM} = (V _{IN+} +V _{IN-})/2	1.4	1.55	1.75	V
ΔV _{ICM} /ΔT _A	入力コモン モード電圧ドリフト	T _A = -40°C〜+125°C、V _{ICM} ピンはオープン		160		μV/°C
ΔV _{ICM} /ΔI _{CM_CTL}	入力コモン モード電圧と I _{CM_CTL} 電流との関係 ⁽²⁾ ⁽³⁾	I _{CM_CTL} 変動 = 5μA〜20μA	2	2.8	3.6	mV/μA
ΔV _{ICM} /ΔT _A	入力コモン モード電圧オフセットドリフト	T _A = -40°C〜+125°C、V _{ICM} ピンを中電圧に駆動		22		μV/°C
V _{IN_OS}	入力コモン モード オフセット誤差	V _{ICM} ピンを中電圧に駆動、I _{CM_CTL} = 0 ⁽²⁾ 、V _{IN_OS} = (V _{ICM} - V _{ICM})	-25	±2.5	25	mV
	V _{ICM} ピン DC 入力抵抗	V _{ICM} ピンを中電圧に駆動		200		kΩ
	V _{ICM} 入力 High	中電圧オフセットからのシフトは ±20mV 以下、I _{CM_CTL} ≤ 100μA	V _{S+} - 1.5	V _{S+} - 1.3		V
	V _{ICM} 入力 Low	中電圧オフセットからのシフトは ±20mV 以下、I _{CM_CTL} ≤ 100μA		V _{S-} + 0.8	V _{S-} + 1	V
I _{CM_OS}	入力間の入力コモン モード制御電流オフセットのミスマッチ	I _{CM_OS} = ΔI _{(CM_CTL, IN+/IN-)/Average} I _{CM_CTL} 、I _{CM_CTL} = 10μA		0.5%		

- (1) V_{ICM} は、FDA 入力 ($IN+$ および $IN-$) でのコモン モード電圧または平均電圧です。入力コモン モード (ICM) 制御機能がイネーブルのとき ($ICM_EN = High$)、デバイスは整合したソース/シンク制御電流を生成して、入力ピンを VICM ピンの基準電圧に向かって駆動します。したがって、VICM はピン 8 の電圧を表す一方、 V_{ICM} は平均入力電圧を表します。
- (2) I_{CM_CTL} は、デバイスの I_{IN+} ピンと I_{IN-} ピンで ICM ループによって生成された、整合したソース/シンク制御電流の大きさを指します。
- (3) 正の I_{CM_CTL} 電流は、FDA 入力ピンに流入する全電流 (外部コモン モード + フィードバック) を調整する ICM 制御ループによって生成されるシンク (プルダウン) 電流として定義されます。

6.6 電気的特性 : FDA 動作、ICM ループ ディスエーブル

$V_{S+} = 2.5V$ 、 $V_{S-} = -2.5V$ 、 $V_{OCM} = \text{Open}$ 、 $V_{ICM} = \text{Open}$ 、 $R_F = 5k\Omega$ 、ゲイン = 10V/V、ICM ループ ディスエーブル (ICM_EN = -2.5V)、 $R_L = 1k\Omega$ 、 $T_A = 25^\circ\text{C}$ 。(特に記述のない限り)。

パラメータ		テスト条件	最小値	代表値	最大値	単位
AC 特性						
SSBW	小信号帯域幅	$V_{OUT}^{(2)} = 100 \text{ mV}_{PP}$		43		MHz
LSBW	大信号帯域幅	$V_{OUT}^{(2)} = 8 \text{ V}_{PP}$		28		MHz
GBWP	ゲイン帯域幅積			220		MHz
	スルー レート	$V_{OUT} = 8V$ ステップ、20% ↔ 80%		500		V/μs
t_R 、 t_F	立ち上がりおよび立ち下がり時間	$V_{OUT} = 100\text{mV}_{PP}$ 、10% ↔ 90%		8		ns
	0.1% セットリング タイム	$V_{OUT} = 8V$ ステップ		65		ns
	0.001% セットリング タイム			175		
HD2	2 次高調波歪	$f = 100\text{kHz}$ 、 $V_{OUT} = 2V_{PP}$		-115		dBc
		$f = 100\text{kHz}$ 、 $V_{OUT} = 8 \text{ V}_{PP}$		-105		
HD3	3 次高調波歪	$f = 100\text{kHz}$ 、 $V_{OUT} = 2V_{PP}$		-118		dBc
		$f = 100\text{kHz}$ 、 $V_{OUT} = 8 \text{ V}_{PP}$		-108		
e_N	入力差動電圧ノイズ	$f = 100 \text{ kHz}$		4.2		nV/√Hz
i_N	入力電流ノイズ、各入力			10		fA/√Hz
Z_{OUT}	閉ループの差動出力インピーダンス			0.2		Ω
DC 特性						
A_{OL}	開ループ ゲイン		104	117		dB
V_{OS}	入力換算オフセット電圧	$V_{OS} = (V_{IN+} - V_{IN-})$	-10	0.2	10	mV
$\Delta V_{OS}/\Delta T_A$	入力換算オフセット電圧ドリフト	$T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$		1		μV/°C
I_{BN} 、 I_{BI}	入力バイアス電流	非反転および反転入力		20		pA
I_{OS}	入力オフセット電流	$(I_{BN} - I_{BI})$		±20		pA
入力						
	差動入力抵抗	入力間の実効シャント抵抗		1		GΩ
	同相入力抵抗	各入力での AC GND に対する実効シャント抵抗		1		
	差動入力容量	入力間の実効シャント容量		0.6		pF
	同相入力キャパシタンス	各入力での AC GND への実効シャント容量		0.9		
CMRR	同相除去比	CMRR = $(\Delta V_{CM}/\Delta V_{OS})$. 入力は中電圧付近で ±500mV シフト	70	80		dB
CMIR+	コモン モード入力 High	$T_A = 25^{\circ}\text{C}$ 、 $A_{OL} > 90\text{dB}$	$V_{S+} - 1.85$	$V_{S+} - 1.6$		V
		$T_A = -40^{\circ}\text{C} \sim +125^{\circ}\text{C}$ 、 $A_{OL} > 90\text{dB}$	$V_{S+} - 1.65$			
CMIR−	コモン モード入力 Low	$T_A = 25^{\circ}\text{C}$ 、 $A_{OL} > 90\text{dB}$	$V_{S-} + 0.2$	$V_{S-} - 0.2$		V
		$T_A = -40^{\circ}\text{C}$ から $+125^{\circ}\text{C}$ 、 $A_{OL} > 90\text{dB}$	$V_{S-} - 0.1$			

6.6 電気的特性 : FDA 動作、ICM ループ ディスエーブル (続き)

$V_{S+} = 2.5V$ 、 $V_{S-} = -2.5V$ 、 $V_{OCM} = \text{Open}$ 、 $V_{ICM} = \text{Open}$ 、 $R_F = 5k\Omega$ 、ゲイン = $10V/V$ 、ICM ループ ディスエーブル ($ICM_EN = -2.5V$)、 $R_L = 1k\Omega$ 、 $T_A = 25^\circ C$ 。(特に記述のない限り)。

パラメータ		テスト条件	最小値	代表値	最大値	単位
出力						
	いずれかの電源の出力電圧範囲	$R_L = 20k\Omega$ 、 $T_A = 25^\circ C$ 、入力を $\pm V_S/\text{ゲイン}$ に駆動	$V_S - 0.125$	$V_S - 0.075$		V
	いずれかの電源の出力電圧範囲	$R_L = 20k\Omega$ 、 $T_A = 25^\circ C$ 、 V_{OS} のデフォルト オフセットからのシフトは $150\mu V$ 未満	$V_S - 0.175$	$V_S - 0.125$		V
	いずれかの電源の出力電圧範囲	$R_L = 20k\Omega$ 、 $T_A = -40^\circ C \sim +125^\circ C$ 、 V_{OS} のデフォルト オフセットからのシフトは $150\mu V$ 未満		$V_S - 0.175$		V
	いずれかの電源の出力電圧範囲	$R_L = 1k\Omega$ 、 $T_A = 25^\circ C$ 、 V_{OS} のデフォルト オフセットからのシフトは $150\mu V$ 未満	$V_S - 0.25$	$V_S - 0.2$		V
	いずれかの電源の出力電圧範囲	$R_L = 1k\Omega$ 、 $T_A = -40^\circ C \sim +125^\circ C$ 、 V_{OS} のデフォルト オフセットからのシフトは $150\mu V$ 未満		$V_S - 0.25$		V
出力コモン モード (VOCM) 制御						
	出力コモン モード ループ SSBW	VOCM ⁽³⁾ ピンの中電圧付近で $\pm 0.5mV$ で駆動		5		MHz
	出力コモン モード ループ LSBW	VOCM ピンの中電圧付近で $\pm 0.5V$ で駆動		4.5		MHz
$\Delta V_{OUT} / \Delta V_{OCM}$	DC 出力バランス ⁽²⁾ ⁽³⁾	VOCM = $\pm 1V$		80		dB
$\Delta V_{OCM} / \Delta V_{OCM}$	出力コモン モード ゲイン ⁽³⁾	VOCM ピンの中電圧付近で $\pm 1V$ で駆動	0.99	1	1.01	V/V
	VOCM ピンの入力 DC バイアス電流	VOCM ピンの中電圧に駆動		100		nA
	VOCM ピンの入力インピーダンス	VOCM ピンの中電圧付近で $\pm 0.5mV$ で駆動		200 1		k Ω pF
	VOCM 入力ピン電圧の中電圧からのオフセット ⁽⁴⁾	VOCM pin open	-8	-2	4	mV
V_{OCM_OS}	中電圧からの出力コモン モード電圧オフセット	VOCM pin open	-30	± 2.5	30	mV
$\Delta V_{OCM_OS} / T_A$	出力コモン モード電圧オフセットのドリフト	$T_A = -40^\circ C \sim +125^\circ C$ 、VOCM ピンはオープン		-22		$\mu V/^\circ C$
V_{OCM_OS}	中電圧からの出力コモン モード電圧オフセット	VOCM ピンの中電圧に駆動	-25	± 1.5	25	mV
$\Delta V_{OCM_OS} / T_A$	出力コモン モード電圧オフセットのドリフト	$T_A = -40^\circ C \sim +125^\circ C$ 、VOCM ピンの中電圧に駆動		-18		$\mu V/^\circ C$
	V_{S+} までの VOCM 入力ヘッドルーム	V_{OCM_OS} からのシフトは $\pm 10mV$ 未満		0.9	1	V
	V_{S+} までの VOCM 入力ヘッドルーム	$T_A = -40^\circ C \sim +125^\circ C$ 、 V_{OCM_OS} からのシフトは $\pm 10mV$ 未満		1		V
	V_{S-} からの VOCM 入力ヘッドルーム	V_{OCM_OS} からのシフトは $\pm 10mV$ 未満		0.9	1	V
	V_{S-} からの VOCM 入力ヘッドルーム	$T_A = -40^\circ C \sim +125^\circ C$ 、 V_{OCM_OS} からのシフトは $\pm 10mV$ 未満		1		V
$\Delta V_{OCM_OS} / \Delta V_{S+}$	正の電源電圧変動除去比	VOCM = 0V (駆動)		76		dB
$\Delta V_{OCM_OS} / \Delta V_{S-}$	負の電源電圧変動除去比			80		

6.6 電気的特性 : FDA 動作、ICM ループ ディスエーブル (続き)

$V_{S+} = 2.5V$ 、 $V_{S-} = -2.5V$ 、 $V_{OCM} = \text{Open}$ 、 $V_{ICM} = \text{Open}$ 、 $R_F = 5k\Omega$ 、ゲイン = $10V/V$ 、ICM ループ ディスエーブル ($ICM_EN = -2.5V$)、 $R_L = 1k\Omega$ 、 $T_A = 25^\circ C$ 。(特に記述のない限り)。

パラメータ		テスト条件	最小値	代表値	最大値	単位
電源						
I _Q	静止時電流	T _A = 25°C	1.4	1.9	2.5	mA
I _Q	静止時電流	VICM ループ イネーブル	1.5	2	2.7	mA
I _Q	ディスエーブル時の静止電流	AMP_EN = V _{S-}	10	28	40	μA
+PSRR	V _{S+} の電源除去比	VOCM を駆動	70	94		dB
-PSRR	V _{S-} の電源除去比	VOCM を駆動	90	110		dB
パワーダウソ						
V _{IH}	イネーブル電圧 (この電圧を超えるとアンブがオン)	AMP_EN および ICM_EN	V _{S+} - 0.7 V _{S+} - 0.5		V	
V _{IL}	ディスエーブル電圧スレッシュヨルド (この電圧より低いとアンブがオフ)		V _{S+} - 2 V _{S+} - 1.8			
I _{IH}	制御ピン High 入力バイアス電流	AMP_EN と ICM_EN を (V _{S+}) - 0.25V に駆動	3.5		7	μA
	スイッチ オン→オフに必要な外部プルダウソ電流 (1)		175			μA
I _{IL}	制御ピン Low 入力バイアス電流	AMP_EN と ICM_EN を V _{S-} に駆動	-5	-1.1		μA
t _{AMP_ON}	ターンオン時間の遅延 (メイン アンブ)	V _{OUT} が最終値の 1% 以内に安定するまでの時間	1.5			μs
t _{AMP_OFF}	ターンオフ時間の遅延 (メイン アンブ)	供給電流が 100μA 以下になるまでの時間	0.9			μs

- (1) AMP_EN ピンをフローティングのままにすることは推奨しません。プルアップ抵抗を使用する場合は、必要なバイアス電流を供給できることを確認してください。
- (2) V_{OUT} は差動出力電圧です ($V_{OUT-} - V_{OUT+}$)。
- (3) VOCM はピン 7 で測定される電圧を指します。 $V_{OCM} = [(V_{OUT+} + V_{OUT-})/2]$ は平均出力電圧です。
- (4) VOCM ピンで測定される電圧と中電圧とのオフセット。

6.7 代表的特性 : $(V_{S+}) - (V_{S-}) = 5V$

$V_{S+} = 2.5V$, $V_{S-} = -2.5V$, $V_{OCM} = \text{オープン}$, $V_{ICM} = \text{オープン}$, $R_F = 5k\Omega$, $G = 10V/V$, ICM ループ ディセーブル, $R_L = 1k\Omega$, シングルエンド入力、差動出力、入出力は中電圧および $T_A \approx 25^\circ C$ を基準としています、1 (特に記述のない限り)。

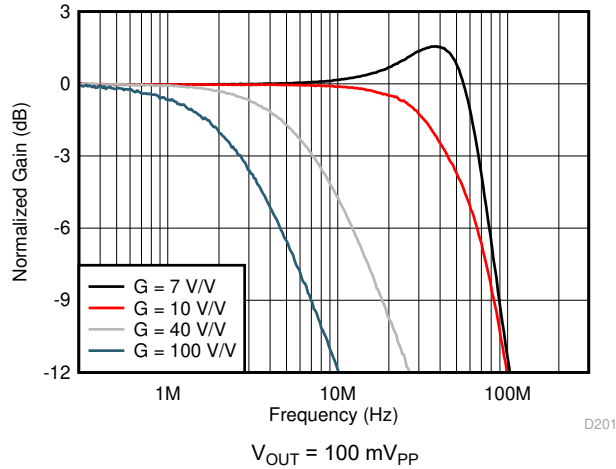


図 6-1. 小信号周波数応答とゲインとの関係

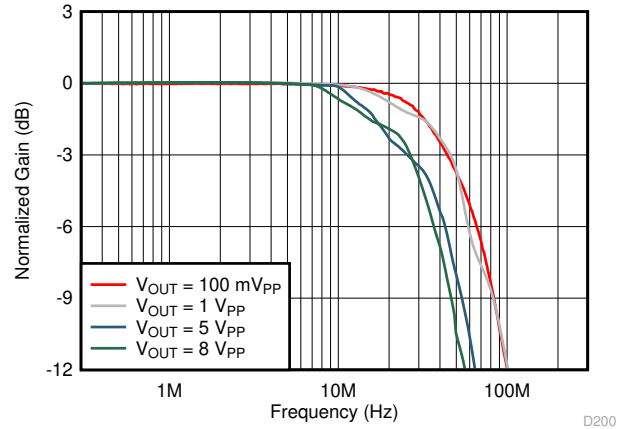


図 6-2. 周波数応答と V_{OUT} との関係

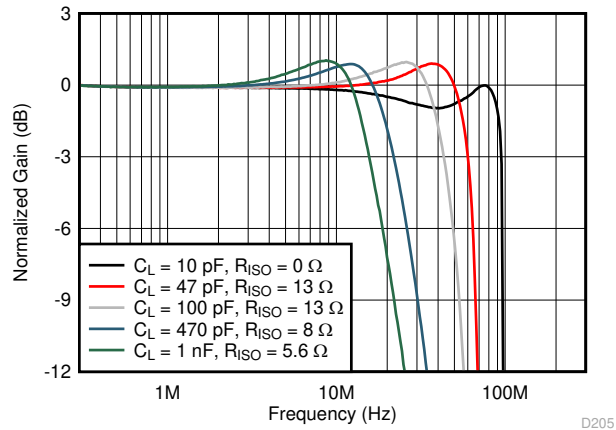


図 6-3. 小信号周波数応答と C_L との関係

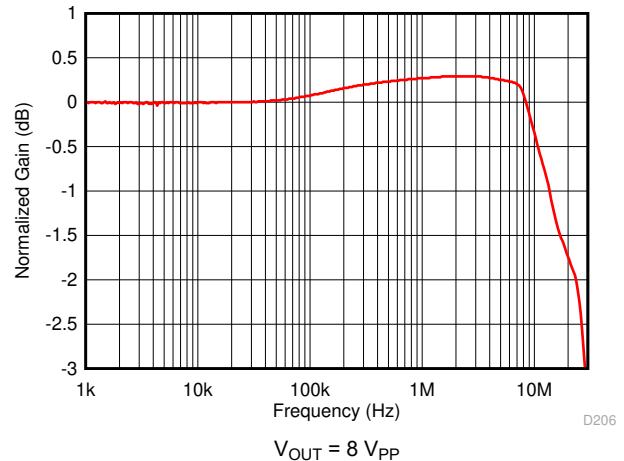


図 6-4. 大信号周波数応答の平坦性

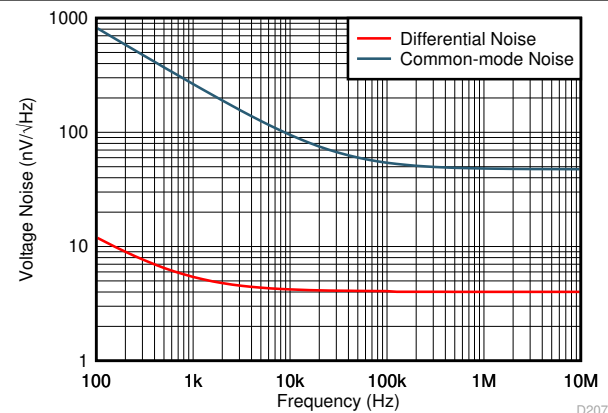


図 6-5. 入力換算電圧ノイズと周波数との関係

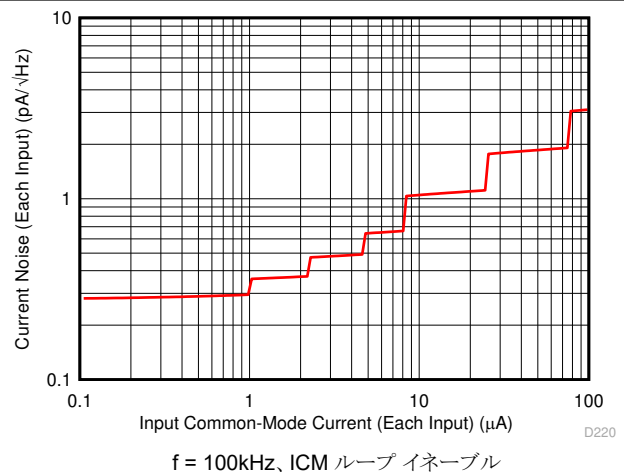


図 6-6. 入力換算電流ノイズと I_{CM_CTL} との関係

6.7 代表的特性 : $(V_{S+}) - (V_{S-}) = 5V$ (続き)

$V_{S+} = 2.5V$, $V_{S-} = -2.5V$, $V_{OCM} =$ オープン, $V_{ICM} =$ オープン, $R_F = 5k\Omega$, $G = 10V/V$, ICM ループ ディセーブル, $R_L = 1k\Omega$, シングルエンド入力, 差動出力, 入出力は中電圧および $T_A \approx 25^\circ C$ を基準としています, 1 (特に記述のない限り)。

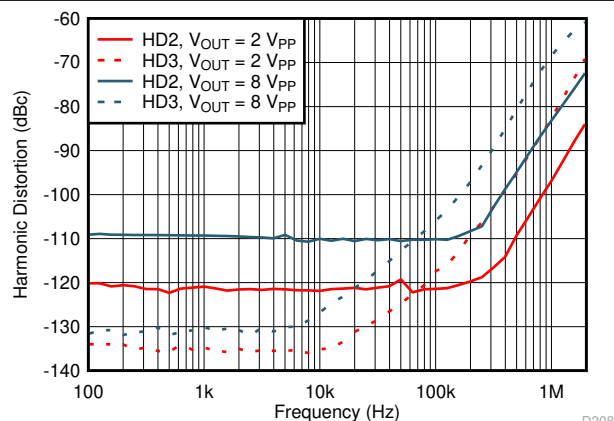
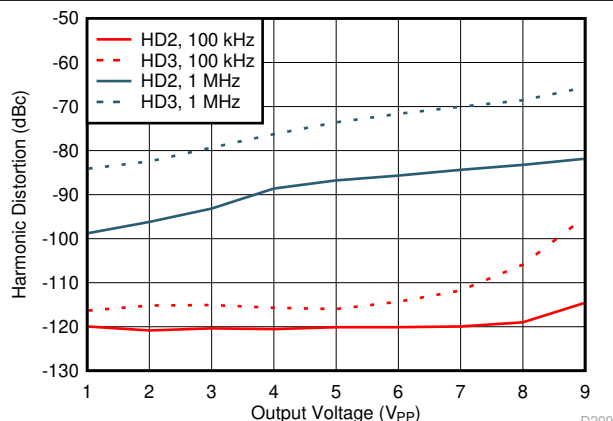
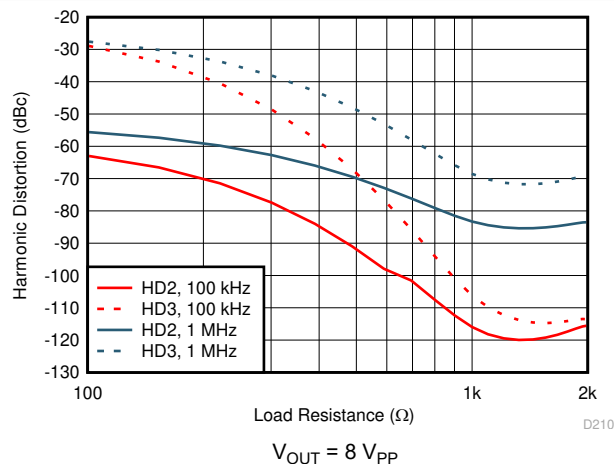
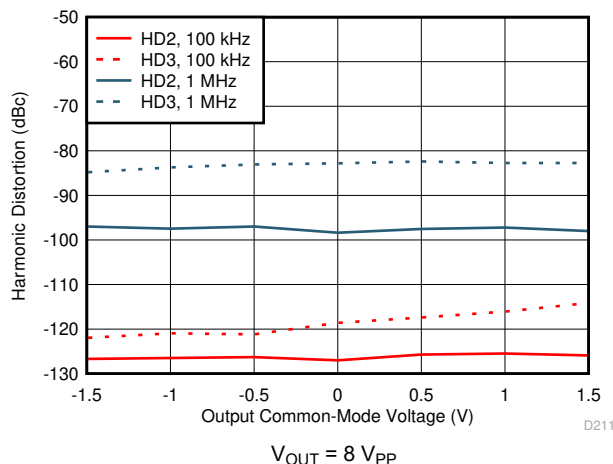
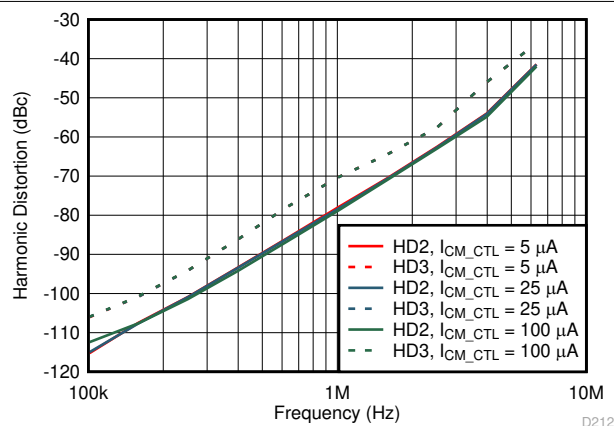
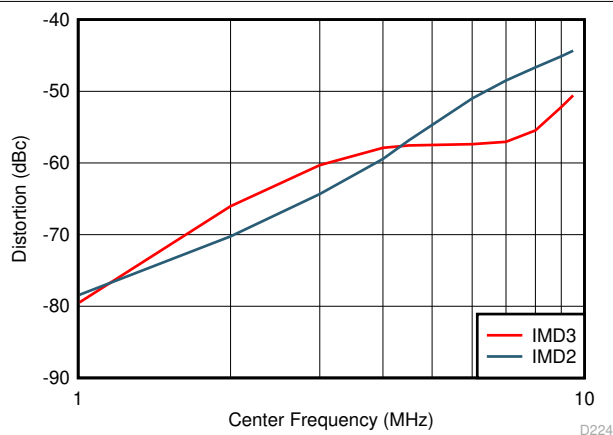


図 6-7. 高調波歪みと周波数との関係

図 6-8. 高調波歪みと V_{OUT} との関係図 6-9. 高調波歪みと R_L との関係図 6-10. 高調波歪みと V_{OCM} との関係

$V_{OUT} = 8V_{PP}$, 差動入力から差動出力, ICM ループ イネーブル

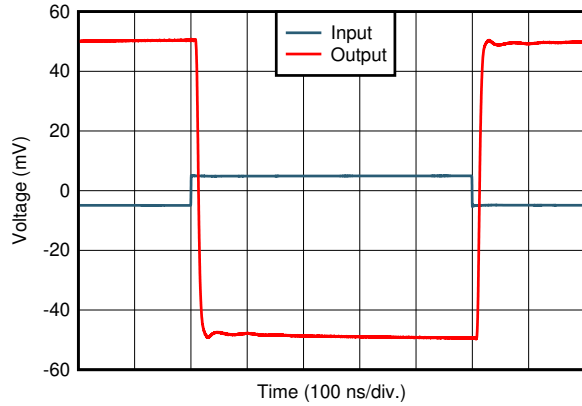
図 6-11. 高調波歪みと I_{CM_CTL} との関係

$V_{OUT} = 2V_{PP}$ (各トーン), 中心周波数からのトーン セパレーション = 100kHz

図 6-12. 相互変調歪みと周波数との関係

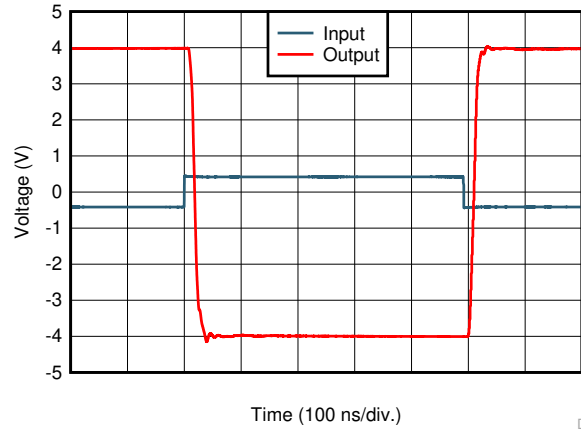
6.7 代表的特性 : (V_{S+}) – (V_{S-}) = 5V (続き)

$V_{S+} = 2.5V$ 、 $V_{S-} = -2.5V$ 、 $V_{OCM} =$ オープン、 $V_{ICM} =$ オープン、 $R_F = 5k\Omega$ 、 $G = 10V/V$ 、ICM ループ ディセーブル、 $R_L = 1k\Omega$ 、シングルエンド入力、差動出力、入出力は中電圧および $T_A \approx 25^\circ C$ を基準としています、1 (特に記述のない限り)。



$t_r/t_f = 8ns$

図 6-13. 小信号過渡応答



スルー レート (立ち上がりおよび立ち下がり) = 500V/μs

図 6-14. 大信号過渡応答

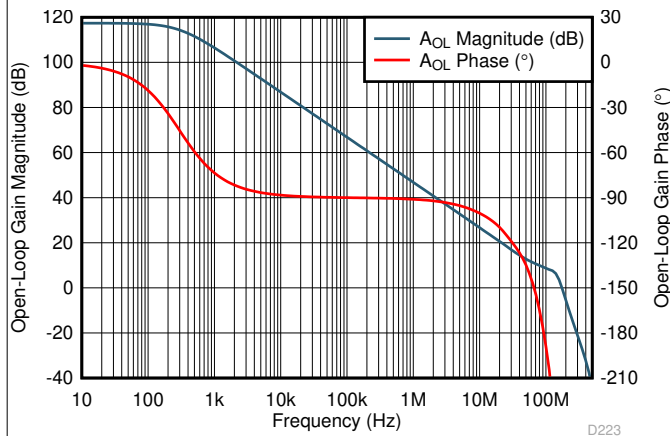
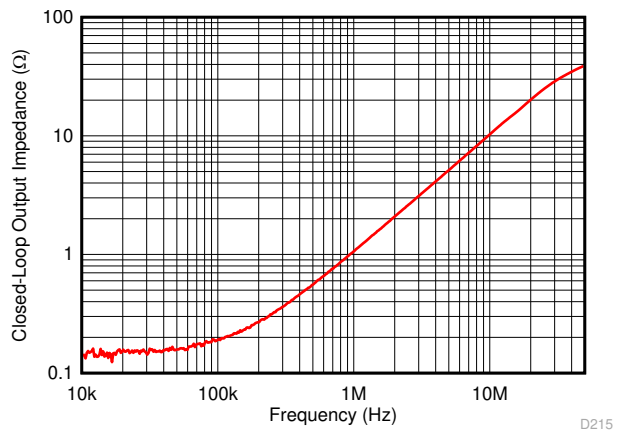


図 6-15. 開ループゲイン



$G = 1V/V$ 、 $V_{OUT} = 2V_{PP}$ 、 V_{OCM} 調整済み

図 6-16. 閉ループ出力インピーダンスと周波数との関係

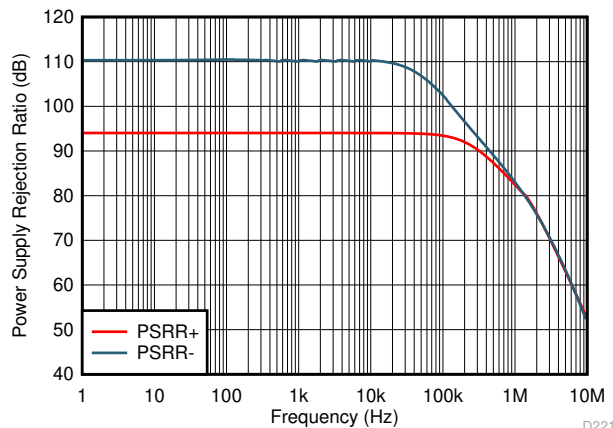


図 6-17. 電源除去比と周波数との関係

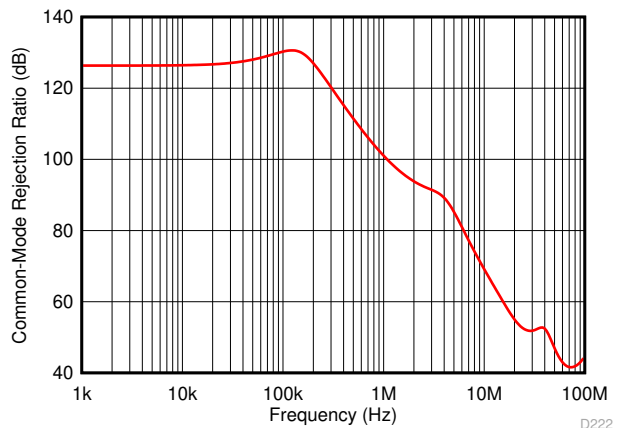
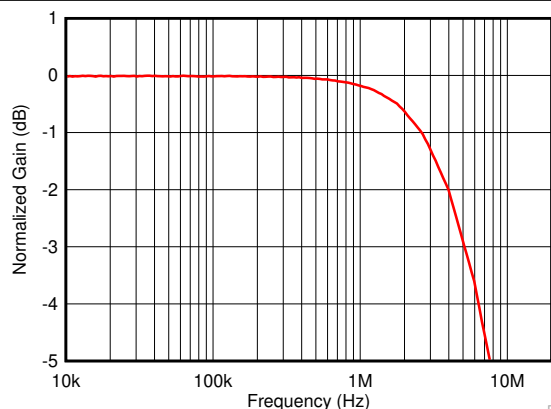


図 6-18. 同相除去比と周波数との関係

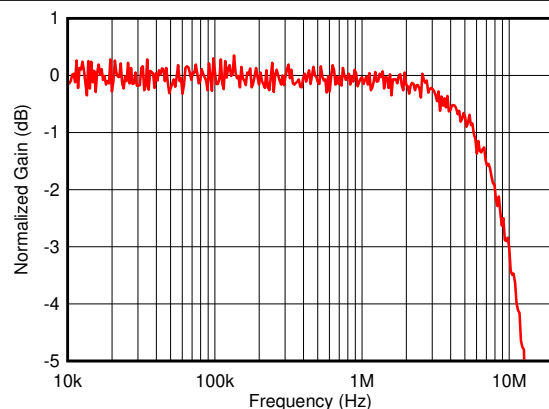
6.7 代表的特性 : $(V_{S+}) - (V_{S-}) = 5V$ (続き)

$V_{S+} = 2.5V$ 、 $V_{S-} = -2.5V$ 、 $V_{OCM} =$ オープン、 $V_{ICM} =$ オープン、 $R_F = 5k\Omega$ 、 $G = 10V/V$ 、ICM ループ ディセーブル、 $R_L = 1k\Omega$ 、シングルエンド入力、差動出力、入出力は中電圧および $T_A \approx 25^\circ C$ を基準としています、1 (特に記述のない限り)。



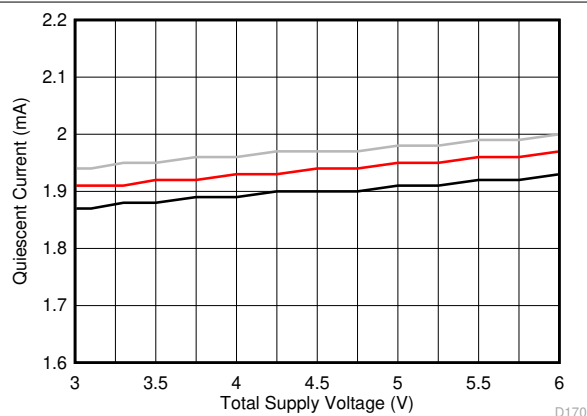
100mV_{pp} 信号で VOCM ピンを駆動。測定された平均出力電圧。

図 6-19. VOCM ループの小信号周波数応答



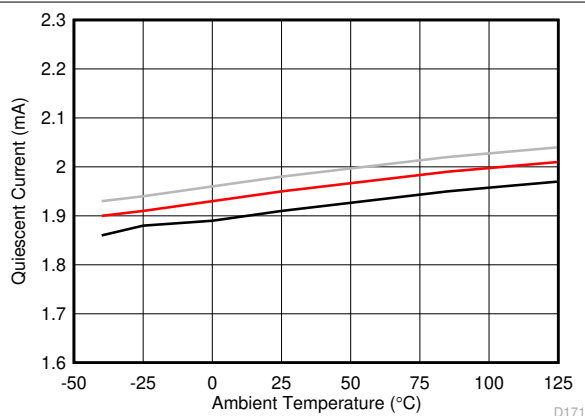
100mV_{pp} 信号で VICM ピンを駆動。測定された平均入力電圧。

図 6-20. VICM ループの小信号周波数応答



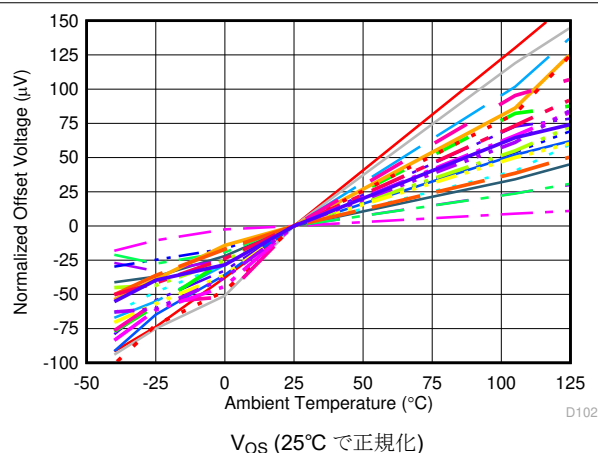
3 個の代表的なユニット

図 6-21. 静止電流と全電源電圧との関係



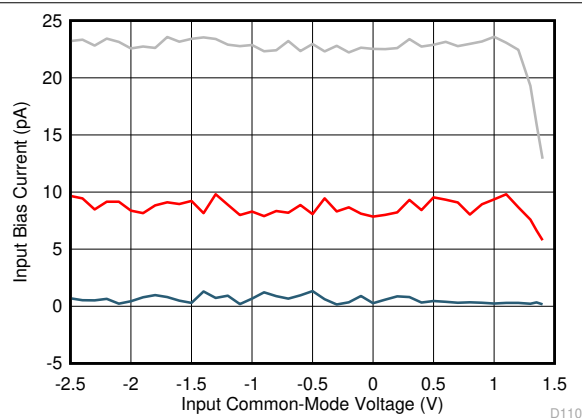
代表的なユニット

図 6-22. 静止電流と周囲温度の関係



V_{OS} (25°C で正規化)

図 6-23. オフセット電圧と周囲温度との関係

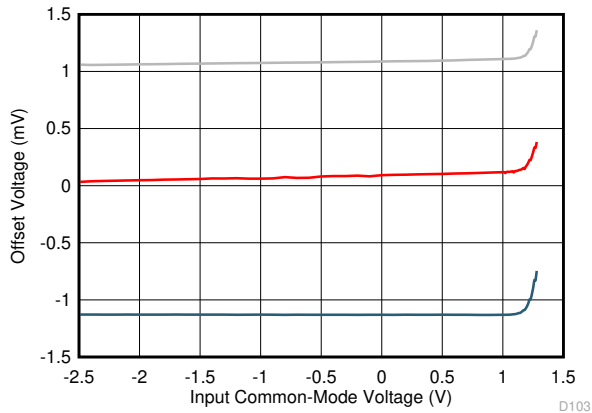


3 個の代表的なユニット

図 6-24. 入力バイアス電流と入力同相電圧との関係

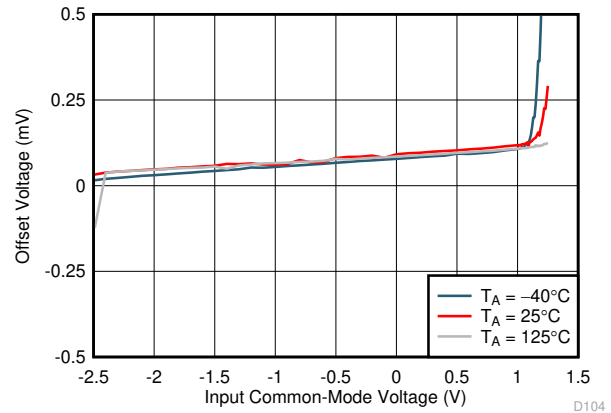
6.7 代表的特性 : $(V_{S+}) - (V_{S-}) = 5V$ (続き)

$V_{S+} = 2.5V$ 、 $V_{S-} = -2.5V$ 、 $V_{OCM} =$ オープン、 $V_{ICM} =$ オープン、 $R_F = 5k\Omega$ 、 $G = 10V/V$ 、ICM ループ ディセーブル、 $R_L = 1k\Omega$ 、シングルエンド入力、差動出力、入出力は中電圧および $T_A \approx 25^\circ C$ を基準としています、1 (特に記述のない限り)。



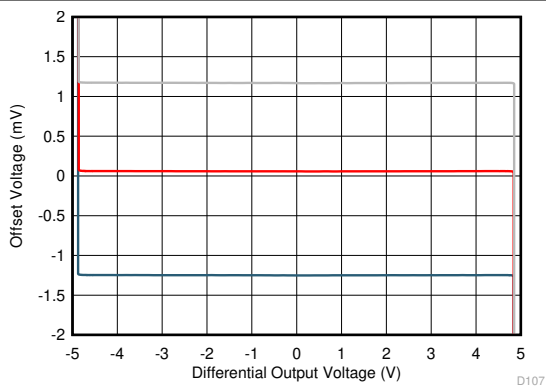
3 個の代表的なユニット

図 6-25. オフセット電圧 対 入力同相電圧



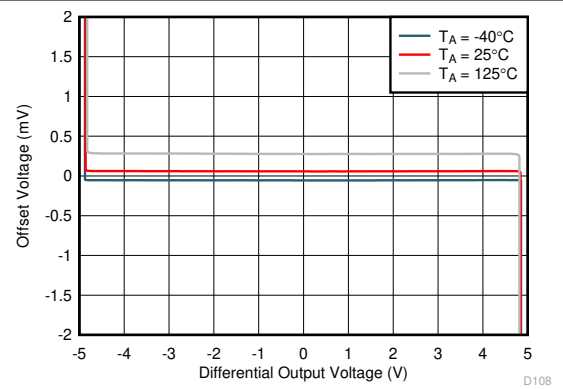
3 個の代表的なユニット

図 6-26. オフセット電圧、入力コモンモード電圧、周囲温度の関係



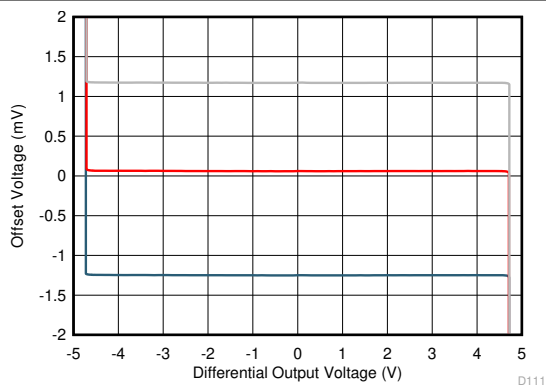
3 つの代表的なユニット、 $R_L = 20k\Omega$

図 6-27. オフセット電圧と差動出力電圧との関係



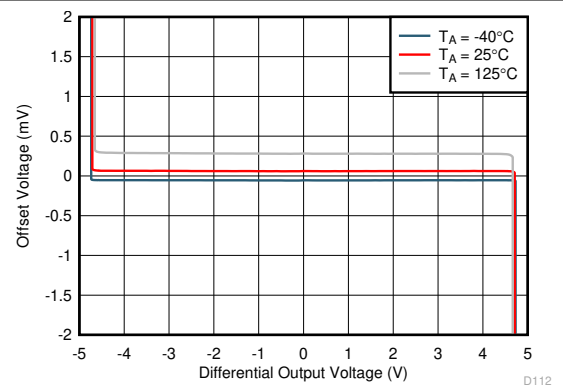
代表的なユニット、 $R_L = 20k\Omega$

図 6-28. オフセット電圧、差動出力電圧、周囲温度の関係



3 つの代表的なユニット、 $R_L = 1k\Omega$

図 6-29. オフセット電圧と差動出力電圧との関係

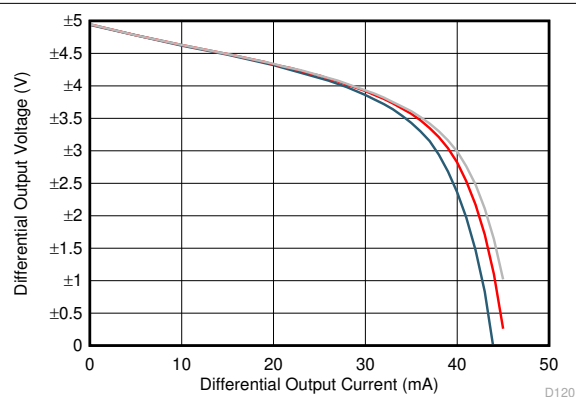


代表的なユニット、 $R_L = 1k\Omega$

図 6-30. オフセット電圧、差動出力電圧、周囲温度の関係

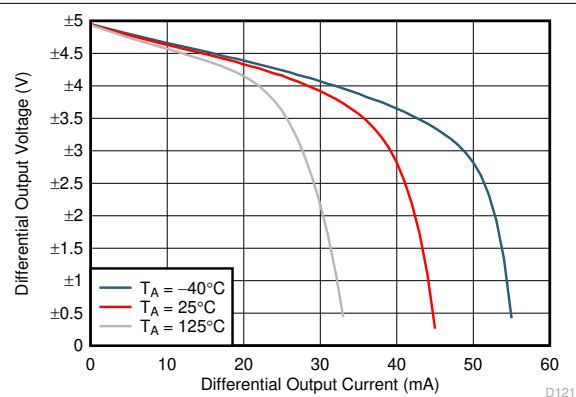
6.7 代表的特性 : $(V_{S+}) - (V_{S-}) = 5V$ (続き)

$V_{S+} = 2.5V$, $V_{S-} = -2.5V$, $V_{OCM} =$ オープン, $V_{ICM} =$ オープン, $R_F = 5k\Omega$, $G = 10V/V$, ICM ループ ディセーブル, $R_L = 1k\Omega$, シングルエンド入力, 差動出力, 入出力は中電圧および $T_A \approx 25^\circ C$ を基準としています, 1 (特に記述のない限り)。



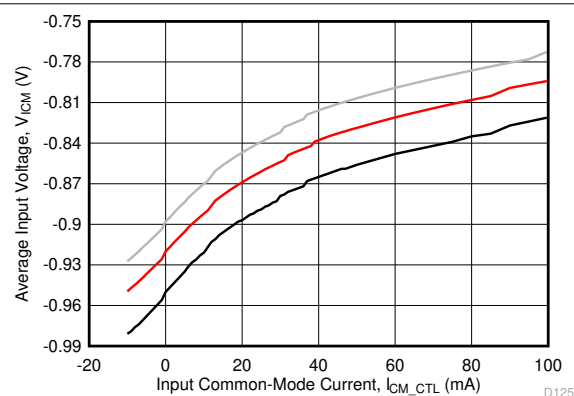
3 個の代表的なユニット

図 6-31. 差動出力電圧と負荷電流との関係



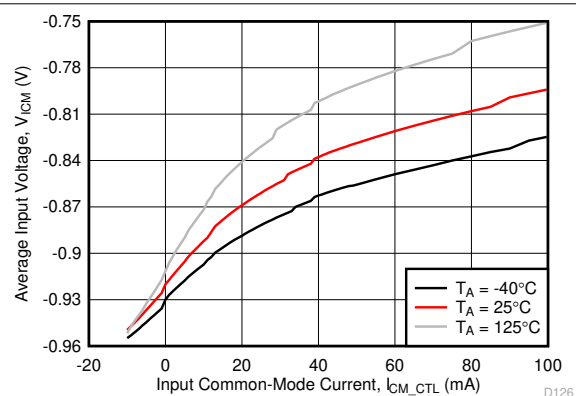
代表的なユニット

図 6-32. 差動出力電圧、負荷電流、周囲温度の関係



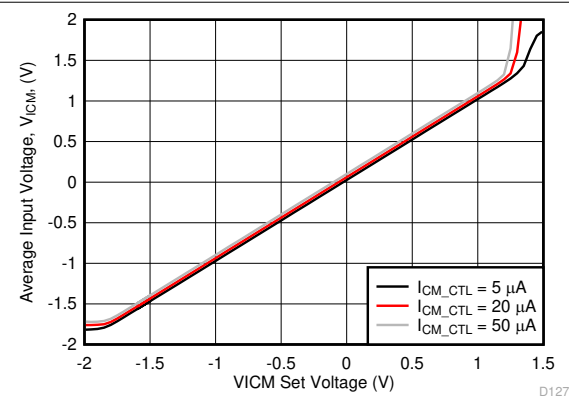
VICM ピン フローティング, 3 つの代表的なユニット

図 6-33. 平均入力電圧と入力コモン モード電流との関係



VICM ピン フローティング, 代表的なユニット

図 6-34. 平均入力電圧、入力コモン モード電流、周囲温度の関係



代表的なユニット

図 6-35. 平均入力電圧と VICM 設定電圧との関係

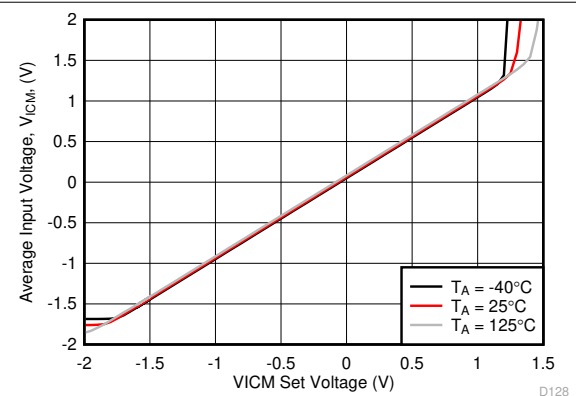
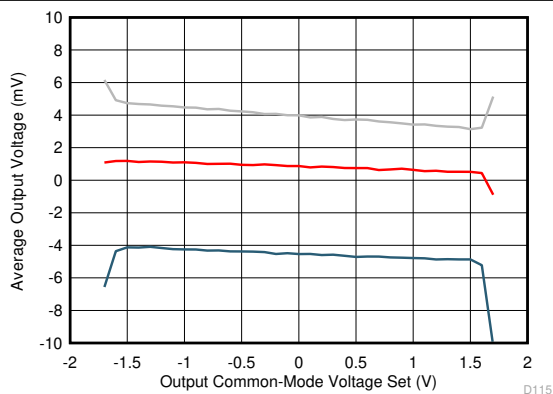
 $I_{CM_CTL} = 20\mu A$, 代表的なユニット

図 6-36. 平均入力電圧、VICM 設定電圧、周囲温度の関係

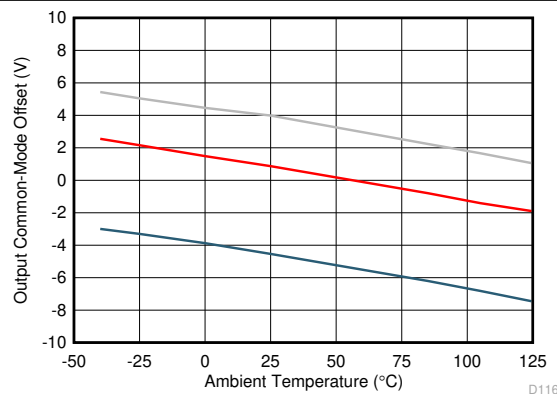
6.7 代表的特性 : $(V_{S+}) - (V_{S-}) = 5V$ (続き)

$V_{S+} = 2.5V$ 、 $V_{S-} = -2.5V$ 、 $V_{OCM} =$ オープン、 $V_{ICM} =$ オープン、 $R_F = 5k\Omega$ 、 $G = 10V/V$ 、ICM ループ ディセーブル、 $R_L = 1k\Omega$ 、シングルエンド入力、差動出力、入出力は中電圧および $T_A \approx 25^\circ C$ を基準としています、1 (特に記述のない限り)。



VOCM オフセット = $(V_{OCM} - V_{OCM})$ 、3 つの代表的なユニット

図 6-37. 出力コモン モード オフセット電圧と出力コモン モード設定電圧との関係



VOCM = 0V、3 つの代表的なユニット

図 6-38. 出力コモン モード オフセット電圧と周囲温度との関係

7 詳細説明

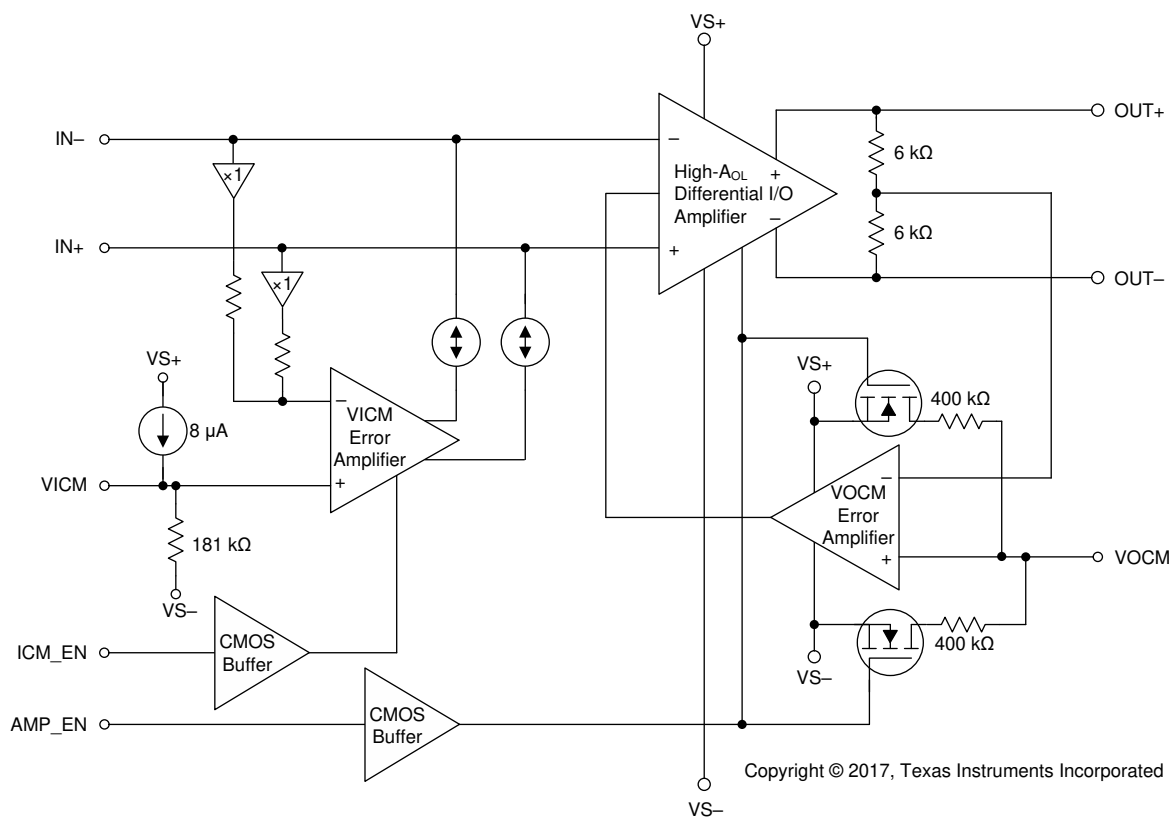
7.1 概要

THS4567 デバイスは、すべての完全差動アンプに一般的に見られる出力コモン モード制御ループに加えて、入力コモン モード制御ループを備えた独自の完全差動アンプです。THS4567 デバイスには入力バイアス電流が非常に低い、高インピーダンスの CMOS 入力段があります。THS4567 デバイスは、独立した入力および出力同相モード制御と、高インピーダンスの CMOS 入力を持った、理想的な高ゲイン、低ノイズの完全差動トランスインピーダンス アンプです。

THS4567 デバイスの入力同相モード ループは、ICM_EN ピンをターンオフ スレッシュホールド電圧より低く設定することでディセーブルでき、出力同相モード制御のみを備えた標準の完全差動アンプに変えることができます。THS4567 デバイスは 3.3V~5.5 V の広い電源電圧範囲で動作するため、差動 ADC の駆動や DAC 出力のバッファリングに最適です。

このデバイスは独自のアクティブ プルアップ抵抗による低消費電力モードを備えており、フローティングのままにしたときのシャットダウン ピンの EMI 信頼性が向上します。ロジック電圧がスイッチング スレッシュホールド領域の外にあるとき、AMP_EN ピンと ICM_EN ピンに流れるバイアス電流はほとんどありません。スイッチング スレッシュホールド領域内では、特に遷移領域付近でバイアス電流が増加します。バイアス電流が増加することで、EMI が存在する場合にロジックが誤ってスイッチングすることを防止します。

7.2 機能ブロック図



7.3 機能説明

THS4567 アーキテクチャは、次に示す 3 つの主要なビルディング ブロックで構成されています。

1. 高オープン ループ ゲイン 差動 I/O のメイン アンプ。
2. メイン アンプの差動出力の同相モードを設定する出力同相モード制御エラー アンプ。
3. 出力同相モードとは独立に、メイン アンプの差動入力同相モードを設定する入力同相モード制御エラー アンプ。

7.3.1 メイン アンプ

メイン 差動 I/O アンプは、220MHz の広いゲイン 帯域幅 積を持ち、10V/V を超えるゲイン 構成でも安定しています。メイン アンプの開ループ 応答を [図 6-15](#) に示します。メイン アンプは高インピーダンスの CMOS 入力段を備えており、入力 バイアス電流が非常に低いので、高ゲインのトランスインピーダンス システムでの使用や、フィードバック抵抗とゲイン抵抗が大きい電圧アンプとして理想的です。

7.3.2 出力同相モード制御

出力同相モード ループは、[セクション 7.2](#) の 2 つの 6kΩ 内部抵抗を介してメイン アンプの 2 つの出力間の平均電圧を検出し、それを VOCM ピンの電圧と比較する動作を行います。次に、VOCM エラー アンプがメイン アンプの内部バイアスを調整して、入力ピン間の誤差電圧を最小化します。VOCM ノードの電圧は、デフォルトで VS+ と VS- の間にある 2 つの 400kΩ 内部バイアス スtring 抵抗を介して中電圧となります。VOCM をデフォルト電圧で使用する場合は、外付けコンデンサを VOCM ピンに接続して、内部 400kΩ 抵抗からのノイズをバイパスします。アンプがディスエーブルのときは、消費電力を節約するため、デフォルトの中電圧バイアス スtring がディスエーブルになります。THS4567 デバイスの出力同相モードは、低出力インピーダンスのソース経由で VOCM ピンを外部から駆動することでも設定できます。ソースが VOCM ピンの入力インピーダンスを駆動できることを確認してください。

7.3.3 入力同相モード制御

THS4567 デバイスには、出力同相モード電圧にかかわらず入力同相モード電圧を設定する独自の入力同相モード制御エラー アンプが搭載されています。VICM エラー アンプは、メイン アンプ入力の平均電圧を検出し、メイン アンプの両方の入力ノードに同じ量の電流をソースまたはシンクして、入力同相モード電圧を VICM ピンの電圧と等しく維持することで動作します。VICM ピンがフローティングのままになっている場合、入力電圧はデフォルトで VS- より 1.5V 高い値になります。この電圧は、[セクション 7.2](#) に示す 8μA の電流ソースと 181kΩ 抵抗の組み合わせによって設定されます。VICM をデフォルト電圧で使用する場合は、外付けコンデンサを VICM ピンに接続して、内部 181kΩ 抵抗からのノイズをバイパスします。VICM 電圧は、低出力インピーダンスのソースを経由して VICM ピンを外部から駆動することで、任意の値に設定できます。入力同相モード制御ループは、ICM_EN ピンを Low に設定することでディスエーブルにできます。入力同相モード ループがディスエーブルされている場合、THS4567 デバイスは標準の完全差動アンプ (FDA) のように動作します。

7.4 デバイスの機能モード

7.4.1 シャットダウン モード

適切なシャットダウン モード動作を行うには、アンプのイネーブル (AMP_EN) ピンを目的の電圧にアサートする必要があります。AMP_EN ピンには内部プルアップ抵抗が接続されているため、このピンがフローティングになっていると、デバイスはデフォルトでオン状態になります。電源が供給されているときにデバイスの電源を常にオンにする必要があるアプリケーションでは、AMP_EN ピンを正の電源電圧 (VS+) に接続してください。

ディスエーブル動作は正電源を基準としています。オフ状態では、ディスエーブル制御ピンは正電源より 2V 低い必要があります。

7.4.2 差動トランスインピーダンス アンプ モード

入力同相モード制御ループの主な使用例は、差動入力によって 2 つのフォトダイオードが励起される差動トランスインピーダンス アンプ アプリケーションです。両方のフォトダイオードに入射するあらゆる周囲光は DC オフセット電流を生成しますが、これはその後、入力同相モード ループによって除去されます。入力同相モード ループにより、非常に高い帰還抵抗を使用して差動フォトダイオード電流を増幅すると同時に、同相モード電流を除去できます。入力同相モード ループをディスエーブルにすると、同相モード電流が帰還抵抗を流れるようになり、差動信号成分の実効出力スイングが低減されます。THS4567 デバイスは、フォトダイオードのソースまたはシンク電流を除去できます。

THS4567 デバイスは高インピーダンスの CMOS 入力を備えているため、アンプの入力電流ノイズが最小化され、非常に高いトランスインピーダンス ゲイン ($>100\text{k}\Omega$) を使用できます。また、入力電圧ノイズが低いためシステムの信号対雑音比 (SNR) を最大化できます。THS4567 デバイスはゲイン帯域幅積が大きいので、高性能 ADC ドライバを駆動しながら、シングル ステージの差動トランスインピーダンス アンプとして使用できます。

7.4.3 完全差動アンプ(FDA) モード

入力同相モード ループがディスエーブルのとき、THS4567 デバイスは標準の FDA のように動作します。独立した出力同相モード制御により、シングルエンド入力信号を差動出力、または差動入力を差動出力に変換できます。FDA の動作の詳細については、『[トレーニング ビデオ](#)』をご覧ください。

8 アプリケーションと実装

注

以下のアプリケーションに関するセクションの情報は、テキサス・インスツルメンツの部品仕様の一部ではなく、テキサス・インスツルメンツはこれらの情報の正確性や完全性を保証しません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

8.1.1 ノイズ解析

TIA として構成された FDA のノイズ計算を簡素化するため、回路を全く同一の 2 つの部分に分割し、それぞれの半分を独立したオペアンプ回路として扱います。TIA として構成されたオペアンプのノイズは、「[高速アンプのトランスインピーダンスの考慮事項](#)」に示され、式 1 にも同じことを記載しています。等価ノイズ回路を図 8-1 に示します。図 8-1 のアンプ電圧ノイズ e_{NOP} は、THS4567 の規定入力換算電圧ノイズ (e_{N}) を 1.414 で割った値です。この方法により、FDA を同一かつ非相関の 2 つの半分として分析することが可能になります。FDA の合計ノイズは、各半分のノイズの合計に 1.414 を掛けたものです。

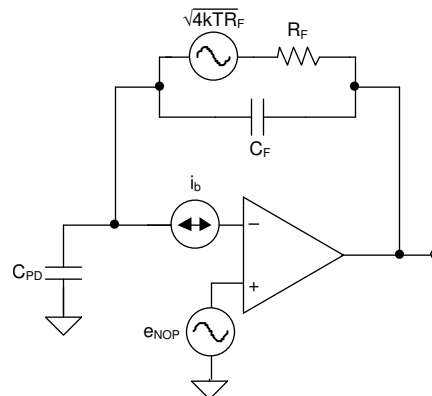


図 8-1. トランスインピーダンス アンプのノイズ解析回路

TIA の合計ノイズを最小限に抑えるため、回路設計者は次のことを行う必要があります。

1. オペアンプの電流ノイズ (i_b) を最小限に抑える。THS4567 デバイスには CMOS 入力があるため、その電流ノイズの寄与は無視できます。
2. トランスインピーダンス ゲイン (R_F) を最大化する。
3. アンプの電圧ノイズ (e_{N}) を最小化する。THS4567 は、クラス最高の $4.2\text{nV}/\sqrt{\text{Hz}}$ の広帯域電圧ノイズを実現しながら、静止電流は 2.5mA 未満です。
4. フォトダイオード容量 (C_{PD}) を最小限に抑える。

フォトダイオードの逆バイアスを大きくすることで、その容量を最小限に抑えることができます。THS4567 の入出力同相モードは独立して制御可能です。独立制御機能により、回路設計者はフォトダイオードのアノードを負の電源電圧に近づけ、カソードを正の電源電圧に近づけて接続することで、フォトダイオードの逆バイアスを最大化できます。次に、次の段の ADC の入力同相モード範囲と一致するように、出力同相モードを設定します。標準オペアンプ TIA では、入力同相モードを正電源の近くにバイアスして、アンプの出力スイングを最大化します。このバイアス構成によりフォトダイオードの逆バイアスが制限され、フォトダイオードの入力容量が増加します。THS4567 デバイスは、式 1 の各寄与ソースからのノイズ源を最適化することで、システム全体のノイズを低減するよう最適化されています。

$$i_{EQ} = \sqrt{i_b^2 + \frac{4kT}{R_F} + \left[\left(\frac{e_n}{R_F} \right)^2 + \frac{(e_n \cdot 2\pi \cdot F \cdot C_s)^2}{3} \right] / 2} \quad (1)$$

ここで、

- i_b = THS4567 デバイスの電流ノイズ
- 290 ケルビンで $4kT = 16 \times 10^{-21} \text{ J}$
- R_F = 帰還抵抗
- e_n = THS4567 デバイスの電圧ノイズ
- C_s = THS4567、フォトダイオード、およびあらゆる PCB の寄生容量の合計入力容量
- F = ノイズ積分周波数制限

8.2 代表的なアプリケーション

THS4567 入力同相モード ループの主な使用事例は、周囲光による同相モード オフセットが大きい差動トランスインピーダンス アプリケーションです。このセクションでは、図 8-2 に示す入力同相モード ループがイネブル (TIA モード) のときの THS4567 デバイスの性能を、図 8-3 に示す 2 つのディスクリート オペアンプ チャネル (OPA モード) を使用した差動 TIA 実装と比較します。

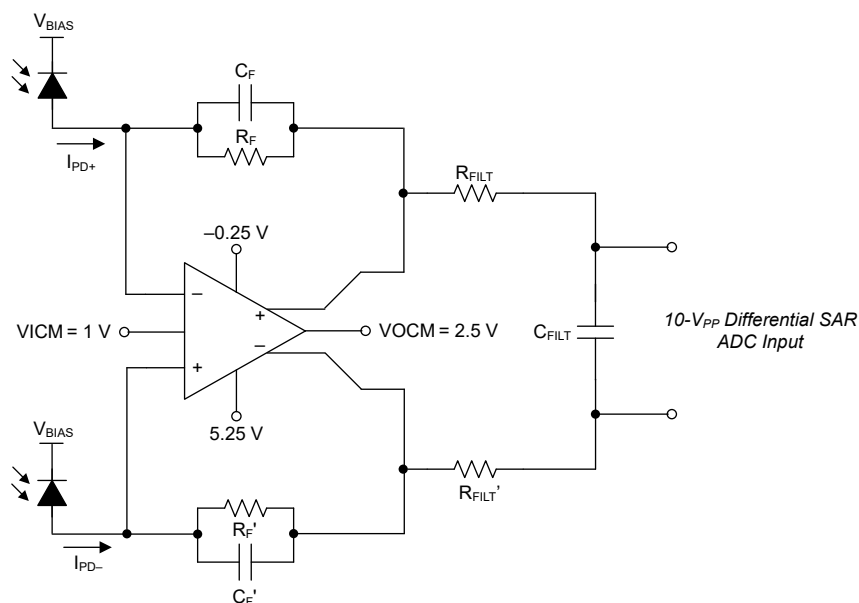


図 8-2. 差動 TIA + ADC ドライバ内蔵 THS4567

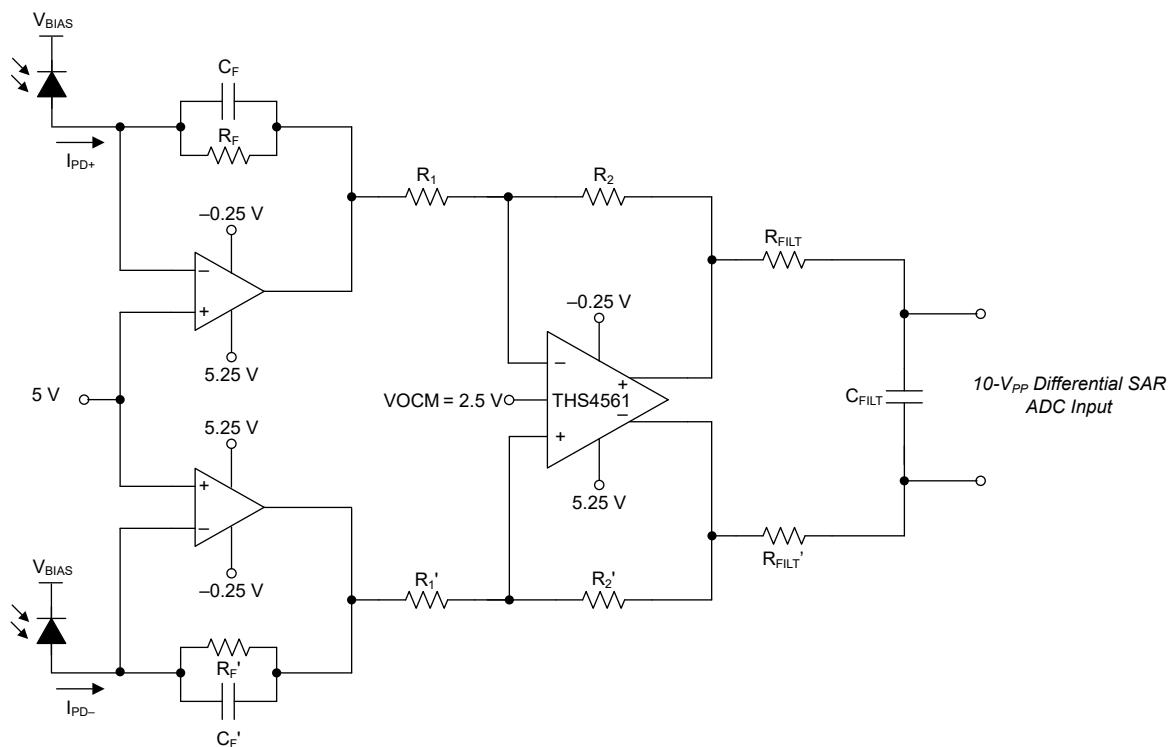


図 8-3. ディスクリート差動オペアンプ TIA + 2 段目 ADC ドライバ

8.2.1 設計要件

このアプリケーションの要件は次のとおりです。

- 電源電圧: 5.5 V
- ADC フルスケール レンジ: 10V_{PP} 差動
- ADC 入力の同相モード電圧: 2.5 V
- 周囲光電流オフセット (DC): 10μA
- シングル サイド信号電流: 5μA_{PP} (各フォトダイオード)。差動信号電流 = 10μA_{PP}
- 入力信号周波数: 100 kHz

8.2.2 詳細な設計手順 (TIA モードの THS4567)

各フォトダイオードからの出力電流を [図 8-4](#) に示します。各種バイアス電圧を設定し、トランスインピーダンス ゲインの最適な値を選択する詳細な手順を次に示します。

- THS4567 が $10V_{PP}$ (差動) でスイングし、ヘッドルームの制限による歪みが発生しないように、 $V_{S+} = 5.25V$ 、 $V_{S-} = -0.25V$ に設定します。
- ICM_EN = 論理 High に設定すると、THS4567 TIA モードの動作がイネーブルになります。
- ADC の入力同相モード範囲と一致するように、 $VOCM$ を $2.5V$ に設定します。
- [図 8-2](#) に示すように、カソード バイアスでフォトダイオード (PD) を構成している場合、両方の PD に光が入射したときに電流を供給します。PD の両端で逆バイアスを最大化するため、 V_{BIAS} は 通常、アンプの正電源電圧または利用可能な最大の正電源電圧に設定します。
- PD からの最大出力電流は、周囲光電流と最大信号電流の和です。

$$I_{TOTAL} = I_{AMBIENT} + I_{SIGNAL} = 10 \mu A + 5 \mu A = 15 \mu A \quad (2)$$

- TIA モードでは、PD 間の逆バイアスを最大化して PD 容量を低減するため、 $VICM$ をその最小入力同相モードコンプライアンス制限 ($1.25V$) に設定します。

$$\text{Reverse bias across the photodiodes} = (5.25 V - 1.25 V) = 4 V \quad (3)$$

- TIA モードでは、 ICM ループは周囲光によるアンプの入力ピンの同相モード入力電流 ($10\mu A$) をキャンセルし、差動信号電流のみが帰還抵抗 R_F と R_F を流れます。したがって、最大 TIA ゲインは、[式 4](#) に示すように、最大差動出力スイングと最大差動信号電流の比です。

$$\text{Maximum TIA gain} = (10 V_{PP} / 10 \mu A) = 1 M\Omega \quad (4)$$

- 帰還抵抗値を設定したら、「[高速アンプのトランスインピーダンスに関する考慮事項](#)」に記載されているように、帰還容量の値を選択します。

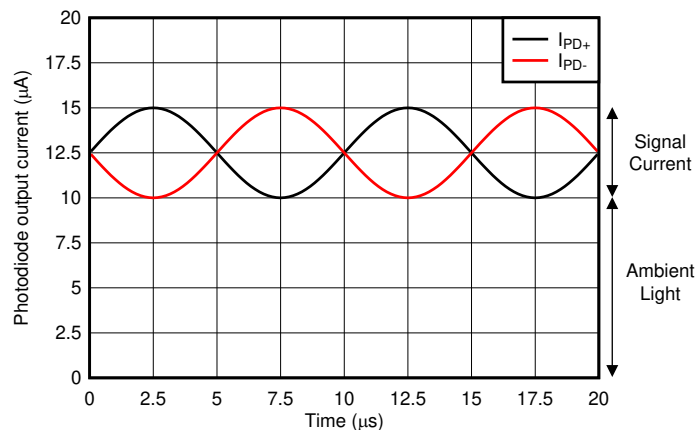


図 8-4. フォトダイオードの差動出力電流

8.2.2.1 OPA モードの構成

OPA モードの構成を、[図 8-3](#) に示します。この構成では、PD の両端に逆バイアス ($5.25\text{V} - 5\text{V} = 0.25\text{V}$) が発生するため、TIA モードと比較して PD 容量が大幅に増加します。

OPA モードでは、入力同相モード電流が相殺されないため、帰還抵抗の最大値 (R_F , R_F) は、[式 5](#) に示すように、最大シングルエンド出力スイングと最大シングルエンド入力電流との比になります。

$$\text{Maximum TIA gain} = (5\text{ V}/15\text{ }\mu\text{A}) = 333.33\text{ k}\Omega \quad (5)$$

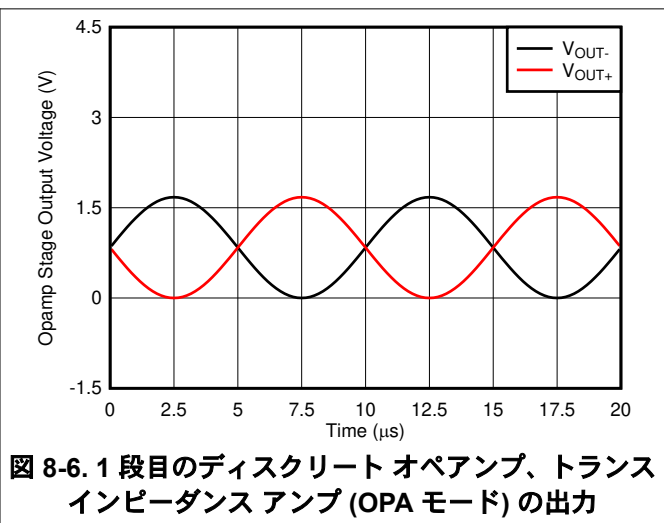
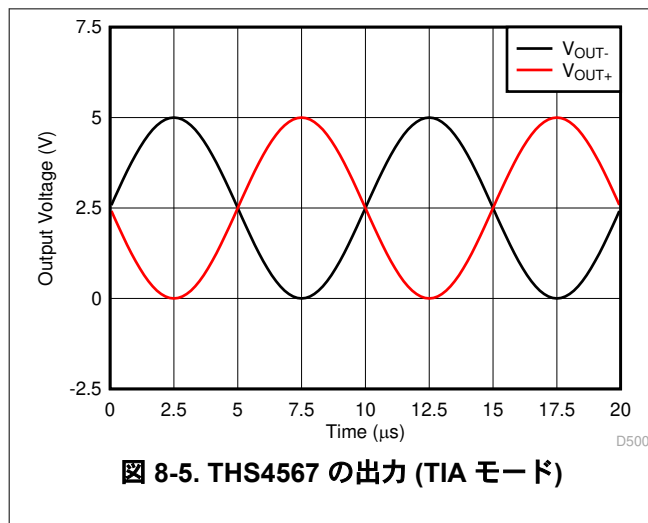
差動の全スイングは、 $333.33\text{k}\Omega \times 10\text{ }\mu\text{A}_{\text{pp}} = 3.33\text{V}$ です。ADC のゲイン範囲を最大化するには、後続のアンプのゲイン段が必要です。[THS4561](#) などの標準的な FDA を使用して通常実装される 2 番目のゲイン段でも、ADC の入力同相モードコンプライアンス範囲に合わせて出力同相モードが調整されます。

PD からの差動信号に対して周囲光のレベルが増加すると、最大ゲイン構成は THS4567 TIA モードでは一定のまま、OPA モードでは減少します。

8.2.3 アプリケーション曲線

TIA モードでの THS4567 デバイスの出力を [図 8-5](#) に示します。出力同相モードは $\text{VOCM} = 2.5\text{V}$ を中心とし、 10V_{pp} の差動出力により後続の ADC を同相モード範囲全体で最大化します。

[図 8-3](#) に示す 1 段目のトランスインピーダンス アンプ構成の出力を、[図 8-6](#) に示します。出力同相モードの中心は 0.83V です。同相モードでのオフセットは、周囲光によるオフセットによって発生します。さらに重要なことは、差動出力スイングがわずか 3.33V であることです。ADC のダイナミックレンジを最大化するために、後段の THS4561 差動アンプ段を 3V/V の信号ゲインに構成します。また、THS4561 デバイスはレベルシフトを実行して、出力同相モードの中心を 2.5V にします。



次に、THS4567 デバイス (半回路) のノイズ性能を、OPA モードの [OPA607](#) および [OPA365](#) のノイズと比較します。[式 1](#) を使用して、THS4567 デバイスの合計入力換算スポットノイズを推定できます。高速アンプのトランスインピーダンスに関する考慮事項は、OPA モードの [OPA607](#) および [OPA365](#) トランスインピーダンス アンプ段のノイズを推定するために使用されます。

PD 容量は 5pF と仮定しています。実際のシステムでは、PD 両端の逆バイアスが小さくなるため、OPA モードでの PD 容量は大きくなります。ノイズの計算結果を 表 8-1 に示します。ここで、THS4567 デバイスの利点が明確に理解できます。スポットノイズは、閉ループ帯域幅に正規化されています。OPA モード アーキテクチャでは、ADC の入力フルスケール範囲を最大化するために、2 番目のゲイン段が必要です。2 番目の段では消費電力が増加し、ノイズが悪化します。

表 8-1. ノイズの比較

アンプの仕様	THS4567	OPA607	OPA365
フォトダイオード容量 (pF)	5	5	5
アンプの入力容量 (pF)	1	17	8
アンプ電圧ノイズ (nV/√Hz)	4.2	3.8	4.5
TIA ゲイン (kΩ)	1000	333.33	333.33
閉ループ帯域幅 (MHz)	2.4	1	1.4
入力換算スポットノイズ (pA/√Hz)	0.2	0.39	0.36

8.3 0V バイアスのフォトダイオードを持った差動 TIA

図 8-7 の回路は、フォトダイオードの両端に 0V の逆バイアスを持つ差動 TIA 用に使えます。VICM ループは DC 電流のソースまたはシンクしかできないため、この構成ではこのループをディスエーブルにする必要があります。ここに示した構成のフォトダイオードによって生成される DC 電流は差動の性質を持ちます。

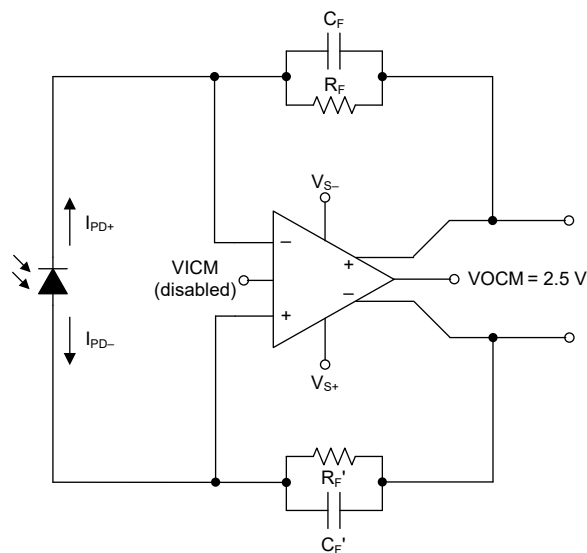


図 8-7. 0V バイアスのフォトダイオードを持った差動 TIA

8.4 差動 AC 結合した TIA

図 8-8 の回路は、フォトダイオードの両端で可変の逆バイアスを持つ差動 AC 結合 TIA として使用できます。AC 結合により帰還回路に DC 電流が流れないため、VICM ループをディスエーブルにできます。

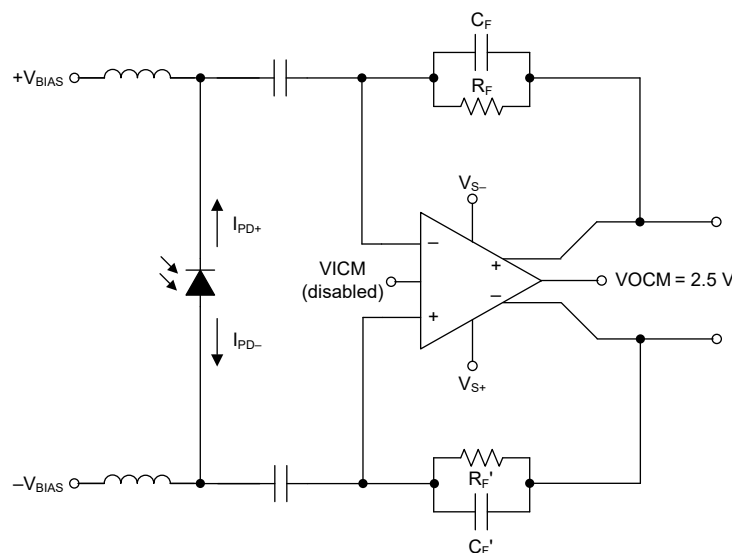


図 8-8. 差動 AC 結合 TIA

9 電源に関する推奨事項

THS4567 デバイスは主に、3.3V～5.5 V の公称単一電源電圧で動作するように設計されています。デバイスの両端の電圧の合計値が 5.5 V 未満に維持される限り、THS4567 デバイスには、分割 (またはバイポーラ) 電源を使用できます。電源のソース インピーダンスは周波数全体にわたって低く維持される必要があるため、複数のバイパス コンデンサを並列に使用します。このバイパス コンデンサは電源ピンにできるだけ近付けて配置します。最も容量の小さなコンデンサ (< 10nF) を、PCB 上で THS4567 デバイスと同じ側に配置してください。より大きなコンデンサ (> 1μF) をより遠くに配置して、システム内のさまざまなデバイス間で共有することができます。

10 レイアウト

10.1 レイアウトのガイドライン

10.1.1 推奨基板レイアウト

すべての高速デバイスと同様に、基板レイアウトに細心の注意を払うことで最良のシステム性能を実現しています。一般的な高速の信号路レイアウトの提案には次のようなものがあります。

- より長い配線のインピーダンスのパターンが一致している信号配線では、連続的なグランド プレーンが推奨されます。ただし、容量の影響を受けやすい入力および出力デバイス ピンの周囲ではグランドとパワー プレーンの両方をオープンにする必要があります。信号を抵抗に送信すると、寄生容量は安定性より帯域制限の問題になります。
- デバイス電源ピンのグランド プレーンには、良質な高周波デカップリング コンデンサ ($0.01\mu\text{F}$) が必要です。追加でさらに大きな値のコンデンサ ($2.2\mu\text{F}$) も必要ですが、デバイスの電源ピンから離して配置することで、デバイス間で共有することができます。最高の高周波デカップリングを実現するために、標準コンデンサよりも非常に高い自己共振周波数を提供する X2Y 電源デカップリング コンデンサを検討してください。
- 感知可能な距離での差動信号配線は、インピーダンスのパターンが一致しているマイクロストリップ レイアウト技術を使用する必要があります。
- THS4567 の出力は、容量性負荷の影響を受けやすくなっています。アンプの出力ピンの近くに直列絶縁抵抗を配置して、THS4567 の出力をあらゆる容量性負荷から絶縁します。

10.2 レイアウト例

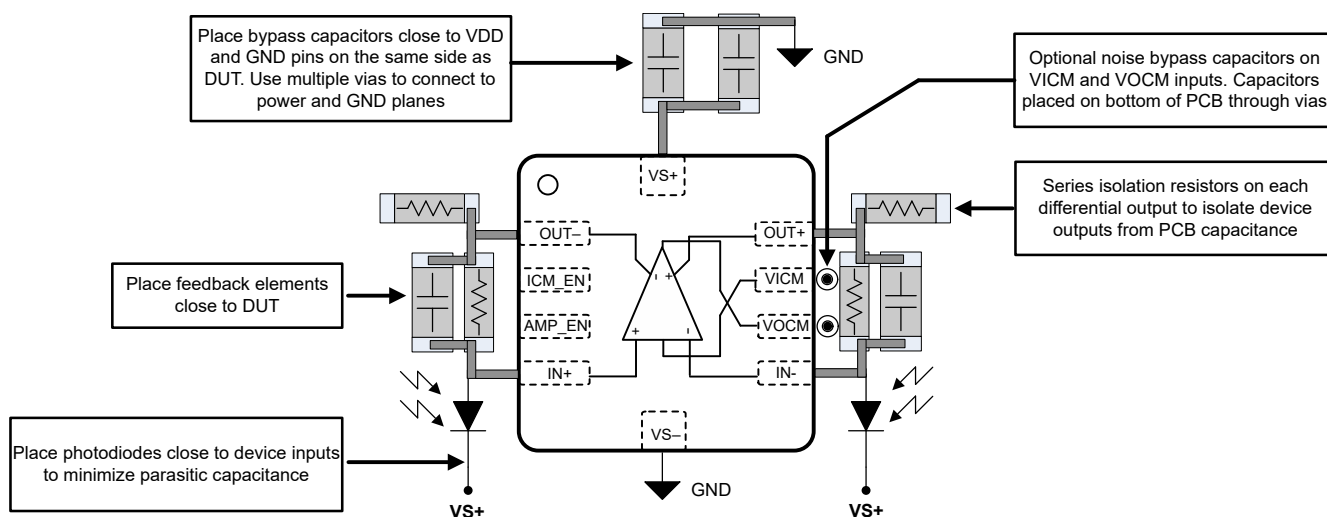


図 10-1. レイアウト例

11 デバイスおよびドキュメントのサポート

11.1 ドキュメントのサポート

11.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[RUN_FDA_4567 EVM](#)』ユーザー ガイド
- テキサス・インスツルメンツ、『[完全差動アンプ](#)』アプリケーション ノート
- テキサス・インスツルメンツ、『[完全差動アンプ](#)』テキサス・インスツルメンツ プレシジョン ラボ

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の [アラートを受け取る] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

11.3 サポート・リソース

[TI E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

11.4 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

11.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい ESD 対策をとらないと、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.6 用語集

[TI 用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報はそのデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
THS4567IRUNR	Active	Production	QFN (RUN) 10	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SN67
THS4567IRUNR.B	Active	Production	QFN (RUN) 10	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	SN67

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

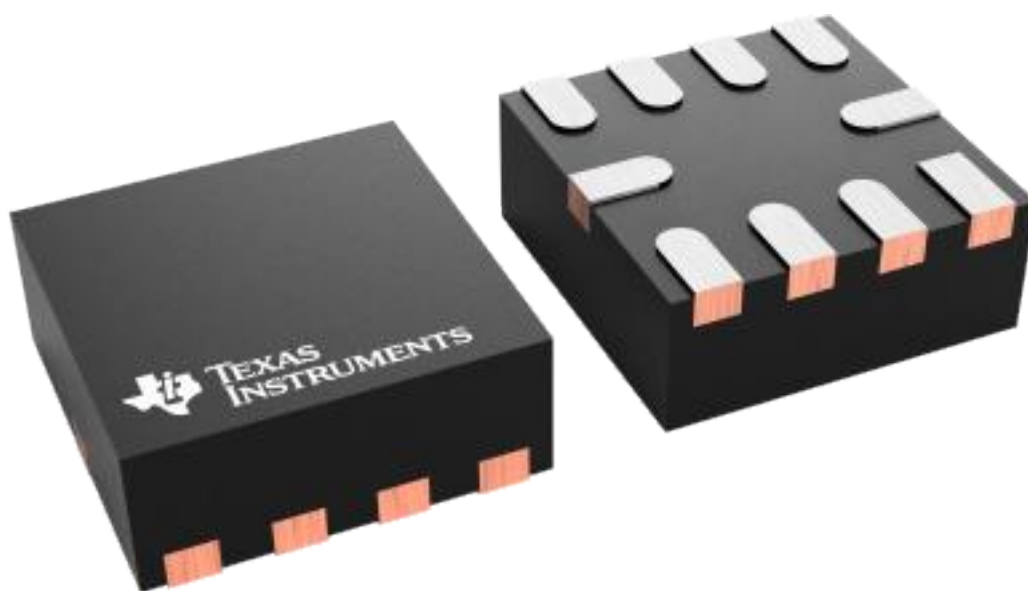
RUN 10

WQFN - 0.8 mm max height

2 X 2, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4228249/A



1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.

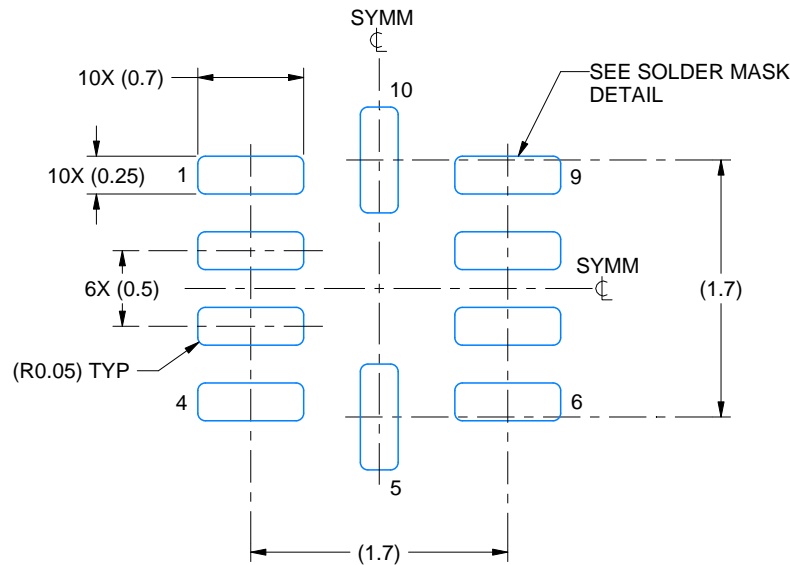
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

RUN0010A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4220470/A 05/2020

NOTES: (continued)

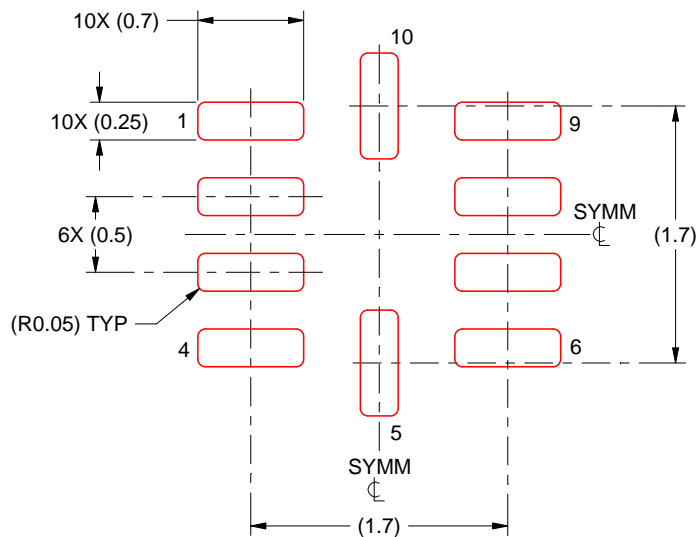
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

RUN0010A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

4220470/A 05/2020

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月