

THS4535 高精度、60MHz、完全差動アンプ

1 特長

- 帯域幅: 60MHz ($G = 1V/V$)
- ゲイン帯域幅積: 80MHz
- 外部ゲイン オプション:
 - THS4535A オフセット電圧: 50 μ V (最大値)
 - THS4535A オフセットのドリフト: 1 μ V/ $^{\circ}$ C (最大値)
 - THS4535 オフセット電圧: 2mV (最大値)
 - THS4535 オフセットのドリフト: 2 μ V/ $^{\circ}$ C (最大値)
- 内部ゲイン オプション:
 - 利用可能なゲイン: 0.5、1、2、5
 - CMRR: 129dB、126dB、123dB、117dB
 - ゲイン誤差の非直線性: 5、4、3、1ppm
 - ゲイン誤差ドリフト: 0.03、0.03、0.015、0.005ppm/ $^{\circ}$ C
- 電源動作範囲: 2.7V ~ 5.5V
- 小さい高調波歪み:
 - HD2: 2V_{pp}、10kHz で 124dBc
 - HD3: 2V_{pp}、10kHz で 115dBc
- スルーレート: 50V/ μ s
- 低ノイズ: 3.6nV/ $\sqrt{\text{Hz}}$ (10kHz)
 - 1/f 電圧ノイズ コーナ: 2.5kHz
- 消費電流: 4.7mA
- 負のレール入力 (NRI)
- レール ツー レール出力 (RRO)
- 温度範囲: -40 $^{\circ}$ C ~ +125 $^{\circ}$ C

2 アプリケーション

- 16 ビットから 20 ビットまでの差動、SAR および $\Delta\Sigma$ ドライバ
- 差動アクティブ フィルタ
- モータドライブ
- バッテリ テスタ
- 電力分析

3 説明

THS4535 は、最大 2MSPS の完全差動 A/D コンバータ (ADC) を駆動するように特別に設計された 60MHz 完全

差動アンプ (FDA) です。THS4535 ファミリーには複数のオプションがあります。THS4535 (未調整の外部ゲイン)、THS4535A (調整済みの外部ゲイン)、および THS4535Axx (調整済みの内部ゲイン)。

THS4535 は、シンプルなシングルからデュアルへの変換に最適です。THS4535 などの FDA は、従来のデュアルオペアンプと比較して、帯域幅や出力間の位相バランスを実現しており、出力同相電圧を簡単に調整できる V_{OCM} ピンの搭載などの性能面での利点があります。高速ローサイド電流シャント測定のような高精度 DC アプリケーションの場合、THS4535A はオフセットとオフセットドリフトのパッケージ レベルの調整を提供します。また THS4535A は、逐次比較レジスタ (SAR) ADC のチャージインジェクションや、デルタ シグマ ($\Delta\Sigma$) ADC のプリチャージ バッファのニーズを満たすために、より高い過渡電流出力駆動も備えています。

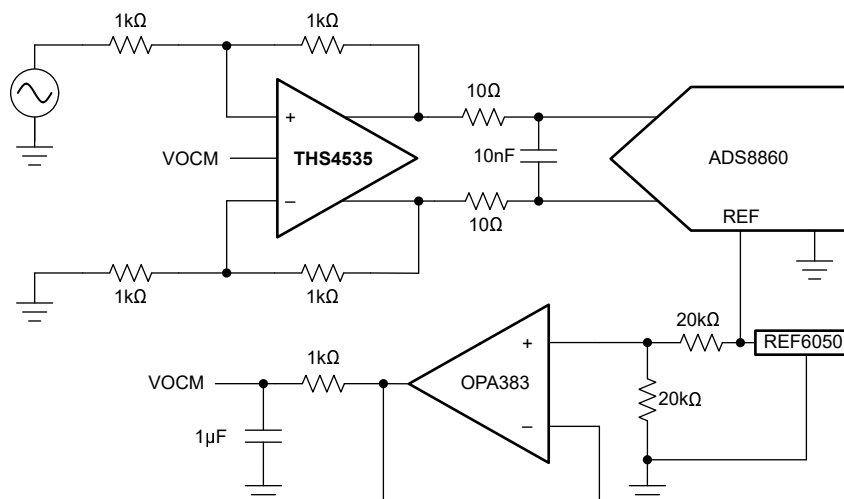
SiCr 抵抗を内蔵した THS4535Axx は、完全なシステムレベルの精度を必要とするデータ収集システム (DAQ) 向けに設計されています。THS4535Axx の内蔵抵抗は、温度や時間の経過に伴うシステムレベルのゲイン誤差と CMRR を最小限に抑えるように特別に設計されています。これらの温度安定性および長期安定性性能パラメータに加え、信号対雑音比 (SNR) が低く、全高調波歪み (THD) が低いため、THS4535Axx は DAQ システムにとって優れた選択肢です。

パッケージ情報

部品番号 ⁽¹⁾	パッケージ ⁽²⁾	パッケージ サイズ ⁽³⁾
THS4535	DGK (VSSOP, 8)	3mm × 4.9mm
	RUN (WQFN, 10)	2mm × 2mm

- (1) セクション 4 も参照してください。
- (2) 詳細については、セクション 11 を参照してください。
- (3) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。





概略回路図：ゲイン 1V/V、シングルエンド入力から差動出力への SAR ADC インターフェイス

目次

1 特長.....	1	7.3 機能説明.....	15
2 アプリケーション.....	1	7.4 デバイスの機能モード.....	16
3 説明.....	1	8 アプリケーションと実装.....	17
4 デバイス比較表.....	3	8.1 アプリケーション情報.....	17
5 ピン構成および機能.....	4	8.2 代表的なアプリケーション.....	19
6 仕様.....	5	8.3 電源に関する推奨事項.....	20
6.1 絶対最大定格.....	5	8.4 レイアウト.....	20
6.2 ESD 定格.....	5	9 デバイスおよびドキュメントのサポート.....	22
6.3 推奨動作条件.....	5	9.1 ドキュメントの更新通知を受け取る方法.....	22
6.4 熱に関する情報.....	5	9.2 サポート・リソース.....	22
6.5 外部ゲインの電気的特性.....	6	9.3 商標.....	22
6.6 内部ゲインの電気的特性.....	9	9.4 静電気放電に関する注意事項.....	22
6.7 代表的特性.....	11	9.5 用語集.....	22
7 詳細説明.....	14	10 改訂履歴.....	22
7.1 概要.....	14	11 メカニカル、パッケージ、および注文情報.....	22
7.2 機能ブロック図.....	14		

4 デバイス比較表

デバイス	オフセット電圧 (最大)	ゲイン設定
THS4535DGKR	2mV	外部抵抗
THS4535ADGKR	50μV	
THS4535RUNR	2mV	外部抵抗
THS4535ARUNR	50μV	
THS4535P5DGKR	2mV	G = 0.5、内部抵抗
THS453501DGKR	2mV	G = 1、内部抵抗
THS453502DGKR	2mV	G = 2、内部抵抗
THS453505DGKR	2mV	G = 5、内部抵抗
THS4535AP5DGKR	50μV	G = 0.5、内部抵抗
THS4535A01DGKR	50μV	G = 1、内部抵抗
THS4535A02DGKR	50μV	G = 2、内部抵抗
THS4535A05DGKR	50μV	G = 5、内部抵抗
THS4535P5RUNR	2mV	G = 0.5、内部抵抗
THS453501RUNR	2mV	G = 1、内部抵抗
THS453502RUNR	2mV	G = 2、内部抵抗
THS453505RUNR	2mV	G = 5、内部抵抗
THS4535AP5RUNR	50μV	G = 0.5、内部抵抗
THS4535A01RUNR	50μV	G = 1、内部抵抗
THS4535A02RUNR	50μV	G = 2、内部抵抗
THS4535A05RUNR	50μV	G = 5、内部抵抗

5 ピン構成および機能

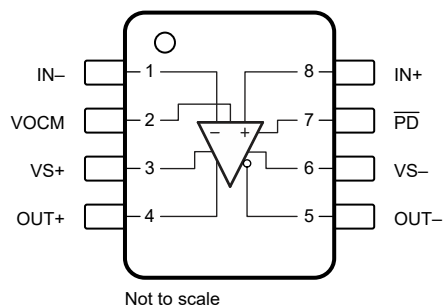


図 5-1. DGK パッケージ、8 ピン VSSOP (上面図)、外部ゲイン

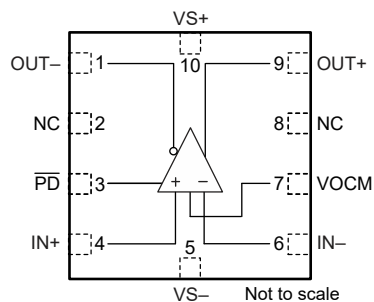


図 5-2. RUN パッケージ、10 ピン WQFN (上面図)、外部ゲイン

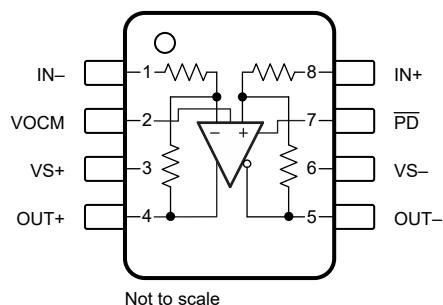


図 5-3. DGK パッケージ、8 ピン VSSOP (上面図)、内部ゲイン

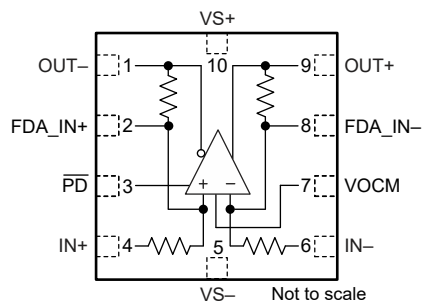


図 5-4. RUN パッケージ、10 ピン WQFN (上面図)、内部ゲイン

表 5-1. ピンの機能

名称	ピン 番号		タイプ	説明
	DGK (VSSOP)	RUN (WQFN)		
FDA_IN-	—	2	入力	反転 (負) アンプ入力 (内部ゲイン)
FDA_IN+	—	8	入力	非反転 (正) アンプ入力 (内部ゲイン)
IN-	1	6	入力	反転 (負) アンプ入力
IN+	8	4	入力	非反転 (正) アンプ入力
NC	—	2、8	—	未接続 (外部ゲイン)
OUT-	5	1	出力	反転 (負) アンプ出力
OUT+	4	9	出力	非反転 (正) アンプ出力
PD	7	3	入力	パワーダウン。PD = 論理 Low = 電源オフ モード、PD = 論理 High = 通常動作。
VOCM	2	7	入力	出力同相モード電圧制御入力
VS-	6	5	電源	負電源入力
VS+	3	10	電源	正電源入力

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _S	合計電源電圧、V _S = (V _{S+} – V _{S-})		6	V
	入力、出力、パワーダウン、同相モード ピン電圧	(V _{S-}) – 0.5	(V _{S+}) + 0.5	V
I _{IN}	連続入力電流		±10	mA
I _{OUT}	連続出力電流 ⁽²⁾		±50	mA
T _J	接合部温度		150	°C
T _A	自由気流での周囲温度	-40	125	°C
T _{stg}	保存温度	-65	150	°C

- (1) 絶対最大定格を超えた動作は、デバイスに恒久的な損傷を与える可能性があります。絶対最大定格は、これらの条件において、または推奨動作条件に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) エレクトロマイグレーションを制限するための長期的な連続出力電流。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン ⁽²⁾	±1000	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _S	全電源電圧	2.7		5.5	V
T _J	接合部温度	-40	25	125	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		THS4535		単位
		DGK (VSSOP)	RUN (WQFN)	
		8 ピン	10 ピン	
R _{θJA}	接合部から周囲への熱抵抗	151.8	147.1	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	46.4	86.9	°C/W
R _{θJB}	接合部から基板への熱抵抗	86.1	85.2	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	1.4	8.2	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	84.7	84.9	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

6.5 外部ゲインの電気的特性

$T_A = 25^\circ\text{C}$ 、 $V_{S+} - V_{S-} = 5\text{V}$ 、 V_{VOCM} ⁽¹⁾ = オープン (中間電圧)、 $R_F = 1\text{k}\Omega$ 、差動ゲイン (G) = 1V/V 、 $V_O = 2\text{V}_{PP}$ 、 $R_L = 1\text{k}\Omega$ 、 $\overline{PD}$ = 論理 High (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
AC 特性							
SSBW	小信号帯域幅	V _O = 100mV _{PP}	G = 1V/V、 ピーキングは 2dB 未満	57		MHz	
			G = 2V/V	45			
			G = 5V/V	16			
			G = 10V/V	8			
GBWP	ゲイン帯域幅積	V _O = 100mV _{PP} 、G = 20V/V		80		MHz	
LSBW	大信号帯域幅	V _O = 2V _{PP} 、G = 1V/V		17		MHz	
	0.1dB の平坦度に対する帯域幅	V _O = 2V _{PP} 、G = 1V/V		5		MHz	
SR	スルー レート (20%-80%)	V _O = 2V ステップ	立ち上がり	47		V/μs	
			立ち下がり	57			
	オーバershootとアンダershoot	V _O = 2V ステップ、入力の立ち上がり時間は 8ns		5		%	
t _s	セトリング タイム	V _O = 2V ステップ	0.1% まで	90		ns	
			0.01% まで	125			
	立ち上がり / 立ち下がり時間 (10% ~ 90%)	V _O = 2V ステップ、入力の立ち上がり時間は 8ns		32		ns	
HD2	2 次高調波歪	V _O = 2V _{PP}	f = 1kHz	143		dBc	
			f = 10kHz	124			
			f = 1MHz	82			
		V _O = 8V _{PP}	f = 1kHz	139			
			f = 10kHz	123			
			f = 1MHz	76			
HD3	3 次高調波歪	V _O = 2V _{PP}	f = 1kHz	135		dBc	
			f = 10kHz	115			
			f = 1MHz	74			
		V _O = 8V _{PP}	f = 1kHz	122			
			f = 10kHz	102			
			f = 1MHz	57			
e _n	入力差動電圧ノイズ	f = 100kHz		3.6		nV/√Hz	
		1/f コーナー		2.5		kHz	
i _n	入力電流ノイズ	f ≥ 50kHz		69		fA/√Hz	
		1/f コーナー		10		Hz	
	オーバードライブの復帰時間	G = 2V/V		800		ns	
Z _{OUT}	閉ループ出力インピーダンス	f = 100kHz (差動)		0.26		Ω	

6.5 外部ゲインの電気的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_{S+} - V_{S-} = 5\text{V}$ 、 $V_{\text{VOCM}}^{(1)} = \text{オープン (中間電圧)}$ 、 $R_F = 1\text{k}\Omega$ 、差動ゲイン (G) = 1V/V 、 $V_O = 2V_{\text{PP}}$ 、 $R_L = 1\text{k}\Omega$ 、 $\overline{\text{PD}}$ = 論理 High (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
DC 特性							
A _{OL}	開ループ電圧ゲイン	V _O = ±2V		100	115		dB
V _{OS}	入力オフセット電圧	THS4535			±0.5	±2	mV
		THS4535A			±3	±50	μV
	入力オフセット電圧ドリフト	THS4535、T _A = -40°C～+125°C			±0.3	±1.4	μV/°C
		THS4535A、T _A = -40°C～+125°C			±0.3	±1	
I _{B+} 、I _{B-}	入力バイアス電流 ⁽³⁾	T _A = 25°C			±0.2	±10	pA
		T _A = -40°C～+125°C			±20	±200	
I _{OS}	入力オフセット電流 ⁽⁴⁾	T _A = 25°C			±0.2	±10	pA
		T _A = -40°C～+125°C			±20	±200	
入力							
V _{ICML}	同相電圧 入力 Low	T _A = 25°C			V _{S-} - 0.2	V _{S-} - 0.1	V
		T _A = -40°C～+125°C			V _{S-} - 0.2	V _{S-} - 0.1	
V _{ICMH}	同相電圧 入力 High	T _A = 25°C		V _{S+} - 1.2	V _{S+} - 1.1		V
		T _A = -40°C～+125°C		V _{S+} - 1.2	V _{S+} - 1.1		
CMRR	同相除去比	T _A = 25°C		108	140		dB
		T _A = -40°C～+125°C			100		
	差動入力インピーダンス				1 4.5		TΩ pF
	同相モード入力インピーダンス				1 1.2		TΩ pF
出力							
	出力電圧 Low	T _A = 25°C			V _{S-} + 0.1	V _{S-} + 0.2	V
		T _A = -40°C～+125°C			V _{S-} + 0.1	V _{S-} + 0.2	
	出力電圧 High	T _A = 25°C		V _{S+} - 0.2	V _{S+} - 0.1		V
		T _A = -40°C～+125°C		V _{S+} - 0.2	V _{S+} - 0.1		
	連続出力電流 (スラム)	V _O = ±2.5V、R _L = 40Ω		±80	±90		mA
		V _O = ±2.5V、R _L = 40Ω、T _A = -40°C ～ +125°C			±80		
	リニア出力電流	V _O = ±2.3V、 R _L = 40Ω、 A _{OL} > 80dB	T _A = 25°C	±50	±60		mA
			T _A = -40°C～+125°C		±60		
出力同相電圧 (VOCM) 制御							
	V _{OCM} ⁽¹⁾ 小信号帯域幅	V _{VOCM} = 100mV _{PP}			40		MHz
	V _{OCM} 大信号帯域幅	V _{VOCM} = 1V _{PP}			15		MHz
	V _{OCM} スルーレート ⁽²⁾ (20% ～ 80%)	V _{VOCM} = 1V ステップ			20		V/μs
	V _{OCM} 電圧ノイズ	f = 100kHz			22		nV/√Hz
	DC 出力バランス	V _{VOCM} 固定中間電圧、V _{OCM} /V _O 、V _O = ±1V			92		dB
	小信号出力バランス	V _{VOCM} 固定中間電圧、 V _{OCM} /V _O (DC から -3dB)、V _O = 100mV _{PP}			2000		Hz
	大信号出力バランス	V _{VOCM} 固定中間電圧、 V _{OCM} /V _O (DC から -3dB)、V _O = 2V _{PP}			100		Hz
	ゲイン誤差	V _{VOCM} = 0V		0.997	1	1.003	V/V
	VOCM 入力バイアス電流			-5	1	5	μA

6.5 外部ゲインの電気的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_{S+} - V_{S-} = 5\text{V}$ 、 V_{VOCM} ⁽¹⁾ = オープン (中間電圧)、 $R_F = 1\text{k}\Omega$ 、差動ゲイン (G) = 1V/V 、 $V_O = 2V_{\text{PP}}$ 、 $R_L = 1\text{k}\Omega$ 、 $\overline{\text{PD}}$ = 論理 High (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
	V _{OCM} に対する +PSRR	V _{VOCM} = 中間電圧	72	100		dB
	V _{OCM} に対する −PSRR	V _{VOCM} = 中間電圧	70	80		dB
	VOCM 入力インピーダンス		200 1.5			kΩ pF
	V _{OCM} オフセット電圧	VOCM ピンがフローティング	−10		10	mV
		V _{VOCM} = 中間電圧	−3.5	0.25	3.5	
	V _{OCM} オフセット電圧ドリフト	T _A = −40℃〜+125℃	120	200	600	μV/℃
		T _A = −40℃〜+125℃	−10	3	10	
	VOCM 電圧 Low	中間電圧オフセットからのシフトは ±11mV 未満、T _A = 25℃	V _{S−} + 0.4 V _{S−} + 0.45			V
		中間電圧オフセットからのシフトは ±11mV 未満、T _A = −40℃〜 +125℃	V _{S−} + 0.5			
	VOCM 電圧 High	T _A = 25℃、 中間電圧オフセットからのシフトは ±11mV 未満	V _{S+} − 1.2	V _{S+} − 1.1		V
		T _A = −40℃〜 125℃、 中間電圧オフセットからのシフトは ±11mV 未満	V _{S+} − 1.3			
電源						
I _Q	静止時電流	V _S = 5V、 $\overline{\text{PD}}$ = 論理 High (アクティブ)	T _A = 25℃	4.7	5.1	mA
			T _A = −40℃〜+125℃	4.7	5.1	
		V _S = 5V、 $\overline{\text{PD}}$ = 論理 Low (シャットダウン)	T _A = −40℃〜+125℃	20		μA
PSRR	電源除去比	いずれかの電源から入力までの V _{OS}		90	110	dB
パワーダウン						
	電圧スレッシュホールド有効化	$\overline{\text{PD}}$ = 論理 High (アクティブ)		V _{S+} - 0.5		V
	電圧スレッシュホールド無効化	$\overline{\text{PD}}$ = 論理 Low (シャットダウン)		V _{S−} + 0.5		V
	イネーブル ピンのバイアス電流	$\overline{\text{PD}}$ = High		0	6	μA
		$\overline{\text{PD}}$ = Low		−16	−10	
	ターンオン時間の遅延	$\overline{\text{PD}}$ = High から V _O = 最終値の 90% になるまでの時間		200		ns
	ターンオフ時間の遅延	$\overline{\text{PD}}$ = Low から V _O = 最終値の 10% になるまでの時間		20		ns

(1) V_{VOCM} は VOCM ピンの電圧です。 $V_{\text{VOCM}} = [(V_{\text{OUT}+} + V_{\text{OUT}-}) / 2]$ は平均出力電圧です。

(2) 立ち上がりと立ち下りのスルーレートの平均。

(3) ノードの外に流れる電流を正とみなします。

(4) $I_{\text{OS}} = I_{\text{B}+} - I_{\text{B}-}$ 。

6.6 内部ゲインの電気的特性

$T_A = 25^\circ\text{C}$ 、 $V_{S+} - V_{S-} = 5\text{V}$ 、 V_{VOCM} ⁽¹⁾ = オープン (中間電圧)、 $V_O = 2V_{\text{PP}}$ 、 $R_L = 1\text{k}\Omega$ 、および $\overline{\text{PD}}$ = 論理 High (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
AC 特性							
SSBW	小信号帯域幅	V _O = 100mV _{PP} (差動)	G = 0.5V/V	70		MHz	
			G = 1V/V	57			
			G = 2V/V	45			
			G = 5V/V	16			
LSBW	大信号帯域幅	V _O = 4V _{PP} (差動)	G = 0.5V/V	未定		MHz	
			G = 1V/V	未定			
			G = 2V/V	未定			
			G = 5V/V	未定			
t _S	セトリング タイム	0.1%、V _O = 4V _{PP} (差動)	G = 0.5V/V	未定		ns	
			G = 1V/V	未定			
			G = 2V/V	未定			
			G = 5V/V	未定			
DC 特性							
R _{IN}	シングルエンド入力抵抗	G = 0.5V/V		2		kΩ	
		G = 1V/V		1			
		G = 2V/V		0.5			
		G = 5V/V		0.2			
R _F	シングルエンド帰還抵抗	すべてのゲイン		1		kΩ	
CMRR	同相除去比	G = 0.5V/V		129		dB	
		G = 1V/V		126			
		G = 2V/V		123			
		G = 5V/V		117			
V _{CM}	同相入力電圧	G = 0.5V/V、V _{S+} = 5V、V _{S-} = 0V		-0.6	11.4		V
		G = 1V/V、V _{S+} = 5V、V _{S-} = 0V		-0.4	7.6		
		G = 2V/V、V _{S+} = 5V、V _{S-} = 0V		-0.3	5.7		
		G = 5V/V、V _{S+} = 5V、V _{S-} = 0V		-0.24	4.56		
G	差動ゲイン	G = 0.5V/V		0.5		V/V	
		G = 1V/V		1			
		G = 2V/V		2			
		G = 5V/V		5			
GE	微分ゲイン誤差	G = 0.5V/V		0.015	0.075		%
		G = 1V/V		0.015	0.075		
		G = 2V/V		0.01	0.06		
		G = 5V/V		0.01	0.05		
	微分ゲイン誤差の温度ドリフト	T _A = -40℃～+125℃	G = 0.5V/V	0.03		ppm/℃	
			G = 1V/V	0.03			
			G = 2V/V	0.015			
			G = 5V/V	0.005			

6.6 内部ゲインの電気的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_{S+} - V_{S-} = 5\text{V}$ 、 V_{VOCM} ⁽¹⁾ = オープン (中間電圧)、 $V_O = 2V_{\text{PP}}$ 、 $R_L = 1\text{k}\Omega$ 、および $\overline{\text{PD}}$ = 論理 High (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
微分ゲインの非直線性		$G = 0.5\text{V/V}$				5	ppm
		$G = 1\text{V/V}$				4	
		$G = 2\text{V/V}$				3	
		$G = 5\text{V/V}$				1	
微分ゲイン誤差の長期ドリフト	2000 時間	$G = 0.5\text{V/V}$				未定	ppm
		$G = 1\text{V/V}$				未定	
		$G = 2\text{V/V}$				未定	
		$G = 5\text{V/V}$				未定	

(1) V_{VOCM} は VOCM ピンの電圧です。 $V_{\text{OCM}} = [(V_{\text{OUT}+} + V_{\text{OUT}-}) / 2]$ は平均出力電圧です。

6.7 代表的特性

$T_A = 25^\circ\text{C}$, $V_{S+} - V_{S-} = 5\text{V}$, $V_{VOCM} = \text{オープン (中間電圧)}$, $R_F = 1\text{k}\Omega$, $G = 1\text{V/V}$, $V_O = 2V_{PP}$, $R_L = 1\text{k}\Omega$, $\overline{\text{PD}} = \text{論理 High (特に記述のない限り)}$

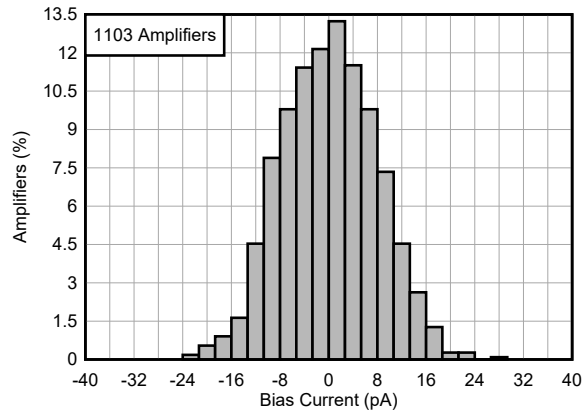


図 6-1. 入力バイアス電流の分布

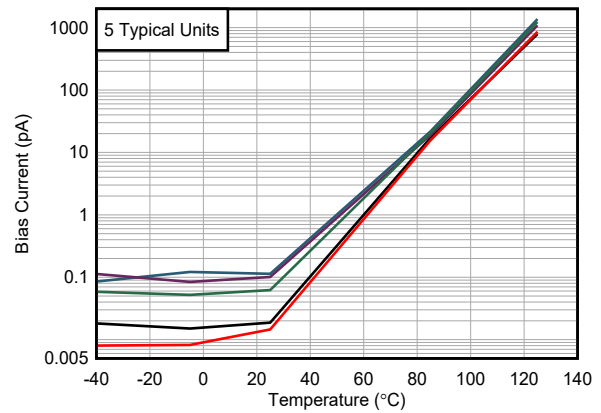


図 6-2. 入力バイアス電流と温度との関係

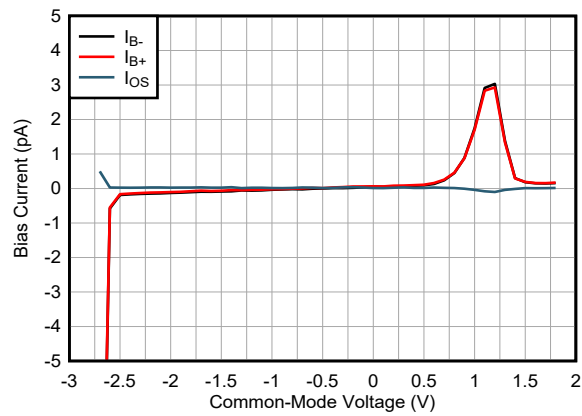


図 6-3. 入力バイアス電流と入力同相電圧との関係

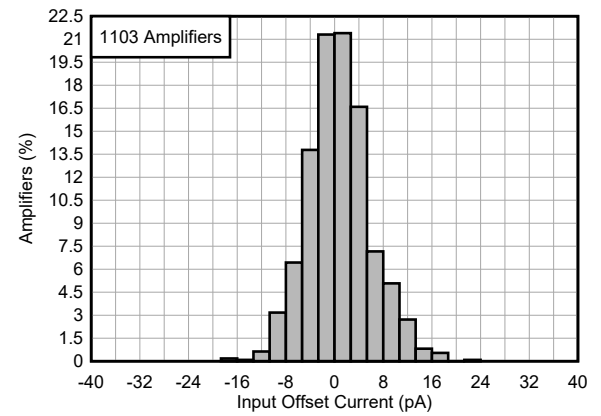


図 6-4. 入力オフセット電流の分布

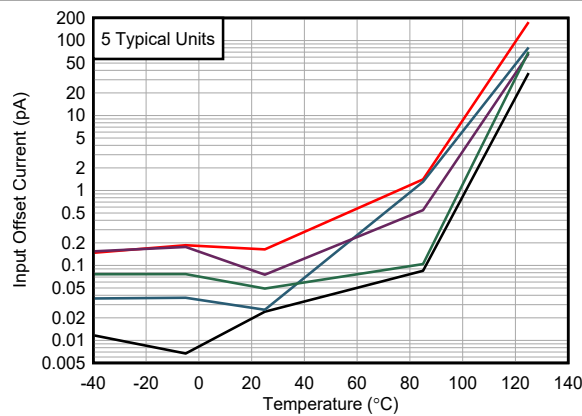


図 6-5. 入力オフセット電流と温度との関係

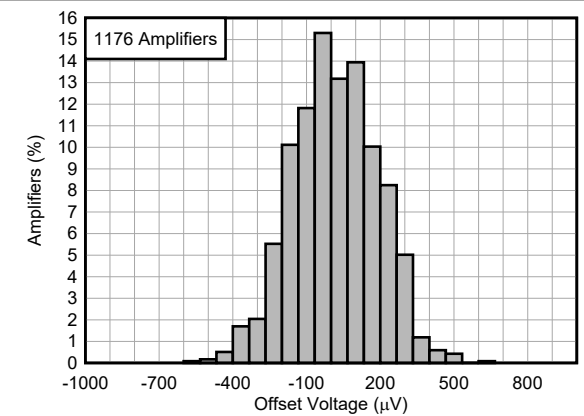


図 6-6. THS4535 オフセット電圧の分布

6.7 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_{S+} - V_{S-} = 5\text{V}$, $V_{VOCM} = \text{オープン (中間電圧)}$, $R_F = 1\text{k}\Omega$, $G = 1\text{V/V}$, $V_O = 2V_{PP}$, $R_L = 1\text{k}\Omega$, $\overline{\text{PD}} = \text{論理 High (特に記述のない限り)}$

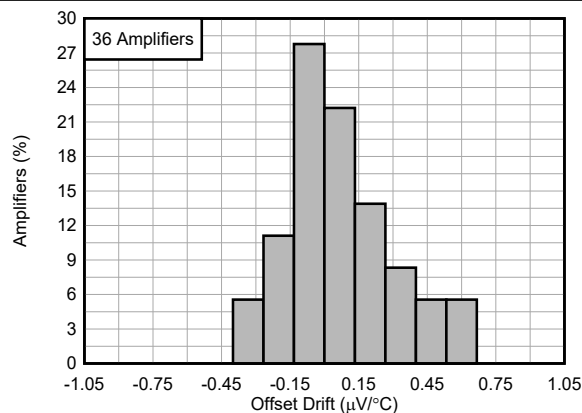
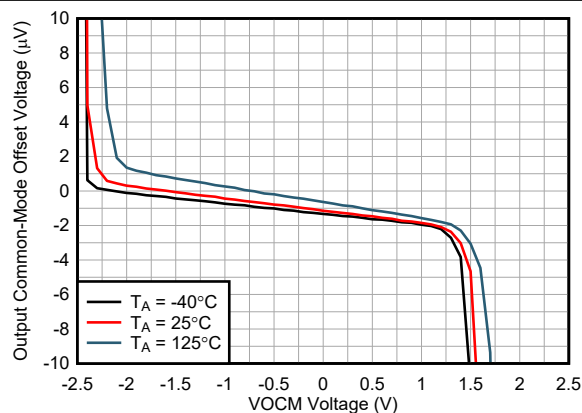


図 6-7. THS4535 オフセット電圧ドリフトの分布



$$V_{\text{OCM}} \text{ オフセット電圧} = (V_{\text{OUT}+} + V_{\text{OUT}-}) / 2 - V_{\text{VOCM}}$$

図 6-8. THS4535 出力同相オフセット電圧と VOCM 電圧との関係

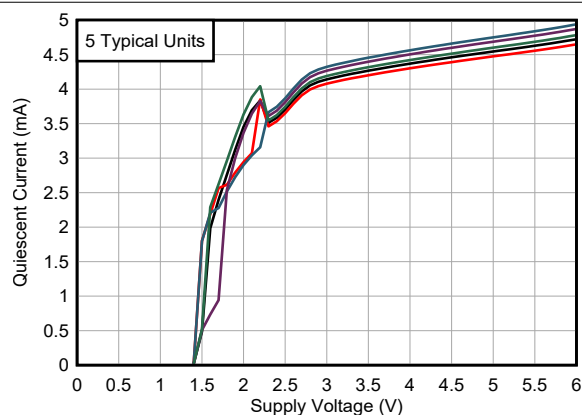


図 6-9. 静止電流と電源電圧との関係

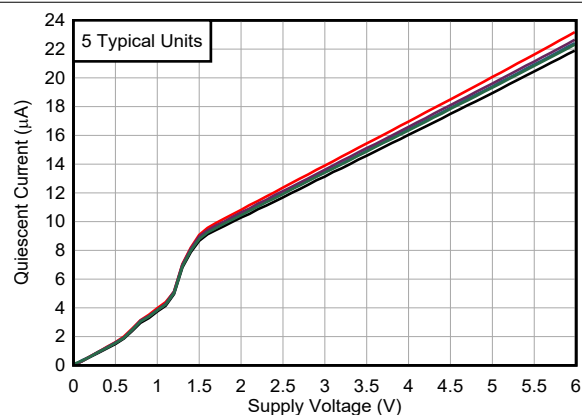


図 6-10. パワーダウン静止電流と電源電圧との関係

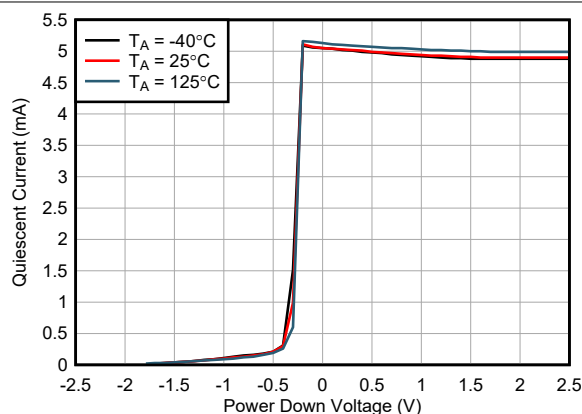


図 6-11. 静止電流と $\overline{\text{PD}}$ 電圧との関係

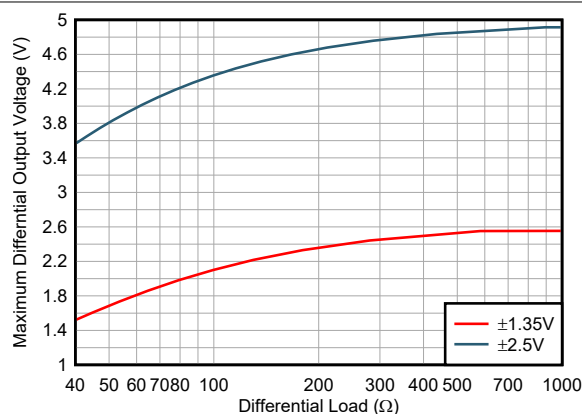


図 6-12. 最大差動出力電圧と差動負荷抵抗との関係

6.7 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_{S+} - V_{S-} = 5\text{V}$ 、 V_{VOCM} = オープン (中間電圧)、 $R_F = 1\text{k}\Omega$ 、 $G = 1\text{V/V}$ 、 $V_O = 2\text{V}_{PP}$ 、 $R_L = 1\text{k}\Omega$ 、 $\overline{\text{PD}}$ = 論理 High (特に記述のない限り)

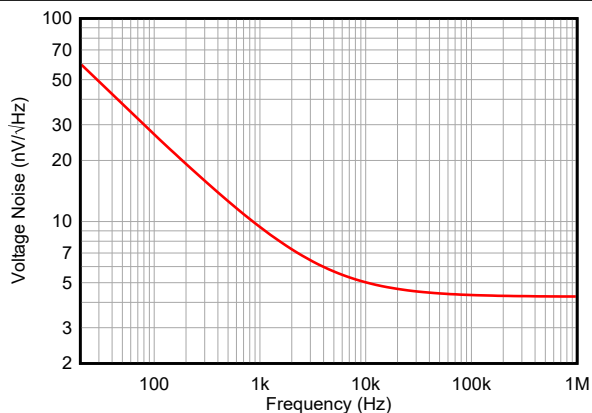


図 6-13. 入力電圧ノイズと周波数との関係

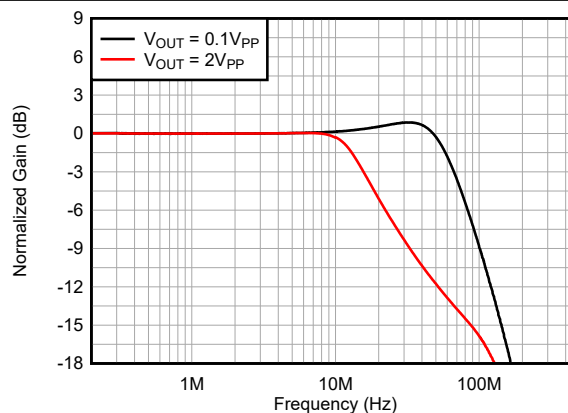


図 6-14. 小信号帯域幅と周波数との関係

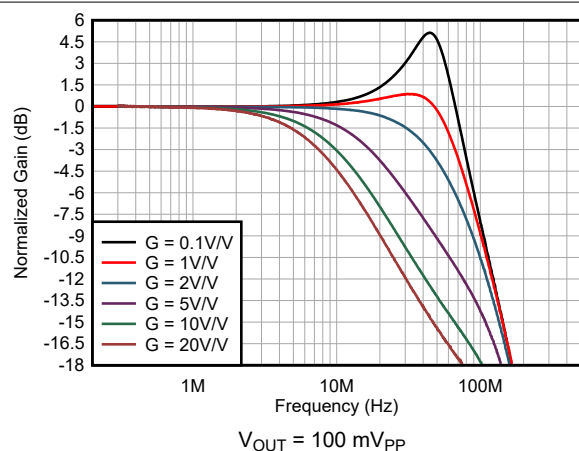


図 6-15. 小信号帯域幅と周波数との関係

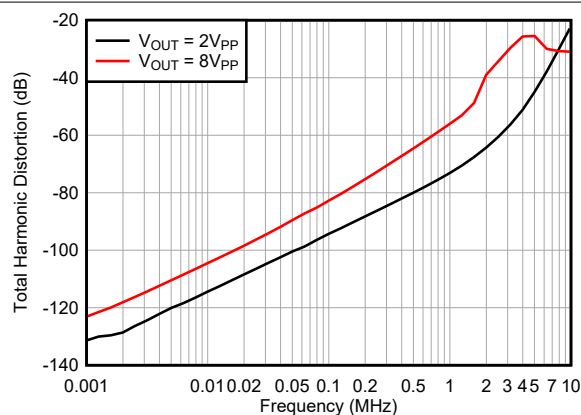


図 6-16. 全高調波歪と周波数との関係

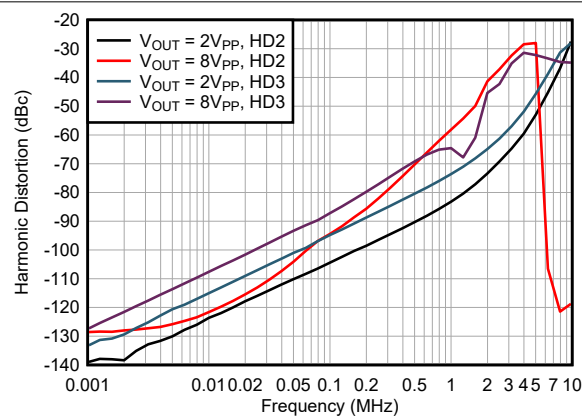


図 6-17. 高調波歪みと周波数との関係

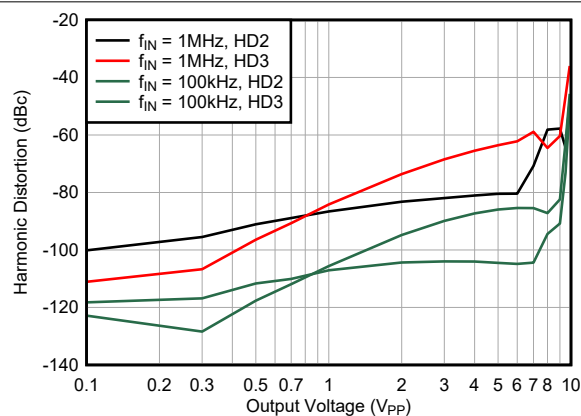


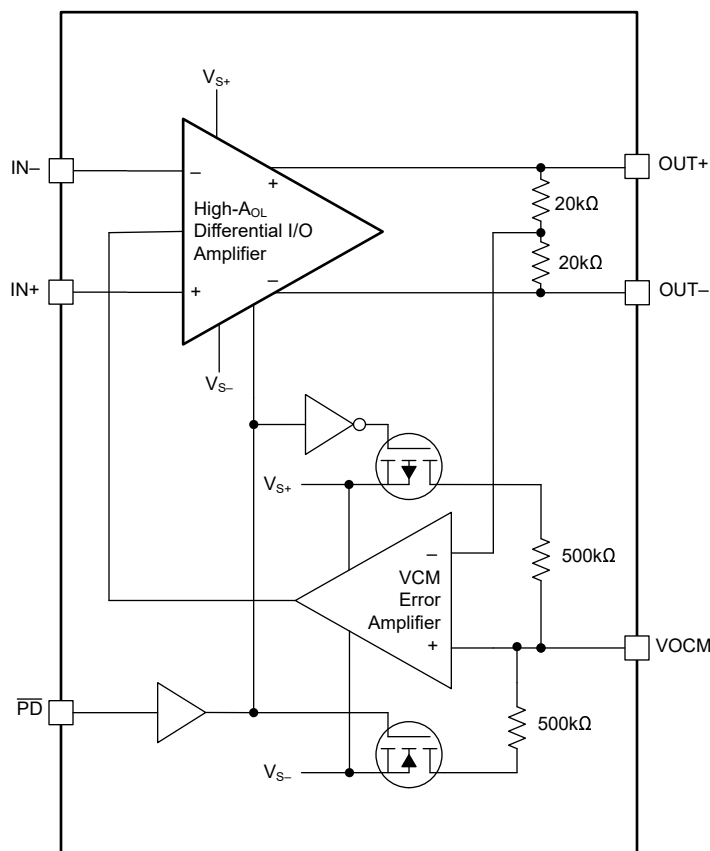
図 6-18. 高調波歪みと差動出力電圧との関係

7 詳細説明

7.1 概要

THS4535 は、2MSPS 未満の ADC を駆動するために DC および AC の性能を最適化するように設計された完全差動 CMOS アンプです。このデバイスの基本バージョンである THS4535 は、ローサイド電流検出またはファンネル アンプ アプリケーションにおけるシングル エンドから差動への変換用に設計されています。DC 精度が必要な場合、THS4535A は温度調整済みデバイス バージョンを提供します。この温度調整と最先端のパッケージ構造により、データ収集システム (DAQ) のアプリケーションで、温度ドリフト、長期ドリフト、またはバイアス電流や入力オフセット電流の過熱による変化に敏感なアプリケーションによる誤差を最小限に抑えることが可能です。最高レベルの精度を実現するため、THS4535A には、温度や時間の経過とともにドリフトするように特別に設計された 4 つの SiCr 集積抵抗が内蔵されています。これらの マッチングされた抵抗の結果として、ゲイン誤差のドリフト、同相信号除去比のドリフト、長期ドリフトに最適化されたシステムが実現され、AC 出力のバランスや歪みを犠牲にすることなく、また高価なレーザー トリム抵抗を必要とすることなく、高精度なシステムを構築できます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 出力同相

THS4535 の出力同相モードピンを使用すると、FDA が出力ピン (V_{OUT+} と V_{OUT-}) をサーボし、これら 2 つのピンの平均電圧が V_{OCM} ピンと一致するように調整できます。 V_{OCM} は、ADC 駆動のように入力同相電圧が目的の出力同相電圧と一致しない場合に特に役立ちます。たとえば、ハイサイド電流センス測定の場合、多くの場合、大きな同相電圧に続いて小さな差動電圧が発生します。ハイサイド シャント抵抗の同相電圧が正電源 (図 7-1) に近い場合、 V_{OCM} ピンを ADC 基準電圧の $\frac{1}{2}$ に設定すると、差動出力電圧が増幅され、 V_{OCM} 電圧を中心に平衡化されます。

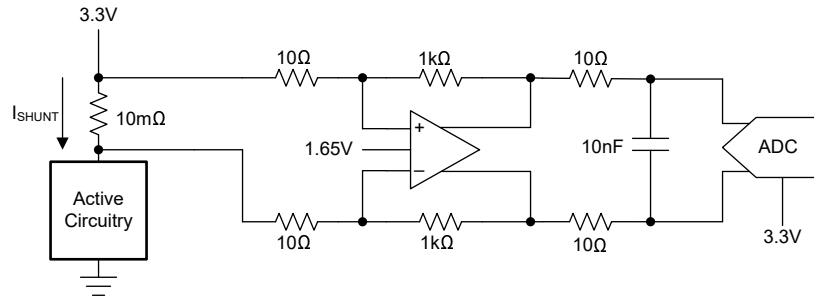


図 7-1. ハイサイド電流センスの例

注

THS4535 には、外部バイアスが印加されない場合、 V_{S+} と V_{S-} にそれぞれ接続された 2 つの 500kΩ 抵抗を持つ分圧器が内蔵されています。高周波過渡がこのピンに結合するのを防ぐため、 V_{OCM} とグラウンドの間に 1nF のコンデンサを接続すると、ピン電圧が内部で安定しやすくなります。

7.4 デバイスの機能モード

7.4.1 パワーダウン モード

パワーダウン モードを適切に動作させるには、パワーダウン ($\overline{\text{PD}}$) ピンを必要な電圧にアサートしてください。 $\overline{\text{PD}}$ ピンには物理的な内部プルアップ抵抗が接続されていないため、このピンがフローティングになっていると、デバイスはデフォルトでオン状態になります。電源が供給されているときに常にデバイスをオンにしたいアプリケーションでは、 $\overline{\text{PD}}$ ピンを正の電源電圧に接続してください。単一電源動作の場合は、正電源内で最低 0.5V の電圧が必要です。

ディスエーブル動作は正電源を基準としています。オフ状態にするには、ディスエーブル制御ピンを負電源内で 0.5V にする必要があります。図 7-2 は、デジタル入出力 (DIO) を $\overline{\text{PD}}$ ピンに直接接続するだけで、マイクロコントローラを使用して THS4535 のパワーダウン ピンを切り替える方法を示しています。

注

マイクロコントローラを使用して THS4535 を有効にする場合は、「電気的特性」のスレッショルド電圧 (V_{IH} および V_{IL}) を満たしていることを確認してください。

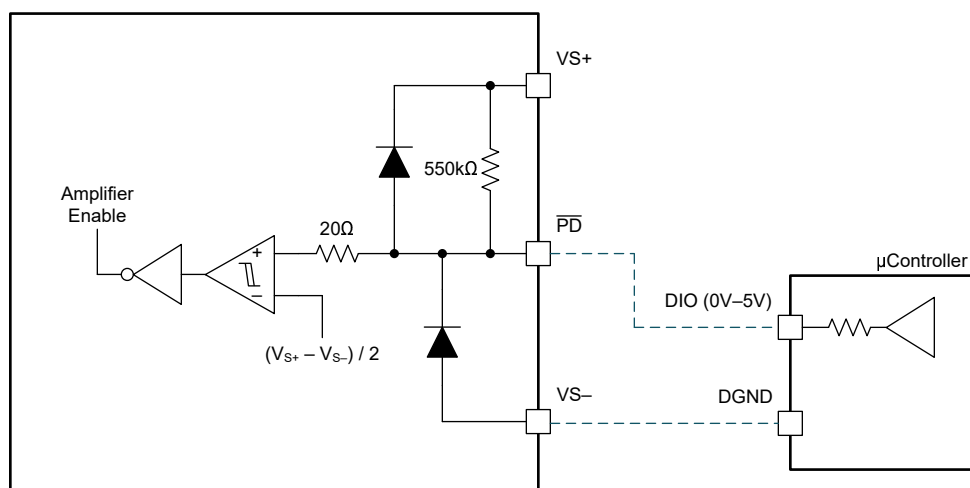


図 7-2. $\overline{\text{PD}}$ ピンの回路図

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

THS4535 のほとんどのアプリケーションでは、アンプに十分な位相マージンを確保しながら、必要な信号処理を実現する設計において、最高のダイナミック レンジを提供することを目指しています。以下のセクションでは、分析に伴う設計上のいくつかの問題と、性能向上のためのガイドラインについて詳しく説明します。

8.1.1 出力同相電圧

出力同相電圧ピンは、THS4535 の DC 出力電圧を設定します。低インピーダンスのソースから VOCM ピンに印加された電圧は、出力同相電圧を直接設定するために使用されます。フローティングのままにすると、VOCM ピンは次のように定義されるミッドレール電圧にデフォルト設定されます。

$$\frac{(V_{CC+}) + (V_{CC-})}{2} \quad (1)$$

同相モード ノイズを最小限に抑えるため、0.1μF バイパス コンデンサを VOCM ピンに接続します。出力同相電圧により、追加の電流が帰還抵抗ネットワークに流れます。この電流はアンプの出力段から供給されるため、追加の消費電力が発生します。一般的に使用される帰還抵抗値では、この電流はアンプから簡単に供給されます。この電流によって発生する追加の内部消費電力は、一部のアプリケーションでは顕著となる可能性があり、自己発熱を効果的に制御するために PowerPAD IC パッケージの使用が求められます。

8.1.1.1 抵抗のマッチング

FDA では、良好な出力バランスを維持するために抵抗のマッチングが重要です。理想的な差動出力信号とは、FDA の 2 つの出力が振幅において厳密に等しく、位相が 180°ずれている状態を指します。2 つの出力信号間で振幅または位相に不均衡があると、出力に望ましくない同相モード信号が発生します。出力バランス誤差とは、出力のバランスの良さを示す指標であり、出力同相電圧と出力差動信号の比率として定義されます。

$$\text{Output Balance Error} = \frac{\left(\frac{V_{OUT+} - V_{OUT-}}{2} \right)}{V_{OUT+} + V_{OUT-}} \quad (2)$$

低周波数では、抵抗のミスマッチが出力バランス誤差の主な要因となります。さらに、抵抗のミスマッチが発生すると、CMRR、PSRR、HD2 の性能が低下します。したがって、性能を最適化するには、許容誤差 1% 以内の抵抗 (またはそれ以上の精度) を使用してください。表 8-1 に、特定のゲインに使用する推奨抵抗値を示します。

表 8-1. 推奨抵抗値

ゲイン (V/V)	R _G (Ω)	R _F (Ω)
1	390	390
2	374	750
5	402	2010
10	402	4020

8.1.2 データ コンバータ

データ コンバータの駆動は、完全差動アンプで最も一般的なアプリケーションの 1 つです。図 8-1 は、差動 A/D コンバータ (ADC) に接続された FDA の典型的な構成を示しています。

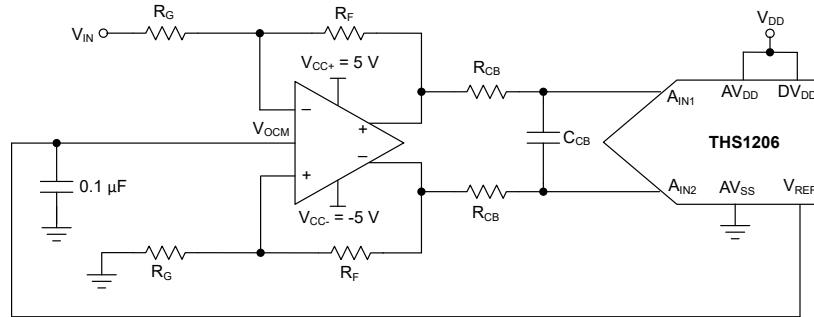


図 8-1. 完全差動アンプを差動 ADC に接続

FDA は単一電源で動作できます。 V_{OCM} はミッドレール電圧 ($V_{CC} / 2$) にデフォルト設定されます。差動出力はデータコンバータに入力されます。この方法は、回路内でトランスを使用する必要がなくなります。ADC に基準電圧出力 (V_{REF}) がある場合、広帯域の同相モード ノイズを低減するために、バイパス コンデンサを使用して V_{REF} をアンプの V_{OCM} に直接接続します。

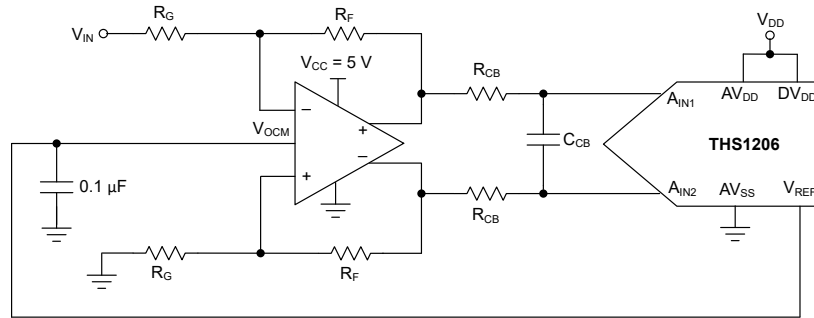


図 8-2. 単一電源を使用した完全差動アンプ

8.1.3 単一電源アプリケーション

正常に動作させるには、デバイスの同相入力電圧範囲を超えないようにしてください。ただし、一部の単一電源アプリケーションでは、入力電圧が同相入力電圧範囲を超える必要があります。この場合、同相入力電圧をアンプの仕様範囲内に収めるには、図 8-3 の回路構成を使用します。

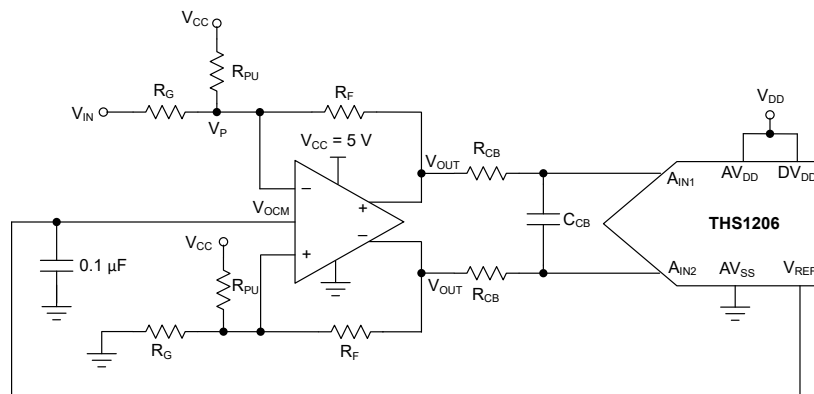


図 8-3. 同相入力電圧を改善した回路

式 3 を使用して R_{PU} を計算します。

$$R_{PU} = \frac{V_P - V_{CC}}{(V_{IN} - V_P) \frac{1}{R_G} + (V_{OUT} - V_P) \frac{1}{R_F}} \quad (3)$$

8.2 代表的なアプリケーション

8.2.1 代表的なアプリケーション

シングルエンドから差動への変換は、完全差動アンプ (FDA) の出力バランス、出力同相モード サーボ、ADC 出力駆動能力の結果として、FDA の典型的な使用例です。多くの高精度で高速の ADC は、同相モード ノイズ耐性の改善とダイナミックレンジの拡大のため、差動入力に移行しています。図 8-4 は、FDA アーキテクチャにより、信号源を一方の入力に接続し、もう一方の入力をグラウンディングするだけで、簡単に変換が可能であることを示しています。

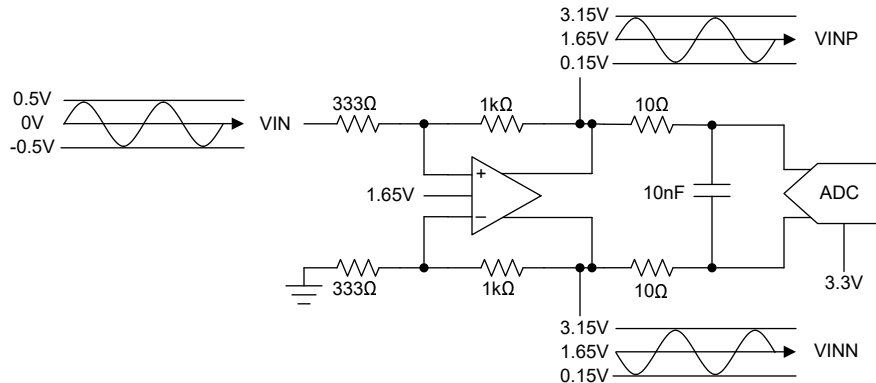


図 8-4. THS4535 シングルエンドから差動への変換

8.2.1.1 設計要件

表 8-2. 設計パラメータ

設計パラメータ	値
入力電圧	1V _{PP}
ADC 電源	3.3V
ADC 入力差動電圧	バランス型 6V _{PP}
ADC 入力同相モード電圧最大値	1.65V

8.2.1.2 詳細な設計手順

図 8-4 に示す構成は、ADC 範囲の中央でバランスの取れた出力を維持しながら、差動ゲイン 3 を作成します。差動ゲイン (A_{V_DIFF}) は、入力抵抗 $R_{IN} = 333\Omega$ と帰還抵抗 $R_{FB} = 1k\Omega$ の比によって設定され、合計で 3V/V となります。出力同相モードは、ADC 基準電圧の 1/2 (この例では 1.65V) である、 V_{OUTCM} ピンで指定された電圧にシフトされます。FDA の固有のアーキテクチャにより、最大および最小範囲が 0.15V ~ 3.15V で、180°位相がずれた 2 つの信号が生成されます。この例では、ADC の全範囲は使用されていません。これは、3.3V 電源で動作している場合に ADC または FDA の出力範囲にヘッドルームを確保するためですが、必要に応じて、ADC に正確に一致するピークツーピーク電圧を得るために、代替のゲインを使用することもできます。

FDA の代替設計として、2 つのオペアンプを使用した 2 オペアンプ計装アンプ構成があります。この設計では 2 つのアンプを使用します。1 つは入力信号を増幅する非反転構成のアンプ、もう 1 つは最初のアンプの出力を反転させる反転構成のアンプです。図 8-5 は、このアプローチにはいくつかの大きな欠点があることを示しています。まず、非反転アンプの出力同相モードが入力同相電圧に依存するため、出力同相電圧は入力同相電圧に依存します。この設計上の欠点は、図 8-5 に 0.075V で示されているように、非反転アンプのゲイン抵抗の DC バイアスを変更することによって修正できますが、追加のバイアス電圧が必要となります。出力同相電圧を正しくシフトしないと、入力電圧が負のレールに近い場合に、非反転アンプでの出力クリッピングにより信号損失が発生する可能性があります。次に、この回路では、非反転アンプと反転アンプの間に位相の不均衡があります。この回路でより大きなゲインが求められると、非反転アンプはゲインが増加

するにつれて遅くなりますが、反転アンプのゲインは同じままです。このようなゲインと位相の不均衡は、歪み誤差として現れる可能性があり、信号の帯域幅を制限し、多くの場合負荷によって悪化します。

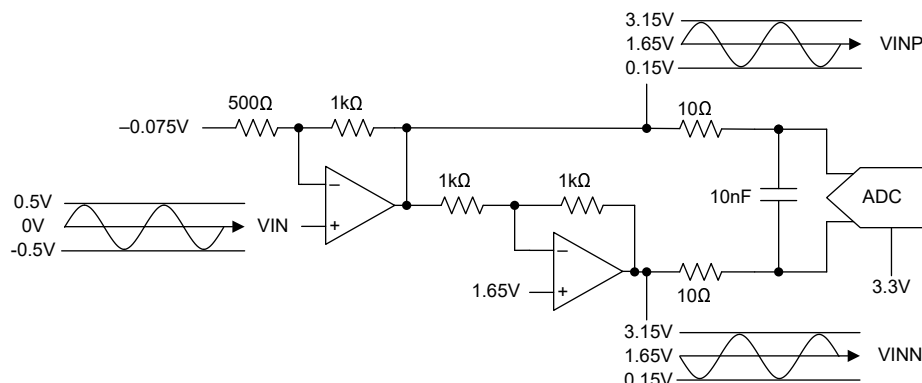


図 8-5. デュアル アンプのシングルからデュアルへの変換

8.3 電源に関する推奨事項

THS4535 は、 $\pm 1.35\text{V}$ から $\pm 2.75\text{V}$ (2.7V から 5.5V のシングルエンド電源) の電源で動作するよう設計されています。5% 以下の電源精度を使用してください。高速デジタル信号を使用した基板上で動作させる場合は、デジタル信号ノイズとアナログ入力ピンの間に絶縁を設けます。THS4535 は、VS+ ピンと VS- ピン経由で電源に接続されます。各電源ピンには、約 10nF の低インダクタンス表面実装セラミック コンデンサを使用して、できるだけデバイスの近くでグラウンドにデカップリングします。ビアを使ってバイパス コンデンサをグラウンド プレーンに接続する場合は、寄生インダクタンスが最小になるようにビアを構成してください。ビアのインダクタンスを低減する 1 つの方法は、複数のビアを使用することです。広帯域システムでは、電源ピンごとに 2 つのコンデンサを使用することを推奨します。

望ましくない信号過渡を避けるため、大きな入力信号がある状態で **THS4535** の電源を投入しないでください。アプリケーションで **ADC** を使用する際に **ADC** 入力ピンの破損を防ぐには、システムの電源投入シーケンスを慎重に計画することが特に重要です。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

8.4.1.1 推奨基板レイアウト

すべての高速デバイスと同様に、基板レイアウトに細心の注意を払うことで最良のシステム性能を実現しています。**THS4535DGKEVM** ユーザーガイドは、リファレンスとして優れた高周波レイアウト技術の例を提供しています。この評価基板には、一部のアプリケーションには適用できない可能性のある、特性評価用の多数の素子と機能が含まれています。一般的な高速の信号路レイアウトの提案には次のようなものがあります。

- より長い配線のインピーダンスのパターンが一致している信号配線では、連続的なグランドプレーンが推奨されます。ただし、容量の影響を受けやすい入力および出力デバイスピンの周囲ではグランドとパワープレーンの両方をオープンにする必要があります。信号を抵抗に送信すると、寄生容量は安定性より帯域制限の問題になります。
- デバイス電源ピンのグランドプレーンには、良質な高周波デカップリングコンデンサ ($0.1\mu\text{F}$) が必要です。追加でさらに大きな値のコンデンサ ($2.2\mu\text{F}$) も必要ですが、デバイスの電源ピンから離して配置し、複数のデバイス間で共有することが可能です。最高の高周波デカップリングを実現するために、標準コンデンサよりも非常に高い自己共振周波数を提供する X2Y 電源デカップリングコンデンサを検討してください。
- 感知可能な距離での差動信号配線は、インピーダンスのパターンが一致しているマイクロストリップレイアウト技術を使用する必要があります。
- 入力加算結合部は、寄生容量の影響を大きく受けます。したがって、抵抗のデバイスピン側にある加算結合部には最短のパターン長で R_G 素子を接続します。 R_G 素子の反対側は、ソースとグランドに必要な場合は、より長いパターン長を使用できます。

8.4.2 レイアウト例

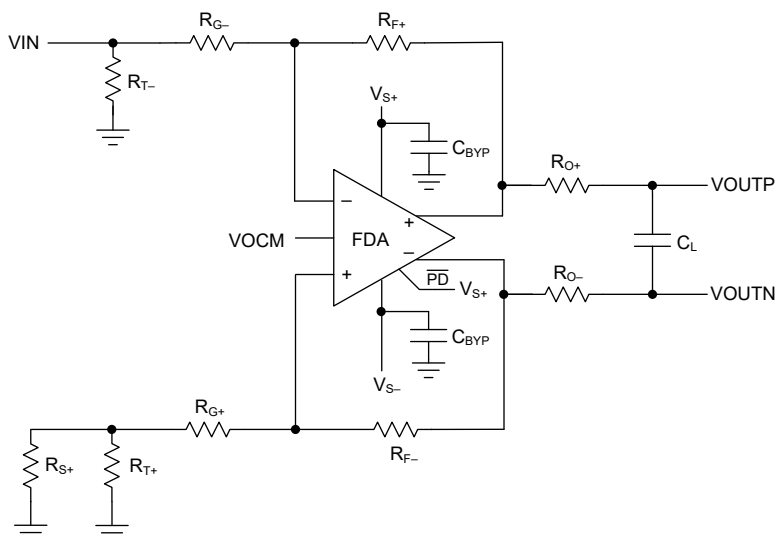


図 8-6. レイアウト推奨の代表的な回路図

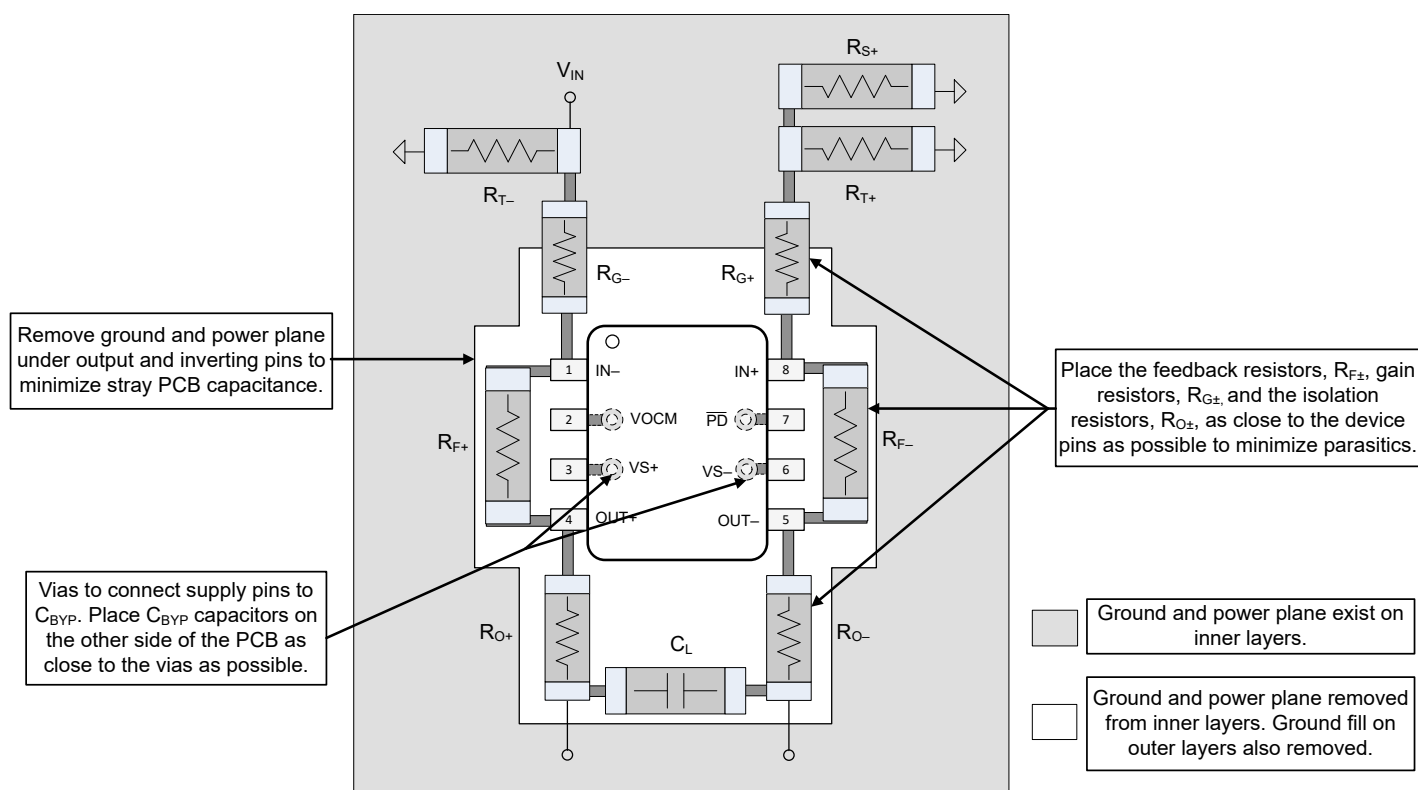


図 8-7. レイアウト推奨 (DGK パッケージ)

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

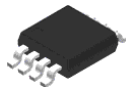
10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
June 2025	*	初版リリース

11 メカニカル、パッケージ、および注文情報

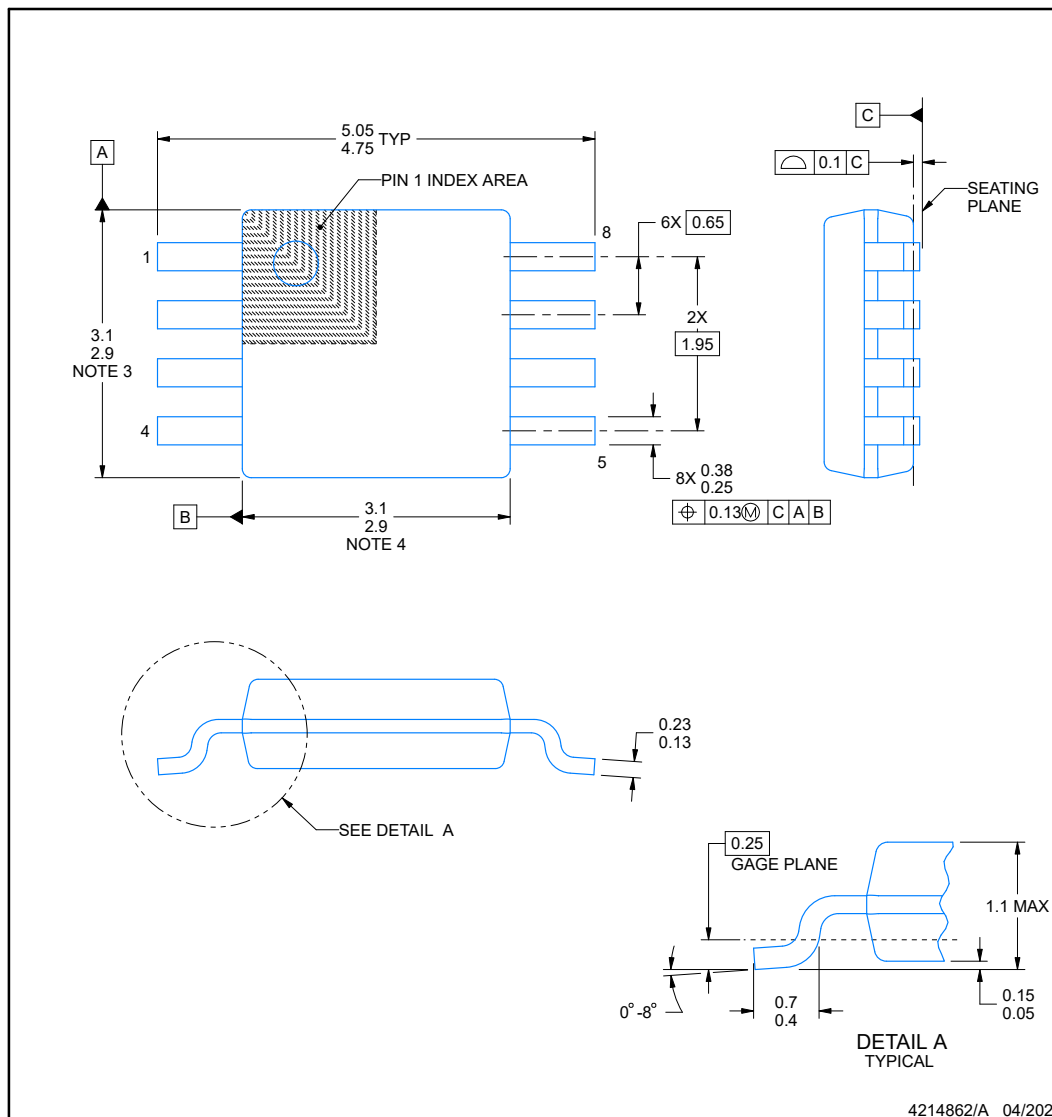
以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。



DGK0008A

PACKAGE OUTLINE
VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

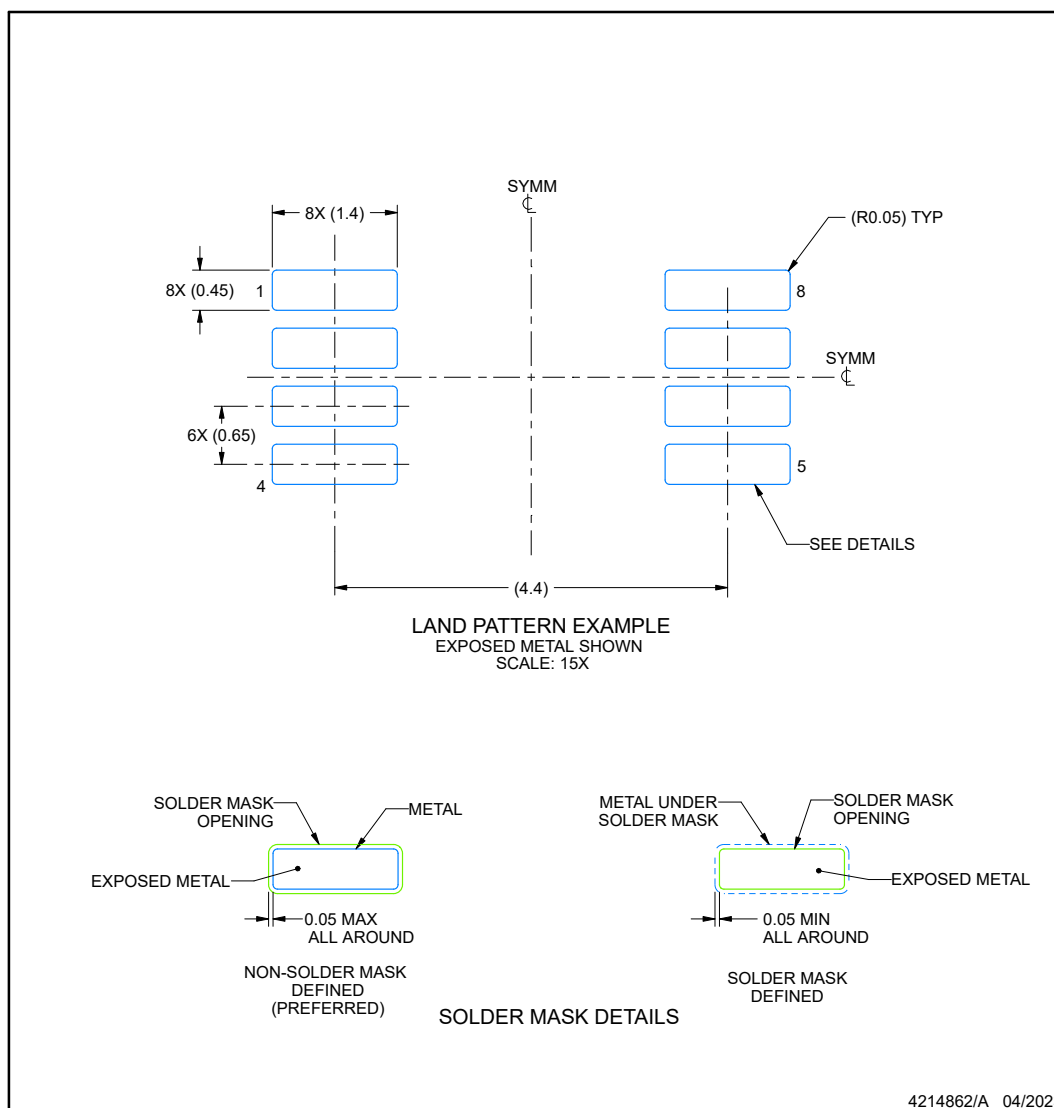
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

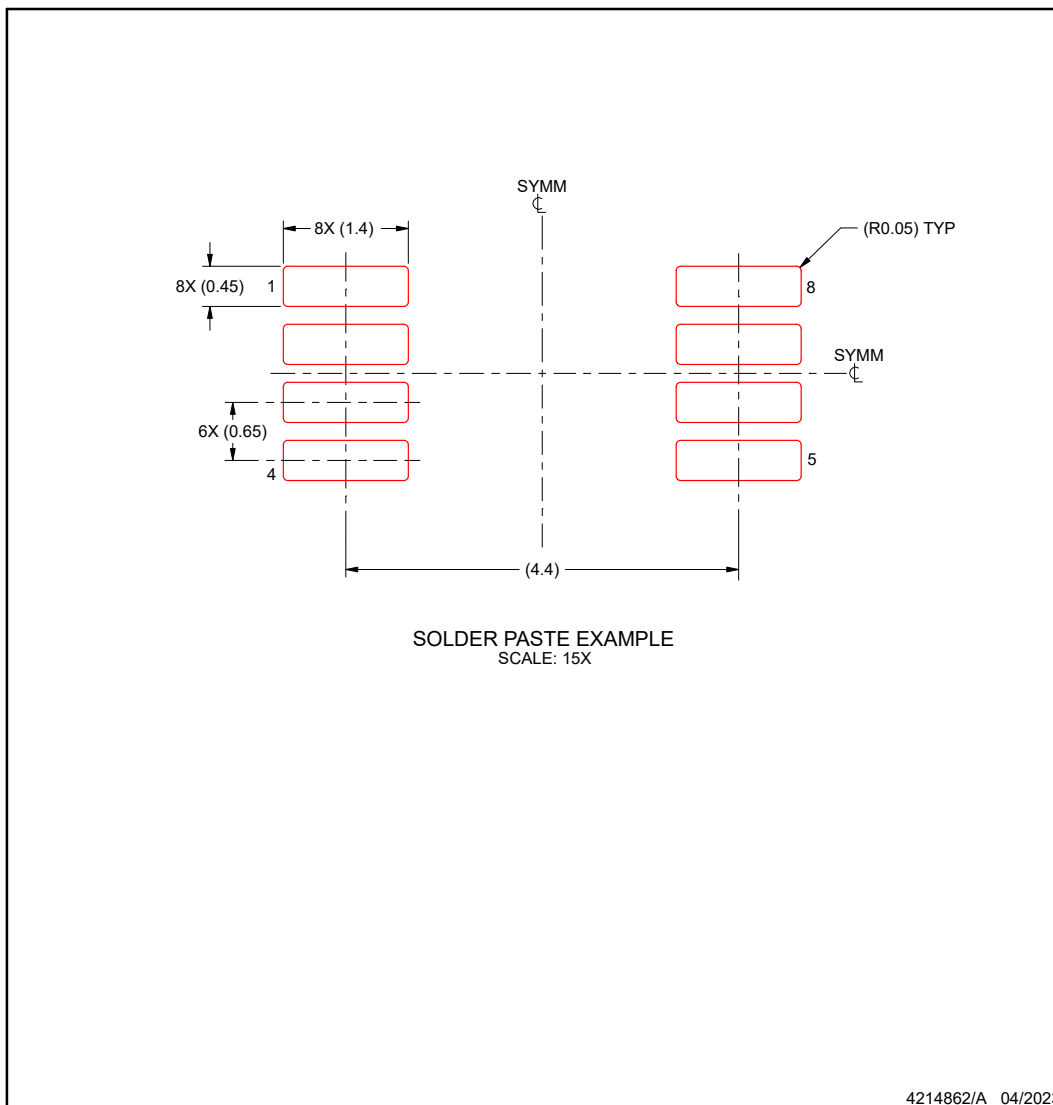
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM **VSSOP - 1.1 mm max height**

SMALL OUTLINE PACKAGE

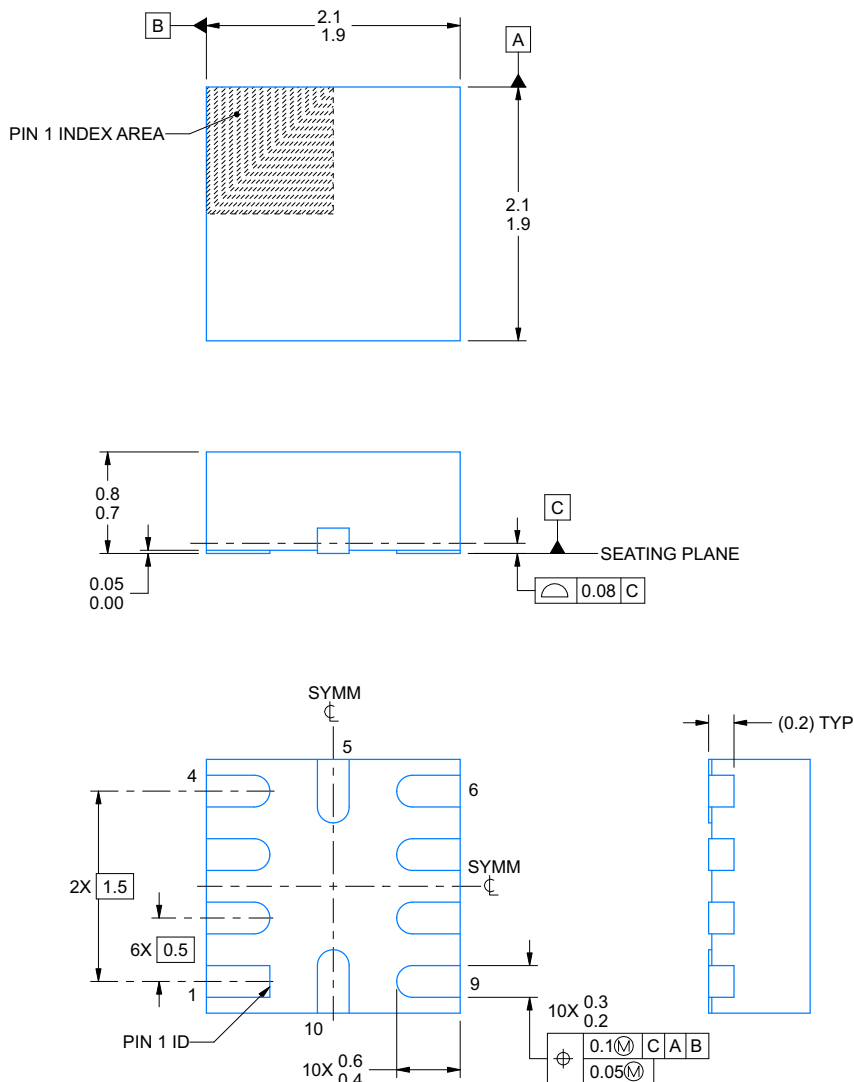


NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PLASTIC QUAD FLATPACK - NO LEAD



4220470/A 05/2020

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.

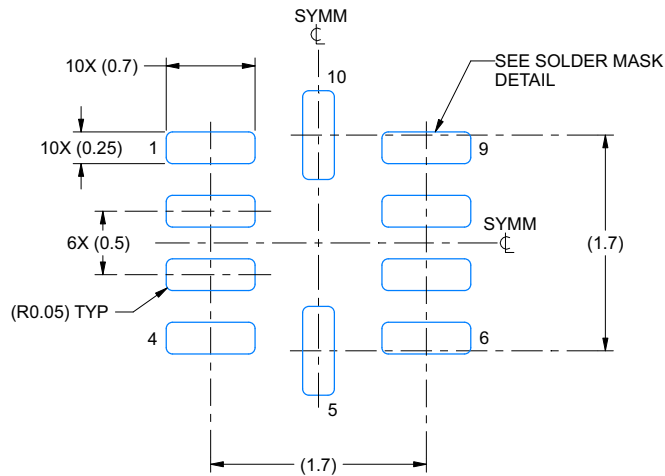
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

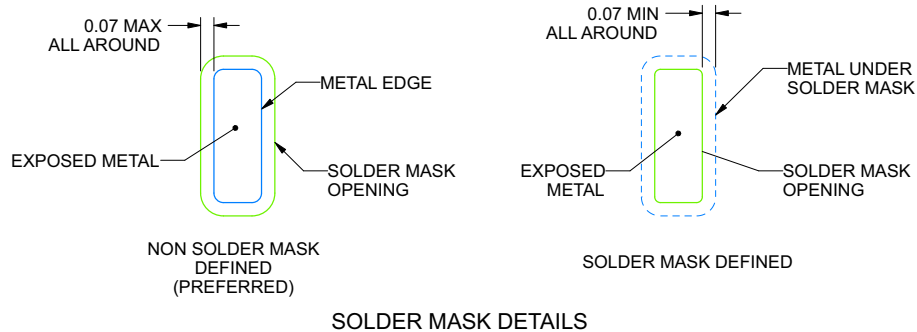
RUN0010A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4220470/A 05/2020

NOTES: (continued)

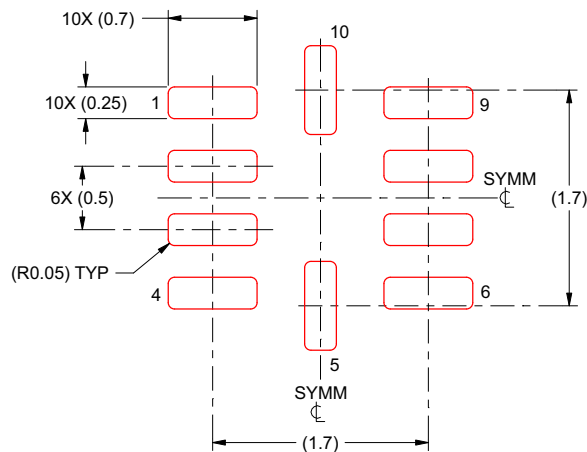
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slue271).

EXAMPLE STENCIL DESIGN

RUN0010A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

4220470/A 05/2020

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

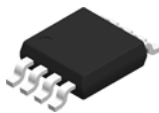
Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTHS4535DGKR	Active	Preproduction	VSSOP (DGK) 8	2500 LARGE T&R	-	Call TI	Call TI	-	

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

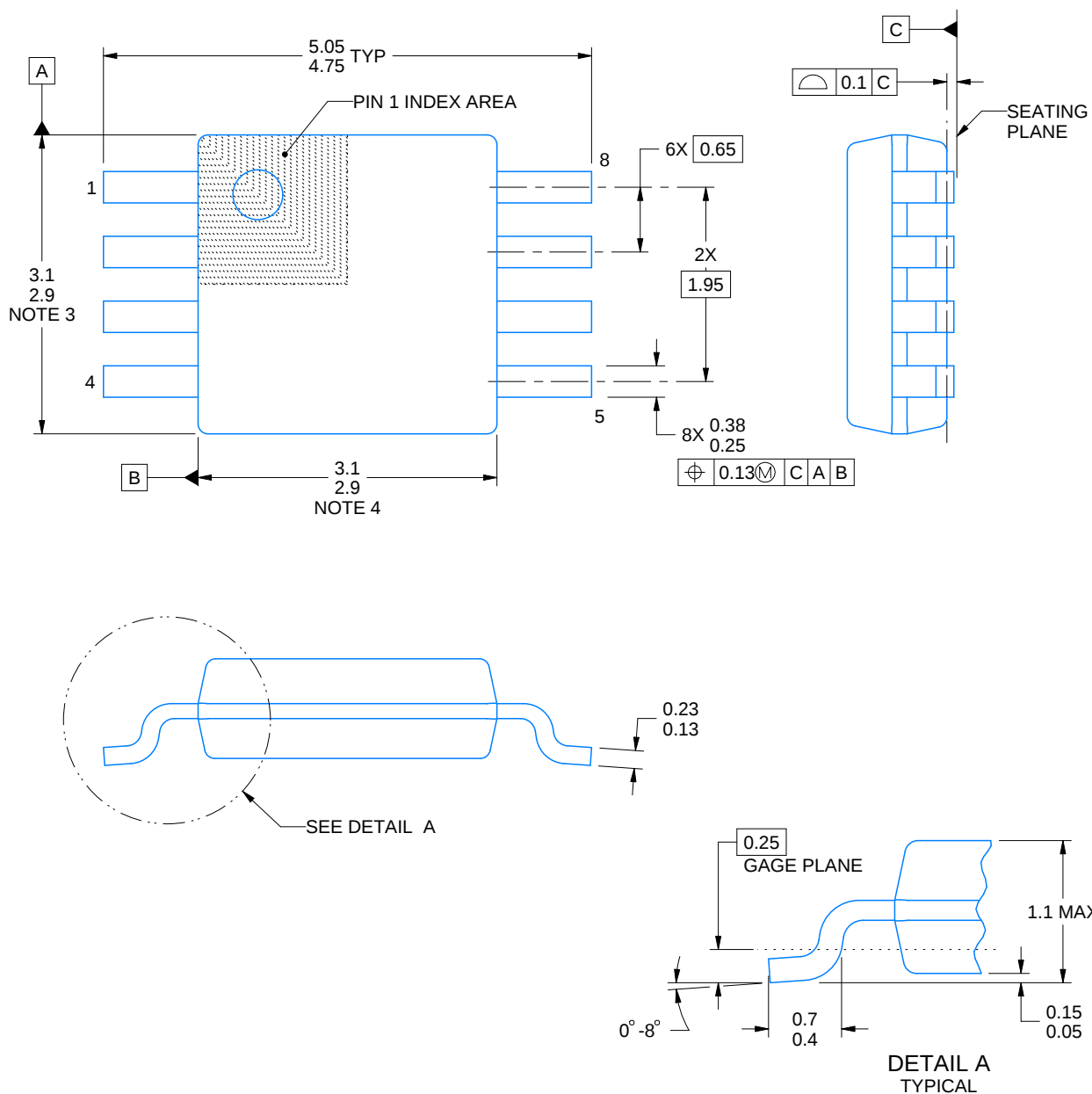
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

DGK0008A**PACKAGE OUTLINE****VSSOP - 1.1 mm max height**

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

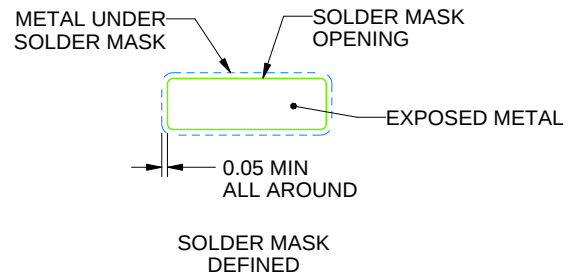
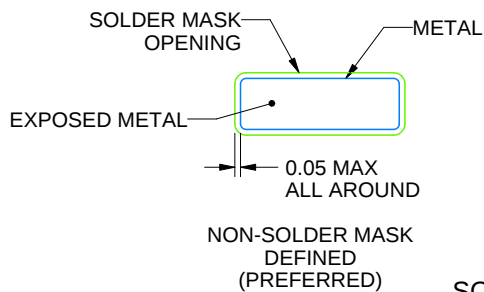
DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとしします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated