

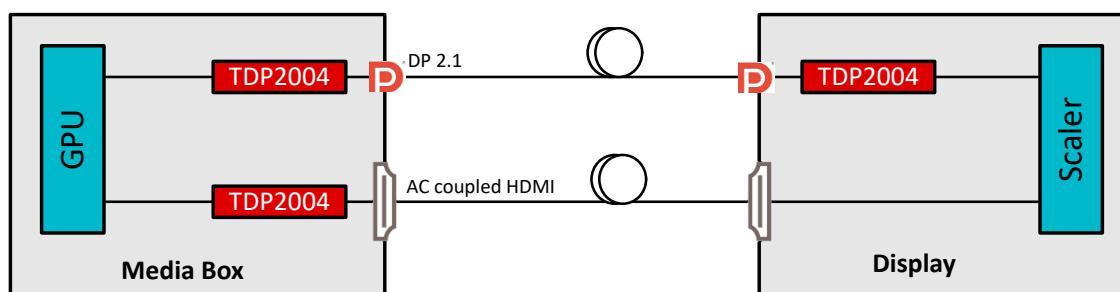
TDP2004-Q1 車載用 4 チャネル 20Gbps DisplayPort 2.1 リニア リドライバ

1 特長

- 車載用に Q100 認証取得済み
- ヒートシンクなしで $-40 \sim 105^\circ\text{C}$ (グレード 2) の周囲温度をサポート
- 最大 20Gbps の DisplayPort 2.1 をサポート (UHBR20)
- USB-C 代替モードに適した内蔵クロス ポイント マルチプレクサ
- 最大 12Gbps の AC 結合 HDMI 2.1 ソースをサポート
- 最大 20Gbps までのほとんどの AC 結合インターフェイスをサポートする、プロトコルに依存しないリニア イコライザ
- 20Gbps (10Ghz ナイキスト) での優れた電気的性能:
 - 20dB のイコライゼーション
 - 1.65V DC の直線性、1.1V AC の直線性
 - 11/-18dB Rx/Tx リターン ロス
 - PRBS データによる 70fs の低付加 RJ
- DisplayPort または HDMI FRL リンクトレーニングに対して透過的
- 3.3V 単一電源、チャネルあたり 160mW のアクティブ電力
- 内部電圧レギュレータにより電源ノイズへの耐性を実現
- 高い直線性により DP コンプライアンス テストが容易
- 高い BW による優れたりニア EQ カーブ
- ピンストラップ、I²C または EEPROM プログラミング
 - 18 個の EQ ブースト設定と 5 個のフラット ゲイン 設定

2 アプリケーション

- 先進運転支援システム (ADAS)
- インフォテインメントおよびクラスター
- ディスプレイ
- ヘッド ユニット/デジタル コックピット
- メディア ハブ



代表的なアプリケーション

3 説明

TDP2004-Q1 は、DisplayPort 2.1 を最大 20Gbps、AC 結合 HDMI2.1 ソースを最大 12Gbps までサポートするよう設計されています。

TDP2004-Q1 のレシーバは、連続時間リニア イコライザ (CTLE) を搭載し、プログラマブルな高周波数での昇圧を実現しています。イコライザは、相互接続媒体 (例: PCB 配線、ケーブル) に起因する符号間干渉 (ISI) によって完全に閉じた入力アイ パターンを開くことができます。TDP2004-Q1 のリニアなデータパスは、送信プリセット信号特性を保持します。高帯域幅で、チャネル間クロストークが少なく、付加ジッタが小さく、反射損失特性が非常に優れた本デバイスは、便利なイコライゼーション機能を備えていることを除いて、リンク内でほとんど受動素子のように振舞います。DisplayPort リンクのトレーニングは、ソース Tx とシンク Rx の間でパッシブ チャネルの一部となるリニア リドライバを使用して効果的に行われます。このリンクトレーニング プロトコルの透過性は、最適な電気的リンクと最短のレイテンシをもたらします。本デバイスのデータ パスは、基板上のすべての電源ノイズに対して高い耐性を示す内部的に安定化された電源レールを使用しています。

また、このデバイスは AC および DC ゲインの変動が小さいため、大容量プラットフォームを開拓する際の一貫したイコライゼーションにも対応しています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
TDP2004-Q1	RGF (VQFN, 40)	5mm × 7mm

(1) 詳細については、[セクション 9](#) を参照してください。

(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長	1	6.2 機能ブロック図	12
2 アプリケーション	1	6.3 機能説明	13
3 説明	1	6.4 デバイスの機能モード	14
4 ピン構成および機能	3	6.5 プログラミング	14
5 仕様	6	7 アプリケーションと実装	19
5.1 絶対最大定格	6	7.1 アプリケーション情報	19
5.2 ESD 定格	6	7.2 代表的なアプリケーション	19
5.3 推奨動作条件	6	7.3 電源に関する推奨事項	22
5.4 熱に関する情報	7	7.4 レイアウト	23
5.5 DC の電気的特性	7	8 デバイスおよびドキュメントのサポート	25
5.6 高速電気的特性	8	8.1 ドキュメントの更新通知を受け取る方法	25
5.7 SMBUS/I ² C タイミング特性	9	8.2 サポート・リソース	25
5.8 代表的特性	11	8.3 商標	25
5.9 代表的なジッタ特性	11	8.4 静電気放電に関する注意事項	25
6 詳細説明	12	8.5 用語集	25
6.1 概要	12	9 メカニカル、パッケージ、および注文情報	25

4 ピン構成および機能

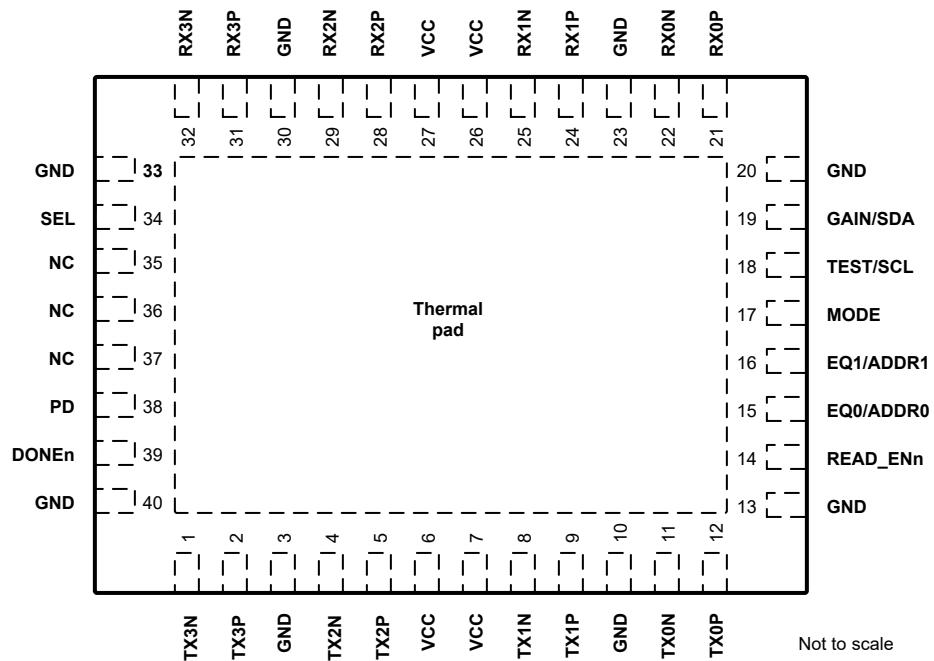


図 4-1. RGF パッケージ、40 ピン VQFN (上面図)

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
DONEn	39	O、3.3V オープンドレイン	SMBus/I²C コントローラ モード: 有効な EEPROM レジスタ ロード動作が完了したことを示します。4.7kΩ などの外部プルアップ抵抗が動作に必要です。 High: 外部 EEPROM のロードに失敗または不完全 Low: SMBus/I²C ターゲット/ピンモード で外部 EEPROM のロードが成功し完了 : この出力はハイインピーダンスです。このピンはフローティングのままでかまいません。
モード	17	I、5 レベル	デバイス制御構成モードを設定します。表 6-3 に示す 5 レベルの IO ピン。このピンは、デバイスの電源投入時または通常動作モード時に実行できます。 L0: ピン モード – デバイス制御構成は、ストラップ ピンのみで行われます。 L1: SMBus/I²C コントローラ モード – デバイス制御構成は外部 EEPROM から読み出されます。TDP2004-Q1 が EEPROM からの読み取りを正常に完了すると、Don En ピンは LOW になります。このモードでは、SMBus/I ² C ターゲット動作を、EEPROM 読み出しの前、実行中または後に使用できます。注: EEPROM 読み取り中に、外部 SMBus/I ² C コントローラが TDP2004-Q1 レジスタにアクセスする場合、外部コントローラは調停をサポートする必要があります。 L2: SMBus/I²C ターゲット モード – デバイス制御構成は、SMBus/I ² C コントローラを持つ外部コントローラによって実行されます。 L3 と L4 (フローティング): 予約済み – TI の内部テスト モード。
EQ0 / ADDR0	15	I、5 レベル	ピン モード内: 表 6-1 に示すように、チャネル 0 ~ 3 のレシーバのリニア イコライゼーション (CTLE) 昇圧を設定します。これらのピンは、デバイスの電源投入時にのみサンプリングされます。
EQ1 / ADDR1	16	I、5 レベル	SMBus/I²C モード: 表 6-4 に示すように、SMBus/I ² C ターゲット アドレスを設定します。これらのピンは、デバイスの電源投入時にのみサンプリングされます。

表 4-1. ピンの機能 (続き)

名称	番号	ピン	タイプ ⁽¹⁾	説明
ゲイン/ SDA	19	I、5 レベル/ I/O、3.3V LVC MOS、オ ープンドレイン		<p>ピン モード内: チャネル 0 ~ 3 において、デバイスの入力から出力までフラット ゲイン (DC および AC)。このピンは、デバイスの電源投入時にのみサンプリングされます。</p> <p>SMBus/I²C モード: 3.3V SMBus/I²C データ。SMBus / I²C インターフェイス規格に従い、外部 1kΩ から 5kΩ へ プルアップ抵抗が必要です。</p>
GND	3、10、13、20、 23、30、33、 40、EP	G		<p>デバイス用のグランド リファレンス。</p> <p>EP: QFN パッケージの底面にある露出パッドで、デバイスの GND リターンとして使用されます。EP は、低抵抗のバスを経由して 1 つ以上のグランド プレーンに接続する必要があります。ビア アレイにより、GND への低インピーダンス パスが実現します。EP は放熱も改善しています。</p>
PD	38	I、3.3V LVC MOS		<p>リドライバの動作状態を制御する 2 レベルのロジック。すべてのデバイス制御モードでアクティブです。ピンには、1MΩ の弱プルダウン 抵抗があります。</p> <p>High: チャネル 0 ~ 3 のパワーダウン</p> <p>Low: パワーアップ、チャネル 0 ~ 3 の通常動作</p>
READ_ENn	14	I、3.3V LVC MOS		<p>SMBus/I²C コントローラ モード: 電源投入後、このピンが Low のとき、デバイスは SMBus/I²C コントローラ モードの EEPROM 読み取り機能を開始します。EEPROM の読み取りが完了すると (Don En が Low にアサートされることで示されます)、このピンはデバイスの通常動作のために Low に保持できます。EEPROM ロード処理中は、デバイスの信号バスが無効になります。</p> <p>SMBus/I²C ターゲット モードおよびピン モード: これらのモードでは、このピンは使用されません。ピンはフローティングのままにしてもかまいません。ピンには、1MΩ の弱プルダウン 抵抗があります。</p>
SEL	34			<p>このピンはマルチプレクサ構成を選択します。</p> <p>Low: ストレート データバス - RX[0/1/2/3][P/N] は、リドライバを介して TX[0/1/2/3][P/N] に接続されます。</p> <p>High: クロス データバス - RX[0/1/2/3][P/N] は、リドライバを介して TX[1/0/3/2][P/N] に接続されます。</p> <p>すべてのデバイス制御モードでアクティブです。59kΩ 内部プルダウン。</p>
テスト/ SCL	18	I、5 レベル/ I/O、3.3V LVC MOS、オ ープンドレイン		<p>ピン モード内: TI テストモード。外付け 1kΩ プルダウン 抵抗を取り付ける必要があります。</p> <p>SMBus/I²C モード: 3.3V SMBus/I²C クロック。SMBus / I²C インターフェイス規格に従い、外部 1kΩ から 5kΩ へ プルアップ抵抗が必要です。</p>
RX0N	22	I		イコライザへの反転差動入力。ピンと内部 CM バイアス電圧の間に 50Ω の終端抵抗を内蔵。チャネル 0。
RX0P	21	I		イコライザへの非反転差動入力。ピンと内部 CM バイアス電圧の間に 50Ω の終端抵抗を内蔵。チャネル 0。
RX1N	25	I		イコライザへの反転差動入力。ピンと内部 CM バイアス電圧の間に 50Ω の終端抵抗を内蔵。チャネル 1。
RX1P	24	I		イコライザへの非反転差動入力。ピンと内部 CM バイアス電圧の間に 50Ω の終端抵抗を内蔵。チャネル 1。
RX2N	29	I		イコライザへの反転差動入力。ピンと内部 CM バイアス電圧の間に 50Ω の終端抵抗を内蔵。チャネル 2。
RX2P	28	I		イコライザへの非反転差動入力。ピンと内部 CM バイアス電圧の間に 50Ω の終端抵抗を内蔵。チャネル 2。
RX3N	32	I		イコライザへの反転差動入力。ピンと内部 CM バイアス電圧の間に 50Ω の終端抵抗を内蔵。チャネル 3。
RX3P	31	I		イコライザへの非反転差動入力。ピンと内部 CM バイアス電圧の間に 50Ω の終端抵抗を内蔵。チャネル 3。
TX0N	11	O		100Ω 差動ドライバ出力の反転ピン。チャネル 0。
TX0P	12	O		100Ω 差動ドライバ出力の非反転ピン。チャネル 0。

表 4-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
TX1N	8	O	100Ω 差動ドライバ出力の反転ピン。チャネル 1。
TX1P	9	O	100Ω 差動ドライバ出力の非反転ピン。チャネル 1。
TX2N	4	O	100Ω 差動ドライバ出力の反転ピン。チャネル 2。
TX2P	5	O	100Ω 差動ドライバ出力の非反転ピン。チャネル 2。
TX3N	1	O	100Ω 差動ドライバ出力の反転ピン。チャネル 3。
TX3P	2	O	100Ω 差動ドライバ出力の非反転ピン。チャネル 3。
VCC	6、7、26、27	P	電源ピン。VCC = 3.3V ±10%。このデバイスの VCC ピンは、基板の VCC プレーンへの低抵抗のパスを経由して接続する必要があります。各 VCC ピンの近くで、GND との間にデカッピング コンデンサを取り付けます。

(1) I = 入力、O = 出力、P = 電源、G = グランド

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
VCC _{ABSMAX}	電源電圧 (VCC)	-0.5	4.0	V
VIO _{CMOS,ABSMAX}	3.3V LVC MOS とオーブンドレイン I/O 電圧	-0.5	4.0	V
VIO _{5LVL,ABSMAX}	5 レベル入力 I/O 電圧	-0.5	2.75	V
VIO _{HS-RX,ABSMAX}	高速 I/O 電圧 (RXnP, RXnN)	-0.5	3.2	V
VIO _{HS-TX,ABSMAX}	高速 I/O 電圧 (TXnP, TXnN)	-0.5	2.75	V
T _{J,ABSMAX}	接合部温度		150	°C
T _{stg}	保管温度範囲	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。推奨動作条件の範囲外ではあるが、絶対最大定格の範囲内で短時間動作している場合、デバイスは損傷を受けない可能性がありますが、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。

5.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM) ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠 ⁽²⁾	±500	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。±2kV と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。
 (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

外気温度範囲での動作時 (特に記述がない限り)

			最小値	公称値	最大値	単位
VCC	供給電圧、VCC から GND	DC と AC の電力の合計は、これらの制限を超えてはなりません	3.0	3.3	3.6	V
N _{VCC} ⁽¹⁾	電源ノイズ許容誤差	DC から 50Hz 未満、正弦波			250	mVpp
		50Hz ~ 500kHz、正弦波			100	mVpp
		500kHz ~ 2.5MHz、正弦波			33	mVpp
		電源ノイズ、2.5MHz 超、正弦波			10	mVpp
T _{RampVCC}	VCC 電源ランプ時間	0V~3.0V	0.150	100	ms	
T _A	動作時の周囲温度		-40	105	°C	
T _J	動作時接合部温度				125	°C
PW _{LVC MOS}	デバイスが LVC MOS 入力で有効な信号を検出するためには必要な最小ハペルス幅	PD、SEL、および READ_ENn	200			μs
VCC _{SMBUS}	SMBus/I ² C SDA および SCL のオーブンドレイン終端電圧	オーブンドレイン プルアップ抵抗の電源電圧			3.6	V
F _{SMBus}	SMBus/I ² C クロック (SCL) 周波数	SMBus ターゲットモード	10	400	kHz	
VID _{LAUNCH}	ソース立ち上げ振幅	差動信号処理			1200	mVpp

5.3 推奨動作条件 (続き)

外気温度範囲での動作時 (特に記述がない限り)

		最小値	公称値	最大値	単位
DR	データ レート	1		20	Gbps

- (1) 正弦波ノイズは電源電圧に重畠されますが、デバイスの機能や、電気的表に示された重要な性能への影響はごくわずかです。AC と DC を合わせた電源ノイズが、規定された VDD 電源電圧の制限内に収まるように対策を講じる必要があります。

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		TDP2004-Q1	単位
		RGF、40 ピン	
R _{θJA} -High K	接合部から周囲への熱抵抗	29.6	°C/W
R _{θJC} (top)	接合部からケース (上面) への熱抵抗	19.0	°C/W
R _{θJB}	接合部から基板への熱抵抗	11.2	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.4	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	11.1	°C/W
R _{θJC} (bot)	接合部からケース (底面) への熱抵抗	3.8	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 DC の電気的特性

自由気流での動作温度および電圧範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源						
P _{ACT}	デバイスのアクティブ電力	4 チャネルアクティブ、EQ = 0 ~ 2 4 チャネルアクティブ、EQ = 5 ~ 19	0.57 0.69	0.71 0.85		W
P _{STBY}	スタンバイ パワー モードにおけるデバイスの消費電力	すべてのチャネルがディスエーブル (PD = H)		17	25	mW
制御 IO						
V _{IH}	High レベル入力電圧	SDA、SCL、PD、READ_ENn、SEL ピン	2.1			V
V _{IL}	Low レベル入力電圧	SDA、SCL、PD、READ_ENn、SEL ピン		1.08		V
V _{OH}	High レベル出力電圧	R _{pullup} = 4.7kΩ (SDA、SCL、DONEn ピン)	2.1			V
V _{OL}	Low レベル出力電圧	I _{OL} = -4mA (SDA、SCL、DONEn ピン)		0.4		V
I _{IH,SEL}	SEL ピンの入力 High リーク電流	V _{Input} = SEL ピン		100		μA
I _{IH}	入力 High リーク電流	V _{Input} = VCC、SCL、SDA、PD、READ_ENn ピン		10		μA
I _{IL}	入力 Low リーク電流	V _{Input} = 0V、SCL、SDA、PD、READ_ENn、SEL ピン	-10			μA
I _{IH,FS}	フェイリセーフ入力ピンに対する入力 High リーク電流	V _{Input} = 3.6V、VCC = 0V、SCL、SDA、PD、READ_ENn、SEL ピン		200		μA
C _{IN-CTRL}	入力容量	SDA、SCL、PD、READ_ENn、SEL ピン	1.6			pF
5 レベルの IO (MODE、GAIN、EQ0、EQ1 ピン)						
I _{IH,5L}	入力 High リーク電流、5 レベル IO	VIN = 2.5V		10		μA
I _{IL,5L}	モードを除くすべての 5 レベル IO について入力 Low リーク電流。	VIN = GND	-10			μA

5.5 DC の電気的特性 (続き)

自由気流での動作温度および電圧範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{IL_5L,MODE}$		MODE ピンの入力 Low リーク電流	$V_{IN} = GND$		-200	μA
レシーバ						
$V_{RX-DC-CM}$		RX DC コモン モード電圧	デバイスがアクティブまたはスタンバイ状態		1.4	V
Z_{RX-DC}		Rx DC シングルエンド インピーダンス			50	Ω
トランシミッタ						
$Z_{TX-DIFF-DC}$		DC 差動 Tx インピーダンス	アクティブ信号中の Tx のインピーダンス, VID, diff = 1Vpp		100	Ω
$V_{TX-DC-CM}$		レシーバの DC 同相電圧インピーダンス			1.0	V
$I_{TX-SHORT}$		Tx 短絡電流	GND に短絡したときに Tx が供給できる総電流		70	mA

5.6 高速電気的特性

自由気流での動作温度および電圧範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
レシーバ						
$RL_{RX-DIFF}$	入力差動リターン	50MHz	-27			dB
		4.0GHz	-15			dB
		5.0GHz	-15			dB
		8.0GHz	-15			dB
		10.0GHz	-11			dB
RL_{RX-CM}	入力同相モードリターン損失	50MHz	-22			dB
		4.0GHz	-12			dB
		5.0GHz	-11			dB
		8.0GHz	-10			dB
		10.0GHz	-8			dB
XT_{RX}	レシーバ側ペア間絶縁	10.0MHz ~ 10.0GHz の範囲全体での最小値	-50			dB
トランシミッタ						
$RL_{TX-DIFF}$	出力差動リターン	50.0MHz	-29			dB
		4.0GHz	-16			dB
		5.0GHz	-17			dB
		8.0GHz	-20			dB
		10.0GHz	-18			dB
RL_{TX-CM}	出力同相モードリターン損失	50.0MHz	-16			dB
		4.0GHz	-11			dB
		5.0GHz	-10			dB
		8.0GHz	-9			dB
		10.0GHz	-9			dB
XT_{TX}	送信側のペア間絶縁	10.0MHz ~ 10.0GHz の範囲全体での最小値	-46			dB
デバイス データパス						
$T_{PLHD/PHLD}$	データ チャネルを介した入力から出力までのレイテンシ (伝搬遅延)	ロトウハイまたはハイトウロー遷移のいずれの場合でも	100			ps

5.6 高速電気的特性 (続き)

自由気流での動作温度および電圧範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{RJ-DATA}$	データによる付加ランダム ジッタ	リドライバを通過するジッタからキャリブレーションパターンを除きます。20Gbps PRBS15, 800mVpp-diff 入力スイングの	70			fs
XT	チャネル間クロストーク (隣接するアクティブ チャネル間、FEXT)	50.0MHz ~ 10.0Ghz の範囲における最小値 (EQ ゲイン 0dB に正規化)	-38			dB
直線性 - DC	出力 DC の直線性		1650			mVpp
直線性 - AC	出力 AC 直線性 (GAIN = L4)	8Gbps	1250			mVpp
直線性 - AC	出力 AC 直線性 (GAIN = L4)	16Gbps	1200			mVpp
直線性 - AC	出力 AC 直線性 (GAIN = L4)	20Gbps	1100			mVpp

5.7 SMBUS/I²C タイミング特性

外気温度範囲での動作時 (特に記述がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ターゲット モード						
t_{SP}	入力フィルタにより抑制されるスパイクのパルス幅			50		ns
t_{HD-STA}	ホールド時間 (繰り返し) START コンディション。 この期間の後に最初のクロック パルスが生成されます		0.6			μs
t_{LOW}	SCL クロック Low 期間		1.3			μs
T_{HIGH}	SCL クロックの High の時間		0.6			μs
t_{SU-STA}	繰り返し START 条件のセットアップ時間		0.6			μs
t_{HD-DAT}	データ ホールド時間		0			μs
T_{SU-DAT}	データ セットアップ時間		0.1			μs
t_r	SDA 信号と SCL 信号の両方の立ち上がり時間	プルアップ抵抗 = 4.7kΩ, C _b = 10pF	120			ns
t_f	SDA 信号と SCL 信号の両方の立ち下がり時間	プルアップ抵抗 = 4.7kΩ, C _b = 10pF	2			ns
t_{SU-STO}	停止条件のセットアップ時間		0.6			μs
t_{BUF}	STOP 条件と START 条件の間のバス フリー時間		1.3			μs
t_{VD-DAT}	データ有効時間			0.9		μs
t_{VD-ACK}	データ有効アノリッジ時間			0.9		μs
C_b	各バス ラインの容量性負荷			400		pF
コントローラ モード						
f_{SCL-M}	SCL クロック周波数		303			kHz
t_{LOW-M}	SCL の Low 期間		1.90			μs
T_{HIGH-M}	SCL の High 期間		1.40			μs
$t_{SU-STA-M}$	繰り返し START 条件のセットアップ時間		2			μs

5.7 SMBUS/I²C タイミング特性 (続き)

外気温度範囲での動作時 (特に記述がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{HD-STA-M}$	ホールド時間 (繰り返し) START コンディション。 この期間の後に最初のクロック パルスが生成されます		1.5			μs
$T_{SU-DAT-M}$	データ セットアップ時間		1.4			μs
$t_{HD-DAT-M}$	データ ホールド時間		0.5			μs
t_{R-M}	SDA 信号と SCL 信号の両方の立ち上がり時間	プルアップ抵抗 = 4.7kΩ, C _b = 10pF	120			ns
T_{F-M}	SDA 信号と SCL 信号の両方の立ち下がり時間	プルアップ抵抗 = 4.7kΩ, C _b = 10pF	2			ns
$t_{SU-STO-M}$	STOP 条件のセットアップ時間		1.5			μs

EEPROM のタイミング

T_{EEPROM}	EEPROM 構成のロード時間	READ_EN _n がアサートされた後に DONE _n をアサートするまでの時間。	7.5	ms
T_{POR}	最初の SMBus アクセスまでの時間	初期ランプ後に電源が安定します。最初のパワーオンリセット時間を含みます。	50	ms

5.8 代表的特性

図 5-1 に、各種 EQ 設定における代表的な EQ ゲイン曲線と周波数との関係を示します。図 5-2 に、Rx および Tx ピンの代表的な差動リターン損失を示します。

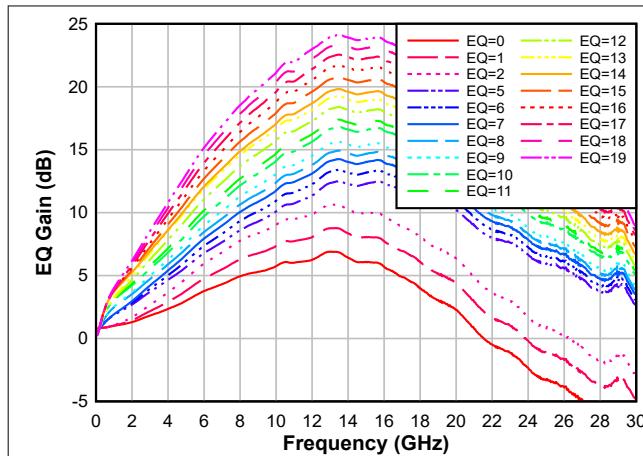


図 5-1. 標準的な EQ 昇圧と周波数との関係

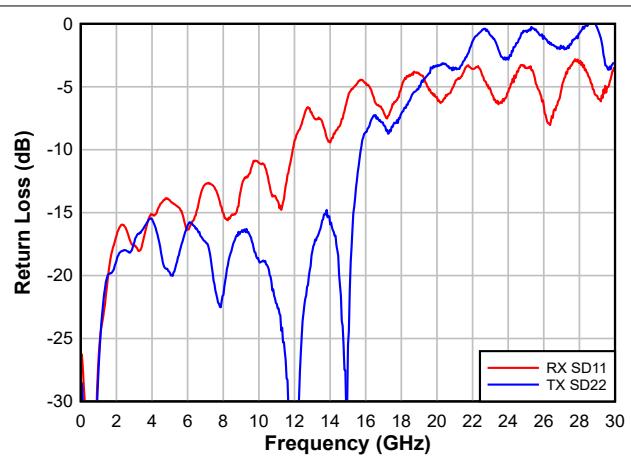


図 5-2. 差動リターン損失

5.9 代表的なジッタ特性

図 5-3 および図 5-4 は、TI 評価ボードにおける最小チャネルでの 20Gbps のアイダイアグラムを示しており、キャリブレーショントレースを通したジッタ (左) と、を通したジッタ TDP2004-Q1 (右) を比較しています。アイダイアグラムは、TDP2004-Q1 が計測機器精度を下回るランダムジッタ (RJ) をほとんど追加しないことを示しています。ジッタの改善は、ほぼ入力損失の DJ をクリーンアップできる EQ = 0 での残留イコライゼーションが実現しています。

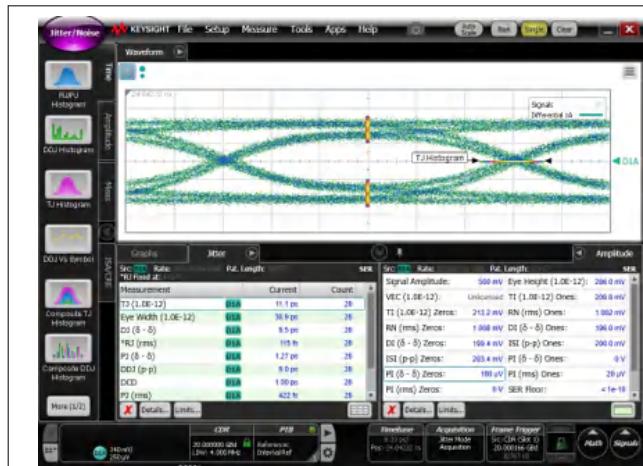


図 5-3. 20Gbps 用ベースライン キャリブレーション パターン セットアップ 経由

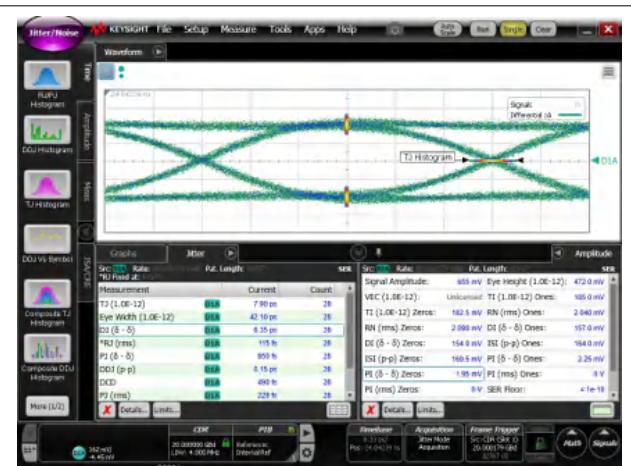


図 5-4. 20Gbps 用 TDP2004-Q1 経由

6 詳細説明

6.1 概要

TDP2004-Q1 は、シグナル コンディショニングを内蔵した 4 チャネル マルチレートリニア リドライバです。デバイスの信号チャネルは互いに独立して動作します。各チャネルには連続時間リニア イコライザ (CTLE) とリニア出力ドライバが含まれており、これらが連携してソース送信機と最終受信機の間の損失のある伝送チャネルを補償します。データパスの直線性は、レシーバのイコライゼーションを効果的に維持しながら送信イコライゼーションを維持するように特に設計されています。

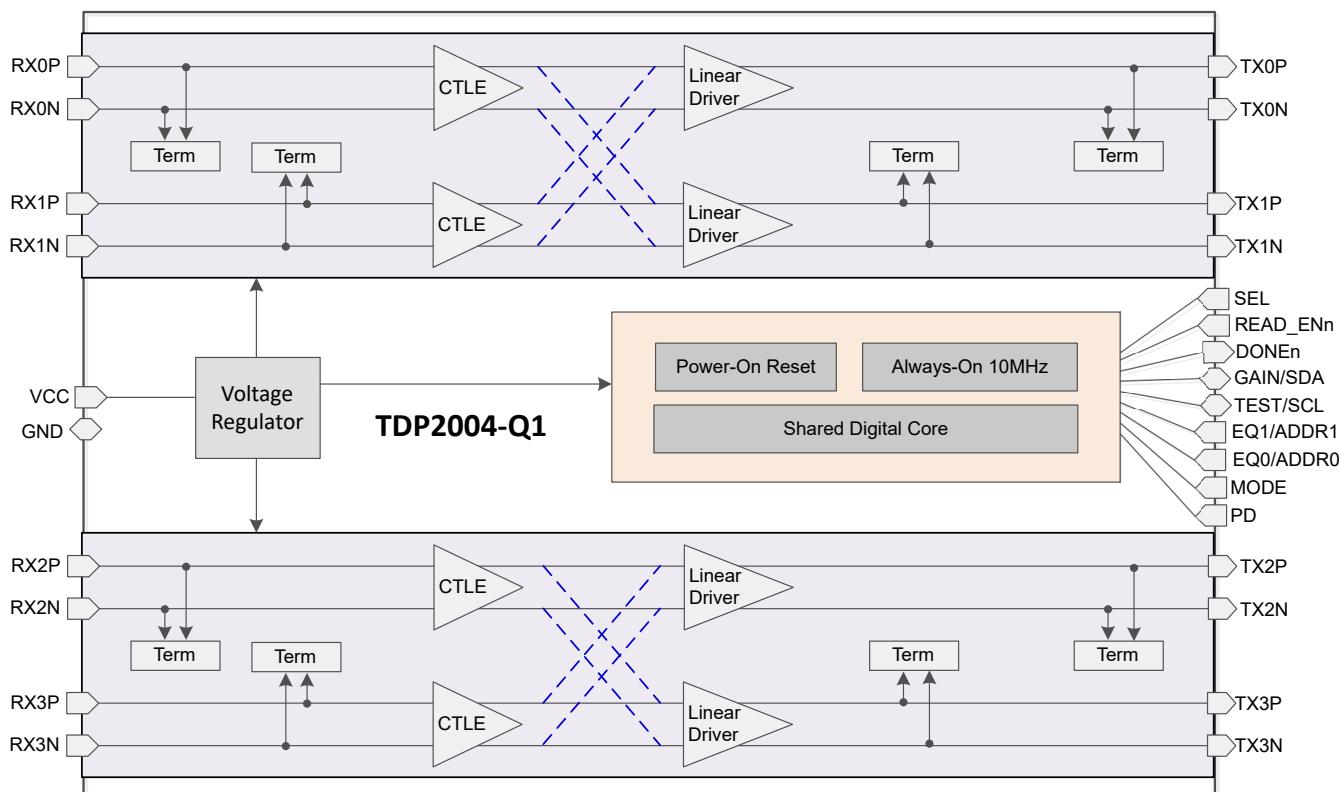
TDP2004-Q1 は、次の 3 つの方法で設定できます:

ピン モード – デバイス制御構成は、ストラップ ピンのみで行われます。ピン モードは、多くのシステム実装のニーズに対して十分であると期待されます。

SMBus/I²C コントローラ モード – デバイス制御構成は外部 EEPROM から読み出されます。TDP2004-Q1 が EEPROM からの読み取りが正常に完了すると、デバイスは DONE_n ピンを LOW に駆動します。このモードでは、SMBus/I²C ターゲット動作を、EEPROM 読み出しの前、実行中、または後に使用できます。注: EEPROM 読み取り中に、外部 SMBus/I²C コントローラが TDP2004-Q1 レジスタにアクセスする場合、外部コントローラは調停をサポートする必要があります。ソフトウェアの実装が不要な場合は、このモードが推奨されます。

SMBus/I²C ターゲット モード – 最も高い柔軟性があります。ターゲット アドレスに書き込むことにより構成するには、TDP2004-Q1 SMBus/I²C コントローラ デバイスが必要です。

6.2 機能ブロック図



6.3 機能説明

6.3.1 RX イコライゼーション制御の設定

TDP2004-Q1 レシーバには連続時間リニア イコライザ (CTLE) が備わっており、高周波数をブーストし低周波数を減衰させることで、パッシブ チャネルの周波数依存の挿入損失効果を等化します。このレシーバは、幅広いイコライゼーション機能のために 2 段のリニア イコライザを実装しています。イコライザ段は、幅広いチャネル媒体特性に最適な EQ ゲインプロファイルに一致させるために、中周波数のブーストを微調整できる柔軟性も提供します。EQ プロファイル制御機能は、SMBus/I²C モードでのみ使用できます。ピン モードでは、これらの設定は FR4 パターンに最適化されています。

表 6-1 は、EQ 制御ピンまたは SMBus/I²C レジスタを介して、20Gbps (10GHz ナイキスト周波数) における等化ブーストを提供します。ピン制御モードでは、EQ1 ピンと EQ0 ピンがチャネル 0 ~ 3 の等化ブーストを設定します。I²C モードでは、個々のチャネルが EQ 昇圧用に個別にプログラム可能です。

表 6-1. イコライゼーション制御の設定

EQ ベンダックス	イコライザ設定							EQ 昇圧標準値 (dB) 10GHz 時	
	ピン モード		SMBus/I ² C モード						
	EQ1	EQ0	eq_stage1_3:0	eq_stage2_2:0	eq_profile_3:0	eq_stage1_bypass			
0	L0	L0	0	0	0	1	5.0		
1	L0	L1	1	0	0	1	7.0		
2	L0	L2	3	0	0	1	8.0		
5	L1	L0	0	0	1	0	10.0		
6	L1	L1	1	0	1	0	10.5		
7	L1	L2	2	0	1	0	11.5		
8	L1	L3	3	0	3	0	12.0		
9	L1	L4	4	0	3	0	13.0		
10	L2	L0	5	1	7	0	13.5		
11	L2	L1	6	1	7	0	14.0		
12	L2	L2	8	1	7	0	15.5		
13	L2	L3	10	1	7	0	16.0		
14	L2	L4	10	2	15	0	16.5		
15	L3	L0	11	3	15	0	17.5		
16	L3	L1	12	4	15	0	18.5		
17	L3	L2	13	5	15	0	19.0		
18	L3	L3	14	6	15	0	20.0		
19	L3	L4	15	7	15	0	20.5		

6.3.2 フラットゲイン

デバイスがピン モードのとき、ゲイン ピンを使用して、TDP2004-Q1 のデータバス全体のフラットゲイン (DC および AC) を設定できます。ゲイン ピンは、チャネル 0 ~ 3 のフラットゲインを設定します。I²C モードでは、各チャネルを独立して設定できます。表 6-2 はフラットゲイン制御構成設定値を提供します。ほとんどのシステムでは、フラットゲイン 0dB を提供するゲイン=L4 (フローティング) のデフォルト設定が推奨されます。

TDP2004-Q1 のフラットゲインとイコライゼーションは、出力信号スイングが DC および高周波数において、それぞれデバイスの DC および AC の直線性の範囲を超えないように設定する必要があります。

表 6-2. フラット ゲイン構成の設定

ピン モード: ゲイン	I ² C モード: flat_gain_2:0	データ パス フラット ゲイン
L0	0	-5.6dB
L1	1	-3.8dB
L2	3	-1.3dB
L4 (フローティング)	5	0.6dB (デフォルトの推奨値)
L3	7	+2.6dB

6.3.3 クロス ポイント

TDP2004-Q1 には、2x2 クロス ポイント機能があります。図 6-1 に示すように、SEL ピンを使用して 4 チャネルの信号パスを直線接続または相互接続として構成できます。

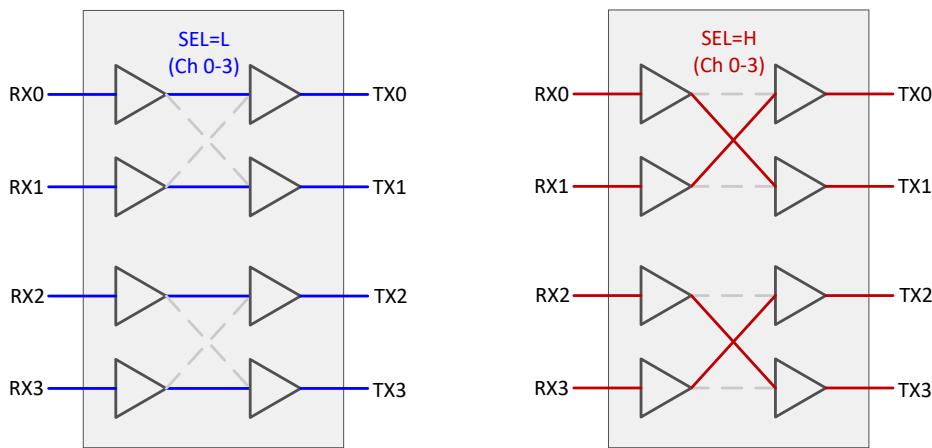


図 6-1. クロス ポイント マルチプレクサ オペレーションの信号フロー図

6.4 デバイスの機能モード

6.4.1 アクティブ モード

デバイスは正常に動作しています。このモードでは、TDP2004-Q1 はビデオ メイン リンク信号をリドライブおよびイコライズして、信号整合性を向上させます。

6.4.2 スタンバイ モード

デバイスは、PD = H によってスタンバイ モードになります。このモードでは、デバイスは電力を節約するスタンバイ モードにあります。

6.5 プログラミング

6.5.1 ピン モード

TDP2004-Q1 は、ピン ストラップ ピンを使用して完全に設定できます。このモードでは、デバイスは 2 段階ピンと 5 段階ピンを使用して、デバイス制御と信号整合性の最適設定を行います。

6.5.1.1 5 レベル制御入力

TDP2004-Q1 には、デバイスの構成を制御するために使用されるとあります。これらの 5 段階入力は、抵抗分圧器を使用して 5 つの有効なレベルを設定し、より広い範囲の制御設定を可能にします。外付け抵抗は、公差 10% 以上とする必要があります。MODE を除く 5 レベル ピンは、電源投入時にのみサンプリングされます。MODE ピンは、デバイスの電源投入時または通常動作モード時に実行できます。

表 6-3. 5 レベル制御ピンの設定

レベル	設定
L0	1kΩ から GND へ
L1	8.25kΩ から GND へ
L2	24.9kΩ から GND へ
L3	75kΩ から GND へ
L4	F (フローティング)

6.5.2 SMBUS/I²C レジスタ制御インターフェイス

MODE = L2 (SMBus/I²C ターゲット制御モード) の場合、TDP2004-Q1 は最高 400kHz で動作できる標準の I²C または SMBus インターフェイスを介して構成されます。TDP2004-Q1 のターゲットアドレスは、ADDR1 ピンと ADDR0 ピンのピンストラップ設定によって決まります。表 6-4 に、チャネル 0 ~ 3 に使用可能な 16 個のターゲットアドレスを示します。SMBus/I²C モードでは、SCL および SDA ピンをプルアップ抵抗によって 3.3V 電源にプルアップする必要があります。この抵抗の値は、合計バス容量に依存します。4.7kΩ は、10pF のバス容量に対して適切な最初の近似値です。

表 6-4. SMBUS/I²C ターゲットアドレスの設定

ADDR1	ADDR0	7 ビットのターゲットアドレス チャネル 0 ~ 3
L0	L0	0x18
L0	L1	0x1A
L0	L2	0x1C
L0	L3	0x1E
L0	L4	予約済み
L1	L0	0x20
L1	L1	0x22
L1	L2	0x24
L1	L3	0x26
L1	L4	予約済み
L2	L0	0x28
L2	L1	0x2A
L2	L2	0x2C
L2	L3	0x2E
L2	L4	予約済み
L3	L0	0x30
L3	L1	0x32
L3	L2	0x34
L3	L3	0x36
L3	L4	予約済み

TDP2004-Q1 には 2 種類のレジスタがあります:

- 共有レジスタ:**これらのレジスタはいつでもアクセス可能で、デバイスレベルの設定、ステータスの読み戻し、制御、またはデバイス ID 情報のリードバックに使用されます。
- チャネルレジスタ:**これらのレジスタは、各チャネルの特定の機能を制御および設定するために使用されます。すべてのチャネルは同じレジスタセットを持ち、それぞれ独立して設定することも、チャネル 0 ~ 3 へのブロードキャスト書き込みを通してグループとして設定することもできます。

表 6-5. チャネルレジスタアクセス

チャネルレジスタベースアドレス	チャンネル 0 ~ 3 アクセス
0x00	チャネル 0 レジスタ

表 6-5. チャネルレジスタアクセス(続き)

チャネルレジスタベースアドレス	チャンネル0～3アクセス
0x20	チャネル1レジスタ
0x40	チャネル2レジスタ
0x60	チャネル3レジスタ
0x80	ブロードキャスト書き込みチャネル0～3レジスタ、読み取りチャネル0レジスタ
0xA0	ブロードキャスト書き込みチャネル0～1レジスタ、読み取りチャネル0レジスタ
0xC0	ブロードキャスト書き込みチャネル2～3レジスタ、読み取りチャネル2レジスタ
0xE0	チャネル0～3共有レジスタ

6.5.2.1 共有レジスタ

表 6-6. 汎用レジスタ(オフセット=0xE2)

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0x0	予約済み
6	rst_i2c_regs	R/W/SC	0x0	デバイスリセット制御:すべてのI ² Cレジスタをデフォルト値にリセットします(セルフクリア)。
5	rst_i2c_mas	R/W/SC	0x0	I ² Cコントローラのリセット(セルフクリア)。
4-1	予約済み	R	0x0	予約済み
0	frc_eeprom_rd	R/W/SC	0x0	オーバーライド MODEとREAD_ENnステータスにより、手動EEPROM構成を強制的にロードします。

表 6-7. EEPROM_Status レジスタ(オフセット=0xE3)

ビット	フィールド	タイプ	リセット	説明
7	eecfg_cmplt	R	0x0	EEPROMのロードが完了しました。
6	eecfg_fail	R	0x0	EEPROMのロードに失敗しました。
5	eecfg_atmpt_1	R	0x0	EEPROMイメージのロード試行回数。
4	eecfg_atmpt_0	R	0x0	
3	eecfg_cmplt	R	0x0	EEPROMロード完了2。
2	eecfg_fail	R	0x0	EEPROMのロードに失敗しました2。
1	eecfg_atmpt_1	R	0x0	EEPROMイメージ2のロード試行回数。
0	eecfg_atmpt_0	R	0x0	

表 6-8. DEVICE_ID0 レジスタ(オフセット=0xF0)

ビット	フィールド	タイプ	リセット	説明
7-4	予約済み	R	0x1	予約済み
3	device_id0_3	R	0x0	デバイスID0[3:1]:001
2	device_id0_2	R	0x0	
1	device_id0_1	R	0x1	
0	予約済み	R	0x0	予約済み

表 6-9. DEVICE_ID1 レジスタ (オフセット = 0xF1)

ビット	フィールド	タイプ	リセット	説明
7	device_id[7]	R	0x0	デバイス ID 0010 1001: TDP2004
6	device_id[6]	R	0x0	
5	device_id[5]	R	0x1	
4	device_id[4]	R	0x0	
3	device_id[3]	R	0x1	
2	device_id[2]	R	0x0	
1	device_id[1]	R	0x0	
0	device_id[0]	R	0x1	

6.5.2.2 チャネル レジスタ

表 6-10. EQ ゲイン制御レジスタ (チャネル レジスタ ベース + オフセット = 0x01)

ビット	フィールド	タイプ	リセット	説明
7	eq_stage1_bypass	R/W	0x0	EQ 段 1 のバイパスを有効化: 0:バイパスはディスエーブル 1:バイパスはイネーブル
6	eq_stage1_3	R/W	0x0	EQBoost ステージ 1 制御 詳細については、データシートの表 6-1 を参照してください
5	eq_stage1_2	R/W	0x0	
4	eq_stage1_1	R/W	0x0	
3	eq_stage1_0	R/W	0x0	
2	eq_stage2_2	R/W	0x0	EQ ブースト ステージ 2 制御 詳細については、データシートの表 6-1 を参照してください
1	eq_stage2_1	R/W	0x0	
0	eq_stage2_0	R/W	0x0	

表 6-11. EQ ゲイン、フラット ゲイン制御レジスタ (チャネル レジスタ ベース + オフセット = 0x03)

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0x0	予約済み
6	eq_profile_3	R/W	0x0	EQ 中周波数昇圧プロファイル 詳細については、データシートの表 6-1 を参照してください
5	eq_profile_2	R/W	0x0	
4	eq_profile_1	R/W	0x0	
3	eq_profile_0	R/W	0x0	
2	flat_gain_2	R/W	0x1	フラット ゲインの選択: 詳細については、データシートの表 6-2 を参照してください
1	flat_gain_1	R/W	0x0	
0	flat_gain_0	R/W	0x1	

表 6-12. TI テスト モード制御レジスタ (チャネル レジスタ ベース + オフセット = 0x04)

ビット	フィールド	タイプ	リセット	説明
7-3, 1-0	予約済み	R	0x0	予約済み
2	TI テスト モード	R/W	0x0	TI テスト モードを設定: 0:テスト モードはイネーブル 1:テスト モードはディセーブル。通常動作の場合は 1 に設定します。

表 6-13. PD オーバーライド レジスタ (チャネル レジスタ ベース + オフセット = 0x05)

ビット	フィールド	タイプ	リセット	説明
7	device_en_override	R/W	0x0	SMBus/I ² C を介したパワーダウン オーバーライドをイネーブル 0: 手動オーバーライドがディスエーブル 1: 手動オーバーライドがイネーブル
6-0	device_en	R/W	0x111111	チャネル内のリドライバのロックの手動パワーダウン — device_en_override = 1 によってゲート制御 111111: チャネルのすべてのブロックがイネーブル 000000: チャネル内のすべてのブロックがディスエーブル

表 6-14. バイアス レジスタ (チャネル レジスタ ベース + オフセット = 0x06)

ビット	フィールド	タイプ	リセット	説明
5-3	バイアス電流	R/W	0x100	制御バイアス電流 最高のパフォーマンスを得るために 001 を設定
7, 6, 2-0	予約済み	R/W	0x00000	予約済み

6.5.3 SMBus/I²C コントローラ モード構成 (EEPROM セルフロード)

TDP2004-Q1 は、EEPROM から読み取ることで構成することができます。このモード ピンに移行するには、L1 に設定する必要があります。EEPROM のロード動作は、デバイスの最初の電源投入後に 1 回のみ発生します。TDP2004-Q1 が SMBus コントローラ モードに構成されている場合、READ_ENn ピンが LOW にアサートされるまで、デバイスは SMBus アイドル状態のままになります。READ_ENn ピンが LOW に駆動されると、TDP2004-Q1 は SMBus コントローラになり、外部 EEPROM (SMBus 8 ビット アドレス 0xA0) に保存されているデバイス設定を読み取ることで、セルフ構成を試みます。TDP2004-Q1 が EEPROM からの読み取りが正常に完了すると、デバイスは DONEn ピンを LOW に駆動します。このモードでは、SMBus/I²C ターゲット動作を、EEPROM 読み出しの前、実行中、または後に使用できます。注：EEPROM 読み取り中に、外部 SMBus/I²C コントローラが TDP2004-Q1 レジスタにアクセスする場合、外部コントローラは調停をサポートする必要があります。

外部 EEPROM を使用するシステムを設計する際には、ユーザーは以下の特定のガイドラインに従う必要があります：

- EEPROM サイズとして 2Kb (256×8 ビット) を推奨します。
- MODE = L1 に設定し、SMBus コントローラ モードを構成します。
- 外部 EEPROM デバイスのアドレス バイトは 0xA0 である必要があり、3.3V 電源で 400kHz 動作が可能である必要があります
- SMBus/I²C モードでは、SCL および SDA ピンをプルアップ抵抗によって 3.3V 電源にプルアップする必要があります。この抵抗の値は、合計バス容量に依存します。4.7kΩ は、10pF のバス容量に対して適切な最初の近似値です。

複数の TDP2004-Q1 をカスケード接続して、単一の EEPROM から読み取ることができます。最初のデバイスの READ_ENn ピンを Low (GND) に接続すると、電源投入時に自動的に EEPROM 読み取りが開始されます。最初のデバイスの DONEn は、4.7kΩ プルアップ抵抗を使用して、次のデバイスの READ_ENn に供給できます。最後のデバイスの DONEn ピンはフローティングのままにするか、マイコン-コントローラ入力に接続して最終 EEPROM 読み取りの完了を監視します。

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

TDP2004-Q1 は、高速リニア リドライバであり、PCB やケーブルなどの伝送媒体による損失で劣化した差動チャネルの到達距離を延長します。このデバイスは、さまざまなシステムに導入できます。以下のセクションでは、典型的なアプリケーションと、それに関連する設計上の考慮事項を概説します。

7.2 代表的なアプリケーション

TDP2004-Q1 は、図 7-1 に示すように、DisplayPort メイン リンク信号コンディショナとして使用できるリニア リドライバです。

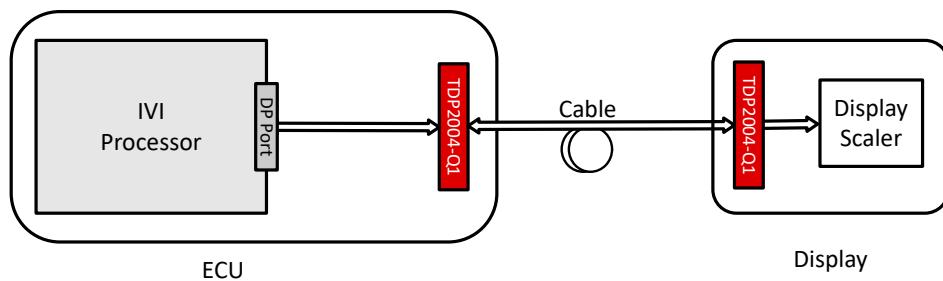


図 7-1. 代表的なアプリケーション

7.2.1 DP2.1 メイン リンク シグナル コンディショニング

TDP2004-Q1 は、ADAS、IVI、RSE などのビデオ ソース / シンク システムに加えて、DisplayPort メイン リンク信号を昇圧してソースおよびシンク チャネルの到達範囲を拡大するために使用できます。以下のセクションでは、典型的な DP 2.1 アプリケーションの詳細な手順と設計要件を説明します。ただし、設計推奨事項は他の使用事例で使用できます。

7.2.1.1 設計要件

他の高速設計と同様に、全体的な性能に影響を及ぼす要因は多数あります。以下のリストは、設計時に考慮すべき重要な領域を示しています。

- 差動ペアのシングルエンド セグメントの P パターンと N パターンの長さを一致させます。
- 差動ペアには、均一なパターン幅とパターン間隔を使用します。
- 反射を最小限に抑えるため、各チャネル セグメントのレシーバ端の近くに AC カップリング コンデンサを配置します。
- 220nF の AC 結合コンデンサを推奨します。最大ボディ サイズを 0402 に設定し、コンデンサのランド パッド下の GND プレーンにカットアウト ボイドを追加して、GND への寄生容量を低減します。
- 表面実装コネクタを推奨します。スルーホール接続の場合、スタブ長を最小限にするために、コネクタ ビアおよび信号ビアをバックドリルします。
- リターン電流の低インダクタンス経路として、グランド リファレンス プレーン ビアを使用します。

7.2.1.2 詳細な設計手順

TDP2004-Q1 は、4 つの DP メイン リンク チャネルのシグナル コンディショニングを行います。デバイスは、DP リンクトトレーニングに依存しないリニア リドライバです。ディスプレイ ソースとシンク 間の DP リンクトトレーニング ネゴシエーションは、本デバイスを介して有効に維持されます。リドライバは、パッシブ パターン、ケーブル、その他のチャネル要素とともに

電気チャネルの一部となり、最適な電気リンクを実現するために、ソースおよびシンクのパラメータを最適化します。図 7-2 に、TDP2004-Q1 を使用した DisplayPort アプリケーションの単純な回路図を示します。

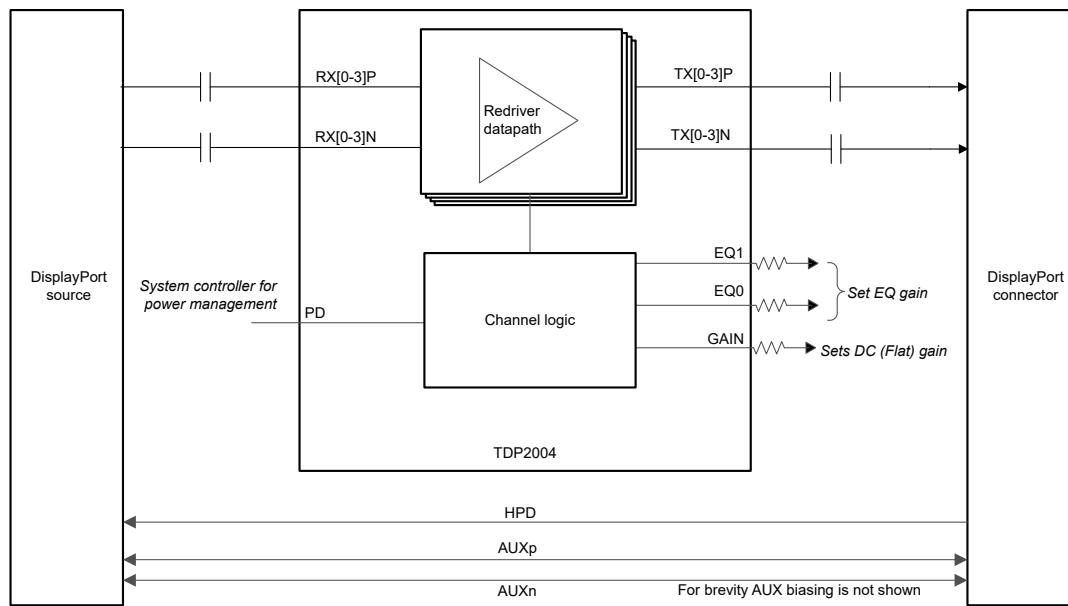
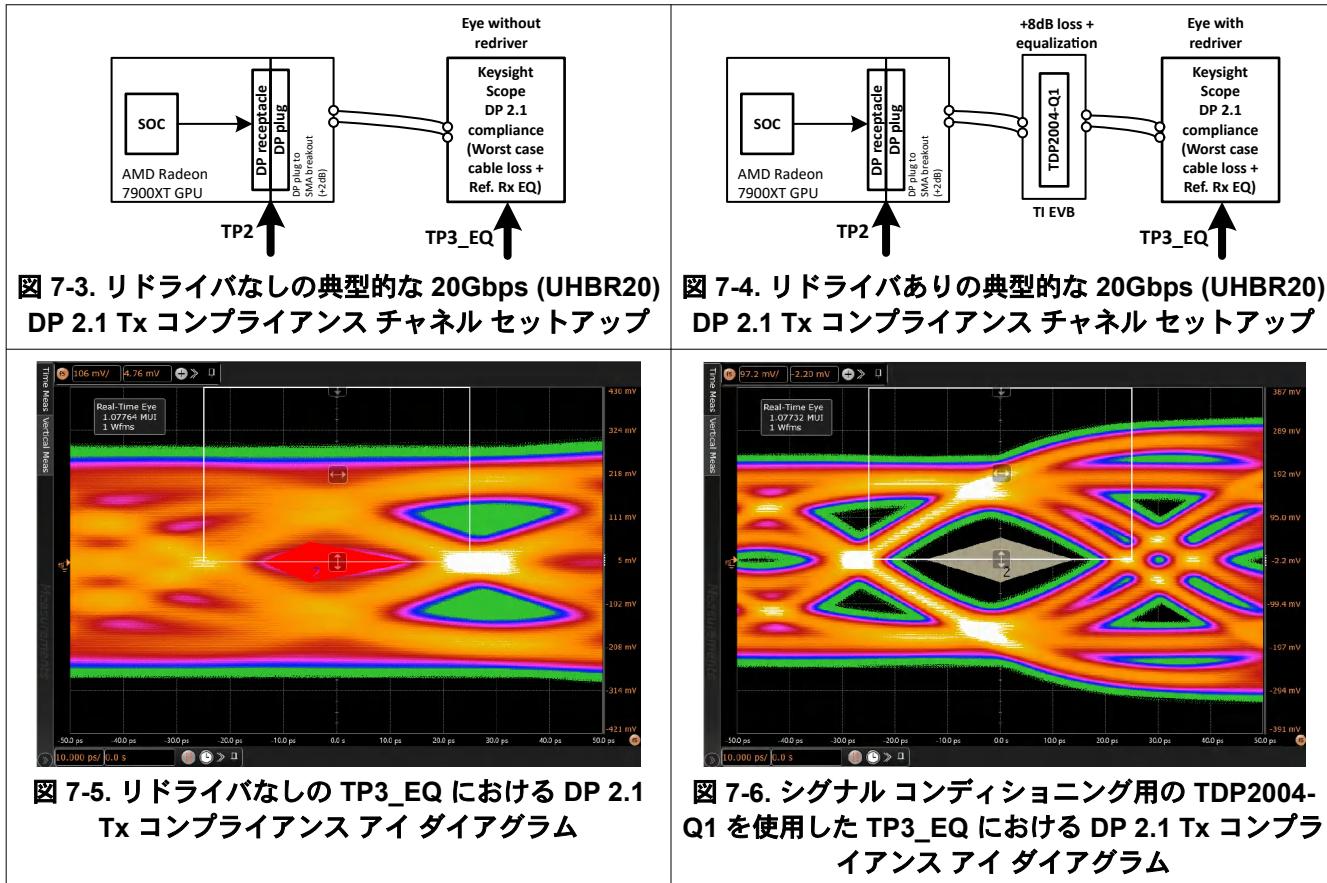


図 7-2. DP 2.1 シグナル コンディショニングの概略回路図

7.2.1.3 アプリケーション曲線

TDP2004-Q1 は、DP リンクのチャネル到達範囲を拡張するために使用できるリニアリドライバです。リドライバは、DP2.1 向け最大 20Gbps (UHBR20) のデータレートで ISI による決定性ジッタを除去することで、コンプライアンス合格に役立ちます。図 7-3 - 図 7-6 は、典型的な DP 2.1 Tx コンプライアンスチャネルセットアップと、リドライバの有無における TP3_EQ のコンプライアンスアイダイアグラムを示しています。アイダイアグラムの比較から、TDP2004-Q1 は水平方向および垂直方向のアイオープニングを拡張することでシグナルコンディショニングを提供し、不合格だったアイを合格させることができます。



7.2.2 シグナルコンディショナ付き USB-C クロスポイントマルチプレクサ

TDP2004-Q1 は、クロスポイントマルチプレクサを内蔵したリニアリドライバです。このデバイスは、USB Type-C プラグの向きを考慮すると同時に、DisplayPort メインリンク信号のシグナルコンディショニングを提供するために使用できます。TDP2004-Q1 は、図 7-7 に図示されるようにソースとシンクの両方のアプリケーションで使用できます。通常はシステム内の USB PD コントローラによって駆動される SEL ピンを使用して、4 チャネルの信号パスを図のようにストレート接続または相互接続として構成できます。

注

TDP2004-Q1 は、DP 代替モードで USB SuperSpeed ピンを使用し、USB3.x 機能が不要な USB-C アプリケーションでのみ使用できます。

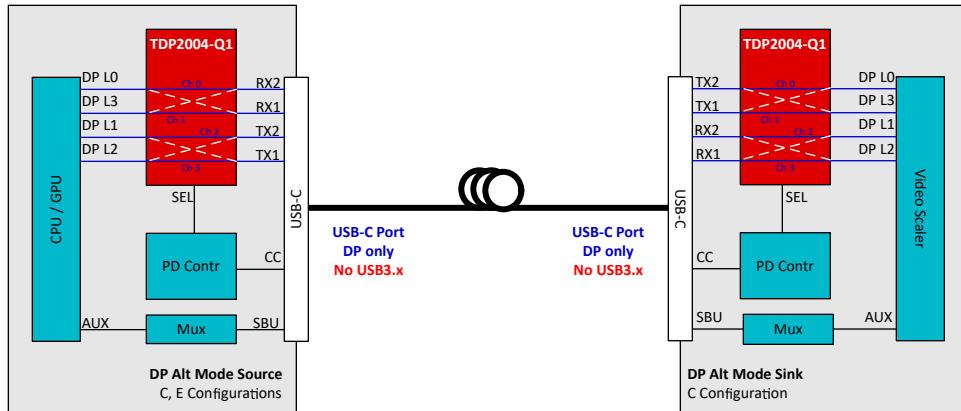


図 7-7. USB-C アプリケーション

7.3 電源に関する推奨事項

電源を設計するときは、次の一般的なガイドラインに従ってください：

1. 電源は、DC 電圧、AC ノイズ、および立ち上がりランプ時間に関して、推奨動作条件セクションで示されている動作条件を提供できるように設計する必要があります。
2. 推奨動作条件が満たされている場合、TDP2004-Q1 はフェライトビーズなど特別な電源フィルタリングを必要としません。標準的な電源デカップリングのみが必要です。典型的な電源デカップリングは、VCC ピンごとに $0.1\mu\text{F}$ コンデンサ 1 個、デバイスごとに $1.0\mu\text{F}$ バルクコンデンサ 1 個、そして 1 台以上の TDP2004-Q1 デバイスに電力を供給する各電源バスごとに $10\mu\text{F}$ バルクコンデンサ 1 個で構成されます。ローカル デカップpling ($0.1\mu\text{F}$) コンデンサは、可能な限り VCC ピンの近くに接続し、TDP2004-Q1 のグランド パッドまでの経路を最小限にする必要があります。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

システム実装のレイアウトを設計する際は、以下のガイドラインを参照してください：

1. デカップリングコンデンサは、可能な限り VCC ピンの近くに配置します。基板設計が許す場合、デカップリングコンデンサはデバイスの直下に配置することを推奨します。
2. 高速差動信号 TXnP/TXnN および RXnP/RXnN が、密結合され、スキーがマッチし、インピーダンスが制御されていることを確認してください。
3. 高速差動信号に可能な限りビアは避けてください。ビアを使用する必要がある場合は、可能な限りビア スタブを最小化するよう注意します。その際は、多くまたはすべての層を貫通させるか、バックドリルを使用します。
4. パッド容量を打ち消して信号品質を改善するために、高速差動信号パッドの下に GND リリーフを使用できます（必須ではありません）。
5. デバイス直下に GND ビアを配置し、デバイスに接続された GND プレーンを他の層の GND プレーンに接続します。これには、デバイスから基板への熱伝導性を改善するという追加の利点もあります。
6. デバイスのサーマルパッド設計推奨については、機械図面セクションのランド パターン例を参照してください。

7.4.2 レイアウト例

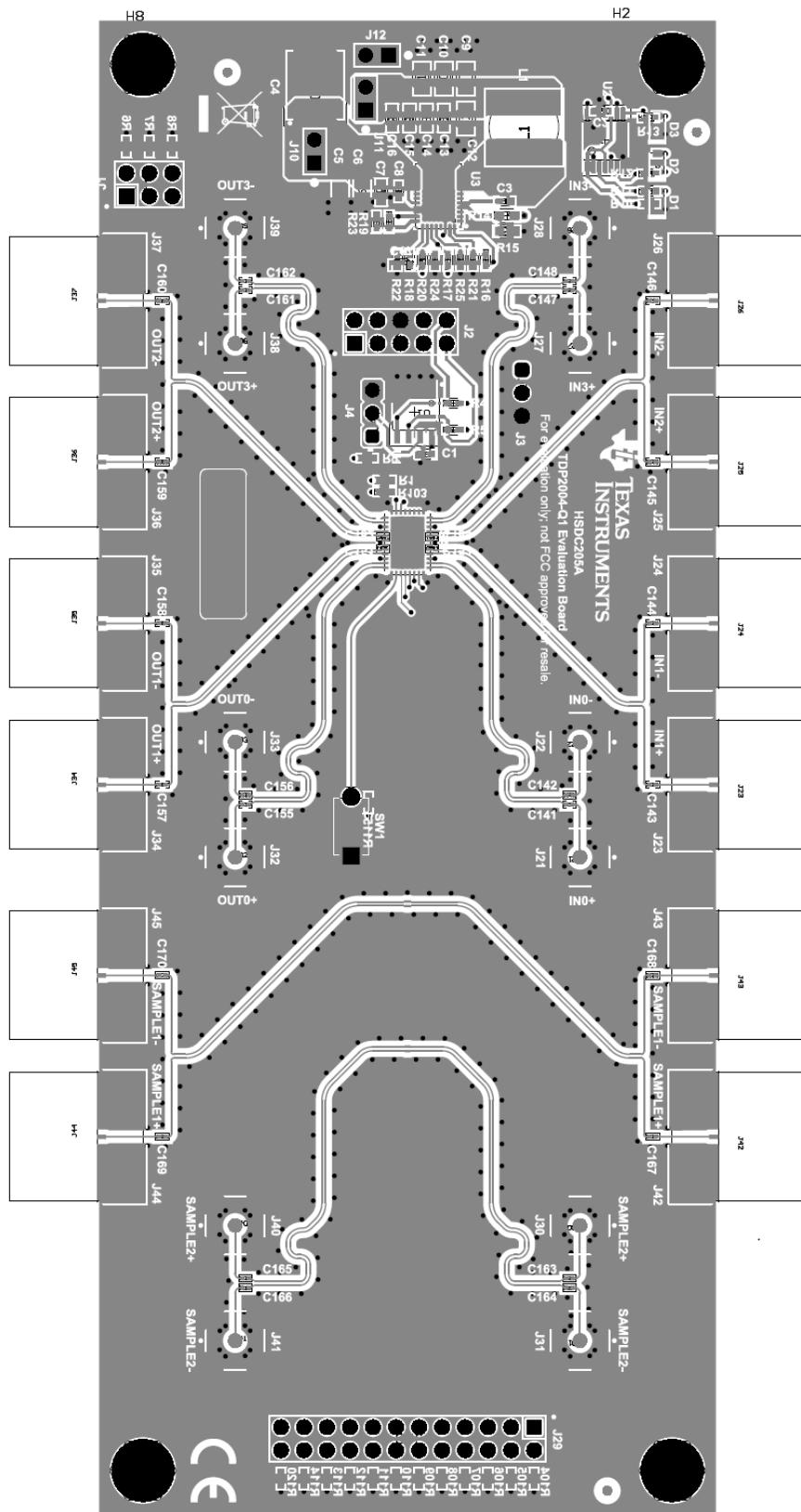


図 7-8. TDP2004-Q1 レイアウト例 - 1) 評価ボードのサブセクション Copyright © 2025

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.4 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TDP2004RGFRQ1	Active	Production	VQFN (RGF) 40	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TDP04Q1
TDP2004RGFTQ1	Active	Production	VQFN (RGF) 40	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	TDP04Q1

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

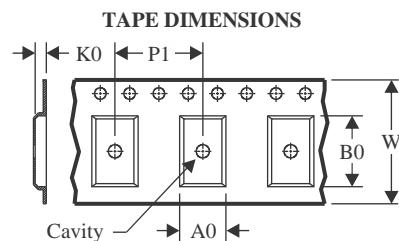
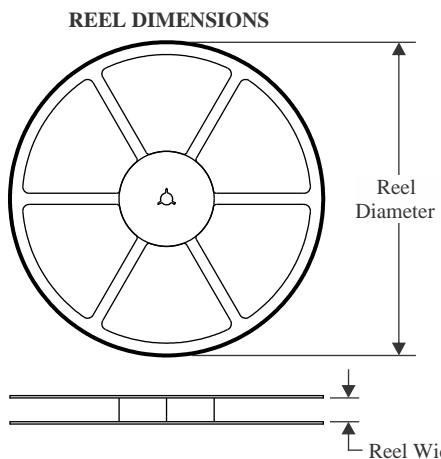
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TDP2004-Q1 :

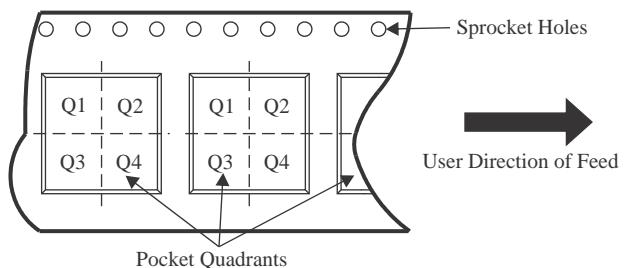
- Catalog : [TDP2004](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

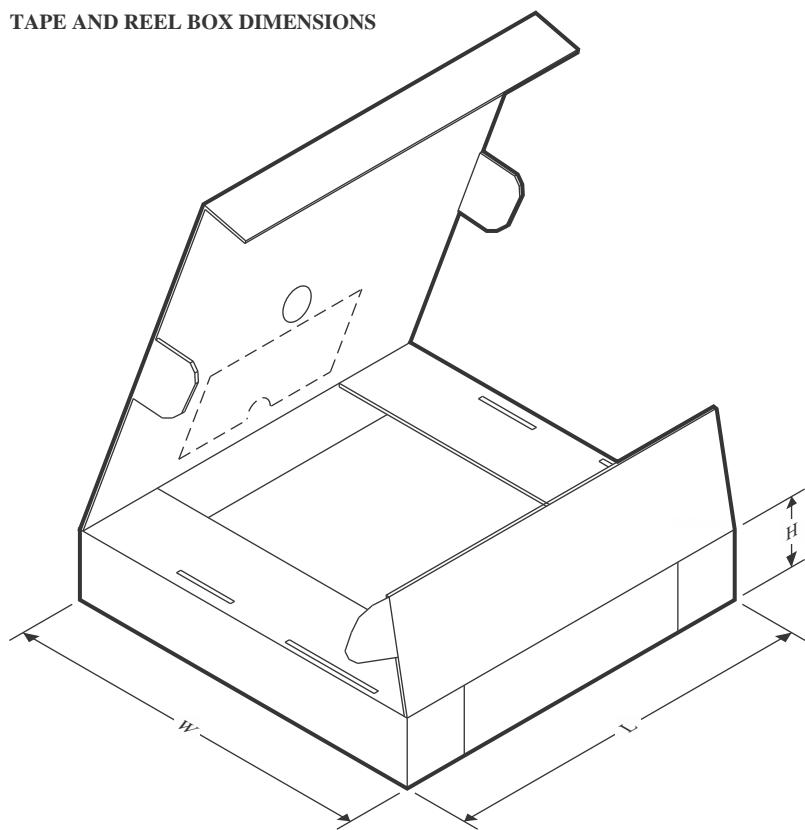
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TDP2004RGFRQ1	VQFN	RGF	40	3000	330.0	16.4	5.25	7.25	1.45	8.0	16.0	Q1
TDP2004RGFTQ1	VQFN	RGF	40	250	180.0	16.4	5.25	7.25	1.45	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TDP2004RGFRQ1	VQFN	RGF	40	3000	367.0	367.0	35.0
TDP2004RGFTQ1	VQFN	RGF	40	250	210.0	185.0	35.0

GENERIC PACKAGE VIEW

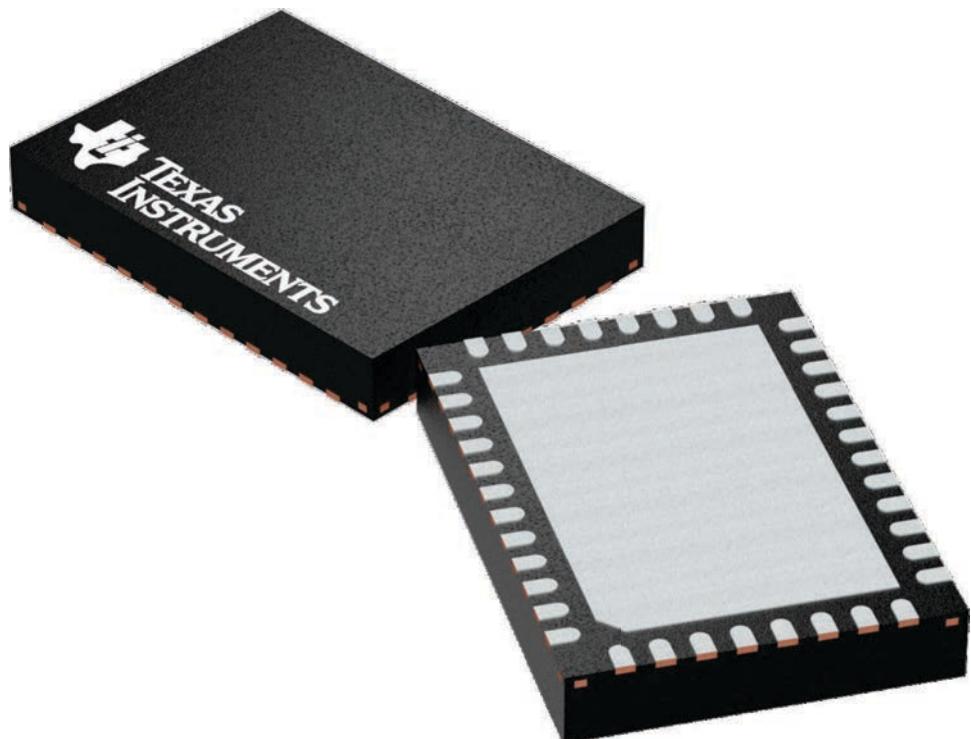
RGF 40

VQFN - 1 mm max height

5 x 7, 0.5 mm pitch

PLASTIC QUAD FLAT PACK- NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



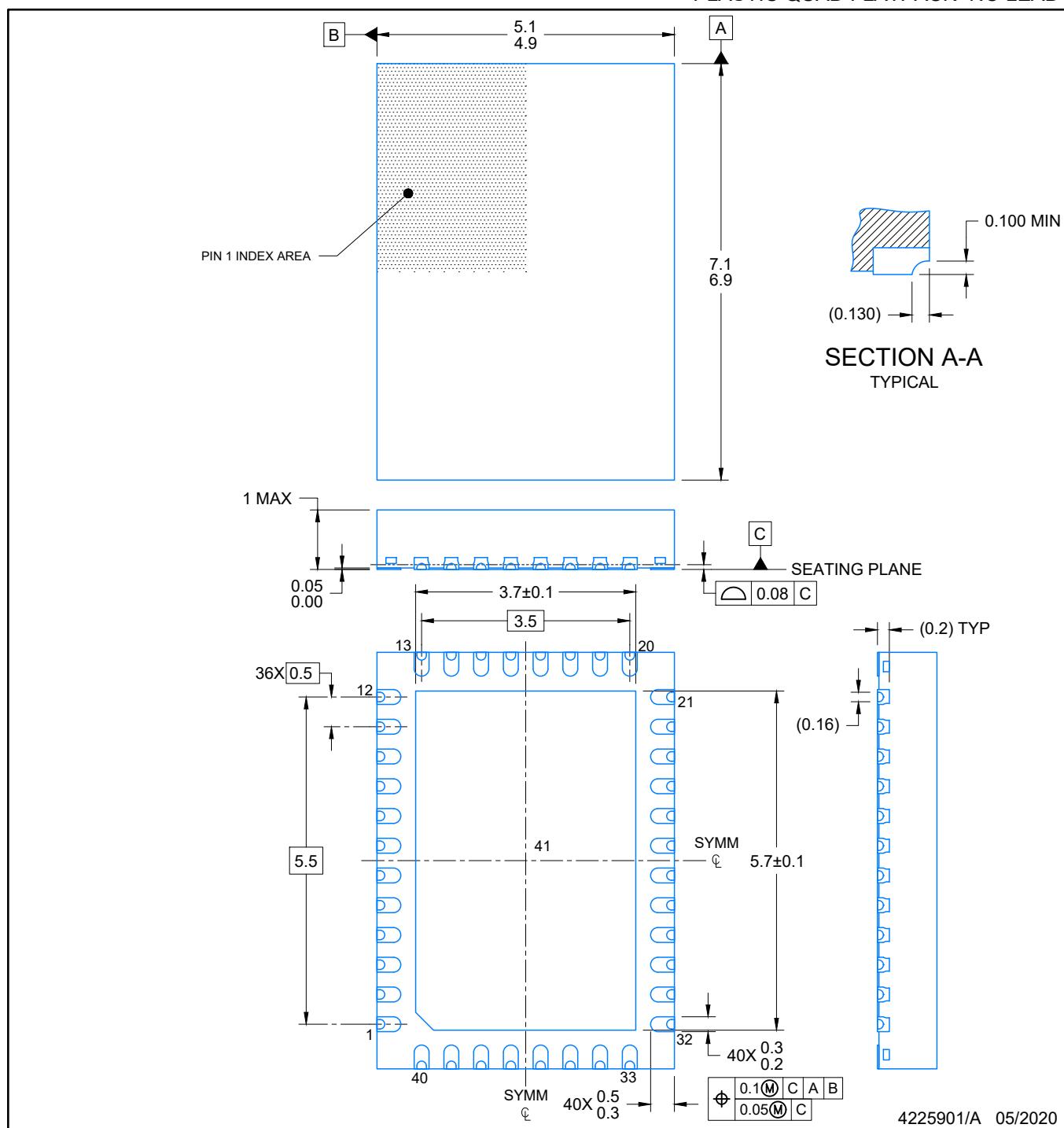
4225115/A

PACKAGE OUTLINE

VQFN - 1 mm max height

RGF0040F

PLASTIC QUAD FLATPACK- NO LEAD



NOTES:

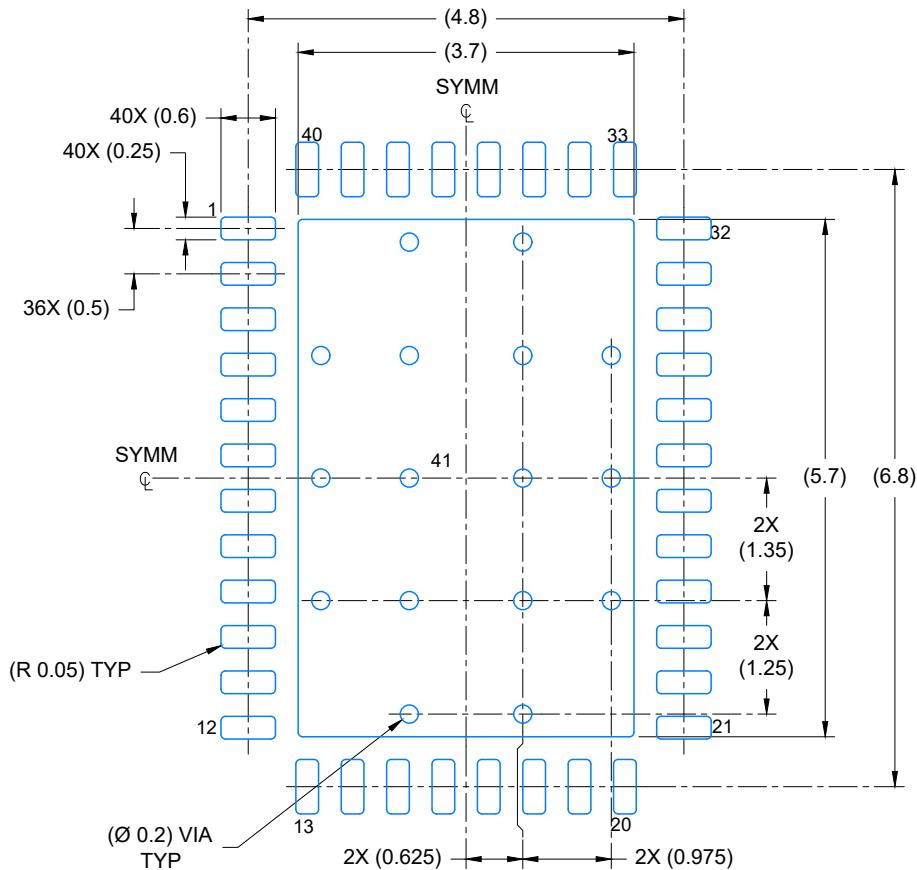
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RGF0040F

VQFN - 1 mm max height

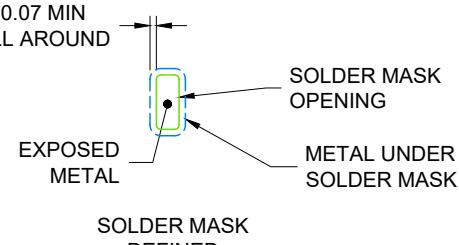
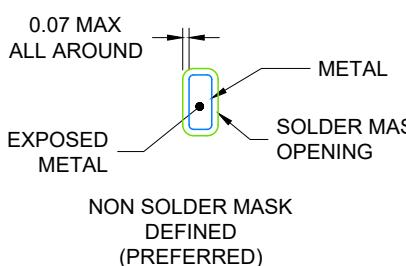
PLASTIC QUAD FLATPACK- NO LEAD



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN

SCALE: 12X



SOLDER MASK DETAILS

4225901/A 05/2020

NOTES: (continued)

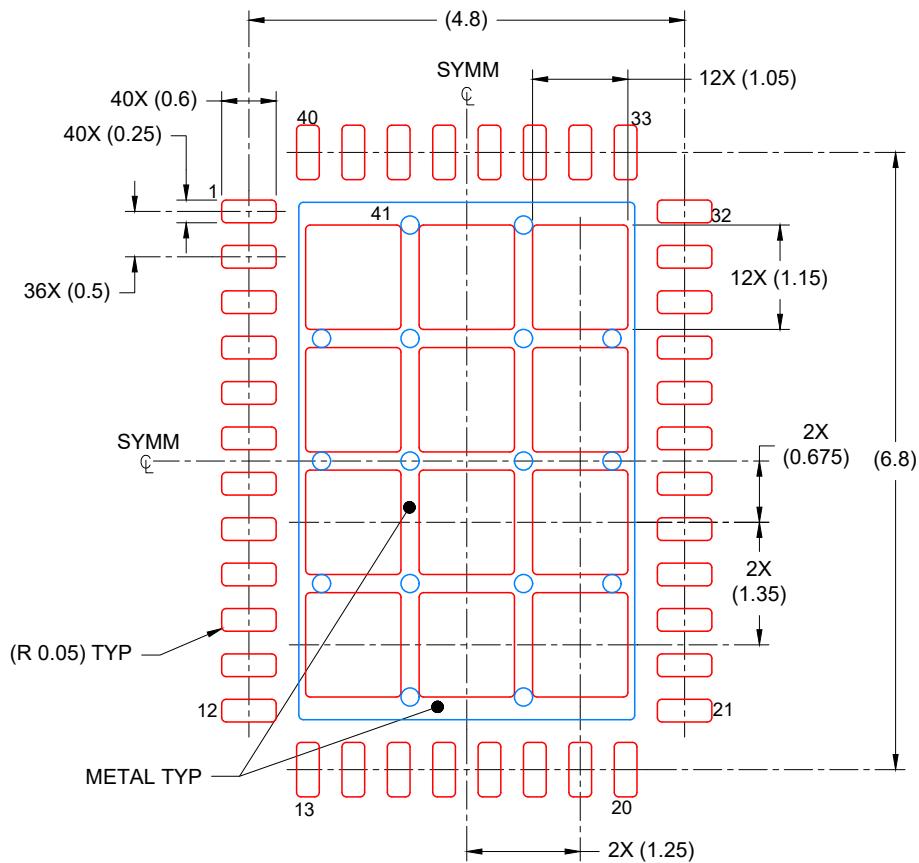
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
 5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

VQFN - 1 mm max height

RGF0040F

PLASTIC QUAD FLATPACK- NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
69% PRINTED COVERAGE BY AREA
SCALE: 12X

4225901/A 05/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月