

TDA4VE、TDA4AL、TDA4VL Jacinto™ プロセッサ、シリコン・リビジョン 1.0

1 特長

プロセッサ コア:

- 2 つの C7x 浮動小数点、ベクタ DSP、最高 1.0GHz、160GFLOPS、512GOPS
- ディープ ラーニング用マトリクス乗算アクセラレータ (MMA)、1.0GHz で最大 8TOPS (8b)
- 画像信号プロセッサ (ISP) 搭載ビジョン処理アクセラレータ (VPAC) と複数のビジョン支援アクセラレータ
- 深度およびモーション処理アクセラレータ (DMPAC)
- デュアル 64 ビット Arm® Cortex®-A72 マイクロプロセッサ サブシステム、最大 2GHz
 - デュアル コア Cortex®-A72 クラスタごとに 1MB の共有 L2 キャッシュ
 - Cortex®-A72 コアごとに 32KB L1 D キャッシュと 48KB L1 I キャッシュ
- 最大 6 つの Arm® Cortex®-R5F MCU、最大 1.0GHz
 - 16K I キャッシュ、16K D キャッシュ、64K L2 TCM
 - 分離された MCU サブシステムに 2 つの Arm® Cortex®-R5F MCU
 - 汎用コンピューティング パーティションに 4 つ (TDA4VE) または 2 つ (TDA4AL / TDA4VL) の Arm® Cortex®-R5F MCU
- GPU IMG BXS-4-64、256kB キャッシュ、最大 800MHz、50GFLOPS、4GTexels/s (TDA4VE および TDA4VL)
- ほぼ最大限の処理権限をサポートするカスタム設計された相互接続構造

メモリ サブシステム:

- 最大 4MB のオンチップ L3 RAM、ECC およびコヒーレンシ機能付き
 - ECC エラー保護
 - 共有コヒーレント キャッシュ
 - 内部 DMA エンジンをサポート
- ECC 付き、最大 2 つの外部メモリ インターフェイス (EMIF) モジュール
 - LPDDR4 メモリ タイプをサポート
 - 最大 4266MT/s の速度をサポート
 - インライン ECC 付きで EMIF あたり最大 17Gb/s の 2 つ (TDA4VE) または 1 つ (TDA4AL / TDA4VL) の 32 ビット データ バス
- 汎用メモリ コントローラ (GPMC)
- メインドメインの 1 つ (TDA4AL/TDA4VL) または 2 つ (TDA4VE) の 512KB のオンチップ SRAM、ECC 保護付き

機能安全:

- 機能安全準拠製品向け (一部の部品番号でのみ対応)
- 機能安全アプリケーション向けに開発
- ISO 26262 機能安全システムの設計に役立つ資料を入手可能、ASIL-D/SIL-3 までを対象
- 決定論的対応能力、ASIL-D/SIL-3 までを対象
- ハードウェア整合性、MCU ドメイン向け ASIL-D/SIL-3 までを対象
- ハードウェア整合性、MAIN ドメイン向け ASIL-B/SIL-2 までを対象
- ハードウェア整合性、メインドメインの拡張 MCU (EMCU) 部分向け ASIL-D/SIL-3 までを対象
- 安全関連の認証
 - ISO 26262 予定

デバイスのセキュリティ (一部の部品番号のみ):

- セキュアなランタイム サポートによるセキュア ブート
- お客様がプログラム可能なルート キー (RSA-4K または ECC-512 まで)
- 組み込みハードウェア セキュリティ モジュール
- 暗号化ハードウェア アクセラレータ – ECC 付き PKA、AES、SHA、RNG、DES、3DES

高速シリアル インターフェイス:

- 1 つの PCI-Express® (PCIe) Gen3 コントローラ
 - コントローラごとに最大 4 つのレーン
 - Gen1 (2.5GT/s)、Gen2 (5.0GT/s)、Gen3 (8.0GT/s) で動作 (オート ネゴシエーション付き)
- 1 つの USB 3.0 デュアルロール デバイス (DRD) サブシステム
 - Enhanced SuperSpeed Gen1 ポート
 - Type-C スwitchングをサポート
 - USB ホスト、USB ペリフェラル、USB DRD として個別に構成可能
- 2 つの CSI2.0 4L カメラ シリアル インターフェイス RX (CSI-RX) と、DPHY 付きの 2 つの CSI2.0 4L TX (CSI-TX)
 - MIPI CSI 1.3 準拠 + MIPI-DPHY 1.2
 - CSI-RX は各レーンで最大 2.5Gbps の 1、2、3、4 データレーン モードをサポート
 - CSI-TX は各レーンで最大 2.5Gbps の 1、2、4 データレーン モードをサポート

車載インターフェイス:

- CAN-FD をフルサポートする 20 個のモジュラー コントローラ エリア ネットワーク (MCAN) モジュール



ディスプレイ サブシステム:

- 1 つ (TDA4AL/TDA4VL) または 2 つ (TDA4VE) の DSI 4L TX (最大 2.5K)
- 1 つの eDP 4L (TDA4VE/TDA4VL)
- 1 つの DPI

オーディオ インターフェイス:

- 5 個のマルチチャネル オーディオ シリアル ポート (MCASP) モジュール

ビデオ アクセラレーション:

- TDA4VE: H.264/H.265 エンコード / デコード (最大 480MP/s)
- TDA4AL: H.264/H.265 エンコードのみ (最大 480MP/s)
- TDA4VL: H.264/H.265 エンコード / デコード (最大 240MP/s)

イーサネット:

- 2 つの RMII/RGMII インターフェイス

2 アプリケーション

- 先進運転支援システム (ADAS)
- マシン・ビジョン
- 産業用輸送
- リテール・オートメーション
- 監視機器

3 概要

TDA4VE TDA4AL TDA4VL プロセッサ ファミリーは、画期的な Jacinto™ 7 アーキテクチャを基礎とし、スマートビジョン カメラ アプリケーションを対象としており、ビジョン プロセッサ市場において テキサス・インスツルメンツがリーダーとして 10 年以上蓄積した膨大な市場知識の上に構築されています。TDA4AL は、高度なシステム統合によって、従来型とディープ ラーニングの両方のアルゴリズムを業界最高の電力 / 性能比で高速に処理し、先進ビジョン カメラ アプリケーションの拡張性とコスト低減を実現できます。主要なコアとして、スカラおよびベクタ コアを持つ次世代 DSP、ディープ ラーニング 専用および従来型アルゴリズム用アクセラレータ、汎用計算用の最新の Arm および GPU プロセッサ、統合型次世代イメージング サブシステム (ISP)、ビデオ コーデック、分離された MCU アイランドを搭載しています。これらはすべて、車載グレードの安全性とセキュリティ ハードウェア アクセラレータにより保護されています。

主要な高性能コアの概要:「C7x」次世代 DSP は、テキサス・インスツルメンツの業界最先端の DSP と EVE コアを 1 つの高性能コアに統合し、浮動小数点ベクトル計算機能を追加することで、ソフトウェアのプログラミングを簡単にしながら従来のコードとの後方互換性を確保しています。新しい「MMA」ディープ ラーニング アクセラレータは、一般的な車載用の最も厳しい接合部温度である 125°C で動作する場合でも、業界最小の電力エンベロープ内で最大 8TOPS の性能を達成できます。専用ビジョン ハードウェア アクセラレータは、システム性能に影響を及ぼさずに、ビジョン前処理を実行します。

フラッシュ メモリ インターフェイス:

- 組み込み MultiMediaCard インターフェイス (eMMC™ 5.1)
- 1 つの Secure Digital® 3.0/Secure Digital Input Output 3.0 インターフェイス (SD3.0/SDIO3.0)
- 2 つの同時フラッシュ インターフェイスを以下のように構成
 - 1 つの OSPI または HyperBus™ または QSPI、および
 - 1 つの QSPI

システム オン チップ (SoC) アーキテクチャ:

- 16nm FinFET テクノロジ
- 23mm x 23mm、0.8mm ピッチ、770 ピンの FCBGA (ALZ)

コンパニオン パワー マネージメント IC (PMIC):

- ASIL-D/SIL-3 までの機能安全準拠サポートを対象
- 柔軟なマッピングにより各種の使用事例をサポート

汎用コンピューティング コアと統合の概要: Arm® Cortex®-A72 の独立デュアル コア クラスタ構成を使うと、ソフトウェア ハイパーバイザの必要性を最小限に抑えながらマルチ OS アプリケーションを簡単に実現できます。最大 4 つの Arm® Cortex®-R5F サブシステムが低レベルのタイム クリティカルなタスクを処理し、Arm® Cortex®-A72 のコアに負荷がかからないようにしてアプリケーションの実行に備えます。既存の世界最先端の ISP に基づいて構築された テキサス・インスツルメンツの第 7 世代 ISP は、より広範なセンサ スイートを処理する柔軟性、より深いビット深度のサポート、分析アプリケーションを対象とした機能を備えています。内蔵セキュリティ機能が現代の攻撃からデータを保護する一方で、内蔵の診断および安全性機能は ASIL-D レベルまでの動作をサポートしています。CSI2.0 ポートにより、複数のセンサ入力が可能です。さらに高度な統合のために TDA4VE TDA4AL TDA4VL ファミリーには MCU アイランドも内蔵されているので、外部のシステム マイコンは不要です。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
TDA4VE-Q1	ALZ (FCBGA, 770)	23mm × 23mm
TDA4AL-Q1	ALZ (FCBGA, 770)	23mm × 23mm
TDA4VL-Q1	ALZ (FCBGA, 770)	23mm × 23mm

- (1) 詳細については、「[メカニカル、パッケージ、および注文情報](#)」セクションを参照してください。
 (2) パッケージ サイズ (長さ × 幅) は公称値で、該当する場合はピンも含まれます。

3.1 機能ブロック図

図 3-1 は、デバイスの機能ブロック図です。

注

テキサス・インスツルメンツのソフトウェア開発キット (SDK) が現在サポートしているデバイス機能の詳細については、[TDA4VE ソフトウェア・ビルド・シート \(PROCESSOR-SDK-J721S2\)](#) を参照してください。

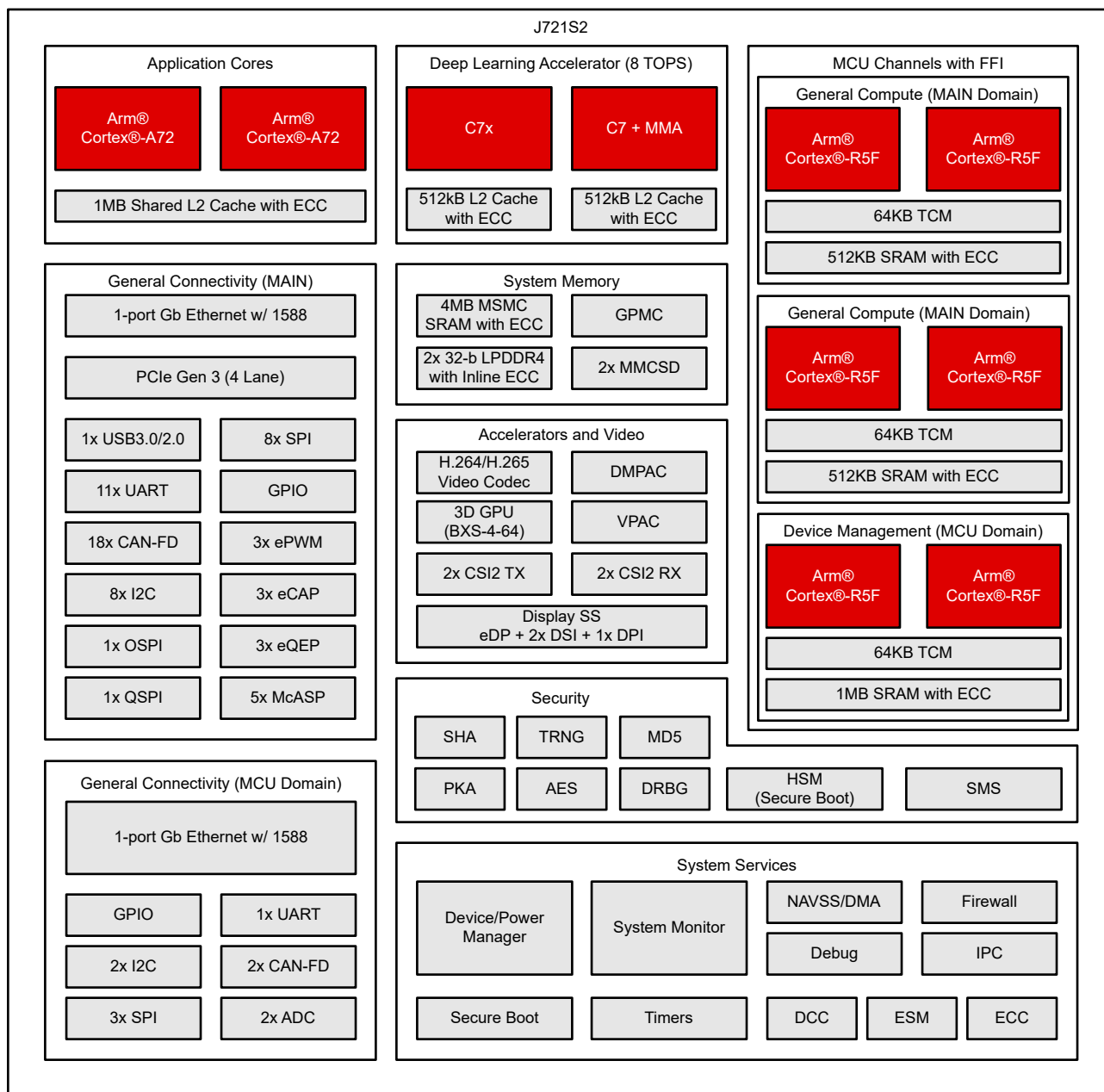


図 3-1. 機能ブロック図

目次

1 特長	1	6.8 熱抵抗特性.....	120
2 アプリケーション	2	6.9 温度センサの特性.....	121
3 概要	2	6.10 タイミングおよびスイッチング特性.....	122
3.1 機能ブロック図.....	4	7 アプリケーション、実装、およびレイアウト	245
4 デバイスの比較	6	7.1 デバイスの接続およびレイアウトの基礎.....	245
5 端子構成および機能	8	7.2 ペリフェラルおよびインターフェイス固有の設計情報...	245
5.1 ピン配置図.....	8	8 デバイスおよびドキュメントのサポート	252
5.2 ピン属性.....	8	8.1 デバイスの命名規則.....	252
5.3 信号の説明.....	63	8.2 ツールとソフトウェア.....	255
5.4 未使用ピンの接続.....	101	8.3 ドキュメントのサポート.....	255
6 仕様	105	8.4 商標.....	255
6.1 絶対最大定格.....	105	8.5 サポート・リソース.....	256
6.2 ESD 定格.....	108	8.6 静電気放電に関する注意事項.....	256
6.3 推奨動作条件.....	108	8.7 用語集.....	256
6.4 パワー オン時間 (POH) の制限.....	110	9 改訂履歴	257
6.5 動作性能ポイント.....	111	10 メカニカル、パッケージ、および注文情報	259
6.6 電気的特性.....	112	10.1 パッケージ情報.....	259
6.7 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様	118		

4 デバイスの比較

表 4-1 に、SoC の機能を示します。

注

テキサス・インスツルメンツのソフトウェア開発キット (SDK) が現在サポートしているデバイス機能の詳細については、[TDA4VE ソフトウェア ビルド シート \(PROCESSOR-SDK-J721S2\)](#) を参照してください。

表 4-1. デバイスの比較

特長 ⁽⁷⁾	参照名	TDA4VE88	TDA4AL88	TDA4VL21
プロセッサおよびアクセラレータ				
速度グレード		T、N	T、N	H
Arm Cortex-A72 マイクロプロセッサ サブシステム	Arm A72	デュアル コア		
ARM Cortex-R5F	Arm R5F	Hexa Core	クワッド コア	
	ロックステップ	オプション ⁽¹⁾		
セキュリティ管理サブシステム	SMS	あり		
セキュリティ アクセラレータ	SA	あり		
C7x 浮動小数点、ベクタ DSP	C7x DSP	デュアル コア		
ディープ ラーニング アクセラレータ	MMA	あり		
グラフィックス アクセラレータ IMG BXS-4-64	GPU	あり	なし	あり
深度およびモーション処理アクセラレータ	DMPAC	あり		
ビジョン処理アクセラレータ	VPAC	あり		
ビデオ エンコーダ / デコーダ	VENC/VDEC	Enc/Dec	Enc のみ	Enc/Dec
安全およびセキュリティ				
安全を対象	安全	オプション ⁽¹⁾		
デバイスのセキュリティ	セキュリティ	オプション ⁽²⁾		
AEC-Q100 認定済み	Q1	オプション ⁽³⁾		
プログラムおよびデータ ストレージ				
MAIN ドメインのオンチップ共有メモリ (RAM)	OCSRAM	2x512KB SRAM	1x512KB SRAM	
MCU ドメインのオンチップ共有メモリ (RAM)	MCU_MS RAM	1MB SRAM		
マルチコア共有メモリ コントローラ	MSMC	4MB (ECC 付きのオンチップ SRAM)		
LPDDR4 DDR サブシステム	DDRSS0 ⁽⁴⁾	最大 8GB (32 ビット データ)、インライン ECC 付き		
	DDRSS1 ⁽⁴⁾	最大 8GB (32 ビット データ)、インライン ECC 付き	なし ⁽⁹⁾	
	SECDED	7 ビット		
汎用メモリ コントローラ	GPMC	最大 1GB、ECC 付き		
ペリフェラル				
ディスプレイ サブシステム	DSS	あり		
	DSI 4L TX	2	1 ⁽¹¹⁾	
	eDP 4L	1	0	1
	DPI	1		
モジュール式コントローラ エリア ネットワーク インターフェイス、CAN-FD フル サポート	MCAN	20		
汎用 I/O	GPIO	155		
集積回路間インターフェイス	I2C	10		

表 4-1. デバイスの比較 (続き)

特長 ⁽⁷⁾	参照名	TDA4VE88	TDA4AL88	TDA4VL21
改良版集積回路間インターフェイス	I3C		1	
A/D コンバータ	ADC		2	
キャプチャ サブシステム、カメラ シリアル インターフェイス (CSI2) 付き	CSI2.0 4L RX		2	
	CSI2.0 4L TX		2	
マルチチャネル シリアル ペリフェラル インターフェイス	MCSPi		11	
マルチチャネル オーディオ シリアル ポート	MCASP0		16 個のシリアライザ	
	MCASP1		5 個のシリアライザ	
	MCASP2		5 個のシリアライザ	
	MCASP3		3 個のシリアライザ	
	MCASP4		5 個のシリアライザ	
マルチメディア カード / セキュア デジタル インターフェイス	MMCSD0		eMMC (8 ビット)	
	MMCSD1		SD/SDIO (4 ビット)	
ユニバーサル フラッシュ ストレージ	UFS 2L		なし	
フラッシュ サブシステム (FSS)	OSPI0		8 ビット ⁽⁶⁾	
	OSPI1 ⁽⁸⁾		4 ビット	
	HyperBus		あり ⁽⁶⁾	
PHY 内蔵 PCI Express ポート × 4	PCIE0		最大 4 レーン ⁽⁵⁾	
Hyperlink	HYP		なし ⁽¹⁰⁾	
ギガビット イーサネット インターフェイス	MCU		1x RGMII または RMII	
	メイン		1x RGMII または RMII	
汎用タイマー	TIMER		30	
改良型高分解能パルス幅変調器モジュール	eHRPWM		6	
拡張キャプチャ モジュール	eCAP		3	
拡張直交エンコーダ パルス モジュール	eQEP		3	
汎用非同期レシーバ / トランスミッタ	UART		12	
ユニバーサル シリアル バス (USB3.1) SuperSpeed デュアル ロール デバイス (DRD) ポート、SS PHY 付き	USB0		あり ⁽⁵⁾	

- (1) R5F ロックステップおよび SIL/ASIL 定格などの安全機能は、表 10-1 項目名の説明の表のデバイス タイプ (Y) 識別子で示されている型番バリエーションを選択する場合にのみ適用されます。
- (2) セキュア ブートや顧客がプログラム可能なキーなどのデバイス セキュリティ機能は、表 10-1 項目名の説明の表のデバイス タイプ (Y) 識別子で示されている型番バリエーションを選択する場合にのみ適用されます。
- (3) AEC-Q100 認定は、表 10-1 項目名の説明の表の車載識別記号 (Q1) 識別子で示されている型番バリエーションを選択する場合にのみ適用されます。
- (4) DDRSS0 と DDRSS1 は常に増分の順序で使用する必要があります。たとえば、単一の LPDDR 部品を使用する場合は、DDR0_* インターフェイスに接続する必要があります。
- (5) USB3.0、PCIE で合計 4 つの SerDes レーンを共有しています。
- (6) 2 つの同時フラッシュ インターフェイスは OSPI0 と OSPI1、または HyperBus と OSPI1 として構成。
- (7) J721S2 はスーパーセット デバイスの基本型番です。ソフトウェアは、目的の量産デバイスに合わせて、使用する機能に制約を加える必要があります。
- (8) OSPI1 モジュールは 4 本のピンのみを配置しており、文脈によっては QSPI と呼ばれます。
- (9) DDRSS1 が「いいえ」の型番バリエーションでは、DDR1_* ピンを使用しないでください。DDR1_* ピンは、「未使用ピンの接続」というセクションの推奨事項にしたがって接続する必要があります。
- (10) この SoC ではハイパーリンクはサポートされていません。システム設計では信号 HYP_*、HYP0_*、HYP1_* を使用しないでください。
- (11) DSI 4L TX が「1」の型番バリエーションは、DSI 機能に DSI0 インターフェイスのみを使用できます。DSI1* ボールは、引き続き CSI1 機能に使用できます。

5 端子構成および機能

5.1 ピン配置図

パッケージ情報を参照。

5.2 ピン属性

1. **ボール番号:**ボール グリッド アレイ パッケージの各端子に割り当てられたボール番号。
2. **ボール名:**ボール グリッド アレイ パッケージの各端子に割り当てられたボール名 (通常はプライマリ MUXMODE 0 信号機能からつけた名前)。
3. **信号名:**ボールに関連するすべての専用およびピン多重化信号機能の信号名。

注

「ピン属性」表は、ピンに実装される SoC ピン多重化信号機能を定義しており、デバイス サブシステムに実装される信号機能の 2 次多重化は定義していません。信号機能の 2 次多重化については、この表では説明しません。2 次多重化信号機能の詳細については、デバイスのテクニカル リファレンス マニュアルで該当するペリフェラルの章を参照してください。

4. **MUXMODE:**各ピンの多重化信号機能に関連付けられた MUXMODE 値:

- MUXMODE 0 は、プライマリピンの多重化信号機能です。ただし、プライマリピンの多重化信号機能は、必ずしもデフォルトのピン多重化信号機能とは限りません。
- ピン多重化信号機能には、MUXMODE の値 1～15 を使用できます。ただし、すべての MUXMODE 値が実装されているわけではありません。有効な MUXMODE 値は、「ピン属性」表でピン多重化された信号機能として定義された値のみです。MUXMODE の有効な値のみを使用できます。
- ブートストラップは SOC 構成ピンを定義します。各ピンに適用されるロジック状態は、PORz_OUT の立ち上がりエッジでラッチされます。これらの入力信号機能はそれぞれのピンに固定で、MUXMODE を使用してプログラムすることはできません。
- 空欄または「-」は、該当しないことを意味します。

注

- 「リセット後の MUX モード」列の値は、MCU_PORz がアサート解除されたときに選択されるデフォルトのピン多重化信号機能を定義します。
- 同じピン多重化信号機能に 2 つのピンを構成すると、予期しない結果が生じる可能性があるため、この構成はサポートされていません。これは、正しいソフトウェア構成によって防止できます。
- パッドを未定義の多重化モードに構成すると、未定義の動作が生じるため、このような構成は避ける必要があります。

5. **タイプ:**信号の種類と方向:

- I = 入力
- O = 出力
- OD = 出力、オープンドレイン出力機能付き
- IO = 入力、出力、または同時に入力と出力
- IOD = 入力、出力、または同時に入力と出力、オープンドレイン出力機能付き
- IOZ = 入力、出力、または同時に入力と出力、3 ステート出力機能付き
- OZ = 出力、3 ステート出力機能付き
- A = アナログ
- CAP = LDO コンデンサ
- PWR = 電源
- GND = グランド

6. **I/O 動作電圧:**この列は、IO 電圧値 (対応する電源) を示します。

空欄は該当しないことを意味します。

7. **RESET 時のボールの状態:**MCU_PORz がアサートされているときの端子の状態。ここで、RX は入力バッファの状態、TX は出力バッファの状態、PULL は内部プル抵抗の状態を定義します。
 - RX (入力バッファ)
 - オフ:入力バッファは無効です。
 - オン:入力バッファは有効です。
 - TX (出力バッファ)
 - オフ:出力バッファは無効です。
 - Low:出力バッファは有効であり、V_{OL} を駆動します。
 - High:出力バッファは有効であり、V_{OH} を駆動します。
 - PULL (内部プル抵抗)
 - オフ:内部プル抵抗はオフになっています。
 - アップ:内部プルアップ抵抗がオンになっています。
 - ダウン:内部プルダウン抵抗がオンになっています。
 - NA:内部プル抵抗なし。
 - 空欄、または「-」は該当しないことを意味します。
8. **RESET 後のボールの状態:**MCU_PORz がアサート解除された後の端子の状態。ここで、RX は入力バッファの状態、TX は出力バッファの状態、PULL は内部プル抵抗の状態を定義します。
 - RX (入力バッファ)
 - オフ:入力バッファは無効です。
 - オン:入力バッファは有効です。
 - TX (出力バッファ)
 - オフ:出力バッファは無効です。
 - SS:MUXMODE で選択されたサブシステムによって、出力バッファの状態が決まります。
 - PULL (内部プル抵抗)
 - オフ:内部プル抵抗はオフになっています。
 - アップ:内部プルアップ抵抗がオンになっています。
 - ダウン:内部プルダウン抵抗がオンになっています。
 - NA:内部プル抵抗なし。
 - 空欄、NA、「-」は該当しないことを意味します。
9. **リセット後の多重化モード:**この列の値は、MCU_PORz がアサート解除された後のデフォルトのピン多重化信号機能を定義します。
 - 空欄、NA、「-」は該当しないことを意味します。
10. **プルタイプ:**内部プルアップまたはプルダウン抵抗が存在することを示します。プルアップおよびプルダウン抵抗は、ソフトウェアによって有効化または無効化できます。
 - PU:内部プルアップのみ
 - PD:内部プルダウンのみ
 - PU/PD:内部プルアップおよびプルダウン
 - 空欄、NA、「-」は、内部プルが存在しないことを意味します。

注

同じピン多重化信号機能に 2 つのピンを構成すると、予期しない結果が生じる可能性があるため、この構成はサポートされていません。この問題は、正しいソフトウェア構成を使用すると簡単に防止できます。

ピン多重化で定義されない多重化モードにパッドが設定されたとき、そのパッドの挙動は未定義になります。これは避ける必要があります。

11. **電源:**関連付けられている I/O の電源 (該当する場合)。
 - 空欄、NA、「-」は該当しないことを意味します。

12. **HYS:**この I/O に関連付けられている入力バッファにヒステリシスがあるかどうかを示します。

- あり:ヒステリシスのサポート
- なし:ヒステリシスのサポートなし
- 空欄、NA、「-」は該当しないことを意味します。

詳細については、「[電氣的特性](#)」のヒステリシスの値を参照してください。

13. **電圧バッファのタイプ:**この列は、端末に関連付けられたバッファのタイプを定義します。この情報を使用して、該当する「[電氣的特性](#)」表を決定できます。

- 空欄、NA、「-」は該当しないことを意味します。

電氣的特性については、「[電氣的特性](#)」セクションの適切なバッファ タイプの表を参照してください。

14. **IO RET:Yes** は、WKUP と IO 保持がサポートされていることを意味します。

15. **PADCFG 名:**デバイスのパッド / ピン構成レジスタの名前です。

16. **PADCFG アドレス:**これは、デバイスのパッド / ピン構成レジスタのメモリ アドレスです。

表 5-1. ピン属性 (ALZ パッケージ)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
T21	CAP_VDDSD0	CAP_VDDSD0		CAP									
J20	CAP_VDDSD0_MCU	CAP_VDDSD0_MCU		CAP									
G16	CAP_VDDSD1_MCU	CAP_VDDSD1_MCU		CAP									
P21	CAP_VDDSD2	CAP_VDDSD2		CAP									
H17	CAP_VDDSD2_MCU	CAP_VDDSD2_MCU		CAP									
M22	CAP_VDDSD5	CAP_VDDSD5		CAP									
AH19	CSI0_RXCLKN	CSI0_RXCLKN		I	1.8 V					VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1		D-PHY	
AH20	CSI0_RXCLKP	CSI0_RXCLKP		I	1.8 V					VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1		D-PHY	
AC18	CSI0_RXRCALIB	CSI0_RXRCALIB		A	1.8 V					VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1		D-PHY	
AH22	CSI1_RXCLKN	CSI1_RXCLKN		I	1.8 V					VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1		D-PHY	
AH23	CSI1_RXCLKP	CSI1_RXCLKP		I	1.8 V					VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1		D-PHY	
AC21	CSI1_RXRCALIB	CSI1_RXRCALIB		A	1.8 V					VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1		D-PHY	
AG18	CSI0_RXN0	CSI0_RXN0		I	1.8 V					VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1		D-PHY	
AF19	CSI0_RXN1	CSI0_RXN1		I	1.8 V					VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1		D-PHY	
AE18	CSI0_RXN2	CSI0_RXN2		I	1.8 V					VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1		D-PHY	
AD19	CSI0_RXN3	CSI0_RXN3		I	1.8 V					VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1		D-PHY	

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
AG19	CSI0_RXP0	CSI0_RXP0		I	1.8 V					VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1		D-PHY	
AF20	CSI0_RXP1	CSI0_RXP1		I	1.8 V					VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1		D-PHY	
AE19	CSI0_RXP2	CSI0_RXP2		I	1.8 V					VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1		D-PHY	
AD20	CSI0_RXP3	CSI0_RXP3		I	1.8 V					VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1		D-PHY	
AG21	CSI1_RXN0	CSI1_RXN0		I	1.8 V					VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1		D-PHY	
AF22	CSI1_RXN1	CSI1_RXN1		I	1.8 V					VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1		D-PHY	
AE21	CSI1_RXN2	CSI1_RXN2		I	1.8 V					VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1		D-PHY	
AD22	CSI1_RXN3	CSI1_RXN3		I	1.8 V					VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1		D-PHY	
AG22	CSI1_RXP0	CSI1_RXP0		I	1.8 V					VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1		D-PHY	
AF23	CSI1_RXP1	CSI1_RXP1		I	1.8 V					VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1		D-PHY	
AE22	CSI1_RXP2	CSI1_RXP2		I	1.8 V					VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1		D-PHY	
AD23	CSI1_RXP3	CSI1_RXP3		I	1.8 V					VDDA_0P8_C SIRX0_1 / VDDA_1P8_C SIRX0_1		D-PHY	

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
R1	DDR0_CKN	DDR0_CKN		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
P1	DDR0_CKP	DDR0_CKP		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
R5	DDR0_RESETh	DDR0_RESETh		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
T8	DDR0_RET	DDR0_RET		I	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
A9	DDR1_CKN	DDR1_CKN		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
A10	DDR1_CKP	DDR1_CKP		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
F12	DDR1_RESETh	DDR1_RESETh		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
J10	DDR1_RET	DDR1_RET		I	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
P3	DDR0_CA0	DDR0_CA0		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
P5	DDR0_CA1	DDR0_CA1		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
N5	DDR0_CA2	DDR0_CA2		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
P2	DDR0_CA3	DDR0_CA3		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
P4	DDR0_CA4	DDR0_CA4		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
R3	DDR0_CA5	DDR0_CA5		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
R8	DDR0_CAL0	DDR0_CAL0		A	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
R2	DDR0_CKE0	DDR0_CKE0		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
R4	DDR0_CKE1	DDR0_CKE1		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
V5	DDR0_CS0_0	DDR0_CS0_0		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
W5	DDR0_CS0_1	DDR0_CS0_1		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
T5	DDR0_CS1_0	DDR0_CS1_0		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
U6	DDR0_CS1_1	DDR0_CS1_1		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
H5	DDR0_DM0	DDR0_DM0		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
M3	DDR0_DM1	DDR0_DM1		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
U4	DDR0_DM2	DDR0_DM2		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
AD1	DDR0_DM3	DDR0_DM3		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
F3	DDR0_DQ0	DDR0_DQ0		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
G4	DDR0_DQ1	DDR0_DQ1		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
F5	DDR0_DQ2	DDR0_DQ2		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
F1	DDR0_DQ3	DDR0_DQ3		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
J4	DDR0_DQ4	DDR0_DQ4		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
H3	DDR0_DQ5	DDR0_DQ5		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
J2	DDR0_DQ6	DDR0_DQ6		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
G2	DDR0_DQ7	DDR0_DQ7		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
K5	DDR0_DQ8	DDR0_DQ8		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
M5	DDR0_DQ9	DDR0_DQ9		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
K3	DDR0_DQ10	DDR0_DQ10		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
K1	DDR0_DQ11	DDR0_DQ11		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
N4	DDR0_DQ12	DDR0_DQ12		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
N2	DDR0_DQ13	DDR0_DQ13		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
L4	DDR0_DQ14	DDR0_DQ14		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
L2	DDR0_DQ15	DDR0_DQ15		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
T1	DDR0_DQ16	DDR0_DQ16		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
T3	DDR0_DQ17	DDR0_DQ17		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
V3	DDR0_DQ18	DDR0_DQ18		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
U2	DDR0_DQ19	DDR0_DQ19		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
W2	DDR0_DQ20	DDR0_DQ20		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
W4	DDR0_DQ21	DDR0_DQ21		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
Y1	DDR0_DQ22	DDR0_DQ22		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
Y3	DDR0_DQ23	DDR0_DQ23		IO	1.1 V					VDDSDDR / VDDSDDR_ C0		DDR	
AB3	DDR0_DQ24	DDR0_DQ24		IO	1.1 V					VDDSDDR / VDDSDDR_ C0		DDR	
AA2	DDR0_DQ25	DDR0_DQ25		IO	1.1 V					VDDSDDR / VDDSDDR_ C0		DDR	
AA4	DDR0_DQ26	DDR0_DQ26		IO	1.1 V					VDDSDDR / VDDSDDR_ C0		DDR	
Y5	DDR0_DQ27	DDR0_DQ27		IO	1.1 V					VDDSDDR / VDDSDDR_ C0		DDR	
AC2	DDR0_DQ28	DDR0_DQ28		IO	1.1 V					VDDSDDR / VDDSDDR_ C0		DDR	
AB5	DDR0_DQ29	DDR0_DQ29		IO	1.1 V					VDDSDDR / VDDSDDR_ C0		DDR	
AD2	DDR0_DQ30	DDR0_DQ30		IO	1.1 V					VDDSDDR / VDDSDDR_ C0		DDR	
AC4	DDR0_DQ31	DDR0_DQ31		IO	1.1 V					VDDSDDR / VDDSDDR_ C0		DDR	
H1	DDR0_DQS0N	DDR0_DQS0N		IO	1.1 V					VDDSDDR / VDDSDDR_ C0		DDR	
G1	DDR0_DQS0P	DDR0_DQS0P		IO	1.1 V					VDDSDDR / VDDSDDR_ C0		DDR	
M1	DDR0_DQS1N	DDR0_DQS1N		IO	1.1 V					VDDSDDR / VDDSDDR_ C0		DDR	
L1	DDR0_DQS1P	DDR0_DQS1P		IO	1.1 V					VDDSDDR / VDDSDDR_ C0		DDR	
U1	DDR0_DQS2N	DDR0_DQS2N		IO	1.1 V					VDDSDDR / VDDSDDR_ C0		DDR	
V1	DDR0_DQS2P	DDR0_DQS2P		IO	1.1 V					VDDSDDR / VDDSDDR_ C0		DDR	
AC1	DDR0_DQS3N	DDR0_DQS3N		IO	1.1 V					VDDSDDR / VDDSDDR_ C0		DDR	

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
AB1	DDR0_QQS3P	DDR0_QQS3P		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C0		DDR	
C10	DDR1_CA0	DDR1_CA0		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
E10	DDR1_CA1	DDR1_CA1		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
E9	DDR1_CA2	DDR1_CA2		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
B10	DDR1_CA3	DDR1_CA3		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
D10	DDR1_CA4	DDR1_CA4		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
C9	DDR1_CA5	DDR1_CA5		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
E8	DDR1_CAL0	DDR1_CAL0		A	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
B9	DDR1_CKE0	DDR1_CKE0		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
D9	DDR1_CKE1	DDR1_CKE1		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
F9	DDR1_CSn0_0	DDR1_CSn0_0		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
F8	DDR1_CSn0_1	DDR1_CSn0_1		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
F11	DDR1_CSn1_0	DDR1_CSn1_0		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
F10	DDR1_CSn1_1	DDR1_CSn1_1		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
D16	DDR1_DM0	DDR1_DM0		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
E13	DDR1_DM1	DDR1_DM1		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
F7	DDR1_DM2	DDR1_DM2		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
B3	DDR1_DM3	DDR1_DM3		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
B18	DDR1_DQ0	DDR1_DQ0		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
E17	DDR1_DQ1	DDR1_DQ1		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
D18	DDR1_DQ2	DDR1_DQ2		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
A17	DDR1_DQ3	DDR1_DQ3		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
E15	DDR1_DQ4	DDR1_DQ4		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
B16	DDR1_DQ5	DDR1_DQ5		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
C15	DDR1_DQ6	DDR1_DQ6		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
C17	DDR1_DQ7	DDR1_DQ7		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
B14	DDR1_DQ8	DDR1_DQ8		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
D14	DDR1_DQ9	DDR1_DQ9		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
C13	DDR1_DQ10	DDR1_DQ10		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
C11	DDR1_DQ11	DDR1_DQ11		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
E11	DDR1_DQ12	DDR1_DQ12		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
A11	DDR1_DQ13	DDR1_DQ13		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
B12	DDR1_DQ14	DDR1_DQ14		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
D12	DDR1_DQ15	DDR1_DQ15		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
B7	DDR1_DQ16	DDR1_DQ16		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
D7	DDR1_DQ17	DDR1_DQ17		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
C8	DDR1_DQ18	DDR1_DQ18		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
A8	DDR1_DQ19	DDR1_DQ19		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
C6	DDR1_DQ20	DDR1_DQ20		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
E6	DDR1_DQ21	DDR1_DQ21		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
B5	DDR1_DQ22	DDR1_DQ22		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
D5	DDR1_DQ23	DDR1_DQ23		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
B1	DDR1_DQ24	DDR1_DQ24		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
A4	DDR1_DQ25	DDR1_DQ25		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
C4	DDR1_DQ26	DDR1_DQ26		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
E4	DDR1_DQ27	DDR1_DQ27		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
D1	DDR1_DQ28	DDR1_DQ28		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
D3	DDR1_DQ29	DDR1_DQ29		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
C2	DDR1_DQ30	DDR1_DQ30		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
E2	DDR1_DQ31	DDR1_DQ31		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
A15	DDR1_DQS0N	DDR1_DQS0N		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
A16	DDR1_DQS0P	DDR1_DQS0P		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
A12	DDR1_DQS1N	DDR1_DQS1N		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
A13	DDR1_DQS1P	DDR1_DQS1P		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
A7	DDR1_DQS2N	DDR1_DQS2N		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
A6	DDR1_DQS2P	DDR1_DQS2P		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
A2	DDR1_DQS3N	DDR1_DQS3N		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
A3	DDR1_DQS3P	DDR1_DQS3P		IO	1.1 V					VDDSD_DDR / VDDSD_DDR_ C1		DDR	
AG11	DP0_AUXN	DP0_AUXN		IO	1.8 V					VDDA_1P8_S ERDES2_4		AUX-PHY	
AF11	DP0_AUXP	DP0_AUXP		IO	1.8 V					VDDA_1P8_S ERDES2_4		AUX-PHY	
AH13	DSIO_TXCLKN	DSIO_TXCLKN	0	O	1.8 V					VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX		D-PHY	
		CSIO_TXCLKN	1	O									
AH14	DSIO_TXCLKP	DSIO_TXCLKP	0	O	1.8 V					VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX		D-PHY	
		CSIO_TXCLKP	1	O									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
AC13	DSI0_TXRCALIB	DSI0_TXRCALIB		A	1.8 V					VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX		D-PHY	
AH16	DSI1_TXCLKN	DSI1_TXCLKN	0	O	1.8 V					VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX		D-PHY	
		CSI1_TXCLKN	1	O									
AH17	DSI1_TXCLKP	DSI1_TXCLKP	0	O	1.8 V					VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX		D-PHY	
		CSI1_TXCLKP	1	O									
AC15	DSI1_TXRCALIB	DSI1_TXRCALIB		A	1.8 V					VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX		D-PHY	
AG12	DSI0_TXN0	DSI0_TXN0	0	IO	1.8 V					VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX		D-PHY	
		CSI0_TXN0	1	O									
AF13	DSI0_TXN1	DSI0_TXN1	0	O	1.8 V					VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX		D-PHY	
		CSI0_TXN1	1	O									
AE12	DSI0_TXN2	DSI0_TXN2	0	O	1.8 V					VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX		D-PHY	
		CSI0_TXN2	1	O									
AD13	DSI0_TXN3	DSI0_TXN3	0	O	1.8 V					VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX		D-PHY	
		CSI0_TXN3	1	O									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
AG13	DSI0_TXP0	DSI0_TXP0	0	IO	1.8 V					VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX		D-PHY	
		CSI0_TXP0	1	O									
AF14	DSI0_TXP1	DSI0_TXP1	0	O	1.8 V					VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX		D-PHY	
		CSI0_TXP1	1	O									
AE13	DSI0_TXP2	DSI0_TXP2	0	O	1.8 V					VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX		D-PHY	
		CSI0_TXP2	1	O									
AD14	DSI0_TXP3	DSI0_TXP3	0	O	1.8 V					VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX		D-PHY	
		CSI0_TXP3	1	O									
AG15	DSI1_TXN0	DSI1_TXN0	0	IO	1.8 V					VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX		D-PHY	
		CSI1_TXN0	1	O									
AF16	DSI1_TXN1	DSI1_TXN1	0	O	1.8 V					VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX		D-PHY	
		CSI1_TXN1	1	O									
AE15	DSI1_TXN2	DSI1_TXN2	0	O	1.8 V					VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX		D-PHY	
		CSI1_TXN2	1	O									
AD16	DSI1_TXN3	DSI1_TXN3	0	O	1.8 V					VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX		D-PHY	
		CSI1_TXN3	1	O									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
AG16	DSI1_TXP0	DSI1_TXP0	0	IO	1.8 V					VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX		D-PHY	
		CSI1_TXP0	1	O									
AF17	DSI1_TXP1	DSI1_TXP1	0	O	1.8 V					VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX		D-PHY	
		CSI1_TXP1	1	O									
AE16	DSI1_TXP2	DSI1_TXP2	0	O	1.8 V					VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX		D-PHY	
		CSI1_TXP2	1	O									
AD17	DSI1_TXP3	DSI1_TXP3	0	O	1.8 V					VDDA_0P8_D SITX / VDDA_0P8_D SITX_C / VDDA_1P8_D SITX		D-PHY	
		CSI1_TXP3	1	O									
AB26	ECAP0_IN_APWM_OUT PADCFG: PADCONFIG_49 0x0011C0C4	ECAP0_IN_APWM_OUT	0	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP4_AXR2	1	IO									
		CPTS0_RFT_CLK	2	I									
		HYP1_TXFLCLK	3	I									
		MCAN12_TX	4	O									
		VOUT0_DATA23	5	O									
		GPMC0_AD5	6	IO									
		GPIO0_49	7	IO									
		SPI6_D0	8	IO									
		SYNC0_OUT	9	O									
		TRC_DATA1	10	O									
		UART2_CTSn	11	I									
		CPTS0_HW1TSPUSH	12	I									
		I2C1_SCL	13	IOD									
		UART3_RXD	14	I									
A27	EMU0 PADCFG: WKUP_PADCONFIG_75 0x4301C12C	EMU0	0	IO	1.8V/3.3V	オン / オフ / アッ プ	オン / オフ / アッ プ	0	PU/PD	VDDSHV0_M CU	あり	LVCMOS	なし

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
C26	EMU1 PADCFG: WKUP_PADCONFIG_76 0x4301C130	EMU1	0	IO	1.8V/3.3V	オン / オフ / アッ プ	オン / オフ / アッ プ	0	PU/PD	VDDSHV0_M CU	あり	LVCMOS	なし
		MCU_OBSCLK0	15	O									
AG24	EXTINTn PADCFG: PADCONFIG_0 0x0011C000	EXTINTn	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / SS / オフ	7		VDDSHV0	あり	I2C オープンド レイン	なし
		GPIO0_0	7	IO									
AD28	EXT_REFCLK1 PADCFG: PADCONFIG_50 0x0011C0C8	EXT_REFCLK1	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP4_ACLKX	1	IO									
		VOUT0_DATA16	2	O									
		HYP1_TXFLDAT	3	I									
		MCAN1_RX	4	I									
		GPMC0_AD6	6	IO									
		GPIO0_50	7	IO									
		SYNC1_OUT	9	O									
		TRC_CLK	10	O									
		UART2_RTSn	11	O									
		CPTS0_HW2TSPUSH	12	I									
		I2C1_SDA	13	IOD									
		UART3_TXD	14	O									
V23	GPIO0_11 PADCFG: PADCONFIG_11 0x0011C02C	MCAN17_TX	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		VOUT0_DATA18	2	O									
		GPMC0_A14	6	OZ									
		GPIO0_11	7	IO									
		SPI7_CS3	8	IO									
		TRC_DATA25	10	O									
		GPMC0_CSn2	12	O									
		UART7_RXD	13	I									
		USB0_DRVVBUS	14	O									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
T26	GPIO0_12 PADCFG: PADCONFIG_12 0x0011C030	MCAN12_RX	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		VOUT0_DATA17	2	O									
		HYP1_RXFLDAT	3	O									
		VOUT0_DATA22	5	O									
		GPMC0_AD4	6	IO									
		GPIO0_12	7	IO									
		SPI6_CLK	8	IO									
		EQEP1_I	9	IO									
		TRC_DATA2	10	O									
		UART9_CTSn	11	I									
		UART6_RXD	12	I									
AH25	I2C0_SCL PADCFG: PADCONFIG_56 0x0011C0E0	I2C0_SCL	0	IOD	1.8V/3.3V	オフ / オフ / オフ	オン / SS / オフ	7		VDDSHV0	あり	I2C オープンド レイン	なし
		GPIO0_56	7	IO									
AE24	I2C0_SDA PADCFG: PADCONFIG_57 0x0011C0E4	I2C0_SDA	0	IOD	1.8V/3.3V	オフ / オフ / オフ	オン / SS / オフ	7		VDDSHV0	あり	I2C オープンド レイン	なし
		GPIO0_57	7	IO									
U28	MCAN0_RX PADCFG: PADCONFIG_26 0x0011C068	MCAN0_RX	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP4_AXR1	1	IO									
		VOUT0_DATA3	2	O									
		GPMC0_AD15	6	IO									
		GPIO0_26	7	IO									
		SPI5_CS0	8	IO									
		EHRPWM0_A	9	IO									
		TRC_DATA16	10	O									
		UART2_TXD	11	O									
		UART6_RTSn	12	O									
		SPI7_D0	13	IO									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
W28	MCAN0_TX PADCFG: PADCONFIG_25 0x0011C064	MCAN0_TX	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP2_AXR2	1	IO									
		VOUT0_DATA4	2	O									
		GPMC0_AD14	6	IO									
		GPIO0_25	7	IO									
		SPI5_CS1	8	IO									
		EHRPWM0_B	9	IO									
		TRC_DATA11	10	O									
		UART2_RXD	11	I									
		UART6_CTSn	12	I									
		I2C3_SCL	13	IOD									
R27	MCAN1_RX PADCFG: PADCONFIG_28 0x0011C070	MCAN1_RX	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP4_AXR3	1	IO									
		VOUT0_DATA1	2	O									
		VOUT0_DATA19	5	O									
		GPMC0_BE0n_CLE	6	O									
		GPIO0_28	7	IO									
		SPI5_D0	8	IO									
		EHRPWM0_SYNCI	9	I									
		TRC_DATA5	10	O									
		UART3_RTSn	11	O									
V26	MCAN1_TX PADCFG: PADCONFIG_27 0x0011C06C	MCAN1_TX	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP4_AFSX	1	IO									
		VOUT0_EXTPCLKIN	2	I									
		HYP1_TXPMCLK	3	O									
		DSS_FSYNC0	4	O									
		GPMC0_AD7	6	IO									
		GPIO0_27	7	IO									
		EHRPWM0_TZn_IN5	9	I									
		TRC_CTL	10	O									
		UART6_TXD	11	O									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
Y25	MCAN2_RX PADCFG: PADCONFIG_30 0x0011C078	MCAN2_RX	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		AUDIO_EXT_REFCLK1	1	IO									
		VOUT0_PCLK	2	O									
		GPMC0_CSn1	6	O									
		GPIO0_30	7	IO									
		SPI6_CS1	8	IO									
		EHRPWM4_B	9	IO									
		TRC_DATA17	10	O									
		UART3_TXD	11	O									
		GPMC0_DIR	12	O									
		I2C5_SDA	13	IOD									
R28	MCAN2_TX PADCFG: PADCONFIG_29 0x0011C074	MCAN2_TX	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP2_AXR3	1	IO									
		VOUT0_DATA0	2	O									
		VOUT0_DATA18	5	O									
		GPMC0_WAIT0	6	I									
		GPIO0_29	7	IO									
		SPI6_D1	8	IO									
		EHRPWM1_B	9	IO									
		TRC_DATA3	10	O									
		UART3_RXD	11	I									
		GPMC0_DIR	12	O									
		I2C5_SCL	13	IOD									
AC24	MCAN12_RX PADCFG: PADCONFIG_2 0x0011C008	MCAN12_RX	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		UART0_DCDn	1	I									
		DSS_FSYNC1	3	O									
		GPMC0_A23	6	OZ									
		GPIO0_2	7	IO									
		TRC_CTL	10	O									
		UART5_RXD	11	I									
		GPMC0_CSn3	12	O									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
W25	MCAN12_TX PADCFG: PADCONFIG_1 0x0011C004	MCAN12_TX	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		DSS_FSYNC0	3	O									
		GPMC0_A24	6	OZ									
		GPIO0_1	7	IO									
		TRC_CLK	10	O									
		UART5_TXD	11	O									
		GPMC0_CLK	12	IO									
AF28	MCAN13_RX PADCFG: PADCONFIG_4 0x0011C010	MCAN13_RX	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		UART0_DTRn	1	O									
		DSS_FSYNC3	3	O									
		GPMC0_A21	6	OZ									
		GPIO0_4	7	IO									
		I2C4_SDA	8	IOD									
		TRC_DATA1	10	O									
AE28	MCAN13_TX PADCFG: PADCONFIG_3 0x0011C00C	MCAN13_TX	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		UART0_DSRn	1	I									
		DSS_FSYNC2	3	O									
		GPMC0_A22	6	OZ									
		GPIO0_3	7	IO									
		TRC_DATA0	10	O									
		UART4_TXD	11	O									
W23	MCAN14_RX PADCFG: PADCONFIG_6 0x0011C018	GPMC0_WAIT2	12	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCAN14_RX	0	I									
		VOUT0_DATA23	2	O									
		GPMC0_A19	6	OZ									
		GPIO0_6	7	IO									
		I2C5_SDA	8	IOD									
		TRC_DATA3	10	O									
		UART9_TXD	11	O									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
AD25	MCAN14_TX PADCFG: PADCONFIG_5 0x0011C014	MCAN14_TX	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		UART0_RIn	1	I									
		GPMC0_A20	6	OZ									
		GPIO0_5	7	IO									
		I2C4_SCL	8	IOD									
		TRC_DATA2	10	O									
		UART6_RXD	11	I									
AA23	MCAN15_RX PADCFG: PADCONFIG_8 0x0011C020	MCAN15_RX	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		VOUT0_DATA21	2	O									
		GPMC0_A17	6	OZ									
		GPIO0_8	7	IO									
		SPI0_CS2	8	IO									
		TRC_DATA22	10	O									
		I2C1_SCL	12	IOD									
Y24	MCAN15_TX PADCFG: PADCONFIG_7 0x0011C01C	MCAN15_TX	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		VOUT0_DATA22	2	O									
		GPMC0_A18	6	OZ									
		GPIO0_7	7	IO									
		I2C5_SCL	8	IOD									
		TRC_DATA21	10	O									
		UART9_RXD	11	I									
AB24	MCAN16_RX PADCFG: PADCONFIG_10 0x0011C028	MCAN16_RX	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		VOUT0_DATA19	2	O									
		GPMC0_A15	6	OZ									
		GPIO0_10	7	IO									
		SPI0_CS3	8	IO									
		TRC_DATA24	10	O									
		GPMC0_WAIT1	12	I									
Y28	MCAN16_TX PADCFG: PADCONFIG_9 0x0011C024	MCAN16_TX	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		VOUT0_DATA20	2	O									
		GPMC0_A16	6	OZ									
		GPIO0_9	7	IO									
		SPI1_CS3	8	IO									
		TRC_DATA23	10	O									
		I2C1_SDA	12	IOD									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
AB28	MCASP0_ACLKX PADCFG: PADCONFIG_14 0x0011C038	MCAN5_TX	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP0_ACLKX	1	IO									
		VOUT0_DATA15	2	O									
		HYP0_RXFLCLK	3	O									
		GPMC0_AD0	6	IO									
		GPIO0_14	7	IO									
		EHRPWM_TZn_IN2	9	I									
		UART8_RXD	11	I									
U27	MCASP0_AFSX PADCFG: PADCONFIG_15 0x0011C03C	MCAN5_RX	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP0_AFSX	1	IO									
		VOUT0_DATA14	2	O									
		HYP0_RXFLDAT	3	O									
		GPMC0_AD1	6	IO									
		GPIO0_15	7	IO									
		EHRPWM2_B	9	IO									
		UART8_TXD	11	O									
AA24	MCASP1_ACLKX PADCFG: PADCONFIG_46 0x0011C0B8	MCAN10_RX	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP1_ACLKX	1	IO									
		DP0_HPDP	3	I									
		GPMC0_A11	5	OZ									
		RGMI1_RD0	6	I									
		GPIO0_46	7	IO									
		EQEP0_S	9	IO									
		UART4_RTSn	11	O									
		SPI3_CS3	12	IO									
		UART9_RTSn	13	O									
V28	MCASP1_AFSX PADCFG: PADCONFIG_47 0x0011C0BC	MCAN11_TX	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP1_AFSX	1	IO									
		GPMC0_A12	5	OZ									
		MDIO0_MDIO	6	IO									
		GPIO0_47	7	IO									
		SPI3_CS0	8	IO									
		EQEP0_I	9	IO									
		UART0_RXD	11	I									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
Y27	MCASP2_ACLKX PADCFG: PADCONFIG_21 0x0011C054	MCAN8_RX	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP2_ACLKX	1	IO									
		VOUT0_DATA8	2	O									
		HYP0_TXPMCLK	3	O									
		VOUT0_DATA20	5	O									
		GPMC0_AD10	6	IO									
		GPIO0_21	7	IO									
		SPI5_CS2	8	IO									
		EQEP2_S	9	IO									
		TRC_DATA4	10	O									
		UART1_RXD	11	I									
		SPI7_CS1	13	IO									
		SYNC3_OUT	14	O									
AA27	MCASP2_AFSX PADCFG: PADCONFIG_22 0x0011C058	MCAN9_TX	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP2_AFSX	1	IO									
		VOUT0_DATA7	2	O									
		HYP0_TXPMDAT	3	O									
		GPMC0_AD11	6	IO									
		GPIO0_22	7	IO									
		SPI5_CS3	8	IO									
		EHRPWM_SOC_A	9	O									
		TRC_DATA9	10	O									
		UART1_TXD	11	O									
		SPI7_CS2	13	IO									
AC28	MCASP0_AXR0 PADCFG: PADCONFIG_16 0x0011C040	MCAN6_TX	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP0_AXR0	1	IO									
		VOUT0_DATA13	2	O									
		HYP0_TXFLCLK	3	I									
		GPMC0_AD2	6	IO									
		GPIO0_16	7	IO									
		SPI2_CS2	8	IO									
		EHRPWM2_A	9	IO									
		TRC_DATA14	10	O									
		UART4_RXD	11	I									
		SPI7_CLK	13	IO									
		UART8_CTSn	14	I									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
Y26	MCASP0_AXR1 PADCFG: PADCONFIG_17 0x0011C044	MCAN6_RX	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP0_AXR1	1	IO									
		VOUT0_DATA12	2	O									
		HYP0_TXFLDAT	3	I									
		OBSCLK1	4	O									
		GPMC0_AD3	6	IO									
		GPIO0_17	7	IO									
		SPI2_CS3	8	IO									
		EHRPWM0_SYNCO	9	O									
		TRC_DATA12	10	O									
		UART4_TXD	11	O									
		SPI7_CS0	13	IO									
		UART8_RTSn	14	O									
AB27	MCASP0_AXR2 PADCFG: PADCONFIG_18 0x0011C048	MCAN7_TX	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP0_AXR2	1	IO									
		VOUT0_DATA11	2	O									
		HYP1_RXFLCLK	3	O									
		GPMC0_ADVn_ALE	6	O									
		GPIO0_18	7	IO									
		EQEP2_A	9	I									
		TRC_DATA10	10	O									
		UART4_CTSn	11	I									
		GPMC0_WPn	12	O									
		UART9_CTSn	13	I									
T27	MCASP0_AXR3 PADCFG: PADCONFIG_31 0x0011C07C	MCAN3_TX	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP0_AXR3	1	IO									
		VOUT0_DATA2	2	O									
		GPMC0_BE1n	6	O									
		GPIO0_31	7	IO									
		SPI5_CLK	8	IO									
		EHRPWM_TZn_IN0	9	I									
		TRC_DATA7	10	O									
		UART3_CTSn	11	I									
		SPI3_CS1	12	IO									
		SPI7_D1	13	IO									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
U26	MCASP0_AXR4 PADCFG: PADCONFIG_32 0x0011C080	MCAN3_RX	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP0_AXR4	1	IO									
		VOUT0_HSYNC	2	O									
		HYP1_TXPMDAT	3	O									
		VOUT0_VP0_HSYNC	4	O									
		VOUT0_VP2_HSYNC	5	O									
		GPMC0_OEn_REn	6	O									
		GPIO0_32	7	IO									
		SPI6_CS2	8	IO									
		EHRPWM5_B	9	IO									
		TRC_DATA18	10	O									
		I2C4_SDA	13	IOD									
AA28	MCASP0_AXR5 PADCFG: PADCONFIG_33 0x0011C084	MCAN4_TX	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP0_AXR5	1	IO									
		VOUT0_DE	2	O									
		MCASP1_ACLKR	3	IO									
		VOUT0_VP0_DE	4	O									
		VOUT0_VP2_DE	5	O									
		GPMC0_CSn0	6	O									
		GPIO0_33	7	IO									
		SPI6_CS3	8	IO									
		EHRPWM5_A	9	IO									
		TRC_DATA19	10	O									
		I2C4_SCL	13	IOD									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
AD27	MCASP0_AXR6 PADCFG: PADCONFIG_34 0x0011C088	MCAN4_RX	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP0_AXR6	1	IO									
		VOU0_VSYNC	2	O									
		MCASP1_AFSR	3	IO									
		VOU0_VP0_VSYNC	4	O									
		VOU0_VP2_VSYNC	5	O									
		GPMC0_CLKOUT	6	O									
		GPIO0_34	7	IO									
		SPI3_CS2	8	IO									
		EHRPWM_TZn_IN4	9	I									
		TRC_DATA20	10	O									
		SPI5_D1	11	IO									
		GPMC0_FCLK_MUX	12	O									
T25	MCASP0_AXR7 PADCFG: PADCONFIG_35 0x0011C08C	MCAN5_TX	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP0_AXR7	1	IO									
		MCASP4_ACLKR	3	IO									
		GPMC0_A0	5	OZ									
		RGMI1_TD0	6	O									
		GPIO0_35	7	IO									
		GPMC0_A14	8	OZ									
		EHRPWM3_A	9	IO									
		UART4_RXD	11	I									
		GPMC0_CSn2	12	O									
		USB0_DRVBUS	14	O									
W24	MCASP0_AXR8 PADCFG: PADCONFIG_36 0x0011C090	MCAN5_RX	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP0_AXR8	1	IO									
		MCASP4_AFSR	3	IO									
		GPMC0_A1	5	OZ									
		RGMI1_TD1	6	O									
		GPIO0_36	7	IO									
		RMII1_RXD0	8	I									
		EHRPWM_TZn_IN3	9	I									
		UART4_TXD	11	O									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
AA25	MCASP0_AXR9 PADCFG: PADCONFIG_37 0x0011C094	MCAN6_TX	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP0_AXR9	1	IO									
		MCASP4_AXR4	2	IO									
		GPMC0_A2	5	OZ									
		RGMI1_TD2	6	O									
		GPIO0_37	7	IO									
		RMII1_RXD1	8	I									
		EHRPWM3_SYNC0	9	O									
		UART4_CTSn	11	I									
V25	MCASP0_AXR10 PADCFG: PADCONFIG_38 0x0011C098	MCAN6_RX	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP0_AXR10	1	IO									
		GPMC0_A3	5	OZ									
		RGMI1_TD3	6	O									
		GPIO0_38	7	IO									
		RMII1_CRS_DV	8	I									
		EHRPWM3_SYNCI	9	I									
		UART4_RTSn	11	O									
T24	MCASP0_AXR11 PADCFG: PADCONFIG_39 0x0011C09C	MCAN7_TX	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP0_AXR11	1	IO									
		GPMC0_A4	5	OZ									
		RGMI1_TX_CTL	6	O									
		GPIO0_39	7	IO									
		RMII1_RX_ER	8	I									
		EHRPWM3_B	9	IO									
		SPI2_CS1	10	IO									
		UART5_RXD	11	I									
AB25	MCASP0_AXR12 PADCFG: PADCONFIG_40 0x0011C0A0	MCAN7_RX	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP0_AXR12	1	IO									
		MCASP2_ACLKR	3	IO									
		GPMC0_A5	5	OZ									
		RGMI1_RD1	6	I									
		GPIO0_40	7	IO									
		RMII1_TXD0	8	O									
		EHRPWM3_SOCB	9	O									
		SPI2_CLK	10	IO									
		UART5_TXD	11	O									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
T23	MCASP0_AXR13 PADCFG: PADCONFIG_41 0x0011C0A4	MCAN8_TX	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP0_AXR13	1	IO									
		MCASP2_AFSR	3	IO									
		GPMC0_A6	5	OZ									
		RGMII1_RD2	6	I									
		GPIO0_41	7	IO									
		RMII_REF_CLK	8	I									
		EHRPWM4_A	9	IO									
		SPI2_CS0	10	IO									
		UART5_CTSn	11	I									
		UART7_RXD	13	I									
U24	MCASP0_AXR14 PADCFG: PADCONFIG_42 0x0011C0A8	MCAN8_RX	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP0_AXR14	1	IO									
		MCASP2_AXR4	2	IO									
		MCASP0_ACLKR	3	IO									
		GPMC0_A7	5	OZ									
		RGMII1_RD3	6	I									
		GPIO0_42	7	IO									
		CLKOUT	8	IO									
		EQEP0_A	9	I									
		SPI2_D0	10	IO									
		UART5_RTSn	11	O									
		UART7_TXD	13	O									
AC25	MCASP0_AXR15 PADCFG: PADCONFIG_43 0x0011C0AC	MCAN9_TX	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP0_AXR15	1	IO									
		MCASP0_AFSR	3	IO									
		GPMC0_A8	5	OZ									
		RGMII1_RX_CTL	6	I									
		GPIO0_43	7	IO									
		RMII1_TX_EN	8	O									
		EQEP0_B	9	I									
		SPI2_D1	10	IO									
		UART8_RXD	11	I									
		I2C1_SCL	13	IOD									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
T28	MCASP1_AXR0 PADCFG: PADCONFIG_48 0x0011C0C0	MCAN11_RX	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP1_AXR0	1	IO									
		GPMC0_A13	5	OZ									
		MDIO0_MDC	6	O									
		GPIO0_48	7	IO									
		SPI3_CLK	8	IO									
		EQEP1_S	9	IO									
		UART0_TXD	11	O									
		GPMC0_WAIT3	12	I									
		SYNC2_OUT	14	O									
V27	MCASP1_AXR1 PADCFG: PADCONFIG_19 0x0011C04C	MCAN7_RX	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP1_AXR1	1	IO									
		VOUT0_DATA10	2	O									
		HYP1_RXPMCLK	3	I									
		GPMC0_AD8	6	IO									
		GPIO0_19	7	IO									
		SPI3_D0	8	IO									
		EHRPWM_TZn_IN1	9	I									
		TRC_DATA8	10	O									
		UART0_CTSn	11	I									
		UART9_RXD	12	I									
		I2C2_SCL	13	IOD									
W27	MCASP1_AXR2 PADCFG: PADCONFIG_20 0x0011C050	MCAN8_TX	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP1_AXR2	1	IO									
		VOUT0_DATA9	2	O									
		HYP1_RXPMDAT	3	I									
		VOUT0_DATA21	5	O									
		GPMC0_AD9	6	IO									
		GPIO0_20	7	IO									
		SPI3_D1	8	IO									
		EQEP2_B	9	I									
		TRC_DATA6	10	O									
		UART0_RTSn	11	O									
		UART9_TXD	12	O									
		I2C2_SDA	13	IOD									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
AD26	MCASP1_AXR3 PADCFG: PADCONFIG_44 0x0011C0B0	MCAN9_RX	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP1_AXR3	1	IO									
		GPMC0_A9	5	OZ									
		RGMI1_RXC	6	I									
		GPIO0_44	7	IO									
		RMII1_TXD1	8	O									
		EQEP1_A	9	I									
		UART8_TXD	11	O									
		I2C1_SDA	13	IOD									
U25	MCASP1_AXR4 PADCFG: PADCONFIG_45 0x0011C0B4	MCAN10_TX	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP1_AXR4	1	IO									
		GPMC0_A10	5	OZ									
		RGMI1_TXC	6	O									
		GPIO0_45	7	IO									
		EQEP1_B	9	I									
		UART4_RXD	11	I									
AA26	MCASP2_AXR0 PADCFG: PADCONFIG_23 0x0011C05C	MCAN9_RX	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	あり
		MCASP2_AXR0	1	IO									
		VOUT0_DATA6	2	O									
		HYP0_RXPMCLK	3	I									
		GPMC0_AD12	6	IO									
		GPIO0_23	7	IO									
		EQEP2_I	9	IO									
		TRC_DATA15	10	O									
		UART1_CTSn	11	I									
		UART6_RXD	12	I									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
AC27	MCASP2_AXR1 PADCFG: PADCONFIG_24 0x0011C060	MCAN17_RX	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVC MOS	あり
		MCASP2_AXR1	1	IO									
		VOU0_DATA5	2	O									
		HYP0_RXPMDAT	3	I									
		GPMC0_AD13	6	IO									
		GPIO0_24	7	IO									
		EHRPWM1_A	9	IO									
		TRC_DATA13	10	O									
		UART1_RTSn	11	O									
		UART6_TXD	12	O									
		I2C3_SDA	13	IOD									
L25	MCU_ADC0_AIN0 PADCFG: WKUP_PADCONFIG_77 0x4301C134	MCU_ADC0_AIN0	0	A	1.8 V			0		VDDA_ADC0		ADC12B	なし
		WKUP_GPIO0_71	7	I									
K25	MCU_ADC0_AIN1 PADCFG: WKUP_PADCONFIG_78 0x4301C138	MCU_ADC0_AIN1	0	A	1.8 V			0		VDDA_ADC0		ADC12B	なし
		WKUP_GPIO0_72	7	I									
M24	MCU_ADC0_AIN2 PADCFG: WKUP_PADCONFIG_79 0x4301C13C	MCU_ADC0_AIN2	0	A	1.8 V			0		VDDA_ADC0		ADC12B	なし
		WKUP_GPIO0_73	7	I									
L24	MCU_ADC0_AIN3 PADCFG: WKUP_PADCONFIG_80 0x4301C140	MCU_ADC0_AIN3	0	A	1.8 V			0		VDDA_ADC0		ADC12B	なし
		WKUP_GPIO0_74	7	I									
L27	MCU_ADC0_AIN4 PADCFG: WKUP_PADCONFIG_81 0x4301C144	MCU_ADC0_AIN4	0	A	1.8 V			0		VDDA_ADC0		ADC12B	なし
		WKUP_GPIO0_75	7	I									
K24	MCU_ADC0_AIN5 PADCFG: WKUP_PADCONFIG_82 0x4301C148	MCU_ADC0_AIN5	0	A	1.8 V			0		VDDA_ADC0		ADC12B	なし
		WKUP_GPIO0_76	7	I									
M27	MCU_ADC0_AIN6 PADCFG: WKUP_PADCONFIG_83 0x4301C14C	MCU_ADC0_AIN6	0	A	1.8 V			0		VDDA_ADC0		ADC12B	なし
		WKUP_GPIO0_77	7	I									

TDA4VE-Q1, TDA4AL-Q1, TDA4VL-Q1

JAJSPJ8B – DECEMBER 2022 – REVISED DECEMBER 2024

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
M26	MCU_ADC0_AIN7 PADCFG: WKUP_PADCONFIG_84 0x4301C150	MCU_ADC0_AIN7	0	A	1.8 V			0		VDDA_ADC0		ADC12B	なし
		WKUP_GPIO0_78	7	I									
P25	MCU_ADC1_AIN0 PADCFG: WKUP_PADCONFIG_85 0x4301C154	MCU_ADC1_AIN0	0	A	1.8 V			0		VDDA_ADC1		ADC12B	なし
		WKUP_GPIO0_79	7	I									
R25	MCU_ADC1_AIN1 PADCFG: WKUP_PADCONFIG_86 0x4301C158	MCU_ADC1_AIN1	0	A	1.8 V			0		VDDA_ADC1		ADC12B	なし
		WKUP_GPIO0_80	7	I									
P28	MCU_ADC1_AIN2 PADCFG: WKUP_PADCONFIG_87 0x4301C15C	MCU_ADC1_AIN2	0	A	1.8 V			0		VDDA_ADC1		ADC12B	なし
		WKUP_GPIO0_81	7	I									
P27	MCU_ADC1_AIN3 PADCFG: WKUP_PADCONFIG_88 0x4301C160	MCU_ADC1_AIN3	0	A	1.8 V			0		VDDA_ADC1		ADC12B	なし
		WKUP_GPIO0_82	7	I									
N25	MCU_ADC1_AIN4 PADCFG: WKUP_PADCONFIG_89 0x4301C164	MCU_ADC1_AIN4	0	A	1.8 V			0		VDDA_ADC1		ADC12B	なし
		WKUP_GPIO0_83	7	I									
P26	MCU_ADC1_AIN5 PADCFG: WKUP_PADCONFIG_90 0x4301C168	MCU_ADC1_AIN5	0	A	1.8 V			0		VDDA_ADC1		ADC12B	なし
		WKUP_GPIO0_84	7	I									
N26	MCU_ADC1_AIN6 PADCFG: WKUP_PADCONFIG_91 0x4301C16C	MCU_ADC1_AIN6	0	A	1.8 V			0		VDDA_ADC1		ADC12B	なし
		WKUP_GPIO0_85	7	I									
N27	MCU_ADC1_AIN7 PADCFG: WKUP_PADCONFIG_92 0x4301C170	MCU_ADC1_AIN7	0	A	1.8 V			0		VDDA_ADC1		ADC12B	なし
		WKUP_GPIO0_86	7	I									
G24	MCU_I2C0_SCL PADCFG: WKUP_PADCONFIG_66 0x4301C108	MCU_I2C0_SCL	0	IOD	1.8V/3.3V	オフ / オフ / オフ	オン / SS / オフ	0		VDDSHV0_M CU	あり	I2C オープンド レイン	あり
		WKUP_GPIO0_65	7	IO									
J25	MCU_I2C0_SDA PADCFG: WKUP_PADCONFIG_67 0x4301C10C	MCU_I2C0_SDA	0	IOD	1.8V/3.3V	オフ / オフ / オフ	オン / SS / オフ	0		VDDSHV0_M CU	あり	I2C オープンド レイン	あり
		WKUP_GPIO0_87	7	IO									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
E28	MCU_MCAN0_RX PADCFG: WKUP_PADCONFIG_47 0x4301C0BC	MCU_MCAN0_RX	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	あり
		WKUP_GPIO0_61	7	IO									
E27	MCU_MCAN0_TX PADCFG: WKUP_PADCONFIG_46 0x4301C0B8	MCU_MCAN0_TX	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	あり
		WKUP_GPIO0_60	7	IO									
A21	MCU_MDIO0_MDC PADCFG: WKUP_PADCONFIG_39 0x4301C09C	MCU_MDIO0_MDC	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2_M CU	あり	LVCMOS	なし
		WKUP_GPIO0_53	7	IO									
A22	MCU_MDIO0_MDIO PADCFG: WKUP_PADCONFIG_38 0x4301C098	MCU_MDIO0_MDIO	0	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2_M CU	あり	LVCMOS	なし
		WKUP_GPIO0_52	7	IO									
D19	MCU_OSPI0_CLK PADCFG: WKUP_PADCONFIG_0 0x4301C000	MCU_OSPI0_CLK	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV1_M CU	あり	LVCMOS	なし
		MCU_HYPERBUS0_CK	1	O									
E18	MCU_OSPI0_DQS PADCFG: WKUP_PADCONFIG_2 0x4301C008	WKUP_GPIO0_16	7	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV1_M CU	あり	LVCMOS	なし
		MCU_OSPI0_DQS	0	I									
		MCU_HYPERBUS0_RWDS	1	IO									
E20	MCU_OSPI0_LBCLKO PADCFG: WKUP_PADCONFIG_1 0x4301C004	WKUP_GPIO0_18	7	IO	1.8V/3.3V	オフ / オフ / オフ	オン / オフ / オフ	7	PU/PD	VDDSHV1_M CU	あり	LVCMOS	なし
		MCU_OSPI0_LBCLKO	0	IO									
		MCU_HYPERBUS0_CK _n	1	O									
A19	MCU_OSPI1_CLK PADCFG: WKUP_PADCONFIG_16 0x4301C040	WKUP_GPIO0_17	7	IO	1.8V/3.3V	オフ / オフ / オフ	オン / オフ / オフ	7	PU/PD	VDDSHV1_M CU	あり	LVCMOS	なし
		MCU_OSPI1_CLK	0	O									
B19	MCU_OSPI1_DQS PADCFG: WKUP_PADCONFIG_18 0x4301C048	WKUP_GPIO0_31	7	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV1_M CU	あり	LVCMOS	なし
		MCU_OSPI1_DQS	0	I									
		MCU_OSPI0_CS _n 3	1	O									
		MCU_HYPERBUS0_INT _n	2	I									
		MCU_OSPI0_ECC_FAIL	6	I									
B20	MCU_OSPI1_LBCLKO PADCFG: WKUP_PADCONFIG_17 0x4301C044	WKUP_GPIO0_33	7	IO	1.8V/3.3V	オフ / オフ / オフ	オン / オフ / オフ	7	PU/PD	VDDSHV1_M CU	あり	LVCMOS	なし
		MCU_OSPI1_LBCLKO	0	IO									
		MCU_OSPI0_CS _n 2	1	O									
		MCU_HYPERBUS0_RESETO _n	2	I									
		MCU_OSPI0_RESET_OUT0	6	O									
		WKUP_GPIO0_32	7	IO									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
F15	MCU_OSPI0_CSn0 PADCFG: WKUP_PADCONFIG_11 0x4301C02C	MCU_OSPI0_CSn0	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV1_M CU	あり	LVCMOS	なし
		MCU_HYPERBUS0_CSn0	1	O									
		WKUP_GPIO0_27	7	IO									
G17	MCU_OSPI0_CSn1 PADCFG: WKUP_PADCONFIG_12 0x4301C030	MCU_OSPI0_CSn1	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV1_M CU	あり	LVCMOS	なし
		MCU_HYPERBUS0_RESETEn	1	O									
		WKUP_GPIO0_28	7	IO									
F14	MCU_OSPI0_CSn2 PADCFG: WKUP_PADCONFIG_14 0x4301C038	MCU_OSPI0_CSn2	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV1_M CU	あり	LVCMOS	なし
		MCU_OSPI0_CSn2	1	O									
		MCU_HYPERBUS0_RESETEOn	2	I									
		MCU_HYPERBUS0_WPn	3	O									
		MCU_HYPERBUS0_CSn1	4	O									
		MCU_OSPI0_RESET_OUT0	6	O									
		WKUP_GPIO0_29	7	IO									
F17	MCU_OSPI0_CSn3 PADCFG: WKUP_PADCONFIG_15 0x4301C03C	MCU_OSPI0_CSn3	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV1_M CU	あり	LVCMOS	なし
		MCU_OSPI0_CSn3	1	O									
		MCU_HYPERBUS0_INTn	2	I									
		MCU_HYPERBUS0_WPn	3	O									
		MCU_OSPI0_RESET_OUT1	5	O									
		MCU_OSPI0_ECC_FAIL	6	I									
		WKUP_GPIO0_30	7	IO									
C19	MCU_OSPI0_D0 PADCFG: WKUP_PADCONFIG_3 0x4301C00C	MCU_OSPI0_D0	0	IO	1.8V/3.3V	オン / オフ / オフ	オン / オフ / オフ	7	PU/PD	VDDSHV1_M CU	あり	LVCMOS	なし
		MCU_HYPERBUS0_DQ0	1	IO									
		WKUP_GPIO0_19	7	IO									
		BOOTMODE00		ブートスト ラップ									
F16	MCU_OSPI0_D1 PADCFG: WKUP_PADCONFIG_4 0x4301C010	MCU_OSPI0_D1	0	IO	1.8V/3.3V	オン / オフ / オフ	オン / オフ / オフ	7	PU/PD	VDDSHV1_M CU	あり	LVCMOS	なし
		MCU_HYPERBUS0_DQ1	1	IO									
		WKUP_GPIO0_20	7	IO									
		BOOTMODE01		ブートスト ラップ									
G15	MCU_OSPI0_D2 PADCFG: WKUP_PADCONFIG_5 0x4301C014	MCU_OSPI0_D2	0	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV1_M CU	あり	LVCMOS	なし
		MCU_HYPERBUS0_DQ2	1	IO									
		WKUP_GPIO0_21	7	IO									
F18	MCU_OSPI0_D3 PADCFG: WKUP_PADCONFIG_6 0x4301C018	MCU_OSPI0_D3	0	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV1_M CU	あり	LVCMOS	なし
		MCU_HYPERBUS0_DQ3	1	IO									
		WKUP_GPIO0_22	7	IO									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
E19	MCU_OSPI0_D4 PADCFG: WKUP_PADCONFIG_7 0x4301C01C	MCU_OSPI0_D4	0	IO	1.8V/3.3V	オン / オフ / オフ	オン / オフ / オフ	7	PU/PD	VDDSHV1_M CU	あり	LVCMOS	なし
		MCU_HYPERBUS0_DQ4	1	IO									
		WKUP_GPIO0_23	7	IO									
		BOOTMODE02	ブートスト ラップ	I									
G19	MCU_OSPI0_D5 PADCFG: WKUP_PADCONFIG_8 0x4301C020	MCU_OSPI0_D5	0	IO	1.8V/3.3V	オン / オフ / オフ	オン / オフ / オフ	7	PU/PD	VDDSHV1_M CU	あり	LVCMOS	なし
		MCU_HYPERBUS0_DQ5	1	IO									
		WKUP_GPIO0_24	7	IO									
		BOOTMODE03	ブートスト ラップ	I									
F19	MCU_OSPI0_D6 PADCFG: WKUP_PADCONFIG_9 0x4301C024	MCU_OSPI0_D6	0	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV1_M CU	あり	LVCMOS	なし
		MCU_HYPERBUS0_DQ6	1	IO									
		WKUP_GPIO0_25	7	IO									
F20	MCU_OSPI0_D7 PADCFG: WKUP_PADCONFIG_10 0x4301C028	MCU_OSPI0_D7	0	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV1_M CU	あり	LVCMOS	なし
		MCU_HYPERBUS0_DQ7	1	IO									
		WKUP_GPIO0_26	7	IO									
D20	MCU_OSPI1_CSn0 PADCFG: WKUP_PADCONFIG_23 0x4301C05C	MCU_OSPI1_CSn0	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV1_M CU	あり	LVCMOS	なし
		WKUP_GPIO0_38	7	IO									
C21	MCU_OSPI1_CSn1 PADCFG: WKUP_PADCONFIG_24 0x4301C060	MCU_OSPI1_CSn1	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV1_M CU	あり	LVCMOS	なし
		MCU_HYPERBUS0_WPn	1	O									
		MCU_TIMER_IO0	2	IO									
		MCU_HYPERBUS0_CSn1	3	O									
		MCU_UART0_RTSn	4	O									
		MCU_SPI0_CS2	5	IO									
		MCU_OSPI0_RESET_OUT1	6	O									
		WKUP_GPIO0_39	7	IO									
D21	MCU_OSPI1_D0 PADCFG: WKUP_PADCONFIG_19 0x4301C04C	MCU_OSPI1_D0	0	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV1_M CU	あり	LVCMOS	なし
		WKUP_GPIO0_34	7	IO									
G20	MCU_OSPI1_D1 PADCFG: WKUP_PADCONFIG_20 0x4301C050	MCU_OSPI1_D1	0	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV1_M CU	あり	LVCMOS	なし
		MCU_UART0_RXD	4	I									
		MCU_SPI1_CS1	5	IO									
		WKUP_GPIO0_35	7	IO									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
C20	MCU_OSP11_D2 PADCFG: WKUP_PADCONFIG_21 0x4301C054	MCU_OSP11_D2	0	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV1_M CU	あり	LVCMOS	なし
		MCU_UART0_TXD	4	O									
		MCU_SPI1_CS2	5	IO									
		WKUP_GPIO0_36	7	IO									
A20	MCU_OSP11_D3 PADCFG: WKUP_PADCONFIG_22 0x4301C058	MCU_OSP11_D3	0	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV1_M CU	あり	LVCMOS	なし
		MCU_UART0_CTSn	4	I									
		MCU_SPI0_CS1	5	IO									
		WKUP_GPIO0_37	7	IO									
G23	MCU_PORz	MCU_PORz		I	1.8 V					VDDA_WKUP	あり	FS_RESET	なし
A23	MCU_RESETSTATz PADCFG: WKUP_PADCONFIG_71 0x4301C11C	MCU_RESETSTATz	0	O	1.8V/3.3V	オフ / Low / オフ	オフ / SS / オフ	0	PU/PD	VDDSHV0_M CU	あり	LVCMOS	なし
		WKUP_GPIO0_68	7	IO									
A26	MCU_RESETz PADCFG: WKUP_PADCONFIG_70 0x4301C118	MCU_RESETz	0	I	1.8V/3.3V	オン / NA / アップ	オン / オフ / アッ プ	0	PU/PD	VDDSHV0_M CU	あり	LVCMOS	なし
D22	MCU_RGMII1_RXC PADCFG: WKUP_PADCONFIG_33 0x4301C084	MCU_RGMII1_RXC	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2_M CU	あり	LVCMOS	なし
		MCU_RMII1_REF_CLK	1	I									
		WKUP_GPIO0_47	7	IO									
E23	MCU_RGMII1_RX_CTL PADCFG: WKUP_PADCONFIG_27 0x4301C06C	MCU_RGMII1_RX_CTL	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2_M CU	あり	LVCMOS	なし
		MCU_RMII1_RX_ER	1	I									
		WKUP_GPIO0_41	7	IO									
F21	MCU_RGMII1_TXC PADCFG: WKUP_PADCONFIG_32 0x4301C080	MCU_RGMII1_TXC	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2_M CU	あり	LVCMOS	なし
		MCU_RMII1_TX_EN	1	O									
		WKUP_GPIO0_46	7	IO									
F22	MCU_RGMII1_TX_CTL PADCFG: WKUP_PADCONFIG_26 0x4301C068	MCU_RGMII1_TX_CTL	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2_M CU	あり	LVCMOS	なし
		MCU_RMII1_CRS_DV	1	I									
		WKUP_GPIO0_40	7	IO									
B22	MCU_RGMII1_RD0 PADCFG: WKUP_PADCONFIG_37 0x4301C094	MCU_RGMII1_RD0	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2_M CU	あり	LVCMOS	なし
		MCU_RMII1_RXD0	1	I									
		WKUP_GPIO0_51	7	IO									
B21	MCU_RGMII1_RD1 PADCFG: WKUP_PADCONFIG_36 0x4301C090	MCU_RGMII1_RD1	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2_M CU	あり	LVCMOS	なし
		MCU_RMII1_RXD1	1	I									
		WKUP_GPIO0_50	7	IO									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
C22	MCU_RGMII1_RD2 PADCFG: WKUP_PADCONFIG_35 0x4301C08C	MCU_RGMII1_RD2	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2_M CU	あり	LVCMOS	なし
		MCU_TIMER_IO5	1	IO									
		WKUP_GPIO0_62	7	IO									
D23	MCU_RGMII1_RD3 PADCFG: WKUP_PADCONFIG_34 0x4301C088	MCU_RGMII1_RD3	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2_M CU	あり	LVCMOS	なし
		MCU_TIMER_IO4	1	IO									
		WKUP_GPIO0_48	7	IO									
F23	MCU_RGMII1_TD0 PADCFG: WKUP_PADCONFIG_31 0x4301C07C	MCU_RGMII1_TD0	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2_M CU	あり	LVCMOS	なし
		MCU_RMII1_TXD0	1	O									
		WKUP_GPIO0_45	7	IO									
G22	MCU_RGMII1_TD1 PADCFG: WKUP_PADCONFIG_30 0x4301C078	MCU_RGMII1_TD1	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2_M CU	あり	LVCMOS	なし
		MCU_RMII1_TXD1	1	O									
		WKUP_GPIO0_44	7	IO									
E21	MCU_RGMII1_TD2 PADCFG: WKUP_PADCONFIG_29 0x4301C074	MCU_RGMII1_TD2	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2_M CU	あり	LVCMOS	なし
		MCU_TIMER_IO3	1	IO									
		MCU_ADC_EXT_TRIGGER1	3	I									
		WKUP_GPIO0_43	7	IO									
E22	MCU_RGMII1_TD3 PADCFG: WKUP_PADCONFIG_28 0x4301C070	MCU_RGMII1_TD3	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2_M CU	あり	LVCMOS	なし
		MCU_TIMER_IO2	1	IO									
		MCU_ADC_EXT_TRIGGER0	3	I									
		WKUP_GPIO0_42	7	IO									
J23	MCU_SAFETY_ERRORn PADCFG: WKUP_PADCONFIG_69 0x4301C114	MCU_SAFETY_ERRORn	0	IO	1.8 V	オフ / オフ / ダウ ン	オン / SS / ダウ ン	0	PU/PD	VDDA_WKUP	あり	LVCMOS	なし
B27	MCU_SPI0_CLK PADCFG: WKUP_PADCONFIG_40 0x4301C0A0	MCU_SPI0_CLK	0	IO	1.8V/3.3V	オン / オフ / オフ	オン / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	あり
		WKUP_GPIO0_54	7	IO									
		MCU_BOOTMODE00	ブートス ラップ	I									
B26	MCU_SPI0_CS0 PADCFG: WKUP_PADCONFIG_43 0x4301C0AC	MCU_SPI0_CS0	0	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	あり
		MCU_TIMER_IO1	4	IO									
		WKUP_GPIO0_70	7	IO									
D24	MCU_SPI0_D0 PADCFG: WKUP_PADCONFIG_41 0x4301C0A4	MCU_SPI0_D0	0	IO	1.8V/3.3V	オン / オフ / オフ	オン / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	あり
		WKUP_GPIO0_55	7	IO									
		MCU_BOOTMODE01	ブートス ラップ	I									

TDA4VE-Q1, TDA4AL-Q1, TDA4VL-Q1

JAJSPJ8B – DECEMBER 2022 – REVISED DECEMBER 2024

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号名 [3]	多重化モード [4]	信号タイプ [5]	I/O 動作電圧 [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	プルタイプ [10]	電源 [11]	ヒステリシス [12]	電圧バッファのタイプ [13]	IO RET [14]
B25	MCU_SPI0_D1 PADCFG: WKUP_PADCONFIG_42 0x4301C0A8	MCU_SPI0_D1	0	IO	1.8V/3.3V	オン / オフ / オフ	オン / オフ / オフ	7	PU/PD	VDDSHV0_MCU	あり	LVCMOS	あり
		MCU_TIMER_IO0	4	IO									
		WKUP_GPIO0_69	7	IO									
		MCU_BOOTMODE02	ブートストラップ	I									
AF1	MMC0_CALPAD	MMC0_CALPAD		A	1.8 V				PU/PD	VDDSD_MMC0		eMMC PHY	なし
AC6	MMC0_CLK	MMC0_CLK		O	1.8 V	オン / Low / オフ	オン / SS / オフ		PU/PD	VDDSD_MMC0		eMMC PHY	なし
AF2	MMC0_CMD	MMC0_CMD		IO	1.8 V	オン / オフ / アップ	オン / SS / アップ		PU/PD	VDDSD_MMC0		eMMC PHY	なし
AE3	MMC0_DS	MMC0_DS		IO	1.8 V	オン / オフ / ダウン	オン / オフ / ダウン		PU/PD	VDDSD_MMC0		eMMC PHY	なし
P23	MMC1_CLK PADCFG: PADCONFIG_65 0x0011C104	MMC1_CLK	0	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV5	あり	SDIO	なし
		UART8_RXD	1	I									
		TIMER_IO6	3	IO									
		EHRPWM2_B	4	IO									
		UART4_CTSn	5	I									
		EHRPWM5_A	6	IO									
		GPIO0_64	7	IO									
		SPI1_CLK	8	IO									
		UART0_RTSn	9	O									
		I2C6_SDA	10	IOD									
		MCAN15_TX	11	O									
N24	MMC1_CMD PADCFG: PADCONFIG_66 0x0011C108	MMC1_CMD	0	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV5	あり	SDIO	なし
		UART8_TXD	1	O									
		TIMER_IO7	3	IO									
		EHRPWM2_A	4	IO									
		UART4_RTSn	5	O									
		GPIO0_65	7	IO									
		SPI1_D1	8	IO									
		I2C6_SCL	10	IOD									
		MCAN15_RX	11	I									
AF4	MMC0_DAT0	MMC0_DAT0		IO	1.8 V	オン / オフ / アップ	オン / SS / アップ		PU/PD	VDDSD_MMC0		eMMC PHY	なし
AD3	MMC0_DAT1	MMC0_DAT1		IO	1.8 V	オン / オフ / アップ	オン / SS / アップ		PU/PD	VDDSD_MMC0		eMMC PHY	なし
AD4	MMC0_DAT2	MMC0_DAT2		IO	1.8 V	オン / オフ / アップ	オン / SS / アップ		PU/PD	VDDSD_MMC0		eMMC PHY	なし

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
AF3	MMC0_DAT3	MMC0_DAT3		IO	1.8 V	オン / オフ / アッ プ	オン / SS / アップ		PU/PD	VDD5_MMC0		eMMCPHY	なし
AE2	MMC0_DAT4	MMC0_DAT4		IO	1.8 V	オン / オフ / アッ プ	オン / SS / アップ		PU/PD	VDD5_MMC0		eMMCPHY	なし
AG3	MMC0_DAT5	MMC0_DAT5		IO	1.8 V	オン / オフ / アッ プ	オン / SS / アップ		PU/PD	VDD5_MMC0		eMMCPHY	なし
AE1	MMC0_DAT6	MMC0_DAT6		IO	1.8 V	オン / オフ / アッ プ	オン / SS / アップ		PU/PD	VDD5_MMC0		eMMCPHY	なし
AG1	MMC0_DAT7	MMC0_DAT7		IO	1.8 V	オン / オフ / アッ プ	オン / SS / アップ		PU/PD	VDD5_MMC0		eMMCPHY	なし
M23	MMC1_DAT0 PADCFG: PADCONFIG_63 0x0011C0FC	MMC1_DAT0	0	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV5	あり	SDIO	なし
		UART7_RTSn	1	O									
		ECAP1_IN_APWM_OUT	2	IO									
		TIMER_IO5	3	IO									
		EHRPWM1_A	4	IO									
		UART4_TXD	5	O									
		GPIO0_63	7	IO									
		SPI1_D0	8	IO									
		UART5_RTSn	9	O									
		I2C4_SCL	10	IOD									
		UART2_TXD	11	O									
P24	MMC1_DAT1 PADCFG: PADCONFIG_62 0x0011C0F8	MMC1_DAT1	0	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV5	あり	SDIO	なし
		UART7_CTSn	1	I									
		ECAP0_IN_APWM_OUT	2	IO									
		TIMER_IO4	3	IO									
		EHRPWM1_B	4	IO									
		UART4_RXD	5	I									
		EHRPWM4_A	6	IO									
		GPIO0_62	7	IO									
		SPI1_CS2	8	IO									
		UART5_CTSn	9	I									
		I2C4_SDA	10	IOD									
		UART2_RXD	11	I									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
R24	MMC1_DAT2 PADCFG: PADCONFIG_61 0x0011C0F4	MMC1_DAT2	0	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV5	あり	SDIO	なし
		UART7_TXD	1	O									
		TIMER_IO3	3	IO									
		EHRPWM0_A	4	IO									
		GPIO0_61	7	IO									
		SPI1_CS1	8	IO									
		CPTS0_TS_SYNC	9	O									
		I2C3_SDA	10	IOD									
		UART5_TXD	11	O									
R22	MMC1_DAT3 PADCFG: PADCONFIG_60 0x0011C0F0	MMC1_DAT3	0	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV5	あり	SDIO	なし
		UART7_RXD	1	I									
		PCIE1_CLKREQn	2	IO									
		TIMER_IO2	3	IO									
		EHRPWM0_B	4	IO									
		EHRPWM3_A	6	IO									
		GPIO0_60	7	IO									
		SPI1_CS0	8	IO									
		UART0_CTSn	9	I									
		I2C3_SCL	10	IOD									
		UART5_RXD	11	I									
M28	OSC1_XI	OSC1_XI		I	1.8 V					VDDA_OSC1	あり	HFXOSC	
L28	OSC1_XO	OSC1_XO		O	1.8 V					VDDA_OSC1	あり	HFXOSC	
AH10	PCIE_REFCLK1_N_OUT	PCIE_REFCLK1_N_OUT		O	1.8 V					VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1		4L_PHY	
AH11	PCIE_REFCLK1_P_OUT	PCIE_REFCLK1_P_OUT		O	1.8 V					VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1		4L_PHY	
G26	PMIC_POWER_EN1	PMIC_POWER_EN1	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	あり
	PADCFG: WKUP_PADCONFIG_68 0x4301C110	MCU_I3C0_SDA PULLEN	5	OD									
		WKUP_GPIO0_88	7	IO									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
AD24	PMIC_WAKE0 PADCFG: PADCONFIG_13 0x0011C034	PMIC_WAKE0	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV2	あり	LVCMOS	なし
		MCASP4_AXR0	1	IO									
		DSS_FSYNC1	4	O									
		MCAN17_RX	5	I									
		GPMC0_WEn	6	O									
		GPIO0_13	7	IO									
		SPI6_CS0	8	IO									
		TRC_DATA0	10	O									
		UART9_RTSn	11	O									
		UART7_TXD	13	O									
		AUDIO_EXT_REFCLK0	14	IO									
K23	PORz PADCFG: WKUP_PADCONFIG_94 0x4301C178	PORz	0	I	1.8 V			0		VDDA_WKUP	あり	FS_RESET	なし
AF27	RESETSTATz PADCFG: PADCONFIG_67 0x0011C10C	RESETSTATz	0	O	1.8V/3.3V	オフ / Low / オフ	オフ / SS / オフ	0	PU/PD	VDDSHV0	あり	LVCMOS	なし
A24	RESET_REQz PADCFG: WKUP_PADCONFIG_93 0x4301C174	RESET_REQz	0	I	1.8V/3.3V	オン / オフ / アッ プ	オン / オフ / アッ プ	0	PU/PD	VDDSHV0_M CU	あり	LVCMOS	なし
AH4	SERDES0_REFCLK_N	SERDES0_REFCLK_N	0	IO	1.8 V					VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1		4L_PHY	
AH5	SERDES0_REFCLK_P	SERDES0_REFCLK_P	0	IO	1.8 V					VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1		4L_PHY	
AC10	SERDES0_REXT	SERDES0_REXT		I	1.8 V					VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1		4L_PHY	

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
AF9	SERDES0_RX0_N	PCIE1_RXN0	1	I	1.8 V					VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1		4L_PHY	
		USB0_SSRX1N	2	I									
		HYP_RXN0	4	I									
AF10	SERDES0_RX0_P	PCIE1_RXP0	1	I	1.8 V					VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1		4L_PHY	
		USB0_SSRX1P	2	I									
		HYP_RXP0	4	I									
AE8	SERDES0_RX1_N	PCIE1_RXN1	1	I	1.8 V					VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1		4L_PHY	
		USB0_SSRX2N	2	I									
		HYP_RXN1	4	I									
AE9	SERDES0_RX1_P	PCIE1_RXP1	1	I	1.8 V					VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1		4L_PHY	
		USB0_SSRX2P	2	I									
		HYP_RXP1	4	I									
AF6	SERDES0_RX2_N	PCIE1_RXN2	1	I	1.8 V					VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1		4L_PHY	
		USB0_SSRX1N	2	I									
		HYP_RXN2	4	I									
AF7	SERDES0_RX2_P	PCIE1_RXP2	1	I	1.8 V					VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1		4L_PHY	
		USB0_SSRX1P	2	I									
		HYP_RXP2	4	I									
AE5	SERDES0_RX3_N	PCIE1_RXN3	1	I	1.8 V					VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1		4L_PHY	
		USB0_SSRX2N	2	I									
		HYP_RXN3	4	I									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
AE6	SERDES0_RX3_P	PCIE1_RXP3	1	I	1.8 V					VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1		4L_PHY	
		USB0_SSRX2P	2	I									
		HYP_RXP3	4	I									
AH7	SERDES0_TX0_N	DP0_TXN0	0	O	1.8 V					VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1		4L_PHY	
		PCIE1_TXN0	1	O									
		USB0_SSTX1N	2	O									
		HYP_TXN0	4	O									
AH8	SERDES0_TX0_P	DP0_TXP0	0	O	1.8 V					VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1		4L_PHY	
		PCIE1_TXP0	1	O									
		USB0_SSTX1P	2	O									
		HYP_TXP0	4	O									
AG8	SERDES0_TX1_N	DP0_TXN1	0	O	1.8 V					VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1		4L_PHY	
		PCIE1_TXN1	1	O									
		USB0_SSTX2N	2	O									
		HYP_TXN1	4	O									
AG9	SERDES0_TX1_P	DP0_TXP1	0	O	1.8 V					VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1		4L_PHY	
		PCIE1_TXP1	1	O									
		USB0_SSTX2P	2	O									
		HYP_TXP1	4	O									
AG5	SERDES0_TX2_N	DP0_TXN2	0	O	1.8 V					VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1		4L_PHY	
		PCIE1_TXN2	1	O									
		USB0_SSTX1N	2	O									
		DP0_TXN0	3	O									
		HYP_TXN2	4	O									
AG6	SERDES0_TX2_P	DP0_TXP2	0	O	1.8 V					VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1		4L_PHY	
		PCIE1_TXP2	1	O									
		USB0_SSTX1P	2	O									
		DP0_TXP0	3	O									
		HYP_TXP2	4	O									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
AD7	SERDES0_TX3_N	DP0_TXN3	0	O	1.8 V					VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1		4L_PHY	
		PCIE1_TXN3	1	O									
		USB0_SSTX2N	2	O									
		DP0_TXN1	3	O									
		HYP_TXN3	4	O									
AD8	SERDES0_TX3_P	DP0_TXP3	0	O	1.8 V					VDDA_0P8_S ERDES0_1 / VDDA_0P8_S ERDES_C0_1 / VDDA_1P8_S ERDES0_1		4L_PHY	
		PCIE1_TXP3	1	O									
		USB0_SSTX2P	2	O									
		DP0_TXP1	3	O									
		HYP_TXP3	4	O									
AF25	SOC_SAFETY_ERRORn PADCFG: PADCONFIG_68 0x0011C110	SOC_SAFETY_ERRORn	0	IO	1.8V/3.3V	オフ / オフ / ダウ ン	オン / SS / ダウン	0	PU/PD	VDDSHV0	あり	LVC MOS	なし
AH27	SPI0_CLK PADCFG: PADCONFIG_53 0x0011C0D4	SPI0_CLK	0	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV0	あり	LVC MOS	なし
		UART1_CTSn	1	I									
		I2C2_SCL	2	IOD									
		MCASP3_AXR0	3	IO									
		EHRPWM2_A	5	IO									
		GPIO0_53	7	IO									
		UART8_TXD	11	O									
AE27	SPI0_CS0 PADCFG: PADCONFIG_51 0x0011C0CC	SPI0_CS0	0	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV0	あり	LVC MOS	なし
		MCASP3_ACLKX	3	IO									
		MCASP3_ACLKR	4	IO									
		EHRPWM0_A	5	IO									
		GPIO0_51	7	IO									
		MCAN14_TX	9	O									
AF26	SPI0_CS1 PADCFG: PADCONFIG_52 0x0011C0D0	SPI0_CS1	0	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV0	あり	LVC MOS	なし
		CPTS0_TS_COMP	1	O									
		UART0_RTSn	2	O									
		MCASP3_AFSX	3	IO									
		MCASP3_AFSR	4	IO									
		EHRPWM1_A	5	IO									
		GPIO0_52	7	IO									
		MCAN14_RX	9	I									
		UART8_RXD	11	I									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
AG26	SPI0_D0 PADCFG: PADCONFIG_54 0x0011C0D8	SPI0_D0	0	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV0	あり	LVCMOS	なし
		UART1_RTSn	1	O									
		I2C2_SDA	2	IOD									
		MCASP3_AXR1	3	IO									
		EHRPWM3_A	5	IO									
		GPIO0_54	7	IO									
		UART2_RXD	11	I									
AH26	SPI0_D1 PADCFG: PADCONFIG_55 0x0011C0DC	SPI0_D1	0	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV0	あり	LVCMOS	なし
		MCASP3_AXR2	3	IO									
		EHRPWM4_A	5	IO									
		GPIO0_55	7	IO									
		UART2_TXD	11	O									
A25	TCK PADCFG: WKUP_PADCONFIG_73 0x4301C124	TCK	0	I	1.8V/3.3V	オン / NA / アップ	オン / オフ / アッ プ	0	PU/PD	VDDSHV0_M CU	あり	LVCMOS	なし
AG28	TDI PADCFG: PADCONFIG_69 0x0011C114	TDI	0	I	1.8V/3.3V	オン / オフ / アッ プ	オン / オフ / アッ プ	0	PU/PD	VDDSHV0	あり	LVCMOS	なし
AE26	TDO PADCFG: PADCONFIG_70 0x0011C118	TDO	0	OZ	1.8V/3.3V	オフ / オフ / アッ プ	オフ / SS / アップ	0	PU/PD	VDDSHV0	あり	LVCMOS	なし
AE25	TIMER_IO0 PADCFG: PADCONFIG_58 0x0011C0E8	TIMER_IO0	0	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV0	あり	LVCMOS	なし
		ECAP1_IN_APWM_OUT	1	IO									
		SYSCLKOUT0	2	O									
		UART3_RXD	5	I									
		PCIE1_CLKREQn	6	IO									
		GPIO0_58	7	IO									
		MMC1_SDCD	8	I									
		MCAN13_TX	9	O									
		I2C6_SDA	13	IOD									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
AG25	TIMER_IO1 PADCFG: PADCONFIG_59 0x0011C0EC	TIMER_IO1	0	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV0	あり	LVCMOS	なし
		ECAP2_IN_APWM_OUT	1	IO									
		OBSCLK0	2	O									
		UART3_TXD	5	O									
		USB0_DRVVBUS	6	O									
		GPIO0_59	7	IO									
		MMC1_SDWP	8	I									
		MCAN13_RX	9	I									
		I2C6_SCL	13	IOD									
		OBSCLK0	15	O									
AG27	TMS PADCFG: PADCONFIG_71 0x0011C11C	TMS	0	I	1.8V/3.3V	オン / オフ / アッ プ	オン / オフ / アッ プ	0	PU/PD	VDDSHV0	あり	LVCMOS	なし
B28	TRSTn PADCFG: WKUP_PADCONFIG_74 0x4301C128	TRSTn	0	I	1.8V/3.3V	オン / NA / ダウ ン	オン / オフ / ダウ ン	0	PU/PD	VDDSHV0_M CU	あり	LVCMOS	なし
AG2	USB0_DM	USB0_DM		IO	3.3 V					VDDA_0P8_U SB / VDDA_1P8_U SB / VDDA_3P3_U SB		USB2PHY	
AH2	USB0_DP	USB0_DP		IO	3.3 V					VDDA_0P8_U SB / VDDA_1P8_U SB / VDDA_3P3_U SB		USB2PHY	
AC9	USB0_ID	USB0_ID		A	3.3 V					VDDA_0P8_U SB / VDDA_1P8_U SB / VDDA_3P3_U SB		USB2PHY	
AA6	USB0_RCALIB	USB0_RCALIB		A	3.3 V					VDDA_0P8_U SB / VDDA_1P8_U SB / VDDA_3P3_U SB		USB2PHY	

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
AA8	USB0_VBUS	USB0_VBUS		A	5.0 V					VDDA_0P8_U SB / VDDA_1P8_U SB / VDDA_3P3_U SB		DDR	
N17、V11、 V16、Y20	VDDAR_CORE	VDDAR_CORE		PWR									
H9、K14、 P11、P14、 V13	VDDAR_CPU	VDDAR_CPU		PWR									
K17、K19	VDDAR_MCU	VDDAR_MCU		PWR									
AB14	VDDA_0P8_DSITX	VDDA_0P8_DSITX		PWR									
AB15	VDDA_0P8_DSITX_C	VDDA_0P8_DSITX_C		PWR									
AB8	VDDA_0P8_USB	VDDA_0P8_USB		PWR									
AB17、AB18	VDDA_0P8_CSIRX0_1	VDDA_0P8_CSIRX0_1		PWR									
W7	VDDA_0P8_DLL_MMC0	VDDA_0P8_DLL_MMC0		PWR									
P10	VDDA_0P8_PLL_DDR0	VDDA_0P8_PLL_DDR0		PWR									
J14	VDDA_0P8_PLL_DDR1	VDDA_0P8_PLL_DDR1		PWR									
AB10、AB11	VDDA_0P8_SERDES0_1	VDDA_0P8_SERDES0_1		PWR									
AA10、AA11	VDDA_0P8_SERDES_C0_1	VDDA_0P8_SERDES_C0_1		PWR									
AA14、AA15	VDDA_1P8_DSITX	VDDA_1P8_DSITX		PWR									
AB7	VDDA_1P8_USB	VDDA_1P8_USB		PWR									
AA17、AA19	VDDA_1P8_CSIRX0_1	VDDA_1P8_CSIRX0_1		PWR									
AA12	VDDA_1P8_SERDES0_1	VDDA_1P8_SERDES0_1		PWR									
AB13	VDDA_1P8_SERDES2_4	VDDA_1P8_SERDES2_4		PWR									
AB9	VDDA_3P3_USB	VDDA_3P3_USB		PWR									
J21	VDDA_ADC0	VDDA_ADC0		PWR									
K21	VDDA_ADC1	VDDA_ADC1		PWR									
K22	VDDA_MCU_PLLGRP0	VDDA_MCU_PLLGRP0		PWR									
J17	VDDA_MCU_TEMP	VDDA_MCU_TEMP		PWR									
L21	VDDA_OSC1	VDDA_OSC1		PWR									
U18	VDDA_PLLGRP0	VDDA_PLLGRP0		PWR									
V19	VDDA_PLLGRP1	VDDA_PLLGRP1		PWR									
Y11	VDDA_PLLGRP2	VDDA_PLLGRP2		PWR									
N14	VDDA_PLLGRP5	VDDA_PLLGRP5		PWR									
R12	VDDA_PLLGRP6	VDDA_PLLGRP6		PWR									
R11	VDDA_PLLGRP7	VDDA_PLLGRP7		PWR									
K12	VDDA_PLLGRP8	VDDA_PLLGRP8		PWR									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール番号 [1]	ボール名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号名 [3]	多重化モード [4]	信号タイプ [5]	I/O 動作電圧 [6]	リセット時のボールの状態 (RX/TX/PULL) [7]	リセット後のボールの状態 (RX/TX/PULL) [8]	リセット後の多重化モード [9]	プルタイプ [10]	電源 [11]	ヒステリシス [12]	電圧バッファのタイプ [13]	IO RET [14]
T18	VDDA_PLLGRP9	VDDA_PLLGRP9		PWR									
Y16	VDDA_PLLGRP10	VDDA_PLLGRP10		PWR									
Y18	VDDA_PLLGRP12	VDDA_PLLGRP12		PWR									
V12	VDDA_PLLGRP13	VDDA_PLLGRP13		PWR									
L20	VDDA_POR_WKUP	VDDA_POR_WKUP		PWR									
U19	VDDA_TEMP0	VDDA_TEMP0		PWR									
K10	VDDA_TEMP1	VDDA_TEMP1		PWR									
T16	VDDA_TEMP2	VDDA_TEMP2		PWR									
U10	VDDA_TEMP3	VDDA_TEMP3		PWR									
Y14	VDDA_TEMP4	VDDA_TEMP4		PWR									
J22	VDDA_WKUP	VDDA_WKUP		PWR									
R21、U21、U22	VDDSHV0	VDDSHV0		PWR									
H19、H20	VDDSHV0_MCU	VDDSHV0_MCU		PWR									
H16、J16	VDDSHV1_MCU	VDDSHV1_MCU		PWR									
M20、R20	VDDSHV2	VDDSHV2		PWR									
G18、H18	VDDSHV2_MCU	VDDSHV2_MCU		PWR									
M21、N22	VDDSHV5	VDDSHV5		PWR									
A1、A18、AA1、G10、G12、G14、G6、H11、H13、H15、J6、L6、N6、N9、P7、P8、R6、U9	VDDS_DDR	VDDS_DDR		PWR									
R9	VDDS_DDR_C0	VDDS_DDR_C0		PWR									
J12	VDDS_DDR_C1	VDDS_DDR_C1		PWR									
Y7、Y8	VDDS_MMC0	VDDS_MMC0		PWR									
AA21、AB20、J13、J15、M16、M19、N10、P18、R17、R19、T10、T20、U15、U17、U8、V14、V18、V20、V7、V9、W10、W13、W15、W17、W19、W21、W8、Y12、Y22、Y9	VDD_CORE	VDD_CORE		PWR									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
G8, H7, J8, K11, K13, K7, K9, L8, M14, M7, M9, N11, N15, P16, R13, R15, T12, T14, U11, U13	VDD_CPU	VDD_CPU		PWR									
K16, K18, L15, L17, L19	VDD_MCU	VDD_MCU		PWR									
J19	VDD_MCU_WAKE1	VDD_MCU_WAKE1		PWR									
P20	VDD_WAKE0	VDD_WAKE0		PWR									
H23	VMON1_ER_VSYS	VMON1_ER_VSYS		A									
M18	VMON2_IR_VCPU	VMON2_IR_VCPU		A									
L22	VMON3_IR_VEXT1P8	VMON3_IR_VEXT1P8		A									
N19	VMON4_IR_VEXT1P8	VMON4_IR_VEXT1P8		A									
N20	VMON5_IR_VEXT3P3	VMON5_IR_VEXT3P3		A									
L18	VMON6_IR_VEXT0P8	VMON6_IR_VEXT0P8		A									
V22	VPP_CORE	VPP_CORE		PWR									
H22	VPP_MCU	VPP_MCU		PWR									
D26	WKUP_GPIO0_0 PADCFG: WKUP_PADCONFIG_48 0x4301C0C0	MCU_SPI1_CLK	0	IO	1.8V/3.3V	オン / オフ / オフ	オン / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	あり
		MCU_SPI1_CLK	1	IO									
		WKUP_GPIO0_0	7	IO									
		MCU_BOOTMODE03	ブートスト ラップ	I									
E24	WKUP_GPIO0_1 PADCFG: WKUP_PADCONFIG_49 0x4301C0C4	MCU_SPI1_D0	0	IO	1.8V/3.3V	オン / オフ / オフ	オン / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	あり
		MCU_SPI1_D0	1	IO									
		WKUP_GPIO0_1	7	IO									
		MCU_BOOTMODE04	ブートスト ラップ	I									
C28	WKUP_GPIO0_2 PADCFG: WKUP_PADCONFIG_50 0x4301C0C8	MCU_SPI1_D1	0	IO	1.8V/3.3V	オン / オフ / オフ	オン / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	あり
		MCU_SPI1_D1	1	IO									
		WKUP_GPIO0_2	7	IO									
		MCU_BOOTMODE05	ブートスト ラップ	I									
C27	WKUP_GPIO0_3 PADCFG: WKUP_PADCONFIG_51 0x4301C0CC	MCU_SPI1_CS0	0	IO	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	あり
		MCU_SPI1_CS0	1	IO									
		WKUP_GPIO0_3	7	IO									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
C23	WKUP_GPIO0_4 PADCFG: WKUP_PADCONFIG_52 0x4301C0D0	MCU_MCAN1_TX	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	あり
		MCU_MCAN1_TX	1	O									
		MCU_SPI0_CS3	2	IO									
		MCU_ADC_EXT_TRIGGER0	3	I									
		WKUP_GPIO0_4	7	IO									
F26	WKUP_GPIO0_5 PADCFG: WKUP_PADCONFIG_53 0x4301C0D4	MCU_MCAN1_RX	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	あり
		MCU_MCAN1_RX	1	I									
		MCU_SPI1_CS3	2	IO									
		MCU_ADC_EXT_TRIGGER1	3	I									
		WKUP_GPIO0_5	7	IO									
E25	WKUP_GPIO0_6 PADCFG: WKUP_PADCONFIG_54 0x4301C0D8	WKUP_UART0_CTSn	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	あり
		WKUP_UART0_CTSn	1	I									
		MCU_CPTS0_HW1TSPUSH	2	I									
		MCU_I2C1_SCL	3	IOD									
		WKUP_GPIO0_6	7	IO									
F28	WKUP_GPIO0_7 PADCFG: WKUP_PADCONFIG_55 0x4301C0DC	WKUP_UART0_RTSn	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	あり
		WKUP_UART0_RTSn	1	O									
		MCU_CPTS0_HW2TSPUSH	2	I									
		MCU_I2C1_SDA	3	IOD									
		WKUP_GPIO0_7	7	IO									
F24	WKUP_GPIO0_8 PADCFG: WKUP_PADCONFIG_56 0x4301C0E0	MCU_I2C1_SCL	0	IOD	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	あり
		MCU_I2C1_SCL	1	IOD									
		MCU_CPTS0_TS_SYNC	2	O									
		MCU_I3C0_SCL	3	IO									
		MCU_TIMER_I06	4	IO									
		WKUP_GPIO0_8	7	IO									
H26	WKUP_GPIO0_9 PADCFG: WKUP_PADCONFIG_57 0x4301C0E4	MCU_I2C1_SDA	0	IOD	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	あり
		MCU_I2C1_SDA	1	IOD									
		MCU_CPTS0_TS_COMP	2	O									
		MCU_I3C0_SDA	3	IO									
		MCU_TIMER_I07	4	IO									
		WKUP_GPIO0_9	7	IO									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
F27	WKUP_GPIO0_10 PADCFG: WKUP_PADCONFIG_58 0x4301C0E8	MCU_EXT_REFCLK0	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	あり
		MCU_EXT_REFCLK0	1	I									
		MCU_UART0_TXD	2	O									
		MCU_ADC_EXT_TRIGGER0	3	I									
		MCU_CPTS0_RFT_CLK	4	I									
		MCU_SYSCLKOUT0	5	O									
		WKUP_GPIO0_10	7	IO									
F25	WKUP_GPIO0_11 PADCFG: WKUP_PADCONFIG_59 0x4301C0EC	MCU_OBSCCLK0	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	あり
		MCU_OBSCCLK0	1	O									
		MCU_UART0_RXD	2	I									
		MCU_ADC_EXT_TRIGGER1	3	I									
		MCU_TIMER_IO1	4	IO									
		MCU_I3C0_SDAPULLEN	5	OD									
		MCU_CLKOUT0	6	OZ									
C25	WKUP_GPIO0_12 PADCFG: WKUP_PADCONFIG_60 0x4301C0F0	MCU_UART0_TXD	0	O	1.8V/3.3V	オン / オフ / オフ	オン / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	あり
		MCU_SPI0_CS1	1	IO									
		WKUP_GPIO0_12	7	IO									
		MCU_BOOTMODE08	ブートスト ラップ	I									
C24	WKUP_GPIO0_13 PADCFG: WKUP_PADCONFIG_61 0x4301C0F4	MCU_UART0_RXD	0	I	1.8V/3.3V	オン / オフ / オフ	オン / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	あり
		MCU_SPI1_CS1	1	IO									
		WKUP_GPIO0_13	7	IO									
		MCU_BOOTMODE09	ブートスト ラップ	I									
B24	WKUP_GPIO0_14 PADCFG: WKUP_PADCONFIG_62 0x4301C0F8	MCU_UART0_CTSn	0	I	1.8V/3.3V	オン / オフ / オフ	オン / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	あり
		MCU_SPI0_CS2	1	IO									
		MCU_TIMER_IO8	4	IO									
		WKUP_GPIO0_14	7	IO									
		MCU_BOOTMODE06	ブートスト ラップ	I									
D25	WKUP_GPIO0_15 PADCFG: WKUP_PADCONFIG_63 0x4301C0FC	MCU_UART0_RTSn	0	O	1.8V/3.3V	オン / オフ / オフ	オン / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	あり
		MCU_SPI1_CS2	1	IO									
		MCU_TIMER_IO9	4	IO									
		WKUP_GPIO0_15	7	IO									
		MCU_BOOTMODE07	ブートスト ラップ	I									

TDA4VE-Q1, TDA4AL-Q1, TDA4VL-Q1

JAJSPJ8B – DECEMBER 2022 – REVISED DECEMBER 2024

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
K26	WKUP_GPIO0_49 PADCFG: WKUP_PADCONFIG_100 0x4301C190	PMIC_WAKE1	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	なし
		MCU_EXT_REFCLK0	1	I									
		MCU_CPTS0_RFT_CLK	2	I									
		WKUP_GPIO0_49	7	IO									
G27	WKUP_GPIO0_56 PADCFG: WKUP_PADCONFIG_72 0x4301C120	MCU_TIMER_I06	4	IO	1.8V/3.3V	オン / オフ / オフ	オン / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	なし
		WKUP_GPIO0_56	7	IO									
		BOOTMODE04	ブートスト ラップ	I									
J26	WKUP_GPIO0_57 PADCFG: WKUP_PADCONFIG_95 0x4301C17C	MCU_TIMER_I07	4	IO	1.8V/3.3V	オン / オフ / オフ	オン / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	なし
		WKUP_GPIO0_57	7	IO									
		BOOTMODE05	ブートスト ラップ	I									
G25	WKUP_GPIO0_66 PADCFG: WKUP_PADCONFIG_96 0x4301C180	WKUP_GPIO0_66	7	IO	1.8V/3.3V	オン / オフ / オフ	オン / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	あり
		BOOTMODE06	ブートスト ラップ	I									
J27	WKUP_GPIO0_67 PADCFG: WKUP_PADCONFIG_97 0x4301C184	WKUP_LF_CLKIN	1	I	1.8V/3.3V	オン / オフ / オフ	オン / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	あり
		WKUP_GPIO0_67	7	IO									
		BOOTMODE07	ブートスト ラップ	I									
H24	WKUP_I2C0_SCL PADCFG: WKUP_PADCONFIG_64 0x4301C100	WKUP_I2C0_SCL	0	IOD	1.8V/3.3V	オフ / オフ / オフ	オン / SS / オフ	0		VDDSHV0_M CU	あり	I2C オープンド レイン	あり
		WKUP_GPIO0_63	7	IO									
H27	WKUP_I2C0_SDA PADCFG: WKUP_PADCONFIG_65 0x4301C104	WKUP_I2C0_SDA	0	IOD	1.8V/3.3V	オフ / オフ / オフ	オン / SS / オフ	0		VDDSHV0_M CU	あり	I2C オープンド レイン	あり
		WKUP_GPIO0_64	7	IO									
H28	WKUP_OSC0_XI	WKUP_OSC0_XI		I	1.8 V					VDDA_WKUP	あり	HFXOSC	なし
J28	WKUP_OSC0_XO	WKUP_OSC0_XO		O	1.8 V					VDDA_WKUP	あり	HFXOSC	なし
D28	WKUP_UART0_RXD PADCFG: WKUP_PADCONFIG_44 0x4301C0B0	WKUP_UART0_RXD	0	I	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	あり
		WKUP_GPIO0_58	7	IO									
D27	WKUP_UART0_TXD PADCFG: WKUP_PADCONFIG_45 0x4301C0B4	WKUP_UART0_TXD	0	O	1.8V/3.3V	オフ / オフ / オフ	オフ / オフ / オフ	7	PU/PD	VDDSHV0_M CU	あり	LVCMOS	あり
		WKUP_GPIO0_59	7	IO									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
A14, A5, AA13, AA16, AA18, AA20, AA22, AA3, AA5, AA7, AA9, AB12, AB16, AB19, AB2, AB21, AB23, AB4, AB6, AC11, AC22, AC26, AC3, AC5, AC7, AC8, AD15, AD18, AD21, AD6, AD9, AE10, AE14, AE17, AE20, AE23, AE4, AE7, AF12, AF15, AF18, AF21, AF24, AF5, AF8, AG10, AG14, AG17, AG20, AG23, AG4, AG7, AH1, AH12, AH15, AH18, AH21, AH24, AH3, AH6, AH9, B11, B13, B15, B17, B2, B23, B4, B6, B8, C1, C12, C14, C16, C18, C3, C5, C7, D11, D13, D15, D17, D2, D4, D6, D8, E1, E12, E14, E16, E26, E3, E5, E7, F2, F4, F6, G13, G28, G3, G5, G7, G9, H10, H12, H14, H2, H21, H4, H6, H8, J1, J11, J18, J24, J3, J5,	VSS	VSS		GND									

表 5-1. ピン属性 (ALZ パッケージ) (続き)

ボール 番号 [1]	ボール 名 [2] PADCFG レジスタ [15] PADCFG アドレス [16]	信号 名 [3]	多重化 モード [4]	信号 タイプ [5]	I/O 動作 電圧 [6]	リセット 時のボール の状態 (RX/TX/PULL) [7]	リセット 後のボール の状態 (RX/TX/PULL) [8]	リセット後 の 多重化 モード [9]	プル タイプ [10]	電源 [11]	ヒステリ シス [12]	電圧 バッファの タイプ [13]	IO RET [14]
J7, J9, K15, K2, K20, K27, K4, K6, K8, L14, L16, L3, L5, L7, L9, M15, M17, M2, M25, M4, M6, M8, N1, N16, N18, N21, N23, N3, N7, P15, P17, P19, P22, P6													
P9, R10, R14, R16, R18, R23, R26, R7, T11, T13, T15, T17, T19, T2, T22, T4, T6, T9, U12, U14, U16, U20, U23, U3, U5, U7, V10, V15, V17, V2, V21, V24, V4, V6, V8, W1, W11, W12, W14, W16, W18, W20, W22, W26, W3, W6, W9, Y10, Y13, Y15, Y17, Y19, Y2, Y21, Y23, Y4, Y6	VSS (続き)	VSS		GND									

5.3 信号の説明

1. 信号名: ピンを通過する信号の名前。

注

各「信号の説明」表に記載されている信号名と説明は、ピンに実装され、PADCONFIG レジスタで選択されるピン多重化信号機能を表しています。デバイス サブシステムで信号機能の 2 次多重化が可能な場合がありますが、それらについてはこの表には記載されていません。2 次多重化信号機能の詳細については、デバイスのテクニカル リファレンス マニュアルで該当するペリフェラルの章を参照してください。

2. ピンの種類: 信号の方向と種類:

- I = 入力
- O = 出力
- OD = 出力、オープンドレイン出力機能付き
- IO = 入力、出力、または同時に入力と出力
- IOD = 入力、出力、または同時に入力と出力、オープンドレイン出力機能付き
- IOZ = 入力、出力、または同時に入力と出力、3 ステート出力機能付き
- OZ = 出力、3 ステート出力機能付き
- A = アナログ
- PWR = 電源
- GND = グランド
- CAP = LDO コンデンサ

3. 説明: 信号の説明

4. ボール: 信号に関連付けられているボール番号

IO セル構成の詳細については、デバイスのテクニカル リファレンス マニュアルで「デバイス構成」の章にある「パッド構成レジスタ」セクションを参照してください。

5.3.1 ADC

5.3.1.1 MCU ドメイン

表 5-2. MCU_ADC 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCU_ADC_EXT_TRIGGER0	I	ADC トリガ入力	C23、E22、F27
MCU_ADC_EXT_TRIGGER1	I	ADC トリガ入力	E21、F25、F26

表 5-3. MCU_ADC0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCU_ADC0_AIN0	A	ADC 入力 0	L25
MCU_ADC0_AIN1	A	ADC 入力 1	K25
MCU_ADC0_AIN2	A	ADC 入力 2	M24
MCU_ADC0_AIN3	A	ADC 入力 3	L24
MCU_ADC0_AIN4	A	ADC 入力 4	L27
MCU_ADC0_AIN5	A	ADC 入力 5	K24
MCU_ADC0_AIN6	A	ADC 入力 6	M27
MCU_ADC0_AIN7	A	ADC 入力 7	M26

表 5-4. MCU_ADC1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCU_ADC1_AIN0	A	ADC 入力 0	P25
MCU_ADC1_AIN1	A	ADC 入力 1	R25
MCU_ADC1_AIN2	A	ADC 入力 2	P28
MCU_ADC1_AIN3	A	ADC 入力 3	P27
MCU_ADC1_AIN4	A	ADC 入力 4	N25
MCU_ADC1_AIN5	A	ADC 入力 5	P26
MCU_ADC1_AIN6	A	ADC 入力 6	N26
MCU_ADC1_AIN7	A	ADC 入力 7	N27

5.3.2 DDRSS

5.3.2.1 メイン ドメイン

表 5-5. DDRSS0 信号の説明

信号名 [1] (2)	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
DDR0_CKN	IO	DDRSS 差動クロック (負)	R1
DDR0_CKP	IO	DDRSS 差動クロック (正)	P1
DDR0_RESETn	IO	DDRSS のリセット	R5
DDR0_RET	I	DDR 保持イネーブル	T8
DDR0_CA0	IO	DDRSS コマンド アドレス	P3
DDR0_CA1	IO	DDRSS コマンド アドレス	P5
DDR0_CA2	IO	DDRSS コマンド アドレス	N5
DDR0_CA3	IO	DDRSS コマンド アドレス	P2
DDR0_CA4	IO	DDRSS コマンド アドレス	P4
DDR0_CA5	IO	DDRSS コマンド アドレス	R3
DDR0_CAL0 (1)	A	IO パッド較正抵抗	R8
DDR0_CKE0	IO	DDRSS クロック イネーブル	R2
DDR0_CKE1	IO	DDRSS クロック イネーブル	R4
DDR0_CSn0_0	IO	DDRSS チップ セレクト	V5
DDR0_CSn0_1	IO	DDRSS チップ セレクト	W5
DDR0_CSn1_0	IO	DDRSS チップ セレクト	T5
DDR0_CSn1_1	IO	DDRSS チップ セレクト	U6
DDR0_DM0	IO	DDRSS データ マスク	H5
DDR0_DM1	IO	DDRSS データ マスク	M3
DDR0_DM2	IO	DDRSS データ マスク	U4
DDR0_DM3	IO	DDRSS データ マスク	AD1
DDR0_DQ0	IO	DDRSS データ	F3
DDR0_DQ1	IO	DDRSS データ	G4
DDR0_DQ2	IO	DDRSS データ	F5
DDR0_DQ3	IO	DDRSS データ	F1
DDR0_DQ4	IO	DDRSS データ	J4
DDR0_DQ5	IO	DDRSS データ	H3
DDR0_DQ6	IO	DDRSS データ	J2
DDR0_DQ7	IO	DDRSS データ	G2

表 5-5. DDRSS0 信号の説明 (続き)

信号名 [1] ⁽²⁾	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
DDR0_DQ8	IO	DDRSS データ	K5
DDR0_DQ9	IO	DDRSS データ	M5
DDR0_DQ10	IO	DDRSS データ	K3
DDR0_DQ11	IO	DDRSS データ	K1
DDR0_DQ12	IO	DDRSS データ	N4
DDR0_DQ13	IO	DDRSS データ	N2
DDR0_DQ14	IO	DDRSS データ	L4
DDR0_DQ15	IO	DDRSS データ	L2
DDR0_DQ16	IO	DDRSS データ	T1
DDR0_DQ17	IO	DDRSS データ	T3
DDR0_DQ18	IO	DDRSS データ	V3
DDR0_DQ19	IO	DDRSS データ	U2
DDR0_DQ20	IO	DDRSS データ	W2
DDR0_DQ21	IO	DDRSS データ	W4
DDR0_DQ22	IO	DDRSS データ	Y1
DDR0_DQ23	IO	DDRSS データ	Y3
DDR0_DQ24	IO	DDRSS データ	AB3
DDR0_DQ25	IO	DDRSS データ	AA2
DDR0_DQ26	IO	DDRSS データ	AA4
DDR0_DQ27	IO	DDRSS データ	Y5
DDR0_DQ28	IO	DDRSS データ	AC2
DDR0_DQ29	IO	DDRSS データ	AB5
DDR0_DQ30	IO	DDRSS データ	AD2
DDR0_DQ31	IO	DDRSS データ	AC4
DDR0_QS0N	IO	DDRSS 相補データ ストローブ	H1
DDR0_QS0P	IO	DDRSS データ ストローブ	G1
DDR0_QS1N	IO	DDRSS 相補データ ストローブ	M1
DDR0_QS1P	IO	DDRSS データ ストローブ	L1
DDR0_QS2N	IO	DDRSS 相補データ ストローブ	U1
DDR0_QS2P	IO	DDRSS データ ストローブ	V1
DDR0_QS3N	IO	DDRSS 相補データ ストローブ	AC1
DDR0_QS3P	IO	DDRSS データ ストローブ	AB1

- (1) このピンと VSS との間に $240\Omega \pm 1\%$ の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。
- (2) DDRSS0 と DDRSS1 は常に増分の順序で使用する必要があります。たとえば、単一の LPDDR 部品を使用する場合は、DDR0_* インターフェイスに接続する必要があります。2 つの LPDDR 部品を使用する場合は、DDR0_* および DDR1_* インターフェイスに接続する必要があります。

表 5-6. DDRSS1 信号の説明

信号名 [1] ⁽²⁾	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
DDR1_CKN	IO	DDRSS 差動クロック (負)	A9
DDR1_CKP	IO	DDRSS 差動クロック (正)	A10
DDR1_RESETn	IO	DDRSS のリセット	F12
DDR1_RET	I	DDR 保持イネーブル	J10
DDR1_CA0	IO	DDRSS コマンド アドレス	C10

表 5-6. DDRSS1 信号の説明 (続き)

信号名 [1] ⁽²⁾	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
DDR1_CA1	IO	DDRSS コマンド アドレス	E10
DDR1_CA2	IO	DDRSS コマンド アドレス	E9
DDR1_CA3	IO	DDRSS コマンド アドレス	B10
DDR1_CA4	IO	DDRSS コマンド アドレス	D10
DDR1_CA5	IO	DDRSS コマンド アドレス	C9
DDR1_CAL0 ⁽¹⁾	A	IO パッド較正抵抗	E8
DDR1_CKE0	IO	DDRSS クロック イネーブル	B9
DDR1_CKE1	IO	DDRSS クロック イネーブル	D9
DDR1_CSn0_0	IO	DDRSS チップ セレクト	F9
DDR1_CSn0_1	IO	DDRSS チップ セレクト	F8
DDR1_CSn1_0	IO	DDRSS チップ セレクト	F11
DDR1_CSn1_1	IO	DDRSS チップ セレクト	F10
DDR1_DM0	IO	DDRSS データ マスク	D16
DDR1_DM1	IO	DDRSS データ マスク	E13
DDR1_DM2	IO	DDRSS データ マスク	F7
DDR1_DM3	IO	DDRSS データ マスク	B3
DDR1_DQ0	IO	DDRSS データ	B18
DDR1_DQ1	IO	DDRSS データ	E17
DDR1_DQ2	IO	DDRSS データ	D18
DDR1_DQ3	IO	DDRSS データ	A17
DDR1_DQ4	IO	DDRSS データ	E15
DDR1_DQ5	IO	DDRSS データ	B16
DDR1_DQ6	IO	DDRSS データ	C15
DDR1_DQ7	IO	DDRSS データ	C17
DDR1_DQ8	IO	DDRSS データ	B14
DDR1_DQ9	IO	DDRSS データ	D14
DDR1_DQ10	IO	DDRSS データ	C13
DDR1_DQ11	IO	DDRSS データ	C11
DDR1_DQ12	IO	DDRSS データ	E11
DDR1_DQ13	IO	DDRSS データ	A11
DDR1_DQ14	IO	DDRSS データ	B12
DDR1_DQ15	IO	DDRSS データ	D12
DDR1_DQ16	IO	DDRSS データ	B7
DDR1_DQ17	IO	DDRSS データ	D7
DDR1_DQ18	IO	DDRSS データ	C8
DDR1_DQ19	IO	DDRSS データ	A8
DDR1_DQ20	IO	DDRSS データ	C6
DDR1_DQ21	IO	DDRSS データ	E6
DDR1_DQ22	IO	DDRSS データ	B5
DDR1_DQ23	IO	DDRSS データ	D5
DDR1_DQ24	IO	DDRSS データ	B1
DDR1_DQ25	IO	DDRSS データ	A4

表 5-6. DDRSS1 信号の説明 (続き)

信号名 [1] ⁽²⁾	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
DDR1_DQ26	IO	DDRSS データ	C4
DDR1_DQ27	IO	DDRSS データ	E4
DDR1_DQ28	IO	DDRSS データ	D1
DDR1_DQ29	IO	DDRSS データ	D3
DDR1_DQ30	IO	DDRSS データ	C2
DDR1_DQ31	IO	DDRSS データ	E2
DDR1_DQS0N	IO	DDRSS 相補データ ストローブ	A15
DDR1_DQS0P	IO	DDRSS データ ストローブ	A16
DDR1_DQS1N	IO	DDRSS 相補データ ストローブ	A12
DDR1_DQS1P	IO	DDRSS データ ストローブ	A13
DDR1_DQS2N	IO	DDRSS 相補データ ストローブ	A7
DDR1_DQS2P	IO	DDRSS データ ストローブ	A6
DDR1_DQS3N	IO	DDRSS 相補データ ストローブ	A2
DDR1_DQS3P	IO	DDRSS データ ストローブ	A3

- (1) このピンと VSS との間に $240\Omega \pm 1\%$ の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。
(2) DDRSS0 と DDRSS1 は常に増分の順序で使用する必要があります。たとえば、単一の LPDDR 部品を使用する場合は、DDR0_* インターフェイスに接続する必要があります。2 つの LPDDR 部品を使用する場合は、DDR0_* および DDR1_* インターフェイスに接続する必要があります。

5.3.3 GPIO

5.3.3.1 メイン ドメイン

表 5-7. GPIO0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
GPIO0_0	IO	汎用入出力	AG24
GPIO0_1	IO	汎用入出力	W25
GPIO0_2	IO	汎用入出力	AC24
GPIO0_3	IO	汎用入出力	AE28
GPIO0_4	IO	汎用入出力	AF28
GPIO0_5	IO	汎用入出力	AD25
GPIO0_6	IO	汎用入出力	W23
GPIO0_7	IO	汎用入出力	Y24
GPIO0_8	IO	汎用入出力	AA23
GPIO0_9	IO	汎用入出力	Y28
GPIO0_10	IO	汎用入出力	AB24
GPIO0_11	IO	汎用入出力	V23
GPIO0_12	IO	汎用入出力	T26
GPIO0_13	IO	汎用入出力	AD24
GPIO0_14	IO	汎用入出力	AB28
GPIO0_15	IO	汎用入出力	U27
GPIO0_16	IO	汎用入出力	AC28
GPIO0_17	IO	汎用入出力	Y26
GPIO0_18	IO	汎用入出力	AB27
GPIO0_19	IO	汎用入出力	V27
GPIO0_20	IO	汎用入出力	W27
GPIO0_21	IO	汎用入出力	Y27

表 5-7. GPIO0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
GPIO0_22	IO	汎用入出力	AA27
GPIO0_23	IO	汎用入出力	AA26
GPIO0_24	IO	汎用入出力	AC27
GPIO0_25	IO	汎用入出力	W28
GPIO0_26	IO	汎用入出力	U28
GPIO0_27	IO	汎用入出力	V26
GPIO0_28	IO	汎用入出力	R27
GPIO0_29	IO	汎用入出力	R28
GPIO0_30	IO	汎用入出力	Y25
GPIO0_31	IO	汎用入出力	T27
GPIO0_32	IO	汎用入出力	U26
GPIO0_33	IO	汎用入出力	AA28
GPIO0_34	IO	汎用入出力	AD27
GPIO0_35	IO	汎用入出力	T25
GPIO0_36	IO	汎用入出力	W24
GPIO0_37	IO	汎用入出力	AA25
GPIO0_38	IO	汎用入出力	V25
GPIO0_39	IO	汎用入出力	T24
GPIO0_40	IO	汎用入出力	AB25
GPIO0_41	IO	汎用入出力	T23
GPIO0_42	IO	汎用入出力	U24
GPIO0_43	IO	汎用入出力	AC25
GPIO0_44	IO	汎用入出力	AD26
GPIO0_45	IO	汎用入出力	U25
GPIO0_46	IO	汎用入出力	AA24
GPIO0_47	IO	汎用入出力	V28
GPIO0_48	IO	汎用入出力	T28
GPIO0_49	IO	汎用入出力	AB26
GPIO0_50	IO	汎用入出力	AD28
GPIO0_51	IO	汎用入出力	AE27
GPIO0_52	IO	汎用入出力	AF26
GPIO0_53	IO	汎用入出力	AH27
GPIO0_54	IO	汎用入出力	AG26
GPIO0_55	IO	汎用入出力	AH26
GPIO0_56	IO	汎用入出力	AH25
GPIO0_57	IO	汎用入出力	AE24
GPIO0_58	IO	汎用入出力	AE25
GPIO0_59	IO	汎用入出力	AG25
GPIO0_60	IO	汎用入出力	R22
GPIO0_61	IO	汎用入出力	R24
GPIO0_62	IO	汎用入出力	P24
GPIO0_63	IO	汎用入出力	M23
GPIO0_64	IO	汎用入出力	P23
GPIO0_65	IO	汎用入出力	N24

5.3.3.2 WKUP ドメイン

表 5-8. WKUP_GPIO0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
WKUP_GPIO0_0	IO	汎用入出力	D26
WKUP_GPIO0_1	IO	汎用入出力	E24
WKUP_GPIO0_2	IO	汎用入出力	C28
WKUP_GPIO0_3	IO	汎用入出力	C27
WKUP_GPIO0_4	IO	汎用入出力	C23
WKUP_GPIO0_5	IO	汎用入出力	F26
WKUP_GPIO0_6	IO	汎用入出力	E25
WKUP_GPIO0_7	IO	汎用入出力	F28
WKUP_GPIO0_8	IO	汎用入出力	F24
WKUP_GPIO0_9	IO	汎用入出力	H26
WKUP_GPIO0_10	IO	汎用入出力	F27
WKUP_GPIO0_11	IO	汎用入出力	F25
WKUP_GPIO0_12	IO	汎用入出力	C25
WKUP_GPIO0_13	IO	汎用入出力	C24
WKUP_GPIO0_14	IO	汎用入出力	B24
WKUP_GPIO0_15	IO	汎用入出力	D25
WKUP_GPIO0_16	IO	汎用入出力	D19
WKUP_GPIO0_17	IO	汎用入出力	E20
WKUP_GPIO0_18	IO	汎用入出力	E18
WKUP_GPIO0_19	IO	汎用入出力	C19
WKUP_GPIO0_20	IO	汎用入出力	F16
WKUP_GPIO0_21	IO	汎用入出力	G15
WKUP_GPIO0_22	IO	汎用入出力	F18
WKUP_GPIO0_23	IO	汎用入出力	E19
WKUP_GPIO0_24	IO	汎用入出力	G19
WKUP_GPIO0_25	IO	汎用入出力	F19
WKUP_GPIO0_26	IO	汎用入出力	F20
WKUP_GPIO0_27	IO	汎用入出力	F15
WKUP_GPIO0_28	IO	汎用入出力	G17
WKUP_GPIO0_29	IO	汎用入出力	F14
WKUP_GPIO0_30	IO	汎用入出力	F17
WKUP_GPIO0_31	IO	汎用入出力	A19
WKUP_GPIO0_32	IO	汎用入出力	B20
WKUP_GPIO0_33	IO	汎用入出力	B19
WKUP_GPIO0_34	IO	汎用入出力	D21
WKUP_GPIO0_35	IO	汎用入出力	G20
WKUP_GPIO0_36	IO	汎用入出力	C20
WKUP_GPIO0_37	IO	汎用入出力	A20
WKUP_GPIO0_38	IO	汎用入出力	D20
WKUP_GPIO0_39	IO	汎用入出力	C21
WKUP_GPIO0_40	IO	汎用入出力	F22
WKUP_GPIO0_41	IO	汎用入出力	E23
WKUP_GPIO0_42	IO	汎用入出力	E22

表 5-8. WKUP_GPIO0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
WKUP_GPIO0_43	IO	汎用入出力	E21
WKUP_GPIO0_44	IO	汎用入出力	G22
WKUP_GPIO0_45	IO	汎用入出力	F23
WKUP_GPIO0_46	IO	汎用入出力	F21
WKUP_GPIO0_47	IO	汎用入出力	D22
WKUP_GPIO0_48	IO	汎用入出力	D23
WKUP_GPIO0_49	IO	汎用入出力	K26
WKUP_GPIO0_50	IO	汎用入出力	B21
WKUP_GPIO0_51	IO	汎用入出力	B22
WKUP_GPIO0_52	IO	汎用入出力	A22
WKUP_GPIO0_53	IO	汎用入出力	A21
WKUP_GPIO0_54	IO	汎用入出力	B27
WKUP_GPIO0_55	IO	汎用入出力	D24
WKUP_GPIO0_56	IO	汎用入出力	G27
WKUP_GPIO0_57	IO	汎用入出力	J26
WKUP_GPIO0_58	IO	汎用入出力	D28
WKUP_GPIO0_59	IO	汎用入出力	D27
WKUP_GPIO0_60	IO	汎用入出力	E27
WKUP_GPIO0_61	IO	汎用入出力	E28
WKUP_GPIO0_62	IO	汎用入出力	C22
WKUP_GPIO0_63	IO	汎用入出力	H24
WKUP_GPIO0_64	IO	汎用入出力	H27
WKUP_GPIO0_65	IO	汎用入出力	G24
WKUP_GPIO0_66	IO	汎用入出力	G25
WKUP_GPIO0_67	IO	汎用入出力	J27
WKUP_GPIO0_68	IO	汎用入出力	A23
WKUP_GPIO0_69	IO	汎用入出力	B25
WKUP_GPIO0_70	IO	汎用入出力	B26
WKUP_GPIO0_71	I	汎用入出力	L25
WKUP_GPIO0_72	I	汎用入出力	K25
WKUP_GPIO0_73	I	汎用入出力	M24
WKUP_GPIO0_74	I	汎用入出力	L24
WKUP_GPIO0_75	I	汎用入出力	L27
WKUP_GPIO0_76	I	汎用入出力	K24
WKUP_GPIO0_77	I	汎用入出力	M27
WKUP_GPIO0_78	I	汎用入出力	M26
WKUP_GPIO0_79	I	汎用入出力	P25
WKUP_GPIO0_80	I	汎用入出力	R25
WKUP_GPIO0_81	I	汎用入出力	P28
WKUP_GPIO0_82	I	汎用入出力	P27
WKUP_GPIO0_83	I	汎用入出力	N25
WKUP_GPIO0_84	I	汎用入出力	P26
WKUP_GPIO0_85	I	汎用入出力	N26
WKUP_GPIO0_86	I	汎用入出力	N27
WKUP_GPIO0_87	IO	汎用入出力	J25

表 5-8. WKUP_GPIO0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
WKUP_GPIO0_88	IO	汎用入出力	G26

5.3.4 I2C

5.3.4.1 メイン ドメイン

表 5-9. I2C0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
I2C0_SCL	IOD	I2C クロック	AH25
I2C0_SDA	IOD	I2C データ	AE24

表 5-10. I2C1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
I2C1_SCL	IOD	I2C クロック	AA23、AB26、AC25
I2C1_SDA	IOD	I2C データ	AD26、AD28、Y28

表 5-11. I2C2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
I2C2_SCL	IOD	I2C クロック	AH27、V27
I2C2_SDA	IOD	I2C データ	AG26、W27

表 5-12. I2C3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
I2C3_SCL	IOD	I2C クロック	R22、W28
I2C3_SDA	IOD	I2C データ	AC27、R24

表 5-13. I2C4 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
I2C4_SCL	IOD	I2C クロック	AA28、AD25、M23
I2C4_SDA	IOD	I2C データ	AF28、P24、U26

表 5-14. I2C5 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
I2C5_SCL	IOD	I2C クロック	R28、Y24
I2C5_SDA	IOD	I2C データ	W23、Y25

表 5-15. I2C6 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
I2C6_SCL	IOD	I2C クロック	AG25、N24
I2C6_SDA	IOD	I2C データ	AE25、P23

5.3.4.2 MCU ドメイン

表 5-16. MCU_I2C0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCU_I2C0_SCL	IOD	I2C クロック	G24

表 5-16. MCU_I2C0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCU_I2C0_SDA	IOD	I2C データ	J25

表 5-17. MCU_I2C1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCU_I2C1_SCL	IOD	I2C クロック	E25、F24
MCU_I2C1_SDA	IOD	I2C データ	F28、H26

5.3.4.3 WKUP ドメイン

表 5-18. WKUP_I2C0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
WKUP_I2C0_SCL	IOD	I2C クロック	H24
WKUP_I2C0_SDA	IOD	I2C データ	H27

5.3.5 I3C

5.3.5.1 MCU ドメイン

表 5-19. MCU_I3C0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCU_I3C0_SCL	IO	I3C クロック	F24
MCU_I3C0_SDA	IO	I3C データ	H26
MCU_I3C0_SDAPULLEN	OD	I3C データ プレ イネーブル	F25、G26

5.3.6 MCAN

5.3.6.1 メイン ドメイン

表 5-20. MCAN0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCAN0_RX	I	MCAN 受信データ	U28
MCAN0_TX	O	MCAN 送信データ	W28

表 5-21. MCAN1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCAN1_RX	I	MCAN 受信データ	AD28、R27
MCAN1_TX	O	MCAN 送信データ	V26

表 5-22. MCAN2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCAN2_RX	I	MCAN 受信データ	Y25
MCAN2_TX	O	MCAN 送信データ	R28

表 5-23. MCAN3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCAN3_RX	I	MCAN 受信データ	U26
MCAN3_TX	O	MCAN 送信データ	T27

表 5-24. MCAN4 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCAN4_RX	I	MCAN 受信データ	AD27
MCAN4_TX	O	MCAN 送信データ	AA28

表 5-25. MCAN5 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCAN5_RX	I	MCAN 受信データ	U27、W24
MCAN5_TX	O	MCAN 送信データ	AB28、T25

表 5-26. MCAN6 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCAN6_RX	I	MCAN 受信データ	V25、Y26
MCAN6_TX	O	MCAN 送信データ	AA25、AC28

表 5-27. MCAN7 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCAN7_RX	I	MCAN 受信データ	AB25、V27
MCAN7_TX	O	MCAN 送信データ	AB27、T24

表 5-28. MCAN8 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCAN8_RX	I	MCAN 受信データ	U24、Y27
MCAN8_TX	O	MCAN 送信データ	T23、W27

表 5-29. MCAN9 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCAN9_RX	I	MCAN 受信データ	AA26、AD26
MCAN9_TX	O	MCAN 送信データ	AA27、AC25

表 5-30. MCAN10 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCAN10_RX	I	MCAN 受信データ	AA24
MCAN10_TX	O	MCAN 送信データ	U25

表 5-31. MCAN11 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCAN11_RX	I	MCAN 受信データ	T28
MCAN11_TX	O	MCAN 送信データ	V28

表 5-32. MCAN12 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCAN12_RX	I	MCAN 受信データ	AC24、T26
MCAN12_TX	O	MCAN 送信データ	AB26、W25

表 5-33. MCAN13 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCAN13_RX	I	MCAN 受信データ	AF28、AG25
MCAN13_TX	O	MCAN 送信データ	AE25、AE28

表 5-34. MCAN14 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCAN14_RX	I	MCAN 受信データ	AF26、W23
MCAN14_TX	O	MCAN 送信データ	AD25、AE27

表 5-35. MCAN15 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCAN15_RX	I	MCAN 受信データ	AA23、N24
MCAN15_TX	O	MCAN 送信データ	P23、Y24

表 5-36. MCAN16 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCAN16_RX	I	MCAN 受信データ	AB24
MCAN16_TX	O	MCAN 送信データ	Y28

表 5-37. MCAN17 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCAN17_RX	I	MCAN 受信データ	AC27、AD24
MCAN17_TX	O	MCAN 送信データ	V23

5.3.6.2 MCU ドメイン

表 5-38. MCU_MCAN0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCU_MCAN0_RX	I	MCAN 受信データ	E28
MCU_MCAN0_TX	O	MCAN 送信データ	E27

表 5-39. MCU_MCAN1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCU_MCAN1_RX	I	MCAN 受信データ	F26
MCU_MCAN1_TX	O	MCAN 送信データ	C23

5.3.7 MCSPI

5.3.7.1 メイン ドメイン

表 5-40. MCSPI0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
SPI0_CLK	IO	SPI クロック	AH27
SPI0_CS0	IO	SPI チップ セレクト 0	AE27
SPI0_CS1	IO	SPI チップ セレクト 1	AF26
SPI0_CS2	IO	SPI チップ セレクト 2	AA23
SPI0_CS3	IO	SPI チップ セレクト 3	AB24

表 5-40. MCSPI0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
SPI0_D0	IO	SPI データ 0	AG26
SPI0_D1	IO	SPI データ 1	AH26

表 5-41. MCSPI1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
SPI1_CLK	IO	SPI クロック	P23
SPI1_CS0	IO	SPI チップ セレクト 0	R22
SPI1_CS1	IO	SPI チップ セレクト 1	R24
SPI1_CS2	IO	SPI チップ セレクト 2	P24
SPI1_CS3	IO	SPI チップ セレクト 3	Y28
SPI1_D0	IO	SPI データ 0	M23
SPI1_D1	IO	SPI データ 1	N24

表 5-42. MCSPI2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
SPI2_CLK	IO	SPI クロック	AB25
SPI2_CS0	IO	SPI チップ セレクト 0	T23
SPI2_CS1	IO	SPI チップ セレクト 1	T24
SPI2_CS2	IO	SPI チップ セレクト 2	AC28
SPI2_CS3	IO	SPI チップ セレクト 3	Y26
SPI2_D0	IO	SPI データ 0	U24
SPI2_D1	IO	SPI データ 1	AC25

表 5-43. MCSPI3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
SPI3_CLK	IO	SPI クロック	T28
SPI3_CS0	IO	SPI チップ セレクト 0	V28
SPI3_CS1	IO	SPI チップ セレクト 1	T27
SPI3_CS2	IO	SPI チップ セレクト 2	AD27
SPI3_CS3	IO	SPI チップ セレクト 3	AA24
SPI3_D0	IO	SPI データ 0	V27
SPI3_D1	IO	SPI データ 1	W27

表 5-44. MCSPI5 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
SPI5_CLK	IO	SPI クロック	T27
SPI5_CS0	IO	SPI チップ セレクト 0	U28
SPI5_CS1	IO	SPI チップ セレクト 1	W28
SPI5_CS2	IO	SPI チップ セレクト 2	Y27
SPI5_CS3	IO	SPI チップ セレクト 3	AA27
SPI5_D0	IO	SPI データ 0	R27
SPI5_D1	IO	SPI データ 1	AD27

表 5-45. MCSPI6 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
SPI6_CLK	IO	SPI クロック	T26
SPI6_CS0	IO	SPI チップ セレクト 0	AD24
SPI6_CS1	IO	SPI チップ セレクト 1	Y25
SPI6_CS2	IO	SPI チップ セレクト 2	U26
SPI6_CS3	IO	SPI チップ セレクト 3	AA28
SPI6_D0	IO	SPI データ 0	AB26
SPI6_D1	IO	SPI データ 1	R28

表 5-46. MCSPI7 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
SPI7_CLK	IO	SPI クロック	AC28
SPI7_CS0	IO	SPI チップ セレクト 0	Y26
SPI7_CS1	IO	SPI チップ セレクト 1	Y27
SPI7_CS2	IO	SPI チップ セレクト 2	AA27
SPI7_CS3	IO	SPI チップ セレクト 3	V23
SPI7_D0	IO	SPI データ 0	U28
SPI7_D1	IO	SPI データ 1	T27

5.3.7.2 MCU ドメイン

表 5-47. MCU_MCSPi0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCU_SPI0_CLK	IO	SPI クロック	B27
MCU_SPI0_CS0	IO	SPI チップ セレクト 0	B26
MCU_SPI0_CS1	IO	SPI チップ セレクト 1	A20、C25
MCU_SPI0_CS2	IO	SPI チップ セレクト 2	B24、C21
MCU_SPI0_CS3	IO	SPI チップ セレクト 3	C23
MCU_SPI0_D0	IO	SPI データ 0	D24
MCU_SPI0_D1	IO	SPI データ 1	B25

表 5-48. MCU_MCSPi1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCU_SPI1_CLK	IO	SPI クロック	D26
MCU_SPI1_CS0	IO	SPI チップ セレクト 0	C27
MCU_SPI1_CS1	IO	SPI チップ セレクト 1	C24、G20
MCU_SPI1_CS2	IO	SPI チップ セレクト 2	C20、D25
MCU_SPI1_CS3	IO	SPI チップ セレクト 3	F26
MCU_SPI1_D0	IO	SPI データ 0	E24
MCU_SPI1_D1	IO	SPI データ 1	C28

5.3.8 UART

5.3.8.1 メイン ドメイン

表 5-49. UART0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
UART0_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	R22、V27
UART0_DCDn	I	UART DCD (Data Carrier Detect) (アクティブ Low)	AC24
UART0_DSRn	I	UART DSR (Data Set Ready) (アクティブ Low)	AE28
UART0_DTRn	O	UART DTR (Data Terminal Ready) (アクティブ Low)	AF28
UART0_RIn	I	UART リング インジケータ	AD25
UART0_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	AF26、P23、W27
UART0_RXD	I	UART 受信データ	V28
UART0_TXD	O	UART 送信データ	T28

表 5-50. UART1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
UART1_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	AA26、AH27
UART1_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	AC27、AG26
UART1_RXD	I	UART 受信データ	Y27
UART1_TXD	O	UART 送信データ	AA27

表 5-51. UART2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
UART2_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	AB26
UART2_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	AD28
UART2_RXD	I	UART 受信データ	AG26、P24、W28
UART2_TXD	O	UART 送信データ	AH26、M23、U28

表 5-52. UART3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
UART3_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	T27
UART3_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	R27
UART3_RXD	I	UART 受信データ	AB26、AE25、R28
UART3_TXD	O	UART 送信データ	AD28、AG25、Y25

表 5-53. UART4 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
UART4_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	AA25、AB27、P23
UART4_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	AA24、N24、V25
UART4_RXD	I	UART 受信データ	AC28、P24、T25、U25
UART4_TXD	O	UART 送信データ	AE28、M23、W24、Y26

表 5-54. UART5 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
UART5_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	P24、T23

表 5-54. UART5 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
UART5_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	M23、U24
UART5_RXD	I	UART 受信データ	AC24、R22、T24
UART5_TXD	O	UART 送信データ	AB25、R24、W25

表 5-55. UART6 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
UART6_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	W28
UART6_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	U28
UART6_RXD	I	UART 受信データ	AA26、AD25、T26
UART6_TXD	O	UART 送信データ	AC27、AF28、V26

表 5-56. UART7 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
UART7_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	P24
UART7_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	M23
UART7_RXD	I	UART 受信データ	R22、T23、V23
UART7_TXD	O	UART 送信データ	AD24、R24、U24

表 5-57. UART8 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
UART8_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	AC28
UART8_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	Y26
UART8_RXD	I	UART 受信データ	AB28、AC25、AF26、P23
UART8_TXD	O	UART 送信データ	AD26、AH27、N24、U27

表 5-58. UART9 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
UART9_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	AB27、T26
UART9_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	AA24、AD24
UART9_RXD	I	UART 受信データ	V27、Y24
UART9_TXD	O	UART 送信データ	W23、W27

5.3.8.2 MCU ドメイン

表 5-59. MCU_UART0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCU_UART0_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	A20、B24
MCU_UART0_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	C21、D25
MCU_UART0_RXD	I	UART 受信データ	C24、F25、G20
MCU_UART0_TXD	O	UART 送信データ	C20、C25、F27

5.3.8.3 WKUP ドメイン

表 5-60. WKUP_UART0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
WKUP_UART0_CTSn	I	UART CTS (Clear to Send) (アクティブ Low)	E25
WKUP_UART0_RTSn	O	UART RTS (Request to Send) (アクティブ Low)	F28
WKUP_UART0_RXD	I	UART 受信データ	D28
WKUP_UART0_TXD	O	UART 送信データ	D27

5.3.9 MDIO

5.3.9.1 メイン ドメイン

表 5-61. MDIO0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MDIO0_MDC	O	MDIO クロック	T28
MDIO0_MDIO	IO	MDIO データ	V28

5.3.9.2 MCU ドメイン

表 5-62. MCU_MDIO0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCU_MDIO0_MDC	O	MDIO クロック	A21
MCU_MDIO0_MDIO	IO	MDIO データ	A22

5.3.10 CPSW2G

5.3.10.1 メイン ドメイン

表 5-63. CPSW2G0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
CLKOUT	IO	RMII クロック出力	U24
RGMII1_RXC	I	RGMII 受信クロック	AD26
RGMII1_RX_CTL	I	RGMII 受信制御	AC25
RGMII1_TXC	O	RGMII 送信クロック	U25
RGMII1_TX_CTL	O	RGMII 送信制御	T24
RGMII1_RD0	I	RGMII 受信データ 0	AA24
RGMII1_RD1	I	RGMII 受信データ 1	AB25
RGMII1_RD2	I	RGMII 受信データ 2	T23
RGMII1_RD3	I	RGMII 受信データ 3	U24
RGMII1_TD0	O	RGMII 送信データ 0	T25
RGMII1_TD1	O	RGMII 送信データ 1	W24
RGMII1_TD2	O	RGMII 送信データ 2	AA25
RGMII1_TD3	O	RGMII 送信データ 3	V25
RMII1_CRS_DV	I	RMII キャリア センス / データ有効	V25
RMII1_RX_ER	I	RMII 受信データ エラー	T24
RMII1_TX_EN	O	RMII 送信イネーブル	AC25
RMII1_RXD0	I	RMII 受信データ 0	W24
RMII1_RXD1	I	RMII 受信データ 1	AA25
RMII1_TXD0	O	RMII 送信データ 0	AB25

表 5-63. CPSW2G0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
RMII1_TXD1	O	RMII 送信データ 1	AD26
RMII_REF_CLK	I	RMII 基準クロック	T23

5.3.10.2 MCU ドメイン

表 5-64. MCU_CPSW2G0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCU_RGMII1_RXC	I	RGMII 受信クロック	D22
MCU_RGMII1_RX_CTL	I	RGMII 受信制御	E23
MCU_RGMII1_TXC	O	RGMII 送信クロック	F21
MCU_RGMII1_TX_CTL	O	RGMII 送信制御	F22
MCU_RGMII1_RD0	I	RGMII 受信データ 0	B22
MCU_RGMII1_RD1	I	RGMII 受信データ 1	B21
MCU_RGMII1_RD2	I	RGMII 受信データ 2	C22
MCU_RGMII1_RD3	I	RGMII 受信データ 3	D23
MCU_RGMII1_TD0	O	RGMII 送信データ 0	F23
MCU_RGMII1_TD1	O	RGMII 送信データ 1	G22
MCU_RGMII1_TD2	O	RGMII 送信データ 2	E21
MCU_RGMII1_TD3	O	RGMII 送信データ 3	E22
MCU_RMII1_CRSDV	I	RMII キャリア センス / データ有効	F22
MCU_RMII1_REF_CLK	I	RMII 基準クロック	D22
MCU_RMII1_RX_ER	I	RMII 受信データ エラー	E23
MCU_RMII1_TX_EN	O	RMII 送信イネーブル	F21
MCU_RMII1_RXD0	I	RMII 受信データ 0	B22
MCU_RMII1_RXD1	I	RMII 受信データ 1	B21
MCU_RMII1_TXD0	O	RMII 送信データ 0	F23
MCU_RMII1_TXD1	O	RMII 送信データ 1	G22

5.3.11 ECAP

5.3.11.1 メイン ドメイン

表 5-65. ECAP0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
ECAP0_IN_APWM_OUT	IO	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	AB26、P24

表 5-66. ECAP1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
ECAP1_IN_APWM_OUT	IO	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	AE25、M23

表 5-67. ECAP2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
ECAP2_IN_APWM_OUT	IO	拡張キャプチャ (ECAP) 入力または補助 PWM (APWM) 出力	AG25

5.3.12 EQEP

5.3.12.1 メイン ドメイン

表 5-68. EQEP0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
EQEP0_A	I	EQEP 直交入力 A	U24
EQEP0_B	I	EQEP 直交入力 B	AC25
EQEP0_I	IO	EQEP インデックス	V28
EQEP0_S	IO	EQEP ストロープ	AA24

表 5-69. EQEP1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
EQEP1_A	I	EQEP 直交入力 A	AD26
EQEP1_B	I	EQEP 直交入力 B	U25
EQEP1_I	IO	EQEP インデックス	T26
EQEP1_S	IO	EQEP ストロープ	T28

表 5-70. EQEP2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
EQEP2_A	I	EQEP 直交入力 A	AB27
EQEP2_B	I	EQEP 直交入力 B	W27
EQEP2_I	IO	EQEP インデックス	AA26
EQEP2_S	IO	EQEP ストロープ	Y27

5.3.13 EPWM

5.3.13.1 メイン ドメイン

表 5-71. EPWM 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
EHRPWM_SOC_A	O	EHRPWM 変換開始 A	AA27
EHRPWM_SOC_B	O	EHRPWM 変換開始 B	AB25
EHRPWM_TZn_IN0	I	EHRPWM トリップ ゾーン入力 0 (アクティブ Low)	T27
EHRPWM_TZn_IN1	I	EHRPWM トリップ ゾーン入力 1 (アクティブ Low)	V27
EHRPWM_TZn_IN2	I	EHRPWM トリップ ゾーン入力 2 (アクティブ Low)	AB28
EHRPWM_TZn_IN3	I	EHRPWM トリップ ゾーン入力 3 (アクティブ Low)	W24
EHRPWM_TZn_IN4	I	EHRPWM トリップ ゾーン入力 4 (アクティブ Low)	AD27
EHRPWM_TZn_IN5	I	EHRPWM トリップ ゾーン入力 5 (アクティブ Low)	V26

表 5-72. EPWM0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
EHRPWM0_A	IO	EHRPWM 出力 A	AE27、R24、U28
EHRPWM0_B	IO	EHRPWM 出力 B	R22、W28
EHRPWM0_SYNCI	I	外部ピンから EHRPWM モジュールへの同期入力	R27
EHRPWM0_SYNCO	O	EHRPWM モジュールから外部ピンへの同期出力	Y26

表 5-73. EPWM1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
EHRPWM1_A	IO	EHRPWM 出力 A	AC27、AF26、M23
EHRPWM1_B	IO	EHRPWM 出力 B	P24、R28

表 5-74. EPWM2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
EHRPWM2_A	IO	EHRPWM 出力 A	AC28、AH27、N24
EHRPWM2_B	IO	EHRPWM 出力 B	P23、U27

表 5-75. EPWM3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
EHRPWM3_A	IO	EHRPWM 出力 A	AG26、R22、T25
EHRPWM3_B	IO	EHRPWM 出力 B	T24
EHRPWM3_SYNCI	I	外部ピンから EHRPWM モジュールへの同期入力	V25
EHRPWM3_SYNCO	O	EHRPWM モジュールから外部ピンへの同期出力	AA25

表 5-76. EPWM4 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
EHRPWM4_A	IO	EHRPWM 出力 A	AH26、P24、T23
EHRPWM4_B	IO	EHRPWM 出力 B	Y25

表 5-77. EPWM5 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
EHRPWM5_A	IO	EHRPWM 出力 A	AA28、P23
EHRPWM5_B	IO	EHRPWM 出力 B	U26

5.3.14 USB

5.3.14.1 メイン ドメイン

表 5-78. USB0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
USB0_DM	IO	USB 2.0 差動データ (負)	AG2
USB0_DP	IO	USB 2.0 差動データ (正)	AH2
USB0_DRVBUS	O	USB VBUS 制御出力 (アクティブ High)	AG25、T25、V23
USB0_ID	A	USB 2.0 デュアルロール デバイス ロール選択	AC9
USB0_RCALIB ⁽¹⁾	A	キャリブレーション抵抗に接続するピン	AA6
USB0_VBUS ⁽²⁾	A	USB レベル シフト VBUS 検出	AA8
USB0_SSRX1N	I	SERDES_USB 差動受信データ (負)	AF6、AF9
USB0_SSRX1P	I	SERDES_USB 差動受信データ (正)	AF10、AF7
USB0_SSRX2N	I	SERDES_USB 差動受信データ (負)	AE5、AE8
USB0_SSRX2P	I	SERDES_USB 差動受信データ (正)	AE6、AE9
USB0_SSTX1N	O	SERDES_USB 差動送信データ (負)	AG5、AH7
USB0_SSTX1P	O	SERDES_USB 差動送信データ (正)	AG6、AH8
USB0_SSTX2N	O	SERDES_USB 差動送信データ (負)	AD7、AG8

表 5-78. USB0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
USB0_SSTX2P	O	SERDES_USB 差動送信データ (正)	AD8、AG9

- (1) このピンを使用しない場合でも、このピンと VSS との間に $500\Omega \pm 1\%$ の外付け抵抗を接続する必要があります。
- (2) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、[オプション テキスト「USB VBUS の設計ガイドライン」](#)を参照してください。

5.3.15 ディスプレイ ポート

5.3.15.1 メイン ドメイン

表 5-79. DP0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
DP0_AUXN	IO	ディスプレイ ポート差動補助データ (負)	AG11
DP0_AUXP	IO	ディスプレイ ポート差動補助データ (正)	AF11
DP0_HPD	I	ディスプレイ ポートのホットプラグ検出	AA24
DP0_TXN0	O	ディスプレイ ポート差動送信 (負)	AG5、AH7
DP0_TXN1	O	ディスプレイ ポート差動送信 (負)	AD7、AG8
DP0_TXN2	O	ディスプレイ ポート差動送信 (負)	AG5
DP0_TXN3	O	ディスプレイ ポート差動送信 (負)	AD7
DP0_TXP0	O	ディスプレイ ポート差動送信 (正)	AG6、AH8
DP0_TXP1	O	ディスプレイ ポート差動送信 (正)	AD8、AG9
DP0_TXP2	O	ディスプレイ ポート差動送信 (正)	AG6
DP0_TXP3	O	ディスプレイ ポート差動送信 (正)	AD8

5.3.16 Hyperlink

5.3.16.1 メイン ドメイン

表 5-80. Hyperlink 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
HYP_RXN0	I	ハイパーリンク RX (負)	AF9
HYP_RXN1	I	ハイパーリンク RX (負)	AE8
HYP_RXN2	I	ハイパーリンク RX (負)	AF6
HYP_RXN3	I	ハイパーリンク RX (負)	AE5
HYP_RXP0	I	ハイパーリンク RX (正)	AF10
HYP_RXP1	I	ハイパーリンク RX (正)	AE9
HYP_RXP2	I	ハイパーリンク RX (正)	AF7
HYP_RXP3	I	ハイパーリンク RX (正)	AE6
HYP_TXN0	O	ハイパーリンク TX0 (負)	AH7
HYP_TXN1	O	ハイパーリンク TX0 (負)	AG8
HYP_TXN2	O	ハイパーリンク TX0 (負)	AG5
HYP_TXN3	O	ハイパーリンク TX0 (負)	AD7
HYP_TXP0	O	ハイパーリンク TX0 (正)	AH8
HYP_TXP1	O	ハイパーリンク TX0 (正)	AG9
HYP_TXP2	O	ハイパーリンク TX0 (正)	AG6
HYP_TXP3	O	ハイパーリンク TX0 (正)	AD8

表 5-81. Hyperlink0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
HYP0_RXFLCLK	O	ハイパーリンク フロー マネージメント受信クロック	AB28
HYP0_RXFLDAT	O	ハイパーリンク フロー マネージメント受信データ	U27
HYP0_RXPMCLK	I	ハイパーリンク パワー マネージメント受信クロック	AA26
HYP0_RXPMDAT	I	ハイパーリンク パワー マネージメント受信データ	AC27
HYP0_TXFLCLK	I	ハイパーリンク フロー マネージメント送信クロック	AC28
HYP0_TXFLDAT	I	ハイパーリンク フロー マネージメント送信データ	Y26
HYP0_TXPMCLK	O	ハイパーリンク パワー マネージメント送信クロック	Y27
HYP0_TXPMDAT	O	ハイパーリンク パワー マネージメント送信データ	AA27

表 5-82. Hyperlink1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
HYP1_RXFLCLK	O	ハイパーリンク フロー マネージメント受信クロック	AB27
HYP1_RXFLDAT	O	ハイパーリンク フロー マネージメント受信データ	T26
HYP1_RXPMCLK	I	ハイパーリンク パワー マネージメント受信クロック	V27
HYP1_RXPMDAT	I	ハイパーリンク パワー マネージメント受信データ	W27
HYP1_TXFLCLK	I	ハイパーリンク フロー マネージメント送信クロック	AB26
HYP1_TXFLDAT	I	ハイパーリンク フロー マネージメント送信データ	AD28
HYP1_TXPMCLK	O	ハイパーリンク パワー マネージメント送信クロック	V26
HYP1_TXPMDAT	O	ハイパーリンク パワー マネージメント送信データ	U26

5.3.17 PCIE

5.3.17.1 メイン ドメイン

表 5-83. PCIE 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
PCIE1_CLKREQn	IO	PCIE クロック要求信号	AE25、R22
PCIE1_RXN0	I	SERDES_PCIE 差動受信データ (負)	AF9
PCIE1_RXN1	I	SERDES_PCIE 差動受信データ (負)	AE8
PCIE1_RXN2	I	SERDES_PCIE 差動受信データ (負)	AF6
PCIE1_RXN3	I	SERDES_PCIE 差動受信データ (負)	AE5
PCIE1_RXP0	I	SERDES_PCIE 差動受信データ (正)	AF10
PCIE1_RXP1	I	SERDES_PCIE 差動受信データ (正)	AE9
PCIE1_RXP2	I	SERDES_PCIE 差動受信データ (正)	AF7
PCIE1_RXP3	I	SERDES_PCIE 差動受信データ (正)	AE6
PCIE1_TXN0	O	SERDES_PCIE 差動送信データ (負)	AH7
PCIE1_TXN1	O	SERDES_PCIE 差動送信データ (負)	AG8
PCIE1_TXN2	O	SERDES_PCIE 差動送信データ (負)	AG5
PCIE1_TXN3	O	SERDES_PCIE 差動送信データ (負)	AD7
PCIE1_TXP0	O	SERDES_PCIE 差動送信データ (正)	AH8
PCIE1_TXP1	O	SERDES_PCIE 差動送信データ (正)	AG9
PCIE1_TXP2	O	SERDES_PCIE 差動送信データ (正)	AG6
PCIE1_TXP3	O	SERDES_PCIE 差動送信データ (正)	AD8
PCIE_REFCLK1_N_OUT	O	SERDES_PCIE 基準クロック出力負電圧	AH10

表 5-83. PCIE 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
PCIE_REFCLK1_P_OUT	O	SERDES_PCIE 基準クロック出力正電圧	AH11

5.3.18 SERDES

5.3.18.1 メイン ドメイン

表 5-84. SERDES0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
SERDES0_REFCLK_N	IO	Serdes 基準クロック入出力 (負)	AH4
SERDES0_REFCLK_P	IO	Serdes 基準クロック入出力 (正)	AH5
SERDES0_REXT ⁽¹⁾	I	外付け較正抵抗	AC10

(1) このピンと VSS との間に $3.01\text{k}\Omega \pm 1\%$ の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。

5.3.19 DSI

5.3.19.1 メイン ドメイン

表 5-85. DSI0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
DSI0_TXCLKN	O	DSI 送信クロック (負)	AH13
DSI0_TXCLKP	O	DSI 送信クロック (正)	AH14
DSI0_TXRCALIB ⁽¹⁾	A	DSI 送信較正抵抗	AC13
DSI0_TXN0	IO	DSI 送信 (負)	AG12
DSI0_TXN1	O	DSI 送信 (負)	AF13
DSI0_TXN2	O	DSI 送信 (負)	AE12
DSI0_TXN3	O	DSI 送信 (負)	AD13
DSI0_TXP0	IO	DSI 送信 (正)	AG13
DSI0_TXP1	O	DSI 送信 (正)	AF14
DSI0_TXP2	O	DSI 送信 (正)	AE13
DSI0_TXP3	O	DSI 送信 (正)	AD14

(1) このピンを使用しない場合でも、このピンと VSS との間に $500\Omega \pm 1\%$ の外付け抵抗を接続する必要があります。

表 5-86. DSI1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
DSI1_TXCLKN	O	DSI 送信クロック (負)	AH16
DSI1_TXCLKP	O	DSI 送信クロック (正)	AH17
DSI1_TXRCALIB ⁽¹⁾	A	DSI 送信較正抵抗	AC15
DSI1_TXN0	IO	DSI 送信 (負)	AG15
DSI1_TXN1	O	DSI 送信 (負)	AF16
DSI1_TXN2	O	DSI 送信 (負)	AE15
DSI1_TXN3	O	DSI 送信 (負)	AD16
DSI1_TXP0	IO	DSI 送信 (正)	AG16
DSI1_TXP1	O	DSI 送信 (正)	AF17
DSI1_TXP2	O	DSI 送信 (正)	AE16
DSI1_TXP3	O	DSI 送信 (正)	AD17

(1) このピンを使用しない場合でも、このピンと VSS との間に $500\Omega \pm 1\%$ の外付け抵抗を接続する必要があります。

5.3.20 CSI

5.3.20.1 メイン ドメイン

表 5-87. CSI0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
CSI0_RXCLKN	I	CSI 差動受信クロック入力 (負)	AH19
CSI0_RXCLKP	I	CSI 差動受信クロック入力 (正)	AH20
CSI0_RXRCALIB ⁽¹⁾	A	オンチップ抵抗較正用に外部抵抗に接続する CSI ピン	AC18
CSI0_TXCLKN	O	CSI 差動送信クロック出力 (負)	AH13
CSI0_TXCLKP	O	CSI 差動送信クロック出力 (正)	AH14
CSI0_RXN0	I	CSI 差動受信入力 (負)	AG18
CSI0_RXN1	I	CSI 差動受信入力 (負)	AF19
CSI0_RXN2	I	CSI 差動受信入力 (負)	AE18
CSI0_RXN3	I	CSI 差動受信入力 (負)	AD19
CSI0_RXP0	I	CSI 差動受信入力 (正)	AG19
CSI0_RXP1	I	CSI 差動受信入力 (正)	AF20
CSI0_RXP2	I	CSI 差動受信入力 (正)	AE19
CSI0_RXP3	I	CSI 差動受信入力 (正)	AD20
CSI0_TXN0	O	CSI 差動送信出力 (負)	AG12
CSI0_TXN1	O	CSI 差動送信出力 (負)	AF13
CSI0_TXN2	O	CSI 差動送信出力 (負)	AE12
CSI0_TXN3	O	CSI 差動送信出力 (負)	AD13
CSI0_TXP0	O	CSI 差動送信出力 (正)	AG13
CSI0_TXP1	O	CSI 差動送信出力 (正)	AF14
CSI0_TXP2	O	CSI 差動送信出力 (正)	AE13
CSI0_TXP3	O	CSI 差動送信出力 (正)	AD14

(1) このピンを使用しない場合でも、このピンと VSS との間に $500\Omega \pm 1\%$ の外付け抵抗を接続する必要があります。

表 5-88. CSI1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
CSI1_RXCLKN	I	CSI 差動受信クロック入力 (負)	AH22
CSI1_RXCLKP	I	CSI 差動受信クロック入力 (正)	AH23
CSI1_RXRCALIB ⁽¹⁾	A	オンチップ抵抗較正用に外部抵抗に接続する CSI ピン	AC21
CSI1_TXCLKN	O	CSI 差動送信クロック出力 (負)	AH16
CSI1_TXCLKP	O	CSI 差動送信クロック出力 (正)	AH17
CSI1_RXN0	I	CSI 差動受信入力 (負)	AG21
CSI1_RXN1	I	CSI 差動受信入力 (負)	AF22
CSI1_RXN2	I	CSI 差動受信入力 (負)	AE21
CSI1_RXN3	I	CSI 差動受信入力 (負)	AD22
CSI1_RXP0	I	CSI 差動受信入力 (正)	AG22
CSI1_RXP1	I	CSI 差動受信入力 (正)	AF23
CSI1_RXP2	I	CSI 差動受信入力 (正)	AE22
CSI1_RXP3	I	CSI 差動受信入力 (正)	AD23
CSI1_TXN0	O	CSI 差動送信出力 (負)	AG15
CSI1_TXN1	O	CSI 差動送信出力 (負)	AF16

表 5-88. CSI1 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
CSI1_TXN2	O	CSI 差動送信出力 (負)	AE15
CSI1_TXN3	O	CSI 差動送信出力 (負)	AD16
CSI1_TXP0	O	CSI 差動送信出力 (正)	AG16
CSI1_TXP1	O	CSI 差動送信出力 (正)	AF17
CSI1_TXP2	O	CSI 差動送信出力 (正)	AE16
CSI1_TXP3	O	CSI 差動送信出力 (正)	AD17

(1) このピンを使用しない場合でも、このピンと VSS との間に 500Ω ±1% の外付け抵抗を接続する必要があります。

5.3.21 MCASP

5.3.21.1 メイン ドメイン

表 5-89. MCASP0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCASP0_ACLKR	IO	MCASP 受信ビット クロック	U24
MCASP0_ACLKX	IO	MCASP 送信ビット クロック	AB28
MCASP0_AFSR	IO	MCASP 受信フレーム同期	AC25
MCASP0_AFSX	IO	MCASP 送信フレーム同期	U27
MCASP0_AXR0	IO	MCASP シリアル データ (入力 / 出力)	AC28
MCASP0_AXR1	IO	MCASP シリアル データ (入力 / 出力)	Y26
MCASP0_AXR2	IO	MCASP シリアル データ (入力 / 出力)	AB27
MCASP0_AXR3	IO	MCASP シリアル データ (入力 / 出力)	T27
MCASP0_AXR4	IO	MCASP シリアル データ (入力 / 出力)	U26
MCASP0_AXR5	IO	MCASP シリアル データ (入力 / 出力)	AA28
MCASP0_AXR6	IO	MCASP シリアル データ (入力 / 出力)	AD27
MCASP0_AXR7	IO	MCASP シリアル データ (入力 / 出力)	T25
MCASP0_AXR8	IO	MCASP シリアル データ (入力 / 出力)	W24
MCASP0_AXR9	IO	MCASP シリアル データ (入力 / 出力)	AA25
MCASP0_AXR10	IO	MCASP シリアル データ (入力 / 出力)	V25
MCASP0_AXR11	IO	MCASP シリアル データ (入力 / 出力)	T24
MCASP0_AXR12	IO	MCASP シリアル データ (入力 / 出力)	AB25
MCASP0_AXR13	IO	MCASP シリアル データ (入力 / 出力)	T23
MCASP0_AXR14	IO	MCASP シリアル データ (入力 / 出力)	U24
MCASP0_AXR15	IO	MCASP シリアル データ (入力 / 出力)	AC25

表 5-90. MCASP1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCASP1_ACLKR	IO	MCASP 受信ビット クロック	AA28
MCASP1_ACLKX	IO	MCASP 送信ビット クロック	AA24
MCASP1_AFSR	IO	MCASP 受信フレーム同期	AD27
MCASP1_AFSX	IO	MCASP 送信フレーム同期	V28
MCASP1_AXR0	IO	MCASP シリアル データ (入力 / 出力)	T28
MCASP1_AXR1	IO	MCASP シリアル データ (入力 / 出力)	V27
MCASP1_AXR2	IO	MCASP シリアル データ (入力 / 出力)	W27
MCASP1_AXR3	IO	MCASP シリアル データ (入力 / 出力)	AD26

表 5-90. MCASP1 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCASP1_AXR4	IO	MCASP シリアル データ (入力 / 出力)	U25

表 5-91. MCASP2 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCASP2_ACLKR	IO	MCASP 受信ビット クロック	AB25
MCASP2_ACLKX	IO	MCASP 送信ビット クロック	Y27
MCASP2_AFSR	IO	MCASP 受信フレーム同期	T23
MCASP2_AFSX	IO	MCASP 送信フレーム同期	AA27
MCASP2_AXR0	IO	MCASP シリアル データ (入力 / 出力)	AA26
MCASP2_AXR1	IO	MCASP シリアル データ (入力 / 出力)	AC27
MCASP2_AXR2	IO	MCASP シリアル データ (入力 / 出力)	W28
MCASP2_AXR3	IO	MCASP シリアル データ (入力 / 出力)	R28
MCASP2_AXR4	IO	MCASP シリアル データ (入力 / 出力)	U24

表 5-92. MCASP3 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCASP3_ACLKR	IO	MCASP 受信ビット クロック	AE27
MCASP3_ACLKX	IO	MCASP 送信ビット クロック	AE27
MCASP3_AFSR	IO	MCASP 受信フレーム同期	AF26
MCASP3_AFSX	IO	MCASP 送信フレーム同期	AF26
MCASP3_AXR0	IO	MCASP シリアル データ (入力 / 出力)	AH27
MCASP3_AXR1	IO	MCASP シリアル データ (入力 / 出力)	AG26
MCASP3_AXR2	IO	MCASP シリアル データ (入力 / 出力)	AH26

表 5-93. MCASP4 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCASP4_ACLKR	IO	MCASP 受信ビット クロック	T25
MCASP4_ACLKX	IO	MCASP 送信ビット クロック	AD28
MCASP4_AFSR	IO	MCASP 受信フレーム同期	W24
MCASP4_AFSX	IO	MCASP 送信フレーム同期	V26
MCASP4_AXR0	IO	MCASP シリアル データ (入力 / 出力)	AD24
MCASP4_AXR1	IO	MCASP シリアル データ (入力 / 出力)	U28
MCASP4_AXR2	IO	MCASP シリアル データ (入力 / 出力)	AB26
MCASP4_AXR3	IO	MCASP シリアル データ (入力 / 出力)	R27
MCASP4_AXR4	IO	MCASP シリアル データ (入力 / 出力)	AA25

5.3.22 DMTIMER

5.3.22.1 メイン ドメイン

表 5-94. DMTIMER 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
TIMER_IO0	IO	タイマ入力および出力 (いずれかのメインドメイン タイマ インスタンスと組み合わせて使用可能)	AE25

表 5-94. DMTIMER 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
TIMER_IO1	IO	タイマ入力および出力 (いずれかのメインドメイン タイマ インスタンスと組み合わせて使用可能)	AG25
TIMER_IO2	IO	タイマ入力および出力 (いずれかのメインドメイン タイマ インスタンスと組み合わせて使用可能)	R22
TIMER_IO3	IO	タイマ入力および出力 (いずれかのメインドメイン タイマ インスタンスと組み合わせて使用可能)	R24
TIMER_IO4	IO	タイマ入力および出力 (いずれかのメインドメイン タイマ インスタンスと組み合わせて使用可能)	P24
TIMER_IO5	IO	タイマ入力および出力 (いずれかのメインドメイン タイマ インスタンスと組み合わせて使用可能)	M23
TIMER_IO6	IO	タイマ入力および出力 (いずれかのメインドメイン タイマ インスタンスと組み合わせて使用可能)	P23
TIMER_IO7	IO	タイマ入力および出力 (いずれかのメインドメイン タイマ インスタンスと組み合わせて使用可能)	N24

5.3.22.2 MCU ドメイン

表 5-95. MCU_DMTIMER 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCU_TIMER_IO0	IO	タイマ入力および出力 (いずれかの MCU ドメイン タイマ インスタンスと組み合わせて使用可能)	B25、C21
MCU_TIMER_IO1	IO	タイマ入力および出力 (いずれかの MCU ドメイン タイマ インスタンスと組み合わせて使用可能)	B26、F25
MCU_TIMER_IO2	IO	タイマ入力および出力 (いずれかの MCU ドメイン タイマ インスタンスと組み合わせて使用可能)	E22
MCU_TIMER_IO3	IO	タイマ入力および出力 (いずれかの MCU ドメイン タイマ インスタンスと組み合わせて使用可能)	E21
MCU_TIMER_IO4	IO	タイマ入力および出力 (いずれかの MCU ドメイン タイマ インスタンスと組み合わせて使用可能)	D23
MCU_TIMER_IO5	IO	タイマ入力および出力 (いずれかの MCU ドメイン タイマ インスタンスと組み合わせて使用可能)	C22
MCU_TIMER_IO6	IO	タイマ入力および出力 (いずれかの MCU ドメイン タイマ インスタンスと組み合わせて使用可能)	F24、G27
MCU_TIMER_IO7	IO	タイマ入力および出力 (いずれかの MCU ドメイン タイマ インスタンスと組み合わせて使用可能)	H26、J26
MCU_TIMER_IO8	IO	タイマ入力および出力 (いずれかの MCU ドメイン タイマ インスタンスと組み合わせて使用可能)	B24
MCU_TIMER_IO9	IO	タイマ入力および出力 (いずれかの MCU ドメイン タイマ インスタンスと組み合わせて使用可能)	D25

5.3.23 CPTS

5.3.23.1 メイン ドメイン

表 5-96. CPTS0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
CPTS0_RFT_CLK	I	CPTS 基準クロック	AB26
CPTS0_TS_COMP	O	CPTS タイム スタンプ カウンタ比較	AF26
CPTS0_TS_SYNC	O	CPTS タイム スタンプ カウンタビット	R24
CPTS0_HW1TSPUSH	I	CPTS ハードウェア タイム スタンプ プッシュ 1	AB26
CPTS0_HW2TSPUSH	I	CPTS ハードウェア タイム スタンプ プッシュ 2	AD28

5.3.23.2 MCU ドメイン

表 5-97. MCU_CPTS0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCU_CPTS0_RFT_CLK	I	CPTS 基準クロック	F27、K26
MCU_CPTS0_TS_COMP	O	CPTS タイム スタンプ カウンタ比較	H26
MCU_CPTS0_TS_SYNC	O	CPTS タイム スタンプ カウンタビット	F24
MCU_CPTS0_HW1TSPUSH	I	CPTS ハードウェア タイム スタンプ プッシュ 1	E25
MCU_CPTS0_HW2TSPUSH	I	CPTS ハードウェア タイム スタンプ プッシュ 2	F28

5.3.24 DSS

5.3.24.1 メイン ドメイン

表 5-98. DSS0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
DSS_FSYNC0	O	ビデオ出力のフレーム同期	V26、W25
DSS_FSYNC1	O	ビデオ出力のフレーム同期	AC24、AD24
DSS_FSYNC2	O	ビデオ出力のフレーム同期	AE28
DSS_FSYNC3	O	ビデオ出力のフレーム同期	AF28
VOUT0_DE	O	ビデオ出力データ イネーブル	AA28
VOUT0_EXTCLKIN	I	ビデオ出力の外部ピクセル クロック入力	V26
VOUT0_HSYNC	O	ビデオ出力の水平同期	U26
VOUT0_PCLK	O	ビデオ出力のピクセル クロック出力	Y25
VOUT0_VSYNC	O	ビデオ出力の垂直同期	AD27
VOUT0_DATA0	O	ビデオ出力データ 0	R28
VOUT0_DATA1	O	ビデオ出力データ 1	R27
VOUT0_DATA2	O	ビデオ出力データ 2	T27
VOUT0_DATA3	O	ビデオ出力データ 3	U28
VOUT0_DATA4	O	ビデオ出力データ 4	W28
VOUT0_DATA5	O	ビデオ出力データ 5	AC27
VOUT0_DATA6	O	ビデオ出力データ 6	AA26
VOUT0_DATA7	O	ビデオ出力データ 7	AA27
VOUT0_DATA8	O	ビデオ出力データ 8	Y27
VOUT0_DATA9	O	ビデオ出力データ 9	W27
VOUT0_DATA10	O	ビデオ出力データ 10	V27
VOUT0_DATA11	O	ビデオ出力データ 11	AB27
VOUT0_DATA12	O	ビデオ出力データ 12	Y26
VOUT0_DATA13	O	ビデオ出力データ 13	AC28
VOUT0_DATA14	O	ビデオ出力データ 14	U27
VOUT0_DATA15	O	ビデオ出力データ 15	AB28
VOUT0_DATA16	O	ビデオ出力データ 16	AD28
VOUT0_DATA17	O	ビデオ出力データ 17	T26
VOUT0_DATA18	O	ビデオ出力データ 18	R28、V23
VOUT0_DATA19	O	ビデオ出力データ 19	AB24、R27
VOUT0_DATA20	O	ビデオ出力データ 20	Y27、Y28
VOUT0_DATA21	O	ビデオ出力データ 21	AA23、W27

表 5-98. DSS0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
VOUT0_DATA22	O	ビデオ出力データ 22	T26、Y24
VOUT0_DATA23	O	ビデオ出力データ 23	AB26、W23
VOUT0_VP0_DE	O	代替出力データ イネーブル	AA28
VOUT0_VP0_HSYNC	O	代替出力の水平同期	U26
VOUT0_VP0_VSYNC	O	代替出力の垂直同期	AD27
VOUT0_VP2_DE	O	代替出力データ イネーブル	AA28
VOUT0_VP2_HSYNC	O	代替出力の水平同期	U26
VOUT0_VP2_VSYNC	O	代替出力の垂直同期	AD27

5.3.25 GPMC

5.3.25.1 メイン ドメイン

表 5-99. GPMC0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
GPMC0_ADVn_ALE	O	GPMC アドレス有効 (アクティブ Low) またはアドレス ラッチ イネーブル	AB27
GPMC0_CLK	IO	GPMC クロック	W25
GPMC0_CLKOUT	O	外部同期用に生成された GPMC クロック	AD27
GPMC0_DIR	O	GPMC データ バス信号方向制御	R28、Y25
GPMC0_OEn_REn	O	GPMC 出力イネーブル (アクティブ Low) または読み出し イネーブル (アクティブ Low)	U26
GPMC0_WEn	O	GPMC 書き込みイネーブル (アクティブ Low)	AD24
GPMC0_WPn	O	GPMC フラッシュ書き込み保護 (アクティブ Low)	AB27
GPMC0_A0	OZ	GPMC アドレス 0 出力。8 ビット データ非多重化メモリを効果的にアドレス指定するためにのみ使用されます。	T25
GPMC0_A1	OZ	GPMC アドレス 1 出力 (A/D 非多重化モード) およびアドレス 17 (A/D 多重化モード)	W24
GPMC0_A2	OZ	GPMC アドレス 2 出力 (A/D 非多重化モード) およびアドレス 18 (A/D 多重化モード)	AA25
GPMC0_A3	OZ	GPMC アドレス 3 出力 (A/D 非多重化モード) およびアドレス 19 (A/D 多重化モード)	V25
GPMC0_A4	OZ	GPMC アドレス 4 出力 (A/D 非多重化モード) およびアドレス 20 (A/D 多重化モード)	T24
GPMC0_A5	OZ	GPMC アドレス 5 出力 (A/D 非多重化モード) およびアドレス 21 (A/D 多重化モード)	AB25
GPMC0_A6	OZ	GPMC アドレス 6 出力 (A/D 非多重化モード) およびアドレス 22 (A/D 多重化モード)	T23
GPMC0_A7	OZ	GPMC アドレス 7 出力 (A/D 非多重化モード) およびアドレス 23 (A/D 多重化モード)	U24
GPMC0_A8	OZ	GPMC アドレス 8 出力 (A/D 非多重化モード) およびアドレス 24 (A/D 多重化モード)	AC25
GPMC0_A9	OZ	GPMC アドレス 9 出力 (A/D 非多重化モード) およびアドレス 25 (A/D 多重化モード)	AD26
GPMC0_A10	OZ	GPMC アドレス 10 出力 (A/D 非多重化モード) およびアドレス 26 (A/D 多重化モード)	U25
GPMC0_A11	OZ	GPMC アドレス 11 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	AA24

表 5-99. GPMC0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
GPMC0_A12	OZ	GPMC アドレス 12 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	V28
GPMC0_A13	OZ	GPMC アドレス 13 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	T28
GPMC0_A14	OZ	GPMC アドレス 14 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	T25、V23
GPMC0_A15	OZ	GPMC アドレス 15 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	AB24
GPMC0_A16	OZ	GPMC アドレス 16 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	Y28
GPMC0_A17	OZ	GPMC アドレス 17 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	AA23
GPMC0_A18	OZ	GPMC アドレス 18 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	Y24
GPMC0_A19	OZ	GPMC アドレス 19 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	W23
GPMC0_A20	OZ	GPMC アドレス 20 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	AD25
GPMC0_A21	OZ	GPMC アドレス 21 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	AF28
GPMC0_A22	OZ	GPMC アドレス 22 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	AE28
GPMC0_A23	OZ	GPMC アドレス 23 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	AC24
GPMC0_A24	OZ	GPMC アドレス 24 出力 (A/D 非多重化モード) (A/D 多重化モードでは未使用)	W25
GPMC0_AD0	IO	GPMC データ 0 入出力 (A/D 非多重化モード) および追加アドレス 1 出力 (A/D 多重化モード)	AB28
GPMC0_AD1	IO	GPMC データ 1 入出力 (A/D 非多重化モード) および追加アドレス 2 出力 (A/D 多重化モード)	U27
GPMC0_AD2	IO	GPMC データ 2 入出力 (A/D 非多重化モード) および追加アドレス 3 出力 (A/D 多重化モード)	AC28
GPMC0_AD3	IO	GPMC データ 3 入出力 (A/D 非多重化モード) および追加アドレス 4 出力 (A/D 多重化モード)	Y26
GPMC0_AD4	IO	GPMC データ 4 入出力 (A/D 非多重化モード) および追加アドレス 5 出力 (A/D 多重化モード)	T26
GPMC0_AD5	IO	GPMC データ 5 入出力 (A/D 非多重化モード) および追加アドレス 6 出力 (A/D 多重化モード)	AB26
GPMC0_AD6	IO	GPMC データ 6 入出力 (A/D 非多重化モード) および追加アドレス 7 出力 (A/D 多重化モード)	AD28
GPMC0_AD7	IO	GPMC データ 7 入出力 (A/D 非多重化モード) および追加アドレス 8 出力 (A/D 多重化モード)	V26
GPMC0_AD8	IO	GPMC データ 8 入出力 (A/D 非多重化モード) および追加アドレス 9 出力 (A/D 多重化モード)	V27
GPMC0_AD9	IO	GPMC データ 9 入出力 (A/D 非多重化モード) および追加アドレス 10 出力 (A/D 多重化モード)	W27
GPMC0_AD10	IO	GPMC データ 10 入出力 (A/D 非多重化モード) および追加アドレス 11 出力 (A/D 多重化モード)	Y27
GPMC0_AD11	IO	GPMC データ 11 入出力 (A/D 非多重化モード) および追加アドレス 12 出力 (A/D 多重化モード)	AA27

表 5-99. GPMC0 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
GPMC0_AD12	IO	GPMC データ 12 入出力 (A/D 非多重化モード) および追加アドレス 13 出力 (A/D 多重化モード)	AA26
GPMC0_AD13	IO	GPMC データ 13 入出力 (A/D 非多重化モード) および追加アドレス 14 出力 (A/D 多重化モード)	AC27
GPMC0_AD14	IO	GPMC データ 14 入出力 (A/D 非多重化モード) および追加アドレス 15 出力 (A/D 多重化モード)	W28
GPMC0_AD15	IO	GPMC データ 15 入出力 (A/D 非多重化モード) および追加アドレス 16 出力 (A/D 多重化モード)	U28
GPMC0_BE0n_CLE	O	GPMC 下位バイト イネーブル (アクティブ Low) またはコマンド ラッチ イネーブル	R27
GPMC0_BE1n	O	GPMC 上位バイト イネーブル (アクティブ Low)	T27
GPMC0_CS0n	O	GPMC チップ セレクト 0 (アクティブ Low)	AA28
GPMC0_CS1n	O	GPMC チップ セレクト 1 (アクティブ Low)	Y25
GPMC0_CS2n	O	GPMC チップ セレクト 2 (アクティブ Low)	T25、V23
GPMC0_CS3n	O	GPMC チップ セレクト 3 (アクティブ Low)	AC24
GPMC0_WAIT0	I	GPMC ウェイト外部表示	R28
GPMC0_WAIT1	I	GPMC ウェイト外部表示	AB24
GPMC0_WAIT2	I	GPMC ウェイト外部表示	AE28
GPMC0_WAIT3	I	GPMC ウェイト外部表示	T28

5.3.26 MMC

5.3.26.1 メイン ドメイン

表 5-100. MMC0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MMC0_CALPAD ⁽¹⁾	A	MMC/SD/SDIO 較正抵抗	AF1
MMC0_CLK	O	MMC/SD/SDIO クロック	AC6
MMC0_CMD	IO	MMC/SD/SDIO コマンド	AF2
MMC0_DS	IO	MMC データ スローブ	AE3
MMC0_DAT0	IO	MMC/SD/SDIO データ	AF4
MMC0_DAT1	IO	MMC/SD/SDIO データ	AD3
MMC0_DAT2	IO	MMC/SD/SDIO データ	AD4
MMC0_DAT3	IO	MMC/SD/SDIO データ	AF3
MMC0_DAT4	IO	MMC/SD/SDIO データ	AE2
MMC0_DAT5	IO	MMC/SD/SDIO データ	AG3
MMC0_DAT6	IO	MMC/SD/SDIO データ	AE1
MMC0_DAT7	IO	MMC/SD/SDIO データ	AG1

(1) このピンと VSS との間に 10kΩ ±1% の外付け抵抗を接続する必要があります。このピンに外部電圧を印加しないでください。

表 5-101. MMC1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MMC1_CLK ⁽²⁾	IO	MMC/SD/SDIO クロック	P23
MMC1_CMD	IO	MMC/SD/SDIO コマンド	N24
MMC1_SDCD ⁽¹⁾	I	SD カード検出	AE25
MMC1_SDWP	I	SD 書き込み保護	AG25

表 5-101. MMC1 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MMC1_DAT0	IO	MMC/SD/SDIO データ	M23
MMC1_DAT1	IO	MMC/SD/SDIO データ	P24
MMC1_DAT2	IO	MMC/SD/SDIO データ	R24
MMC1_DAT3	IO	MMC/SD/SDIO データ	R22

- (1) MMC1 インターフェイスからの ROM ブートを正常に動作させるには、SD カード / メモリデバイスが存在することを示すために、抵抗で MMC1_SDCD ピンを外部的に Low にプルする必要があります。
- (2) MMC1_CLK 信号を正常に動作させるには、リタイミング目的のため、CTRLMMR_PADCONFIG64 レジスタの RXACTIVE ビットを 0x1 に設定する必要があります。

5.3.27 OSPI

5.3.27.1 MCU ドメイン

表 5-102. MCU_OSPI0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCU_OSPI0_CLK	O	OSPI クロック	D19
MCU_OSPI0_DQS	I	OSPI データ ストローブ (DQS) またはループバック クロック入力	E18
MCU_OSPI0_ECC_FAIL	I	OSPI ECC ステータス	B19, F17
MCU_OSPI0_LBCLKO	IO	OSPI ループバック クロック出力	E20
MCU_OSPI0_CSn0	O	OSPI チップ セレクト 0 (アクティブ Low)	F15
MCU_OSPI0_CSn1	O	OSPI チップ セレクト 1 (アクティブ Low)	G17
MCU_OSPI0_CSn2	O	OSPI チップ セレクト 2 (アクティブ Low)	B20, F14
MCU_OSPI0_CSn3	O	OSPI チップ セレクト 3 (アクティブ Low)	B19, F17
MCU_OSPI0_D0	IO	OSPI データ 0	C19
MCU_OSPI0_D1	IO	OSPI データ 1	F16
MCU_OSPI0_D2	IO	OSPI データ 2	G15
MCU_OSPI0_D3	IO	OSPI データ 3	F18
MCU_OSPI0_D4	IO	OSPI データ 4	E19
MCU_OSPI0_D5	IO	OSPI データ 5	G19
MCU_OSPI0_D6	IO	OSPI データ 6	F19
MCU_OSPI0_D7	IO	OSPI データ 7	F20
MCU_OSPI0_RESET_OUT0	O	OSPI のリセット	B20, F14
MCU_OSPI0_RESET_OUT1	O	OSPI のリセット	C21, F17

表 5-103. MCU_OSPI1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCU_OSPI1_CLK	O	OSPI クロック	A19
MCU_OSPI1_DQS	I	OSPI データ ストローブ (DQS) またはループバック クロック入力	B19
MCU_OSPI1_LBCLKO	IO	OSPI ループバック クロック出力	B20
MCU_OSPI1_CSn0	O	OSPI チップ セレクト 0 (アクティブ Low)	D20
MCU_OSPI1_CSn1	O	OSPI チップ セレクト 1 (アクティブ Low)	C21
MCU_OSPI1_D0	IO	OSPI データ 0	D21
MCU_OSPI1_D1	IO	OSPI データ 1	G20
MCU_OSPI1_D2	IO	OSPI データ 2	C20

表 5-103. MCU_OSPI1 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCU_OSPI1_D3	IO	OSPI データ 3	A20

5.3.28 Hyperbus

5.3.28.1 MCU ドメイン

表 5-104. MCU_HYPERBUS0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCU_HYPERBUS0_CK	O	Hyperbus 差動クロック (正)	D19
MCU_HYPERBUS0_CK _n	O	Hyperbus 差動クロック (負)	E20
MCU_HYPERBUS0_INT _n	I	Hyperbus 割り込み (アクティブ Low)	B19、F17
MCU_HYPERBUS0_RESET _n	O	Hyperbus リセット (アクティブ Low) 出力	G17
MCU_HYPERBUS0_RESET _{On}	I	Hyperbus メモリからの Hyperbus リセット ステータス インジケータ (アクティブ Low)	B20、F14
MCU_HYPERBUS0_RWDS	IO	Hyperbus 読み取り / 書き込みデータ ストロブ	E18
MCU_HYPERBUS0_WP _n	O	Hyperbus 書き込み保護 (未使用)	C21、F14、F17
MCU_HYPERBUS0_CS _{n0}	O	Hyperbus チップ セレクト 0	F15
MCU_HYPERBUS0_CS _{n1}	O	Hyperbus チップ セレクト 1	C21、F14
MCU_HYPERBUS0_DQ0	IO	Hyperbus データ 0	C19
MCU_HYPERBUS0_DQ1	IO	Hyperbus データ 1	F16
MCU_HYPERBUS0_DQ2	IO	Hyperbus データ 2	G15
MCU_HYPERBUS0_DQ3	IO	Hyperbus データ 3	F18
MCU_HYPERBUS0_DQ4	IO	Hyperbus データ 4	E19
MCU_HYPERBUS0_DQ5	IO	Hyperbus データ 5	G19
MCU_HYPERBUS0_DQ6	IO	Hyperbus データ 6	F19
MCU_HYPERBUS0_DQ7	IO	Hyperbus データ 7	F20

5.3.29 エミュレーションおよびデバッグ

5.3.29.1 メイン ドメイン

表 5-105. JTAG 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
EMU0	IO	エミュレーション制御 0	A27
EMU1	IO	エミュレーション制御 1	C26
TCK	I	JTAG テスト クロック入力	A25
TDI	I	JTAG テスト データ入力	AG28
TDO	OZ	JTAG テスト データ出力	AE26
TMS	I	JTAG テスト モード選択入力	AG27
TRST _n	I	JTAG のリセット	B28

表 5-106. トレース信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
TRC_CLK	O	トレース クロック	AD28、W25
TRC_CTL	O	トレース制御	AC24、V26
TRC_DATA0	O	トレース データ 0	AD24、AE28
TRC_DATA1	O	トレース データ 1	AB26、AF28

表 5-106. トレース信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
TRC_DATA2	O	トレース データ 2	AD25、T26
TRC_DATA3	O	トレース データ 3	R28、W23
TRC_DATA4	O	トレース データ 4	Y27
TRC_DATA5	O	トレース データ 5	R27
TRC_DATA6	O	トレース データ 6	W27
TRC_DATA7	O	トレース データ 7	T27
TRC_DATA8	O	トレース データ 8	V27
TRC_DATA9	O	トレース データ 9	AA27
TRC_DATA10	O	トレース データ 10	AB27
TRC_DATA11	O	トレース データ 11	W28
TRC_DATA12	O	トレース データ 12	Y26
TRC_DATA13	O	トレース データ 13	AC27
TRC_DATA14	O	トレース データ 14	AC28
TRC_DATA15	O	トレース データ 15	AA26
TRC_DATA16	O	トレース データ 16	U28
TRC_DATA17	O	トレース データ 17	Y25
TRC_DATA18	O	トレース データ 18	U26
TRC_DATA19	O	トレース データ 19	AA28
TRC_DATA20	O	トレース データ 20	AD27
TRC_DATA21	O	トレース データ 21	Y24
TRC_DATA22	O	トレース データ 22	AA23
TRC_DATA23	O	トレース データ 23	Y28
TRC_DATA24	O	トレース データ 24	AB24
TRC_DATA25	O	トレース データ 25	V23

5.3.30 システム、その他

5.3.30.1 ブート モードの構成

表 5-107. Sysboot 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
BOOTMODE00	I	ブートモード ピン 0	C19
BOOTMODE01	I	ブートモード ピン 1	F16
BOOTMODE02	I	ブートモード ピン 2	E19
BOOTMODE03	I	ブートモード ピン 3	G19
BOOTMODE04	I	ブートモード ピン 4	G27
BOOTMODE05	I	ブートモード ピン 5	J26
BOOTMODE06	I	ブートモード ピン 6	G25
BOOTMODE07	I	ブートモード ピン 7	J27
MCU_BOOTMODE00	I	MCU ブートモード ピン 0	B27
MCU_BOOTMODE01	I	MCU ブートモード ピン 1	D24
MCU_BOOTMODE02	I	MCU ブートモード ピン 2	B25
MCU_BOOTMODE03	I	MCU ブートモード ピン 3	D26
MCU_BOOTMODE04	I	MCU ブートモード ピン 4	E24

表 5-107. Sysboot 信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCU_BOOTMODE05	I	MCU ブートモード ピン 5	C28
MCU_BOOTMODE06	I	MCU ブートモード ピン 6	B24
MCU_BOOTMODE07	I	MCU ブートモード ピン 7	D25
MCU_BOOTMODE08	I	MCU ブートモード ピン 8	C25
MCU_BOOTMODE09	I	MCU ブートモード ピン 9	C24

5.3.30.2 クロック

表 5-108. Clock0 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
WKUP_LF_CLKIN	I	低周波数 (32.768kHz) 発振器入力	J27
WKUP_OSC0_XI	I	高周波数発振器入力	H28
WKUP_OSC0_XO	O	高周波数発振器出力	J28

表 5-109. Clock1 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
OSC1_XI	I	高周波数発振器入力	M28
OSC1_XO	O	高周波数発振器出力	L28

5.3.30.3 システム

表 5-110. MCU システム信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
MCU_CLKOUT0	OZ	イーサネット PHY の基準クロック出力 (50MHz または 25MHz)	F25
MCU_EXT_REFCLK0	I	外部システム クロック入力	F27、K26
MCU_OBSCLK0	O	監視クロック出力は、テストとデバッグのみを目的としています。	C26、F25
MCU_PORz	I	MCU ドメイン コールドリセット	G23
MCU_RESETSTATz	O	MCU ドメイン ウォームリセット ステータス出力	A23
MCU_RESETz	I	MCU ドメイン ウォームリセット	A26
MCU_SAFETY_ERRORn	IO	MCU ドメイン ESM からのエラー信号出力	J23
MCU_SYSCLKOUT0	O	テストおよびデバッグ専用 MCU ドメイン システム クロック 出力	F27

表 5-111. システム信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
AUDIO_EXT_REFCLK0	IO	選択可能な入力クロックソースの 1 つとして、または ATL または McASP の出力クロック出力として、ATL または McASP に配線される外部クロック	AD24
AUDIO_EXT_REFCLK1	IO	選択可能な入力クロックソースの 1 つとして、または ATL または McASP の出力クロック出力として、ATL または McASP に配線される外部クロック	Y25
EXTINTn	I	外部割り込み	AG24
EXT_REFCLK1	I	メインドメインへの外部クロック入力。タイマ / WDT モジュールのための選択可能な入力クロック源の 1 つとして、または MAIN_PLL2 (PER1 PLL) への基準クロックとして、タイマ クロック マルチプレクサに配線します。	AD28

表 5-111. システム信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
GPMC0_FCLK_MUX	O	MUX ロジックで選択された GPMC 機能クロック出力	AD27
OBSCLK0	O	監視クロック出力は、テストとデバッグのみを目的としています。	AG25
OBSCLK1	O	監視クロック出力は、テストとデバッグのみを目的としています。	Y26
PMIC_POWER_EN1	O	メインドメイン電源用のパワー イネーブル出力	G26
PMIC_WAKE0	O	PMIC ウェークアップ (アクティブ Low)	AD24
PMIC_WAKE1	O	PMIC ウェークアップ (アクティブ Low)	K26
PORz	I	SoC PORz リセット信号	K23
RESETSTATz	O	メインドメインのウォーム リセット ステータス出力	AF27
RESET_REQz	I	メインドメインの外部ウォーム リセット要求入力	A24
SOC_SAFETY_ERRORn	IO	メインドメイン ESM からのエラー信号出力	AF25
SYNC0_OUT	O	CPTS タイム スタンプ ジェネレータのビット 0	AB26
SYNC1_OUT	O	CPTS タイム スタンプ ジェネレータのビット 1	AD28
SYNC2_OUT	O	CPTS タイム スタンプ ジェネレータのビット 2	T28
SYNC3_OUT	O	CPTS タイム スタンプ ジェネレータのビット 3	Y27
SYSCLKOUT0	O	メイン PLL コントローラからの SYSCLK0 出力 (6 分周、テストおよびデバッグ専用)	AE25

5.3.30.4 EFUSE

表 5-112. EFUSE 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
VPP_CORE	PWR	MAIN ドメイン eFuse のプログラミング電圧	V22
VPP_MCU	PWR	MCU ドメイン eFuse のプログラミング電圧	H22

5.3.30.5 VMON

表 5-113. VMON 信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
VMON1_ER_VSYS	A	電圧モニタ、固定 0.45V (±3%) スレッシュホールド。PMIC 入力電源などのより高い電圧レールを監視するには、外付けの高精度分圧器と組み合わせて使用します。	H23
VMON2_IR_VCPU	A	VDD_CPU に外部で直接接続することを推奨します。	M18
VMON3_IR_VEXT1P8	A	外部電源向けの汎用電圧モニタ、1.8V スレッシュホールド。抵抗分圧器内蔵。	L22
VMON4_IR_VEXT1P8	A	外部電源向けの汎用電圧モニタ、1.8V スレッシュホールド。抵抗分圧器内蔵。	N19
VMON5_IR_VEXT3P3	A	外部電源向けの汎用電圧モニタ、3.3V スレッシュホールド。抵抗分圧器内蔵。	N20
VMON6_IR_VEXT0P8	A	外部電源向けの汎用電圧モニタ、0.8V スレッシュホールド。抵抗分圧器内蔵。	L18

5.3.31 電源

表 5-114. 電源信号の説明

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
CAP_VDDS0 ⁽¹⁾	CAP	外部コンデンサ接続	T21
CAP_VDDS0_MCU ⁽¹⁾	CAP	外部コンデンサ接続	J20

表 5-114. 電源信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
CAP_VDDSD1_MCU ⁽¹⁾	CAP	外部コンデンサ接続	G16
CAP_VDDSD2 ⁽¹⁾	CAP	外部コンデンサ接続	P21
CAP_VDDSD2_MCU ⁽¹⁾	CAP	外部コンデンサ接続	H17
CAP_VDDSD5 ⁽¹⁾	CAP	外部コンデンサ接続	M22
VDDAR_CORE	PWR	コア RAM 電源	N17、V11、V16、Y20
VDDAR_CPU	PWR	CPU RAM 電源	H9、K14、P11、P14、V13
VDDAR_MCU	PWR	MCU RAM 電源	K17、K19
VDDA_0P8_DSITX	PWR	DSITX のアナログ電源	AB14
VDDA_0P8_DSITX_C	PWR	DSITX クロック電源	AB15
VDDA_0P8_USB	PWR	USB 0.8V 電源	AB8
VDDA_0P8_CSIRX0_1	PWR	CSIRX のアナログ電源	AB17、AB18
VDDA_0P8_DLL_MMC0	PWR	MMC DLL アナログ電源	W7
VDDA_0P8_PLL_DDR0	PWR	DDR デスキュー PLL アナログ電源	P10
VDDA_0P8_PLL_DDR1	PWR	DDR デスキュー PLL アナログ電源	J14
VDDA_0P8_SERDES0_1	PWR	SERDES 0.8V 電源	AB10、AB11
VDDA_0P8_SERDES_C0_1	PWR	SERDES 0.8V クロック電源	AA10、AA11
VDDA_1P8_DSITX	PWR	DSITX のアナログ電源	AA14、AA15
VDDA_1P8_USB	PWR	USB 1.8V 電源	AB7
VDDA_1P8_CSIRX0_1	PWR	CSIRX のアナログ電源	AA17、AA19
VDDA_1P8_SERDES0_1	PWR	SERDES 1.8V 電源	AA12
VDDA_1P8_SERDES2_4	PWR	SERDES 1.8V 電源	AB13
VDDA_3P3_USB	PWR	USB 3.3V 電源	AB9
VDDA_ADC0	PWR	ADC0 アナログ電源	J21
VDDA_ADC1	PWR	ADC1 アナログ電源	K21
VDDA_MCU_PLLGRP0	PWR	MCU PLL グループ 0 のアナログ電源	K22
VDDA_MCU_TEMP	PWR	MCU 温度センサのアナログ電源	J17
VDDA_OSC1	PWR	HFOSC1 電源	L21
VDDA_PLLGRP0	PWR	MAIN PLL グループ 0 のアナログ電源	U18
VDDA_PLLGRP1	PWR	MAIN PLL グループ 1 のアナログ電源	V19
VDDA_PLLGRP2	PWR	MAIN PLL グループ 2 のアナログ電源	Y11
VDDA_PLLGRP5	PWR	MAIN PLL グループ 5 のアナログ電源	N14
VDDA_PLLGRP6	PWR	MAIN PLL グループ 6 のアナログ電源	R12
VDDA_PLLGRP7	PWR	MAIN PLL グループ 7 のアナログ電源	R11
VDDA_PLLGRP8	PWR	MAIN PLL グループ 8 のアナログ電源	K12
VDDA_PLLGRP9	PWR	MAIN PLL グループ 9 のアナログ電源	T18
VDDA_PLLGRP10	PWR	MAIN PLL グループ 10 のアナログ電源	Y16
VDDA_PLLGRP12	PWR	MAIN PLL グループ 12 のアナログ電源	Y18
VDDA_PLLGRP13	PWR	MAIN PLL グループ 13 のアナログ電源	V12
VDDA_POR_WKUP	PWR	WKUP ドメイン アナログ電源	L20
VDDA_TEMP0	PWR	温度センサ 0 のアナログ電源	U19
VDDA_TEMP1	PWR	温度センサ 1 のアナログ電源	K10
VDDA_TEMP2	PWR	温度センサ 2 のアナログ電源	T16

表 5-114. 電源信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
VDDA_TEMP3	PWR	温度センサ 3 のアナログ電源	U10
VDDA_TEMP4	PWR	温度センサ 4 のアナログ電源	Y14
VDDA_WKUP	PWR	WKUP ドメインの発振器電源	J22
VDDSHV0	PWR	IO の電源	R21、U21、U22
VDDSHV0_MCU	PWR	IO の電源	H19、H20
VDDSHV1_MCU	PWR	IO の電源	H16、J16
VDDSHV2	PWR	IO の電源	M20、R20
VDDSHV2_MCU	PWR	IO の電源	G18、H18
VDDSHV5	PWR	IO の電源	M21、N22
VDDS_DDR	PWR	DDR PHY IO 電源	A1、A18、AA1、G10、 G12、G14、G6、H11、 H13、H15、J6、L6、N6、 N9、P7、P8、R6、U9
VDDS_DDR_C0	PWR	DDR クロックの IO 電源	R9
VDDS_DDR_C1	PWR	DDR クロックの IO 電源	J12
VDDS_MMC0	PWR	MMC0 PHY IO 電源	Y7、Y8
VDD_CORE	PWR	メインドメイン コア電源	AA21、AB20、J13、J15、 M16、M19、N10、P18、R17、 R19、T10、T20、U15、U17、 U8、V14、V18、V20、V7、 V9、W10、W13、W15、 W17、W19、W21、W8、 Y12、Y22、Y9
VDD_CPU	PWR	CPU コア電源	G8、H7、J8、K11、K13、K7、 K9、L8、M14、M7、M9、N11、 N15、P16、R13、R15、T12、 T14、U11、U13
VDD_MCU	PWR	MCU コア電源	K16、K18、L15、L17、L19
VDD_MCU_WAKE1	PWR	MCU デイジー チェーンのコア電源	J19
VDD_WAKE0	PWR	MAIN ドメイン デイジー チェーンのコア電源	P20

表 5-114. 電源信号の説明 (続き)

信号名 [1]	ピンの種類 [2]	説明 [3]	ALZ ピン [4]
VSS	GND	グラウンド	A14, A5, AA13, AA16, AA18, AA20, AA22, AA3, AA5, AA7, AA9, AB12, AB16, AB19, AB2, AB21, AB23, AB4, AB6, AC11, AC22, AC26, AC3, AC5, AC7, AC8, AD15, AD18, AD21, AD6, AD9, AE10, AE14, AE17, AE20, AE23, AE4, AE7, AF12, AF15, AF18, AF21, AF24, AF5, AF8, AG10, AG14, AG17, AG20, AG23, AG4, AG7, AH1, AH12, AH15, AH18, AH21, AH24, AH3, AH6, AH9, B11, B13, B15, B17, B2, B23, B4, B6, B8, C1, C12, C14, C16, C18, C3, C5, C7, D11, D13, D15, D17, D2, D4, D6, D8, E1, E12, E14, E16, E26, E3, E5, E7, F2, F4, F6, G13, G28, G3, G5, G7, G9, H10, H12, H14, H2, H21, H4, H6, H8, J1, J11, J18, J24, J3, J5, J7, J9, K15, K2, K20, K27, K4, K6, K8, L14, L16, L3, L5, L7, L9, M15, M17, M2, M25, M4, M6, M8, N1, N16, N18, N21, N23, N3, N7, P15, P17, P19, P22, P6
VSS (続き)	GND	グラウンド	P9, R10, R14, R16, R18, R23, R26, R7, T11, T13, T15, T17, T19, T2, T22, T4, T6, T9, U12, U14, U16, U20, U23, U3, U5, U7, V10, V15, V17, V2, V21, V24, V4, V6, V8, W1, W11, W12, W14, W16, W18, W20, W22, W26, W3, W6, W9, Y10, Y13, Y15, Y17, Y19, Y2, Y21, Y23, Y4, Y6

(1) このピンは、常に $1\mu\text{F} \pm 10\%$ のコンデンサを介して VSS に接続する必要があります。

5.4 未使用ピンの接続

このセクションでは、特定の接続要件を持つパッケージ ボールと、未使用のパッケージ ボールの接続要件について説明します。

注

「信号の説明」「」に特に記述のない限り、すべての電源ボールには「推奨動作条件」「」セクションで規定されている電圧を供給する必要があります。

注

「未接続のまま」または「接続なし」(NC) は、これらのデバイスのボール番号にいかなる信号トレースも接続できないことを意味します。

表 5-115 に、特定の信号の接続要件をボール名とボール番号ごとに示します。

表 5-115. 接続要件

ボール 番号	ボール名	接続要件
H28	WKUP_OSC0_XI	使用しない場合は、これらのボールが有効なロジック Low レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して VSS に接続する必要があります。
M28	OSC1_XI	
B28	TRSTN	
G1	DDR0_DQS0P	
L1	DDR0_DQS1P	
V1	DDR0_DQS2P	
AB1	DDR0_DQS3P	
A16	DDR1_DQS0P	
A13	DDR1_DQS1P	
A6	DDR1_DQS2P	
A3	DDR1_DQS3P	
T8	DDR0_RET	
J10	DDR1_RET	
H23	VMON1_ER_VSYS	
L18	VMON6_IR_VEXT0P8	
L22	VMON3_IR_VEXT1P8	
M18	VMON2_IR_VCPU	
N19	VMON4_IR_VEXT1P8	
N20	VMON5_IR_VEXT3P3	
L25	MCU_ADC0_AIN0	使用しない場合は、これらのボールが有効なロジック Low レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して VSS に接続するか VSS に直接接続できます。
K25	MCU_ADC0_AIN1	
M24	MCU_ADC0_AIN2	
L24	MCU_ADC0_AIN3	
L27	MCU_ADC0_AIN4	
K24	MCU_ADC0_AIN5	
M27	MCU_ADC0_AIN6	
M26	MCU_ADC0_AIN7	
P25	MCU_ADC1_AIN0	
R25	MCU_ADC1_AIN1	
P28	MCU_ADC1_AIN2	
P27	MCU_ADC1_AIN3	
N25	MCU_ADC1_AIN4	
P26	MCU_ADC1_AIN5	
N26	MCU_ADC1_AIN6	
N27	MCU_ADC1_AIN7	

表 5-115. 接続要件 (続き)

ボール番号	ボール名	接続要件
AC10	SERDES0_REXT	使用しない場合は、これらのボールが有効なロジック Low レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して VSS に接続する必要があります。各信号に対応するプル抵抗の適切な値については、「 信号の説明 」の脚注を参照してください。
AC18	CSI0_RXRCALIB	
AC21	CSI1_RXRCALIB	
R8	DDR0_CAL0	
E8	DDR1_CAL0	
AC13	DSI0_TXRCALIB	
AC15	DSI1_TXRCALIB	
AA6	USB0_RCALIB	
A26	MCU_RESETZ	使用しない場合は、これらのボールが有効なロジック High レベルに保持されるように、これらの各ボールを個別の外付けプル抵抗を介して対応する電源に接続する必要があります。
G23	MCU_PORZ	
K23	PORZ	
A24	RESET_REQZ	
A25	TCK	
AG27	TMS	
G24	MCU_I2C0_SCL	
H24	WKUP_I2C0_SCL	
H27	WKUP_I2C0_SDA	
J25	MCU_I2C0_SDA	
AE24	I2C0_SDA	
AH25	I2C0_SCL	
AG24	EXTINTN	
AG28	TDI	
AE26	TDO	
A27	EMU0	
C26	EMU1	
H1	DDR0_DQS0N	
M1	DDR0_DQS1N	
U1	DDR0_DQS2N	
AC1	DDR0_DQS3N	
A15	DDR1_DQS0N	
A12	DDR1_DQS1N	
A7	DDR1_DQS2N	
A2	DDR1_DQS3N	
H22	VPP_MCU	使用しない場合は、これらの各ボールを未接続のままにする必要があります。
V22	VPP_CORE	
AF1	MMC0_CALPAD	
	DDR0_*	DDRSS0 と DDRSS1 は常に増分の順序で使用する必要があります。たとえば、単一の LPDDR 部品を使用する場合は、 DDR0_* インターフェイスに接続する必要があります。2 つの LPDDR 部品を使用する場合は、 DDR0_* および DDR1_* インターフェイスに接続する必要があります。
	DDR1_*	

表 5-116 に、デバイスの予備ボール番号に固有の接続要件を示します。

注

「未接続のまま」または「接続なし」(NC) は、これらのデバイスのボール番号にいかなる信号トレースも接続できないことを意味します。

表 5-116. 予備ボールの固有の接続要件

ボール番号	接続要件
AB22 / AC12 / AC14 / AC16 / AC17 / AC19 / AC20 / AC23 / AD10 / AD11 / AD12 / AD5 / AE11 / F13 / G11 / G21 / H25 / K28 / L23 / L26 / N28 / N8 / T7	予備。 これらのボールは未接続のままにする必要があります。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾ ⁽²⁾

パラメータ		最小値	最大値	単位
VDD_CORE	メインドメイン コア電源	-0.3	1.05	V
VDD_MCU	MCUSS コア電源	-0.3	1.05	V
VDD_CPU	CPU コア電源	-0.3	1.05	V
VDD_MCU_WAKE1	MCU WAKE 機能のコア電源	-0.3	1.05	V
VDD_WAKE0	メインドメイン WAKE 機能のコア電源	-0.3	1.05	V
VDDA_0P8_DLL_MMC0	MMC0 DLL アナログ電源	-0.3	1.05	V
VDDAR_CORE	メインドメイン RAM 電源	-0.3	1.05	V
VDDAR_MCU	MCUSS RAM 電源	-0.3	1.05	V
VDDAR_CPU	CPU RAM 電源	-0.3	1.05	V
VDDA_0P8_DSITX	DSITX クロック電源	-0.3	1.05	V
VDDA_0P8_DSITX_C	DSITX クロック電源	-0.3	1.05	V
VDDA_0P8_CSIRX0_1	CSIRX アナログ電源 LOW	-0.3	1.05	V
VDDA_0P8_SERDES0_1	SERDES0-1 アナログ電源 LOW	-0.3	1.05	V
VDDA_0P8_SERDES_C0_1	SERDES0-1 クロック電源	-0.3	1.05	V
VDDA_0P8_USB	USB0-1 0.8 V アナログ電源	-0.3	1.05	V
VDDA_0P8_PLL_DDR0	DDR0 PLL アナログ電源	-0.3	1.05	V
VDDA_0P8_PLL_DDR1	DDR1 PLL アナログ電源	-0.3	1.05	V
VDDA_1P8_USB	USB0-1 1.8 V アナログ電源	-0.3	2.2	V
VDDA_1P8_DSITX	DSITX アナログ電源 HIGH	-0.3	2.2	V
VDDA_1P8_CSIRX0_1	CSIRX アナログ電源 HIGH	-0.3	2.2	V
VDDA_1P8_SERDES0_1	SERDES0-1 アナログ電源 HIGH	-0.3	2.2	V
VDDA_1P8_SERDES2_4	SERDES2-4 アナログ電源 HIGH	-0.3	2.2	V
VDDA_3P3_USB	USB0-1 3.3 V アナログ電源	-0.3	3.8	V
VDDA_MCU_PLLGRP0	MCU PLL グループ 0 のアナログ電源	-0.3	2.2	V
VDDA_PLLGRP0	メイン PLL グループ 0 のアナログ電源	-0.3	2.2	V
VDDA_PLLGRP1	メイン PLL グループ 1 のアナログ電源	-0.3	2.2	V
VDDA_PLLGRP2	メイン PLL グループ 2 のアナログ電源	-0.3	2.2	V
VDDA_PLLGRP5	メイン PLL グループ 5 のアナログ電源 (DDR)	-0.3	2.2	V
VDDA_PLLGRP6	メイン PLL グループ 6 のアナログ電源	-0.3	2.2	V
VDDA_PLLGRP7	メイン PLL グループ 7 のアナログ電源	-0.3	2.2	V
VDDA_PLLGRP8	メイン PLL グループ 8 のアナログ電源	-0.3	2.2	V
VDDA_PLLGRP9	メイン PLL グループ 9 のアナログ電源	-0.3	2.2	V
VDDA_PLLGRP10	メイン PLL グループ 10 のアナログ電源	-0.3	2.2	V
VDDA_PLLGRP12	メイン PLL グループ 12 のアナログ電源	-0.3	2.2	V
VDDA_PLLGRP13	メイン PLL グループ 13 のアナログ電源	-0.3	2.2	V
VDDA_WKUP	WKUP ドメインの発振器電源	-0.3	2.2	V
VDDA_ADC0	ADC アナログ電源	-0.3	2.2	V
VDDA_ADC1	ADC アナログ電源	-0.3	2.2	V
VDDA_MCU_TEMP	MCU ドメインの温度センサ 0 のアナログ電源	-0.3	2.2	V

6.1 絶対最大定格 (続き)

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾ ⁽²⁾

パラメータ			最小値	最大値	単位
VDDA_POR_WKUP	WKUP ドメイン アナログ電源		-0.3	2.2	V
VDDA_TEMP_0	温度センサ 0 のアナログ電源		-0.3	2.2	V
VDDA_TEMP_1	温度センサ 1 のアナログ電源		-0.3	2.2	V
VDDA_TEMP_2	温度センサ 2 のアナログ電源		-0.3	2.2	V
VDDA_TEMP_3	温度センサ 3 のアナログ電源		-0.3	2.2	V
VDDA_TEMP_4	温度センサ 4 のアナログ電源		-0.3	2.2	V
VDDA_OSC1	HFOSC1 電源		-0.3	2.2	V
VDDS_DDR	DDR インターフェイス電源		-0.3	1.2	V
VDDS_DDR_C0	DDR0 メモリ クロック ビット (MCB) マクロの IO 電源		-0.3	1.2	V
VDDS_DDR_C1	DDR1 メモリ クロック ビット (MCB) マクロの IO 電源		-0.3	1.2	V
VDDS_MMC0	MMC0 IO 電源		-0.3	2.2	V
VDDSHV0_MCU	IO 電源の MCUSS 汎用 IO グループ、MCU およびメインドメインのウォームリセットピン	1.8 V	-0.3	2.2	V
		3.3 V	-0.3	3.8	
VDDSHV0	メインドメイン全般の IO 電源	1.8 V	-0.3	2.2	V
		3.3 V	-0.3	3.8	
VDDSHV1_MCU	MCUSS IO グループ 1 の IO 電源	1.8 V	-0.3	2.2	V
		3.3 V	-0.3	3.8	
VDDSHV2_MCU	MCUSS IO グループ 2 の IO 電源	1.8 V	-0.3	2.2	V
		3.3 V	-0.3	3.8	
VDDSHV2	メインドメイン IO グループ 2 の IO 電源	1.8 V	-0.3	2.2	V
		3.3 V	-0.3	3.8	
VDDSHV5	メインドメイン IO グループ 5 の IO 電源	1.8 V	-0.3	2.2	V
		3.3 V	-0.3	3.8	
VPP_CORE	コア eFuse ドメインの電源電圧範囲		-0.3	1.89	V
VPP_MCU	MCU eFuse ドメインの電源電圧範囲		-0.3	1.89	V
USB0_VBUS ⁽⁸⁾	USB VBUS コンパレータ入力電圧範囲		-0.3	3.6	V
すべてのフェイルセーフ IO ピンの定常状態の最大電圧		I2C0_SCL、 I2C0_SDA、 WKUP_I2C0_SCL、 WKUP_I2C0_SDA、 MCU_I2C0_SCL、 MCU_I2C0_SDA、 EXTINTn	-0.3	3.8	V
		MCU_PORz、PORz	-0.3	3.8	
他のすべての IO ピンの定常状態の最大電圧 ⁽³⁾		VMON1_ER_VSYS、 VMON3_IR_VEXT1P8、 VMON4_IR_VEXT1P8、	-0.3	2.2	V
		VMON2_IR_VCPU、 VMON6_IR_VEXT0P8 ⁽⁷⁾	-0.3	1.05	
		VMON5_IR_VEXT3P3 ⁽⁷⁾	-0.3	3.8	
		その他のすべての IO ピン	-0.3	IO 電源電圧 + 0.3	

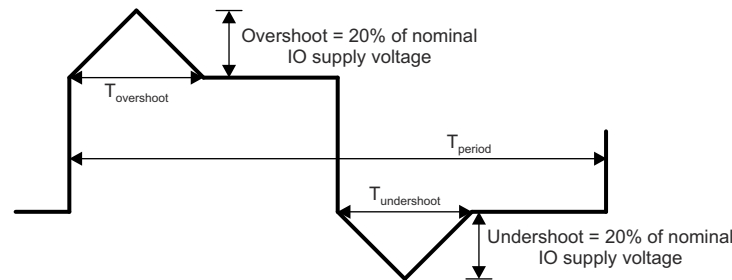
6.1 絶対最大定格 (続き)

自由気流での動作温度範囲内 (特に記述のない限り) ^{(1) (2)}

パラメータ		最小値	最大値	単位
IO ピンの過渡オーバーシュートおよびアンダーシュートの仕様	信号周期の最大 20% にわたって IO 電源電圧の 20% (図 6-1、「IO 過渡電圧範囲」を参照)		$0.2 \times VDD^{(6)}$	V
ラッチアップ性能、Class II (125°C) ⁽⁴⁾	I 試験	-100	100	mA
	過電圧 (OV) 試験	該当なし	$1.5 \times VDD^{(6)}$	V
T _{STG} ⁽⁵⁾	保存温度	-55	+150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) すべての電圧値は、特に記述のない限り、関連付けられた VSS または VSSA_x を基準とします。
- (3) このパラメータはフェイルセーフでないすべての IO ピンに適用され、IO 電源電圧のすべての値に要件が適用されます。たとえば、特定の IO 電源に印加される電圧が 0V の場合、その電源から供給される IO の有効な入力電圧範囲は -0.3V ~ +0.3V になります。ペリフェラル デバイスに電力を供給する電源がそれぞれの IO 電源に電力を供給する電源と同じでない場合は、特別な注意が必要です。接続されているペリフェラルにおいて、電源のランプアップやランプダウンのシーケンスなど、有効な入力電圧範囲外の電圧を供給しないことが重要になります。
- (4) 電流パルス注入:
JEDEC JESD78E (Class II) に従ってピンにストレスを加え、規定の I/O ピン注入電流と最大推奨 I/O 電圧の +1.5 倍および -0.5 倍のクランプ電圧で合格しました。
過電圧性能:
JEDEC JESD78E (Class II) に従って電源にストレスを加え、規定の電圧注入に合格しました。
- (5) テープ アンド リールの保存温度範囲は [-10°C; +50°C]、最大相対湿度は 70% です。使用前に室温に戻すことをお勧めします。
- (6) VDD は、IO の対応する電源ピンの電圧です。
- (7) VMON ピンを使用してシステムの電源を監視できます。詳細については、「VMON/POK によるシステム電源監視の設計ガイドライン」を参照してください。
- (8) このデバイス ピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、「USB VBUS の設計ガイドライン」を参照してください。

フェイルセーフ IO 端子は、それぞれの IO 電源電圧に依存しないように設計されています。これにより、該当する IO 電源がオフのときに、これらの IO 端子に外部電圧源を接続できます。フェイルセーフである具体的な信号については、「すべてのフェイルセーフ IO ピンの定常状態の最大電圧」のパラメータで示してあります。それ以外の IO 端子はいずれもフェイルセーフではなく、それらに印加される電圧は、「絶対最大定格」の「他のすべての IO ピンの定常状態の最大電圧」のパラメータで定義されている値に制限する必要があります。



A. $T_{\text{overshoot}} + T_{\text{undershoot}} < T_{\text{period}}$ の 20%

図 6-1. IO 過渡電圧範囲

6.2 ESD 定格

				値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾		±1000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±250	
			コーナー ピン (A1、AJ29)	±750	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施することを示しています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

電源名 ⁽²⁾	説明	最小値 ⁽¹⁾	公称値	最大値 ⁽¹⁾	単位
VDD_CORE	MAIN ドメイン コア電源のブート / アクティブ電圧	0.76 ⁽¹⁾	0.8	0.84 ⁽¹⁾	V
VDD_MCU	MCUSS コア電源のブート / アクティブ電圧	0.76 ⁽¹⁾	0.8	0.89 ⁽¹⁾	V
VDD_CPU	コールド パワーアップ イベント時に印加される CPU コア電源のブート電圧	0.76 ⁽¹⁾	0.8	0.84 ⁽¹⁾	V
	ソフトウェアで AVS モードを有効にした後の CPU コア電源のアクティブ電圧	AVS ⁽⁵⁾ –5% ⁽¹⁾	AVS ⁽⁵⁾	AVS ⁽⁵⁾ +5% ⁽¹⁾	V
VDD_CPU の AVS 範囲	VDD_CPU の AVS 有効電圧範囲	0.6		0.9	V
VDD_MCU_WAKE1	MCU WAKE 機能のコア電源	0.76	0.8	0.89	V
VDD_WAKE0	メインドメイン WAKE 機能のコア電源	0.76	0.8	0.89	V
VDDA_0P8_DLL_MMC0	MMC PLL アナログ電源	0.76	0.8	0.84	V
VDDAR_CORE	メインドメイン RAM 電源	0.81	0.85	0.89	V
VDDAR_MCU	MCUSS RAM 電源	0.81	0.85	0.89	V
VDDAR_CPU	CPU RAM 電源	0.81	0.85	0.89	V
VDDA_0P8_DSITX	DSITX クロック電源	0.76	0.8	0.84	V
VDDA_0P8_DSITX_C	DSITX クロック電源	0.76	0.8	0.84	V
VDDA_0P8_CSIRX0_1	CSIRX アナログ電源 LOW	0.76	0.8	0.84	V
VDDA_0P8_SERDES0_1	SERDES0-1 アナログ電源 LOW	0.76	0.8	0.84	V
VDDA_0P8_SERDES_C0_1	SERDES0-1 クロック電源	0.76	0.8	0.84	V
VDDA_0P8_USB	USB0-1 0.8V アナログ電源	0.76	0.8	0.84	V
VDDA_0P8_PLL_DDR0	DDR0 PLL アナログ電源 Low	0.76	0.8	0.84	V
VDDA_0P8_PLL_DDR1	DDR1 PLL アナログ電源 Low	0.76	0.8	0.84	V
VDDA_1P8_USB	USB0-1 0.8V アナログ電源	1.71	1.8	1.89	V
VDDA_1P8_DSITX	DSITX アナログ電源 HIGH	1.71	1.8	1.89	V
VDDA_1P8_CSIRX0_1	CSIRX アナログ電源 HIGH	1.71	1.8	1.89	V
VDDA_1P8_SERDES0_1	SERDES0-1 アナログ電源 HIGH	1.71	1.8	1.89	V
VDDA_1P8_SERDES2_4	SERDES2-4 アナログ電源 HIGH	1.71	1.8	1.89	V
VDDA_3P3_USB	USB0-1 3.3V アナログ電源	3.14	3.3	3.46	V
VDDA_MCU_PLLGRP0	MCU PLL グループ 0 のアナログ電源	1.71	1.8	1.89	V
VDDA_PLLGRP0	メイン PLL グループ 0 のアナログ電源	1.71	1.8	1.89	V
VDDA_PLLGRP1	メイン PLL グループ 1 のアナログ電源	1.71	1.8	1.89	V
VDDA_PLLGRP2	メイン PLL グループ 2 のアナログ電源	1.71	1.8	1.89	V
VDDA_PLLGRP5	メイン PLL グループ 5 のアナログ電源 (DDR)	1.71	1.8	1.89	V
VDDA_PLLGRP6	メイン PLL グループ 6 のアナログ電源	1.71	1.8	1.89	V
VDDA_PLLGRP7	メイン PLL グループ 7 のアナログ電源	1.71	1.8	1.89	V

自由気流での動作温度範囲内 (特に記述のない限り)

電源名 ⁽²⁾	説明		最小値 ⁽¹⁾	公称値	最大値 ⁽¹⁾	単位	
VDDA_PLLGRP8	メイン PLL グループ 8 のアナログ電源		1.71	1.8	1.89	V	
VDDA_PLLGRP9	メイン PLL グループ 9 のアナログ電源		1.71	1.8	1.89	V	
VDDA_PLLGRP10	メイン PLL グループ 10 のアナログ電源		1.71	1.8	1.89	V	
VDDA_PLLGRP12	メイン PLL グループ 12 のアナログ電源		1.71	1.8	1.89	V	
VDDA_PLLGRP13	メイン PLL グループ 13 のアナログ電源		1.71	1.8	1.89	V	
VDDA_WKUP	wkupドメインの発振器電源		1.71	1.8	1.89	V	
VDDA_ADC0	ADC アナログ電源		1.71	1.8	1.89	V	
VDDA_ADC1	ADC アナログ電源		1.71	1.8	1.89	V	
VDDA_MCU_TEMP	MCUドメインの温度センサ 0 のアナログ電源		1.71	1.8	1.89	V	
VDDA_POR_WKUP	WKUPドメイン アナログ電源		1.71	1.8	1.89	V	
VDDA_1P8_MLB	MLB IO 電源 (6 ピンインターフェイス)		1.71	1.8	1.89	V	
VDDA_TEMP_0	温度センサ 0 のアナログ電源		1.71	1.8	1.89	V	
VDDA_TEMP_1	温度センサ 1 のアナログ電源		1.71	1.8	1.89	V	
VDDA_TEMP_2	温度センサ 2 のアナログ電源		1.71	1.8	1.89	V	
VDDA_TEMP_3	温度センサ 3 のアナログ電源		1.71	1.8	1.89	V	
VDDA_TEMP_4	温度センサ 4 のアナログ電源		1.71	1.8	1.89	V	
VDDA_OSC1	HFOSC1 のアナログ電源		1.71	1.8	1.89	V	
VDDA_*	すべての VDDA 入力のピークツー ピーク ノイズ				25	mV	
VDDS_DDR ⁽³⁾	DDR インターフェイス電源		1.06	1.1	1.15	V	
VDDS_DDR_C0	DDR0 メモリ クロック ビット (MCB) マクロの IO 電源		1.06	1.1	1.15	V	
VDDS_DDR_C1	DDR1 メモリ クロック ビット (MCB) マクロの IO 電源		1.06	1.1	1.15	V	
VDDS_MMC0	MMC0 IO 電源		1.71	1.8	1.89	V	
VDDSHV0	メインドメイン全般の IO 電源	1.8V 動作	1.71	1.8	1.89	V	
		3.3V 動作	3.14	3.3	3.46	V	
VDDSHV0_MCU	IO 電源の MCUSS 汎用 IO グループ、MCU およびメインドメインのウォームリセットピン	1.8V 動作	1.71	1.8	1.89	V	
		3.3V 動作	3.14	3.3	3.46	V	
VDDSHV1_MCU ⁽⁶⁾	MCUSS IO グループ 1 の IO 電源	1.8V 動作	1.71	1.8	1.89	V	
		3.3V 動作	3.14	3.3	3.46	V	
VDDSHV2	メインドメイン IO グループ 2 の IO 電源	1.8V 動作	1.71	1.8	1.89	V	
		3.3V 動作	3.14	3.3	3.46	V	
VDDSHV2_MCU	MCUSS IO グループ 2 の IO 電源	1.8V 動作	1.71	1.8	1.89	V	
		3.3V 動作	3.14	3.3	3.46	V	
VDDSHV5	メインドメイン IO グループ 5 の IO 電源	1.8V 動作	1.71	1.8	1.89	V	
		3.3V 動作	3.14	3.3	3.46	V	
USB0_VBUS	USB VBUS コンパレータ入力の電圧範囲		0	⁽⁷⁾ を参照		V	
USB0_ID	USB ID 入力の電圧範囲		⁽⁴⁾ を参照			V	
VSS	グラウンド		0			V	
T _J	動作ジャンクション温度範囲	車載用	-40			125	°C
		拡張	-40			105	°C
		商用	0			90	°C

(1) すべての VDD* 電源入力について、デバイス ボールの電圧は、わずかな時間であっても、最小電圧を下回ったり、最大電圧を上回ったりしてはいけません。この要件には、AC リップル、電圧過渡、電圧ディップなどの動的な電圧イベントが含まれます。これはすべての電源入力に対して必

要ですが、他のレールに比べて過渡電流要求が大きい VDD_CORE、VDD_MCU、VDD_CPU ドメインについては特に注意する必要があります。

- (2) 制限については、「パワーオン時間 (POH) の制限」を参照してください。
- (3) VDDSD_DDR は、DDR インターフェイスを使用しない場合でも、LPDDR4 電圧範囲で電力を供給する必要があります。
- (4) この端子はそれぞれの USB PHY のアナログ回路に接続されています。この回路は、既知の電流を供給して電圧を測定することにより、端子が 10Ω 未満の抵抗または 100 kΩ を超える抵抗を経由して VSS に接続されているかどうかを判定します。この端子は、USB ホスト動作の場合はグラウンドに接続し、USB ペリフェラル動作の場合は開路とする必要があります。また、外部電圧源には絶対に接続しないでください。
- (5) AVS 電圧は、デバイス依存、電圧ドメイン依存、OPP 依存です。この電圧は、VTM_DEVINFO_VDn から読み取る必要があります。VTM_DEVINFO_VDn レジスタのアドレスの詳細情報については、デバイスのテクニカルリファレンスマニュアルの「電圧およびサーマルマネージャ」セクションを参照してください。電源は、VDD_CPU の AVS 範囲の項目に示される範囲にわたって調整可能である必要があります。
- (6) DDR1 を OSPI0 または Hyperbus と同時に使用する場合、VDDSHV1_MCU は 1.8V に制限されます (システムで DDR1 を使用する場合、3.3V モードはサポートされません)。
- (7) このデバイスピンに印加される電圧を制限するには、外付けの分圧抵抗が必要です。詳細については、「USB VBUS の設計ガイドライン」を参照してください。[セクション 7.2.3](#)

6.4 パワー オン時間 (POH) の制限

IP ⁽¹⁾ (2) (3)	電圧ドメイン	電圧 (V) (最大)	周波数 (MHz) (最大)	Tj (°C)	POH
すべて	100%	すべて	すべての対応 OPP	車載用 -40°C ~ 125°C ⁽⁴⁾	20000
すべて	100%	すべて	すべての対応 OPP	拡張 -40°C ~ 105°C	100000
すべて	100%	すべて	すべての対応 OPP	商業用 0°C ~ 90°C	100000

- (1) この情報は、お客様の利便性のみを目的として提供されるものであり、テキサス・インスツルメンツの半導体製品に関する標準的な契約条件に基づいて提供される保証を拡張または変更するものではありません。
- (2) 上記の表に記述されていない限り、すべての電圧ドメインと動作条件は、記載された温度において本デバイスでサポートされています。
- (3) POH は、電圧、温度、時間の関数です。より高い電圧および温度で使用すると POH が低減します。
- (4) 車載プロファイルは、以下のように接合部温度に応じて 20000 時間の電源オン時間として定義されます。5% @ -40°C、65% @ 70°C、20% @ 110°C、10% @ 125°C。

6.5 動作性能ポイント

このセクションでは、デバイスの動作条件について説明します。また、プロセッサ クロックとデバイス コア クロックの各動作性能の特長 (OPP) についても説明します。

表 6-1 に、デバイスの速度グレードごとにサポートされる最大周波数を示します。

表 6-1. 速度グレードの最大周波数

デバイス	最大周波数 (MHz)										
	A72SS0	C71SS0/1	R5FSS0/1	MCU_R5SS0	GPU	CBASS0	VPAC	DMPAC	VENCDEC	DMSC	LPDDR4
T	2000	1000	1000	1000	800	500	720 ⁽¹⁾	520 ⁽¹⁾	600 (480MP/s)	333	4266MT/s ⁽²⁾
N	1600	750	1000	1000	800	500	600 ⁽¹⁾	433 ⁽¹⁾	300 (240MP/s)	333	3733MT/s ⁽²⁾
H	1200	500	1000	1000	800	500	600 ⁽¹⁾	300 ⁽¹⁾	300 (240MP/s)	333	3200MT/s ⁽²⁾

- (1) PLL の共有により、最大 VPAC と DMPAC 速度は同時に利用できません (最大の組み合わせは、VPAC/DMPAC に対して、それぞれ 720/480 および 650/520 です)。
- (2) 最大 DDR 周波数は、システムで使用されている特定のメモリ タイプ (ベンダ) と PCB 実装に基づいて制限されます。テキサス・インスツルメンツ は、仕様のクロック周波数を完全に達成するために、同社の LPDDR4 EVM の PCB レイアウト (配線、間隔、ビア / バックドリル、PCB 材料など) をすべて正確に遵守することを強く推奨します。詳細については、Jacinto 7 の「DDR ボードの設計とレイアウトのガイドライン」を参照してください。

6.6 電気的特性

注

セクション 6.6.1～セクション 6.6.8 で説明されているインターフェイスまたは信号は、多重化モード 0 (プライマリ機能) で使用可能なインターフェイスまたは信号に対応しています。

これらの表に記載されているボール上で多重化されたすべてのインターフェイスまたは信号は、多重化に PHY と GPIO の組み合わせが含まれている場合を除き、DC 電気的特性はすべて同じです。PHY と GPIO の組み合わせが含まれている場合、異なる多重化モード (機能) に異なる DC 電気的特性が規定されます。

6.6.1 I2C オープン ドレイン フェイルセーフ (I2C OD FS) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
1.8V モード					
V_{IL}	入力 Low レベル スレッショルド			$0.3 \times V_{DDSHV}^{(1)}$	V
V_{ILSS}	入力 Low レベル スレッショルドの定常状態			$0.3 \times V_{DDSHV}^{(1)}$	V
V_{IH}	入力 High レベル スレッショルド	$0.7 \times V_{DDSHV}^{(1)}$			V
V_{IHSS}	入力 High レベル スレッショルドの定常状態	$0.7 \times V_{DDSHV}^{(1)}$			V
V_{HYS}	入力ヒステリシス電圧	$0.1 \times V_{DDSHV}^{(1)}$			mV
I_{IN}	入力リーク電流	$V_I = 1.8\text{ V}$ または 0 V		± 10	μA
V_{OL}	出力 Low レベル電圧			$0.2 \times V_{DDSHV}^{(1)}$	V
I_{OL}	LOW レベル出力電流	$V_{OL(MAX)}$	6		mA
3.3V モード					
V_{IL}	入力 Low レベル スレッショルド			$0.3 \times V_{DDSHV}^{(1)}$	V
V_{ILSS}	入力 Low レベル スレッショルドの定常状態			$0.25 \times V_{DDSHV}^{(1)}$	V
V_{IH}	入力 High レベル スレッショルド	$0.7 \times V_{DDSHV}^{(1)}$			V
V_{IHSS}	入力 High レベル スレッショルドの定常状態	$0.7 \times V_{DDSHV}^{(1)}$			V
V_{HYS}	入力ヒステリシス電圧	$0.05 \times V_{DDSHV}^{(1)}$			mV
I_{IN}	入力リーク電流	$V_I = 3.3\text{ V}$ または 0 V		± 10	μA
V_{OL}	出力 Low レベル電圧			0.4	V
I_{OL}	LOW レベル出力電流	$V_{OL(MAX)}$	6		mA

(1) V_{DDSHV} は、対応する電源を表します。電源名と対応するボールの詳細については、「[ピン属性](#)」の「電源」の欄を参照してください。

6.6.2 フェイルセーフ リセット (FS Reset) の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
V_{IL}	入力 Low レベル スレッショルド			$0.3 \times V_{DDSHV}^{(1)}$	V
V_{ILSS}	入力 Low レベル スレッショルドの定常状態			$0.3 \times V_{DDSHV}^{(1)}$	V

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
V_{IH}	入力 High レベル スレッショルド	$0.7 \times V_{DDSHV}^{(1)}$			V
V_{IHSS}	入力 High レベル スレッショルドの定常状態	$0.7 \times V_{DDSHV}^{(1)}$			V
V_{HYS}	入力ヒステリシス電圧	200			mV
I_{IN}	入力リーク電流	$V_I = 1.8\text{ V}$ または 0 V		± 10	μA

(1) V_{DDSHV} は、対応する電源を表します。電源名と対応するボールの詳細については、「ピン属性」の「電源」の欄を参照してください。

6.6.3 HFOSC/LFOSC の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	代表値	最大値	単位
高周波数発振器					
V_{IH}	入力 High レベル スレッショルド	$0.65 \times V_{DDSHV}^{(1)}$			V
V_{IL}	入力 Low レベル スレッショルド			$0.35 \times V_{DDSHV}^{(1)}$	V
V_{HYS}	入力ヒステリシス電圧		49		mV
低周波数発振器					
V_{IH}	入力 High レベル スレッショルド	$0.65 \times V_{DDA_WKUP}^{(1)}$			V
V_{IL}	入力 Low レベル スレッショルド			$0.35 \times V_{DDA_WKUP}^{(1)}$	V
V_{HYS}	入力ヒステリシス電圧	アクティブ モード	85		mV
		バイパス モード	324		mV

(1) V_{DDSHV} は、対応する電源を表します。WKUP_OSC0 の場合、対応する電源は V_{DDA_WKUP} です。OSC1_XI の場合、対応する電源は V_{DDS_OSC1} です。

6.6.4 eMMCPHY の電気的特性

自由空気での動作温度範囲内 (特に記述のない限り)

パラメータ	テスト条件	最小値	公称値	最大値	単位
V_{IL}	入力 Low レベル スレッショルド			$0.35 \times V_{DDSHV}^{(1)}$	V
V_{ILSS}	入力 Low レベル スレッショルドの定常状態			0.20	V
V_{IH}	入力 High レベル スレッショルド	$0.65 \times V_{DDSHV}^{(1)}$			V
V_{IHSS}	入力 High レベル スレッショルドの定常状態	1.4			V
I_{IN}	入力リーク電流	$V_I = 1.8\text{ V}$ または 0 V		± 10	μA
I_{OZ}	トライステート出力リーク電流	$V_O = 1.8\text{ V}$ または 0 V		± 10	μA
R_{PU}	プルアップ抵抗	15	20	25	k Ω
R_{PD}	プルダウン抵抗	15	20	25	k Ω
V_{OL}	出力 Low レベル電圧			0.30	V
V_{OH}	出力 High レベル電圧	$V_{DDSHV} - 0.30^{(1)}$			V
I_{OL}	LOW レベル出力電流	$V_{OL(MAX)}$		2	mA
I_{OH}	High レベル出力電流	$V_{OH(MAX)}$		2	mA

自由空気での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
SR _I	入力スルーレート		5E +8			V/s

(1) VDDSHV は、対応する電源 (Vddshv8) を表します。電源名と対応するボールの詳細については、「ピン属性」の「電源」の欄を参照してください。

6.6.5 SDIO の電氣的特性

自由空気での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	公称値	最大値	単位
1.8V モード						
V _{IL}	入力 Low レベル スレッショルド				0.58	V
V _{ILSS}	入力 Low レベル スレッショルドの定常状態				0.58	V
V _{IH}	入力 High レベル スレッショルド		1.27			V
V _{IHSS}	入力 High レベル スレッショルドの定常状態		1.7			V
V _{HYS}	入力ヒステリシス電圧		150			mV
I _{IN}	入力リーク電流	V _I = 1.8 V または 0V			±10	μA
R _{PU}	プルアップ抵抗		40	50	60	kΩ
R _{PD}	プルダウン抵抗		40	50	60	kΩ
V _{OL}	出力 Low レベル電圧				0.45	V
V _{OH}	出力 High レベル電圧		VDDSHV - 0.45 ⁽¹⁾			V
I _{OL}	LOW レベル出力電流	V _{OL(MAX)}	4			mA
I _{OH}	High レベル出力電流	V _{OH(MAX)}	4			mA
3.3V モード						
V _{IL}	入力 Low レベル スレッショルド				0.25 × VDDSHV ⁽¹⁾	V
V _{ILSS}	入力 Low レベル スレッショルドの定常状態				0.15 × VDDSHV ⁽¹⁾	V
V _{IH}	入力 High レベル スレッショルド		0.625 × VDDSHV ⁽¹⁾			V
V _{IHSS}	入力 High レベル スレッショルドの定常状態		0.625 × VDDSHV ⁽¹⁾			V
V _{HYS}	入力ヒステリシス電圧		150			mV
I _{IN}	入力リーク電流	V _I = 1.8 V または 0V			±10	μA
R _{PU}	プルアップ抵抗		40	50	60	kΩ
R _{PD}	プルダウン抵抗		40	50	60	kΩ
V _{OL}	出力 Low レベル電圧				0.125 × VDDSHV ⁽¹⁾	V
V _{OH}	出力 High レベル電圧		0.75 × VDDSHV ⁽¹⁾			V
I _{OL}	LOW レベル出力電流	V _{OL(MAX)}	6			mA
I _{OH}	High レベル出力電流	V _{OH(MAX)}	10			mA

(1) VDDSHV は、対応する電源 (Vddshv8) を表します。電源名と対応するボールの詳細については、「ピン属性」の「電源」の欄を参照してください。

6.6.6 CSI2/DSI D-PHY の電気的特性

注

CSI2/DSI DPHY インターフェイスの電気的特性は、MIPI D-PHY 仕様 v1.2 (2014 年 8 月 1 日) (該当する場合 ECN と エラッタを含む) に準拠しています。

6.6.7 ADC12B の電気的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
アナログ入力						
V _{MCU_ADC0/1_AIN[7:0]}	フルスケール入力レンジ		VSS	VDDA_ADC0/1		V
DNL	微分非直線性		-1	0.5	4	LSB
INL	積分非直線性			±1	±4	LSB
LSB _{GAIN-ERROR}	ゲイン誤差			±2		LSB
LSB _{OFFSE T-ERROR}	オフセット誤差			±2		LSB
C _{IN}	入力サンプリング容量			5.5		pF
SNR	信号対雑音比	入力信号:200kHz 正 弦波、-0.5dB フルス ケール		70		dB
THD	全高調波歪み	入力信号:200kHz 正 弦波、-0.5dB フルス ケール		73		dB
SFDR	スプリアス フリー ダイナミックレンジ	入力信号:200kHz 正 弦波、-0.5dB フルス ケール		76		dB
SNR _(PLUS)	信号対雑音比 + 歪み	入力信号:200kHz 正 弦波、-0.5dB フルス ケール		69		dB
R _{MCU_ADC0/1_AIN[0:7]}	MCU_ADC0/1_AIN[7:0] の入力インピーダンス	f = 入力周波数		[1/((65.97 × 10 ⁻¹²) × f _{SMPL_CLK})]		Ω
I _{IN}	入力リーケージ	MCU_ADC0/1_AIN[7:0] = VSS			-10	μA
		MCU_ADC0/1_AIN[7:0] = VDDA_ADC0/1			24	μA
サンプリングのダイナミック特性						
F _{SMPL_CLK}	SMPL_CLK 周波数			60		MHz
t _c	変換時間			13		ADC0/1 SMPL_CLK K サイクル
t _{ACQ}	アキュイジション時間		2		257	ADC0/1 SMPL_CLK K サイクル
T _R	サンプリング レート	ADC0/1 SMPL_CLK = 60MHz		4		MSPS
CCISO	チャンネル間絶縁			100		dB
汎用入出力モード ⁽¹⁾						

TDA4VE-Q1, TDA4AL-Q1, TDA4VL-Q1

JAJSPJ8B – DECEMBER 2022 – REVISED DECEMBER 2024

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
V _{IL}	入力 Low レベル スレッショルド				0.35 × VDDA_ADC0/1	V
V _{ILSS}	入力 High レベル スレッショルドの定常状態				0.35 × VDDA_ADC0/1	V
V _{IH}	入力 High レベル スレッショルド		0.65 × VDDA_ADC0/1			V
V _{IHSS}	入力 High レベル スレッショルドの定常状態		0.65 × VDDA_ADC0/1			V
V _{HYS}	入力ヒステリシス電圧		200			mV
I _{IN}	入力リーク電流	V _I = 1.8 V または 0V			6	μA

- (1) MCU_ADC0/1 は、汎用入力モードで動作するように構成できます。このモードでは、すべての MCU_ADC0/1_AIN[7:0] 入力がある ADC0/1_CTRL レジスタ (gpi_mode_en = 1) を介してデジタル入力として動作するようにグローバルに有効化されます。

6.6.8 LVCMOS の電氣的特性

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
1.8V モード						
V _{IL}	入力 Low 電圧				0.35 × VDD ⁽¹⁾	V
V _{ILSS}	入力 Low 電圧 (定常状態)				0.3 × VDD ⁽¹⁾	V
V _{IH}	入力 High 電圧		0.65 × VDD ⁽¹⁾			V
V _{IHSS}	入力 High 電圧 (定常状態)		0.85 × VDD ⁽¹⁾			V
V _{HYS}	入力ヒステリシス電圧		150			mV
I _{IN}	入力リーク電流。	V _I = 1.8 V または 0V			±10	μA
R _{PU}	プルアップ抵抗		15	22	30	kΩ
R _{PD}	プルダウン抵抗		15	22	30	kΩ
V _{OL}	出力 LOW 電圧				0.45	V
V _{OH}	出力 HIGH 電圧		VDD ⁽¹⁾ - 0.45			V
I _{OL}	LOW レベル出力電流	V _{OL} (MAX)	3			mA
I _{OH}	High レベル出力電流	V _{OH} (MIN)	3			mA
3.3V モード						
V _{IL}	入力 Low 電圧				0.8	V
V _{ILSS}	入力 Low 電圧 (定常状態)				0.6	V
V _{IH}	入力 High 電圧		2.0			V
V _{IHSS}	入力 High 電圧 (定常状態)		2.0			V
V _{HYS}	入力ヒステリシス電圧		150			mV
I _{IN}	入力リーク電流。	V _I = 3.3 V または 0V			±10	μA
R _{PU}	プルアップ抵抗		15	22	30	kΩ
R _{PD}	プルダウン抵抗		15	22	30	kΩ
V _{OL}	出力 LOW 電圧				0.4	V
V _{OH}	出力 HIGH 電圧		2.4			V
I _{OL}	LOW レベル出力電流	V _{OL} (MAX)	5			mA

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
I _{OH}	High レベル出力電流	V _{OH(MIN)}	6			mA

(1) VDD は、対応する電源を表します。電源名と対応するボールの詳細については、「ピン属性」の「電源」の欄を参照してください。

6.6.9 USB2PHY の電气的特性

注

USB0 および USB1 の電气的特性は、2000 年 4 月 27 日付けの Universal Serial Bus Revision 2.0 仕様 (該当する ECN およびエラッタを含む) に準拠しています。

6.6.10 SerDes 2-L-PHY/4-L-PHY の電气的特性

注

PCIe インターフェイスは、『PCI Express® 基本仕様リビジョン 4.0』(2017 年 9 月 27 日) に規定された電气的パラメータに準拠しています。

このデバイスでは、表 6-2、「4-L-PHY SERDES REFCLK の電气的特性」のパラメータ V_{REFCLK_TERM} に記載されているように、内部終端がイネーブルされた入力モードで使用する場合、SERDES REFCLK に追加の制限が課されます。内部終端は、デフォルトでイネーブルになっており、V_{REFCLK_TERM} で定義された制限を超えるリファレンスクロック信号を印加する前にディセーブルする必要があります。外部終端は、ソース側で常にイネーブルにする必要があります。

表 6-2. 4-L-PHY SERDES REFCLK の電气的特性

内部終端がイネーブルの場合にのみ適用されます。推奨動作条件範囲内 (特に記述のない限り)

パラメータ		最小値	標準値	最大値	単位
V _{REFCLK_TERM}	内部終端がイネーブルのときの基準クロック ピンのシングルエンド電圧スレッショルド			400	mV
R _{TERM}	内部終端	40	50	62.5	Ω

注

SerDes USB インターフェイスは、『ユニバーサル シリアル バス 3.1 仕様リビジョン 1.0』(2013 年 7 月 26 日) で定義された USB3.1 SuperSpeed トランスミッタおよびレシーバの標準電气的パラメータに準拠しています。

注

SGMII インターフェイスの電气的特性は、IEEE802.3 Clause 70 の 1000BASE-KX に準拠しています。

注

SGMII 2.5G/XAUI インターフェイスの電气的特性は、IEEE802.3 Clause 47 に準拠しています。

注

QSGMII インターフェイスの電气的特性は、QSGMII 仕様リビジョン 1.2 に準拠しています。

注

USXGMII は、72-7 項と附属書 69B の IEEE 802.3 TX および RX の電気的特性をサポートしています。

IEEE 802.3 の表 72-7 および 72-8 は USXGMII の要件ではないトレーニング (72-6 項) に関連しているため、USXGMII では必要ありません。

pre、main、および post カーソルは、BER スイープを使用して設定する必要があります。

注

UFS インターフェイスの電気的特性は、MIPI M-PHY 仕様 v3.1 (2014 年 2 月 17 日) に準拠しています。

注

DP インターフェイスの電気的特性は、VESA DisplayPort (DP) Standard V 1.4 (2016 年 2 月 23 日) に準拠しています。

注

eDP インターフェイスの電気的特性は、VESA Embedded DisplayPort (eDP) Standard v1.4b (2015 年 10 月 23 日) に準拠しています。

6.6.13 DDR0 の電気的特性

注

DDR インターフェイスは、JESD209-4B 規格に準拠した LPDDR4 SDRAM デバイスと互換性があります。

6.7 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様

このセクションは、OTP eFuse のプログラミングに必要な動作条件を規定しており、高セキュリティ デバイスにのみ適用できます。

6.7.1 OTP eFuse プログラミングの推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ	説明	最小値	公称値	最大値	単位
VDD_CORE	OTP 動作中のコアドメインの電源電圧範囲、OPP NOM (BOOT)	「推奨動作条件」を参照			V
VDD_MCU	OTP 動作中のコアドメインの電源電圧範囲、OPP NOM (BOOT)	「推奨動作条件」を参照			V
VPP_CORE	通常動作時の eFuse ROM ドメインの電源電圧範囲	N/A ⁽²⁾			
	OTP プログラミング時の eFuse ROM ドメインの電源電圧範囲 ⁽¹⁾	1.71	1.8	1.89	V
VPP_MCU	通常動作時の eFuse ROM ドメインの電源電圧範囲	N/A ⁽²⁾			
	OTP プログラミング時の eFuse ROM ドメインの電源電圧範囲 ⁽¹⁾	1.71	1.8	1.89	V
SR _(VPP)	VPP パワーアップ スルーレート			6E + 4	V/s

(1) 電源電圧範囲には、DC 誤差およびピーク ツー ピーク ノイズが含まれます。

(2) N/A は、該当なしを表します。

6.7.2 ハードウェア要件

OTP eFuse にキーをプログラムする場合、以下のハードウェア要件を満たす必要があります。

- OTP レジスタをプログラムしないときは、VPP_CORE および VPP_MCU 電源をディセーブルにする必要があります。
- VPP_CORE および VPP_MCU 電源は、適切なデバイス電源オン シーケンスの後にランプアップする必要があります (詳細については、「電源シーケンス」を参照してください)。

6.7.3 プログラミング シーケンス

OTP eFuse のプログラミング シーケンス:

- パワーアップ シーケンシングに従ってボードに電源を投入します。パワーアップ時および通常動作中は、VPP_CORE および VPP_MCU 端子に電圧を印加しないでください。
- eFuse のプログラミングに必要な OTP 書き込みソフトウェアをロードします (OTP ソフトウェア パッケージについては、お近くの TI 代理店にお問い合わせください)。
- [セクション 6.7.1](#) に示す仕様に従って、VPP_CORE および VPP_MCU 端子に電圧を印加します。
- OTP レジスタをプログラムするソフトウェアを実行します。
- OTP レジスタの内容を検証した後、VPP_CORE 端子と VPP_MCU 端子から電圧を取り除きます。

6.7.4 ハードウェア保証への影響

お客様は、eFuse を使用すると テキサス・インスツルメンツのデバイスに対して永続的な変更が加えられることを、自己の責任において認識し、受け入れるものとします。お客様は、不適切な動作条件またはプログラミング シーケンスが原因で eFuse が故障する可能性があることを承諾するものとします。このような障害が発生すると、テキサス・インスツルメンツのデバイスが動作不能になることがあります。また、テキサス・インスツルメンツは eFuse の使用を試行する前に、テキサス・インスツルメンツのデバイスがテキサス・インスツルメンツのデバイスの仕様に準拠していることを確認できません。したがって、eFuse を使用済みの TI デバイスについて、テキサス・インスツルメンツは責任を負いません。

6.8 熱抵抗特性

このセクションでは、このデバイスで使用する熱抵抗特性について説明します。

信頼性と動作性の懸念から、デバイスの最大接合部温度は、「推奨動作条件」、「」に示されている T_J 値以下にする必要があります。

6.8.1 ALZ パッケージの熱抵抗特性

システム レベルの熱シミュレーションは、ワーストケースのデバイス消費電力を考慮して実行することを推奨します。

番号	パラメータ	説明	ALZ パッケージ	
			$^{\circ}\text{C/W}$ ^{(1) (3)}	空気流 (m/s) ⁽²⁾
T1	$R_{\theta JC}$	接合部とケースとの間	0.3	該当なし
T2	$R_{\theta JB}$	接合部と基板との間	2.0	該当なし
T3	$R_{\theta JA}$	接合部と自由空気との間	10.4	0
T4		接合部と空気流との間	6.1	1
T5			5.3	2
T6			4.8	3
T7	Ψ_{JT}	接合部とパッケージ上面との間	0.16	0
T8			0.17	1
T9			0.17	2
T10			0.17	3
T11	Ψ_{JB}	接合部と基板との間	1.8	0
T12			1.5	1
T13			1.4	2
T14			1.4	3

(1) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ_{JC} [$R_{\theta JC}$] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。

- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-6、『IC の熱テスト手法の環境条件 - 自然対流 (空気流)』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

(2) m/s = メートル/秒。

(3) $^{\circ}\text{C/W}$ = 摂氏温度 / ワット。

6.9 温度センサの特性

このセクションでは、ダイ温度センサの特性に関する電圧および温度モジュール (VTM) について概要を説明します。

信頼性と動作性の懸念から、デバイスの最大接合部温度は、「推奨動作条件」に示されている T_J 値以下にする必要があります。

表 6-3. VTM ダイ温度センサの特性

パラメータ		テスト 条件	最小値	代表値	最大値	単位
T_{acc}	VTM 温度センサ精度	-40 ~ 110 °C	-5		5	°C
		110 ~ 125 °C	-2		2	°C

6.10 タイミングおよびスイッチング特性

注

このセクションに示すタイミングは、関連する PADCONFIG レジスタの DRV_STR (駆動強度) 制御がデフォルトの「0h – 公称値 (推奨)」に設定されているときに有効です。

6.10.1 タイミングパラメータおよび情報

タイミングおよびスイッチング特性で使用されるタイミングパラメータの記号は、JEDEC 規格 100 に従って作成されています。記号を短縮するために、ピン名およびその他の関連用語の一部を表 6-4 に示すように短縮しました。

表 6-4. タイミングパラメータの添え字

記号	パラメータ
c	サイクル時間 (周期)
d	遅延時間
dis	ディセーブル時間
en	イネーブル時間
h	ホールド時間
su	セットアップ時間
START	スタートビット
t	遷移時間
v	有効時間
w	パルス幅
X	未知の、変化している、ドント ケアのレベル
F	立ち下がり時間
H	High
L	Low
R	立ち上がり時間
V	有効
IV	無効
AE	アクティブ エッジ
FE	最初のエッジ
LE	最後のエッジ
Z	高インピーダンス

6.10.2 電源シーケンス

このセクションでは、デバイスが適切に動作するために必要な電源シーケンスについて説明します。このデバイスは、分離または結合された MCU およびメイン電源供給回路 (PDN) を使用して動作できます。分離および結合 MCU およびメイン PDN に基づいて、2 つの異なるプライマリ電源シーケンスを推奨します。さらに、このデバイスは MCU のみ、DDR 保持、GPIO 保持のいずれかの低消費電力モードで動作できます。低消費電力モードへの移行と終了のための、2 つの異なる推奨デバイス電源シーケンスを示します。

このセクションで使用する電源名はこのデバイスに固有であり、「信号の説明」セクションで与えられた名前に合わせてあります。Jacinto 7™ プロセッサ ファミリ内のさまざまなデバイスで、共通の電源名を使用することができます。これらの共通な電源名は、デバイス間で機能が同一ではないとしても、非常に類似しています。

ここに示すすべての電源シーケンス タイミング図では、以下の用語が使用されています。

- ・ プライマリ = すべての電圧ドメインで必須である、オフ状態とフル アクティブ状態の間の電力シーケンス
- ・ $V_{OPR\ MIN}$ = 「推奨動作条件」に規定された機能を保証する最小動作電圧レベル
- ・ ランプアップ = オフ状態から最小動作電圧へ電源が遷移する時間の開始
- ・ ランプダウン = 動作電圧からオフ状態へ電源が遷移する時間の開始
- ・ $SUPPLY_「n」$ = 同様な電源の複数インスタンス (すなわち、 $VDDSHVn = VDDSHV0, VDDSHV1, VDDSHV2 \dots VDDSHV6$)
- ・ $SUPPLY_「xxx」$ = さまざまな信号タイプに使用される、同様な電源の複数インスタンス (すなわち、 $VDDA_1P8_xxx = VDDA_1P8_DSITX, VDDA_1P8_USB, VDDA_0P8_DSITX, VDDA_0P8_USB$ など)
- ・ タイム スタンプ = 一般的な参照のための説明とおおよその経過時間を記載した「T#」の記号。具体的なタイミング遷移は、PDN の設計に依存します (詳細については、『PDN ユーザーガイド』を参照)。

6.10.2.1 電源スルーレートの要件

内部 ESD 保護デバイスの安全な動作範囲を維持するために、図 6-2 に示すように、電源の最大スルーレートを $100\text{mV}/\mu\text{s}$ 未満に制限することを推奨します。たとえば、 1.8V の電源では、 $100\text{mV}/\mu\text{s}$ 未満のスルーレートを確保するために、 $18\mu\text{s}$ を上回るランプ時間を設定する必要があります。

図 6-2 に、デバイスの電源スルー レートの要件を示します。

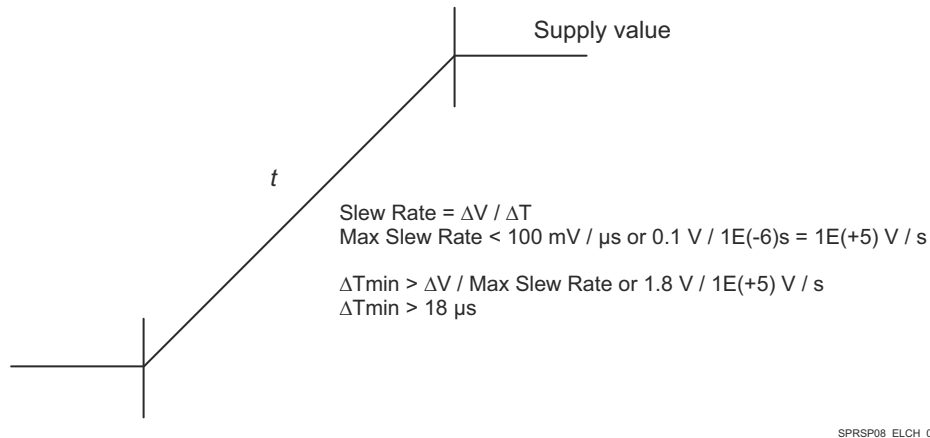
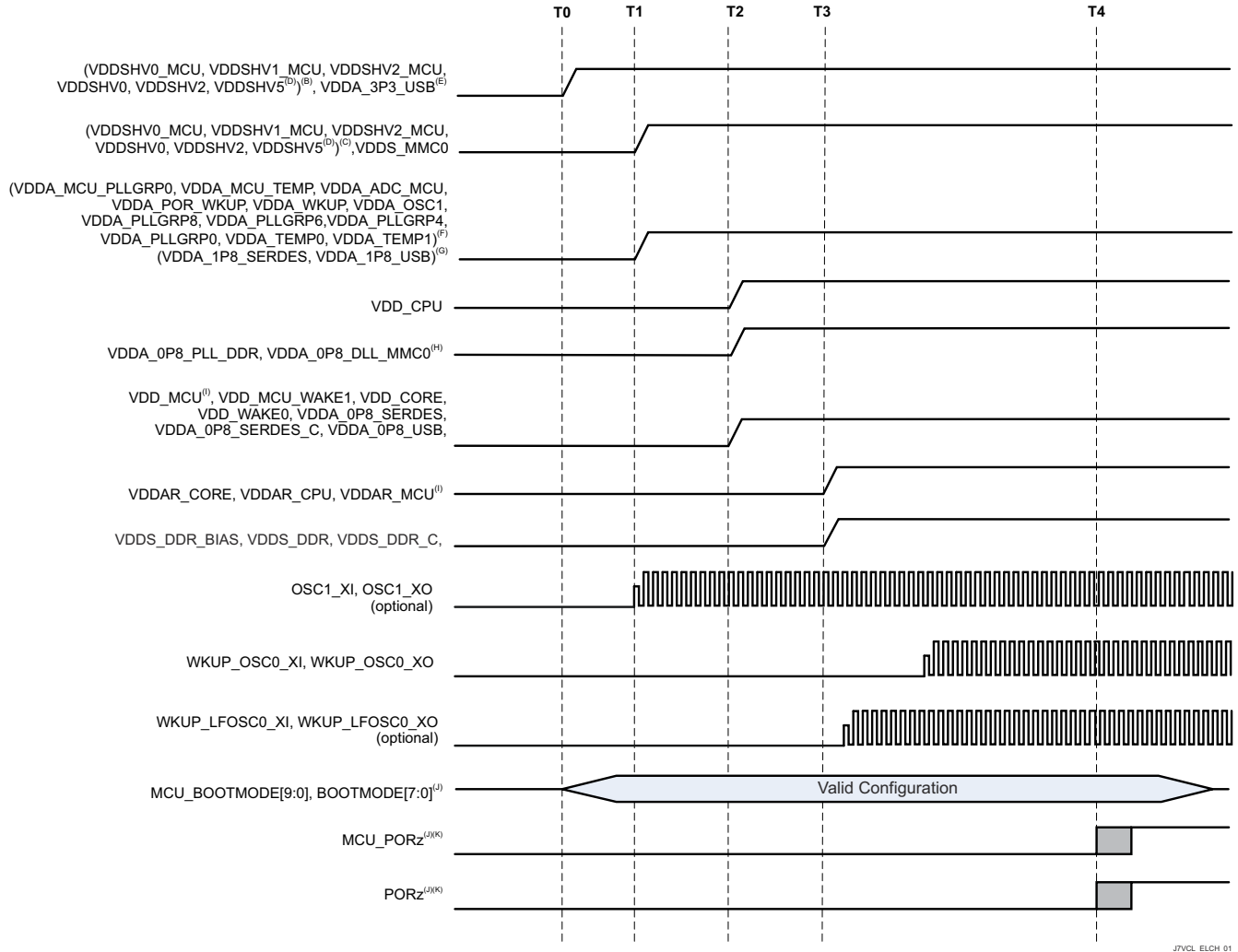


図 6-2. 電源のスルーおよびスルーレート

6.10.2.2 MCU およびメイン ドメインの結合パワーアップシーケンシング

セクション 6.10.2.2 に、同様の MCU およびメイン電圧ドメインを共通の電源レールに結合したときの 1 次電源パワーアップシーケンスを示します。MCU とメイン電圧ドメインを結合することにより、電源レールと電源の総数が減り、MCU およびメイン プロセッサのサブシステムが共通の電源レールによって動作するようになるので、PDN 設計が簡素化されます。



JTVCL_ELCH_01

A. タイムスタンプの記号:

- T0 – 3.3V 電圧が、 $V_{OPR\ MIN}$ までランプアップを開始します。(0 ms)
- T1 – 1.8V 電圧が、 $V_{OPR\ MIN}$ までランプアップを開始します。(2 ms)
- T2 – 低電圧コア電源が、 $V_{OPR\ MIN}$ までランプアップを開始します。(3 ms)
- T3 – 低電圧 RAM アレイ電圧が、 $V_{OPR\ MIN}$ までランプアップを開始します。(4 ms)
- T4 – OSC1 は安定しており、PORz/MCU_PORz はアサート解除されて、プロセッサをリセットから解放します。(13 ms)

B. 3.3V デジタル インターフェイスをサポートするために 3.3V が供給される、いずれかの MCU またはメイン デュアル電圧 IO 電源 (VDDSHVn_MCU または VDDSHVn)。一部の電源では、PDN 設計により、異なる電源リソースを使用し、それぞれのターンオンおよびランプアップ遅延が異なるため、開始時間が T0 と T1 の間で変動する場合があります。

C. 1.8V デジタル インターフェイスをサポートするために 1.8V が供給される、いずれかの MCU またはメイン デュアル電圧 IO 電源 (VDDSHVn_MCU または VDDSHVn)。eMMC メモリを使用している場合、PDN 設計により電源が VDD_MMC0 とグループ化されているので、メインの 1.8V 電源が T3 に合わせてランプアップすることがあります。

D. VDDSHV5 は、SD メモリ カード用の MMC1 信号処理をサポートしています。規格準拠の高速 SD カード動作が必要な場合は、独立したデュアル電圧 (3.3V/1.8V) 電源およびレールが必要です。3.3V へのランプアップの開始は、図に示すように、他の 3.3V ドメインと同じです。SD カード

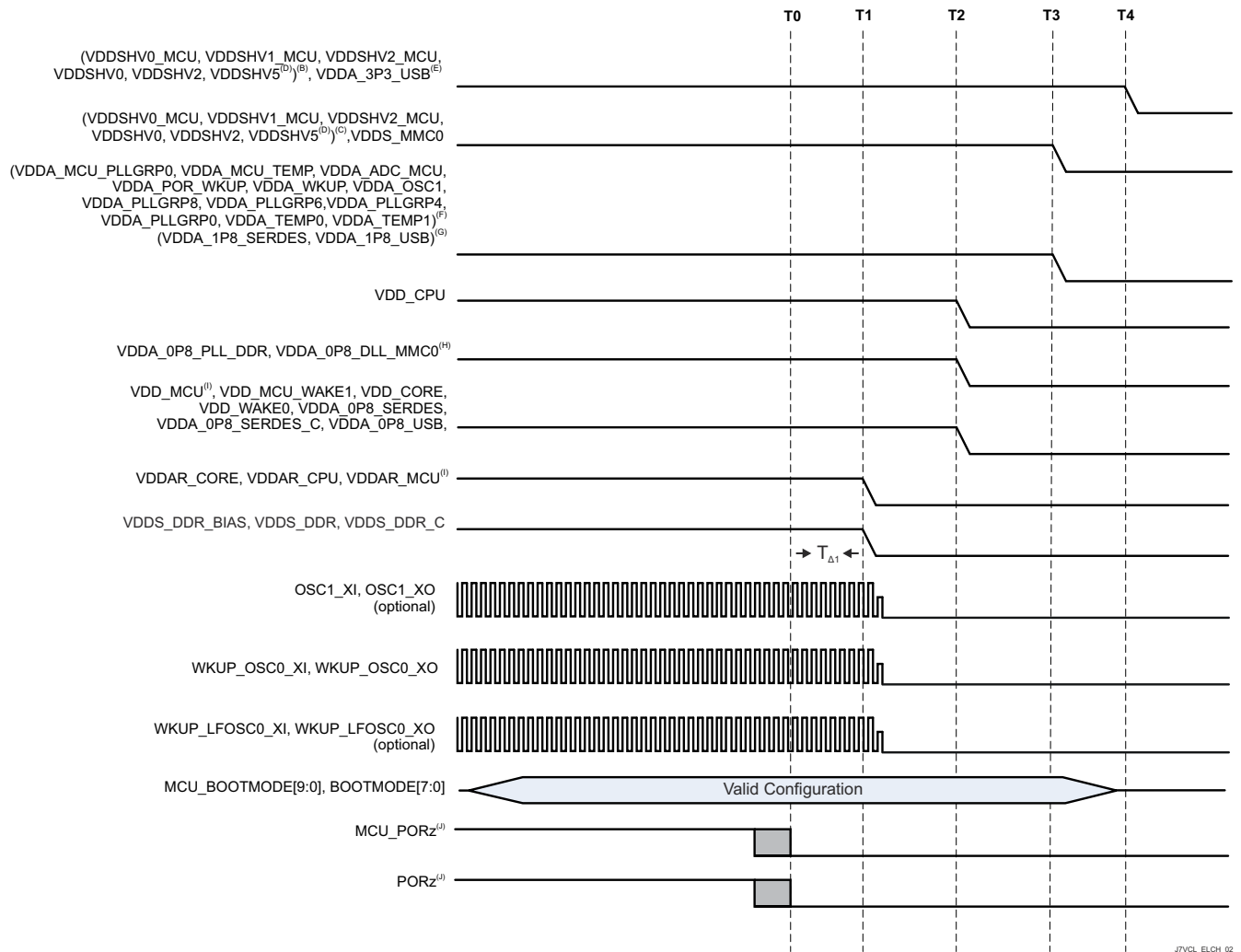
が不要な場合や、3.3 V 固定動作の標準データレートが許容される場合は、このドメインをデジタル IO 3.3V 電源レールにグループ化できます。SD カードが固定 1.8V で動作できる場合は、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。

- E. VDDA_3P3_USB は、USB 2.0 差動インターフェイス信号伝達に使用される 3.3V アナログドメインです。最良のシグナル インテグリティを実現して USB データ アイマスクに準拠するために、低ノイズのアナログ電源を推奨します。3.3V へのランプアップの開始は、図に示すように、他の 3.3V ドメインと同じです。USB インターフェイスが不要な場合や、データビット エラーが許容される場合は、直接または電源フィルタ経由で、このドメインを 3.3V デジタル IO 電源レールにグループ化できます。
- F. VDDA_1P8_<clk/pll/ana> は、クロック発振器、PLL、およびアナログ回路をサポートする 1.8V アナログドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズがクロック、PLL、DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、デジタルの VDDSHVN_MCU と VDDSHVN IO ドメインを結合することは推奨しません。アナログ VDDA_1p8_<phy> ドメインの結合は避けるべきですが、グループ化する場合は、インライン フェライト ビーズで電源をフィルタリングする必要があります。
- G. VDDA_1P8_<phy> は、複数のシリアル PHY インターフェイスをサポートする 1.8V アナログドメインです。最良のシグナル インテグリティ、インターフェイス性能、仕様準拠を実現するため、低ノイズのアナログ電源を推奨します。これらのインターフェイスのいずれかが不要であるか、またはデータビット エラーや非準拠動作が許容できる場合には、直接またはインライン電源フィルタ経由で、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。
- H. VDDA_0P8_<dll/pll> は、PLL および DLL 回路をサポートする 0.8V アナログドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズが PLL および DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、これらのドメインを他の 0.8V ドメインと結合することは推奨しません。
- I. VDD_MCU は、広い動作電圧範囲を持つデジタル電圧ドメインであり、VDDAR_MCU ドメインまたは VDD_CORE のいずれかとグループ化できます。「MCU およびメインドメインの結合パワーアップ シーケンス」では、VDD_MCU は VDD_CORE とグループ化できます。また、VDDAR_MCU は VDDAR_CPU および VDDAR_CORE とグループ化できます。VDD_MCU が VDD_CORE とグループ化されている場合、VDD_MCU は、T2 において 0.8V の VDD_CORE との共通電圧源からランプアップする必要があります。VDDAR_MCU が VDD_CORE とグループ化されていない場合、VDD_MCU は T2 よりも前にランプする必要があります。いずれの場合も、VDDAR 電源を T3 でランプする必要があります。
- J. パワーアップ シーケンス中に MCU_PORz および PORz が High にアサートされてから、MCU_BOOTMODEn (MCU_VDDSHV0 を基準とする) および BOOTMODEn (VDDSHV2 を基準とする) 設定をレジスタにラッチするまでの最小セットアップおよびホールド時間を表示。
- K. 水晶発振器回路に電源が供給されたとき (T1 の VDDA_OSC1) から、安定したクロック周波数に達するまでの最小経過時間は、水晶発振器、コンデンサのパラメータ、および PCB 寄生値によって異なります。余裕を見た経過時間として、(T4 – T1) タイムスタンプで定義される 10ms を示します。お客様のクロック回路 (すなわち、水晶発振器またはクロック ジェネレータ) および PCB の設計によっては、この値を低減できる可能性があります。

図 6-3. MCU およびメイン ドメインの結合、1 次電源パワーアップ シーケンス

6.10.2.3 MCU とメイン ドメインの結合パワーダウン シーケンス

図 6-4 に、このデバイスのパワーダウン シーケンスを示します。



J7VCL_ELCH_02

A. タイムスタンプの記号:

- T0 – MCU_PORz および PORz を Low にアサートして、すべてのプロセッサ リソースを安全な状態にします。(0 ms)
- T1 – メイン DDR、SRAM コア、および SRAM CPU 電源がランブダウンを開始します。(0.5ms)
- T2 – 低電圧コア電源がランブダウンを開始します。(2.5 ms)
- T3 – 1.8V 電圧がランブダウンを開始します。(3.0 ms)
- T4 – 3.3V 電圧がランブダウンを開始します。(3.5 ms)

B. 3.3V デジタル インターフェイスをサポートするために 3.3V が供給される、いずれかの MCU またはメイン デュアル電圧 IO ドメイン (VDDSHVn_MCU または VDDSHVn)。

C. 1.8V デジタル インターフェイスをサポートするために 1.8V が供給される、いずれかの MCU またはメイン デュアル電圧 IO ドメイン (VDDSHVn_MCU または VDDSHVn)。

D. VDDSHV5 は、SD メモリ カード用の MMC1 信号処理をサポートしています。規格準拠の高速 SD カード動作には、デュアル電圧 (3.3V/1.8V) 電源レールが必要です。SD カードが不要な場合や、3.3V 固定動作の標準データ レートが許容される場合は、このドメインをデジタル IO 3.3V 電源レールにグループ化できます。SD カードが固定 1.8V で動作できる場合は、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。

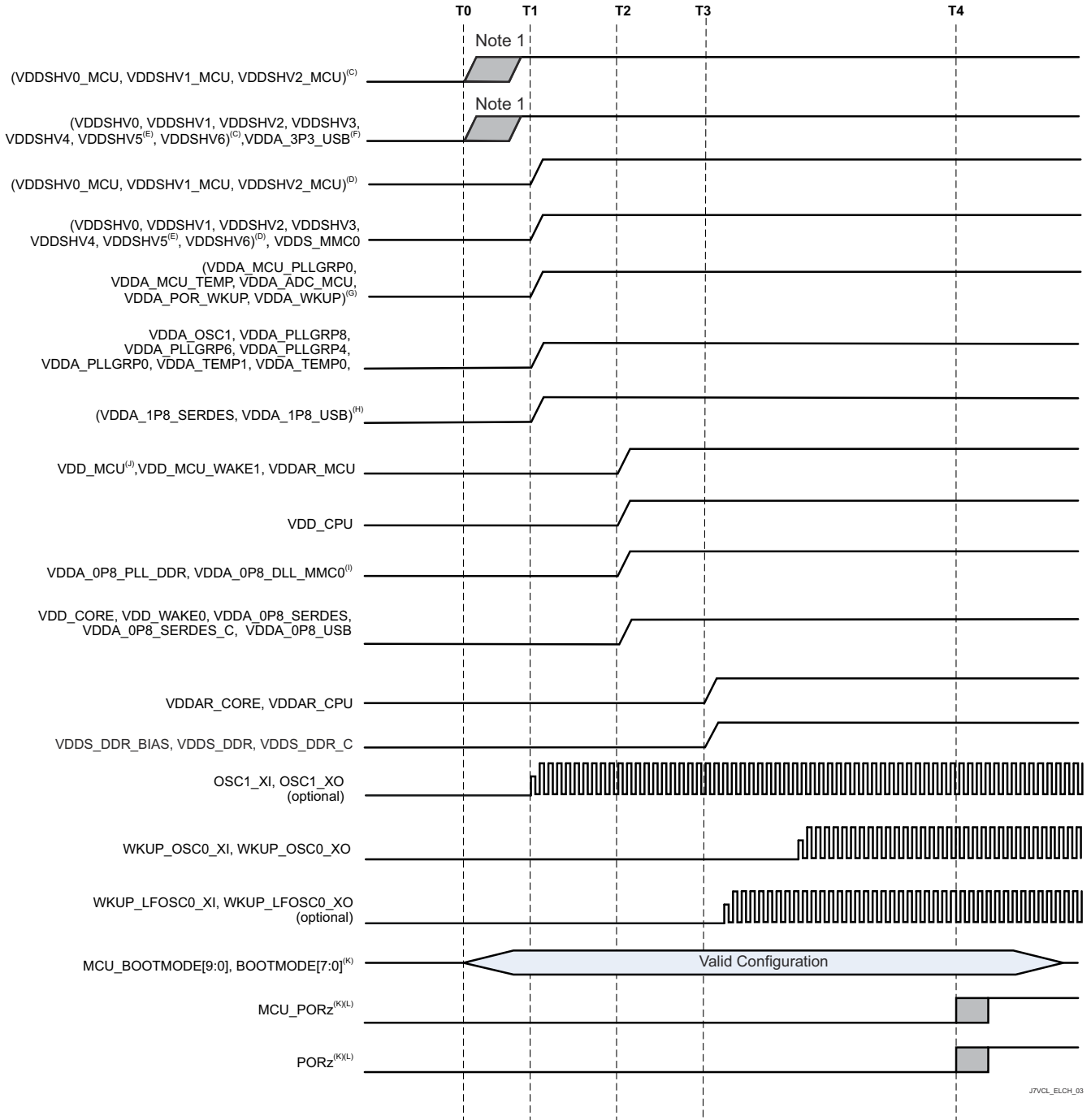
E. VDDA_3P3_USB は、USB 2.0 差動インターフェイス信号伝達に使用される 3.3V アナログドメインです。最良のシグナル インテグリティを実現して USB データ アイ マスクに準拠するために、低ノイズのアナログ電源を推奨します。USB インターフェイスが不要な場合や、データ ビット エラーが許容される場合は、直接または電源フィルタ経由で、このドメインを 3.3V デジタル IO 電源レールにグループ化できます。

- F. VDDA_1P8_<clk/pll/ana> は、クロック発振器、PLL、およびアナログ回路をサポートする 1.8V アナログドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチングノイズがクロック、PLL、DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、デジタルの VDDSHVN_MCU と VDDSHVN IO ドメインを結合することは推奨しません。アナログ VDDA_1p8_<phy> ドメインの結合は避けるべきですが、グループ化する場合は、インラインフェライトビーズで電源をフィルタリングする必要があります。
- G. VDDA_1P8_<phy> は、複数のシリアル PHY インターフェイスをサポートする 1.8V アナログドメインです。最良のシグナルインテグリティ、インターフェイス性能、仕様準拠を実現するため、低ノイズのアナログ電源を推奨します。これらのインターフェイスのいずれかが不要であるか、またはデータビットエラーや非準拠動作が許容できる場合には、直接またはインライン電源フィルタ経由で、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。
- H. VDDA_0P8_<dll/pll> は、PLL および DLL 回路をサポートする 0.8V アナログドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチングノイズが PLL および DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、これらのドメインを他の 0.8V ドメインと結合することは推奨しません。
- I. いずれかの電圧がランブダウンを開始する前に、SoC リソースが安全な状態に確実に移行できるようにするため、MCU_PORz および PORz を少なくとも $T_{d1} = 200\mu s$ の間 Low にアサートする必要があります。

図 6-4. MCU とメインドメインの結合、プライマリパワーダウンシーケンス

6.10.2.4 MCU およびメイン ドメインの分離パワーアップ シーケンシング

MCU とメイン電圧ドメインの分離により、SoC の MCU とメイン プロセッサ サブシステムは独立して動作できます。SoC の PDN 設計において、MCU とメイン プロセッサの分離機能をサポートする必要がある理由は、2 つあります。第 1 に は、SoC の低消費電力モードを有効にするフレキシビリティを提供することです。このモードを使用すると、プロセッサの動作が不要なときに SoC の消費電力を大幅に低減できます。第 2 に、単一の障害が MCU およびメイン プロセッサ サブシステムの両方に影響を及ぼすという干渉を回避すること (FFI) により、堅牢性を実現できます。これは、SoC の MCU をシステムの安全監視プロセッサとして使用する場合に特に有益です。必要とされる追加の PDN 電源レールの数は、異なる MCU IO 信号電圧レベルの数によって異なります。1.8V IO 信号のみを使用する場合は、必要とされる追加の電源レールは 2 つです。1.8V および 3.3V の IO 信号が必要な場合は、4 つの追加電源レールが必要になります。



J7VCL_ELCH_03

A. T1 タイムスタンプの記号:

- T0 – すべての 3.3V 電圧が、 $V_{OPR\ MIN}$ まで電源ランプアップを開始します。(0 ms)
- T1 – すべての 1.8V 電圧が、 $V_{OPR\ MIN}$ まで電源ランプアップを開始します。(2 ms)
- T3 – すべてのコア電圧が、 $V_{OPR\ MIN}$ まで電源ランプアップを開始します。(3 ms)
- T3 – すべての RAM アレイ電圧が、 $V_{OPR\ MIN}$ まで電源ランプアップを開始します。(4 ms)
- T4 – OSC1 は安定しており、PORz/MCU_PORz はアサート解除されて、プロセッサをリセットから解放します。(13 ms)

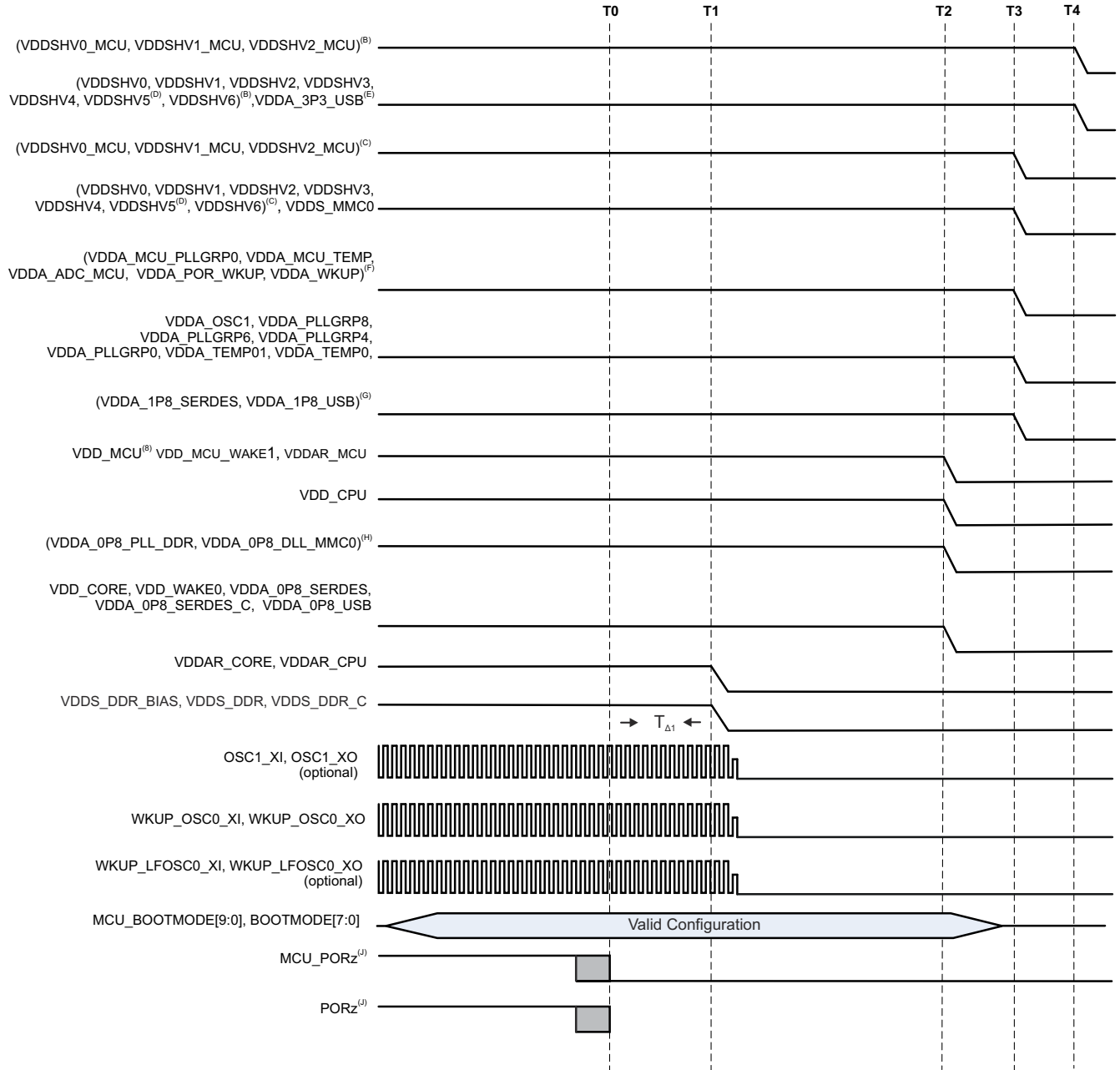
- B. 3.3 V デジタル インターフェイスをサポートするために 3.3V が供給される、いずれかの MCU またはメイン デュアル電圧 IO 電源 (VDDSHVn_MCU または VDDSHVn)。一部の電源では、PDN 設計により、異なる電源リソースを使用し、それぞれのターンオンおよびランプアップ遅延が異なるため、開始時間が T0 と T1 の間で変動する場合があります。**

- C. 1.8V デジタル インターフェイスをサポートするために 1.8V が供給される、いずれかの MCU またはメイン デュアル電圧 IO 電源 (VDDSHVn_MCU または VDDSHVn)。eMMC メモリを使用する場合、PDN 設計により電源が VDD_MMC0 とグループ化されているため、メインの 1.8V 電源は、T3 に合わせて開始時間が遅延する可能性があります。
- D. VDDSHV5 は、SD メモリ カード用の MMC1 信号処理をサポートしています。規格準拠の UHS-I SD カード動作が必要な場合は、独立したデュアル電圧 (3.3V/1.8V) 電源およびレールが必要です。3.3V へのランプアップの開始は、図に示すように、他の 3.3V ドメインと同じです。SD カードが不要な場合や、3.3V 固定動作の標準データレートが許容される場合は、この電源をデジタル IO 3.3V 電源レールにグループ化できます。SD カードが固定 1.8V で動作できる場合は、この電源をデジタル IO 1.8V 電源レールにグループ化できます。
- E. VDDA_3P3_USB は、USB 2.0 差動インターフェイス信号伝達に使用する 3.3V アナログ電源です。最良のシグナル インテグリティを実現して USB データアイ マスクに準拠するために、低ノイズのアナログ電源を推奨します。3.3V へのランプアップの開始は、図に示すように、他の 3.3V ドメインと同じです。USB インターフェイスが不要な場合や、データビット エラーが許容される場合は、直接または電源フィルタ経由で、この電源を 3.3V デジタル IO 電源レールにグループ化できます。
- F. VDDA_1P8_<clk/pll/ana> は、クロック発振器、PLL、およびアナログ回路をサポートする 1.8V アナログドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズがクロック、PLL、DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、デジタルの VDDSHVn_MCU と VDDSHVn IO ドメインを結合することは推奨しません。アナログ VDDA_1p8_<phy> ドメインの結合は避けるべきですが、グループ化する場合は、インライン フェライト ビーズで電源をフィルタリングする必要があります。
- G. VDDA_1P8_<phy> は、複数のシリアル PHY インターフェイスをサポートする 1.8V アナログドメインです。最良のシグナル インテグリティ、インターフェイス性能、仕様準拠を実現するため、低ノイズのアナログ電源を推奨します。これらのインターフェイスのいずれかが不要であるか、またはデータビット エラーや非準拠動作が許容できる場合には、直接またはインライン電源フィルタ経由で、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。
- H. VDDA_0P8_<dll/pll> は、PLL および DLL 回路をサポートする 0.8V アナログドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズが PLL および DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、これらのドメインを他の 0.8V ドメインと結合することは推奨しません。
- I. VDD_MCU は、広い動作電圧範囲を持つデジタル電圧ドメインであり、VDDAR_MCU ドメインまたは VDD_CORE のいずれかとグループ化できます。「MCU およびメインドメインの分離パワーアップ シーケンス」では、VDD_MCU は VDDAR_MCU とグループ化できます。VDD_MCU は T2 よりも前にランプアップする必要があります。VDDAR_MCU が VDD_MCU とグループ化されていない場合、T3 でランプする必要があります。
- J. パワーアップ シーケンス中に MCU_PORz および PORz が High にアサートされてから、MCU_BOOTMODEn (MCU_VDDSHV0 を基準とする) および BOOTMODEn (VDDSHV2 を基準とする) 設定をレジスタにラッチするまでの最小セットアップおよびホールド時間を表示。
- K. 水晶発振器回路に電源が供給されたとき (T1 の VDDA_OSC1) から、安定したクロック周波数に達するまでの最小経過時間は、水晶発振器、コンデンサのパラメータ、および PCB 寄生値によって異なります。余裕を見た経過時間として、(T4 – T1) タイムスタンプで定義される 10ms を示します。お客様のクロック回路 (すなわち、水晶発振器またはクロック ジェネレータ) および PCB の設計によっては、この値を低減できる可能性があります。

図 6-5. MCU およびメイン ドメインの分離、プライマリ パワーアップ シーケンス

6.10.2.5 MCU およびメイン ドメインの分離パワーダウン シーケンス

図 6-6 に、このデバイスのパワーダウン シーケンスを示します。



J7VCL_ELCH_04

A. タイムスタンプの記号:

- T0 – MCU_PORz および PORz を Low にアサートして、すべてのプロセッサ リソースを安全な状態にします。(0 ms)
- T1 – メイン DDR、SRAM コア、および SRAM CPU の電源ドメインがランブダウンを開始します。(0.5ms)
- T2 – すべてのコア電圧が電源ランブダウンを開始します。(2.5 ms)
- T3 – すべての 1.8V 電圧が電源ランブダウンを開始します。(3.0 ms)
- T4 – すべての 3.3V 電圧が電源ランブダウンを開始します。(3.5 ms)

B. 3.3V デジタル インターフェイスをサポートするために 3.3V が供給される、いずれかの MCU またはメイン デュアル電圧 IO ドメイン (VDDSHVn_MCU または VDDSHVn)。

- C. 1.8V デジタル インターフェイスをサポートするために 1.8V が供給される、いずれかの MCU またはメイン デュアル電圧 IO 電源 (VDDSHVn_MCU または VDDSHVn)。eMMC メモリが使用されている場合、PDN 設計により電源が VDD_MMC0 とグループ化されているため、メインの 1.8V 電源では T1 に合わせてランプダウンすることがあります。
- D. VDDSHV5 は、SD メモリ カード用の MMC1 信号処理をサポートしています。規格準拠の高速 SD カード動作には、デュアル電圧 (3.3V/1.8V) 電源レールが必要です。規格準拠の高速 SD カード動作が必要な場合は、独立したデュアル電圧 (3.3V/1.8V) 電源およびレールが必要です。3.3V/1.8V からのランプダウンの開始は、図に示すように、他の 3.3V ドメインと同じです。SD カードが不要な場合や、3.3V 固定動作の標準データレートが許容される場合は、このドメインをデジタル IO 3.3V 電源レールにグループ化できます。SD カードが固定 1.8V で動作できる場合は、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。
- E. VDDA_3P3_USB は、USB 2.0 差動インターフェイス信号伝達に使用される 3.3V アナログドメインです。最良のシグナル インテグリティを実現して USB データ アイマスキに準拠するために、低ノイズのアナログ電源を推奨します。3.3V からのランプダウンの開始は、図に示すように、他の 3.3V ドメインと同じです。USB インターフェイスが不要な場合や、データビット エラーが許容される場合は、直接または電源フィルタ経由で、このドメインを 3.3V デジタル IO 電源レールにグループ化できます。
- F. VDDA_1P8_<clk/pll/ana> は、クロック発振器、PLL、およびアナログ回路をサポートする 1.8V アナログドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズがクロック、PLL、DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、デジタルの VDDSHVn_MCU と VDDSHVn IO ドメインを結合することは推奨しません。アナログ VDDA_1p8_<phy> ドメインの結合は避けるべきですが、グループ化する場合は、インライン フェライト ビーズで電源をフィルタリングする必要があります。
- G. VDDA_1P8_<phy> は、複数のシリアル PHY インターフェイスをサポートする 1.8V アナログドメインです。最良のシグナル インテグリティ、インターフェイス性能、仕様準拠を実現するため、低ノイズのアナログ電源を推奨します。これらのインターフェイスのいずれかが不要であるか、またはデータビット エラーや非準拠動作が許容できる場合には、直接またはインライン電源フィルタ経由で、このドメインをデジタル IO 1.8V 電源レールにグループ化できます。
- H. VDDA_0P8_<dll/pll> は、PLL および DLL 回路をサポートする 0.8V アナログドメインであり、最適な性能を得るために低ノイズ電源が必要です。高周波スイッチング ノイズが PLL および DLL 信号のジッタ性能に悪影響を及ぼす可能性があるため、これらのドメインを他の 0.8V ドメインと結合することは推奨しません。
- I. いずれかの電圧がランプダウンを開始する前に、SoC リソースが安全な状態に確実に移行できるようにするため、MCU_PORz および PORz を少なくとも Td1 = 200μs の間 Low にアサートする必要があります。

図 6-6. MCU およびメイン ドメインの分離、プライマリ パワーダウン シーケンシング

6.10.2.6 独立した MCU およびメイン ドメイン、MCU のみ状態への移行および復帰シーケンス

MCU のみ状態への移行は、電源が供給されたままの 4 つの MCU ドメインを除いて、パワーダウン シーケンスを実行することにより行われます。MCU のみ状態からの復帰は、シーケンス全体にわたって 4 つの MCU ドメインに電源が供給されたままの状態、パワーアップ シーケンスを実行することにより行われます。

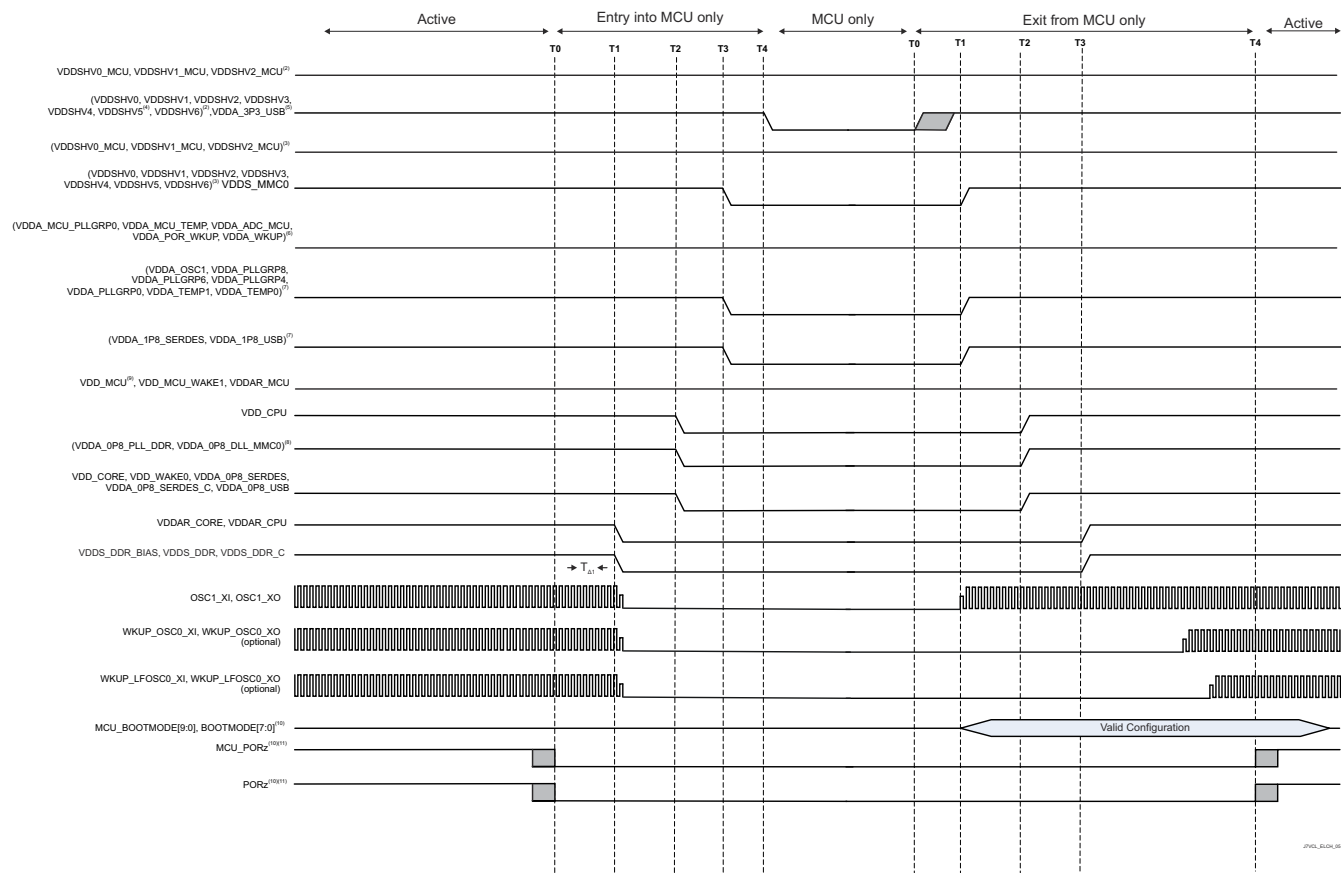


図 6-7. 独立した MCU およびメイン ドメイン、MCU のみ状態への移行および復帰シーケンス

6.10.2.7 独立した MCU およびメイン ドメイン、DDR 保持状態への移行および復帰

DDR 保持状態への移行は、電源が供給されたままの 4 つの DDR ドメインを除いて、パワーダウン シーケンスを実行することにより行われます。DDR 保持状態からの復帰は、3 つの DDR ドメインに電源が供給されたままの状態、パワーアップ シーケンスを実行することにより行われます。

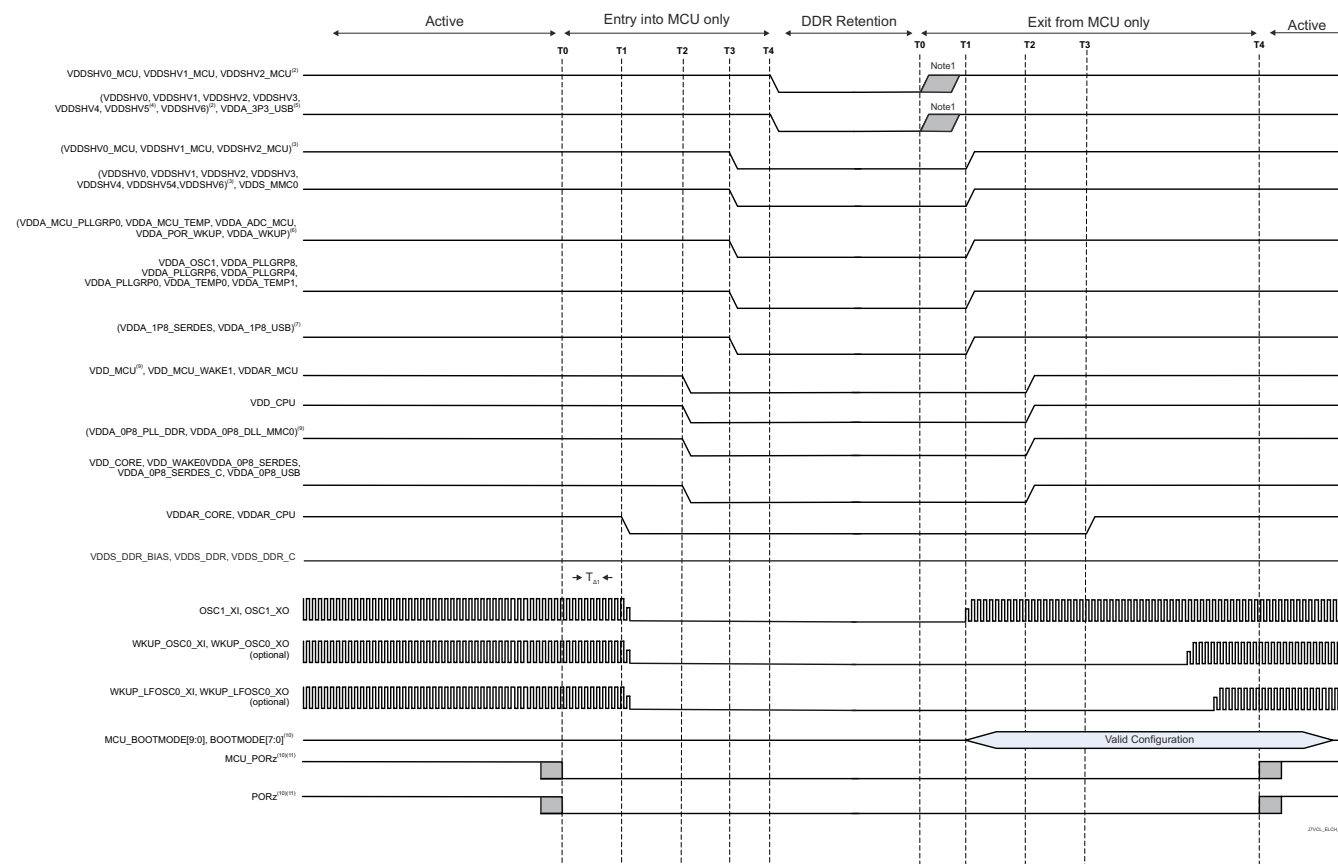


図 6-8. 独立した MCU およびメイン ドメイン、DDR 保持状態への移行および復帰

6.10.2.8 独立した MCU とメイン ドメイン、GPIO 保持への移行および復帰シーケンス

GPIO 保持状態への移行は、電源が供給されたままの 2 つまたは 4 つの ウェイクドメインを除いて、パワーダウンシーケンスを実行することにより行われます。GPIO 保持状態からの復帰は、2 つまたは 4 つの ウェイク DDR ドメインに電源が供給されたままの状態、パワーアップシーケンスを実行することにより行われます。

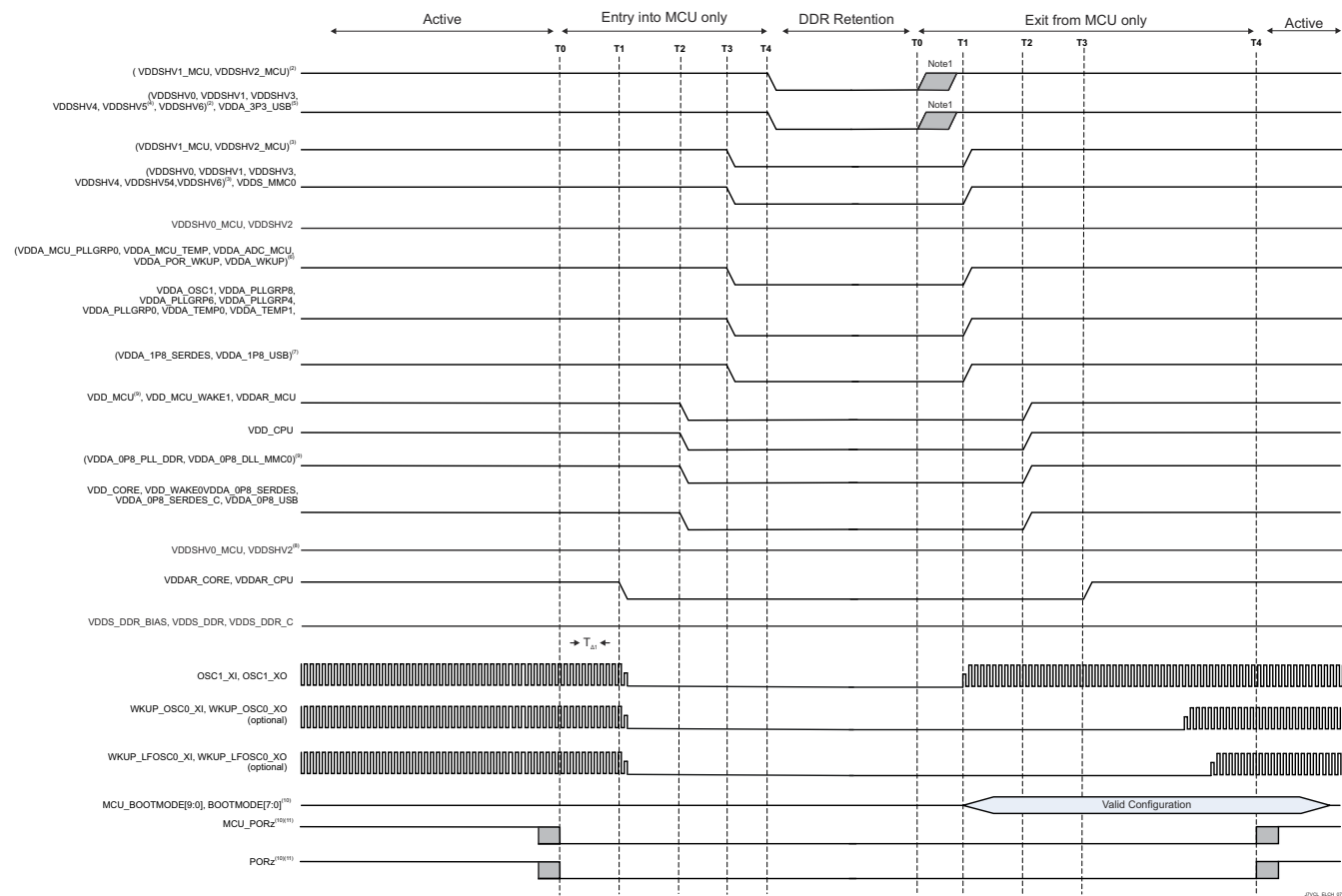


図 6-9. 独立した MCU とメイン ドメイン、GPIO 保持への移行および復帰シーケンス

6.10.3 システムのタイミング

サブシステム多重化信号の機能および追加の説明情報については、「信号の説明」、「詳細説明」の対応するセクションを参照してください。

表 6-5. システムのタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スルーレート	0.5	2	V/ns
出力条件				
C _L	出力負荷容量	3	30	pF

6.10.3.1 リセット タイミング

このセクションの表と図では、リセット関連信号のタイミング要件とスイッチング特性を定義します。

表 6-6. MCU_PORz のタイミング要件

図 6-10 参照

番号			最小値	代表値	最大値	単位
RST1		ホールド時間、電源オン時に、すべての MCU ドメイン電源が有効になった後、MCU_PORz アクティブ (Low) の間 (外付け水晶振動子使用の場合)	N + 1200 ⁽²⁾	9500000		ns
RST2	t _h (MCUD_SUPPLIES_VALID - MCU_PORz)	ホールド時間、電源オン時に、すべての MCU ドメインが ⁽¹⁾ 有効になり、さらに外部クロックが安定した後、MCU_PORz アクティブ (Low) の間 (外部 LVCMOS 発振器使用の場合)	1200			ns
RST3	t _w (MCU_PORzL)	最小パルス幅、電源投入後の MCU_PORz low (電源またはシステム基準クロック MCU_OSC0_XI/XO が維持されている場合)	1200			ns

(1) MCU ドメイン電源の定義については、[セクション 6.10.2.2 『MCU とメインドメインの結合パワーアップシーケンス』](#)を参照してください。

(2) N = 発振器の起動時間

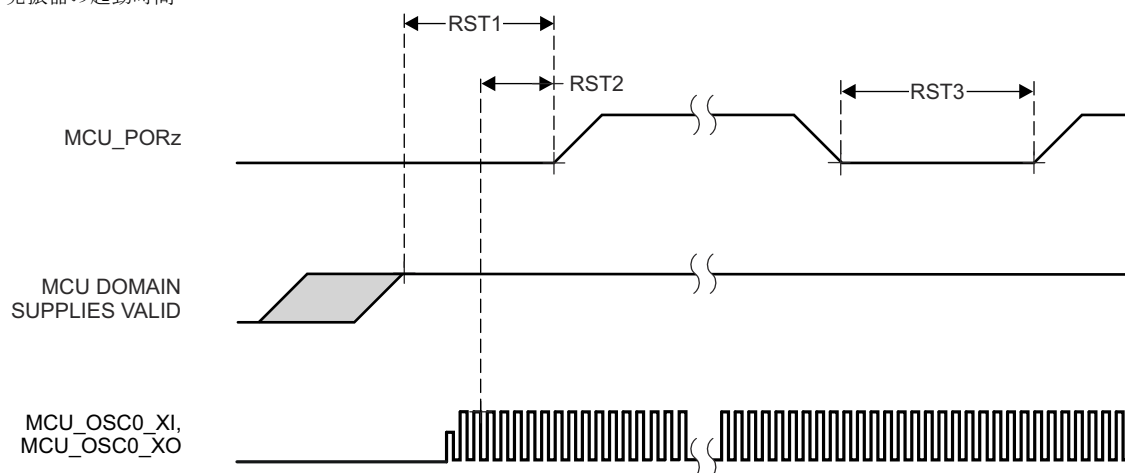


図 6-10. MCU_PORz のタイミング要件

表 6-7. PORz のタイミング要件

図 6-11 参照

番号			最小値	最大値	単位
RST4	$t_{H}(\text{MAIN_SUPPLIES_VALID} - \text{PORz})$	ホールド時間、電源オン時に、すべての MAIN ドメイン電源が有効(1)になった後、PORz アクティブ(Low)の間	1200		ns
RST5	$t_{W}(\text{PORzL})$	最小パルス幅、電源投入後の PORz low	1200		ns

(1) メインドメイン電源の定義については、[セクション 6.10.2.2 『MCU とメインドメインの結合パワーアップシーケンス』](#)を参照してください。

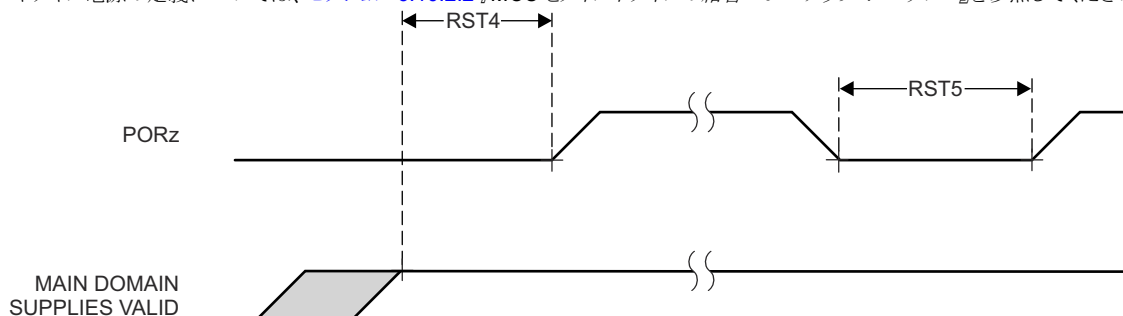


図 6-11. PORz のタイミング要件

表 6-8. MCU_PORz 開始、MCU_PORz_OUT、PORz_OUT、MCU_RESETSTATz、RESETSTATz のスイッチング特性

図 6-12 参照

番号	パラメータ	モード	最小値	最大値	単位
RST6	$t_d(\text{MCU_PORzL-MCU_PORz_OUTL})$		0		ns
RST7	$t_d(\text{MCU_PORzH-MCU_PORz_OUTH})$		0		ns
RST8	$t_d(\text{MCU_PORzL-PORz_OUTL})$		0		ns
RST9	$t_d(\text{MCU_PORzH-PORz_OUTH})$		1500		ns
RST10	$t_d(\text{MCU_PORzL-MCU_RESETSTATzL})$		0		ns
RST11	$t_d(\text{MCU_PORzH-MCU_RESETSTATzH})$	POST バイパス	12000*S ⁽¹⁾		ns
RST12	$t_d(\text{MCU_PORzL-RESETSTATzL})$		0		ns
RST13	$t_d(\text{MCU_PORzH-RESETSTATzH})$		14500*S ⁽¹⁾		ns
RST14	$t_w(\text{MCU_PORz_OUTL})$		1200		ns
RST15	$t_w(\text{PORz_OUTL})$		2550		ns
RST16	$t_w(\text{MCU_RESETSTATzL})$		3900*S ⁽¹⁾		ns
RST17	$t_w(\text{RESETSTATzL})$		2650*S ⁽¹⁾		ns

(1) S = MCU_OSC0_XI/XO クロック周期。

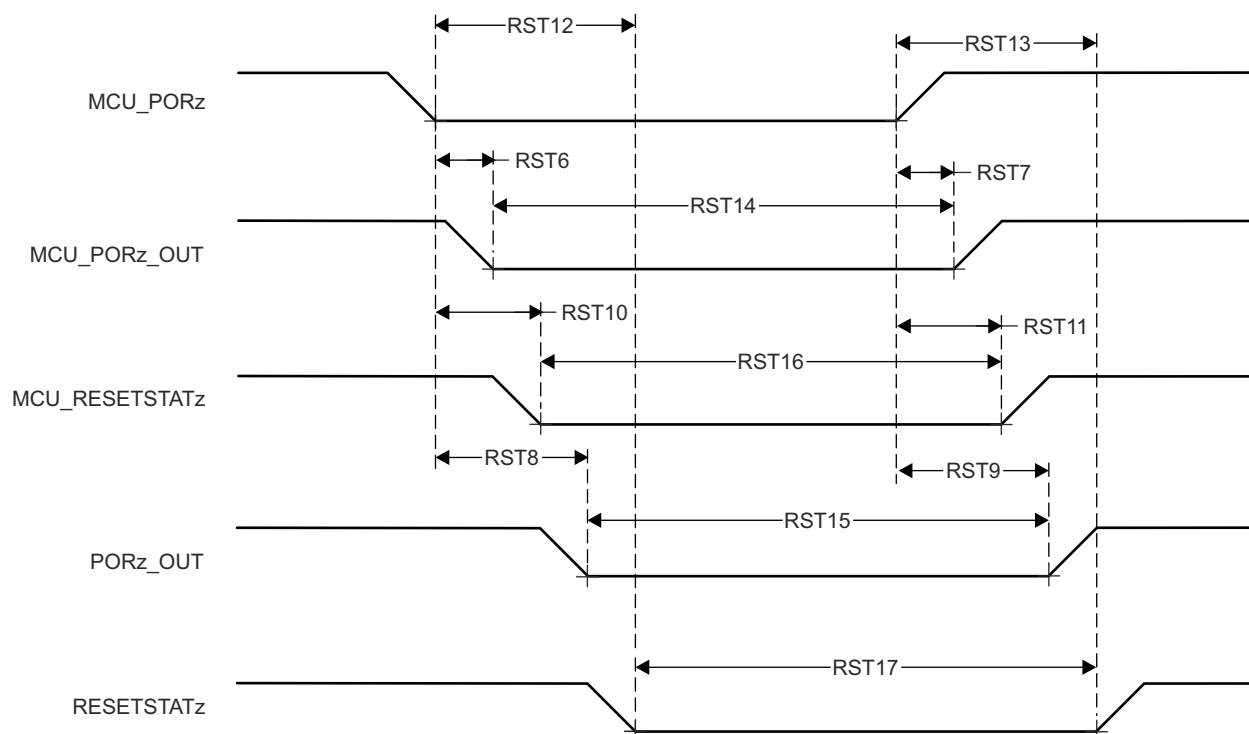


図 6-12. MCU_PORz 開始、MCU_PORz_OUT、PORz_OUT、MCU_RESETSTATz、RESETSTATz のスイッチング特性

表 6-9. PORz 開始、PORz_OUT および RESETSTATz のスイッチング特性

図 6-13 参照

番号	パラメータ	モード	最小値	最大値	単位
RST18	$t_{d(PORzL-PORz_OUTL)}$	POR_RST_ISO_DONE_Z のソフトウェア制御	$T^{(1)}$		
		CTRLMMR_WKUP_POR_RST_CTRL[0].POR_RST_ISO_DONE_Z = 0	0		ns
RST19	$t_{d(PORzH-PORz_OUTH)}$	遅延時間、PORz アクティブ (high) から PORz_OUT アクティブ (high) まで	1300		ns
RST20	$t_{d(PORzL-RESETSTATzL)}$	遅延時間、PORz アクティブ (low) から RESETSTATz アクティブ (low) まで	$T^{(1)}$		
		CTRLMMR_WKUP_POR_RST_CTRL[0].POR_RST_ISO_DONE_Z = 0	0		ns
RST21	$t_{d(PORzH-RESETSTATzH)}$	遅延時間、PORz アクティブ (high) から RESETSTATz アクティブ (high) まで	14500*S ⁽²⁾		ns

(1) T = リセット分離時間 (ソフトウェアに依存)。

(2) S = MCU_OSC0_XI/XO クロック周期。

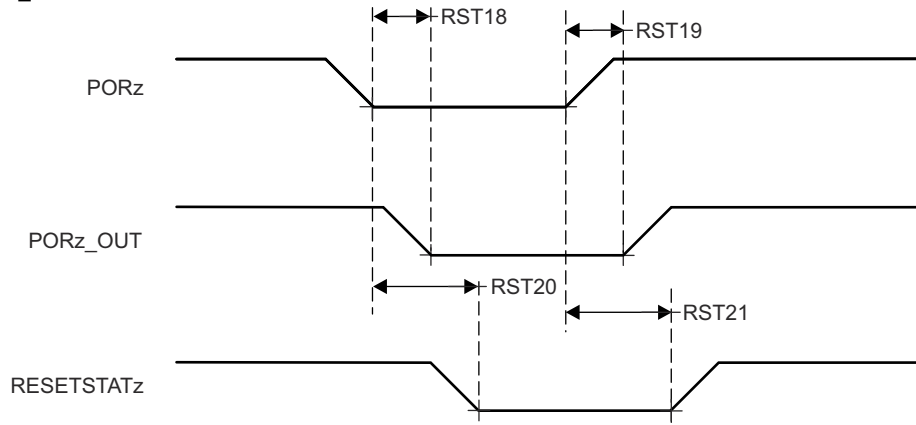


図 6-13. PORz 開始、PORz_OUT および RESETSTATz のスイッチング特性

表 6-10. MCU_RESETz のタイミング要件

図 6-14 参照

番号			最小値	最大値	単位
RST22	$t_{w(MCU_RESETz)}$ ⁽¹⁾	最小パルス幅、MCU_RESETz アクティブ (low)	1200		ns

(1) MCU_RESETz のタイミングは、すべての電源が有効になり、MCU_PORz が指定された時間アサートされた後にのみ有効です。

表 6-11. MCU_RESETz 開始、MCU_RESETSTATz、RESETSTATz のスイッチング特性

図 6-14 参照

番号	パラメータ	最小値	最大値	単位
RST23	$t_{d(MCU_RESETzL-MCU_RESETSTATzL)}$ 遅延時間、MCU_RESETz アクティブ (low) から MCU_RESETSTATz アクティブ (low) まで	800		ns
RST24	$t_{d(MCU_RESETzH-MCU_RESETSTATzH)}$ 遅延時間、MCU_RESETz 非アクティブ (high) から MCU_RESETSTATz 非アクティブ (high) まで	3900*S ⁽¹⁾		ns
RST25	$t_{d(MCU_RESETzL-RESETSTATzL)}$ 遅延時間、MCU_RESETz アクティブ (low) から RESETSTATz アクティブ (low) まで	800		ns
RST26	$t_{d(MCU_RESETzH-RESETSTATzH)}$ 遅延時間、MCU_RESETz 非アクティブ (high) から RESETSTATz 非アクティブ (high) まで	3900*S ⁽¹⁾		ns

(1) S = MCU_OSC0_XI/XO クロック周期。

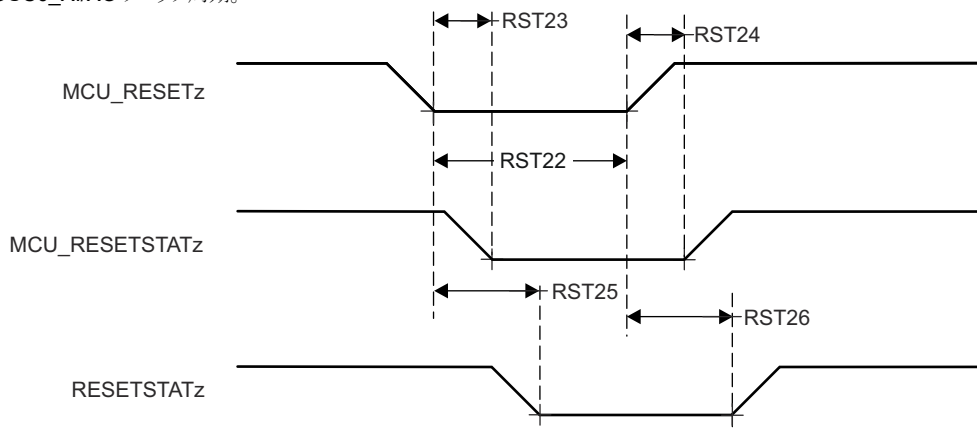


図 6-14. MCU_RESETz 開始、MCU_RESETSTATz、RESETSTATz のタイミング要件とスイッチング特性

表 6-12. RESET_REQz のタイミング要件

図 6-15 参照

番号			最小値	最大値	単位
RST27	$t_{w(RES_REQzL)}$ ⁽¹⁾	最小パルス幅、RESET_REQz アクティブ (low)	1200		ns

(1) RESET_REQz のタイミングは、すべての電源が有効になり、MCU_PORz が指定された時間アサートされた後にのみ有効です。

表 6-13. RESET_REQz 開始、RESETSTATz のスイッチング特性

図 6-15 参照

番号	パラメータ	モード	最小値	最大値	単位
RST28	$t_{d(RES_REQzL-RES_STATzL)}$	SOC_WARMRST_ISO_DONE_Z のソフトウェア制御	T ⁽¹⁾		
		CTRLMMR_WKUP_MAIN_WARM_RST_CTRL[0].SOC_WARMRST_ISO_DONE_Z = 0	740		ns
RST29	$t_{d(RES_REQzH-RES_STATzH)}$	遅延時間、RESET_REQz 非アクティブ (high) から RESETSTATz 非アクティブ (high) まで	2650*S ⁽²⁾		ns

(1) T = リセット分離時間 (ソフトウェアに依存)。

(2) S = MCU_OSC0_XI/XO クロック周期。

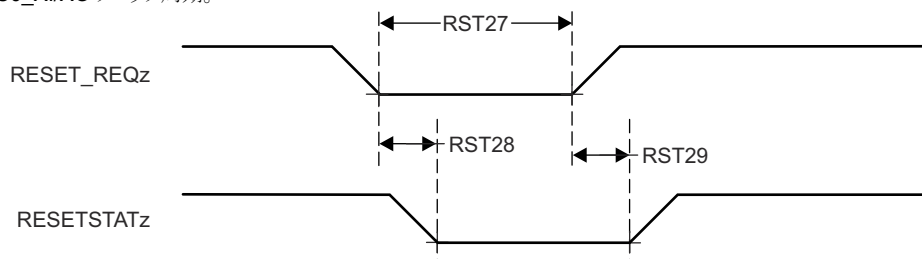


図 6-15. RESET_REQz 開始、RESETSTATz のタイミング要件とスイッチング特性

表 6-14. EMUx のタイミング要件

図 6-16 参照

番号			最小値	最大値	単位
RST30	$t_{su}(EMUx-MCU_PORz)$	セットアップ時間、EMU[1:0] から MCU_PORz 非アクティブ (high) まで	$3 \cdot S^{(1)}$		ns
RST31	$t_h(MCU_PORz - EMUx)$	ホールド時間、MCU_PORz 非アクティブ (high) から EMU[1:0] 有効の間	10		ns

(1) S = MCU_OSC0_XI/XO クロック周期。

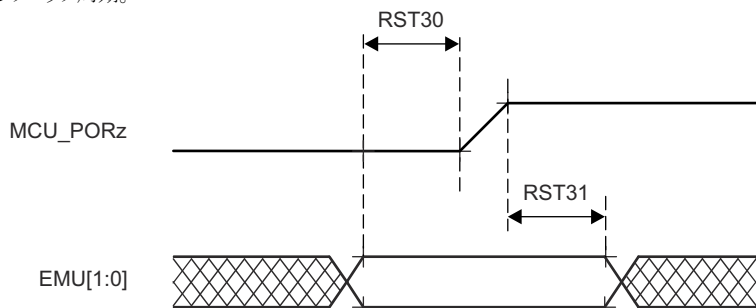


図 6-16. EMUx のタイミング要件

表 6-15. MCU_BOOTMODE のタイミング要件

図 6-17 参照

番号			最小値	最大値	単位
RST32	$t_{su}(MCU_BOOTMODE-MCU_PORz_OUT)$	セットアップ時間、MCU_BOOTMODE[09:00] から MCU_PORz_OUT high まで	$3 \cdot S^{(1)}$		ns
RST33	$t_h(MCU_PORz_OUT - MCU_BOOTMODE)$	ホールド時間、MCU_PORz_OUT high から MCU_BOOTMODE[09:00] 有効の間	0		ns

(1) S = MCU_OSC0_XI/XO クロック周期。

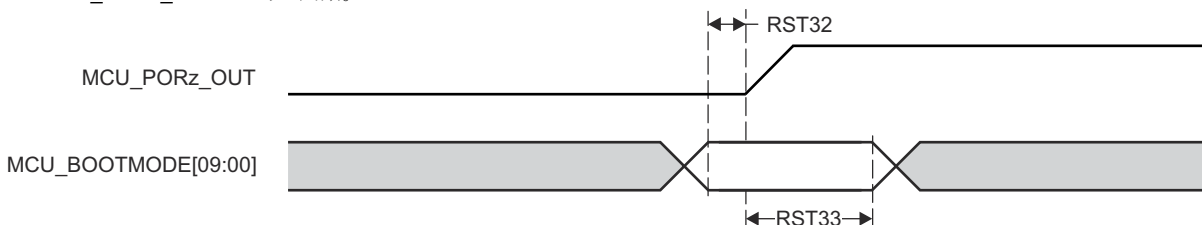


図 6-17. MCU_BOOTMODE のタイミング要件

表 6-16. BOOTMODE のタイミング要件

図 6-18 参照

番号			最小値	最大値	単位
RST34	$t_{su}(\text{BOOTMODE-PORz_OUT})$	セットアップ時間、BOOTMODE[7:0] から PORz_OUT high まで	$3 \cdot S^{(1)}$		ns
RST35	$t_h(\text{PORz_OUT - BOOTMODE})$	ホールド時間、PORz_OUT high から BOOTMODE[7:0] 有効の間	0		ns

(1) S = MCU_OSC0_XI/XO クロック周期。

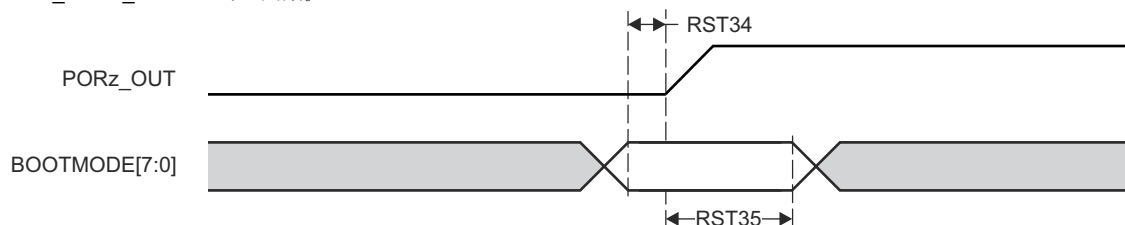


図 6-18. BOOTMODE のタイミング要件

6.10.3.2 安全信号タイミング

このセクションに示す表と図は、MCU_SAFETY_ERRORn と SOC_SAFETY_ERRORn のスイッチング特性を定義しています。

表 6-17. MCU_SAFETY_ERRORn のスイッチング特性

図 6-19 参照

番号	パラメータ		最小値	最大値	単位
SFTY1	t _w (MCU_SAFETY_ERRORn)	最小パルス幅、MCU_SAFETY_ERRORn アクティブ (PWM モード無効)	P*R ⁽¹⁾ (2)		ns
SFTY2	t _d (ERROR_CONDITION-MCU_SAFETY_ERRORnL)	遅延時間、エラー状態から MCU_SAFETY_ERRORn アクティブまで	50*P ⁽¹⁾		ns

(1) P = ESM 機能クロック (MCU_SYSCLK0/6)。

(2) R = エラー ピン カウンタ プリロード レジスタ カウント値。

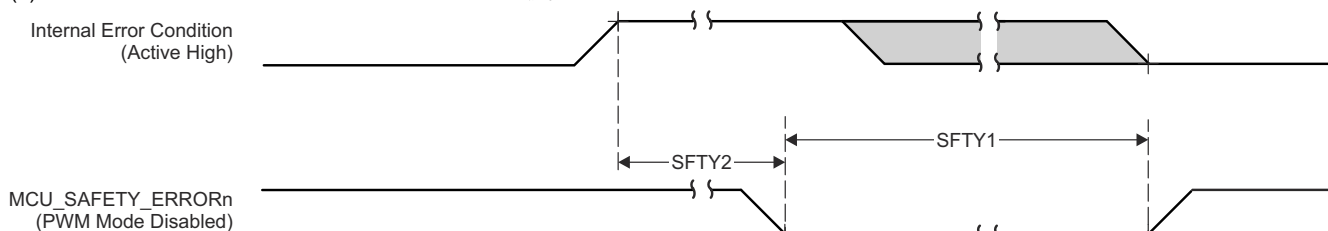


図 6-19. MCU_SAFETY_ERRORn のスイッチング特性

表 6-18. SOC_SAFETY_ERRORn のスイッチング特性

図 6-20 参照

番号	パラメータ		最小値	最大値	単位
SFTY3	t _w (SOC_SAFETY_ERRORn)	最小パルス幅、SOC_SAFETY_ERRORn アクティブ (PWM モード無効)	P*R ⁽¹⁾ (2)		ns
SFTY4	t _d (ERROR_CONDITION-SOC_SAFETY_ERRORnL)	遅延時間、エラー状態から SOC_SAFETY_ERRORn アクティブまで	50*P ⁽¹⁾		ns

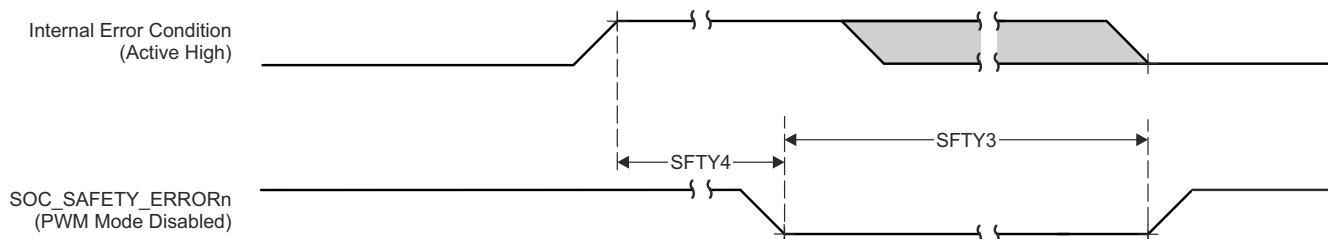


図 6-20. SOC_SAFETY_ERRORn のスイッチング特性

6.10.3.3 クロックのタイミング

このセクションの表と図では、クロック信号のタイミング要件、スイッチング特性を定義します。

表 6-19. クロックのタイミング要件

図 6-21 参照

番号			最小値	最大値	単位
CLK1	$t_{c(EXT_REFCLK1)}$	最小サイクル時間、EXT_REFCLK1	10		ns
CLK2	$t_{w(EXT_REFCLK1H)}$	最小パルス幅、EXT_REFCLK1 High	$E \cdot 0.45^{(1)}$	$E \cdot 0.55^{(1)}$	ns
CLK3	$t_{w(EXT_REFCLK1L)}$	最小パルス幅、EXT_REFCLK1 Low	$E \cdot 0.45^{(1)}$	$E \cdot 0.55^{(1)}$	ns

(1) $E = EXT_REFCLK1$ サイクル時間

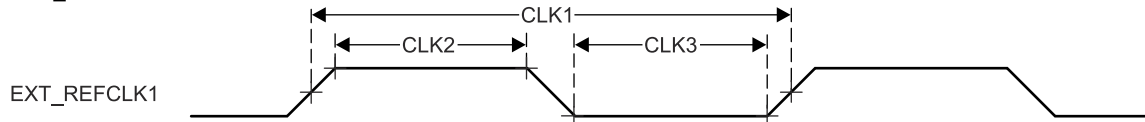


図 6-21. クロックのタイミング要件

表 6-20. クロックのスイッチング特性

図 6-22 参照

番号	パラメータ		最小値	最大値	単位
CLK4	$t_{c(SYSCLKOUT0)}$	最小サイクル時間、SYSCLKOUT0	8		ns
CLK5	$t_{w(SYSCLKOUT0H)}$	最小パルス幅、SYSCLKOUT0 High	$A \cdot 0.4^{(1)}$	$A \cdot 0.6^{(1)}$	ns
CLK6	$t_{w(SYSCLKOUT0L)}$	最小パルス幅、SYSCLKOUT0 Low	$A \cdot 0.4^{(1)}$	$A \cdot 0.6^{(1)}$	ns
CLK7	$t_{c(OBSCLK0)}$	最小サイクル時間、OBSCLK0	5		ns
CLK8	$t_{w(OBSCLK0H)}$	最小パルス幅、OBSCLK0 High	$B \cdot 0.4^{(2)}$	$B \cdot 0.6^{(2)}$	ns
CLK9	$t_{w(OBSCLK0L)}$	最小パルス幅、OBSCLK0 Low	$B \cdot 0.4^{(2)}$	$B \cdot 0.6^{(2)}$	ns
CLK10	$t_{c(CLKOUT0)}$	最小サイクル時間、CLKOUT0	20		ns
CLK11	$t_{w(CLKOUT0H)}$	最小パルス幅、CLKOUT0 High	$C \cdot 0.4^{(3)}$	$C \cdot 0.6^{(3)}$	ns
CLK12	$t_{w(CLKOUT0L)}$	最小パルス幅、CLKOUT0 Low	$C \cdot 0.4^{(3)}$	$C \cdot 0.6^{(3)}$	ns

(1) $A = SYSCLKOUT0$ サイクル時間

(2) $B = OBSCLK0$ サイクル時間

(3) $C = CLKOUT0$ サイクル時間

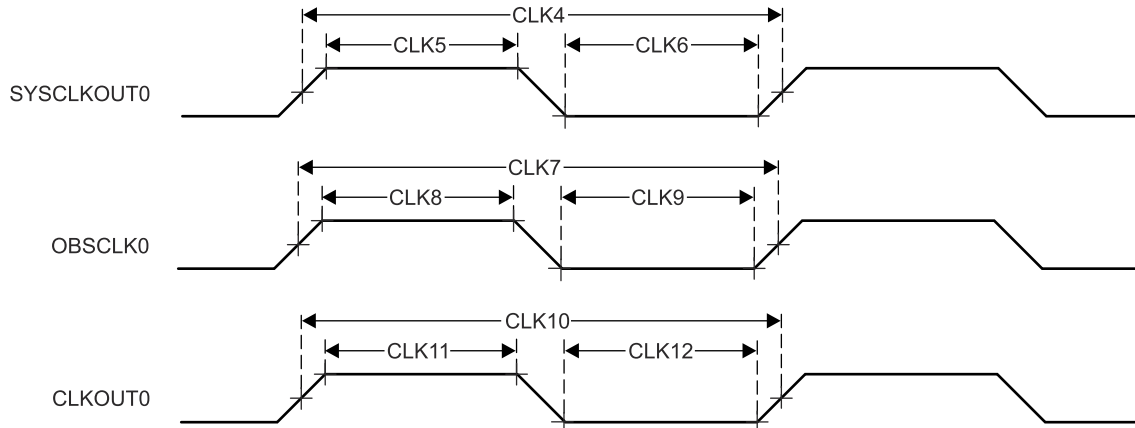


図 6-22. クロックのスイッチング特性

6.10.4 クロック仕様

6.10.4.1 入力および出力クロック / 発振器

本デバイスを駆動するには、各種の外部クロック入力 / 出力が必要です。これらの入力クロック信号の概要は、以下のとおりです。

- 高周波数発振器入力
 - OSC1_XO/OSC1_XI — 外部メイン水晶振動子インターフェイスピン。基準クロックを供給する内部発振器に接続されています。MCU ドメインおよびメインドメイン内の PLL に基準クロックを供給します。この高周波数発振器は、オーディオクロック周波数を MCASP に供給するために使用されます。
 - WKUP_OSC0_XO/WKUP_OSC0_XI — 外部メイン水晶振動子インターフェイスピン。基準クロックを供給する内部発振器に接続されています。WKUP およびメインドメイン内の PLL に基準クロックを供給します。
- 低周波数発振器入力
 - WKUP_LF_CLKIN - 低周波数の 32k デジタル クロック入力で、外部 PMIC または他のクロックソースからクロックを供給することもできます。この SoC は、LFOSC 水晶振動子入力をサポートしていません。
- 汎用クロック入力
 - MCU_EXT_REFCLK0 — オプションの外部システム クロック入力 (MCU ドメイン)。
 - EXT_REFCLK1 — オプションの外部システム クロック入力 (メインドメイン)。
- ペリフェラル クロック — ペリフェラル固有のクロックについては、「信号の説明」を参照してください。

入力クロック インターフェイスの詳細については、デバイス テクニカル リファレンス マニュアルの「デバイス構成」の章にある「クロック処理」のセクションを参照してください。

6.10.4.1.1 WKUP_OSC0 内部発振器クロック ソース

図 6-23 に、水晶発振器の推奨回路を示します。発振回路の実装に使用されるすべてのディスクリート部品は、WKUP_OSC0_XI および WKUP_OSC0_XO ピンのできるだけ近くに配置する必要があります。

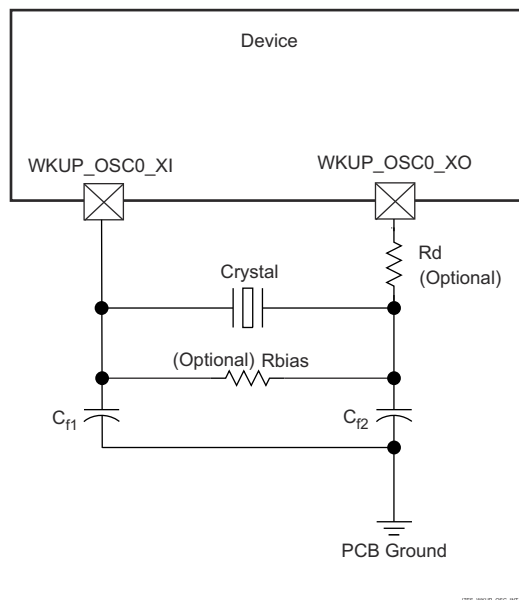


図 6-23. WKUP_OSC0 水晶振動子の実装

水晶振動子は、基本動作モード、並列共振である必要があります。表 6-21 に、必要な電氣的制約事項を示します。

表 6-21. WKUP_OSC0 水晶振動子の電氣的特性

パラメータ			最小値	標準値	最大値	単位
F _{xtal}	水晶振動子の並列共振周波数		19.2、20、24、25、26、27			MHz
F _{xtal}	水晶振動子の周波数安定性および許容誤差	イーサネット RGMII および RMII は未使用	±100			ppm
		派生クロックを使用するイーサネット RGMII と RMII	±50			
C _{L1+PCBXI}	C _{L1} + C _{PCBXI} の容量		12		24	pF
C _{L2+PCBXO}	C _{L2} + C _{PCBXO} の容量		12		24	pF
C _L	水晶振動子の負荷容量		6		12	pF
C _{shunt}	水晶発振回路のシャント容量	19.2MHz、20MHz	ESR _{xtal} ≤ 30Ω		7	pF
			30Ω ≤ ESR _{xtal} ≤ 80Ω		5	pF
			80Ω ≤ ESR _{xtal} ≤ 100Ω		3	pF
		24 MHz	ESR _{xtal} ≤ 30Ω		7	pF
			30Ω ≤ ESR _{xtal} ≤ 60Ω		5	pF
			60Ω ≤ ESR _{xtal} ≤ 80Ω		3	pF
			サポート対象外: 80Ω ≤ ESR _{xtal}		—	
		25MHz	ESR _{xtal} ≤ 30Ω		7	pF
			30Ω ≤ ESR _{xtal} ≤ 50Ω		5	pF
			50Ω ≤ ESR _{xtal} ≤ 80Ω		3	pF
			サポート対象外: 80Ω ≤ ESR _{xtal}		—	
		26MHz、27MHz	ESR _{xtal} ≤ 30Ω		7	pF
			30Ω ≤ ESR _{xtal} ≤ 50Ω		5	pF
			サポート対象外: 50Ω ≤ ESR _{xtal}		—	
ESR _{xtal}	水晶振動子の等価直列抵抗		(1)			Ω

(1) 水晶振動子の最大 ESR は、水晶振動子の周波数とシャント容量の関数です。C_{shunt} パラメータを参照してください。

水晶振動子を選択するとき、システム設計では、ワーストケースの環境とシステムの予測寿命に基づいて、温度と経年変化特性を考慮する必要があります。

表 6-22 に、発振器のスイッチング特性と入力クロックの要件を示します。

表 6-22. WKUP_OSC0 のスイッチング特性 – 水晶振動子モード

パラメータ		パッケージ	最小値	標準値	最大値	単位
C_{XI}	XI 容量	ALZ			1.345	pF
C_{XO}	XO 容量	ALZ			1.672	pF
C_{XIXO}	XI から XO への相互容量	ALZ			0.01	pF
t_s	起動時間			9.5 ⁽¹⁾		ms

(1) それぞれのお客様が、検証のためにデバイスのサンプルを共振器 / 水晶振動子のベンダに提出することを強くお勧めします。ベンダは、温度 / 電圧の最大値や最小値においても最適な起動と動作を実現するために、共振器 / 水晶振動子をマイクロコントローラ デバイスに合わせて最適に調整する負荷コンデンサを決定するための手段を用意しています。

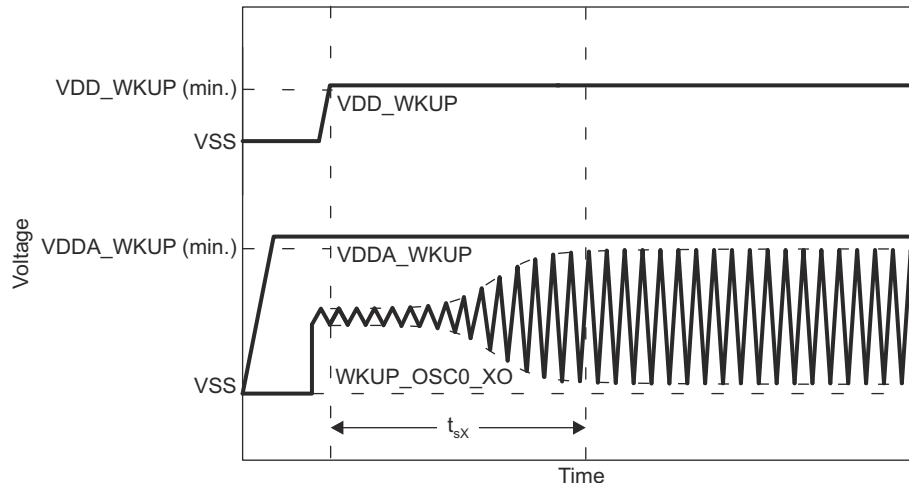


図 6-24. WKUP_OSC0 スタートアップ時間

6.10.4.1.1.1 負荷容量

水晶振動子回路は、水晶振動子メーカーの定義に従って、水晶振動子に適切な容量性負荷がかかるように設計する必要があります。この回路の容量性負荷 C_L は、ディスクリートコンデンサ C_{L1} 、 C_{L2} 、およびいくつかの寄生成分から構成されています。水晶振動子回路の部品を WKUP_OSC0_XI および WKUP_OSC0_XO に接続する PCB 信号パターンには、グラウンドへの寄生容量 C_{PCBXI} および C_{PCBXO} があり、PCB 設計者は各信号パターンの寄生容量を把握する必要があります。WKUP_OSC0 回路およびデバイスパッケージには、グラウンドへの寄生容量 C_{PCBXI} および C_{PCBXO} があります。ここで、これらの寄生容量の値は、表 6-22 で定義されています。

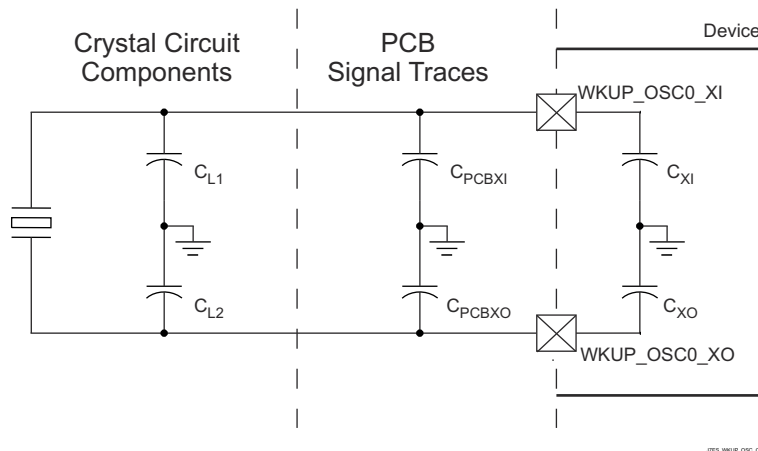


図 6-25. 負荷容量

図 6-23 の負荷コンデンサ C_{L1} および C_{L2} は、次の式が満足されるように選択する必要があります。この式の C_L は、水晶振動子のメーカーによって指定された負荷です。

$$C_L = [(C_{L1} + C_{PCBXI} + C_{XI}) \times (C_{L2} + C_{PCBXO} + C_{XO})] / [(C_{L1} + C_{PCBXI} + C_{XI}) + (C_{L2} + C_{PCBXO} + C_{XO})]$$

C_{L1} と C_{L2} の値を決定するには、まず、容量性負荷の値 C_L に 2 を乗算します。この結果に対して、 $C_{PCBXI} + C_{XI}$ の合成値を減算すれば C_{L1} の値が得られます。また、 $C_{PCBXO} + C_{XO}$ の合成値を減算すれば、 C_{L2} の値が得られます。たとえば、 $C_L = 10\text{pF}$ 、 $C_{PCBXI} = 2.9\text{pF}$ 、 $C_{XI} = 0.5\text{pF}$ 、 $C_{PCBXO} = 3.7\text{pF}$ 、 $C_{XO} = 0.5\text{pF}$ の場合、 $C_{L1} = [(2C_L) - (C_{PCBXI} + C_{XI})] = [(2 \times 10\text{pF}) - 2.9\text{pF} - 0.5\text{pF}] = 16.6\text{pF}$ および $C_{L2} = [(2C_L) - (C_{PCBXO} + C_{XO})] = [(2 \times 10\text{pF}) - 3.7\text{pF} - 0.5\text{pF}] = 15.8\text{pF}$ となります。

6.10.4.1.1.2 シャント容量

また、水晶振動子回路は、表 6-21 に定義された WKUP_OSC0 動作条件の最大シャント容量を超えないように設計する必要があります。水晶振動子回路のシャント容量 C_{shunt} は、水晶振動子のシャント容量と寄生成分の組み合わせです。水晶振動子回路の部品を WKUP_OSC0 に接続する PCB 信号パターンには、相互寄生容量 WKUP_OSC0 があります。PCB 設計者は、これらの信号パターン間の相互寄生容量を導出できる必要があります。デバイス パッケージには、相互寄生容量 C_{XIXO} もあります。ここで、この相互寄生容量の値は表 6-22 で定義されています。

PCB 配線は、XI 信号パターンと XO 信号パターンの間の相互容量を最小限に抑えるよう設計する必要があります。これは通常、信号パターンを短くし、近接した場所に配線しないことで行われます。レイアウトで信号を互いに近接して配線する必要がある場合は、これらの信号の間にグランドパターンを配置することで、相互容量を最小化することもできます。水晶振動子を選択する際に、可能な限り大きなマージンを確保するために、PCB 上の相互容量を最小化することが重要です。

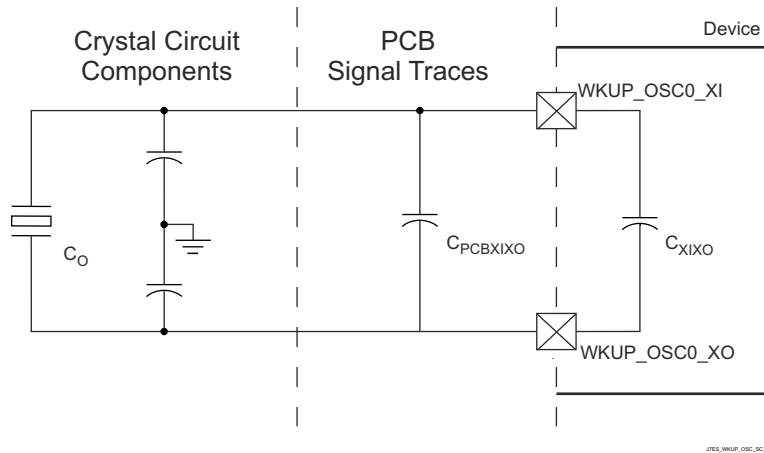


図 6-26. シャント容量

水晶振動子は、次の式が満たされるように選択する必要があります。この式の C_O は、水晶振動子のメーカーによって指定された最大シャント容量です。

$$C_{shunt} \geq C_O + C_{PCBXIXO} + C_{XIXO}$$

たとえば、使用する水晶振動子が $ESR = 30\Omega$ 、 $C_{PCBXIXO} = 0.04pF$ 、 $C_{XIXO} = 0.01pF$ の 25 MHz であり、水晶振動子のシャント容量が 6.95pF 以下の場合、この式が満たされます。

6.10.4.1.2 WKUP_OSC0 LVCMOS デジタル クロック ソース

図 6-27 に、WKUP_OSC0_XI を 1.8V LVCMOS 方形波デジタル クロック ソースに接続する場合に推奨される発振器接続を示します。

注

発振器が電源オンのとき、WKUP_OSC0_XI を DC 定常状態にすることは許容されません。WKUP_OSC0_XI は内部でコンパレータに AC 結合されているので、入力に DC が印加された場合、未知の状態になる可能性があり、これは許容されません。したがって、WKUP_OSC0_XI がロジック オン オフ状態をトグルしていないときは、必ず、アプリケーション ソフトウェアは WKUP_OSC0 の電源をオフにする必要があります。

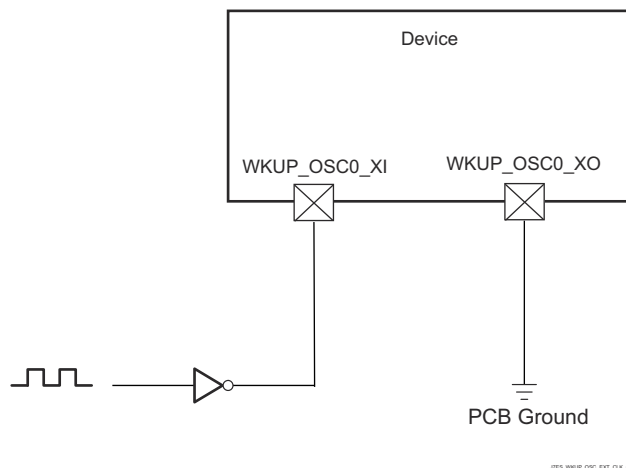


図 6-27. 1.8V LVCMOS 互換クロック入力

6.10.4.1.3 補助 OSC1 内部発振器クロック ソース

図 6-28 に、水晶発振器の推奨回路を示します。発振回路の実装に使用されるすべてのディスクリート部品は、OSC1_XI および OSC1_XO ピンのできるだけ近くに配置する必要があります。

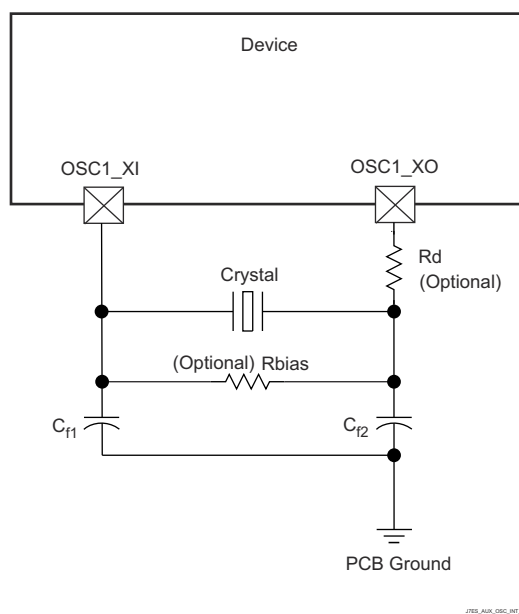


図 6-28. OSC1 水晶振動子の実装

水晶振動子は、基本動作モード、並列共振である必要があります。表 6-23 に、必要な電氣的制約事項を示します。

表 6-23. OSC1 水晶振動子の電氣的特性

パラメータ			最小値	標準値	最大値	単位
F_{xtal}	水晶振動子の並列共振周波数		19.2		27	MHz
F_{xtal}	水晶振動子の周波数安定性および許容誤差		イーサネット RGMII および RMII は未使用		±100	ppm
			派生クロックを使用するイーサネット RGMII と RMII		±50	
$C_{L1+PCBXI}$	$C_{L1} + C_{PCBXI}$ の容量		12		24	pF
$C_{L2+PCBXO}$	$C_{L2} + C_{PCBXO}$ の容量		12		24	pF
C_L	水晶振動子の負荷容量		6		12	pF
C_{shunt}	19.2MHz ≤ F_{xtal} ≤ 20MHz	ESR _{xtal} ≤ 30Ω			7	pF
		30Ω ≤ ESR _{xtal} ≤ 80Ω			5	pF
		80Ω ≤ ESR _{xtal} ≤ 100Ω			3	pF
	20MHz ≤ F_{xtal} ≤ 24.576MHz	ESR _{xtal} ≤ 30Ω			7	pF
		30Ω ≤ ESR _{xtal} ≤ 60Ω			5	pF
		60Ω ≤ ESR _{xtal} ≤ 80Ω			3	pF
		サポート対象外: 80Ω ≤ ESR _{xtal}			–	
	24.576MHz ≤ F_{xtal} ≤ 25MHz	ESR _{xtal} ≤ 30Ω			7	pF
		30Ω ≤ ESR _{xtal} ≤ 50Ω			5	pF
		50Ω ≤ ESR _{xtal} ≤ 80Ω			3	pF
		サポート対象外: 80Ω ≤ ESR _{xtal}			–	
	25MHz ≤ F_{xtal} ≤ 27MHz	ESR _{xtal} ≤ 30Ω			7	pF
		30Ω ≤ ESR _{xtal} ≤ 50Ω			5	pF
		サポート対象外: 50Ω ≤ ESR _{xtal}			–	
ESR _{xtal}	水晶振動子の等価直列抵抗				100	Ω

水晶振動子を選択するとき、システム設計では、ワーストケースの環境とシステムの予測寿命に基づいて、温度と経年変化特性を考慮する必要があります。

表 6-24 に、発振器のスイッチング特性と入力クロックの要件を示します。

表 6-24. OSC1 のスイッチング特性 – 水晶振動子モード

パラメータ		パッケージ	最小値	標準値	最大値	単位
C_{XI}	XI 容量	ALZ			1.621	pF
C_{XO}	XO 容量	ALZ			1.640	pF
C_{XIXO}	XI から XO への相互容量	ALZ			0.01	pF
t_s	起動時間			9.5 ⁽¹⁾		ms

- (1) それぞれのお客様が、検証のためにデバイスのサンプルを共振器 / 水晶振動子のベンダに提出することを強くお勧めします。ベンダは、温度 / 電圧の最大値や最小値においても最適な起動と動作を実現するために、共振器 / 水晶振動子をマイクロコントローラ デバイスに合わせて最適に調整する負荷コンデンサを決定するための手段を用意しています。

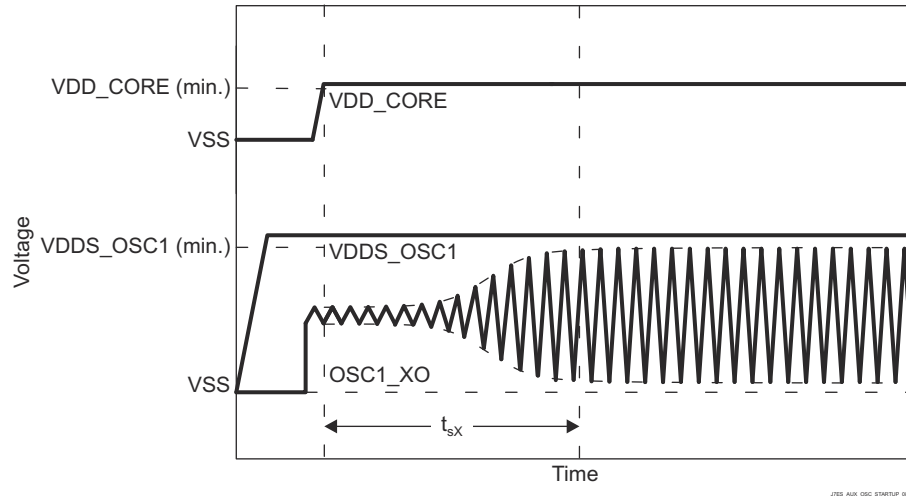


図 6-29. OSC1 スタートアップ時間

6.10.4.1.3.1 負荷容量

水晶振動子回路は、水晶振動子メーカーの定義に従って、水晶振動子に適切な容量性負荷がかかるように設計する必要があります。この回路の容量性負荷 C_L は、ディスクリートコンデンサ C_{L1} 、 C_{L2} 、およびいくつかの寄生成分から構成されています。水晶振動子回路の部品を OSC1_XI および OSC1_XO に接続する PCB 信号パターンには、グランドへの寄生容量 C_{PCBXI} および C_{PCBXO} があり、PCB 設計者は各信号パターンの寄生容量を把握する必要があります。OSC1 回路およびデバイス パッケージには、グランドへの寄生容量 C_{PCBXI} および C_{PCBXO} があります。ここで、これらの寄生容量の値は、表 6-24 で定義されています。

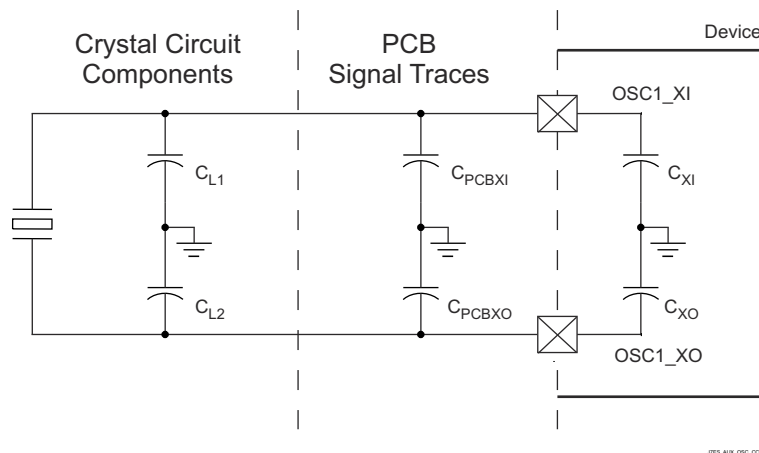


図 6-30. 負荷容量

図 6-28 の負荷コンデンサ C_{L1} および C_{L2} は、次の式が満足されるように選択する必要があります。この式の C_L は、水晶振動子のメーカーによって指定された負荷です。

$$C_L = [(C_{L1} + C_{PCBXI} + C_{XI}) \times (C_{L2} + C_{PCBXO} + C_{XO})] / [(C_{L1} + C_{PCBXI} + C_{XI}) + (C_{L2} + C_{PCBXO} + C_{XO})]$$

C_{L1} と C_{L2} の値を決定するには、まず、容量性負荷の値 C_L に 2 を乗算します。この結果に対して、 $C_{PCBXI} + C_{XI}$ の合成値を減算すれば C_{L1} の値が得られます。また、 $C_{PCBXO} + C_{XO}$ の合成値を減算すれば、 C_{L2} の値が得られます。たとえば、 $C_L = 10\text{pF}$ 、 $C_{PCBXI} = 2.9\text{pF}$ 、 $C_{XI} = 0.5\text{pF}$ 、 $C_{PCBXO} = 3.7\text{pF}$ 、 $C_{XO} = 0.5\text{pF}$ の場合、 $C_{L1} = [(2C_L) - (C_{PCBXI} + C_{XI})] = [(2 \times 10\text{pF}) - 2.9\text{pF} - 0.5\text{pF}] = 16.6\text{pF}$ および $C_{L2} = [(2C_L) - (C_{PCBXO} + C_{XO})] = [(2 \times 10\text{pF}) - 3.7\text{pF} - 0.5\text{pF}] = 15.8\text{pF}$ となります。

6.10.4.1.3.2 シャント容量

また、水晶振動子回路は、表 6-23 に定義された OSC1 動作条件の最大シャント容量を超えないように設計する必要があります。水晶振動子回路のシャント容量 C_{shunt} は、水晶振動子のシャント容量と寄生成分の組み合わせです。水晶振動子回路の部品を OSC1 に接続する PCB 信号パターンには、相互寄生容量 WKUP_OSC0 があります。PCB 設計者は、これらの信号パターン間の相互寄生容量を導出する必要があります。デバイス パッケージには、相互寄生容量 C_{XIXO} もあります。ここで、この相互寄生容量の値は 表 6-24 で定義されています。

PCB 配線は、XI 信号パターンと XO 信号パターンの間の相互容量を最小限に抑えるよう設計する必要があります。これは通常、信号パターンを短くし、近接した場所に配線しないことで行われます。レイアウトで信号を互いに近接して配線する必要がある場合は、これらの信号の間にグランドパターンを配置することで、相互容量を最小化することもできます。水晶振動子を選択する際に、可能な限り大きなマージンを確保するために、PCB 上の相互容量を最小化することが重要です。

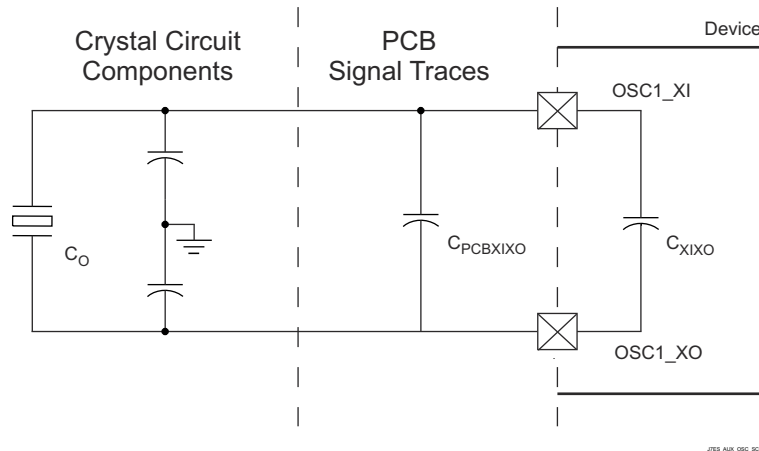


図 6-31. シャント容量

水晶振動子は、次の式が満たされるように選択する必要があります。この式の C_O は、水晶振動子のメーカーによって指定された最大シャント容量です。

$$C_{shunt} \geq C_O + C_{PCBXIXO} + C_{XIXO}$$

たとえば、使用する水晶振動子が $ESR = 30\Omega$ 、 $C_{PCBXIXO} = 0.04pF$ 、 $C_{XIXO} = 0.01pF$ の 25 MHz であり、水晶振動子のシャント容量が 6.95pF 以下の場合、この式が満たされます。

6.10.4.1.4 補助 OSC1 LVCMOS デジタル クロック ソース

図 6-32 に、OSC1 を 1.8V LVCMOS 方形波デジタル クロック ソースに接続する場合に推奨される発振器接続を示します。

注

発振器が電源オンのとき、OSC1_XI を DC 定常状態にすることは許容されません。OSC1_XI は内部でコンパレータに AC 結合されているので、入力に DC が印加された場合、未知の状態になる可能性があり、これは許容されません。したがって、OSC1_XI がロジック オン オフ状態をトグルしていないときは、必ず、アプリケーションソフトウェアは OSC1 の電源をオフにする必要があります。

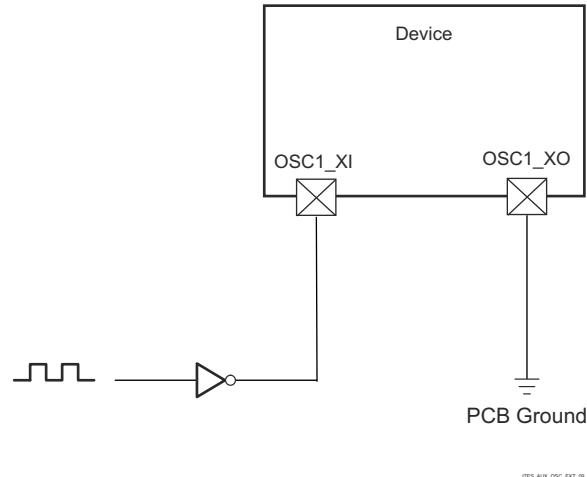


図 6-32. 1.8V LVCMOS 互換クロック入力

6.10.4.1.5 補助 OSC1 未使用

図 6-33 に、OSC1 を使用しない場合に推奨される発振器接続を示します。OSC1_XI は外付けプル抵抗 (R_{pd}) を介して VSS に接続する必要があります。これは、内部プルダウン抵抗がデフォルトで無効になっており、未使用時にこの入力を有効な Low レベルに保持するためです。

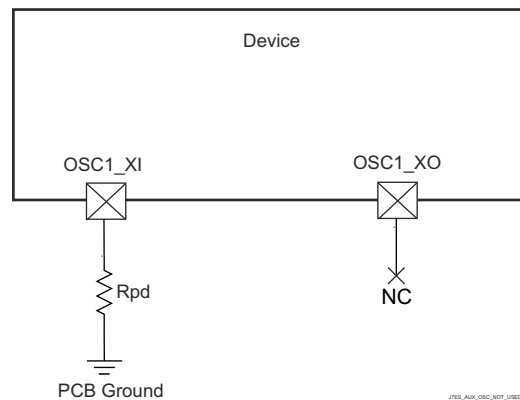


図 6-33. OSC1 を使用しない場合

6.10.4.2 出力クロック

このデバイスには、複数のシステム クロック出力があります。これらの出力クロックの概要は、以下のとおりです。

- **MCU_CLKOUT0**
 - イーサネット PHY の基準クロック出力 (50MHz または 25MHz)
- **MCU_SYSCLKOUT0**
 - MCU_SYSCLK0 は 4 分周され、LVCMOS クロック信号 (MCU_SYSCLKOUT0) としてデバイスから出力されます。この信号を使って、メイン チップのクロックが機能しているかどうかをテストできます。この信号を基板上の外部デバイスのクロック ソースとして使用しないでください。
- **MCU_OBSCCLK0**
 - クロック出力 MCU_OBSCCLK0 では、テストおよびデバッグのために発振器と PLL クロックを監視できます。この信号を基板上の外部デバイスのクロック ソースとして使用しないでください。
- **SYSCCLKOUT0**

- SYSCLK0 は 4 分周され、LVCMOS クロック信号 (SYSCLKOUT0) としてデバイスから出力されます。この信号を使って、メイン チップのクロックが機能しているかどうかをテストできます。この信号を基板上の外部デバイスのクロックソースとして使用しないでください。
- **CLKOUT**
 - イーサネット PHY の基準クロック出力 (50MHz)
- **OBSCLK[1:0]**
 - クロック出力 OBSCLK0/1 では、テストおよびデバッグのために発振器および PLL クロックを監視できます。

6.10.4.3 PLL

フェーズ ロック ループ回路 (PLL) の電力は、オフチップ電源から電力を得る内部レギュレータによって供給されます。

このデバイスには、WKUP および MCU ドメインに合計 3 つの PLL があります。

- MCU_PLL0 (MCU R5FSS PLL)、WKUP_PLLCTRL0 付き
- MCU_PLL1 (MCU PERIPHERAL PLL)
- MCU_PLL2 (MCU CPSW PLL)

このデバイスの MAIN ドメインには、合計 20 個の PLL があります。

- PLL0 (MAIN PLL)、PLLCTRL0 付き
- PLL1 (PER0 PLL)
- PLL2 (PER1 PLL)
- PLL3 (CPSW9G PLL)
- PLL4 (AUDIO0 PLL)
- PLL5 (VIDEO PLL)
- PLL6 (GPU PLL)
- PLL7 (C7x PLL)
- PLL8 (ARM0 PLL)
- PLL12 (DDR PLL)
- PLL13 (C66 PLL)
- PLL14 (R5F PLL)
- PLL15 (AUDIO1 PLL)
- PLL16 (DSS PLL0)
- PLL17 (DSS PLL1)
- PLL18 (DSS PLL2)
- PLL19 (DSS PLL3)
- PLL23 (DSS PLL7)
- PLL24 (MLB PLL)
- PLL25 (VISION PLL)

注

詳細については、以下を参照してください。

- デバイスのテクニカル リファレンス マニュアルの「デバイス構成」「クロッキング」「PLL」セクション
 - デバイスのテクニカル リファレンス マニュアルの「ペリフェラル」「ディスプレイ サブシステムの概要」セクション
-

注

入力基準クロック (OSC1_XI/OSC1_XO) は、デバイスのテクニカル リファレンス マニュアルの「デバイス構成」の章に記載されているように規定されており、ロック時間は PLL コントローラによって保証されます。

6.10.4.4 モジュールおよびペリフェラル クロックの周波数

[セクション 6.10.5](#)、「ペリフェラル」セクションには、デバイスのペリフェラル クロックに関連する最大周波数が記載されています。

各モジュールのクロック供給構造の詳細については、デバイスのテクニカル リファレンス マニュアルで「デバイス構成」の章を参照してください。

6.10.5 ペリフェラル

6.10.5.1 ATL

このデバイスには、オーディオの非同期サンプル レート変換に使用できる ATL モジュールが搭載されています。ATL は、オーディオ同期などの 2 つの時間ベース間の誤差を計算します。また、ソフトウェアによるサイクル スチールを使って、平均化されたクロックを生成することもできます。

注

ATL の詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「オーディオ トラッキング ロジック (ATL)」セクションを参照してください。

表 6-25 に、ATL のタイミング条件を示します。

表 6-25. ATL のタイミング条件

パラメータ		モード	最小値	最大値	単位
入力条件					
SR _i	入力スルーレート	外部基準クロック	0.5	5	V/ns
出力条件					
C _L	出力負荷容量	内部基準クロック	1	10	pF

セクション 6.10.5.1.1、セクション 6.10.5.1.2、セクション 6.10.5.1.3、セクション 6.10.5.1.4 に、ATL のタイミング要件とスイッチング特性を示します。

6.10.5.1.1 ATL_PCLK のタイミング要件

番号	パラメータ		モード	最小値	最大値	単位
D1	t _{c(pclk)}	サイクル時間、ATL_PCLK	外部基準クロック	5		ns
D2	t _{w(pclkL)}	パルス幅、ATL_PCLK low	外部基準クロック	0.45 × M ⁽¹⁾ + 2.5		ns
D3	t _{w(pclkH)}	パルス幅、ATL_PCLK high	外部基準クロック	0.45 × M ⁽¹⁾ + 2.5		ns

(1) M = ATL_CLK[x] 周期

6.10.5.1.2 ATL_AWS[x] のタイミング要件

番号	パラメータ		モード	最小値	最大値	単位
D4	t _{c(aws)}	サイクル時間、ATL_AWS[x] ⁽³⁾	外部基準クロック	2 × M ⁽¹⁾		ns
D5	t _{w(awsL)}	パルス幅、ATL_AWS[x] ⁽³⁾ Low	外部基準クロック	0.45 × A ⁽²⁾ + 2.5		ns
D6	t _{w(awsH)}	パルス幅、ATL_AWS[x] ⁽³⁾ High	外部基準クロック	0.45 × A ⁽²⁾ + 2.5		ns

(1) M = ATL_CLK[x] 周期

(2) A = ATL_AWS[x] 周期

(3) x = 0~3

6.10.5.1.3 ATL_BWS[x] のタイミング要件

番号	パラメータ		モード	最小値	最大値	単位
D7	t _{c(bws)}	サイクル時間、ATL_BWS[x] ⁽³⁾	外部基準クロック	2 × M ⁽¹⁾		ns
D8	t _{w(bwsL)}	パルス幅、ATL_BWS[x] low ⁽³⁾	外部基準クロック	0.45 × B ⁽²⁾ + 2.5		ns
D9	t _{w(bwsH)}	パルス幅、ATL_BWS[x] high ⁽³⁾	外部基準クロック	0.45 × B ⁽²⁾ + 2.5		ns

(1) M = ATL_CLK[x] 周期

(2) B = ATL_BWS[x] 周期

(3) x = 0~3

6.10.5.1.4 ATCLK[x] のスイッチング特性

番号	パラメータ		モード	最小値	最大値	単位
D10	$t_{c(atclk)}$	サイクル時間、ATCLK[x] ⁽³⁾	内部基準クロック	20		ns
D11	$t_{w(atclkL)}$	パルス幅、ATCLK[x] low ⁽³⁾	内部基準クロック	$0.45 \times P^{(2)} - M^{(1)} - 0.3$		ns
D12	$t_{w(atclkH)}$	パルス幅、ATCLK[x] high ⁽³⁾	内部基準クロック	$0.45 \times P^{(2)} - M^{(1)} - 0.3$		ns

(1) M = ATL_CLK[x] 周期

(2) P = ATCLK[x] 周期

(3) x = 0~3

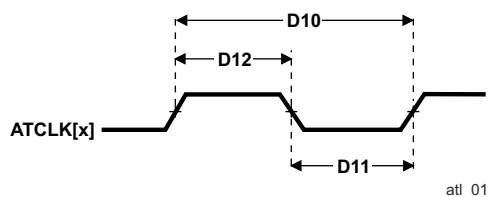


図 6-34. ATCLK[x] タイミング

6.10.5.2 CPSW2G

デバイスのギガビット イーサネット MAC の機能および追加の説明情報については、「[信号の説明](#)」、「[詳細説明](#)」の対応するセクションを参照してください。

6.10.5.2.1 CPSW2G MDIO インターフェイスのタイミング

表 6-26 に CPSW2G のタイミング条件を示します。

表 6-26. CPSW2G MDIO のタイミング条件

パラメータ	説明	最小値	最大値	単位
入力条件				
SR_I	入力信号スループレート	0.9	3.6	V/ns
出力条件				
C_L	出力負荷容量	10	470	pF

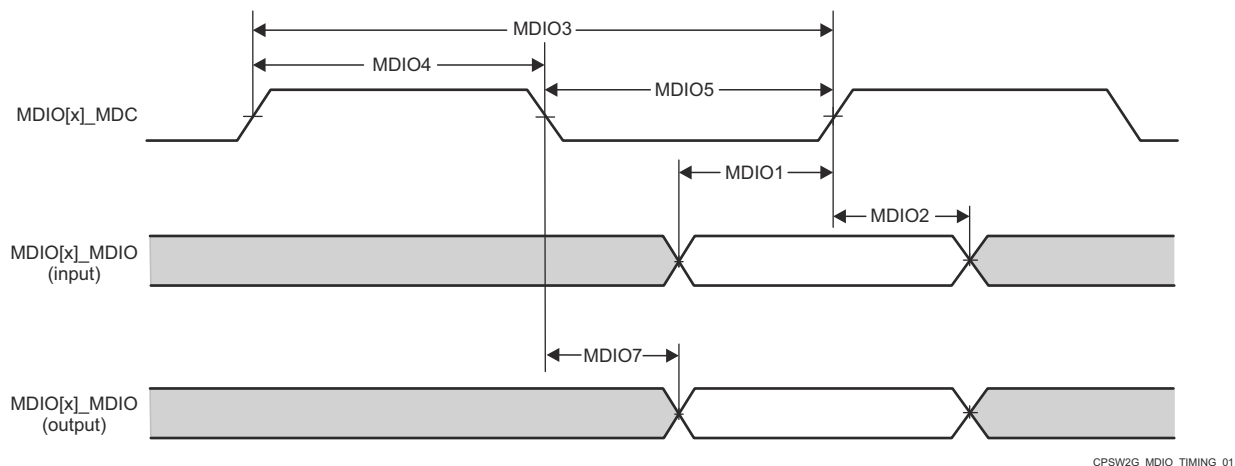
表 6-27、表 6-28、および [図 6-35](#) に、MDIO のタイミング要件を示します。

表 6-27. CPSW2G MDIO のタイミング要件

番号			最小値	最大値	単位
MDIO1	$t_{su(mdioV-mdcH)}$	セットアップ時間、MDIO[x]_MDIO 有効から MDIO[x]_MDC high まで	90		ns
MDIO2	$t_{h(mdcH-mdioV)}$	ホールド時間、MDIO[x]_MDC high から MDIO[x]_MDIO 有効の間	0		ns

表 6-28. CPSW2G MDIO のスイッチング特性

番号	パラメータ		最小値	最大値	単位
MDIO3	t _{c(mdc)}	サイクル時間、MDIO[x]_MDC	400		ns
MDIO4	t _{w(mdcH)}	パルス幅、MDIO[x]_MDC high	160		ns
MDIO5	t _{w(mdcL)}	パルス幅、MDIO[x]_MDC low	160		ns
MDIO7	t _{d(mdcl-mdioV)}	遅延時間、MDIO[x]_MDC Low から MDIO[x]_MDIO 有効まで	-150	150	ns



CPSW2G_MDIO_TIMING_01

注

MCU ドメインでは $x = 0$

図 6-35. CPSW2G MDIO のタイミング要件およびスイッチング特性

6.10.5.2.2 CPSW2G RMII のタイミング

表 6-29、セクション 6.10.5.2.2.1、セクション 6.10.5.2.2.2、セクション 6.10.5.2.2.3 に、CPSW2G RMII のタイミング条件、要件、スイッチング特性を示します。

表 6-29. CPSW2G RMII のタイミング条件

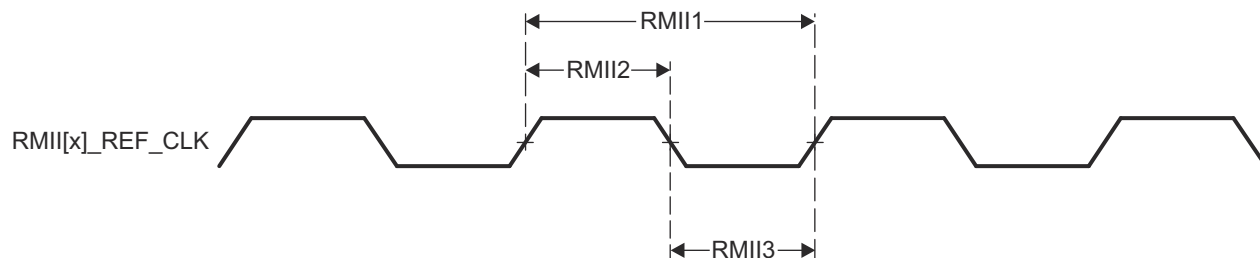
パラメータ			最小値	最大値	単位
入力条件					
SR _I	入力信号スルーレート	VDD ⁽¹⁾ = 1.8V	0.108	0.54	V/ns
		VDD ⁽¹⁾ = 3.3V	0.4	1.2	V/ns
出力条件					
C _L	出力負荷容量		3	25	pF

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、[ピン属性](#)の「電源」の欄を参照してください。

6.10.5.2.2.1 CPSW2G RMII[x]_REF_CLK のタイミング要件 – RMII モード

図 6-36 参照

番号			最小値	最大値	単位
RMII1	t _{c(ref_clk)}	サイクル時間、RMII[x]_REF_CLK	19.999	20	ns
RMII2	t _{w(ref_clkH)}	パルス幅、RMII[x]_REF_CLK High	7	13	ns
RMII3	t _{w(ref_clkL)}	パルス幅、RMII[x]_REF_CLK Low	7	13	ns



A. MCU ドメインでは x = 1

図 6-36. CPSW2G RMII[x]_REFCLK のタイミング要件 – RMII モード

6.10.5.2.2.2 CPSW2G RMII[x]_RXD[1:0], RMII[x]_CRS_DV, RMII[x]_RX_ER のタイミング要件 – RMII モード

番号			最小値	最大値	単位
RMII4	t _{su(rxdV-ref_clkH)}	セットアップ時間、RMII[x]_RXD[1:0] 有効から RMII[x]_REF_CLK 立ち上がりエッジまで	4		ns
	t _{su(crs_dv-ref_clkH)}	セットアップ時間、RMII[x]_CRS_DV 有効から RMII[x]_REF_CLK 立ち上がりエッジまで	4		ns
	t _{su(rx_erV-ref_clkH)}	セットアップ時間、RMII[x]_RX_ER 有効から RMII[x]_REF_CLK 立ち上がりエッジまで	4		ns
RMII5	t _{h(ref_clkH-rxdV)}	ホールド時間、RMII[x]_REF_CLK 立ち上がりエッジから RMII[x]_RXD[1:0] 有効の間	2		ns
	t _{h(ref_clkH-crs_dvV)}	ホールド時間、RMII[x]_REF_CLK 立ち上がりエッジから RMII[x]_CRS_DV 有効の間	2		ns
	t _{h(ref_clkH-rx_erV)}	ホールド時間、RMII[x]_REF_CLK 立ち上がりエッジから RMII[x]_RX_ER 有効の間	2		ns

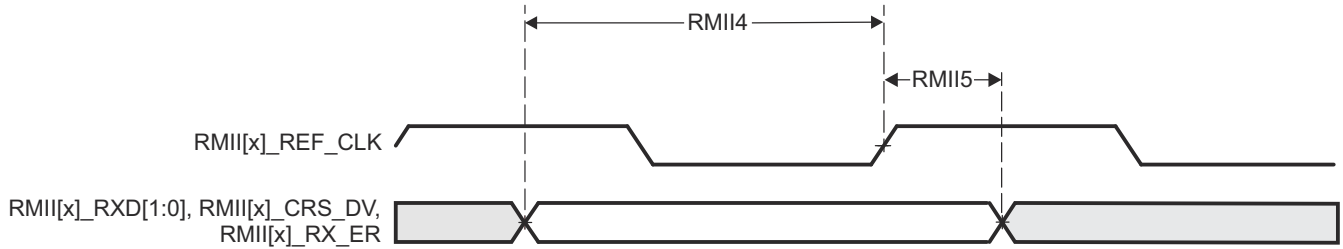


図 6-37. CPSW2G RMII[x]_RXD[1:0]、RMII[x]_CRS_DV、RMII[x]_RX_ER のタイミング要件 – RMII モード

セクション 6.10.5.2.2.3 および 図 6-38 に、CPSW2G RMII 送信のスイッチング特性を示します。

6.10.5.2.2.3 CPSW2G RMII[x]_TXD[1:0]、RMII[x]_TX_EN のスイッチング特性 – RMII モード

図 6-38 参照

番号	パラメータ	最小値	最大値	単位
RMII6	$t_{d(\text{ref_clkH-txdV})}$	2	10	ns
	$t_{d(\text{ref_clkH-tx_enV})}$	2	10	ns

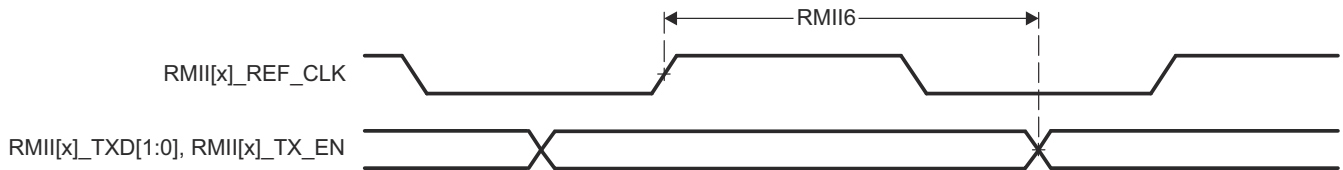


図 6-38. RMII[x]_TXD[1:0]、RMII[x]_TX_EN のスイッチング特性 – RMII モード

6.10.5.2.3 CPSW2G RGMII のタイミング

セクション 6.10.5.2.3.1、セクション 6.10.5.2.3.2、および 図 6-40 に、受信 RGMII 動作のタイミング要件を示します。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ギガビット イーサネット MAC (MCU_CPSW0)」セクションを参照してください。

表 6-30. CPSW2G RGMII のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR _I	入力スルーレート	VDD ⁽¹⁾ = 1.8 V	1.44	5	V/ns
		VDD ⁽¹⁾ = 3.3 V	2.64	5	V/ns
出力条件					
C _L	出力負荷容量		2	20	pF
PCB 接続要件					
t _d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合	RGMII[x]_RXC、 RGMII[x]_RD[3:0]、 RGMII[x]_RX_CTL		50	ps
		RGMII[x]_TXC、 RGMII[x]_TD[3:0]、 RGMII[x]_TX_CTL		50	ps

(1) VDD は、対応する電源を表します。電源名および対応するボールの詳細については、[ピン属性](#)の「電源」の欄を参照してください。

6.10.5.2.3.1 RGMII[x]_RXC のタイミング要件 – RGMII モード

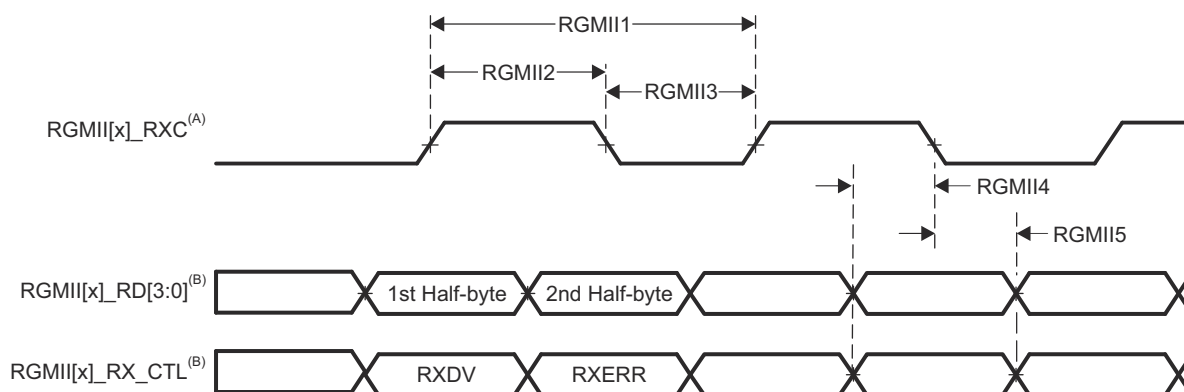
図 6-39 参照

番号			モード	最小値	最大値	単位
RGMII1	$t_{c(rxc)}$	サイクル時間、RGMII[x]_RXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII2	$t_{w(rxcH)}$	パルス幅、RGMII[x]_RXC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII3	$t_{w(rxcL)}$	パルス幅、RGMII[x]_RXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

6.10.5.2.3.2 RGMII[x]_RD[3:0]、RGMII[x]_RCTL の CPSW2G タイミング要件 – RGMII モード

図 6-39 参照

番号			モード	最小値	最大値	単位
RGMII4	$t_{su(rdV-rxcV)}$	セットアップ時間、RGMII[x]_RD[3:0] 有効から RGMII[x]_RXC 遷移 まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{su(rx_ctlV-rxcV)}$	セットアップ時間、RGMII[x]_RX_CTL 有効から RGMII[x]_RXC 遷移 まで	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
RGMII5	$t_{h(rxcV-rdV)}$	ホールド時間、RGMII[x]_RXC 遷移から RGMII[x]_RD[3:0] 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns
	$t_{h(rxcV-rx_ctlV)}$	ホールド時間、RGMII[x]_RXC 遷移から RGMII[x]_RX_CTL 有効の間	10Mbps	1		ns
			100Mbps	1		ns
			1000Mbps	1		ns



- A. RGMII_TXC は、DATA ピンおよび制御ピンに対して、外部で遅延させる必要があります。
- B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII_RXD[3:0] は、RGMII_RXC の立ち上がりエッジでデータビット 3～0 を、RGMII_RXC の立ち下がりエッジでデータビット 7～4 を伝送します。同様に、RGMII_RXCTL は RGMII_RXC の立ち上がりエッジで RXDV を、RGMII_RXC の立ち下がりエッジで RXERR を伝送します。

図 6-39. CPSW2G 受信インターフェ이스のタイミング、RGMII 動作

セクション 6.10.5.2.3.3、セクション 6.10.5.2.3.4 に、10Mbps、100Mbps、および 1000Mbps の送信 RGMII のスイッチング特性を示します。

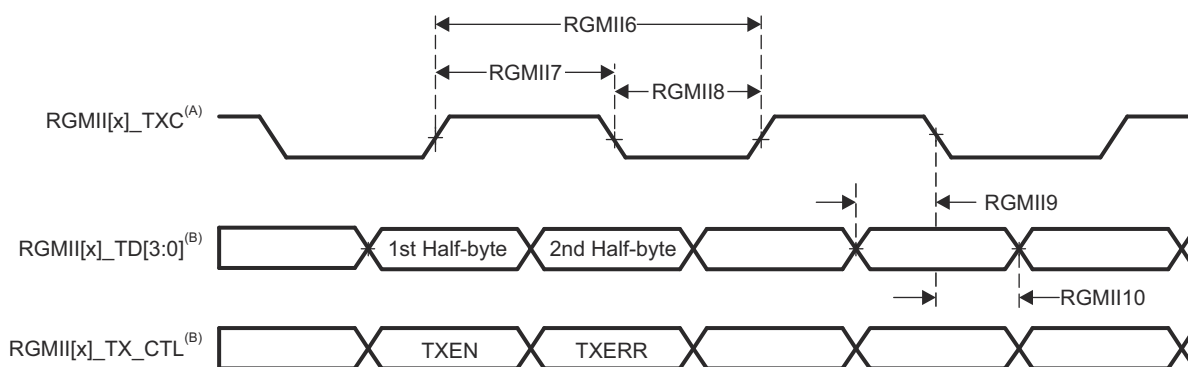
6.10.5.2.3.3 CPSW2G RGMII[x]_TXC のスイッチング特性 – RGMII モード

番号	パラメータ		モード	最小値	最大値	単位
RGMII6	$t_{c(tc)}$	サイクル時間、RGMII[x]_TXC	10Mbps	360	440	ns
			100Mbps	36	44	ns
			1000Mbps	7.2	8.8	ns
RGMII7	$t_{w(tcH)}$	パルス幅、RGMII[x]_TXC high	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns
RGMII8	$t_{w(tcL)}$	パルス幅、RGMII[x]_TXC low	10Mbps	160	240	ns
			100Mbps	16	24	ns
			1000Mbps	3.6	4.4	ns

6.10.5.2.3.4 RGMII[x]_TD[3:0]、RGMII[x]_TX_CTL のスイッチング特性 – RGMII モード

図 6-40 参照

番号	パラメータ		モード	最小値	最大値	単位
RGMII9	$t_{osu(tdV-txcV)}$	出力セットアップ時間、RGMII[x]_TD[3:0] 有効から RGMII[x]_TXC 遷移まで	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{osu(tx_ctlV-txcV)}$	出力セットアップ時間、RGMII[x]_TX_CTL 有効から RGMII[x]_TXC 遷移まで	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
RGMII10	$t_{oh(tdV-txcV)}$	出力ホールド時間、RGMII[x]_TXC 遷移から RGMII[x]_TD[3:0] 有効の間	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns
	$t_{oh(tx_ctlV-txcV)}$	出力ホールド時間、RGMII[x]_TXC 遷移から RGMII[x]_TX_CTL 有効の間	10Mbps	1.2		ns
			100Mbps	1.2		ns
			1000Mbps	1.2		ns



- A. TXC は内部で遅延されてから、RGMII[x]_TXC ピンを駆動します。この内部遅延は常にイネーブルになっています。
- B. データおよび制御情報は、クロックの両方のエッジを使用して受信されます。RGMII_TD[3:0] は、RGMII_TXC の立ち上がりエッジでデータビット 3～0 を、RGMII_TXC の立ち下がりエッジでデータビット 7～4 を伝送します。同様に、RGMII_TX_CTL は RGMII_TXC の立ち上がりエッジで TXDV を、RGMII_TXC の立ち下がりエッジで RTXERR を伝送します。

図 6-40. CPSW2G 送信インターフェイスのタイミング RGMII モード

6.10.5.3 CSI-2

注

詳細については、デバイス テクニカル リファレンス マニュアルで「カメラ ストリーミング インターフェイス レシーバ (CSI_RX_IF)」の章を参照してください。

CSI_RX_IF は、外部イメージ センサから得られるピクセル データおよびメモリからのデータの処理を取り扱います。これは、カメラ ビューファインダー、ビデオ録画、静止画像キャプチャなどのマルチメディア アプリケーションの重要なコンポーネントです。

CSI_RX_IF には、MIPI D-PHY RX 仕様 v1.2 および MIPI CSI-2 仕様 v1.3 に準拠したプライマリ シリアル インターフェイス (CSI-2 ポート) があり、同期モードのダブル データレートで 4 つの差動データレーンと 1 つの差動クロックレーンがあります。タイミングの詳細については、仕様を参照してください。

- 各レーンで 2.5Gbps (1.25GHz)。

6.10.5.4 DDRSS

デバイスの LPDDR4 メモリ インターフェイスの機能および追加の説明情報については、「信号の説明」、「詳細説明」の対応するセクションを参照してください。

このデバイスには、LPDDR4 のための専用インターフェイスが搭載されています。JEDEC JESD209-4B 規格に準拠した LPDDR4 SDRAM デバイスをサポートし、以下に示す特長を備えています。

- 外部 SDRAM メモリへの 32 ビット データ パス
- メモリ デバイスの容量: 2 つのチップ セレクトにより最大 8GB のアドレス空間を利用可能 (ランクごとに 4GB)
- バイト モード LPDDR4 メモリ、または 17 ビットを超える行アドレスを持つメモリはサポートしていません

表 6-31 および 図 6-41 に、DDRSS のスイッチング特性を示します。

表 6-31. DDRSS のスイッチング特性

番号	パラメータ	DDR タイプ	最小値	最大値	単位
1	$t_{\text{c}}(\text{DDR_CKP/DDR_CKN})$	LPDDR4	0.468 ¹	3.003	ns

- 最大 DDR 周波数は、システムで使用されている特定のメモリ タイプ (ベンダ) と PCB 実装に基づいて制限されます。テキサス・インスツルメンツは、仕様のクロック周波数を完全に達成するために、同社の LPDDR4 EVM の PCB レイアウト (配線、間隔、ビア / バックドリル、PCB 材料など) をすべて正確に遵守することを強く推奨します。詳細については、『Jacinto 7 DDR ボードの設計およびレイアウトのガイドライン』を参照してください。

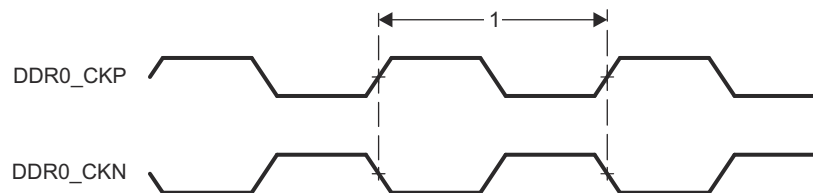


図 6-41. DDRSS メモリ インターフェイスのクロック タイミング

詳細については、デバイスのテクニカル リファレンス マニュアルで「メモリ コントローラ」の章にある「DDR サブシステム (DDRSS)」セクションを参照してください。

6.10.5.5 DSS

デバイスのディスプレイ サブシステム - ビデオ出力ポートの機能および追加の説明情報については、「信号の説明」、「詳細説明」の対応するセクションを参照してください。

表 6-32 に、DPI のタイミング条件を示します。

表 6-32. DPI のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR_I	入力スループレート	1.44	26.4	V/ns
出力条件				
C_L	出力負荷容量	1.5	5	pF
PCB 接続要件				
t_d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合		100	ps

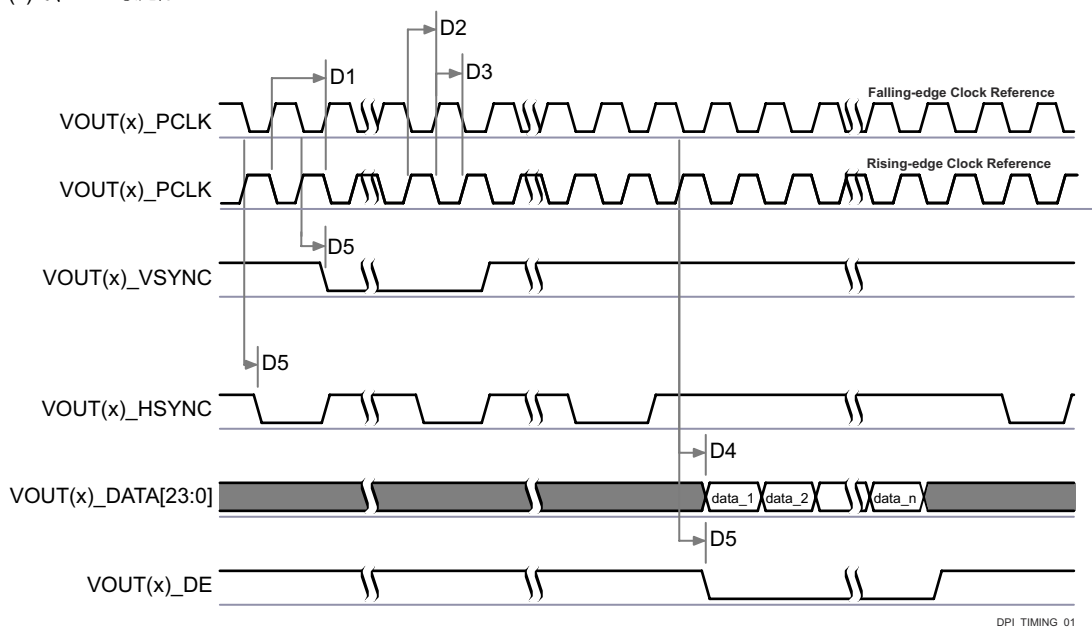
表 6-33、表 6-34、図 6-42、図 6-43 は、推奨動作条件と電気的特性条件に基づくテストを想定しています。

表 6-33. DPI ビデオ出力のスイッチング特性

番号 (2)	パラメータ		最小値	最大値	単位
D1	$t_{c(pclk)}$	サイクル時間、VOUT(x)_PCLK	6.06		ns
D2	$t_{w(pclkL)}$	パルス幅、VOUT(x)_PCLK low	$0.475 \times P^{(1)}$		ns
D3	$t_{w(pclkH)}$	パルス幅、VOUT(x)_PCLK high	$0.475 \times P^{(1)}$		ns
D4	$t_{d(pclkV-dataV)}$	遅延時間、VOUT(x)_PCLK 遷移から VOUT(x)_DATA[23:0] 遷移まで	-0.68	1.78	ns
D5	$t_{d(pclkV-ctrlL)}$	遅延時間、VOUT(x)_PCLK 遷移から制御信号 VOUT(x)_VSYNC、VOUT(x)_HSYNC、VOUT(x)_DE 立ち下がりエッジ	-0.68	1.78	ns

(1) P = 出力の VOUT(x)_PCLK 周期 (ns 単位)。

(2) VOUT(x) で、x = 1 または 2



DPI_TIMING_01

- データのアサートの設定は、ピクセル クロックの立ち下がりエッジまたは立ち上がりエッジにプログラムできます。
- VOUT(x)_HSYNC および VOUT(x)_VSYNC の極性とパルス幅はプログラム可能です。デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS)」セクションを参照してください。
- VOUT(x)_PCLK 周波数は設定できます。デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム」セクションを参照してください。
- VOUT(x) の x = 1 または 2

図 6-42. DPI ビデオ出力

表 6-34. DPI 外部ピクセル クロックのタイミング要件

番号 (2)			最小値	最大値	単位
D6	$t_{c(extpclk)}$	サイクル時間、VOUT(x)_EXTPCLKIN	6.06		ns
D7	$t_{w(extpclkL)}$	パルス幅、VOUT(x)_EXTPCLKIN low	$0.45 \times P^{(1)}$		ns
D8	$t_{w(extpclkH)}$	パルス幅、VOUT(x)_EXTPCLKIN high	$0.45 \times P^{(1)}$		ns

(1) P = 出力の VOUT(x)_PCLK 周期 (ns 単位)。

(2) VOUT(x)で、x = 1 または 2

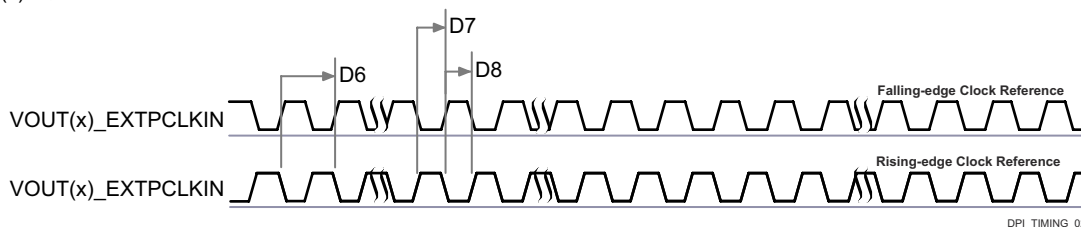


図 6-43. DPI 外部ピクセル クロック入力

デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ディスプレイ サブシステム (DSS) およびペリフェラル」セクションを参照してください。

6.10.5.6 eCAP

デバイス ECAP でサポートされている機能は次のとおりです。

- 32 ビット タイム ベース カウンタ
- 4 つのイベント タイムスタンプ レジスタ (各 32 ビット)
- 最大 4 つの順序付きタイムスタンプ キャプチャ イベントのエッジ極性選択
- 4 つのキャプチャ イベントのいずれかに対する割り込み機能
- 入力キャプチャ信号のプリスケールリング (1~16)
- 各種キャプチャ モード (シングル ショット キャプチャ、連続モード キャプチャ、絶対タイムスタンプ キャプチャ、差分モード タイムスタンプ キャプチャ) のサポート

表 6-35 に、ECAP のタイミング条件を示します。

表 6-35. ECAP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _i	入力スルーレート	1	4	V/ns
出力条件				
C _L	出力負荷容量	2	7	pF

セクション 6.10.5.6.1 および セクション 6.10.5.6.2 に、eCAP のタイミング特性およびスイッチング特性を示します (図 6-44 および 図 6-45 を参照)。

6.10.5.6.1 eCAP のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
CAP1	$t_{w(cap)}$	パルス幅、CAP (非同期)	$2 + 2P^{(1)}$		ns

(1) $P = \text{sysclk}$



図 6-44. eCAP の入力タイミング

6.10.5.6.2 eCAP のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
CAP2	$t_{w(apwm)}$	パルス幅、APWM	$-2 + 2P^{(1)}$		ns

(1) $P = \text{sysclk}$

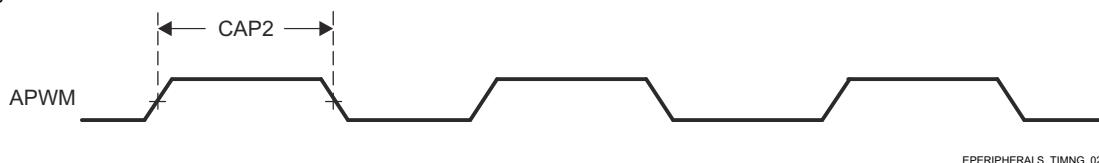


図 6-45. eCAP の出力タイミング

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張キャプチャ (ECAP) モジュール」セクションを参照してください。

6.10.5.7 EPWM

デバイス EPWM でサポートされている機能は次のとおりです。

- 周期および周波数制御機能を備えた専用の 16 ビット時間ベース カウンタ
- さまざまな構成で利用できる 2 つの独立した PWM 出力 (シングル エッジ動作、デュアル エッジ対称動作、または 1 つの独立した PWM 出力のデュアル エッジ非対称動作)
- フォルト状態で PWM 信号の非同期オーバーライド制御
- その他の EPWM モジュールに対する遅れまたは進み動作のためのプログラマブルな位相制御のサポート
- 独立した立ち上がりおよび立ち下がりエッジ遅延制御によるデッドバンド生成
- ラッチされたフォルト状態およびラッチされていないフォルト状態の両方について、プログラム可能なトリップ ゾーンの割り当て
- CPU 割り込みと ADC 変換開始の両方をトリガできるイベント

表 6-36 に、EPWM のタイミング条件を示します。

表 6-36. EPWM のタイミング条件

パラメータ	説明	最小値	最大値	単位
入力条件				
SR_i	入力スルーレート	1	4	V/ns
出力条件				
C_L	出力負荷容量	2	7	pF

セクション 6.10.5.7.2 および セクション 6.10.5.7.1 に eHRPWM のタイミング特性とスイッチング特性を示します (図 6-47、図 6-48、図 6-49、図 6-46 を参照)。

6.10.5.7.1 eHRPWM のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
PWM6	$t_{w(syncl)}$	パルス幅、EHRPWM_SYNCL	$2 + 2P^{(1)}$		ns
PWM7	$t_{w(tz)}$	パルス幅、EHRPWM_TZn_IN low	$2 + 3P^{(1)}$		ns

(1) P = sysclk

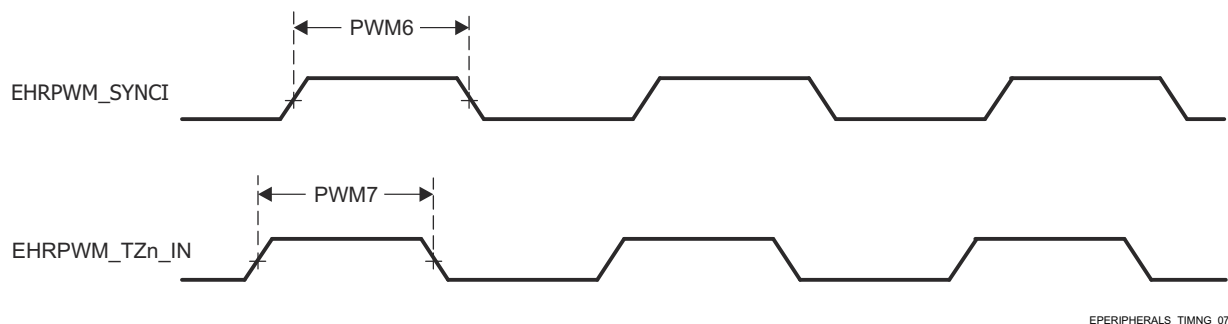


図 6-46. ePWM_SYNCL および ePWM_TZn_IN の出力タイミング

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「カメラ サブシステム」セクションを参照してください。

6.10.5.7.2 eHRPWM のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
PWM1	$t_{w(pwm)}$	パルス幅、EHRPWM_A/B High または Low	$P-3^{(1)}$		ns
PWM2	$t_{w(syncout)}$	パルス幅、EHRPWM_SYNCO	$P-3^{(1)}$		ns
PWM3	$t_{d(tzL-pwmV)}$	遅延時間、EHRPWM_TZn_IN 立ち下がりエッジから EHRPWM_A/B 有効まで		11	ns
PWM4	$t_{d(tzL-pwmZ)}$	遅延時間、EHRPWM_TZn_IN 立ち下がりエッジから EHRPWM_A/B Hi-Z まで		11	ns

番号	パラメータ	説明	最小値	最大値	単位
PWM5	$t_{w(soc)}$	パルス幅、EHRPWM_SOC A/B	P-3 ⁽¹⁾		ns

(1) P = sysclk

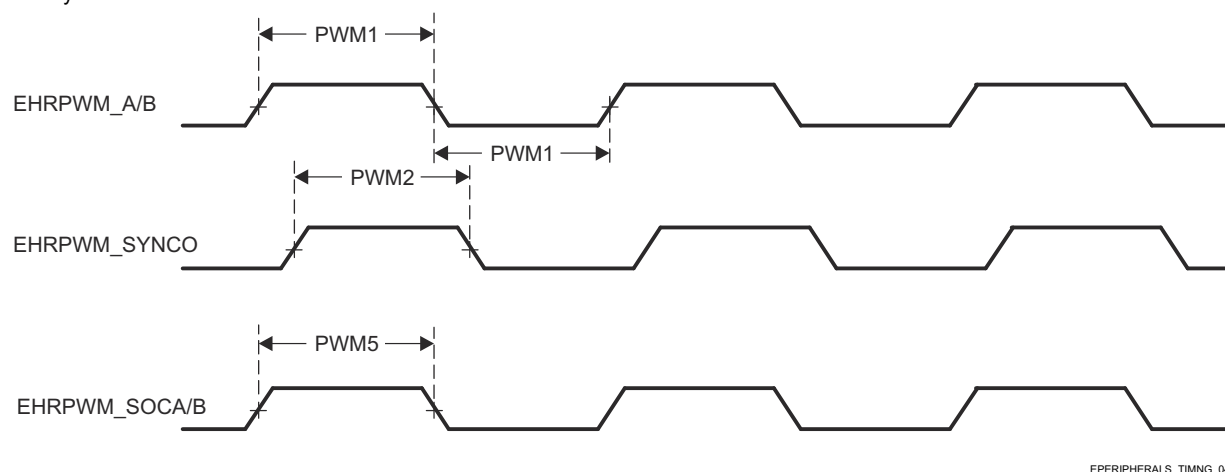


図 6-47. EPWM_A/B_out、ePWM_SYNCO、および ePWM_SOC A/B 入力タイミング

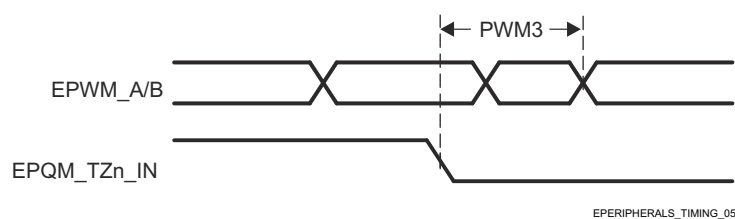


図 6-48. ePWM_A/B および ePWM_TZn_IN の強制的な High / Low 入力タイミング

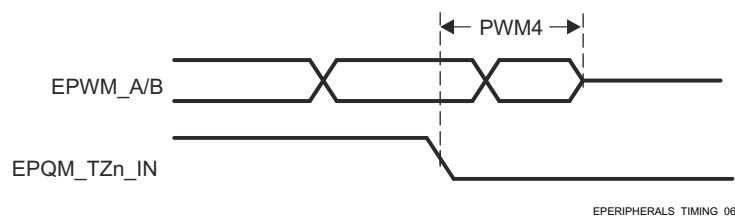


図 6-49. ePWM_A/B および ePWM_TZn_IN の Hi-Z 入力タイミング

6.10.5.8 eQEP

デバイス eQEP でサポートされている機能は次のとおりです。

- 入力同期
- 3 段 /6 段デジタル ノイズ フィルタ
- 直交デコーダ ユニット
- 位置測定用の位置カウンタおよび制御ユニット
- 低速測定用の直交エッジ キャプチャ ユニット
- 速度および周波数測定用のユニット タイム ベース
- ストール検出用のウォッチドッグ タイマ

表 6-37 に、eQEP のタイミング条件を示します。

表 6-37. EQEP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _i	入力スループレート	1	4	V/ns
出力条件				
C _L	出力負荷容量	2	7	pF

セクション 6.10.5.8.1 および セクション 6.10.5.8.2 に、eQEP のタイミング要件とスイッチング特性を示します (図 6-50 を参照)。

6.10.5.8.1 eQEP のタイミング要件

番号	パラメータ	最小値	最大値	単位
QEP1	t _{w(qep)} パルス幅、QEP_A/B	2 + 2P ⁽¹⁾		ns
QEP2	t _{w(qepiH)} パルス幅、QEP_I high	2 + 2P ⁽¹⁾		ns
QEP3	t _{w(qepiL)} パルス幅、QEP_I low	2 + 2P ⁽¹⁾		ns
QEP4	t _{w(qepsH)} パルス幅、QEP_S high	2 + 2P ⁽¹⁾		ns
QEP5	t _{w(qepsL)} パルス幅、QEP_S low	2 + 2P ⁽¹⁾		ns

(1) P = sysclk

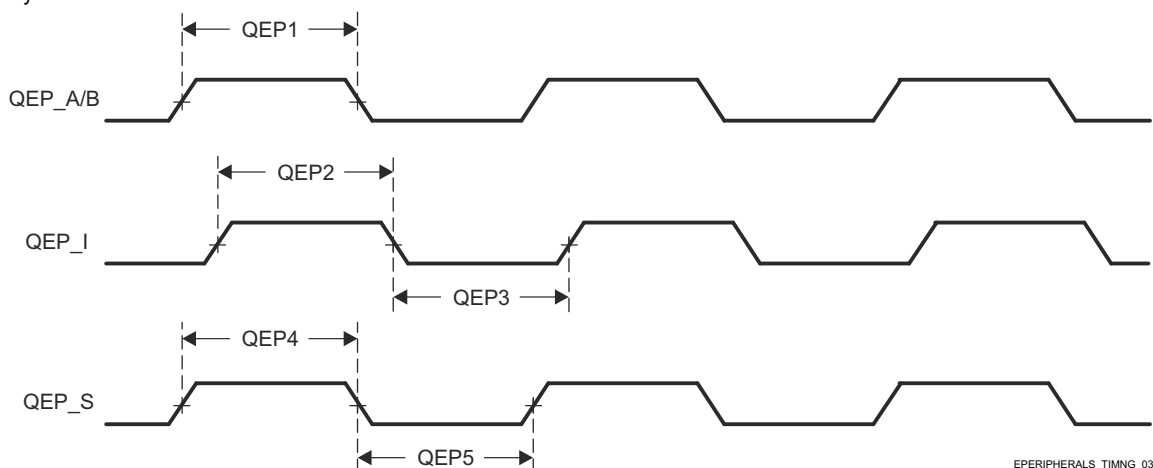


図 6-50. eQEP 入カタイミグ

6.10.5.8.2 eQEP のスイッチング特性

番号	パラメータ	最小値	最大値	単位
QEP6	t _{d(QEP-CNTR)} 遅延時間、外部クロックからカウンタ インクリメントまで		24	ns

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張直交エンコーダ パルス (eQEP) モジュール」セクションを参照してください。

6.10.5.9 GPIO

デバイスの GPIO の機能および追加の説明情報については、デバイス向けのテクニカル リファレンス マニュアル (TRM) と「信号説明」の対応するセクションを参照してください。

表 6-38、セクション 6.10.5.9.1 および セクション 6.10.5.9.2 に、GPIO のタイミング条件、要件、スイッチング特性を示します。

表 6-38. GPIO のタイミング条件

パラメータ		バッファのタイプ	最小値	最大値	単位
入力条件					
SR _I	入力スルーレート	LVC MOS	0.2	6.6	V/ns
		I2C OD FS	0.2	0.08	V/ns
出力条件					
C _L	出力負荷容量	LVC MOS	3	10	pF
		I2C OD FS	3	100	pF

6.10.5.9.1 GPIO のタイミング要件

番号			バッファのタイプ	最小値	最大値	単位
GPIO1	t _w (gpio_in)	パルス幅、GPIO _n _x	1.8V	2P + 2.6 ⁽¹⁾		ns
			3.3V	2P + 3.4 ⁽¹⁾		ns

(1) P = 機能クロック周期 (ns 単位)。

6.10.5.9.2 GPIO スイッチング特性

番号	パラメータ		バッファのタイプ	最小値	最大値	単位
GPIO3	t _w (GPIO_OUT)	最小出力パルス幅	LVC MOS	−3.6 + 0.975P ⁽¹⁾		ns
GPIO4	t _w (GPIO_OUT)	最小出力パルス幅 Low	I2C オープンドレイン	160		ns
GPIO5	t _w (GPIO_OUT)	最小出力パルス幅 High	I2C オープンドレイン	60		ns

(1) P = 機能クロック周期 (ns 単位)。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「汎用インターフェイス (GPIO)」セクションを参照してください。

6.10.5.10 GPMC

デバイスの汎用メモリ コントローラの機能および追加の説明情報については、「[信号の説明](#)」、「[詳細説明](#)」の対応するセクションを参照してください。

表 6-39 に、GPMC のタイミング条件を示します。

注

このセクションに示す IO タイミングは、GPMC0 の信号のすべての組み合わせに適用できます。ただし、1 つの IOSET 内の信号を使用する場合、このタイミングは GPMC0 に対してのみ有効です。IOSET は [GPMC0_IOSET](#)、GPMC0_IOSET の表で定義されます。

表 6-39. GPMC のタイミング条件

パラメータ	説明	最小値	最大値	単位	
入力条件					
SR _i	入力スルーレート	1.65	4	V/ns	
出力条件					
C _L	出力負荷容量	5	20	pF	
PCB 接続要件					
t _d (Trace Delay)	各パターンの伝搬遅延	133MHz 同期モード	140	360	ps
		その他のすべてのモード	140	720	
t _d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬の不整合			200	ps

6.10.5.10.1 GPMC および NOR フラッシュ — 同期モード

セクション 6.10.5.10.1.1 および セクション 6.10.5.10.1.2 は、以下に示す推奨動作条件および電気的特性条件に基づくテストを想定しています (図 6-51 ~ 図 6-55 を参照)。

6.10.5.10.1.1 GPMC および NOR フラッシュのタイミング要件 — 同期モード

番号	パラメータ	説明 ⁽²⁾	モード ⁽³⁾	最小値	最大値	最小値	最大値	単位
				100 MHz ⁽⁴⁾		133 MHz ⁽⁴⁾		
F12	t _{su} (dV-clkH)	セットアップ時間、入力データ GPMC_AD[15:0] 有効から出力ク ロック GPMC_CLK high まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	1.81		1.11		ns
			not_div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	1.06			ns	
F13	t _h (clkH-dV)	ホールド時間、出力クロック GPMC_CLK high から入力データ GPMC_AD[15:0] 有効の間	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	1.78		2.28		ns
			not_div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	1.78			ns	
F21	t _{su} (waitV-clkH)	セットアップ時間、入力待機 GPMC_WAIT[j] 有効から出力ク ロック GPMC_CLK high まで ⁽¹⁾	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	1.81		1.11		ns
			not_div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	1.06			ns	
F22	t _h (clkH-waitV)	ホールド時間、出力クロック GPMC_CLK high から入力待機 GPMC_WAIT[j] 有効の間 ⁽¹⁾	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	1.78		2.28		ns
			not_div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	1.78			ns	

(1) GPMC_WAIT[j] で、j は 0、1、2、または 3 です。

(2) 待機モニタリングのサポートは、WaitMonitoringTime の値 > 0 に制限されます。待機監視機能の詳細な説明については、デバイスのテクニカル リファレンス マニュアルで「汎用メモリコントローラ (GPMC)」セクションを参照してください。

(3) div_by_1_mode の場合:

- GPMC_CONFIG1_i レジスタ: GPMCFCLKDIVIDER = 0h:
 - GPMC_CLK 周波数 = GPMC_FCLK 周波数
- GPMC_CONFIG1_i レジスタ: GPMCFCLKDIVIDER = 1h~3h:
 - GPMC_CLK 周波数 = GPMC_FCLK 周波数 / (2~4)
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 01 = PER1_PLL_CLKOUT / 3 = 300 / 3 = 100MHz
- TIMEPARAGRANULARITY_X1 の場合:
 - GPMC_CONFIG1_i レジスタ: TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESTIME、PAGEBURSTACCESTIME、CSONTIME、CSRWD/WROFFTIME、ADVONTIME、ADVWD/WROFFTIME、OEONTIME、OEOWFFTIME、WEONTIME、WEOWFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

(4) 100 MHz の場合:

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 01 = MAIN_PLL2_HSDIV1_CLKOUT / 3

133MHz の場合:

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = MAIN_PLL0_HSDIV3_CLKOUT

6.10.5.10.1.2 GPMC および NOR フラッシュのスイッチング特性 - 同期モード

番号 (2)	パラメータ	説明	モード ⁽¹⁹⁾	最小値	最大値	最小値	最大値	単位
				100 MHz ⁽²⁰⁾		133 MHz ⁽²⁰⁾		
F0	tc(clk)	周期、出力クロック GPMC_CLK ⁽¹⁸⁾	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	10		7.52		ns
F1	t _w (clkH)	標準パルス幅、出力クロック GPMC_CLK High	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	0.475*P ⁽¹⁵⁾ - 0.3		0.475*P ⁽¹⁵⁾ - 0.3		ns
F1	t _w (clkL)	標準パルス幅、出力クロック GPMC_CLK Low	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	0.475*P ⁽¹⁵⁾ - 0.3		0.475*P ⁽¹⁵⁾ - 0.3		ns
F2	t _d (clkH-csnV)	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力チップ セレクト GPMC_CSn[i] 遷移まで ⁽¹⁴⁾	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 extra_delay なし	F ⁽⁶⁾ - 2.2	F + 3.75	F ⁽⁶⁾ - 2.2	F ⁽⁶⁾ + 3.75	ns
F3	t _d (clkH-CSn[i]V)	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力チップ セレクト GPMC_CSn[i] 無効まで ⁽¹⁴⁾	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1 extra_delay なし	E ⁽⁵⁾ - 2.2	E ⁽⁵⁾ + 3.75	E ⁽⁵⁾ - 2.2	E ⁽⁵⁾ + 3.75	ns
F4	t _d (aV-clk)	遅延時間、出力アドレス GPMC_A[27:1] 有効から出力クロック GPMC_CLK の最初のエッジまで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	B ⁽²⁾ - 2.3	B ⁽²⁾ + 4.5	B ⁽²⁾ - 2.3	B ⁽²⁾ + 4.5	ns
F5	t _d (clkH-aIV)	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力アドレス GPMC_A[27:1] 無効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	-2.3	4.5	-2.3	4.5	ns
F6	t _d (be[x]nV-clk)	遅延時間、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効から出力クロック GPMC_CLK の最初のエッジまで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	B ⁽²⁾ - 2.3	B ⁽²⁾ + 1.9	B ⁽²⁾ - 2.3	B ⁽²⁾ + 1.9	ns
F7	t _d (clkH-be[x]nIV)	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力下位バイトのイネーブルおよびコマンド ラッチのイネーブル GPMC_BE0n_CLE、出力上位バイトのイネーブル GPMC_BE1n 無効まで ⁽¹¹⁾	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	D ⁽⁴⁾ - 2.3	D ⁽⁴⁾ + 1.9	D ⁽⁴⁾ - 2.3	D ⁽⁴⁾ + 1.9	ns
F7	t _d (clkL-be[x]nIV)	遅延時間、GPMC_CLK 立下りエッジから GPMC_BE0n_CLE、GPMC_BE1n 無効まで ⁽¹²⁾	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	D ⁽⁴⁾ - 2.3	D ⁽⁴⁾ + 1.9	D ⁽⁴⁾ - 2.3	D ⁽⁴⁾ + 1.9	ns
F7	t _d (clkL-be[x]nIV)	遅延時間、GPMC_CLK 立下りエッジから GPMC_BE0n_CLE、GPMC_BE1n 無効まで ⁽¹³⁾	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	D ⁽⁴⁾ - 2.3	D ⁽⁴⁾ + 1.9	D ⁽⁴⁾ - 2.3	D ⁽⁴⁾ + 1.9	ns

番号 (2)	パラメータ	説明	モード ⁽¹⁹⁾	最小値	最大値	最小値	最大値	単位
				100 MHz ⁽²⁰⁾		133 MHz ⁽²⁰⁾		
F8	t _d (clkH-advn)	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力アドレス有効およびアドレスラッチ イネーブル GPMC_ADVn_ALE 遷移まで	div_by_1_mode 、 GPMC_FCLK_MUX、 TIMEPARAGRANULA RITY_X1 extra_delay なし	G ⁽⁷⁾ -2.3	G ⁽⁷⁾ +4.5	G ⁽⁷⁾ -2.3	G ⁽⁷⁾ +4.5	ns
F9	t _d (clkH-advnIV)	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力アドレス有効およびアドレスラッチ イネーブル GPMC_ADVn_ALE 無効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULA RITY_X1 extra_delay なし	D ⁽⁴⁾ -2.3	D ⁽⁴⁾ +4.5	D ⁽⁴⁾ -2.3	D ⁽⁴⁾ +4.5	ns
F10	t _d (clkH-oen)	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力イネーブル GPMC_OEn_REn 遷移まで	div_by_1_mode 、 GPMC_FCLK_MUX、 TIMEPARAGRANULA RITY_X1 extra_delay なし	H ⁽⁸⁾ -2.3	H ⁽⁸⁾ +3.5	H ⁽⁸⁾ -2.3	H ⁽⁸⁾ +3.5	ns
F11	t _d (clkH-oenIV)	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力イネーブル GPMC_OEn_REn 無効まで	div_by_1_mode 、 GPMC_FCLK_MUX、 TIMEPARAGRANULA RITY_X1 extra_delay なし	E ⁽⁸⁾ -2.3	E ⁽⁸⁾ +3.5	E ⁽⁸⁾ -2.3	E ⁽⁸⁾ + 3.5	ns
F14	t _d (clkH-wen)	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力書き込みイネーブル GPMC_WEn 遷移まで	div_by_1_mode 、 GPMC_FCLK_MUX、 TIMEPARAGRANULA RITY_X1 extra_delay なし	I ⁽⁹⁾ - 2.3	I ⁽⁹⁾ +4.5	I ⁽⁹⁾ - 2.3	I ⁽⁹⁾ +4.5	ns
F15	t _d (clkH-do)	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力データ GPMC_AD[15:0] 遷移まで ⁽¹¹⁾	div_by_1_mode 、 GPMC_FCLK_MUX、 TIMEPARAGRANULA RITY_X1	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +2.7	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +2.7	ns
F15	t _d (clkL-do)	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_AD[15:0] データ バス遷移まで ⁽¹²⁾	div_by_1_mode 、 GPMC_FCLK_MUX、 TIMEPARAGRANULA RITY_X1	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +2.7	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +2.7	ns
F15	t _d (clkL-do).	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_AD[15:0] データ バス遷移まで ⁽¹³⁾	div_by_1_mode 、 GPMC_FCLK_MUX、 TIMEPARAGRANULA RITY_X1	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +2.7	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +2.7	ns
F17	t _d (clkH-be[x]n)	遅延時間、出力クロック GPMC_CLK 立ち上がりエッジから出力下位バイト イネーブルおよびコマンドラッチ イネーブル GPMC_BE0n_CLE 遷移まで ⁽¹¹⁾	div_by_1_mode 、 GPMC_FCLK_MUX、 TIMEPARAGRANULA RITY_X1	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +1.9	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +1.9	ns
F17	t _d (clkL-be[x]n)	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_BE0n_CLE、GPMC_BE1n 遷移まで ⁽¹²⁾	div_by_1_mode 、 GPMC_FCLK_MUX、 TIMEPARAGRANULA RITY_X1	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +1.9	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +1.9	ns
F17	t _d (clkL-be[x]n).	遅延時間、GPMC_CLK 立ち下がりエッジから GPMC_BE0n_CLE、GPMC_BE1n 遷移まで ⁽¹³⁾	div_by_1_mode 、 GPMC_FCLK_MUX、 TIMEPARAGRANULA RITY_X1	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +1.9	J ⁽¹⁰⁾ -2.3	J ⁽¹⁰⁾ +1.9	ns

番号 (2)	パラメータ	説明	モード ⁽¹⁹⁾	最小値	最大値	最小値	最大値	単位
				100 MHz ⁽²⁰⁾		133 MHz ⁽²⁰⁾		
F18	$t_{w(csnV)}$	パルス幅、出力チップ セレクト GPMC_CSn[n] low ⁽¹⁴⁾	読み出し	A ⁽¹⁾		A ⁽¹⁾		ns
			書き込み	A ⁽¹⁾		A ⁽¹⁾		ns
F19	$t_{w(be[x]nV)}$	パルス幅、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n Low	読み出し	C ⁽³⁾		C ⁽³⁾		ns
			書き込み	C ⁽³⁾		C ⁽³⁾		ns
F20	$t_{w(advnV)}$	パルス幅、出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE Low	読み出し	K ⁽¹⁶⁾		K ⁽¹⁶⁾		ns
			書き込み	K ⁽¹⁶⁾		K ⁽¹⁶⁾		ns

- (1) 単一読み取りの場合: $A = (CSRdOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(17)}$
 バースト読み取りの場合: $A = (CSRdOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(17)}$
 バースト書き込みの場合: $A = (CSWrOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(17)}$
 n はページ バースト アクセス数。
- (2) $B = ClkActivationTime \times GPMC_FCLK^{(17)}$
- (3) 単一読み取りの場合: $C = RdCycleTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(17)}$
 バースト読み取りの場合: $C = (RdCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(17)}$
 バースト書き込みの場合: $C = (WrCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(17)}$
 n はページ バースト アクセス数。
- (4) 単一読み取りの場合: $D = (RdCycleTime - AccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(17)}$
 バースト読み取りの場合: $D = (RdCycleTime - AccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(17)}$
 バースト書き込みの場合: $D = (WrCycleTime - AccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(17)}$
- (5) 単一読み取りの場合: $E = (CSRdOffTime - AccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(17)}$
 バースト読み取りの場合: $E = (CSRdOffTime - AccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(17)}$
 バースト書き込みの場合: $E = (CSWrOffTime - AccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(17)}$
- (6) csn 立ち下がりエッジ (CS がアクティブ) の場合:
- Case GPMCFCLKDIVIDER = 0:
 - $F = 0.5 \times CSExtraDelay \times GPMC_FCLK^{(17)}$
 - Case GPMCFCLKDIVIDER = 1:
 - $F = 0.5 \times CSExtraDelay \times GPMC_FCLK^{(17)}$ if (ClkActivationTime および CSOnTime が奇数) or (ClkActivationTime および CSOnTime が偶数)
 - $F = (1 + 0.5 \times CSExtraDelay) \times GPMC_FCLK^{(17)}$ otherwise
 - Case GPMCFCLKDIVIDER = 2:
 - $f = 0.5 \times CSExtraDelay \times GPMC_FCLK^{(17)}$ if ((CSOnTime - ClkActivationTime) が 3 の倍数)
 - $F = (1 + 0.5 \times CSExtraDelay) \times GPMC_FCLK^{(17)}$ if ((CSOnTime - ClkActivationTime - 1) が 3 の倍数)
 - $F = (2 + 0.5 \times CSExtraDelay) \times GPMC_FCLK^{(17)}$ if ((CSOnTime - ClkActivationTime - 2) が 3 の倍数)
- (7) ADV 立ち下がりエッジ (ADV がアクティブ) の場合:
- Case GPMCFCLKDIVIDER = 0:
 - $G = 0.5 \times ADVExtraDelay \times GPMC_FCLK^{(17)}$
 - Case GPMCFCLKDIVIDER = 1:
 - $G = 0.5 \times ADVExtraDelay \times GPMC_FCLK^{(17)}$ if (ClkActivationTime および ADVOnTime が奇数) or (ClkActivationTime および ADVOnTime が偶数)
 - $G = (1 + 0.5 \times ADVExtraDelay) \times GPMC_FCLK^{(17)}$ otherwise
 - Case GPMCFCLKDIVIDER = 2:
 - $G = 0.5 \times ADVExtraDelay \times GPMC_FCLK^{(17)}$ if ((ADVOnTime - ClkActivationTime) が 3 の倍数)
 - $G = (1 + 0.5 \times ADVExtraDelay) \times GPMC_FCLK^{(17)}$ if ((ADVOnTime - ClkActivationTime - 1) が 3 の倍数)
 - $G = (2 + 0.5 \times ADVExtraDelay) \times GPMC_FCLK^{(17)}$ if ((ADVOnTime - ClkActivationTime - 2) が 3 の倍数)

読み取りモードでの ADV 立ち上がりエッジ (ADV が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
 - $G = 0.5 \times ADVExtraDelay \times GPMC_FCLK^{(17)}$
- Case GPMCFCLKDIVIDER = 1:

- $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if (ClkActivationTime および ADVRdOffTime が奇数) or (ClkActivationTime および ADVRdOffTime が偶数)
- $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ otherwise
- Case GPMCFCLKDIVIDER = 2:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if ((ADVRdOffTime - ClkActivationTime) が 3 の倍数)
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((ADVRdOffTime - ClkActivationTime - 1) が 3 の倍数)
 - $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((ADVRdOffTime - ClkActivationTime - 2) が 3 の倍数)

書き込みモードでの ADV 立ち上がりエッジ (ADV が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(17)}$
- Case GPMCFCLKDIVIDER = 1:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if (ClkActivationTime および ADVWrOffTime が奇数) または (ClkActivationTime および ADVWrOffTime が偶数)
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ otherwise
- Case GPMCFCLKDIVIDER = 2:
 - $G = 0.5 \times \text{ADVExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if ((ADVWrOffTime - ClkActivationTime) が 3 の倍数)
 - $G = (1 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((ADVWrOffTime - ClkActivationTime - 1) が 3 の倍数)
 - $G = (2 + 0.5 \times \text{ADVExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((ADVWrOffTime - ClkActivationTime - 2) が 3 の倍数)

(8) OE の立ち下がりエッジ (OE がアクティブ) および IO DIR の立ち上がりエッジ (データバスが入力方向) の場合:

- Case GPMCFCLKDIVIDER = 0:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$
- Case GPMCFCLKDIVIDER = 1:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if (ClkActivationTime および OEOnTime が奇数) または (ClkActivationTime および OEOnTime が偶数)
 - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ otherwise
- Case GPMCFCLKDIVIDER = 2:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if ((OEOnTime - ClkActivationTime) が 3 の倍数)
 - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((OEOnTime - ClkActivationTime - 1) が 3 の倍数)
 - $H = (2 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((OEOnTime - ClkActivationTime - 2) が 3 の倍数)

OE 立ち上がりエッジ (OE が非アクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$
- Case GPMCFCLKDIVIDER = 1:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if (ClkActivationTime および OEOffTime が奇数) または (ClkActivationTime および OEOffTime が偶数)
 - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ otherwise
- Case GPMCFCLKDIVIDER = 2:
 - $H = 0.5 \times \text{OEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if ((OEOffTime - ClkActivationTime) が 3 の倍数)
 - $H = (1 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((OEOffTime - ClkActivationTime - 1) が 3 の倍数)
 - $H = (2 + 0.5 \times \text{OEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((OEOffTime - ClkActivationTime - 2) が 3 の倍数)

(9) WE 立ち下がりエッジ (WE がアクティブ) の場合:

- Case GPMCFCLKDIVIDER = 0:
 - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$
- Case GPMCFCLKDIVIDER = 1:
 - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if (ClkActivationTime および WEOnTime が奇数) or (ClkActivationTime および WEOnTime が偶数)
 - $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ otherwise
- Case GPMCFCLKDIVIDER = 2:
 - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if ((WEOnTime - ClkActivationTime) が 3 の倍数)
 - $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if ((WEOnTime - ClkActivationTime - 1) が 3 の倍数)

- $I = (2 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if $((\text{WEOnTime} - \text{ClkActivationTime} - 2))$ が 3 の倍数)

WE 立ち上がりエッジ (WE が非アクティブ) の場合:

- Case $\text{GPMCFCLKDIVIDER} = 0$:
 - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$
- Case $\text{GPMCFCLKDIVIDER} = 1$:
 - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if $(\text{ClkActivationTime}$ および WEOffTime が奇数) or $(\text{ClkActivationTime}$ および WEOffTime が偶数)
 - $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ otherwise
- Case $\text{GPMCFCLKDIVIDER} = 2$:
 - $I = 0.5 \times \text{WEExtraDelay} \times \text{GPMC_FCLK}^{(17)}$ if $((\text{WEOffTime} - \text{ClkActivationTime}))$ が 3 の倍数)
 - $I = (1 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if $((\text{WEOffTime} - \text{ClkActivationTime} - 1))$ が 3 の倍数)
 - $I = (2 + 0.5 \times \text{WEExtraDelay}) \times \text{GPMC_FCLK}^{(17)}$ if $((\text{WEOffTime} - \text{ClkActivationTime} - 2))$ が 3 の倍数)

(10) $J = \text{GPMC_FCLK}^{(17)}$

(11) 最初の転送は、CLK DIV 1 モードのみです。

(12) CLK DIV 1 モードでの初期転送の後、すべてのデータは半サイクルです。

(13) CLK DIV 1 モード以外のモードでは、すべてのデータは GPMC_CLKOUT の半サイクルです。 GPMC_FCLK から GPMC_CLKOUT を分周します。

(14) $\text{GPMC_CSn}[i]$ で、 i は 0、1、2、または 3 です。 $\text{GPMC_WAIT}[j]$ で、 j は 0、1、2、または 3 です。

(15) $P = \text{GPMC_CLK}$ 周期 (ns 単位)

(16) 読み出しの場合: $K = (\text{ADVrdOffTime} - \text{ADVOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$

書き込みの場合: $K = (\text{ADVwrOffTime} - \text{ADVOnTime}) \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(17)}$

(17) GPMC_FCLK は、汎用メモリコントローラの内部機能クロック周期で、ns 単位です。

(18) GPMC モジュールで、 GPMC_CONFIG1_i 構成レジスタのビットフィールド GPMCFCLKDIVIDER の設定によりプログラム可能な、 GPMC_CLK 出力クロックの最高および最低周波数に関連します。

(19) div_by_1_mode の場合:

- GPMC_CONFIG1_i レジスタ: $\text{GPMCFCLKDIVIDER} = 0h$:
 - GPMC_CLK 周波数 = GPMC_FCLK 周波数
- $\text{CTRLMMR_GPMC_CLKSEL}[1-0]$ $\text{CLK_SEL} = 01 = \text{PER1_PLL_CLKOUT} / 3 = 300 / 3 = 100\text{MHz}$
- GPMC_CONFIG1_i レジスタ: $\text{TIMEPARAGRANULARITY} = 0h = x1$ レイテンシ (RD/WRCYCLETIME 、 RD/WRACCESSTIME 、 $\text{PAGEBURSTACCESSTIME}$ 、 CSONTIME 、 CSRD/WROFFTIME 、 ADVONTIME 、 ADVrd/WROFFTIME 、 OEONTIME 、 OEOFFTIME 、 WEONTIME 、 WEOFFTIME 、 CYCLE2CYCLEDELAY 、 BUSTURNAROUND 、 TIMEOUTSTARTVALUE 、 WRDATAONADMUXBUS に影響)

extra_delay なしの場合:

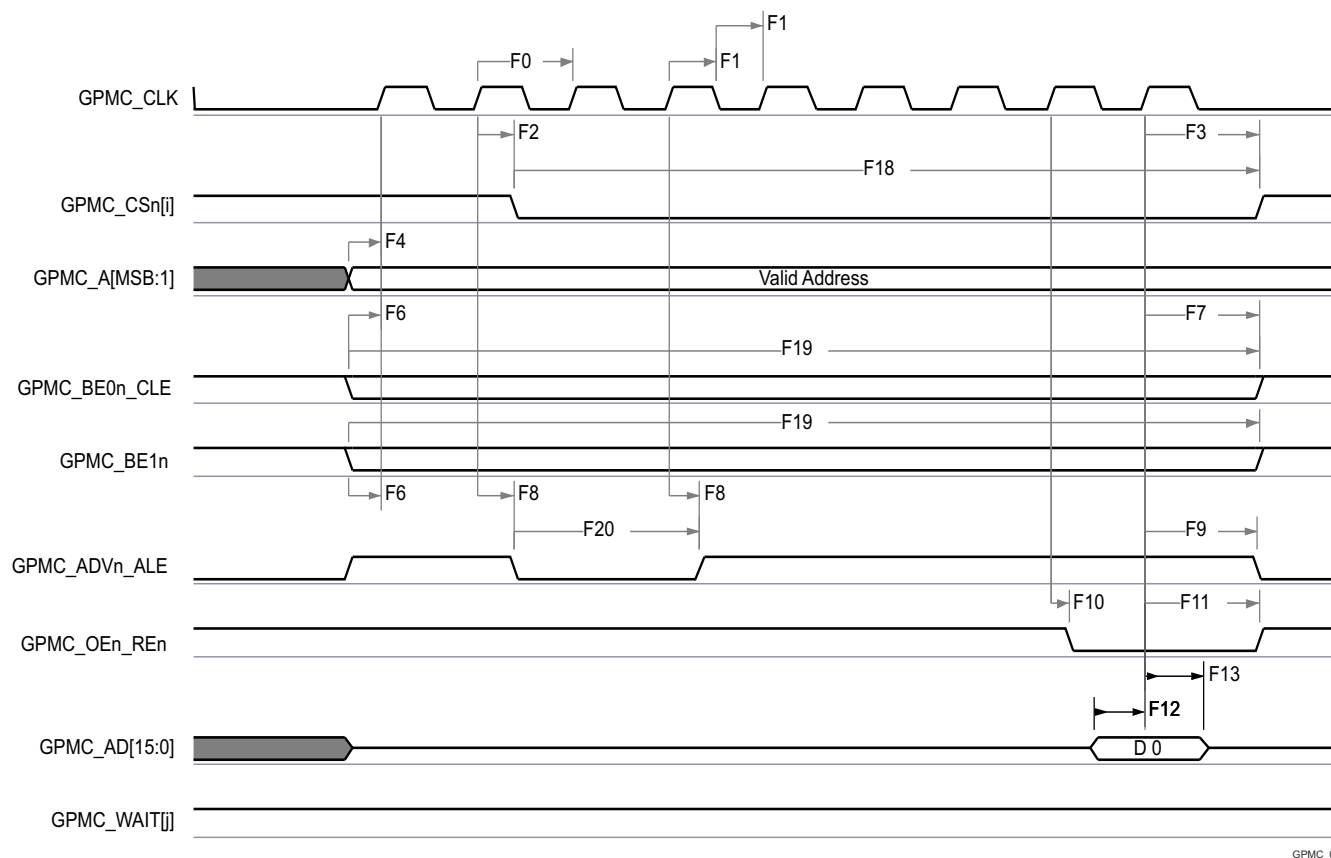
- GPMC_CONFIG2_i レジスタ: $\text{CSEXTRADELAY} = 0h = \text{CSn}$ タイミング制御信号は遅延しない
- GPMC_CONFIG4_i レジスタ: $\text{WEEXTRADELAY} = 0h = \text{nWE}$ タイミング制御信号は遅延しない
- GPMC_CONFIG4_i レジスタ: $\text{OEEXTRADELAY} = 0h = \text{nOE}$ タイミング制御信号は遅延しない
- GPMC_CONFIG3_i レジスタ: $\text{ADVEXTRADELAY} = 0h = \text{nADV}$ タイミング制御信号は遅延しない

(20) 100 MHz の場合:

- $\text{CTRLMMR_GPMC_CLKSEL}[1-0]$ $\text{CLK_SEL} = 01 = \text{MAIN_PLL2_HSDIV1_CLKOUT} / 3$

133MHz の場合:

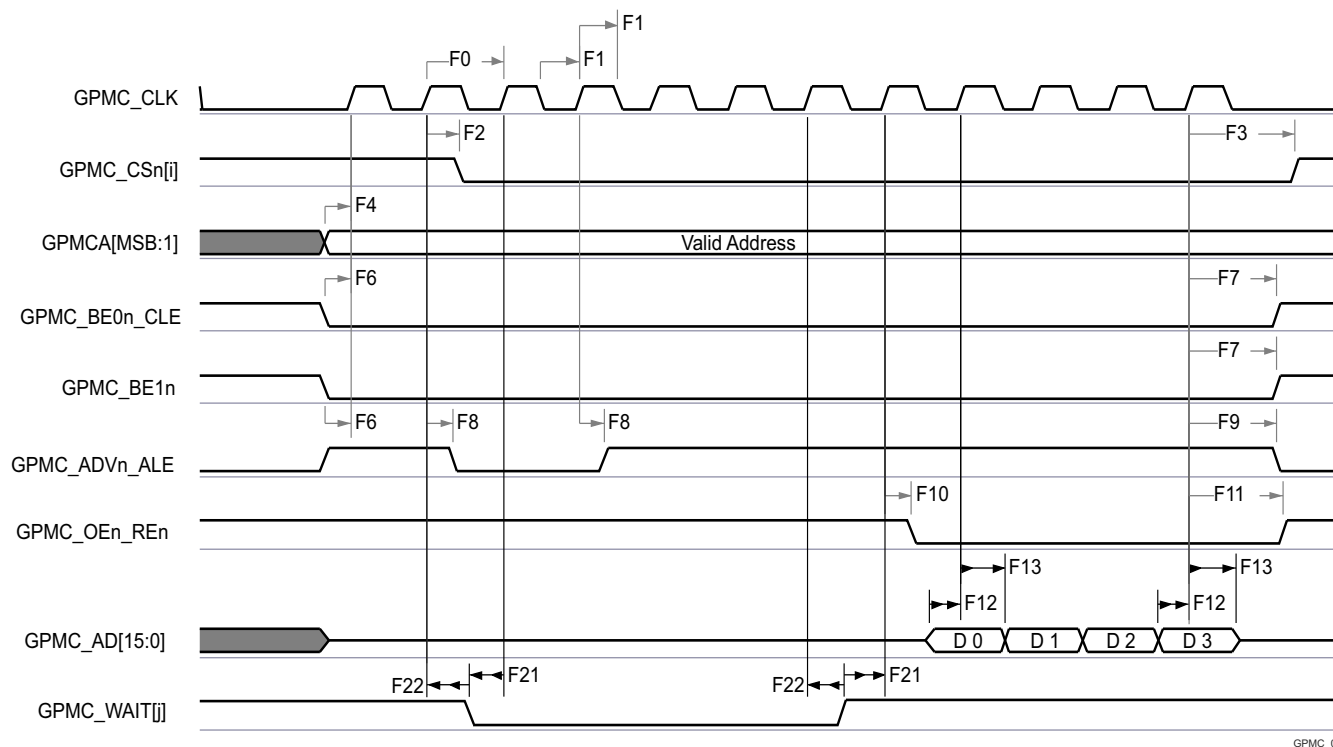
- $\text{CTRLMMR_GPMC_CLKSEL}[1-0]$ $\text{CLK_SEL} = 00 = \text{MAIN_PLL0_HSDIV3_CLKOUT}$



GPMC_01

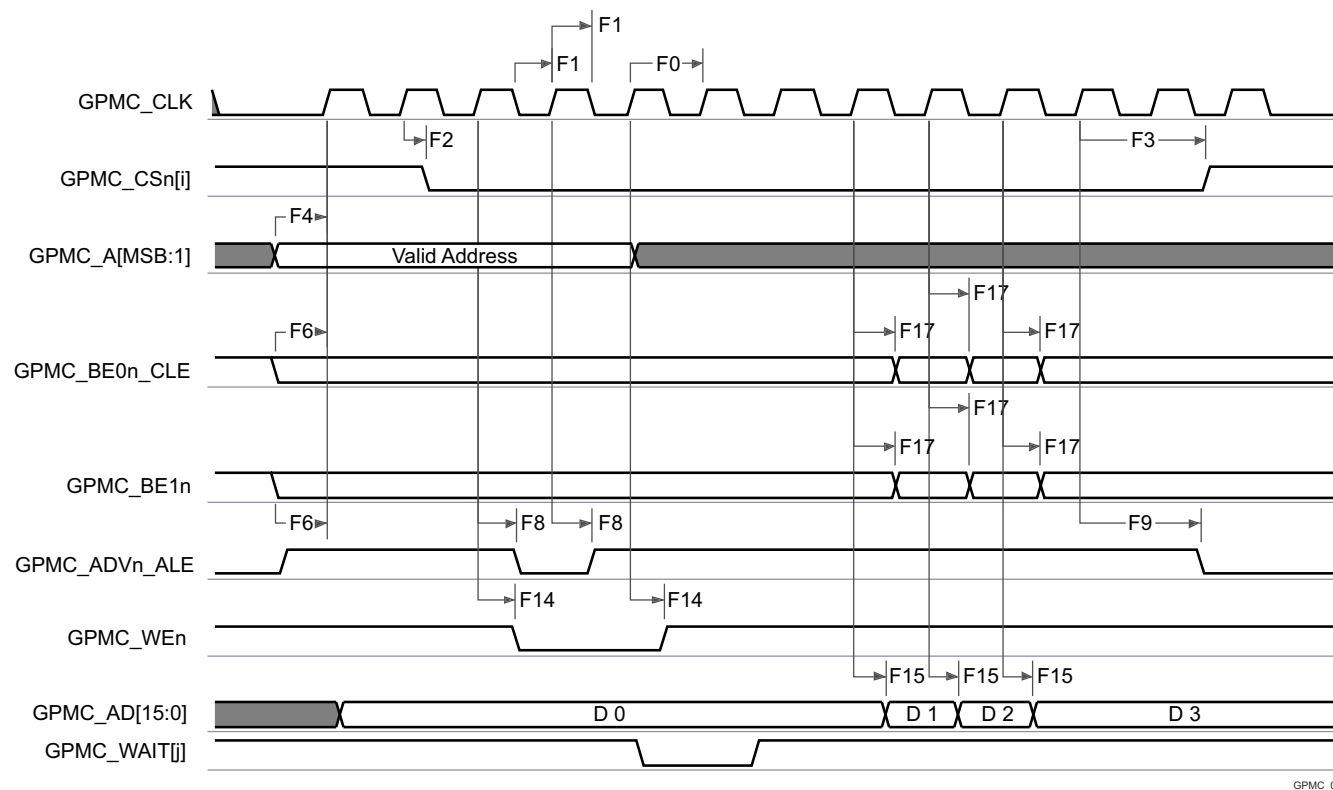
- A. GPMC_CS[n] で、i は 0、1、2、または 3 です。
B. GPMC_WAIT[j] で、j は 0、1、2、または 3 です。

図 6-51. GPMC および NOR フラッシュ — 同期単一読み出し (GPMCFCLKDIVIDER = 0)



- A. GPMC_CS[n] で、i は 0、1、2、または 3 です。
 B. GPMC_WAIT[j] で、j は 0、1、2、または 3 です。

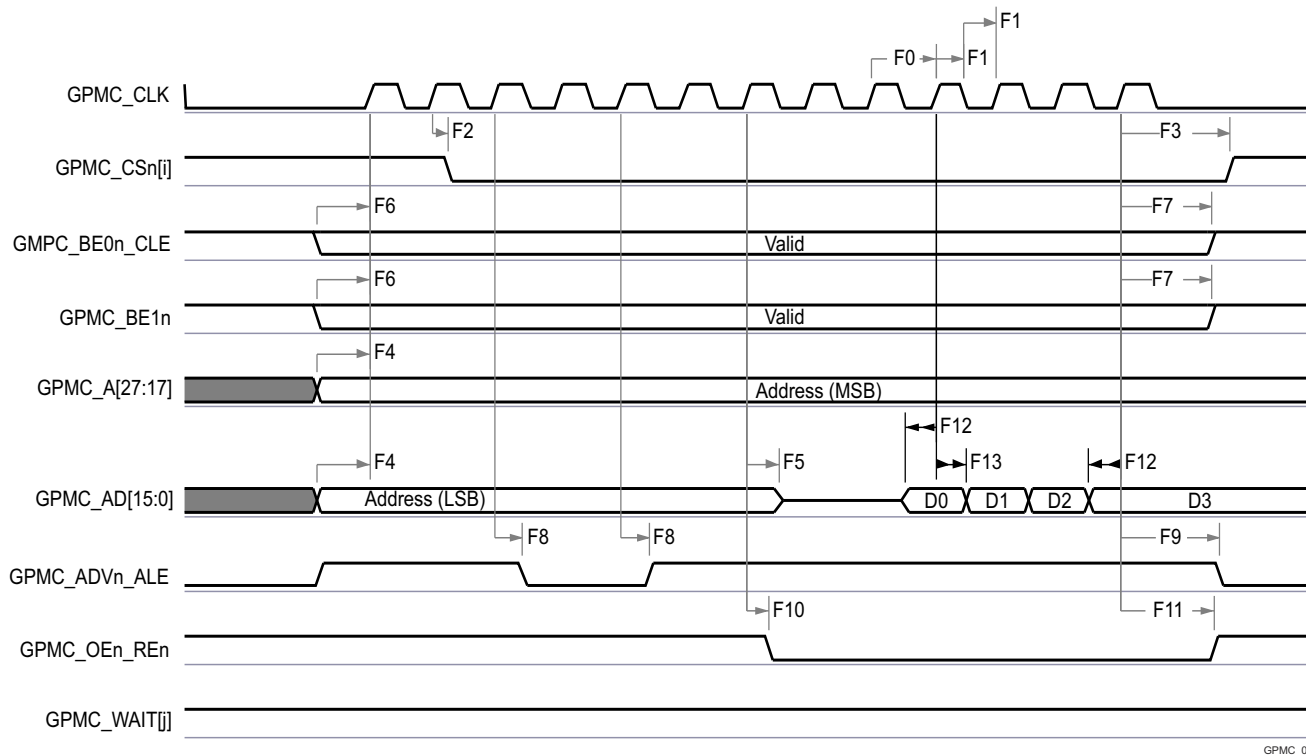
図 6-52. GPMC および NOR フラッシュ — 同期バースト読み出し — 4x16 ビット (GPMCFCLKDIVIDER = 0)



- A. GPMC_CS[n] で、i は 0、1、2、または 3 です。

B. GPMC_WAIT[j] で、j は 0、1、2、または 3 です。

図 6-53. GPMC および NOR フラッシュ — 同期バースト書き込み (GPMCFCLKDIVIDER = 0)

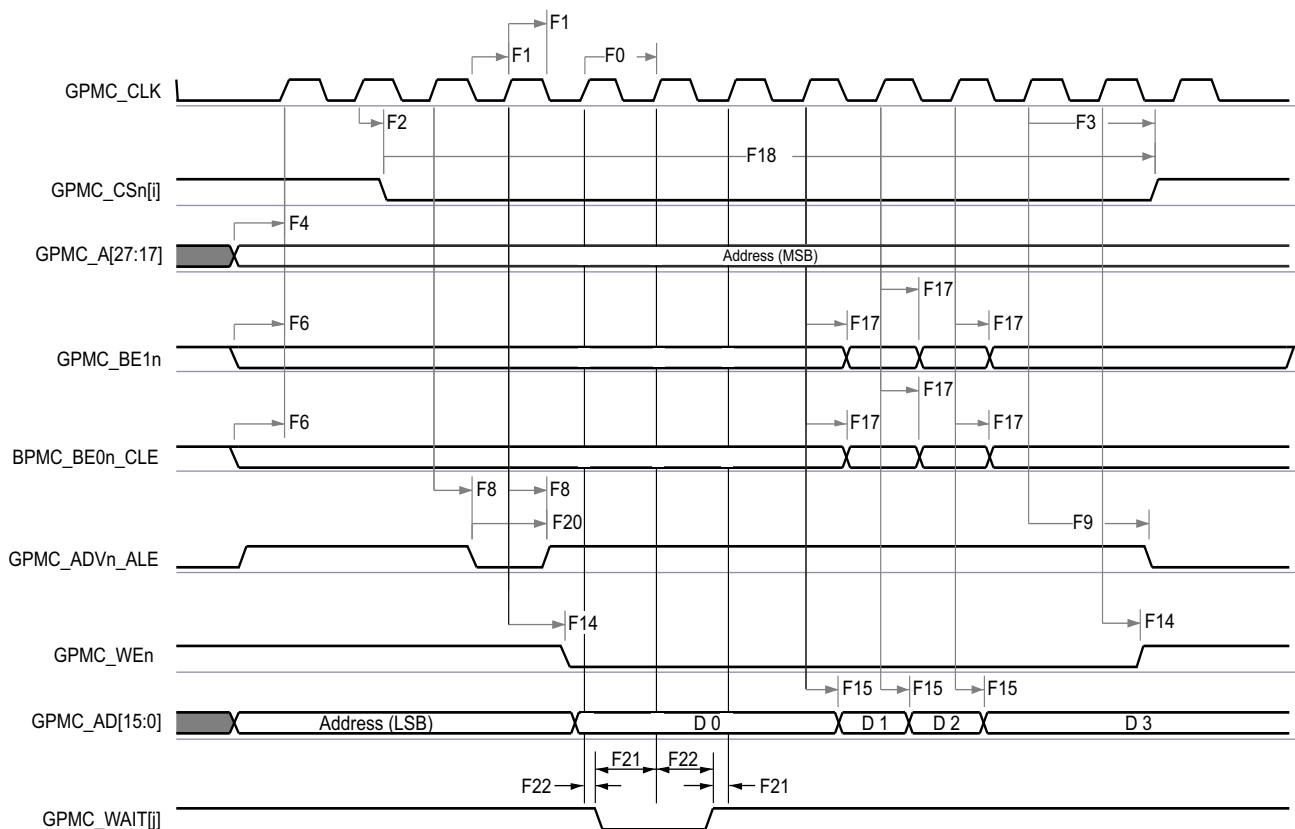


GPMC_04

A. GPMC_CS[n] で、i は 0、1、2、または 3 です。

B. GPMC_WAIT[j] で、j は 0、1、2、または 3 です。

図 6-54. GPMC および多重化 NOR フラッシュ — 同期バースト読み出し



GPMC_05

- A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。
 B. GPMC_WAIT[j] で、j は 0、1、2、または 3 です。

図 6-55. GPMC および多重化 NOR フラッシュ — 同期バースト書き込み

6.10.5.10.2 GPMC および NOR フラッシュ — 非同期モード

セクション 6.10.5.10.2.1 および セクション 6.10.5.10.2.2 は、以下に示す推奨動作条件および電気的特性条件に基づくテストを想定しています (図 6-56～図 6-61 を参照)。

6.10.5.10.2.1 GPMC および NOR フラッシュのタイミング要件 – 非同期モード

番号			モード ⁽⁷⁾	最小値	最大値	単位
FA5 ⁽¹⁾	$t_{\text{acc}(d)}$	データ アクセス時間	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X 1		H ⁽⁵⁾	ns
FA20 ⁽²⁾	$t_{\text{acc1-pgmode}(d)}$	ページ モードの連続データ アクセス時間	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X 1		P ⁽⁴⁾	ns
FA21 ⁽³⁾	$t_{\text{acc2-pgmode}(d)}$	ページ モードの最初のデータ アクセス時間	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X 1		H ⁽⁵⁾	ns

- (1) FA5 パラメータは、入力データを内部的にサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。

- (2) FA20 パラメータは、連続する入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル 数で表されます。入力ページ データへの各アクセスの後、FA20 機能クロック サイクル経過後、次の入力ページ データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA20 の値は、PageBurstAccessTime レジスタのビット フィールドに保存する必要があります。
- (3) FA21 パラメータは、最初の入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数 で表されます。読み取りサイクルの開始から FA21 機能クロック サイクル経過後、最初の入力ページ データが、アクティブな機能クロック エッジによって内部的にサンプリングされます。FA21 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。
- (4) $P = \text{PageBurstAccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(6)}$
- (5) $H = \text{AccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(6)}$
- (6) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。
- (7) div_by_1_mode の場合:
- GPMC_CONFIG1_i レジスタ: GPMCFCLKDIVIDER = 0h:
 - GPMC_CLK 周波数 = GPMC_FCLK 周波数
 - CTRLMMR_GPMC_CLKSEL[1:0] CLK_SEL = 00 = CPSWHS DIV_CLKOUT3 = 2000/15 = 133.33MHz
 - GPMC_CONFIG1_i レジスタ: TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADV RD/WROFFTIME、OEONTIME、OE OFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

6.10.5.10.2.2 GPMC および NOR フラッシュのスイッチング特性 – 非同期モード

番号	パラメータ	説明	モード ⁽¹⁵⁾	最小値	最大値	単位
				133 MHz ⁽¹⁶⁾		
FA0	$t_{w(\text{be}[x]nV)}$	パルス幅、出力下位バイト イネーブルおよびコマンドラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効時間	読み出し	N ⁽¹²⁾		ns
			書き込み	N ⁽¹²⁾		
FA1	$t_{w(\text{csn}V)}$	パルス幅、出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ low	読み出し	A ⁽¹⁾		ns
			書き込み	A ⁽¹⁾		
FA3	$t_{d(\text{csn}V\text{-advn}IV)}$	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有効から出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADV <i>n</i> _ALE 無効まで	読み出し	B ⁽²⁾ - 2.55	B ⁽²⁾ + 2.65	ns
			書き込み	B ⁽²⁾ - 2.55	B ⁽²⁾ + 2.65	
FA4	$t_{d(\text{csn}V\text{-oen}IV)}$	遅延時間、出力チップセレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有効から 出力イネーブル GPMC_OEn_RE <i>n</i> 無効まで (単一読み取り)	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	C ⁽³⁾ - 2.55	C ⁽³⁾ + 2.65	ns
FA9	$t_{d(aV\text{-csn}V)}$	遅延時間、出力アドレス GPMC_A[27:1] 有効から出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	J ⁽⁹⁾ - 2.55	J ⁽⁹⁾ + 2.65	ns
FA10	$t_{d(\text{be}[x]nV\text{-csn}V)}$	遅延時間、出力下位バイト イネーブルおよびコマンドラッチ イネーブル GPMC_BE0n_CLE、出力上位バイト イネーブル GPMC_BE1n 有効から出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	J ⁽⁹⁾ - 2.55	J ⁽⁹⁾ + 2.65	ns
FA12	$t_{d(\text{csn}V\text{-advn}V)}$	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有効から出力アドレス有効、アドレスラッチ イネーブル GPMC_ADV <i>n</i> _ALE 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	K ⁽¹⁰⁾ - 2.55	K ⁽¹⁰⁾ + 2.65	ns
FA13	$t_{d(\text{csn}V\text{-oen}V)}$	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>j</i>] ⁽¹³⁾ 有効から出力イネーブル GPMC_OEn_RE <i>n</i> 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	L ⁽¹¹⁾ - 2.55	L ⁽¹¹⁾ + 2.65	ns
FA16	$t_{w(aIV)}$	2 つの連続する読み取りおよび書き込みアクセスの間で、出力アドレス GPMC_A[26:1] が無効になるパルス幅	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	G ⁽⁷⁾		ns

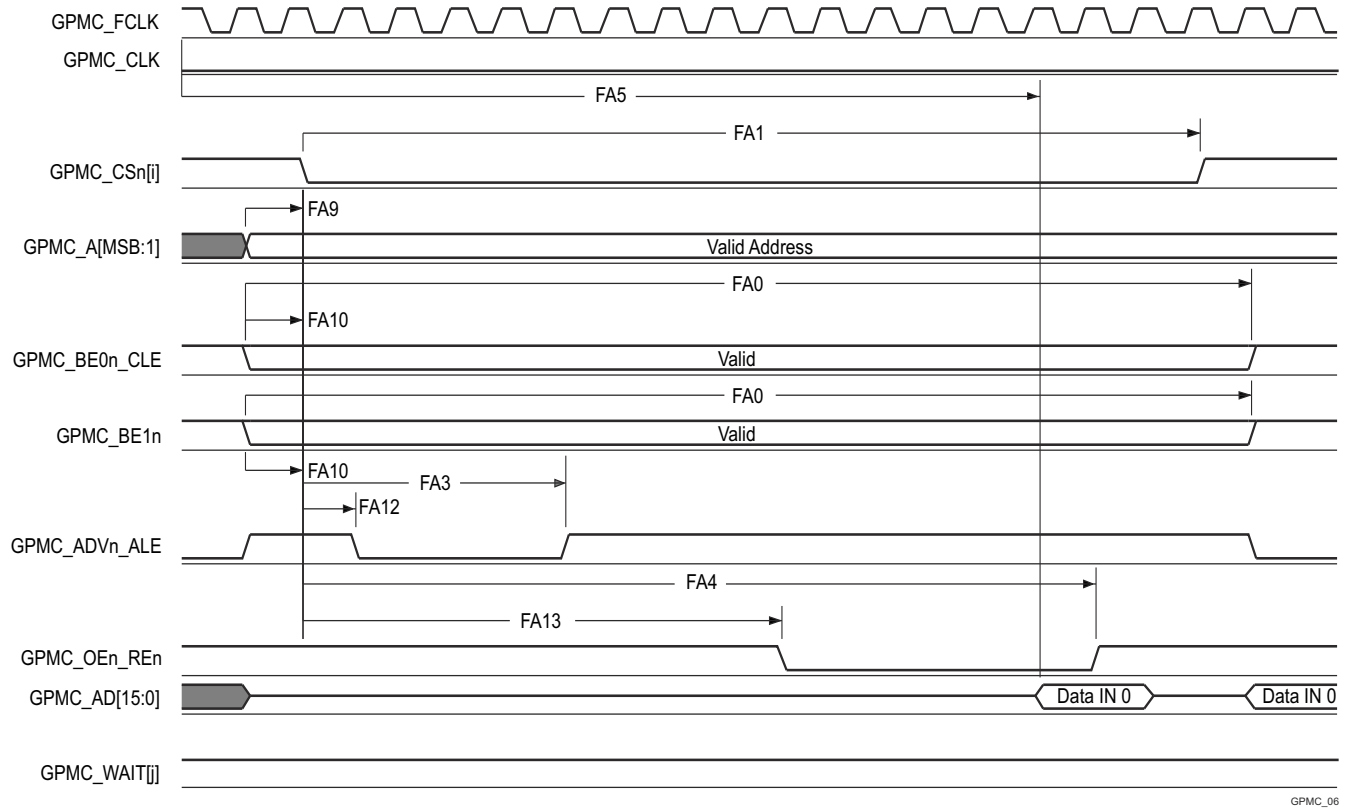
番号	パラメータ	説明	モード ⁽¹⁵⁾	最小値	最大値	単位
				133 MHz ⁽¹⁶⁾		
FA18	t _{d(csnV-oenIV)}	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>i</i>] ⁽¹³⁾ 有効から出力イネーブル GPMC_OEn_RE <i>n</i> 無効まで (バースト読み取り)	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	I ⁽⁸⁾ - 2.55	I ⁽⁸⁾ + 2.65	ns
FA20	t _{w(aV)}	パルス幅、出力アドレス GPMC_A[27:1] 有効 - 2 回目、3 回目、4 回目のアクセス	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	D ⁽⁴⁾		ns
FA25	t _{d(csnV-wenV)}	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>i</i>] ⁽¹³⁾ 有効から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	E ⁽⁵⁾ - 2.55	E ⁽⁵⁾ + 2.65	ns
FA27	t _{d(csnV-wenIV)}	遅延時間、出力チップ セレクト GPMC_CS <i>n</i> [<i>i</i>] ⁽¹³⁾ 有効から出力書き込みイネーブル GPMC_WEn 無効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	F ⁽⁶⁾ - 2.55	F ⁽⁶⁾ + 2.65	ns
FA28	t _{d(wenV-dV)}	遅延時間、出力書き込みイネーブル GPMC_WEn 有効から出力データ GPMC_AD[15:0] 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	2.65		ns
FA29	t _{d(dV-csnV)}	遅延時間、出力データ GPMC_AD[15:0] 有効から出力チップ セレクト GPMC_CS <i>n</i> [<i>i</i>] ⁽¹³⁾ 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	J ⁽⁹⁾ - 2.55	J ⁽⁹⁾ + 2.65	ns
FA37	t _{d(oenV-aIV)}	遅延時間、出力イネーブル GPMC_OEn_RE <i>n</i> 有効から出力アドレス GPMC_AD[15:0] フェーズ終了まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	2.65		ns

- (1) 単一読み取りの場合: $A = (CSRdOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 単一書き込みの場合: $A = (CSWrOffTime - CSOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 バースト読み取りの場合: $A = (CSRdOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 バースト書き込みの場合: $A = (CSWrOffTime - CSOnTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 n はページ バースト アクセス数
- (2) 読み取りの場合: $B = ((ADVrOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 書き込みの場合: $B = ((ADVwOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (3) $C = ((OEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (4) $D = PageBurstAccessTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
- (5) $E = ((WEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (6) $F = ((WEOffTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (7) $G = Cycle2CycleDelay \times GPMC_FCLK^{(14)}$
- (8) $I = ((OEOffTime + (n - 1) \times PageBurstAccessTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (9) $J = (CSOnTime \times (TimeParaGranularity + 1) + 0.5 \times CSEExtraDelay) \times GPMC_FCLK^{(14)}$
- (10) $K = ((ADVOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (11) $L = ((OEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
- (12) 単一読み取りの場合: $N = RdCycleTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 単一書き込みの場合: $N = WrCycleTime \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 バースト読み取りの場合: $N = (RdCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 バースト書き込みの場合: $N = (WrCycleTime + (n - 1) \times PageBurstAccessTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
- (13) GPMC_CS*n*[*i*] で、i は 0、1、2、または 3 です。
- (14) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。
- (15) div_by_1_mode の場合:
- GPMC_CONFIG1_i レジスタ: GPMCFCLKDIVIDER = 0h:
 - GPMC_CLK 周波数 = GPMC_FCLK 周波数

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHSIDIV_CLKOUT3 = 2000/15 = 133.33MHz
- GPMC_CONFIG1_i レジスタ: TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADV RD/WROFFTIME、OEONTIME、OE OFFTIME、WEONTIME、WE OFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

(16) 133MHz の場合:

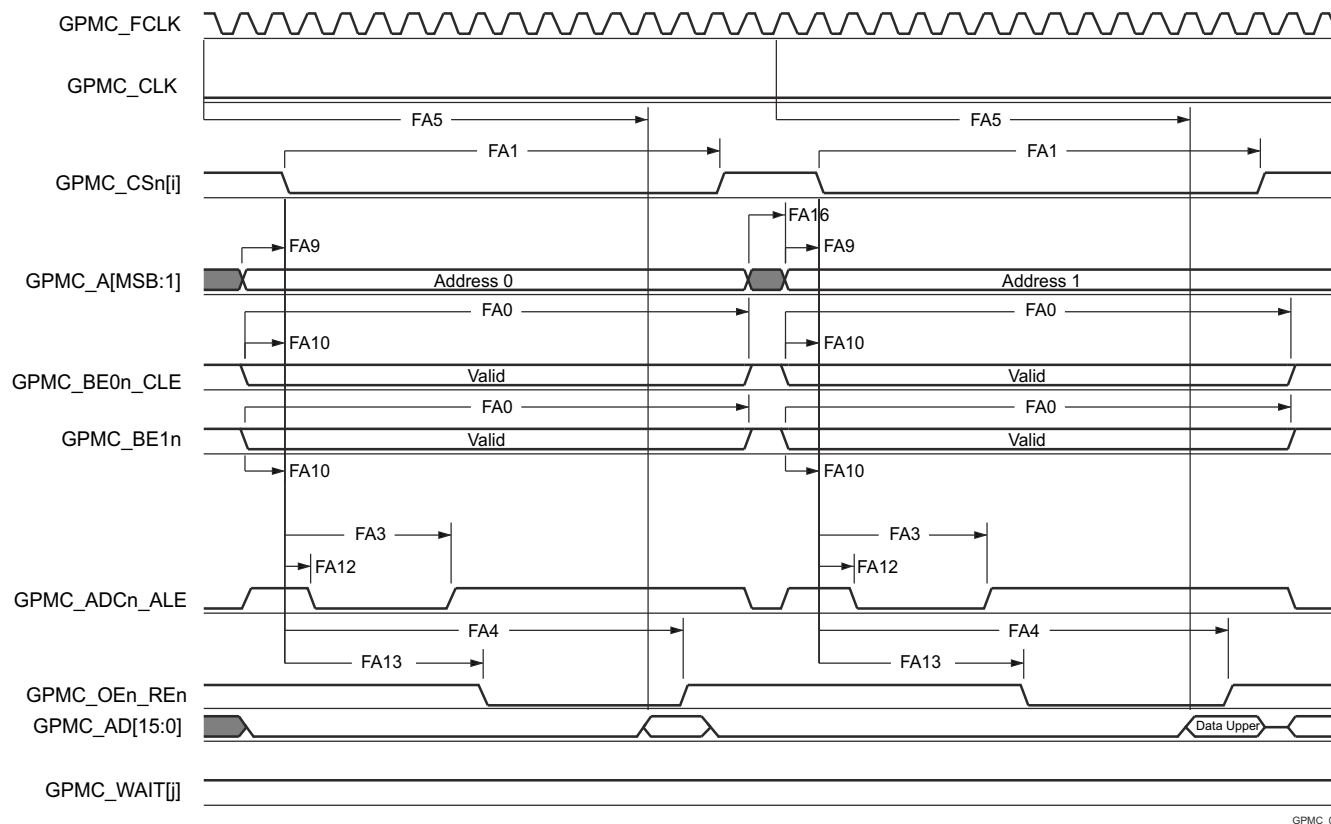
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = MAIN_PLL0_HSDIV3_CLKOUT



GPMC_06

- GPMC_CS[n][i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0、1、2、または 3 です。
- FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。
- GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

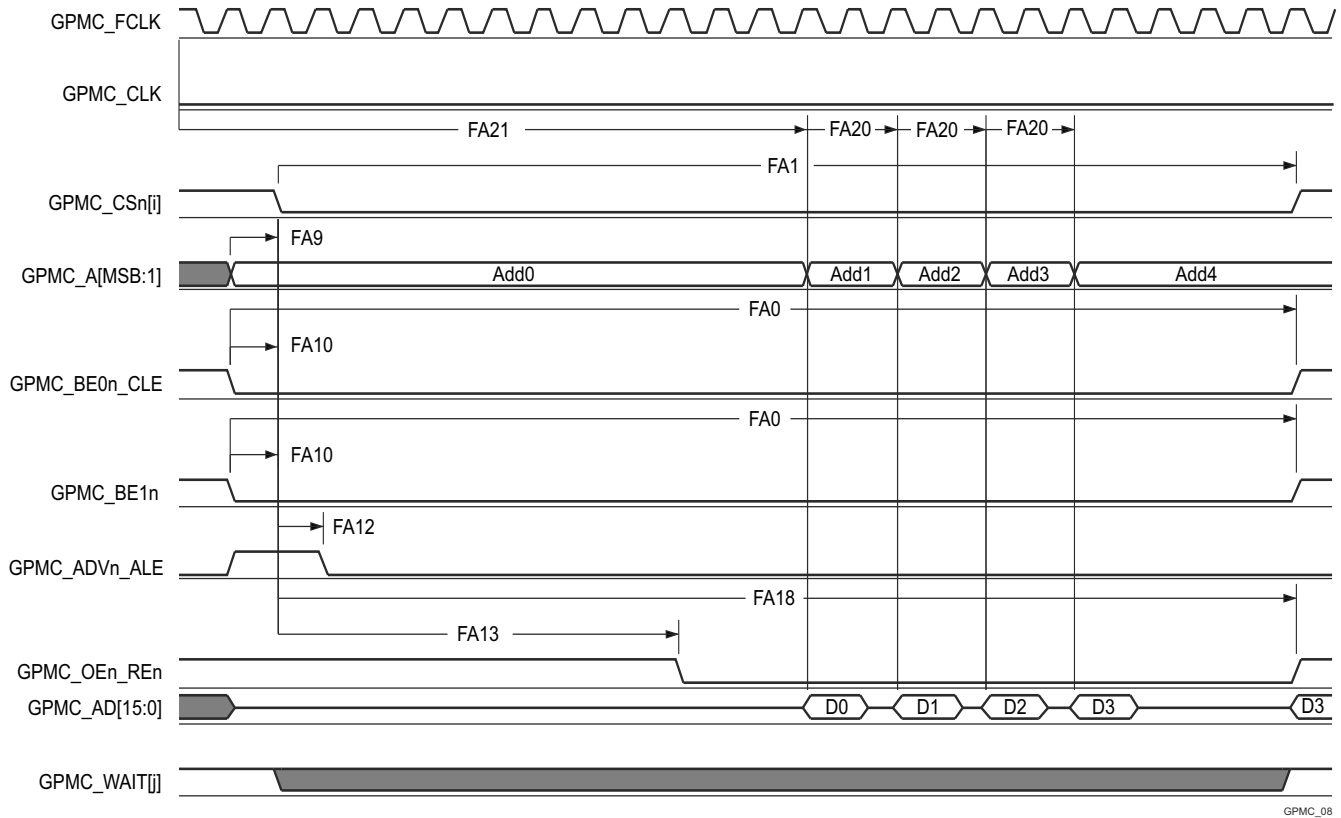
図 6-56. GPMC および NOR フラッシュ — 非同期読み取り — シングル ワード



GPMC_07

- A. GPMC_CS[n][i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0、1、2、または 3 です。
- B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。
- C. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

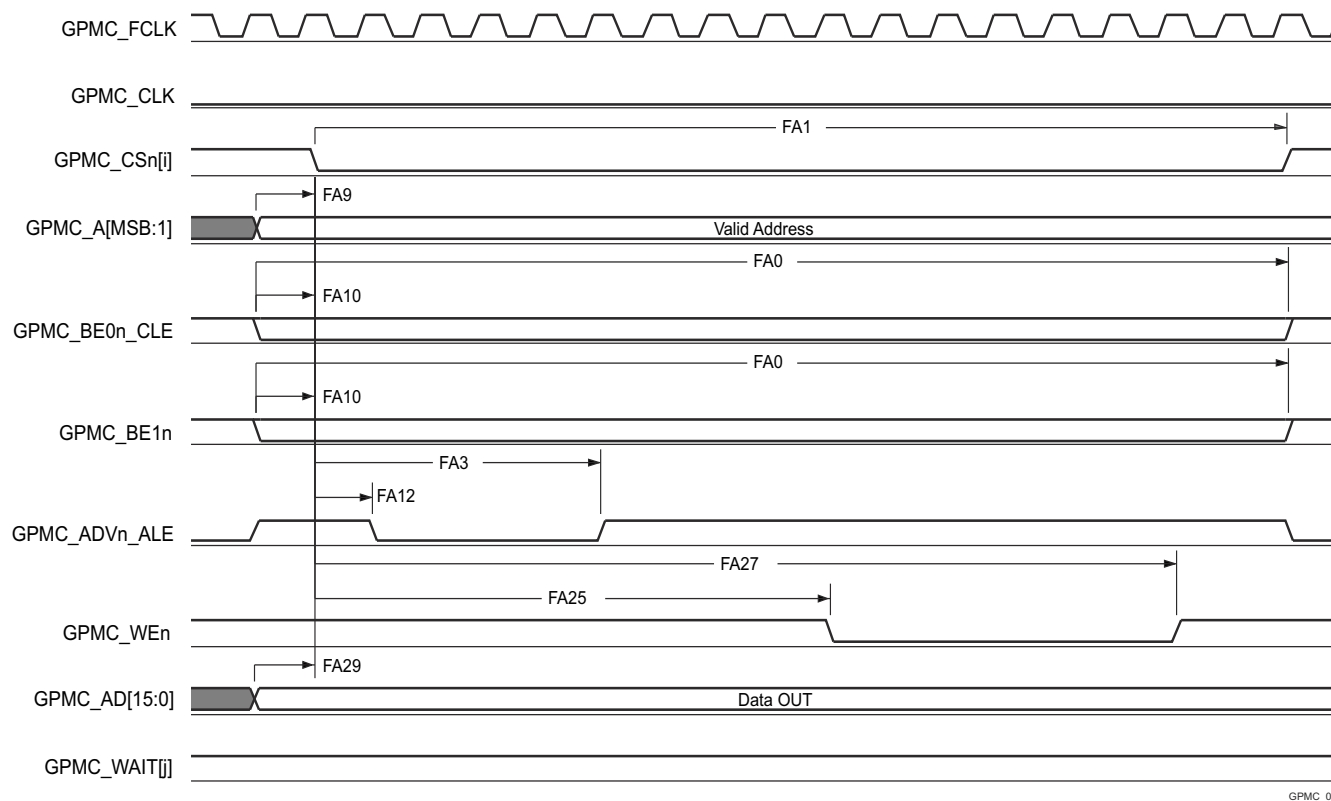
図 6-57. GPMC および NOR フラッシュ — 非同期読み取り — 32 ビット



GPMC_08

- GPMC_CS[n][i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0、1、2、または 3 です。
- FA21 パラメータは、最初の入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA21 機能クロック サイクル経過後、最初の入力ページのデータが、アクティブな機能クロック エッジによって内部的にサンプリングされます。FA21 の計算値は、accessTime レジスタ ビット フィールド内に保存する必要があります。
- FA20 パラメータは、連続する入力ページ データを内部でサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。入力ページ データへの各アクセスの後、FA20 機能クロック サイクル経過後、次の入力ページ データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA20 は、連続する入力ページ データ (最初の入力ページ データを除く) のアドレス フェーズ期間でもあります。FA20 の値は、PageBurstAccessTime レジスタ ビット フィールドに保存する必要があります。
- GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

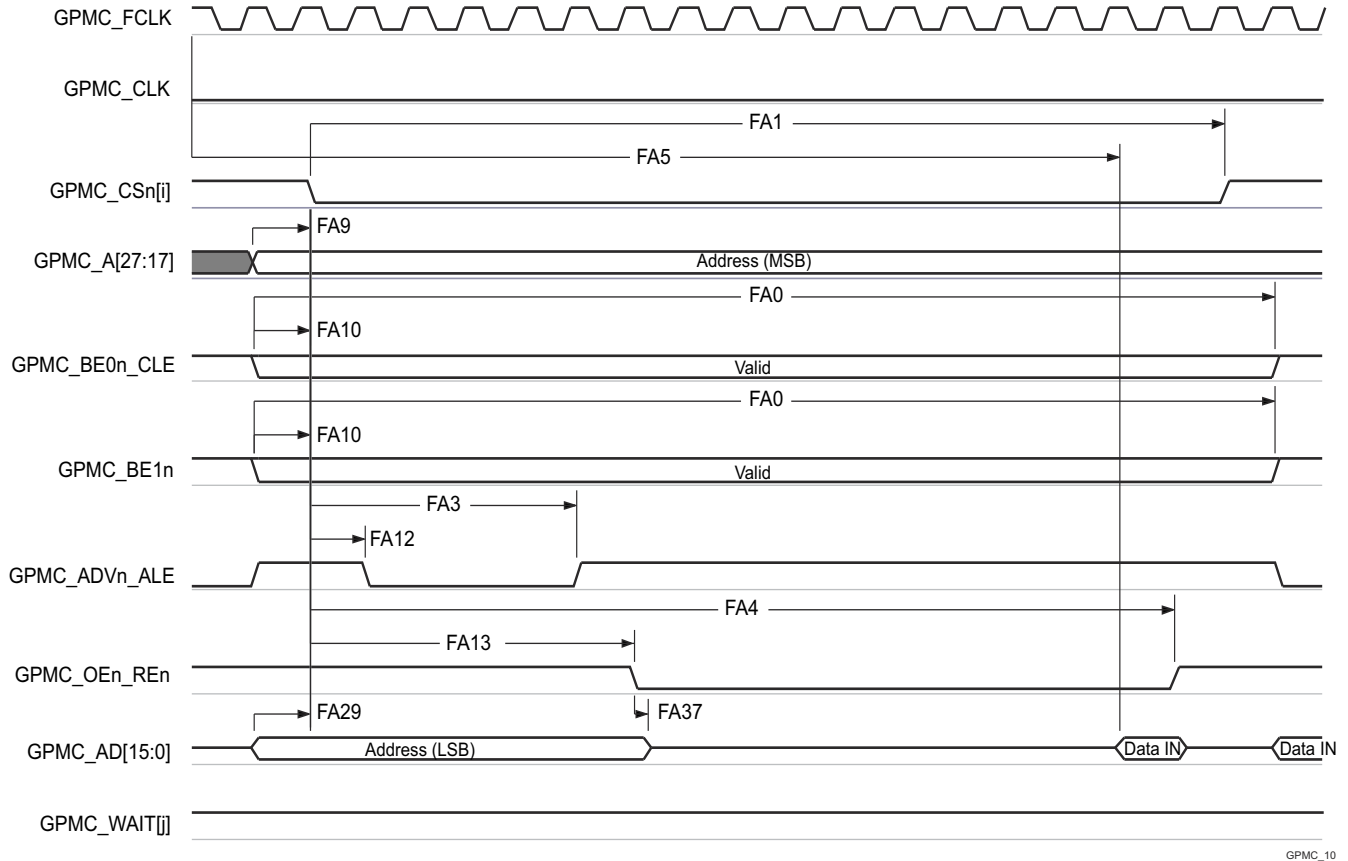
図 6-58. GPMC および NOR フラッシュ — 非同期読み取り — ページモード 4x16 ビット



GPMC_09

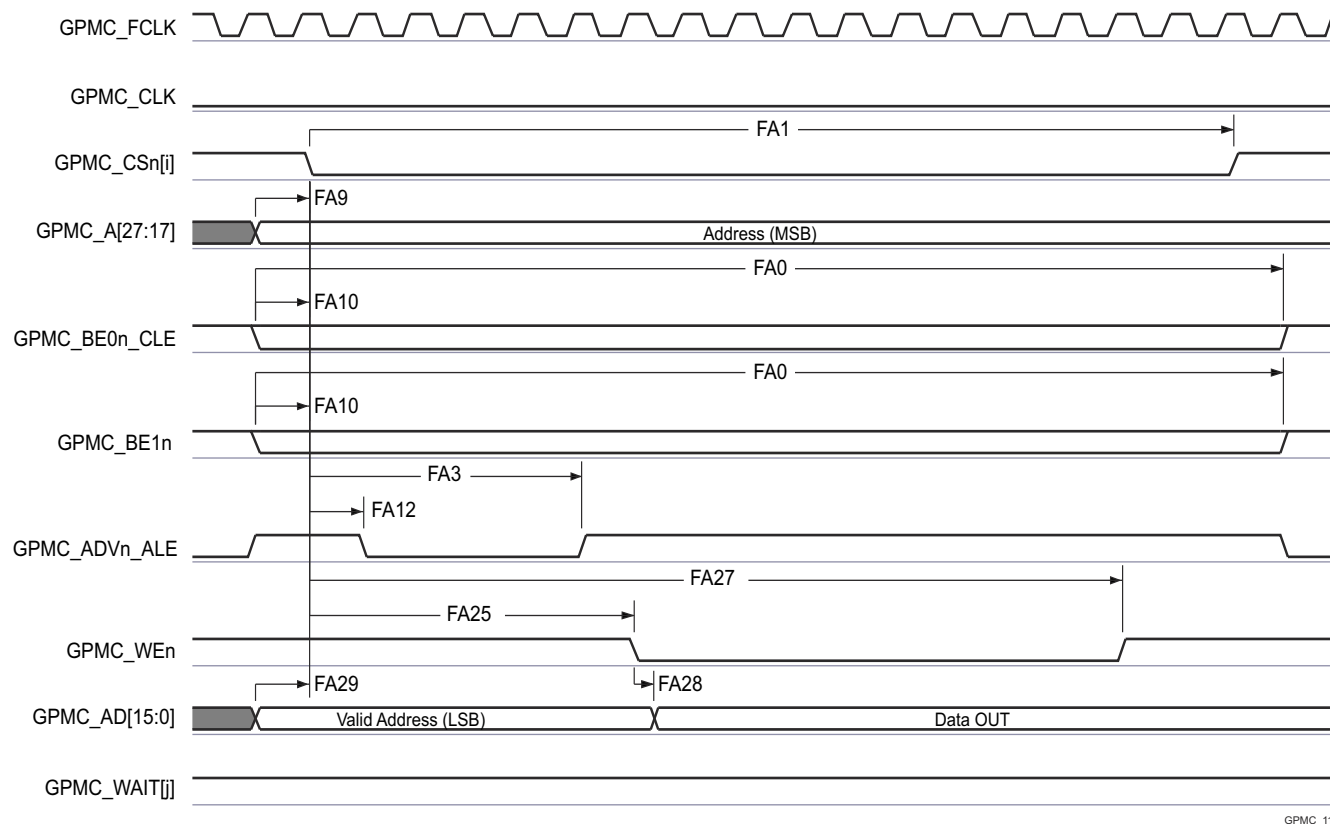
A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0、1、2、または 3 です。

図 6-59. GPMC および NOR フラッシュ — 非同期書き込み — シングルワード



- A. GPMC_CSn[i] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0、1、2、または 3 です。
- B. FA5 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から FA5 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。FA5 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。
- C. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。

図 6-60. GPMC および多重化 NOR フラッシュ — 非同期読み取り — シングル ワード



GPMC_11

A. GPMC_CS[n] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0、1、2、または 3 です。

図 6-61. GPMC および多重化 NOR フラッシュ — 非同期書き込み — シングル ワード

6.10.5.10.3 GPMC および NAND フラッシュ – 非同期モード

セクション 6.10.5.10.3.1 および セクション 6.10.5.10.3.2 は、以下に示す推奨動作条件および電気的特性条件に基づくテストを想定しています (図 6-62 ~ 図 6-65 を参照)。

6.10.5.10.3.1 GPMC および NAND フラッシュのタイミング要件 – 非同期モード

番号		モード ⁽⁴⁾	最小値	最大値	単位
			133 MHz ⁽⁵⁾		
GNF12 ⁽¹⁾	t _{acc(d)} アクセス時間、入力データ GPMC_AD[15:0] ⁽³⁾	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1		J ⁽²⁾	ns

(1) GNF12 パラメータは、入力データを内部的にサンプリングするために必要な時間を示します。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から GNF12 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。GNF12 の値は、AccessTime レジスタ ビット フィールドに保存する必要があります。

(2) $J = \text{AccessTime} \times (\text{TimeParaGranularity} + 1) \times \text{GPMC_FCLK}^{(3)}$

(3) GPMC_FCLK は、汎用メモリ コントローラの内部機能クロック周期で、ns 単位です。

(4) div_by_1_mode の場合:

- GPMC_CONFIG1_i レジスタ: GPMCFCLKDIVIDER = 0h:
– GPMC_CLK 周波数 = GPMC_FCLK 周波数

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHSIDIV_CLKOUT3 = 2000/15 = 133.33MHz

- GPMC_CONFIG1_i レジスタ: TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRD/WROFFTIME、ADVONTIME、ADV RD/WROFFTIME、OEONTIME、OE OFFTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

(5) 133MHz の場合:

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = MAIN_PLL0_HSDIV3_CLKOUT

6.10.5.10.3.2 GPMC および NAND フラッシュのスイッチング特性 – 非同期モード

番号	パラメータ		モード ⁽¹⁵⁾	最小値	最大値	単位
				133 MHz ⁽¹⁶⁾		
GNF0	t _{w(wenV)}	パルス幅、出力書き込みイネーブル GPMC_WEn 有効	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	A ⁽¹⁾		ns
GNF1	t _{d(csnV-wenV)}	遅延時間、出力チップ セレクト GPMC_CS[n] ⁽¹³⁾ 有効から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	B ⁽²⁾ - 2.55	B ⁽²⁾ + 2.65	ns
GNF2	t _{w(cleH-wenV)}	遅延時間、出力下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE high から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	C ⁽³⁾ - 2.55	C ⁽³⁾ + 2.65	ns
GNF3	t _{w(wenV-dV)}	遅延時間、出力データ GPMC_AD[15:0] 有効から出力書き込みイネーブル GPMC_WEn 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	D ⁽⁴⁾ - 2.55	D ⁽⁴⁾ + 2.65	ns
GNF4	t _{w(wenIV-dIV)}	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力データ GPMC_AD[15:0] 無効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	E ⁽⁵⁾ - 2.55	E ⁽⁵⁾ + 2.65	ns
GNF5	t _{w(wenIV-cleIV)}	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から下位バイト イネーブルおよびコマンド ラッチ イネーブル GPMC_BE0n_CLE 無効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	F ⁽⁶⁾ - 2.55	F ⁽⁶⁾ + 2.65	ns

番号	パラメータ		モード ⁽¹⁵⁾	最小値	最大値	単位
				133 MHz ⁽¹⁶⁾		
GNF6	t _{w(wenIV-CSn[i]V)}	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力チップ セレクト GPMC_CSn[i] ⁽¹³⁾ 無効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	G ⁽⁷⁾ - 2.55	G ⁽⁷⁾ + 2.65	ns
GNF7	t _{w(aleH-wenV)}	遅延時間、出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE high から出力書き込み イネーブル GPMC_WEn 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	C ⁽³⁾ - 2.55	C ⁽³⁾ + 2.65	ns
GNF8	t _{w(wenIV-aleIV)}	遅延時間、出力書き込みイネーブル GPMC_WEn 無効から出力アドレス有効およびアドレス ラッチ イネーブル GPMC_ADVn_ALE 無効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	F ⁽⁶⁾ - 2.55	F ⁽⁶⁾ + 2.65	ns
GNF9	t _{c(wen)}	サイクル時間、書き込み	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1		H ⁽⁸⁾	ns
GNF10	t _{d(csnV-oenV)}	遅延時間、出力チップ セレクト GPMC_CSn[i] ⁽¹³⁾ 有効から出力イネーブル GPMC_OEn_REn 有効まで	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	I ⁽⁹⁾ - 2.55	I ⁽⁹⁾ + 2.65	ns
GNF13	t _{w(oenV)}	パルス幅、出力イネーブル GPMC_OEn_REn 有効	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1		K ⁽¹⁰⁾	ns
GNF14	t _{c(oen)}	サイクル時間、読み取り	div_by_1_mode、 GPMC_FCLK_MUX、 TIMEPARAGRANULARITY_X1	L ⁽¹¹⁾		ns
GNF15	t _{w(oenIV-CSn[i]V)}	遅延時間、出力イネーブル GPMC_OEn_REn 無効から出力チップ セレクト GPMC_CSn[i] ⁽¹³⁾ 無効まで	div_by_1_mode、	M ⁽¹²⁾ - 2.55	M ⁽¹²⁾ + 2.65	ns

- (1) $A = (WEOffTime - WEOnTime) \times (TimeParaGranularity + 1) \times GPMC_FCLK^{(14)}$
 (2) $B = ((WEOnTime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (3) $C = ((WEOnTime - ADVOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (WEEExtraDelay - ADVExtraDelay)) \times GPMC_FCLK^{(14)}$
 (4) $D = (WEOnTime \times (TimeParaGranularity + 1) + 0.5 \times WEEExtraDelay) \times GPMC_FCLK^{(14)}$
 (5) $E = ((WrCycleTime - WEOffTime) \times (TimeParaGranularity + 1) - 0.5 \times WEEExtraDelay) \times GPMC_FCLK^{(14)}$
 (6) $F = ((ADVWrOffTime - WEOffTime) \times (TimeParaGranularity + 1) + 0.5 \times (ADVExtraDelay - WEEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (7) $G = ((CSWrOffTime - WEOffTime) \times (TimeParaGranularity + 1) + 0.5 \times (CSEExtraDelay - WEEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (8) $H = WrCycleTime \times (1 + TimeParaGranularity) \times GPMC_FCLK^{(14)}$
 (9) $I = ((OEOntime - CSOnTime) \times (TimeParaGranularity + 1) + 0.5 \times (OEEExtraDelay - CSEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (10) $K = (OEOffTime - OEOnTime) \times (1 + TimeParaGranularity) \times GPMC_FCLK^{(14)}$
 (11) $L = RdCycleTime \times (1 + TimeParaGranularity) \times GPMC_FCLK^{(14)}$
 (12) $M = ((CSRdOffTime - OEOffTime) \times (TimeParaGranularity + 1) + 0.5 \times (CSEExtraDelay - OEEExtraDelay)) \times GPMC_FCLK^{(14)}$
 (13) GPMC_CS*n*[*i*] で、*i* は 0、1、2、または 3 です。
 (14) GPMC_FCLK は、汎用メモリコントローラの内部機能クロック周期で、ns 単位です。
 (15) div_by_1_mode の場合:

- GPMC_CONFIG1_1 レジスタ: GPMCFCLKDIVIDER = 0h:
 – GPMC_CLK 周波数 = GPMC_FCLK 周波数

GPMC_FCLK_MUX の場合:

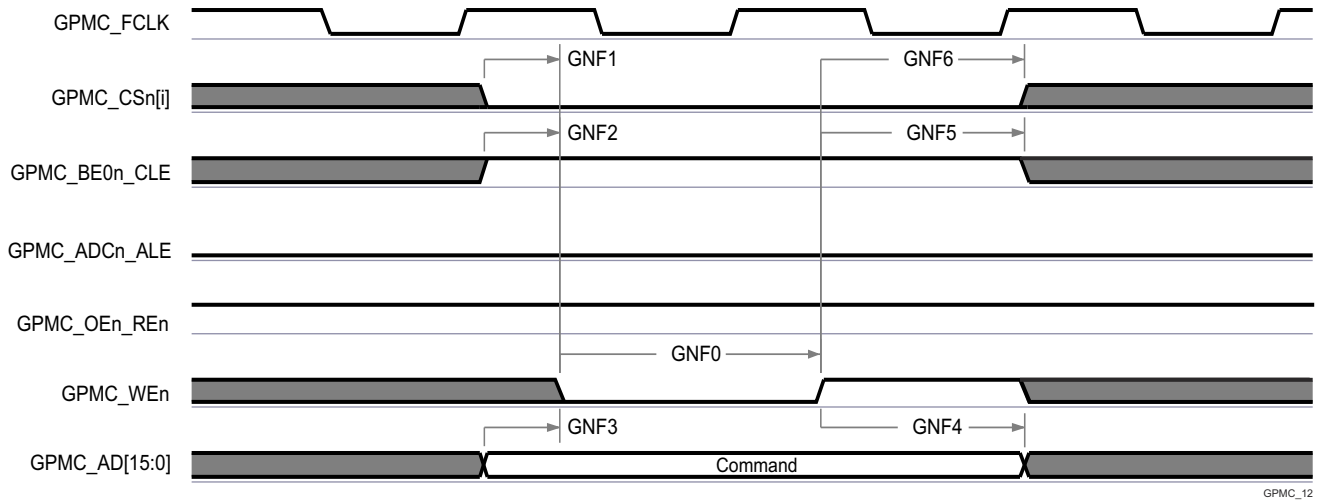
- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = CPSWHS DIV_CLKOUT3 = 2000/15 = 133.33MHz

TIMEPARAGRANULARITY_X1 の場合:

- GPMC_CONFIG1_1 レジスタ: TIMEPARAGRANULARITY = 0h = x1 レイテンシ (RD/WRCYCLETIME、RD/WRACCESSTIME、PAGEBURSTACCESSTIME、CSONTIME、CSRd/WROFFTIME、ADVONTIME、ADVrd/WROFFTIME、OEONTIME、OEOffTIME、WEONTIME、WEOFFTIME、CYCLE2CYCLEDELAY、BUSTURNAROUND、TIMEOUTSTARTVALUE、WRDATAONADMUXBUS に影響)

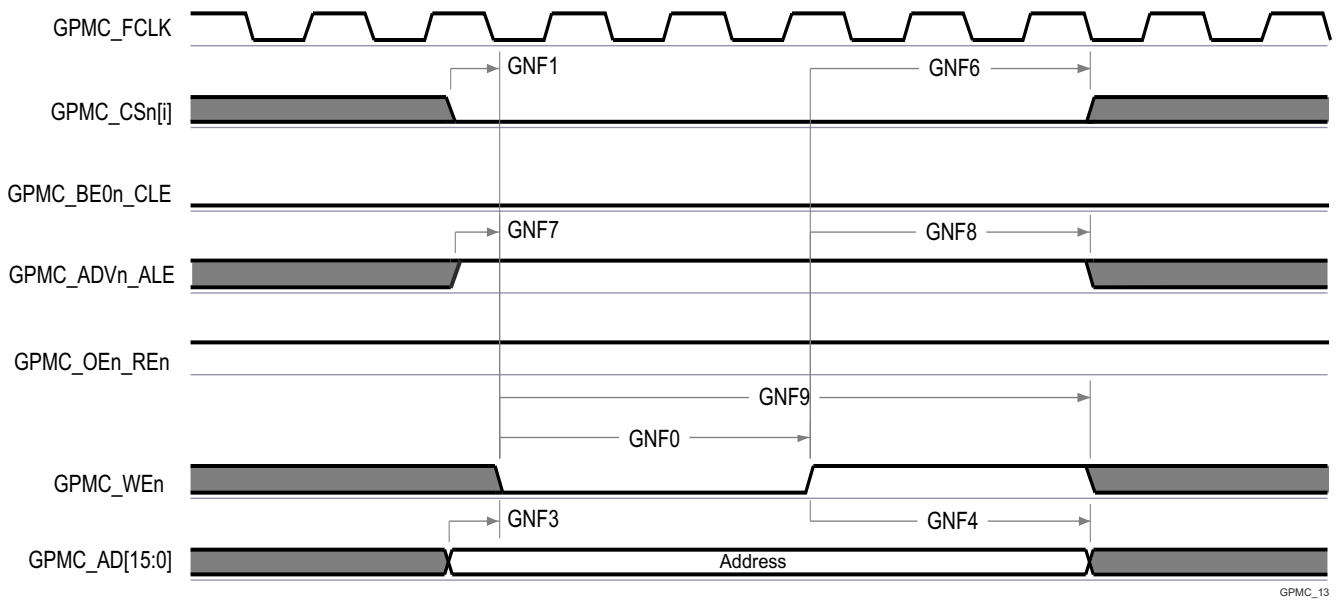
- (16) 133MHz の場合:

- CTRLMMR_GPMC_CLKSEL[1-0] CLK_SEL = 00 = MAIN_PLL0_HSDIV3_CLKOUT



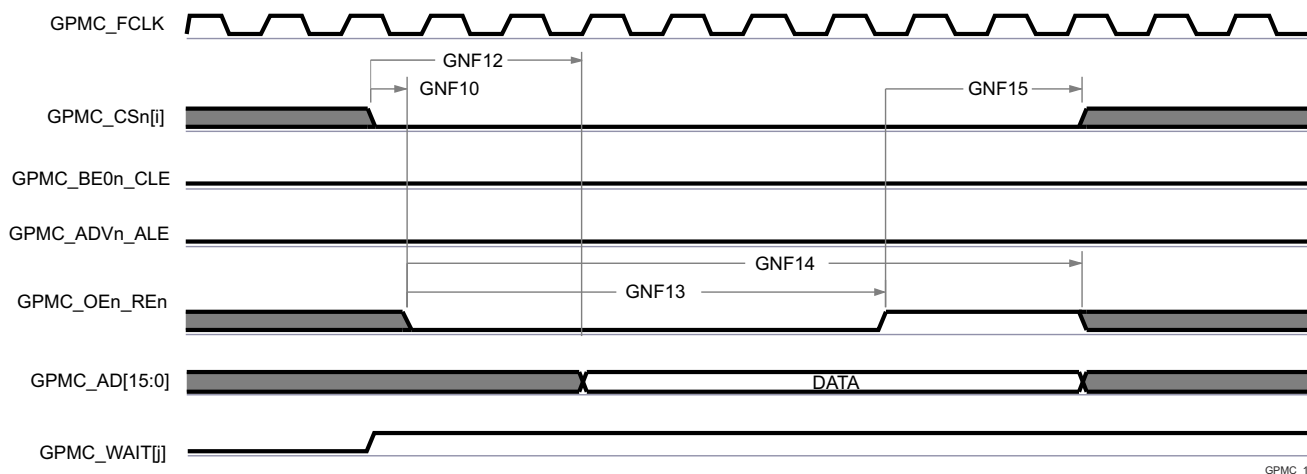
A. GPMC_CS[n] で、i は 0、1、2、または 3 です。

図 6-62. GPMC および NAND フラッシュ — コマンド ラッチ サイクル



A. GPMC_CS[n] で、i は 0、1、2、または 3 です。

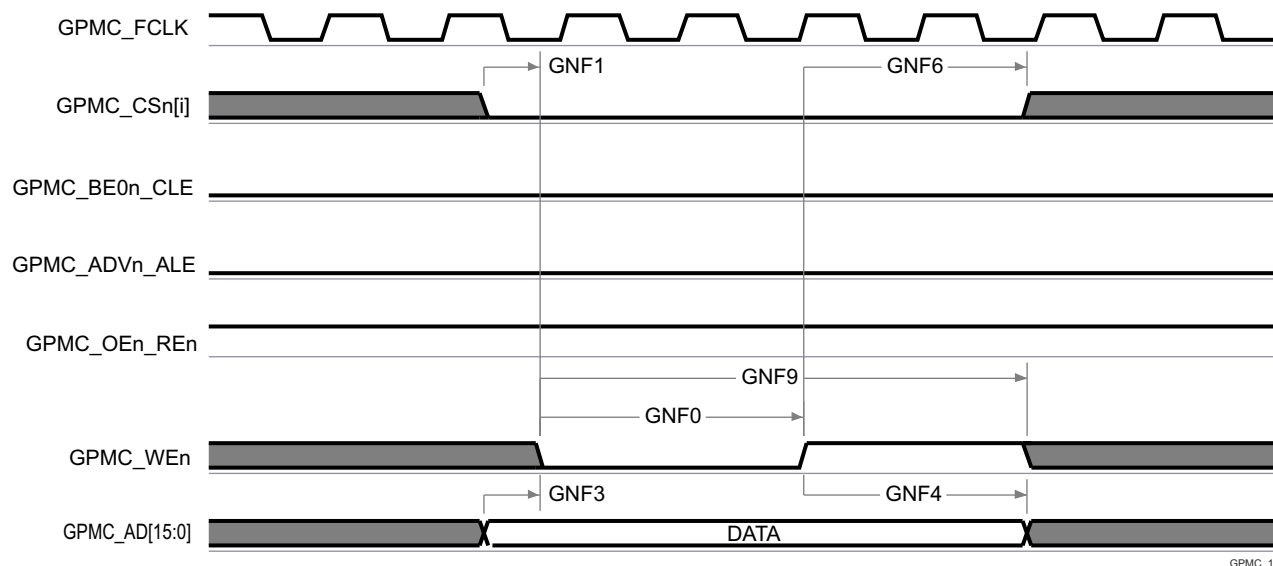
図 6-63. GPMC および NAND フラッシュ — アドレス ラッチ サイクル



GPMC_14

- A. GNF12 パラメータは、入力データを内部でサンプリングするために必要な時間を示しています。これは、GPMC 機能クロック サイクル数で表されます。読み取りサイクルの開始から GNF12 機能クロック サイクル経過後、入力データはアクティブな機能クロック エッジによって内部的にサンプリングされます。GNF12 の値は、AccessTime レジスタ ビット フィールド内に格納する必要があります。
- B. GPMC_FCLK は、外部に供給されない内部クロック (GPMC 機能クロック) です。
- C. GPMC_CS[n] で、i は 0、1、2、または 3 です。GPMC_WAIT[j] で、j は 0、1、2、または 3 です。

図 6-64. GPMC および NAND フラッシュ — データ読み取りサイクル



GPMC_15

- A. In GPMC_CS[n] で、i は 0、1、2、または 3 です。

図 6-65. GPMC および NAND フラッシュ — データ書き込みサイクル

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「拡張パルス幅変調 (EPWM) モジュール」セクションを参照してください。

6.10.5.10.4 GPMC0 IOSET

表 6-40 に、GPMC0 で使用する信号の具体的なグループ (IOSET) を示します。

表 6-40. GPMC0 IOSET

信号	IOSET1		IOSET2	
	ボール名	マルチプレクサ	ボール名	マルチプレクサ
GPMC0_WAIT2	MDIO0_MDC	8	MDIO0_MDC	8

表 6-40. GPMC0 IOSET (続き)

信号	IOSET1		IOSET2	
	ボール名	マルチプレクサ	ボール名	マルチプレクサ
GPMC0_BE1n	PRG1_PRU0_GPO0	8	RGMII6_RD1	8
GPMC0_WAIT0	PRG1_PRU0_GPO1	8	PRG1_PRU0_GPO1	8
GPMC0_WAIT1	PRG1_PRU0_GPO2	8	PRG1_PRU0_GPO2	8
GPMC0_DIR	PRG1_PRU0_GPO3	8	PRG1_PRU0_GPO3	8
GPMC0_CSn2	PRG1_PRU0_GPO4	8	PRG1_PRU0_GPO4	8
GPMC0_WEn	PRG1_PRU0_GPO5	8	PRG1_PRU0_GPO5	8
GPMC0_CSn3	PRG1_PRU0_GPO6	8	PRG1_PRU0_GPO6	8
GPMC0_OEn_REn	PRG1_PRU0_GPO8	8	PRG1_PRU0_GPO8	8
GPMC0_ADVn_ALE	PRG1_PRU0_GPO9	8	PRG1_PRU0_GPO9	8
GPMC0_BE0n_CLE	PRG1_PRU0_GPO10	8	PRG1_PRU0_GPO10	8
GPMC0_WPn	PRG1_PRU1_GPO5	8	PRG1_PRU1_GPO5	8
GPMC0_CSn1	PRG1_PRU1_GPO8	8	PRG1_PRU1_GPO8	8
GPMC0_CSn0	PRG1_PRU1_GPO9	8	PRG1_PRU1_GPO9	8
GPMC0_CLKOUT	PRG1_PRU1_GPO10	8	PRG1_PRU1_GPO10	8
GPMC0_AD0	PRG0_PRU0_GPO5	8	PRG0_PRU0_GPO5	8
GPMC0_AD1	PRG0_PRU0_GPO7	8	PRG0_PRU0_GPO7	8
GPMC0_AD2	PRG0_PRU0_GPO8	8	PRG0_PRU0_GPO8	8
GPMC0_AD3	PRG0_PRU0_GPO9	8	PRG0_PRU0_GPO9	8
GPMC0_AD4	PRG0_PRU0_GPO10	8	PRG0_PRU0_GPO10	8
GPMC0_AD5	PRG0_PRU0_GPO17	8	PRG0_PRU0_GPO17	8
GPMC0_AD6	PRG0_PRU0_GPO18	8	PRG0_PRU0_GPO18	8
GPMC0_AD7	PRG0_PRU0_GPO19	8	PRG0_PRU0_GPO19	8
GPMC0_AD8	PRG0_PRU1_GPO5	8	PRG0_PRU1_GPO5	8
GPMC0_AD9	PRG0_PRU1_GPO7	8	PRG0_PRU1_GPO7	8
GPMC0_AD10	PRG0_PRU1_GPO8	8	PRG0_PRU1_GPO8	8
GPMC0_AD11	PRG0_PRU1_GPO9	8	PRG0_PRU1_GPO9	8
GPMC0_AD12	PRG0_PRU1_GPO10	8	PRG0_PRU1_GPO10	8
GPMC0_AD13	PRG0_PRU1_GPO17	8	PRG0_PRU1_GPO17	8
GPMC0_AD14	PRG0_PRU1_GPO18	8	PRG0_PRU1_GPO18	8
GPMC0_AD15	PRG0_PRU1_GPO19	8	PRG0_PRU1_GPO19	8
GPMC0_A0	PRG0_MDIO0_MDC	8	PRG0_MDIO0_MDC	8
GPMC0_A1	RGMII5_TX_CTL	8	RGMII5_TX_CTL	8
GPMC0_A2	RGMII5_RX_CTL	8	RGMII5_RX_CTL	8
GPMC0_A3	RGMII5_TD3	8	RGMII5_TD3	8
GPMC0_A4	RGMII5_TD2	8	RGMII5_TD2	8
GPMC0_A5	RGMII5_TD1	8	RGMII5_TD1	8
GPMC0_A6	RGMII5_TD0	8	RGMII5_TD0	8
GPMC0_A7	RGMII5_TXC	8	RGMII5_TXC	8
GPMC0_A8	RGMII5_RXC	8	RGMII5_RXC	8
GPMC0_A9	RGMII5_RD3	8	RGMII5_RD3	8
GPMC0_A10	RGMII5_RD2	8	RGMII5_RD2	8
GPMC0_A11	RGMII5_RD1	8	RGMII5_RD1	8
GPMC0_A12	RGMII5_RD0	8	RGMII5_RD0	8
GPMC0_A13	RGMII6_TX_CTL	8	RGMII6_TX_CTL	8

表 6-40. GPMC0 IOSET (続き)

信号	IOSET1		IOSET2	
	ボール名	マルチプレクサ	ボール名	マルチプレクサ
GPMC0_A14	RGMII6_RX_CTL	8	RGMII6_RX_CTL	8
GPMC0_A15	RGMII6_TD3	8	RGMII6_TD3	8
GPMC0_A16	RGMII6_TD2	8	RGMII6_TD2	8
GPMC0_A17	RGMII6_TD1	8	RGMII6_TD1	8
GPMC0_A18	RGMII6_TD0	8	RGMII6_TD0	8
GPMC0_A19	RGMII6_TXC	8	RGMII6_TXC	8
GPMC0_A20	RGMII6_RXC	8	RGMII6_RXC	8
GPMC0_A21	RGMII6_RD3	8	RGMII6_RD3	8
GPMC0_A22	RGMII6_RD2	8	RGMII6_RD2	8
GPMC0_A23	PRG0_PRU1_GPO2	8	PRG0_PRU1_GPO2	8
GPMC0_A24	PRG0_PRU1_GPO4	8	PRG0_PRU1_GPO4	8
GPMC0_A25	PRG0_PRU1_GPO6	8	PRG0_PRU1_GPO6	8
GPMC0_A26	PRG0_PRU1_GPO11	8	PRG0_PRU1_GPO11	8
GPMC0_A27	PRG0_MDIO0_MDIO	8	PRG0_MDIO0_MDIO	8
GPMC0_WAIT3	MDIO0_MDIO	8	MDIO0_MDIO	8

6.10.5.11 HyperBus

デバイスの HyperBus の機能および追加の説明情報については、「[信号の説明](#)」、「[詳細説明](#)」の対応するセクションを参照してください。

[セクション 6.10.5.11](#)、[セクション 6.10.5.11.2](#) および [セクション 6.10.5.11.3](#) は、推奨動作条件と電気的特性条件に基づくテストを想定しています ([図 6-66](#)、[図 6-67](#) および [図 6-68](#) を参照)。

[表 6-41](#) に、HyperBus のタイミング条件を示します。

表 6-41. HyperBus のタイミング条件

パラメータ	説明	最小値	最大値	単位
入力条件				
SR _I	入力スルーレート	2	5	V/ns
出力条件				
C _L	出力負荷容量	1.5	8	pF

6.10.5.11.1 HyperBus のタイミング要件

番号	パラメータ	説明	最小値	最大値	単位
D1	t _w (RESETn)	パルス幅、RESETn	200		ns
D2	t _w (csL)	パルス幅、チップ セレクト	1000		ns
D3	t _d (RESETnH-csL)	遅延時間、RESETn 非アクティブから CSn アクティブまで	200.34		ns
D4	t _d (csL-RWDSL)	遅延時間、CSn アクティブから RWDS 立ち下がりまで	115		ns

6.10.5.11.2 HyperBus 166 MHz のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
D5	t _{skn} (rwdsX-dV)	入カスキュー、RWDS 遷移から D0:D7 有効まで	-0.46	0.46	ns
D6	t _c (clk/clkn)	CLK 周期、CLK/CLKn	6		ns
D7	t _w (clk/clkn)	パルス幅、CLK/CLKn	2.7		ns
D8	t _w (csIV)	パルス幅、動作間の CS0 無効	6		ns

番号	パラメータ	説明	最小値	最大値	単位
D9	$t_{d(\text{clkH-csL})}$	遅延時間、CS0 アクティブから CLK 立ち上がり /CLKn 立ち下がりまで		-3.34	ns
D10	$t_{d(\text{clkL[LE]-csH})}$	遅延時間、最後の CLK 立ち下がり /CLKn 立ち上がりエッジから CS0 非アクティブまで	0.41		ns
D11	$t_{d(\text{clkX-rwdsV})}$	遅延時間、CLK 遷移から RWDS 有効まで	1.01	2.08	ns
D12	$t_{d(\text{clkX-d[0:7]V})}$	遅延時間、CLK 遷移から D0:D7 有効まで	0.84	2.17	ns

6.10.5.11.3 HyperBus 100 MHz のスイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
LFD5	$t_{\text{skn}(\text{rwdsX-dV})}$	入力スキュー、RWDS 遷移から D0:D7 有効まで	-0.81	0.81	ns
LFD6	$t_{c(\text{clk})}$	CLK 周期、CLK	10		ns
LFD7	$t_{w(\text{clk})}$	パルス幅、CLK	4.75		ns
LFD8	$t_{w(\text{csIV})}$	パルス幅、動作間の CS0 無効	10		ns
LFD9	$t_{d(\text{clkH-csL})}$	遅延時間、CS0 アクティブから CLK 立ち上がりまで		-3.51	ns
LFD10	$t_{d(\text{clkL[LE]-csH})}$	遅延時間、最後の CLK 立ち下がりエッジから CS0 非アクティブまで	0.51		ns
LFD11	$t_{d(\text{clkX-rwdsV})}$	遅延時間、CLK 遷移から RWDS 有効まで	1.51	3.49	ns
LFD12	$t_{d(\text{clkX-d[0:7]V})}$	遅延時間、CLK 遷移から D0:D7 有効まで	1.34	3.66	ns

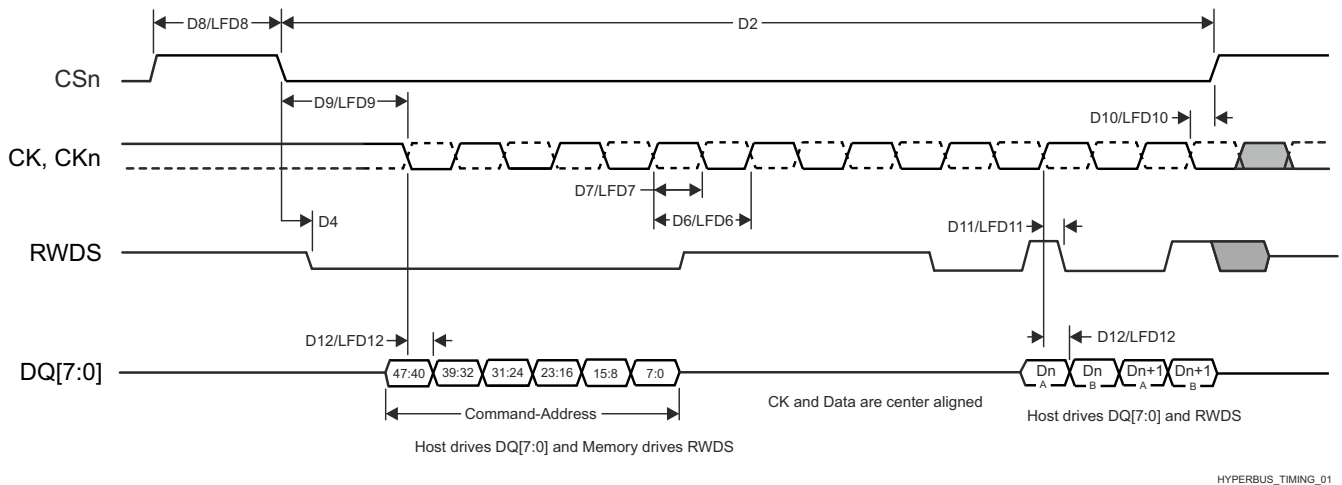


図 6-66. HyperBus タイミング図 – 送信モード

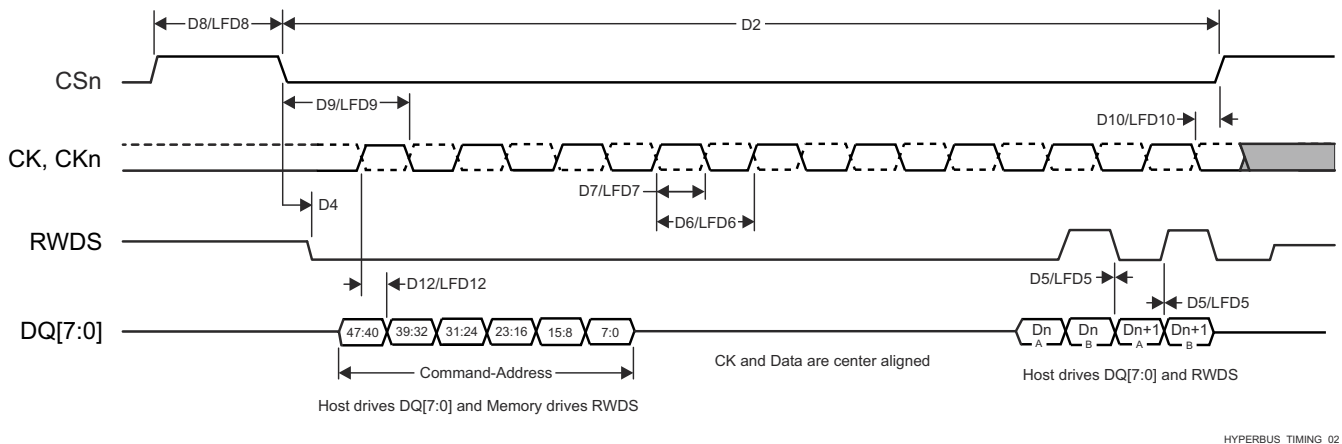


図 6-67. HyperBus タイミング図 – 受信モード

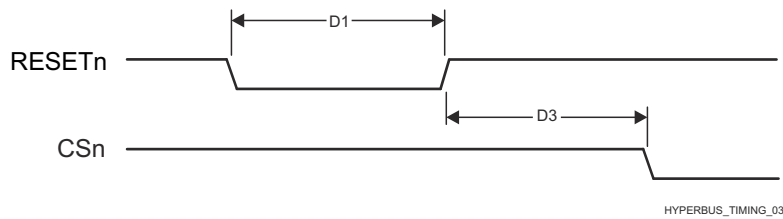


図 6-68. HyperBus タイミング図 – リセット

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「HyperBus インターフェイス」セクションを参照してください。

6.10.5.12 I2C

このデバイスには、複数の マルチコントローラ I2C (Inter-Integrated Circuit) コントローラが搭載されています。各 I2C コントローラは、Philips I2C-bus™ 仕様バージョン 2.1 に準拠するように設計されています。ただし、デバイスの IO バッファは、I2C の電氣的仕様に完全には準拠していません。一部の I2C インスタンスは LVC MOS バッファ タイプを使用していますが、他のインスタンスは I2S OD FS バッファ タイプを使用しています。このデバイスの各 I2C インスタンスに使用される IO バッファ タイプを判定するためには、「ピン属性」表を参照してください。サポートされる I2C の速度および例外については、以下の IO バッファ タイプごとに説明します。

- LVC MOS バッファ タイプを使用する I2C インスタンス
 - 速度:
 - 標準モード (最大 100Kbit/s)
 - 1.8 V
 - 3.3 V
 - ファースト モード (最大 400Kbit/s)
 - 1.8 V
 - 3.3 V
 - 例外:
 - これらのポートに関連付けられている IO は、I2C 仕様で定義されている立ち下がり時間要件に準拠していません。これらの I/O には、I2C 互換の IO では実装できなかった他の信号機能をサポートするように設計された、より高性能の LVC MOS プッシュプル IO が実装されているからです。これらのポートで使用されている LVC MOS IO は、オープンドレイン出力をエミュレートするように接続されます。このエミュレーションは、強制的に常に Low を出力し、出力バッファを無効にして、Hi-Z 状態にすることにより実行されます。
 - I2C 仕様では、最大入力電圧 V_{IH} が $(V_{DDmax} + 0.5V)$ と定義されています。これは、デバイスの IO の絶対最大定格を超えています。I2C 信号が、このデータシートの「絶対最大定格」セクションに定義された制限を超えないようにシステムを設計する必要があります。
- I2C OD FS バッファ タイプを使用する I2C インスタンス
 - 速度:
 - 標準モード (最大 100Kbit/s)
 - 1.8 V
 - 3.3 V
 - ファースト モード (最大 400Kbit/s)
 - 1.8 V
 - 3.3 V
 - Hs モード (最大 3.4Mbit/s)
 - 1.8 V
 - 例外:
 - これらのポートに関連付けられている IO は、3.3V で動作しているときに Hs モードをサポートするには設計されていません。したがって、Hs モードは 1.8V 動作に限定されます。

- これらのポートに接続された I2C 信号の立ち上がりおよび立ち下がり時間は、スルーレート 0.08V/ns (すなわち 8E+7 V/s) を超えないようにする必要があります。この制限は、I2C 仕様で定義されている最小立ち下がり時間の制限よりも厳しいものです。したがって、立ち上がりおよび立ち下がり時間が 0.08V/ns のスルーレートを上回らないように、I2C 信号に容量を追加する必要がある場合があります。
- I2C 仕様では、最大入力電圧 V_{IH} が ($V_{DD_{max}} + 0.5V$) と定義されています。これは、デバイスの IO の絶対最大定格を超えています。I2C 信号が、このデータシートの「絶対最大定格」セクションに定義された制限を超えないようにシステムを設計する必要があります。

タイミングの詳細については、Philips I2C-bus 仕様バージョン 2.1 を参照してください。

デバイスの I2C (Inter-Integrated Circuit) の機能および追加の説明情報については、[セクション 5.3](#) および「詳細説明」の対応するサブセクションを参照してください。

6.10.5.13 I3C

デバイスの I2C (Inter-Integrated Circuit) の機能および追加の説明情報については、「[信号の説明](#)」および「詳細説明」の対応するセクションを参照してください。

[表 6-42](#)、[表 6-43](#)、[図 6-69](#)、[表 6-44](#)、[図 6-70](#) は、推奨動作条件および電気的特性条件に基づくテストを想定しています。

表 6-42. I3C オープン ドレインのタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スルーレート	0.2276	5	V/ns
出力条件				
C _L	出力負荷容量		50	pF

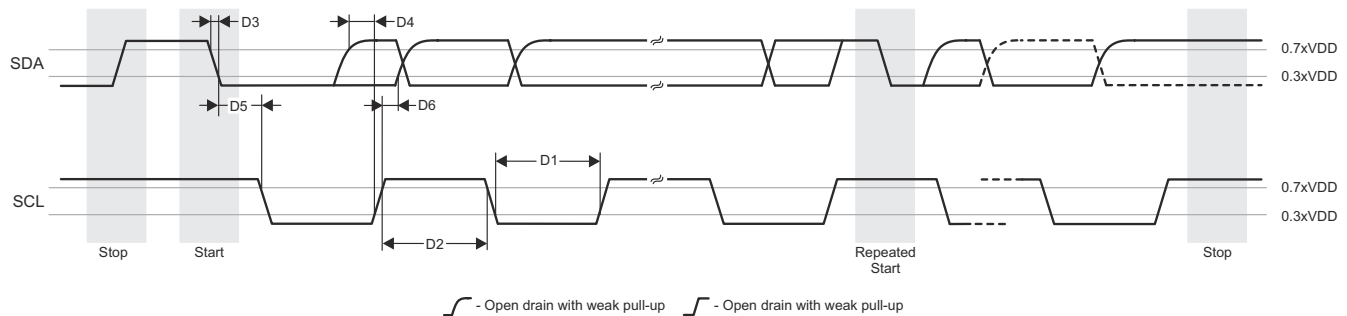
表 6-43. I3C オープン ドレインのタイミング パラメータ

番号	パラメータ	説明	モード	最小値	最大値	単位
D1	t _{LOW_OD}	SCL クロックの LOW 期間	コントローラ	200		ns
	t _{DIG_OD_L}			t _{LOW_OD} MIN + t _{FDA_OD} MIN		ns
D2	t _{HIGH}	SCL クロックの HIGH 期間	コントローラ		41	ns
	t _{DIG_H}				t _{HIGH} + t _{CF}	ns
D3	t _{DA_OD}	SDA 信号の立ち下がり時間	コントローラ、ターゲット	t _{CF}	12	ns
D4	t _{SU_OD}	オープンドレイン モード時の SDA データ セットアップ時間	コントローラ、ターゲット	3		ns
D5	t _{CAS}	スタート (S) 条件からクロックまで	コントローラ、ENTAS0	38.4	1000	ns
			コントローラ、ENTAS1	38.4	100000	ns
			コントローラ、ENTAS2	38.4	2000000	ns
			コントローラ、ENTAS3	38.4	50000000	ns
D6	t _{CBP}	クロックからストップ (P) 条件まで	コントローラ	t _{CAS} MIN / 2		ns
D7	t _{MMOVERLAP}	ハンドオフ時の現在のコントローラから次のコントローラへのオーバーラップ時間	コントローラ	t _{DIG_OD_L} min		ns
D8	t _{AVAIL}	バスが利用可能な状態	コントローラ	1000		ns

表 6-43. I3C オープン ドレインのタイミング パラメータ (続き)

番号	パラメータ	説明	モード	最小値	最大値	単位
D9	t_{IDLE}	バスがアイドルの状態	コントローラ	1000000		ns
D10	t_{MMLOCK}	新しいコントローラが SDA を LOW に駆動しない時間間隔	コントローラ	$t_{AVALmin}$		ns

- これは、 $t_{LOWmin} + t_{DS_ODmin} + t_{rDA_ODtyp} + t_{SU_ODmin}$ にほぼ等しくなります。
- SDA がすでに V_{IH} を上回っているとき、これが安全であることをコントローラが認識している場合には、コントローラは Low 期間をより短くすることがあります。
- t_{SPIKE} 、立ち上がり / 立ち下がり時間、相互接続に基づきます。
- レガシー I2C デバイスで信号を安全に認識できる場合や、相互接続を考慮する場合 (たとえば、短いバス)、この最大 High 期間を超えることがあります。
- I2C デバイスがスタートを認識する必要があるレガシー バスでは、 t_{CAS} の最小値がさらに制約されます。
- オプションの ENTASx CCC をサポートしていないターゲットは、ENTAS3 に示されている t_{CAS} 最大値を使用するものとします。
- Fm レガシー I2C デバイスの混在バス上では、 t_{AVAL} は、Fm バス フリー条件時間 (t_{BUF}) より 300ns 短くなります。



I3C_TIMING_01

図 6-69. I3C オープン ドレインのタイミング

表 6-44. SDR および HDR-DDR モードの I3C プッシュプル タイミング パラメータ

番号	パラメータ	説明	モード	最小値	最大値	単位
D1	f_{SCL}	SCL クロック周期	コントローラ	80	100000	ns
D2	t_{LOW}	SCL クロックの Low 期間	コントローラ	24		ns
	t_{DIG_L}			32		ns
D3	t_{HIGH_MIXED}	混在バスの SCL クロック High 期間 (混在バストポロジはサポートされていません)	コントローラ	24		ns
	$t_{DIG_H_MIXED}$			32	45	ns
D4	t_{HIGH}	SCL クロックの High 期間	コントローラ	24		ns
	t_{DIG_H}			32		ns
D5	t_{SCO}	クロック インからターゲットのデータ アウトまで	ターゲット	12		ns
D6	t_{CR}	SCL クロック 立ち上がり時間	コントローラ	$150 \times 1 / f_{SCL}$	60	ns
D7	t_{CF}	SCL クロック 立ち下がり時間	コントローラ	$150 \times 1 / f_{SCL}$	60	ns
D8	t_{HD_PP}	プッシュプル モードでの SDA 信号データ ホールド	コントローラ	$t_{CR} + 3$ および $t_{CF} + 3$		ns
			ターゲット	0		ns
D9	t_{SU_PP}	プッシュプル モードでの SDA 信号データ セットアップ	コントローラ、 ターゲット	3		ns
D10	t_{CASr}	繰り返しスタート (Sr) からクロックまで	コントローラ	$t_{CAS MIN}$		ns

表 6-44. SDR および HDR-DDR モードの I3C プッシュプル タイミング パラメータ (続き)

番号	パラメータ	説明	モード	最小値	最大値	単位
D11	t_{CBSr}	クロックから繰り返しスタート (Sr) まで	コントローラ	$t_{CAS\ MIN} / 2$		ns

1. $FSCL = 1 / (t_{DIG_L} + t_{DIG_H})$
2. t_{DIG_L} および t_{DIG_H} は、 V_{IL} および V_{IH} を使用した I3C バスのレシーバ側で観測されるクロック Low および High 期間です。
3. 混在バスで I3C デバイスと通信する場合、I2C デバイスが I3C 信号を有効な I2C 信号と解釈しないように、 $t_{DIG_H_MIX}$ 期間を制限する必要があります。
4. 両方のエッジを使用するので、ホールド時間はそれぞれのエッジで満足する必要があります。立ち下がりエッジクロックでは $t_{CF} + 3$ 、立ち上がりエッジクロックでは $t_{CR} + 3$ です。
5. クロック周波数、最小 0.01MHz、最大 12.5MHz

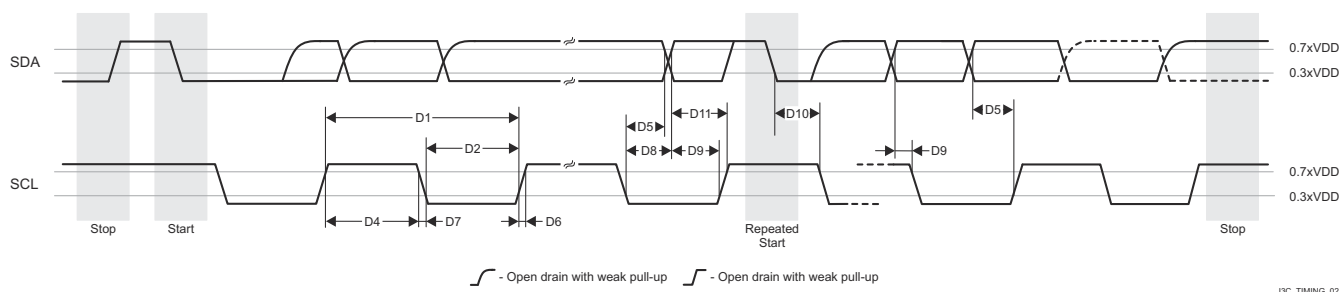


図 6-70. I3C プッシュプル タイミング (SDR および HDR-DDR モード)

6.10.5.14 MCAN

デバイスのコントローラ エリア ネットワーク インターフェイスの機能および追加の説明情報については、「[信号の説明](#)」、「[詳細説明](#)」の対応するセクションを参照してください。

注

このデバイスは、複数の MCAN モジュールを備えています。MCANn は、MCAN 信号名に適用される全般的な接頭辞です。ここで、n は特定の MCAN モジュールを表します。

表 6-45. MCAN のタイミング条件

パラメータ	最小値	最大値	単位
入力条件			
SR_I	入力スローレート	2	15 V/ns
出力条件			
C_L	出力負荷容量	5	20 pF

表 6-46. MCAN のスイッチング特性

番号	パラメータ	最小値	最大値	単位
MCAN1	$t_d(MCAN_TX)$	遅延時間、シフトレジスタ送信から MCANn_TX ピンまで ⁽¹⁾	10	ns
MCAN2	$t_d(MCAN_RX)$	遅延時間、MCANn_RX ピンからシフトレジスタ受信まで ⁽¹⁾	10	ns

(1) MCANn_* の n は [0:13]、MCU_MCANn_* の n は [0:1]

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「コントローラ エリア ネットワーク (MCAN)」セクションを参照してください。

6.10.5.15 MCASP

デバイスのマルチチャネル オーディオ シリアル ポートの機能および追加の説明情報については、「[信号の説明](#)」、「[詳細説明](#)」の対応するセクションを参照してください。

表 6-48 および [図 6-71](#) に、MCASP0～MCASP11 のタイミング要件を示します。

表 6-47 に、MCASP のタイミング条件を示します。

表 6-47. MCASP のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スルーレート	0.7	5	V/ns
出力条件				
C _L	出力負荷容量	1	10	pF
PCB 接続要件				
t _d (Trace Delay)	各パターンの伝搬遅延	100	1100	ps
t _d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合		100	ps

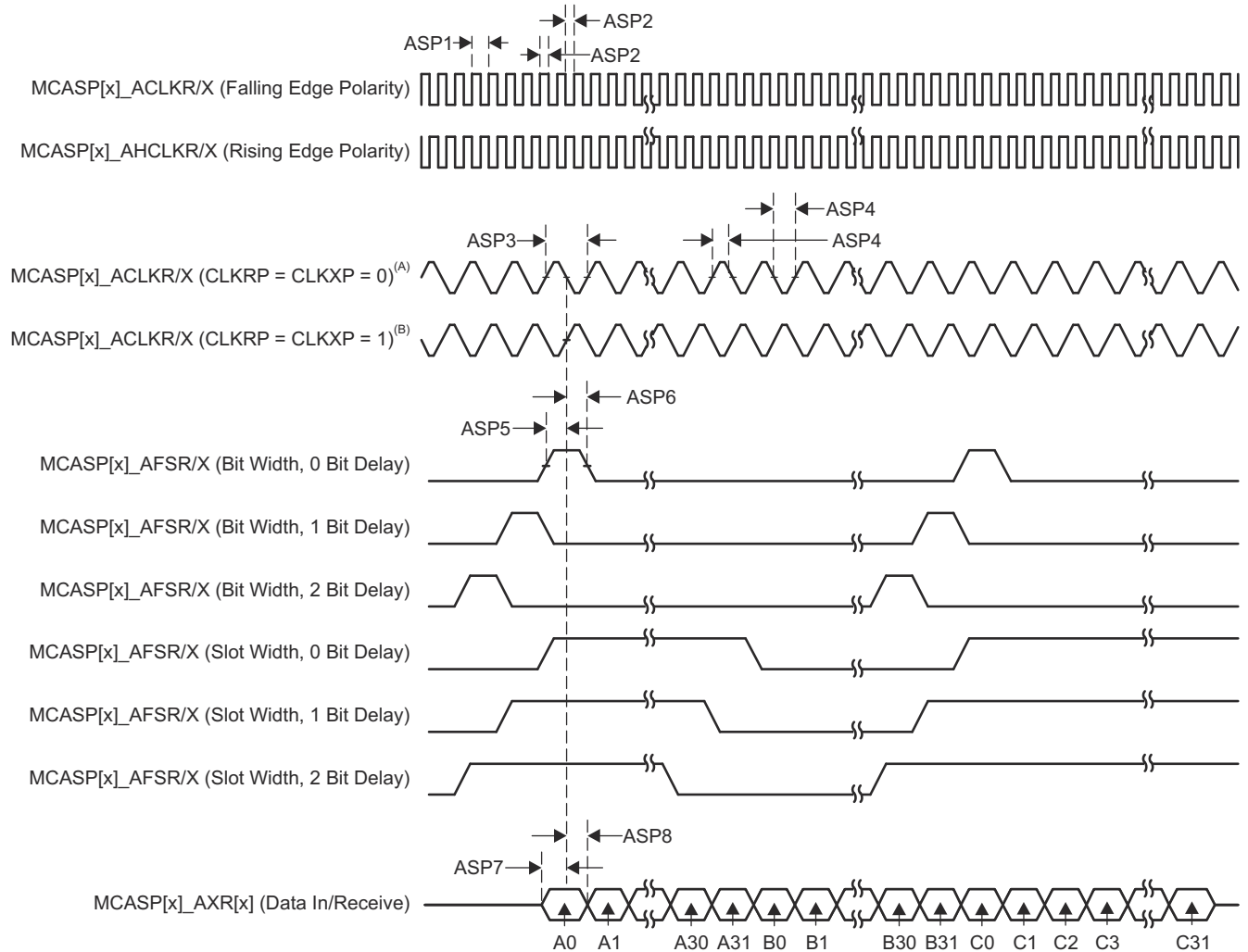
表 6-48. MCASP のタイミング要件

番号			モード ⁽¹⁾	最小値	最大値	単位
ASP1	t _c (AHCLKRX)	サイクル時間、MCASP[x]_AHCLKR/X		15.26		ns
ASP2	t _w (AHCLKRX)	パルス幅、MCASP[x]_AHCLKR/X high または low		0.5P ⁽²⁾ - 1.53		ns
ASP3	t _c (ACLKRX)	サイクル時間、MCASP[x]_ACLKRX		15.26		ns
ASP4	t _w (ACLKRX)	パルス幅、MCASP[x]_ACLKRX high または low		0.5R ⁽³⁾ - 1.53		ns
ASP5	t _{su} (AFSRX-ACLKRX)	セットアップ時間、MCASP[x]_AFSR/X 入力有効から MCASP[x]_ACLKRX まで	ACLKRX 内部	12.3		ns
			ACLKRX 外部入力 / 出力	4		
ASP6	t _h (ACLKRX-AFSRX)	ホールド時間、MCASP[x]_ACLKRX から MCASP[x]_AFSR/X 入力有効の間	ACLKRX 内部	-1		ns
			ACLKRX 外部入力 / 出力	1.6		
ASP7	t _{su} (AXR-ACLKRX)	セットアップ時間、MCASP[x]_AXR 入力有効から MCASP[x]_ACLKRX まで	ACLKRX 内部	12.3		ns
			ACLKRX 外部入力 / 出力	4		
ASP8	t _h (ACLKRX-AXR)	ホールド時間、MCASP[x]_ACLKRX から MCASP[x]_AXR 入力有効の間	ACLKRX 内部	-1		ns
			ACLKRX 外部入力 / 出力	1.6		

- (1) ACLKR 内部: ACLKRCTL.CLKRM = 1, PDIR.ACLKR = 1
 ACLKR 外部入力: ACLKRCTL.CLKRM = 0, PDIR.ACLKR = 0
 ACLKR 外部出力: ACLKRCTL.CLKRM = 0, PDIR.ACLKR = 1
 ACLKX 内部: ACLKXCTL.CLKXM = 1, PDIR.ACLKX = 1
 ACLKX 外部入力: ACLKXCTL.CLKXM = 0, PDIR.ACLKX = 0
 ACLKX 外部出力: ACLKXCTL.CLKXM = 0, PDIR.ACLKX = 1

(2) P = AHCLKR/X 周期 (ns 単位)。

(3) R = ACLKR/X 周期 (ns 単位)。



- A. CLKRP = CLKXP = 0 の場合、MCASP トランスミッタは立ち上がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち下がりエッジ (シフト データ イン) に構成されます。
- B. CLKRP = CLKXP = 1 の場合、MCASP トランスミッタは立ち下がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち上がりエッジ (シフト データ イン) に構成されます。

図 6-71. MCASP 入力のタイミング

表 6-49 および 図 6-72 に、MCASP0～MCASP11 の推奨動作条件全体にわたるスイッチング特性を示します。

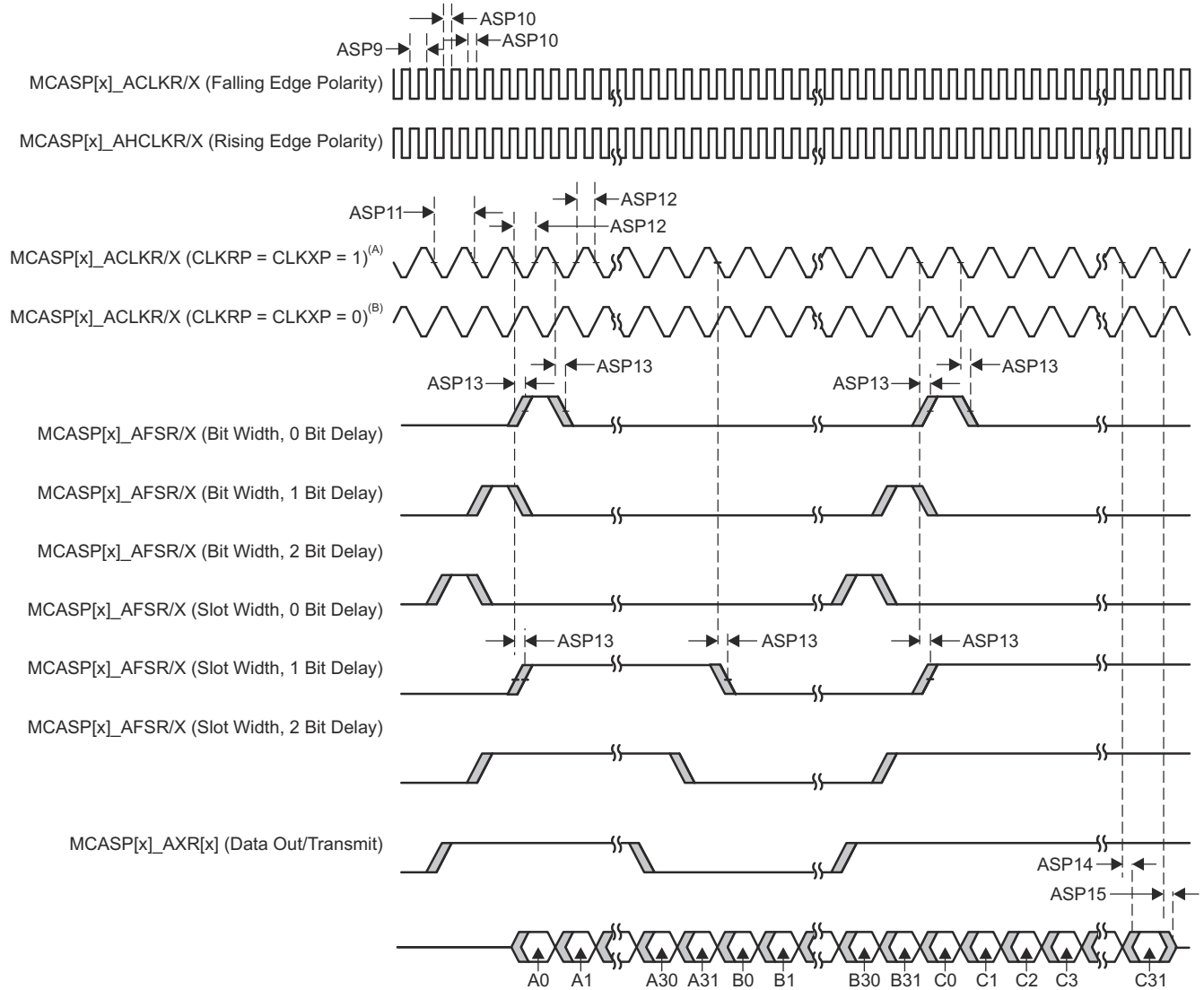
表 6-49. MCASP スイッチング特性

番号	パラメータ	説明	モード ⁽¹⁾	最小値	最大値	単位
ASP9	$t_c(\text{AHCLKRX})$	サイクル時間、MCASP[x]_AHCLKR/X		20		ns
ASP10	$t_w(\text{AHCLKRX})$	パルス幅、MCASP[x]_AHCLKR/X high または low		$0.5P^{(2)} - 2$		ns
ASP11	$t_c(\text{ACLKRX})$	サイクル時間、MCASP[x]_ACLKR/X		20		ns
ASP12	$t_w(\text{ACLKRX})$	パルス幅、MCASP[x]_ACLKR/X high または low		$0.5R^{(3)} - 2$		ns
ASP13	$t_d(\text{ACLKRX-AFSRX})$	遅延時間、MCASP[x]_ACLKR/X 送信エッジから MCASP[x]_AFSR/X 出力有効まで	ACLKR/X 内部	0	7.25	ns
			ACLKR/X 外部入力 / 出力	-15.28	12.84	
ASP14	$t_d(\text{ACLKX-AXR})$	遅延時間、MCASP[x]_ACLKX 送信エッジから MCASP[x]_AXR 出力有効まで	ACLKR/X 内部	0	7.25	ns
			ACLKR/X 外部入力 / 出力	-15.28	12.84	
ASP15	$t_{dis}(\text{ACLKX-AXR})$	ディセーブル時間、MCASP[x]_ACLKX 送信エッジから MCASP[x]_AXR 出力ハイ インピーダンスまで	ACLKR/X 内部	0	7.25	ns
			ACLKR/X 外部入力 / 出力	-14.9	14	

- (1) ACLKR 内部: ACLKRCTL.CLKRM = 1、PDIR.ACLKR = 1
 ACLKR 外部入力: ACLKRCTL.CLKRM = 0、PDIR.ACLKR = 0
 ACLKR 外部出力: ACLKRCTL.CLKRM = 0、PDIR.ACLKR = 1
 ACLKX 内部: ACLKXCTL.CLKXM = 1、PDIR.ACLKX = 1
 ACLKX 外部入力: ACLKXCTL.CLKXM = 0、PDIR.ACLKX = 0
 ACLKX 外部出力: ACLKXCTL.CLKXM = 0、PDIR.ACLKX = 1

(2) P = AHCLKR/X 周期 (ns 単位)。

(3) R = ACLKR/X 周期 (ns 単位)。



- A. $\text{CLKRP} = \text{CLKXP} = 1$ の場合、MCASP トランスミッタは立ち下がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち上がりエッジ (シフト データ イン) に構成されます。
- B. $\text{CLKRP} = \text{CLKXP} = 0$ の場合、MCASP トランスミッタは立ち上がりエッジ (シフト データ アウト) に構成され、MCASP レシーバは立ち下がりエッジ (シフト データ イン) に構成されます。

図 6-72. MCASP 出力のタイミング

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル オーディオ シリアル ポート (MCASP)」セクションを参照してください。

6.10.5.16 MCSPI

デバイスのシリアル ポート インターフェイスの機能および追加の説明情報については、「[信号の説明](#)」、「[詳細説明](#)」の対応するセクションを参照してください。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル シリアル ペリフェラル インターフェイス (MCSPI)」セクションを参照してください。

表 6-50 に、MCSPI のタイミング条件を示します。

注

このセクションに示す IO タイミングは、MCU_SPI0 と MCU_SPI1 に対して信号のすべての組み合わせに適用できます。ただし、1 つの IOSET 内の信号を使用する場合、このタイミングは MCU_SPI0 と MCU_SPI1 にのみ有効です。IOSET は、表 6-55 および 表 6-56 の表に定義されています。

表 6-50. MCSPI のタイミング条件

パラメータ		最小値	最大値	単位	
入力条件					
SR _I	入力スルーレート	2	8.5	V/ns	
出力条件					
C _L	出力負荷容量	CLK	6	24	pF
		D[x]、CSi	6	12	pF

6.10.5.16.1 MCSPI — コントローラ モード

表 6-51、[図 6-73](#)、表 6-52、[図 6-74](#) に、MCSPI –コントローラ モードのタイミング要件とスイッチング特性を示します。

表 6-51. MCSPI のタイミング要件 - コントローラ モード

[図 6-73](#) 参照

番号			最小値	最大値	単位
SM4	t _{su(misoV-spickV)}	セットアップ時間、SPI_D[x] 有効から SPI_CLK アクティブ エッジまで	2.9		ns
SM5	t _{h(spickV-misoV)}	ホールド時間、SPI_CLK アクティブ エッジから SPI_D[x] 有効の間	2		ns

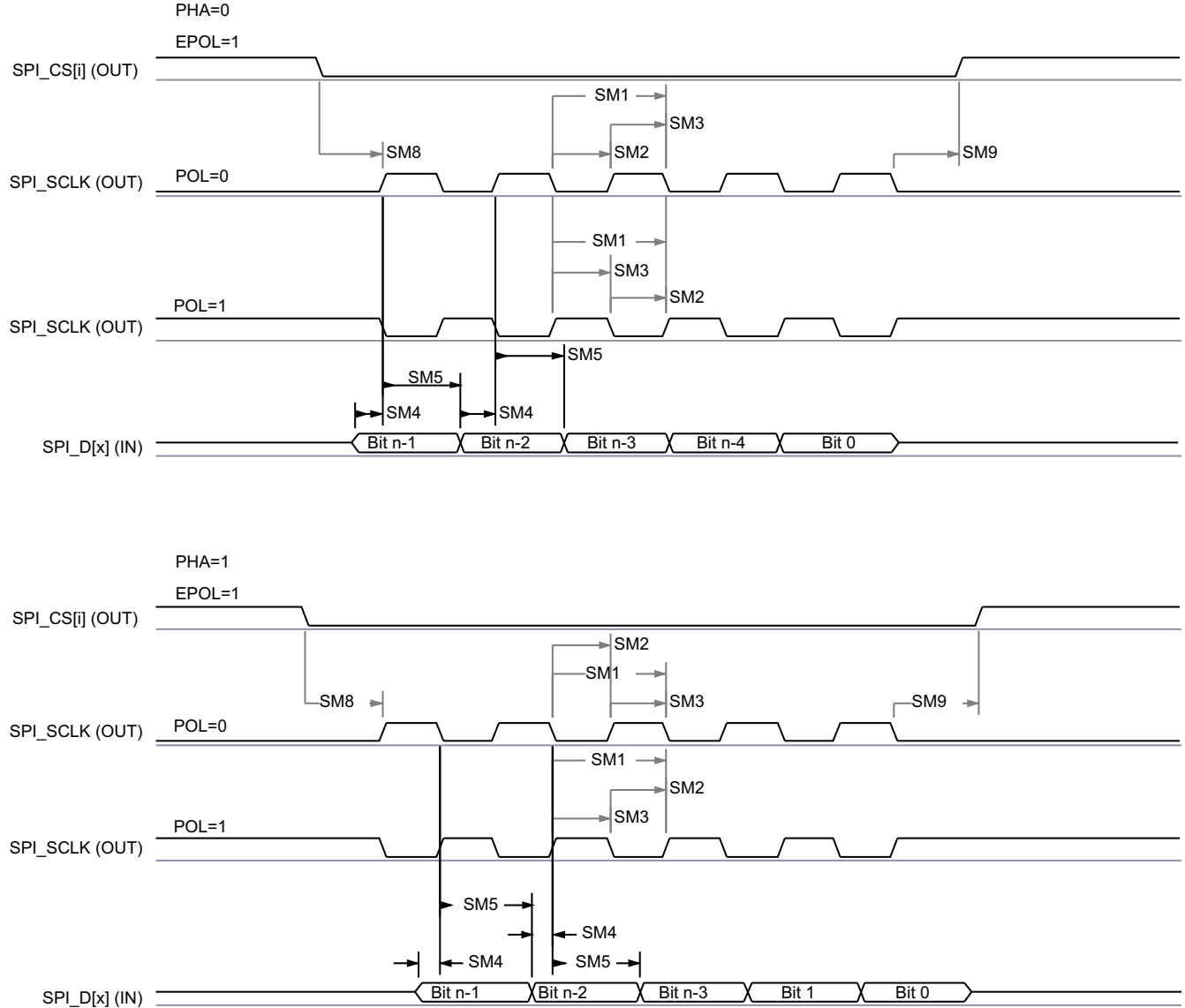
表 6-52. MCSPI のスイッチング特性 - コントローラ モード

[図 6-74](#) 参照

番号	パラメータ	モード	最小値	最大値	単位
SM1	t _{c(spick)}	サイクル時間、SPI_CLK	20		ns
SM2	t _{w(spickL)}	パルス幅、SPI_CLK low	0.5P - 1 ⁽¹⁾		ns
SM3	t _{w(spickH)}	パルス幅、SPI_CLK high	0.5P - 1 ⁽¹⁾		ns
SM6	t _{d(spickV-simoV)}	遅延時間、SPI_CLK アクティブ エッジから SPI_D[x] 遷移まで	-2	2	ns
SM7	t _{d(csV-simoV)}	遅延時間、SPI_CSi アクティブ エッジから SPI_D[x] 遷移まで	5		ns
SM8	t _{d(csV-spick)}	遅延時間、SPI_CSi アクティブから SPI_CLK の最初のエッジまで	PHA = 0 ⁽²⁾	B - 4 ⁽³⁾	ns
			PHA = 1 ⁽²⁾	A - 4 ⁽⁴⁾	ns
SM9	t _{d(spickV-csV)}	遅延時間、SPI_CLK の最後のエッジから SPI_CSi 非アクティブまで	PHA = 0 ⁽²⁾	A - 4 ⁽⁴⁾	ns
			PHA = 1 ⁽²⁾	B - 4 ⁽³⁾	ns

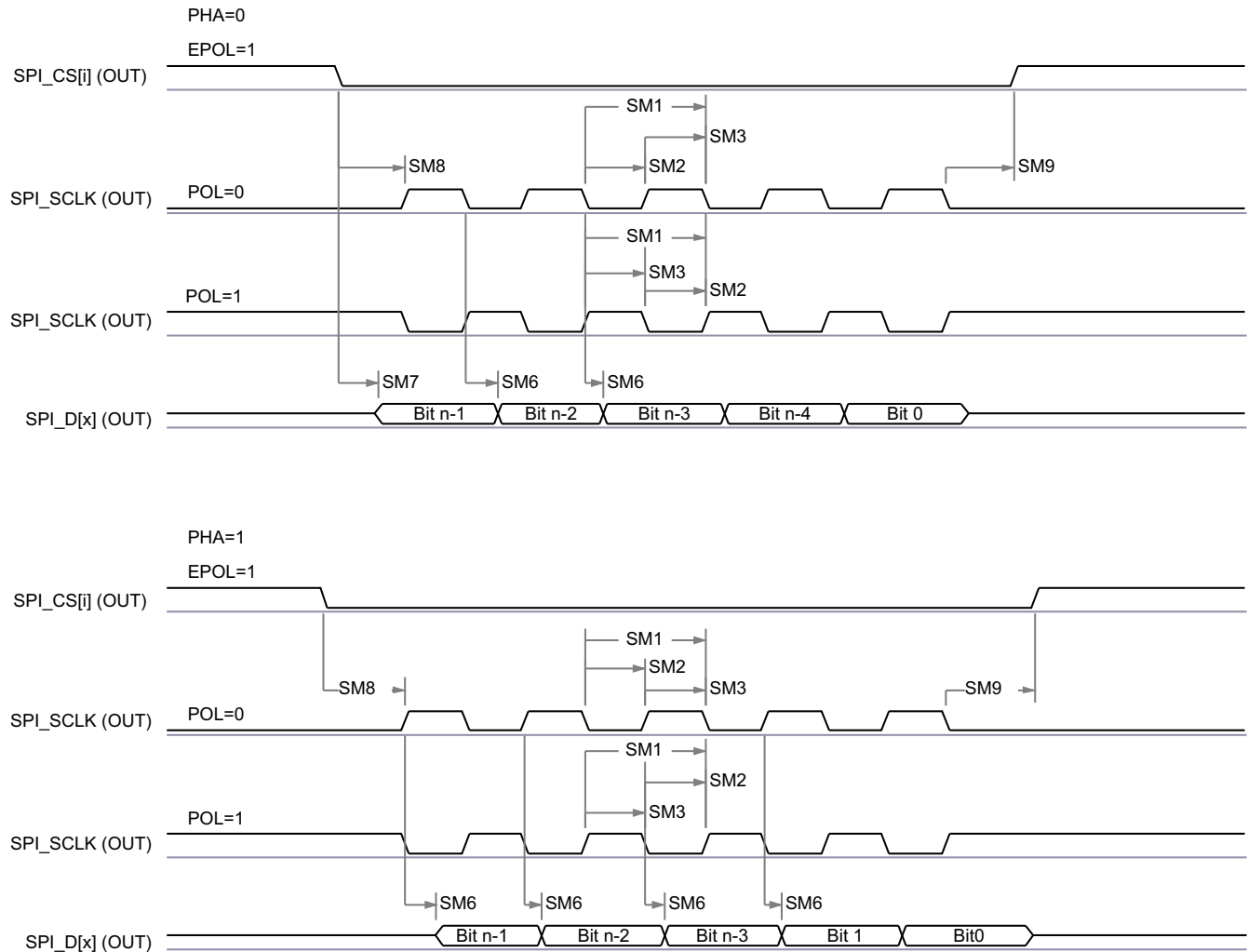
(1) P = SPI_CLK 周期 (ns 単位)

- (2) SPI_CLK の位相は、MCSPI_CHCONF_0/1/2/3 レジスタの PHA ビットを使用してプログラム可能です
- (3) $B = (TCS + .5) * TSPICKREF$ 。ここで、TCSns は MCSPI_CHCONF_0/1/2/3 レジスタのビットフィールドであり、Fratio = 偶数 ≥ 2 です。
- (4) $P = 20.8ns$ のとき、 $A = (TCS + 1) * TSPICKREF$ 。ここで、TCSns は MCSPI_CHCONF_0/1/2/3 レジスタのビットフィールドです。
 $P > 20.8ns$ のとき、 $A = (TCS + 0.5) * Fratio * TSPICKREF$ 。ここで、TCSns は MCSPI_CHCONF_0/1/2/3 レジスタのビットフィールドです。



SPRSP08_TIMING_MCSPI_02

図 6-73. SPI コントローラ モードの受信タイミング



SPRSP08_TIMING_McSPI_01

図 6-74. MCSPI コントローラ モードの送信タイミング

6.10.5.16.2 MCSPI — ペリフェラル モード

表 6-53、表 6-54、図 6-75、図 6-76 に、MCSPI — ペリフェラル モードのタイミング要件とスイッチング特性を示します。

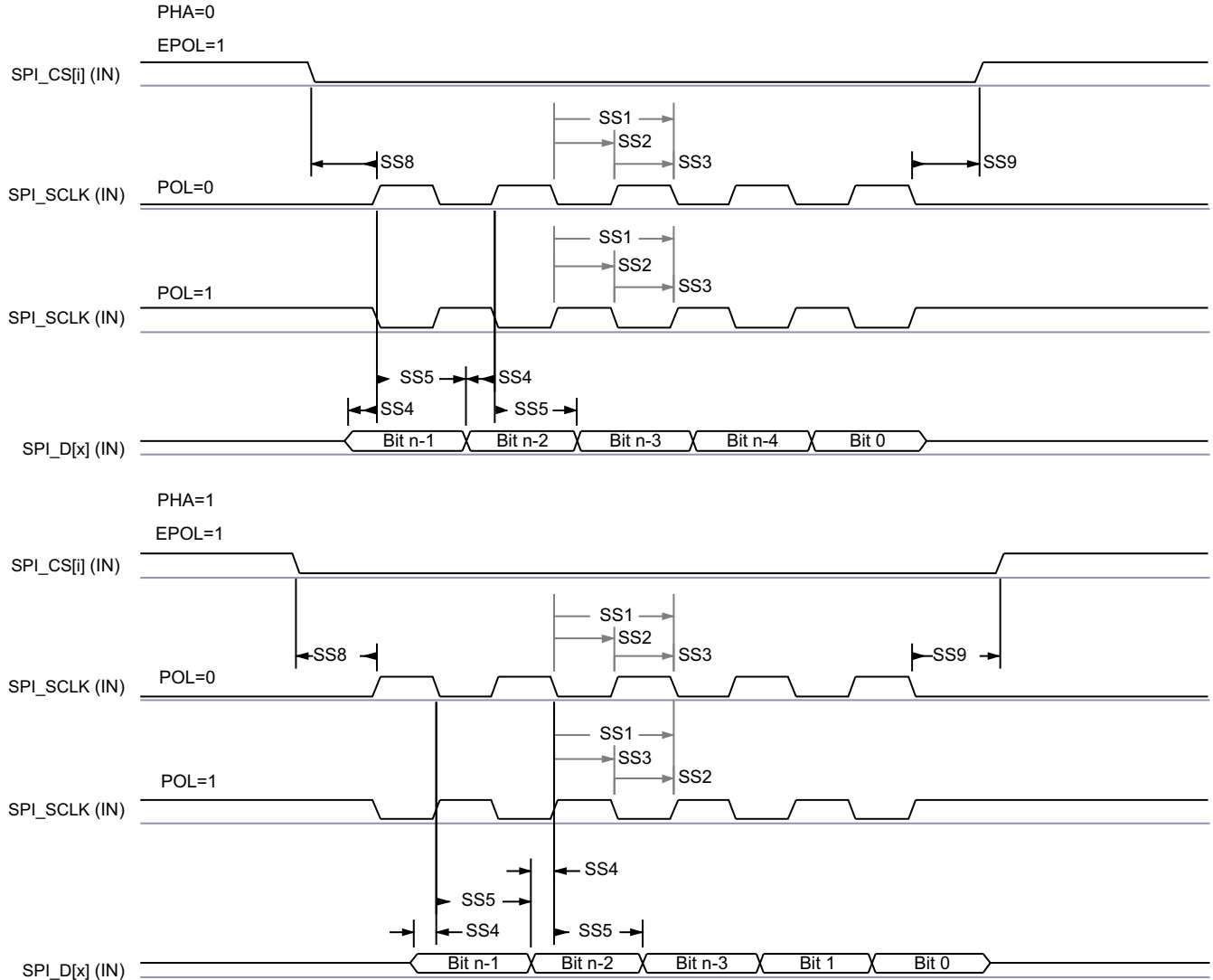
表 6-53. MCSPI のタイミング要件 - ペリフェラル モード

番号	パラメータ	説明	モード	最小値	最大値	単位
SS1	$t_{c(spclk)}$	サイクル時間、SPI_CLK		20		ns
SS2	$t_{w(spclkL)}$	パルス幅、SPI_CLK low		0.45P ⁽¹⁾		ns
SS3	$t_{w(spclkH)}$	パルス幅、SPI_CLK high		0.45P ⁽¹⁾		ns
SS4	$t_{su(simoV-spclkV)}$	セットアップ時間、SPI_D[x] 有効から SPI_CLK アクティブ エッジまで		5		ns
SS5	$t_{h(spclkV-simoV)}$	ホールド時間、SPI_CLK アクティブ エッジから SPI_D[x] 有効の間		5		ns
SS8	$t_{su(csV-spclkV)}$	セットアップ時間、SPI_CSi 有効から SPI_CLK の最初のエッジまで		5		ns
SS9	$t_{h(spclkV-csV)}$	ホールド時間、SPI_CLK の最後のエッジから SPI_CSi 有効の間		5		ns

表 6-54. MCSPI のスイッチング特性 - ペリフェラル モード

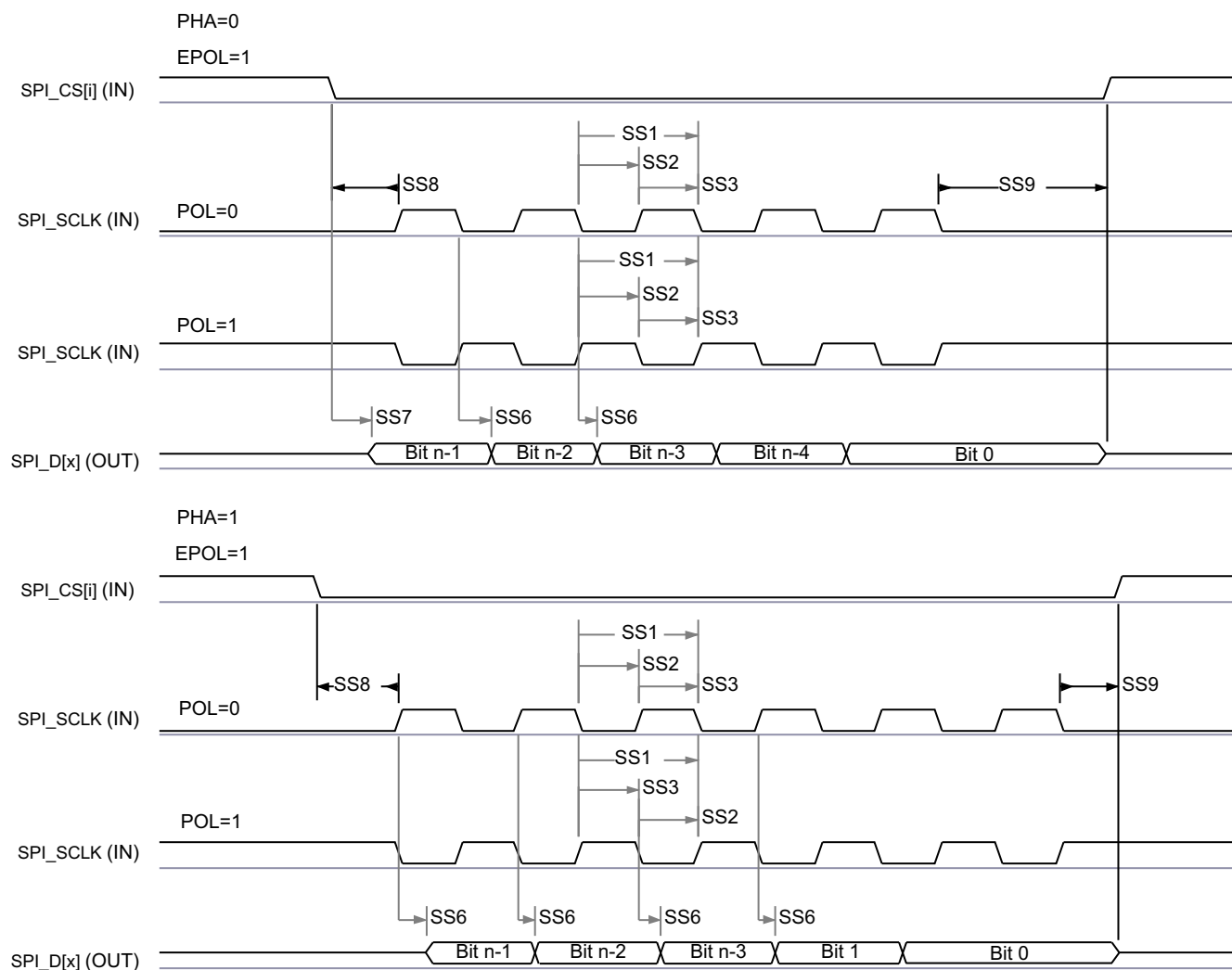
番号	パラメータ	説明	最小値	最大値	単位
SS6	$t_{d(spiclkV-somiV)}$	遅延時間、SPI_CLK アクティブ エッジから SPI_D[x] 遷移まで	2	17.12	ns
SS7	$t_{sk(csV-somiV)}$	遅延時間、SPI_CSi アクティブ エッジから SPI_D[x] 遷移まで	20.95		ns

(1) P = SPI_CLK 周期 (ns 単位)。



SPRSP08_TIMING_McSPI_04

図 6-75. SPI ペリフェラル モードの受信タイミング



SPRSP08_TIMING_McSPI_03

図 6-76. MCSPI ペリフェラル モードの送信タイミング

表 6-55 および 表 6-56 に、MCU_SPI0 および MCU_SPI1 で使用する信号の具体的なグループ (IOSET) を示します。

表 6-55. MCU_SPI0 IOSET

信号	IOSET1		IOSET2	
	ボール名	マルチプレクサ	ボール名	マルチプレクサ
MCU_SPI0_CLK	MCU_SPI0_CLK	0	MCU_SPI0_CLK	0
MCU_SPI0_D0	MCU_SPI0_D0	0	MCU_SPI0_D0	0
MCU_SPI0_D1	MCU_SPI0_D1	0	MCU_SPI0_D1	0
MCU_SPI0_CS0	MCU_SPI0_CS0	0	MCU_SPI0_CS0	0
MCU_SPI0_CS1	MCU_OSPI1_D3	5	WKUP_GPIO0_12	1
MCU_SPI0_CS2	MCU_OSPI1_CSn1	5	WKUP_GPIO0_14	1

表 6-56. MCU_SPI1 IOSET

信号	IOSET1		IOSET2	
	ボール名	マルチプレクサ	ボール名	マルチプレクサ
MCU_SPI1_CLK	MCU_SPI1_CLK	0	MCU_SPI1_CLK	0
MCU_SPI1_D0	MCU_SPI1_D0	0	MCU_SPI1_D0	0
MCU_SPI1_D1	MCU_SPI1_D1	0	MCU_SPI1_D1	0
MCU_SPI1_CS0	MCU_SPI1_CS0	0	MCU_SPI1_CS0	0
MCU_SPI1_CS1	MCU_OSPI1_D1	5	WKUP_GPIO0_13	1
MCU_SPI1_CS2	MCU_OSPI1_D2	5	WKUP_GPIO0_15	1

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチチャネル シリアル ペリフェラル インターフェイス (MCSPI)」セクションを参照してください。

6.10.5.17 MMCS D

MMCS D ホスト コントローラは、組込みマルチメディア カード (MMC)、セキュア デジタル (SD)、セキュア デジタル IO (SDIO) デバイスへのインターフェイスとして機能します。MMCS D ホスト コントローラは、送信レベルでの MMC/SD/SDIO プロトコル、データ パッキング、巡回冗長検査 (CRC) の追加、開始 / 終了ビットの挿入、構文の正確性チェックを処理します。

MMCS D インターフェイスの詳細については、

「[信号の説明](#)」、「[詳細説明](#)」の対応する MMC0、MMC1、MMC2 セクションを参照してください。

注

一部の動作モードでは、[表 6-57](#) および [表 6-68](#) に示すように、MMC DLL 遅延設定のソフトウェア設定が必要です。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「マルチメディアカード / セキュア デジタル (MMCS D) インターフェイス」セクションを参照してください。

6.10.5.17.1 MMC0 - eMMC インターフェイス

MMC0 インターフェイスは、JEDEC eMMC 電気規格 v5.1 (JESD84-B51) に準拠しており、以下に示す eMMC アプリケーションをサポートしています。

- レガシー速度
- 高速 SDR
- 高速 DDR
- 高速 HS200
- 高速 HS400

[表 6-57](#) に、MMC0 タイミング モードに必要な DLL ソフトウェア構成設定を示します。

表 6-57. すべてのタイミング モードに対する MMC0 DLL 遅延マッピング

レジスタ名		MMCS D0_SS_PHY_CTRL_4_REG					MMCS D0_SS_PHY_CTRL_5_REG		
ビット フィールド		[31:24]	[20]	[15:12]	[8]	[4:0]	[17:16]	[10:8]	[2:0]
ビット フィールド名		STRBSEL	OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL	SELDLYTXCLK SELDLYRXCLK	FRQSEL	CLKBUFSEL
モード	説明	ストロブ 遅延	出力 遅延 イネーブル	出力 遅延 値	入力 遅延 イネーブル	入力 遅延 値	DLL/ 遅延チェーン 選択	DLL REF 周波数	遅延 パッファ 時間
レガシー SDR	8 ビット PHY、 1.8V、25MHz	0x0	0x0	該当なし	0x1	0x10	0x1	0x0	0x7

表 6-57. すべてのタイミング モードに対する MMC0 DLL 遅延マッピング (続き)

レジスタ名		MMCSD0_SS_PHY_CTRL_4_REG					MMCSD0_SS_PHY_CTRL_5_REG		
ビットフィールド		[31:24]	[20]	[15:12]	[8]	[4:0]	[17:16]	[10:8]	[2:0]
ビットフィールド名		STRBSEL	OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL	SELDLYTXCLK SELDLYRXCLK	FRQSEL	CLKBUFSEL
モード	説明	ストロブ 遅延	出力 遅延 イネーブル	出力 遅延 値	入力 遅延 イネーブル	入力 遅延 値	DLL/ 遅延チェーン 選択	DLL REF 周波数	遅延 バッファ 時間
ハイスピード SDR	8 ビット PHY、 1.8V、50MHz	0x0	0x0	該当なし	0x1	0xA	0x1	0x0	0x7
ハイスピード DDR	8 ビット PHY、 1.8V、50MHz	0x0	0x1	0x6	0x1	チューニング	0x0	0x4	0x7
HS200	8 ビット PHY、 1.8V、200MHz	0x0	0x1	0x8	0x1	チューニング	0x0	0x0	0x7
HS400	8 ビット PHY、 1.8V、200MHz	0x66	0x1	0x5	0x1	チューニング	0x0	0x0	0x7

表 6-58 に、MMC0 のタイミング条件を示します。

表 6-58. MMC0 のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR _i	入力スルーレート	レガシー SDR	0.14	1.44	V/ns
		ハイスピード SDR	0.3	0.90	V/ns
		ハイスピード DDR (CMD)	0.3	0.90	V/ns
		ハイスピード DDR (DAT[7:0])	0.45	0.90	V/ns
出力条件					
C _L	出力負荷容量	HS200、HS400	1	6	pF
		その他のすべてのモード	1	12	pF
PCB 接続要件					
t _d (Trace Delay)	各パターンの伝搬遅延	すべてのモード	134	756	ps
t _d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合	レガシー SDR、高速 SDR、高速 DDR		100	ps
		HS200、HS400		8	ps

6.10.5.17.1.1 レガシー SDR モード

表 6-59、図 6-77、表 6-60、図 6-78 に、レガシー SDR モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-59. MMC0 のタイミング要件 – レガシー SDR モード

図 6-77 参照

番号			最小値	最大値	単位
LSDR1	$t_{su}(cmdV-clkH)$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	2.5		ns
LSDR2	$t_h(clkH-cmdV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	6.5		ns
LSDR3	$t_{su}(dV-clkH)$	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 立ち上がりエッジまで	2.5		ns
LSDR4	$t_h(clkH-dV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 有効の間	6.5		ns

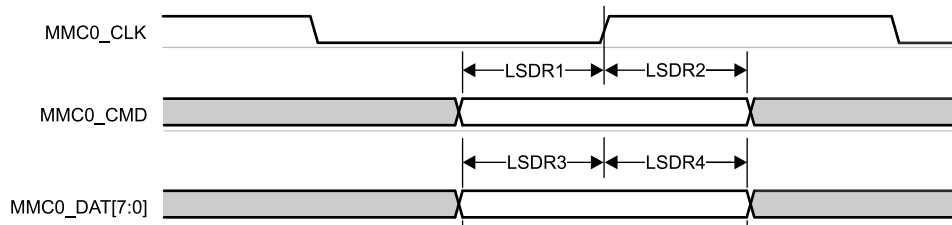


図 6-77. MMC0 – レガシー SDR – 受信モード

表 6-60. MMC0 のスイッチング特性 – レガシー SDR モード

図 6-78 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$		25	MHz
LSDR5	$t_c(clk)$	40		ns
LSDR6	$t_w(clkH)$	18.7		ns
LSDR7	$t_w(clkL)$	18.7		ns
LSDR8	$t_d(clkL-cmdV)$	-3.2	3.8	ns
LSDR9	$t_d(clkL-dV)$	-3.2	3.8	ns

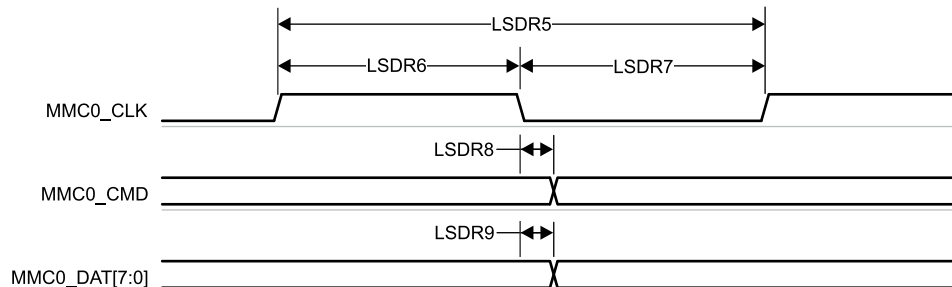


図 6-78. MMC0 – レガシー SDR – 送信モード

6.10.5.17.1.2 高速 SDR モード

表 6-61、図 6-79、表 6-62、および 図 6-80 に、高速 SDR モードでの MMC0 のタイミング要件とスイッチング特性を示します。

表 6-61. MMC0 のタイミング要件 – 高速 SDR モード

図 6-79 参照

番号			最小値	最大値	単位
HSSDR1	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	2.99		ns
HSSDR2	$t_h(clkH-cmdV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	2.67		ns
HSSDR3	$t_{su(dV-clkH)}$	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 立ち上がりエッジまで	2.99		ns
HSSDR4	$t_h(clkH-dV)$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 有効の間	2.67		ns

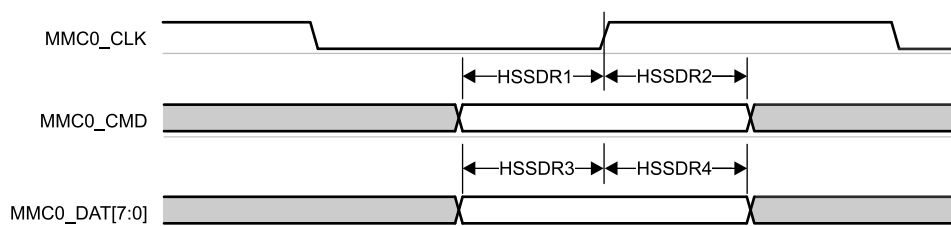


図 6-79. MMC0 – 高速 SDR モード – 受信モード

表 6-62. MMC0 のスイッチング特性 – 高速 SDR モード

図 6-80 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op(clk)}$		50	MHz
HSSDR5	$t_c(clk)$	20		ns
HSSDR6	$t_w(clkH)$	9.2		ns
HSSDR7	$t_w(clkL)$	9.2		ns
HSSDR8	$t_d(clkL-cmdV)$	-3.2	3.8	ns
HSSDR9	$t_d(clkL-dV)$	-3.2	3.8	ns

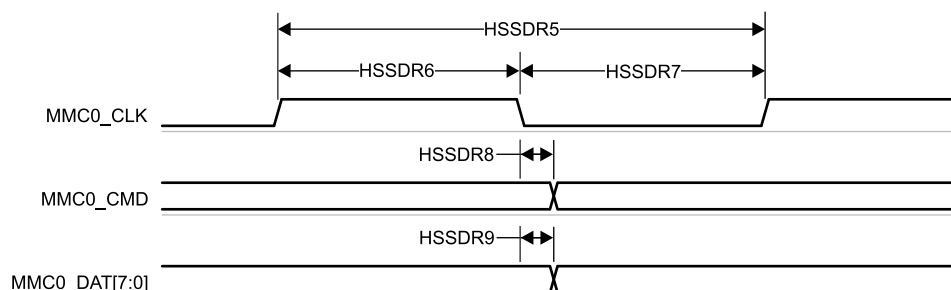


図 6-80. MMC0 – 高速 SDR モード – 送信モード

6.10.5.17.1.3 高速 DDR モード

表 6-63、図 6-81、表 6-64、および 図 6-82 に、MMC0 – 高速 DDR モードのタイミング要件とスイッチング特性を示します。

表 6-63. MMC0 のタイミング要件 – 高速 DDR モード

図 6-81 参照

番号			最小値	最大値	単位
HSDDR1	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC0_CMD 有効から MMC0_CLK 立ち上がりエッジまで	3.79		ns
HSDDR2	$t_{h(clkH-cmdV)}$	ホールド時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 有効の間	2.67		ns
HSDDR3	$t_{su(dV-clkV)}$	セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK 遷移まで	0.74		ns
HSDDR4	$t_{h(clkV-dV)}$	ホールド時間、MMC0_CLK 遷移から MMC0_DAT[7:0] 有効の間	1.67		ns

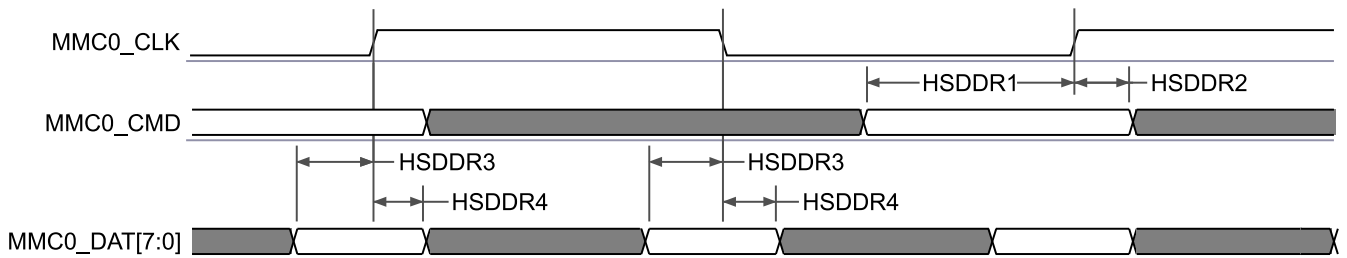


図 6-81. MMC0 – 高速 DDR モード – 受信モード

表 6-64. MMC0 のスイッチング特性 – 高速 DDR モード

図 6-82 参照

番号	パラメータ		最小値	最大値	単位
	f _{op} (clk)	動作周波数、MMC0_CLK	50		MHz
HSDDR5	t _c (clk)	サイクル時間、MMC0_CLK	20		ns
HSDDR6	t _w (clkH)	パルス幅、MMC0_CLK high	9.2		ns
HSDDR7	t _w (clkL)	パルス幅、MMC0_CLK low	9.2		ns
HSDDR8	t _d (clkH-cmdV)	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで	3.4	9.8	ns
HSDDR9	t _d (clkV-dV)	遅延時間、MMC0_CLK 遷移から MMC0_DAT[7:0] 遷移まで	2.9	6.85	ns

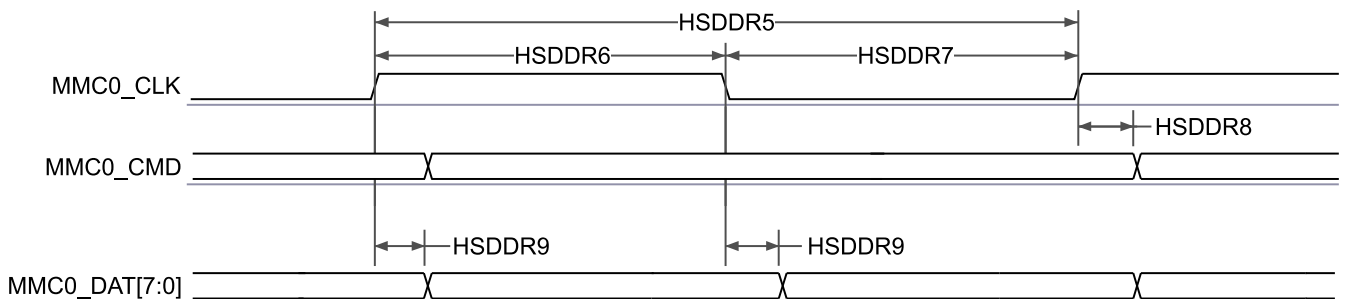


図 6-82. MMC0 – 高速 DDR モード – 送信モード

6.10.5.17.1.4 HS200 モード

表 6-65 および 図 6-83 に、HS200 モードでの MMC0 のスイッチング特性を示します。

表 6-65. MMC0 のスイッチング特性 – HS200 モード

図 6-83 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC0_CLK		200 MHz
HS2005	$t_{c}(clk)$	サイクル時間、MMC0_CLK		5 ns
HS2006	$t_{w}(clkH)$	パルス幅、MMC0_CLK high		2.08 ns
HS2007	$t_{w}(clkL)$	パルス幅、MMC0_CLK low		2.08 ns
HS2008	$t_{d}(clkL-cmdV)$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_CMD 遷移まで		0.99 ns
HS2009	$t_{d}(clkL-dV)$	遅延時間、MMC0_CLK 立ち上がりエッジから MMC0_DAT[7:0] 遷移まで		0.99 ns

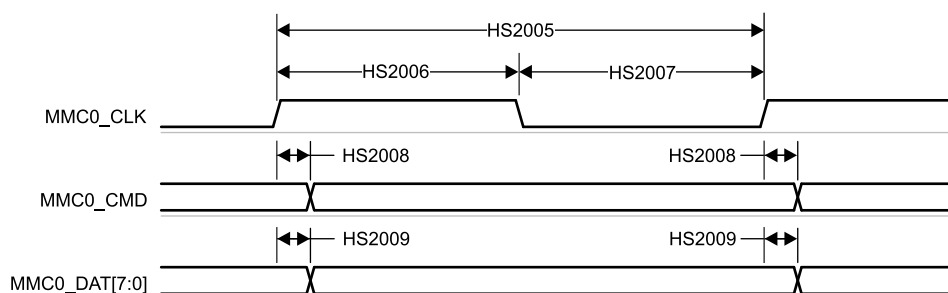


図 6-83. MMC0 – HS200 モード – 送信モード

6.10.5.17.1.5 HS400 モード

表 6-66、図 6-84、表 6-67、図 6-85 に、MMC0 – HS400 モードのスイッチング特性を示します。

表 6-66. MMC0 のタイミング要件 – HS400 モード

図 6-84 参照

番号	パラメータ	最小値	最大値	単位
HS4000	t_{DSMPW}	パルス幅、MMC0_DS		1.95 ns
HS4001	t_{RQ_DAT}	入力スキュー、MMC0_DS から MMC0_DAT 有効まで		475 ps
HS4002	t_{RQH_DAT}	入力スキュー ホールド、MMC0_DAT 無効から MMC0_DS まで		475 ps
HS4003	t_{RQ_CMD}	入力スキュー、MMC0_DS から MMC0_CMD 有効まで		475 ps
HS4004	t_{RQH_CMD}	入力スキュー ホールド、MMC0_CMD 無効から MMC0_DS まで		475 ps

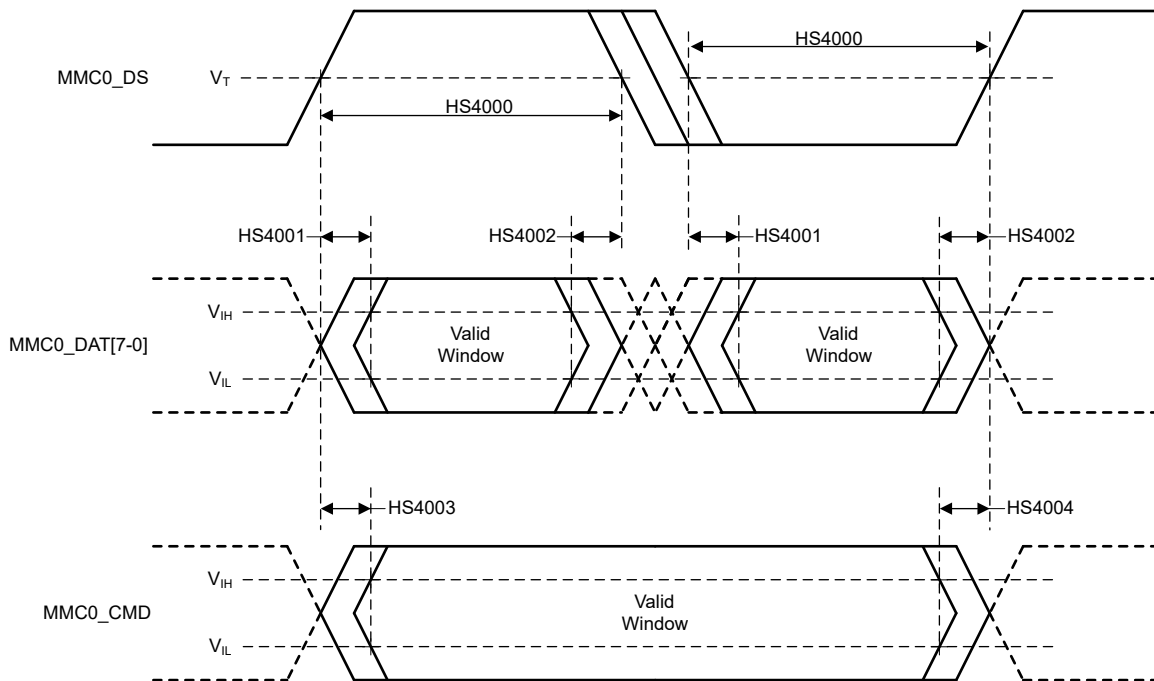


図 6-84. MMC0 – HS400 – 受信モード

表 6-67. MMC0 のスイッチング特性 – HS400 モード

図 6-85 参照

番号	パラメータ	説明	最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC0_CLK		200	MHz
HS4005	$t_c(clk)$	サイクル時間、MMC0_CLK	5		ns
HS4006	$t_w(clkH)$	パルス幅、MMC0_CLK high	2.23		ns
HS4007	$t_w(clkL)$	パルス幅、MMC0_CLK low	2.23		ns
HS4008	$t_{osu}(cmdV-clkH)$	出力セットアップ時間、MMC0_CMD 有効から MMC0_CLK の立ち上がり エッジまでの ⁽¹⁾	2.54		ns
HS4009	$t_{osu}(dV-clk)$	出力セットアップ時間、MMC0_DAT[7:0] 有効から MMC0_CLK の立ち上がりまたは立ち下がり エッジまでの ⁽¹⁾	0.63		ns
HS4010	$t_{oh}(clkH-cmdIV)$	出力ホールド時間、MMC0_CLK 立ち上がり エッジから MMC0_CMD 無効まで ⁽²⁾	0.98		ns
HS4011	$t_{oh}(clk-dIV)$	出力ホールド時間、MMC0_CLK 立ち上がりまたは立ち下がり エッジから MMC0_DAT[7:0] 無効まで ⁽²⁾	0.72		ns

- (1) このパラメータは、接続されたデバイスに提供される出力セットアップ時間を定義します。この時間は、次のキャプチャクロック エッジを基準としています。このパラメータのタイミング基準は、DAT または CMD 信号遷移の中電圧から CLK 信号遷移の中電圧までです。eMMC 規格では、セットアップ タイミング基準は、DAT または CMD 信号遷移の VIL または VIH から CLK 信号遷移の中電圧までと定義されています。したがって、システム設計者は、PCB を設計するときに DAT 信号のスルー レートによる影響を考慮し、DAT 信号が中電圧から VIL または VIH までスルーするのにかかる時間によってセットアップ時間のマージンが失われないようにする必要があります。
- (2) このパラメータは、接続されたデバイスに提供される出力ホールド時間を定義します。この時間は、前のローンチ クロック エッジを基準にしています。このパラメータのタイミング基準は、CLK 信号遷移の中電圧から DAT または CMD 信号遷移の中電圧までです。eMMC 規格では、ホールド タイミング基準は、CLK 信号遷移の中電圧から DAT または CMD 信号遷移の VIL または VIH までと定義されています。したがって、システム設計者は、PCB を設計するときに DAT 信号のスルー レートによる影響を考慮し、DAT 信号が VIL または VIH から中電圧までスルーするのにかかる時間によってホールド時間のマージンが失われないようにする必要があります。

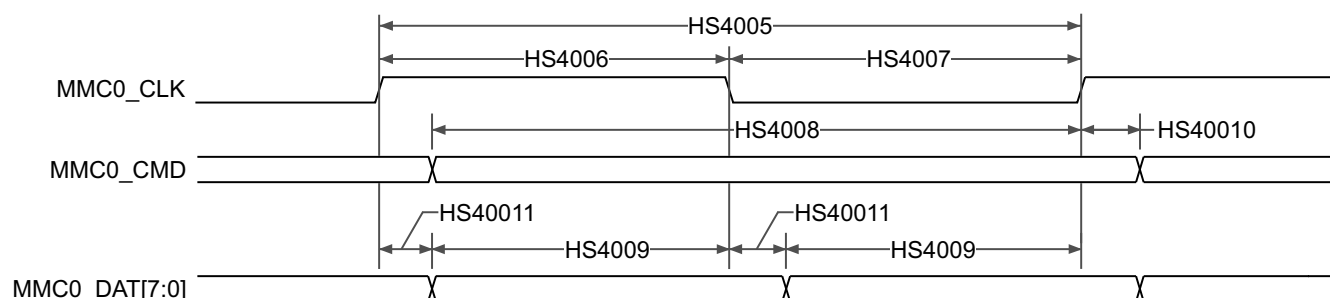


図 6-85. eMMC IN – HS400 モード – 送信モード

6.10.5.17.2 MMC1/2 - SD/SDIO インターフェイス

MMC1 インターフェイスは、SDIO 仕様 v3.00 だけでなく、SD ホスト コントローラ標準仕様 4.10 および SD 物理層仕様 v3.01 に準拠しており、以下の SD カード アプリケーションをサポートしています。

- デフォルト速度
- 高速
- UHS-I SDR12
- UHS-I SDR25
- UHS-I SDR50
- UHS-I SDR104
- UHS-I DDR50

表 6-68 に、MMC1 タイミング モードに必要な DLL ソフトウェア構成設定を示します。

表 6-68. すべてのタイミング モードに対する MMC1 DLL 遅延マッピング

レジスタ名		MMCSD12_SS_PHY_CTRL_4_REG				MMCSD12_SS_PHY_CTRL_5_REG
ビットフィールド		[20]	[15:12]	[8]	[4:0]	[2:0]
ビットフィールド名		OTAPDLYENA	OTAPDLYSEL	ITAPDLYENA	ITAPDLYSEL	CLKBUFSEL
モード	説明	遅延 イネーブル	遅延 値	入力 遅延 イネーブル	入力 遅延 値	遅延 バッファ 時間
デフォルト 速度	4 ビット PHY 動作 3.3V、25MHz	0x0	0x0	0x0	0x0	0x7
高速	4 ビット PHY 動作 3.3V、50 MHz	0x0	0x0	0x0	0x0	0x7
UHS-I SDR12	4 ビット PHY 動作 1.8 V、25MHz	0x1	0xF	0x0	0x0	0x7
UHS-I SDR25	4 ビット PHY 動作 1.8 V、50 MHz	0x1	0xF	0x0	0x0	0x7
UHS-I SDR50	4 ビット PHY 動作 1.8 V、100 MHz	0x1	0xC	0x1	チューニング	0x7
UHS-I DR50	4 ビット PHY 動作 1.8 V、50 MHz	0x1	0xC	0x1	0x2	0x7
UHS-I SDR104	4 ビット PHY 動作 1.8V、200MHz	0x1	0x5	0x1	チューニング	0x7

表 6-69 に、MMC1 のタイミング条件を示します。

表 6-69. MMC1 のタイミング条件

パラメータ	最小値	最大値	単位
入力条件			

表 6-69. MMC1 のタイミング条件 (続き)

パラメータ			最小値	最大値	単位
SR _I	入力スルーレート	デフォルト スピード、ハイスピード	0.69	2.06	V/ns
		UHS-I SDR12、UHS-I SDR25	0.34	1.34	V/ns
		USH-1 DDR50	1.00	2.00	V/ns
出力条件					
C _L	出力負荷容量	すべてのモード	1	10	pF
PCB 接続要件					
t _d (Trace Delay)	各パターンの伝搬遅延	UHS-I DDR50	240.03	1134	ps
		その他のすべてのモード	126	1386	ps
t _d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合	UHS-I DDR50		20	ps
		UHS-I SDR104		8	ps
		その他のすべてのモード		100	ps

6.10.5.17.2.1 デフォルト速度モード

表 6-70、図 6-86、表 6-71、図 6-87 に、MMC1/2 – デフォルト速度モードのタイミング要件とスイッチング特性を示します。

表 6-70. MMC1/2 のタイミング要件 – デフォルト速度モード

図 6-86 参照

番号			最小値	最大値	単位
DS1	$t_{su}(cmdV-clkH)$	セットアップ時間、MMC[x]_CMD 有効から MMC[x]_CLK 立ち上がりエッジまで	2.15		ns
DS2	$t_h(clkH-cmdV)$	ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 有効の間	4.56		ns
DS3	$t_{su}(dV-clkH)$	セットアップ時間、MMC[x]_DAT[3:0] 有効から MMC[x]_CLK 立ち上がりエッジまで	2.15		ns
DS4	$t_h(clkH-dV)$	ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_DAT[3:0] 有効の間	4.56		ns

A. MMC1 および MMC2 に対して、 $x = 1, 2$

B. MMC1 および MMC2 に対して、 $x = 1, 2$

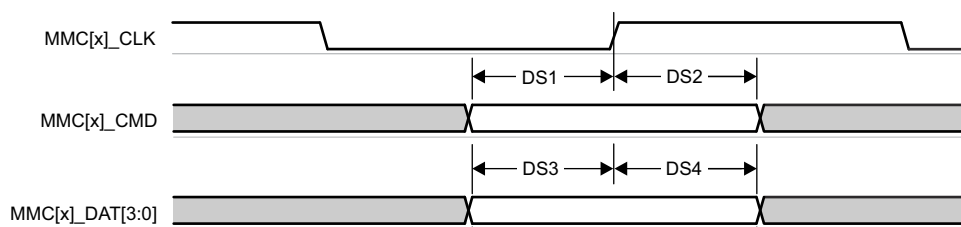


図 6-86. MMC1/2 – デフォルト速度 – 受信モード

表 6-71. MMC1/2 のスイッチング特性 – デフォルト速度モード

図 6-87 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$		25	MHz
DS5	$t_c(clk)$	40		ns
DS6	$t_w(clkH)$	18.7		ns
DS7	$t_w(clkL)$	18.7		ns
DS8	$t_d(clkL-cmdV)$	-3.53	3.53	ns
DS9	$t_d(clkL-dV)$	-3.53	3.53	ns

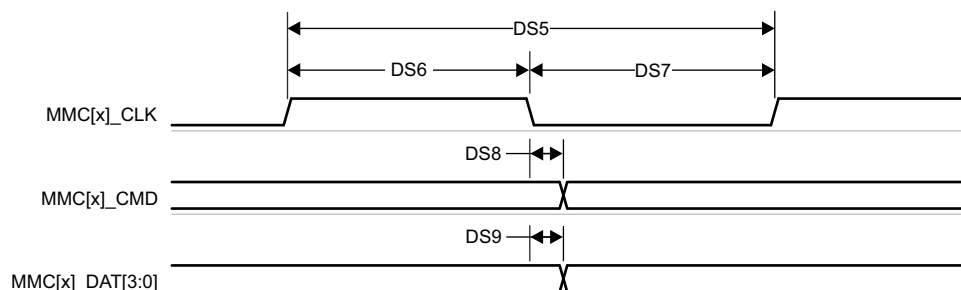


図 6-87. MMC1/2 – デフォルト速度 – 送信モード

6.10.5.17.2.2 高速モード

表 6-72、図 6-88、表 6-73、図 6-89 に、MMC1/2 – 高速モードのタイミング要件とスイッチング特性を示します。

表 6-72. MMC1/2 のタイミング要件 – 高速モード

図 6-88 参照

番号			最小値	最大値	単位
HS1	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC[x]_CMD 有効から MMC[x]_CLK 立ち上がりエッジまで	2.15		ns
HS2	$t_h(clkH-cmdV)$	ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 有効の間	2.26		ns
HS3	$t_{su(dV-clkH)}$	セットアップ時間、MMC[x]_DAT[3:0] 有効から MMC[x]_CLK 立ち上がりエッジまで	2.15		ns
HS4	$t_h(clkH-dV)$	ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_DAT[3:0] 有効の間	2.26		ns

- A. MMC1 および MMC2 に対して、 $x = 1, 2$
B. MMC1 および MMC2 に対して、 $x = 1, 2$

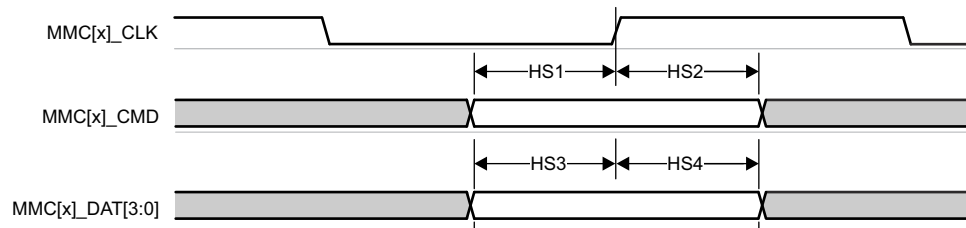


図 6-88. MMC1/2 – 高速 – 受信モード

表 6-73. MMC1/2 のスイッチング特性 – 高速モード

図 6-89 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op(clk)}$		50	MHz
HS5	$t_c(clk)$	20		ns
HS6	$t_w(clkH)$	9.2		ns
HS7	$t_w(clkL)$	9.2		ns
HS8	$t_d(clkL-cmdV)$	-2.07	2.07	ns
HS9	$t_d(clkL-dV)$	-2.07	2.07	ns

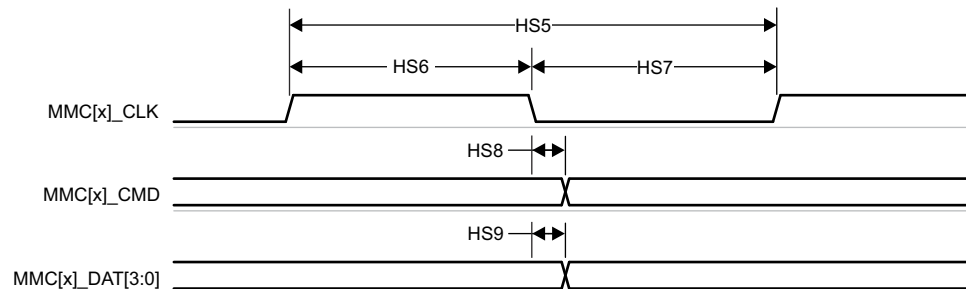


図 6-89. MMC1/2 – 高速 – 送信モード

6.10.5.17.2.3 UHS-I SDR12 モード

表 6-74、図 6-90、表 6-75、および 図 6-91 に、MMC1/2 – UHS-I SDR12 モードのタイミング要件とスイッチング特性を示します。

表 6-74. MMC1/2 のタイミング要件 – UHS-I SDR12 モード

図 6-90 参照

番号			最小値	最大値	単位
SDR121	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC[x]_CMD 有効から MMC[x]_CLK 立ち上がりエッジまで	5.46		ns
SDR122	$t_{h(clkH-cmdV)}$	ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 有効の間	1.67		ns
SDR123	$t_{su(dV-clkH)}$	セットアップ時間、MMC[x]_DAT[3:0] 有効から MMC[x]_CLK 立ち上がりエッジまで	5.46		ns
SDR124	$t_{h(clkH-dV)}$	ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_DAT[3:0] 有効の間	1.67		ns

A. MMC1 および MMC2 に対して、 $x = 1, 2$

B. MMC1 および MMC2 に対して、 $x = 1, 2$

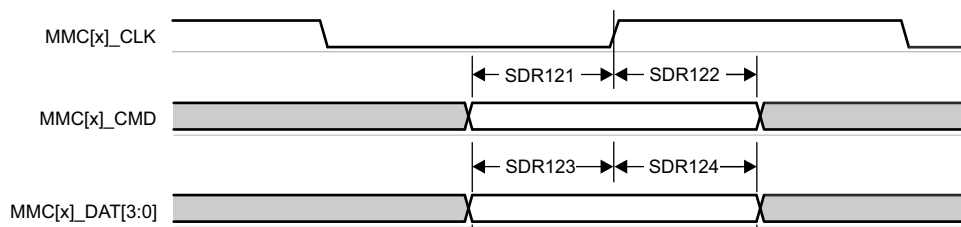


図 6-90. MMC1/2 – UHS-I SDR12 – 受信モード

表 6-75. MMC1/2 のスイッチング特性 – UHS-I SDR12 モード

図 6-91 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op(clk)}$		25	MHz
SDR125	$t_{c(clk)}$	40		ns
SDR126	$t_{w(clkH)}$	18.7		ns
SDR127	$t_{w(clkL)}$	18.7		ns
SDR128	$t_{d(clkH-cmdV)}$	1.2	13.55	ns
SDR129	$t_{d(clkH-dV)}$	1.2	13.55	ns

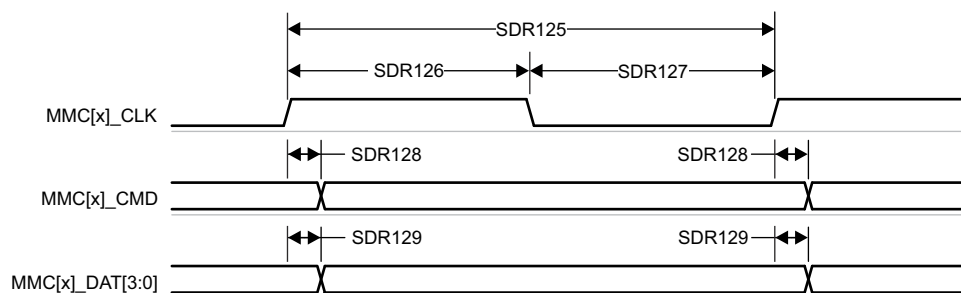


図 6-91. MMC1/2 – UHS-I SDR12 – 送信モード

6.10.5.17.2.4 UHS-I SDR25 モード

表 6-76、図 6-92、表 6-77、および 図 6-93 に、MMC1/2 – UHS-I SDR25 モードのタイミング要件とスイッチング特性を示します。

表 6-76. MMC1/2 のタイミング要件 – UHS-I SDR25 モード

図 6-92 参照

番号			最小値	最大値	単位
SDR251	$t_{su(cmdV-clkH)}$	セットアップ時間、MMC[x]_CMD 有効から MMC[x]_CLK 立ち上がりエッジまで	2.1		ns
SDR252	$t_{h(clkH-cmdV)}$	ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 有効の間	1.67		ns
SDR253	$t_{su(dV-clkH)}$	セットアップ時間、MMC[x]_DAT[3:0] 有効から MMC[x]_CLK 立ち上がりエッジまで	2.1		ns
SDR254	$t_{h(clkH-dV)}$	ホールド時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_DAT[3:0] 有効の間	1.67		ns

- A. MMC1 および MMC2 に対して、x = 1, 2
B. MMC1 および MMC2 に対して、x = 1, 2

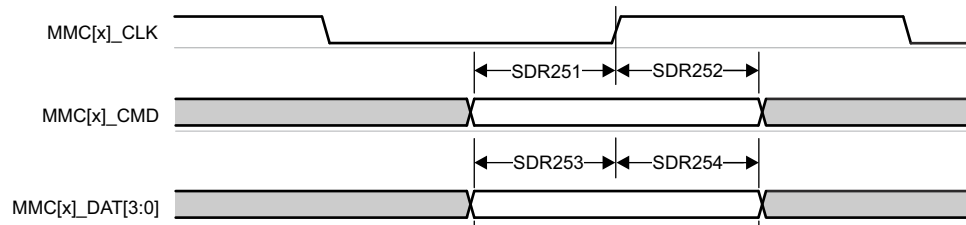


図 6-92. MMC1/2 – UHS-I SDR25 – 受信モード

表 6-77. MMC1/2 のスイッチング特性 – UHS-I SDR25 モード

図 6-93 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op(clk)}$		50	MHz
SDR255	$t_{c(clk)}$	20		ns
SDR256	$t_{w(clkH)}$	9.2		ns
SDR257	$t_{w(clkL)}$	9.2		ns
SDR258	$t_{d(clkH-cmdV)}$	2.4	9.37	ns
SDR259	$t_{d(clkH-dV)}$	2.4	9.37	ns

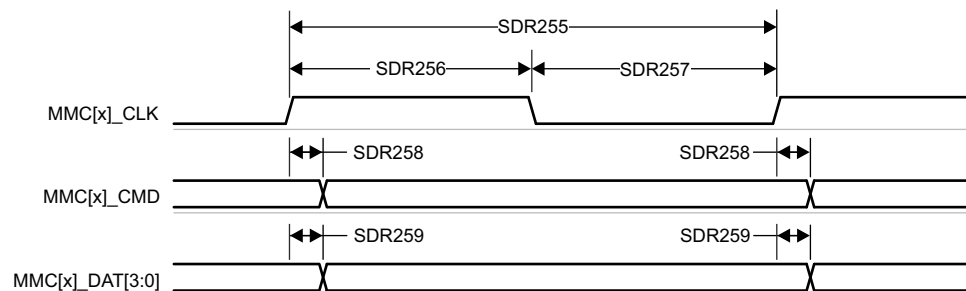


図 6-93. MMC1/2 – UHS-I SDR25 – 送信モード

6.10.5.17.2.5 UHS-I SDR50 モード

表 6-78 および 図 6-94 に、MMC1/2 – UHS-I SDR50 モードのスイッチング特性を示します。

表 6-78. MMC1/2 のスイッチング特性 – UHS-I SDR50 モード

図 6-94 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC[x]_CLK		100	MHz
SDR505	$t_{c}(clk)$	サイクル時間、MMC[x]_CLK	10		ns
SDR506	$t_{w}(clkH)$	パルス幅、MMC[x]_CLK high	4.45		ns
SDR507	$t_{w}(clkL)$	パルス幅、MMC[x]_CLK low	4.45		ns
SDR508	$t_{d}(clkH-cmdV)$	遅延時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 遷移まで	1.2	6.35	ns
SDR509	$t_{d}(clkH-dV)$	遅延時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_DAT[3:0] 遷移まで	1.2	6.35	ns

A. MMC1 および MMC2 に対して、x = 1、2

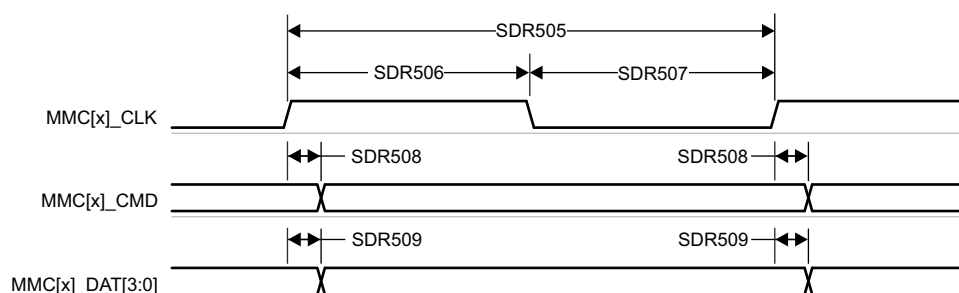


図 6-94. MMC1/2 – UHS-I SDR50 – 送信モード

6.10.5.17.2.6 UHS-I DDR50 モード

表 6-79 および 図 6-95 に、MMC1/2 – UHS-I DDR50 モードのスイッチング特性を示します。

表 6-79. MMC1/2 のスイッチング特性 – UHS-I DDR50 モード

図 6-95 参照

番号	パラメータ	最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC[x]_CLK		50
DDR505	$t_c(clk)$	サイクル時間、MMC[x]_CLK		20
DDR506	$t_w(clkH)$	パルス幅、MMC[x]_CLK high		9.2
DDR507	$t_w(clkL)$	パルス幅、MMC[x]_CLK low		9.2
DDR508	$t_d(clkH-cmdV)$	遅延時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 遷移まで		1.12 3.46
DDR509	$t_d(clk-dV)$	遅延時間、MMC[x]_CLK 遷移から MMC[x]_DAT[3:0] 遷移まで		1.12 6.12

A. MMC1 および MMC2 に対して、x = 1, 2

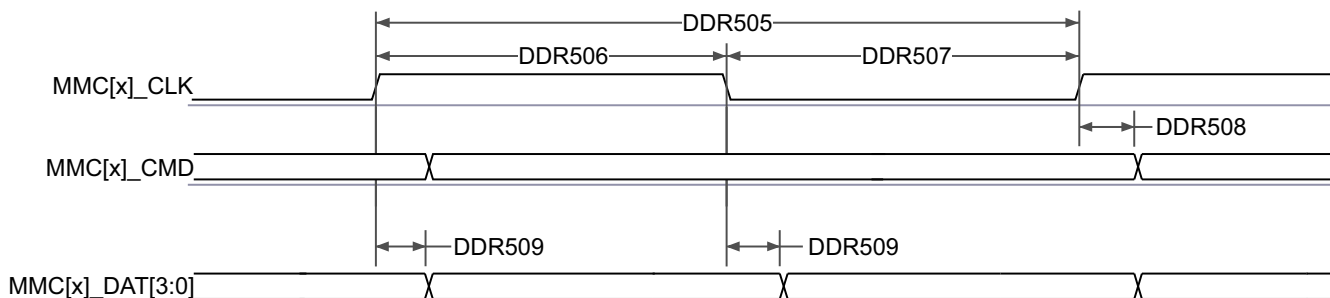


図 6-95. MMC1/2 – UHS-I DDR50 – 送信モード

6.10.5.17.2.7 UHS-I SDR104 モード

表 6-80 および 図 6-96 に、MMC1/2 – UHS-I SDR104 モードのスイッチング特性を示します。

表 6-80. MMC1/2 のスイッチング特性 – UHS-I SDR104 モード

図 6-96 参照

番号	パラメータ		最小値	最大値	単位
	$f_{op}(clk)$	動作周波数、MMC[x]_CLK		200	MHz
SDR1045	$t_c(clk)$	サイクル時間、MMC[x]_CLK	5		ns
SDR1046	$t_w(clkH)$	パルス幅、MMC[x]_CLK high	2.12		ns
SDR1047	$t_w(clkL)$	パルス幅、MMC[x]_CLK low	2.12		ns
SDR1048	$t_d(clkH-cmdV)$	遅延時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_CMD 遷移まで	1.07	3.21	ns
SDR1049	$t_d(clkH-dV)$	遅延時間、MMC[x]_CLK 立ち上がりエッジから MMC[x]_DAT[3:0] 遷移まで	1.07	3.21	ns

A. MMC1 および MMC2 に対して、x = 1, 2

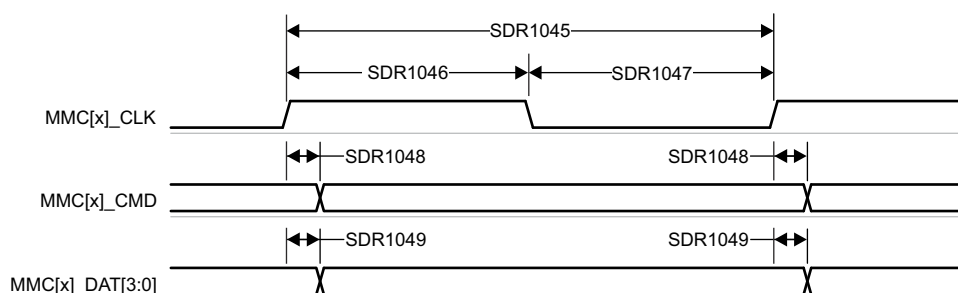


図 6-96. MMC1/2 – UHS-I SDR104 – 送信モード

6.10.5.18 CPTS

表 6-81 に、CPTS のタイミング条件を示します。

表 6-81. CPTS のタイミング条件

パラメータ	説明	最小値	最大値	単位
入力条件				
SR_i	入力スルーレート	0.5	5	V/ns
出力条件				
C_L	出力負荷容量	2	10	pF

セクション 6.10.5.18.1、セクション 6.10.5.18.2、図 6-97、図 6-98 に、CPTS インターフェイスのタイミング要件とスイッチング特性を示します。

6.10.5.18.1 CPTS のタイミング要件

図 6-97 参照

番号	パラメータ		最小値	最大値	単位
T1	$t_w(HWnTSPUSHH)$	パルス幅、HWnTSPUSH ⁽²⁾ high	$12P + 2^{(1)}$		ns
T2	$t_w(HWnTSPUSHL)$	パルス幅、HWnTSPUSH ⁽²⁾ low	$12P + 2^{(1)}$		ns
T3	$t_c(RFT_CLK)$	サイクル時間、RFT_CLK	5	8	ns
T4	$t_w(RFT_CLKH)$	パルス幅、RFT_CLK high	$0.45 * T^{(3)}$		ns

図 6-97 参照

番号	パラメータ	パルス幅、RFT_CLK low	最小値	最大値	単位
T5	$t_{w(RFT_CLKL)}$		$0.45 \cdot T^{(3)}$		ns

- (1) P = 機能クロック周期 (ns 単位)。
(2) HWnTSPUSH で、n= 1~2
(3) T = RFT_CLK 周期 (ns 単位)。

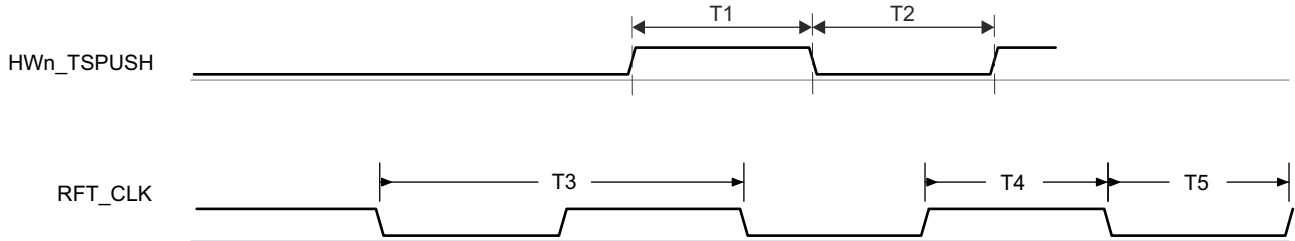


図 6-97. CPTS のタイミング要件

6.10.5.18.2 CPTS スイッチング特性

図 6-98 参照

番号	パラメータ	ソース	最小値	最大値	単位
T6	$t_{w(TS_COMPH)}$	パルス幅、TS_COMP high	$36P - 2^{(1)}$		ns
T7	$t_{w(TS_COMPL)}$	パルス幅、TS_COMP low	$36P - 2^{(1)}$		ns
T8	$t_{w(TS_SYNCH)}$	パルス幅、TS_SYNC high	$36P - 2^{(1)}$		ns
T9	$t_{w(TS_SYNCL)}$	パルス幅、TS_SYNC low	$36P - 2^{(1)}$		ns
T10	$t_{w(SYNcN_OUTH)}$	TS_SYNC	$36P - 2^{(1)}$		ns
		TS_GENF	$5P - 2^{(1)}$		ns
T11	$t_{w(SYNcN_OUTL)}$	TS_SYNC	$36P - 2^{(1)}$		ns
		TS_GENF	$5P - 2^{(1)}$		ns

- (1) P = 機能クロック周期 (ns 単位)。
(2) SYNcN_OUT では N = 0~3

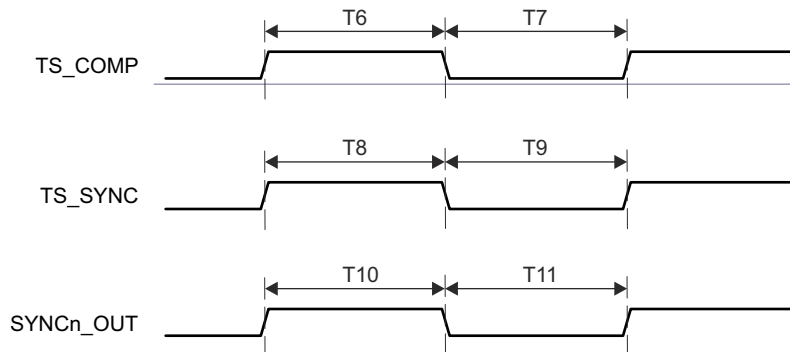


図 6-98. CPTS スイッチング特性

詳細については、デバイスのテクニカル リファレンス マニュアルで「データ移動アーキテクチャ (DMA)」の章にある「ナビゲータ サブシステム (NAVSS)」セクションを参照してください。

6.10.5.19 OSPI

デバイスのオクタル シリアル ペリフェラル インターフェイスの機能および追加の説明情報については、「信号の説明」および「詳細説明」の対応するセクションを参照してください。

表 6-82 に、OSPI のタイミング条件を示します。

表 6-82. OSPI のタイミング条件

パラメータ			最小値	最大値	単位
入力条件					
SR _I	入力スルーレート	3.3V、すべてのモード	2	6	V/ns
		1.8V、DQS 付き PHY データトレーニング DDR	0.75	6	V/ns
		1.8V、その他のすべてのモード	1	6	V/ns
出力条件					
C _L	出力負荷容量	すべてのモード	3	10	pF
PCB 接続要件					
t _d (Trace Delay)	伝搬遅延 OSPI_CLK パターン	ループバックなし、 内部パッド ループバック		450	ps
	伝搬遅延 OSPI_LBCLKO パターン	外部ボードのループバック	2*L-30 ⁽²⁾	2*L+30 ⁽²⁾	ps
	伝搬遅延 OSPI_DQS パターン	DQS	L-30 ⁽²⁾	L+30 ⁽²⁾	ps
t _d (Trace Mismatch Delay)	伝搬遅延の不整合 OSPI_CLK に対する、OSPI_D[i:0] (1)、OSPI_CS _n	すべてのモード		60	ps

(1) OSPI0 で D[i:0] の i は 0~7、OSPI1 で [i:0] の i は 3

(2) L = OSPI_CLK パターンの伝搬遅延

6.10.5.19.1 OSPI0/1 PHY モード

6.10.5.19.1.1 PHY データ トレーニング付き OSPI0/1

読み出し / 書き込みデータ有効ウィンドウは、プロセス、電圧、温度、動作周波数の変動によって変化します。最適な読み出し / 書き込みタイミングを動的に構成するために、データ トレーニング手法を実装することもできます。データ トレーニングを実装すると、特定のプロセス、電圧、周波数の動作条件において、温度範囲全体にわたって適切な動作を実現すると同時に、より高い動作周波数を実現できます。

データの送受信タイミング パラメータは、動作条件に基づいて動的に調整されるため、データ トレーニングの使用事例では定義されていません。

表 6-83 は、データ トレーニング付きの OSPI0/1 に必要な DLL 遅延を定義しています。表 6-84、図 6-99 図 6-100、表 6-85、図 6-101、図 6-102 に、データ トレーニング付き OSPI0/1 のタイミング要件とスイッチング特性を示します。

表 6-83. PHY データ トレーニング用の OSPI0/1 DLL 遅延マッピング

モード	OSPI_PHY_CONFIGURATION_REG ビット フィールド	遅延値
送信		
すべてのモード	PHY_CONFIG_TX_DLL_DELAY_FLD	(1)
受信		
すべてのモード	PHY_CONFIG_RX_DLL_DELAY_FLD	(2)

(1) トレーニング ソフトウェアによって決定される送信 DLL 遅延の値

(2) トレーニング ソフトウェアによって決定される受信 DLL 遅延の値

表 6-84. OSPI0 のタイミング要件 – PHY データ トレーニング

図 6-99、図 6-100 を参照

番号		モード	最小値	最大値	単位
O15	$t_{su}(D-LBCLK)$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで	DQS 付き DDR	(1)	ns
O16	$t_h(LBCLK-D)$	ホールド時間、OSPI0_DQS のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	DQS 付き DDR	(1)	ns
O21	$t_{su}(D-LBCLK)$	セットアップ時間、OSPI0_D[7:0] 有効から OSPI0_DQS のエッジまで	内部 PHY ループバック付き SDR	(1)	ns
O22	$t_h(LBCLK-D)$	ホールド時間、OSPI0_DQS のアクティブ エッジ後に OSPI0_D[7:0] を有効に保持すべき時間	内部 PHY ループバック付き SDR	(1)	ns
	t_{DWW}	データ有効ウィンドウ (O15 + O16)	1.8V、DQS 付き DDR	1.4	ns
		データ有効ウィンドウ (O21 + O22)	1.8V、内部 PHY ループバック付き SDR	1.7	ns

(1) データ トレーニングを使用して最適なデータ有効ウィンドウを見つける場合、OSPI0/1_D[7:0] 入力の最小セットアップ時間およびホールド時間の要件は定義されません。 t_{DWW} パラメータは、必要な最小データ無効ウィンドウを定義します。このパラメータは、最小セットアップ時間や最小ホールド時間の代わりに提供され、接続されているデバイスから提供されるデータ有効ウィンドウとの互換性を確認するために使用する必要があります。

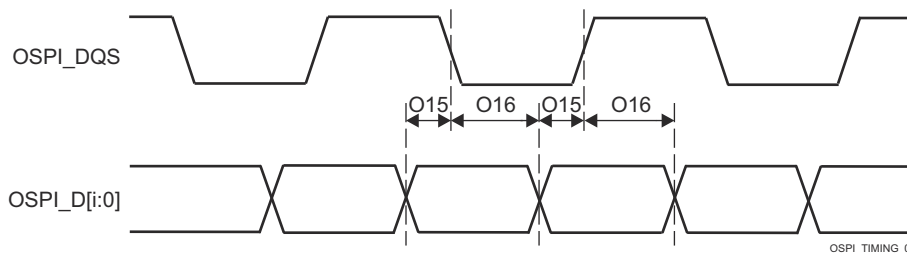


図 6-99. OSPI0/1 のタイミング要件 – PHY データ トレーニング、DQS 付き DDR

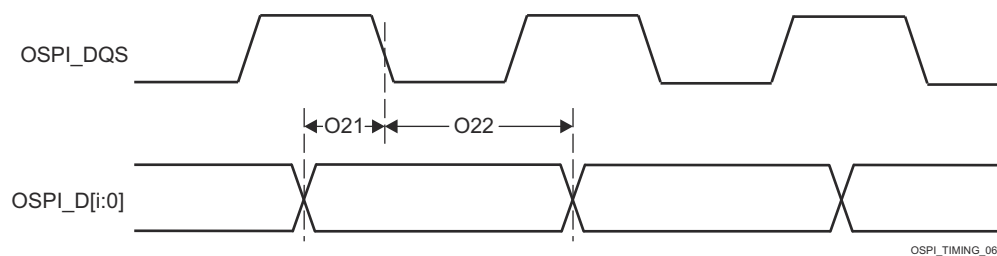


図 6-100. OSPI0/1 のタイミング要件 – PHY データ トレーニング、内部 PHY ループバック付き SDR

表 6-85. OSPI0/1 のスイッチング特性 – PHY データ トレーニング

図 6-101 および 図 6-102 を参照

番号	パラメータ	モード	最小値	最大値	単位
O1	$t_{c}(\text{CLK})$	1.8V、DDR	6.0	6.0	ns
O7		1.8V、SDR	6.0	6.0	ns
O2	$t_{w}(\text{CLKL})$	DDR	$((0.475P^{(1)}) - 0.3)$		ns
O8		SDR			
O3	$t_{w}(\text{CLKH})$	DDR	$((0.475P^{(1)}) - 0.3)$		ns
O9		SDR			
O4	$t_{d}(\text{CSn-CLK})$	DDR	$((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)}) + (0.028TD^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)}) + (0.055TD^{(5)}) + 1)$	ns
O10		SDR			
O5	$t_{d}(\text{CLK-CSn})$	DDR	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)}) - (0.055TD^{(5)}) - 1)$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)}) - (0.028TD^{(5)}) + 1)$	ns
O11		SDR			
O6	$t_{d}(\text{CLK-D})$	DDR	(6)	(6)	ns
O12		SDR			
	t_{DIVW}	データ無効ウィンドウ (O6 最大 - 最小)	DDR	1	ns
		データ無効ウィンドウ (O12 最大 - 最小)	SDR		

(1) $P = \text{SCLK}$ サイクル時間 (ns) = OSPI0_CLK 周期 (ns)

(2) $M = \text{OSPI_DEV_DELAY_REG}[D_INIT_FLD]$

(3) $N = \text{OSPI_DEV_DELAY_REG}[D_AFTER_FLD]$

(4) $R = \text{リファレンス クロック サイクル時間 (ns 単位)}$

(5) $TD = \text{PHY_CONFIG_TX_DLL_DELAY_FLD}$

(6) データトレーニングを使用して最適なデータ有効ウィンドウを見つける場合、OSPI0_D[7:0] 出力の最小および最大遅延時間は定義されません。 t_{DIVW} パラメータは、最大データ無効ウィンドウを定義します。このパラメータは、最小および最大遅延時間の代わりに提供され、接続されているデバイスのデータ有効ウィンドウ要件との互換性を確認するために使用する必要があります。

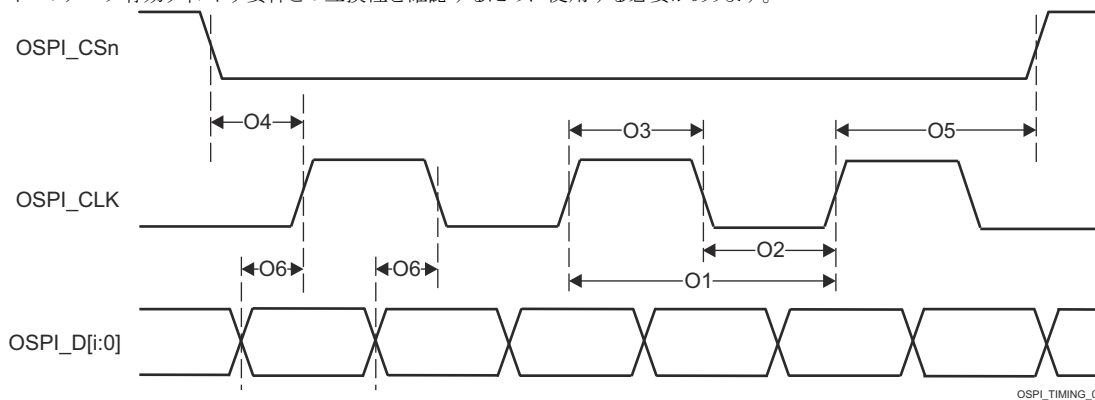


図 6-101. OSPI0/1 のスイッチング特性 - PHY DDR データ トレーニング

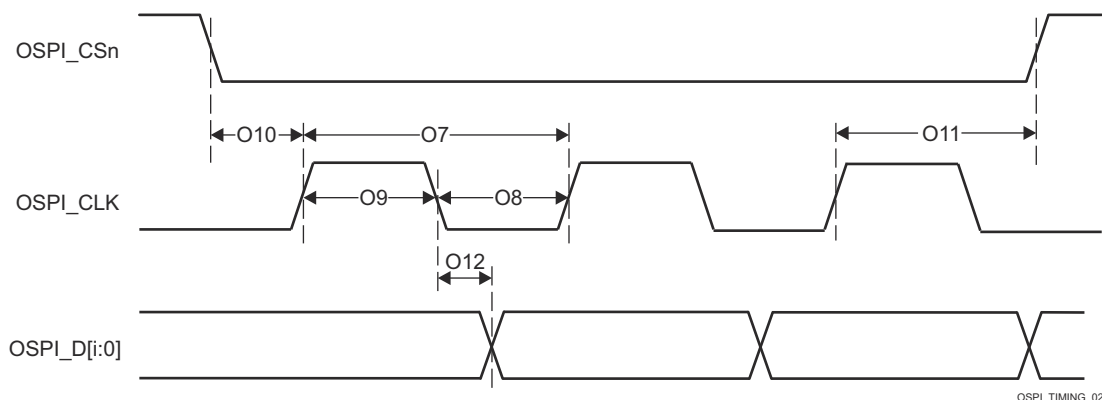


図 6-102. OSPI0/1 のスイッチング特性 - PHY SDR データ トレーニング

6.10.5.19.1.2 データ トレーニングなし OSPI

注

このセクションに示す I/O タイミングは、データトレーニングが実装されていない場合にのみ適用されます。さらに、この I/O タイミングは、対応する DLL 遅延がこのセクションの 表 6-86 で説明するように構成されている場合に、一部の OSPI 使用モードでのみ有効です。

セクション 6.10.5.19.1.2.4、セクション 6.10.5.19.1.2、セクション 6.10.5.19.1.2.2 および セクション 6.10.5.19.1.2 に、OSPI DDR および SDR モードのスイッチング特性を示します。

6.10.5.19.1.2.1 OSPI のタイミング要件 - SDR モード

表 6-86. OSPI DLL 遅延マッピング - SDR タイミング モード

モード	OSPI_PHY_CONFIGURATION_REG ビット フィールド	遅延値
すべてのモード	PHY_CONFIG_TX_DLL_DELAY_FLD	0x0
	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0

表 6-87. OSPI のタイミング要件 - SDR モード

番号	パラメータ	説明	モード	最小値	最大値	単位
O21	$t_{su}(D-LBCLK)$	セットアップ時間、D[i:0] 有効からアクティブ LBCLK 入力 (DQS) エッジまで ⁽¹⁾	1.8V、外部ボード ループバック	0.6		ns
			3.3V、外部ボード ループバック	0.9		ns
O22	$t_h(LBCLK-D)$	ホールド時間、アクティブ LBCLK 入力 (DQS) エッジから D[i:0] 有効まで ⁽¹⁾	1.8V、外部ボード ループバック	1.7		ns
			3.3V、外部ボード ループバック	2		ns

(1) OSPI0 で D[i:0] の i は 7、OSPI1 で [i:0] の i は 3

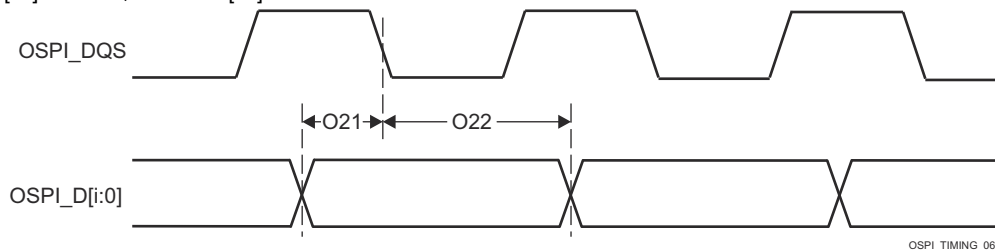


図 6-103. OSPI のタイミング要件 - SDR、外部ループバック クロック

6.10.5.19.1.2.2 OSPI のスイッチング特性 – SDR モード

番号	パラメータ	説明	モード	最小値	最大値	単位
O7	$t_{c}(\text{CLK})$	サイクル時間、CLK	1.8 V	7		ns
			3.3 V	7.5		ns
O8	$t_{w}(\text{CLKL})$	パルス幅、CLK low		$((0.475P^{(1)}) - 0.3)$		ns
O9		パルス幅、CLK high		$((0.475P^{(1)}) - 0.3)$		ns
O10	$t_{d}(\text{CSn-CLK})$	遅延時間、CSn アクティブ エッジから CLK 立ち上がりエッジまで	1.8 V	$((0.475P^{(1)}) + (0.975M^{(2)R(4)}) + (0.028TD^{(5)} - 1)) - ((0.525P^{(1)}) + (1.025M^{(2)R(4)}) + (0.055TD^{(5)} - 1))$		ns
			3.3 V	$((0.475P^{(1)}) + (0.975M^{(2)R(4)}) + (0.028TD^{(5)} - 1)) - ((0.525P^{(1)}) + (1.025M^{(2)R(4)}) + (0.055TD^{(5)} - 1))$		ns
O11	$t_{d}(\text{CLK-CSn})$	遅延時間、CLK 立ち上がりエッジから CSn 非アクティブ エッジまで	1.8 V	$((0.475P^{(1)}) + (0.975N^{(3)R(4)}) - (0.055TD^{(5)} - 1)) - ((0.525P^{(1)}) + (1.025N^{(3)R(4)}) - (0.028TD^{(5)} - 1))$		ns
			3.3 V	$((0.475P^{(1)}) + (0.975N^{(3)R(4)}) - (0.055TD^{(5)} - 1)) - ((0.525P^{(1)}) + (1.025N^{(3)R(4)}) - (0.028TD^{(5)} - 1))$		ns
O12	$t_{d}(\text{CLK-D})$	遅延時間、CLK アクティブ エッジから D[i:0] 遷移まで ⁽⁶⁾	1.8 V	-1.16	1.25	ns
			3.3 V	-1.33	1.51	ns

- (1) P = CLK サイクル時間 = SCLK 周期
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = refclk
(5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD
(6) OSPI0 で D[i:0] の i は 7、OSPI1 で [i:0] の i は 3

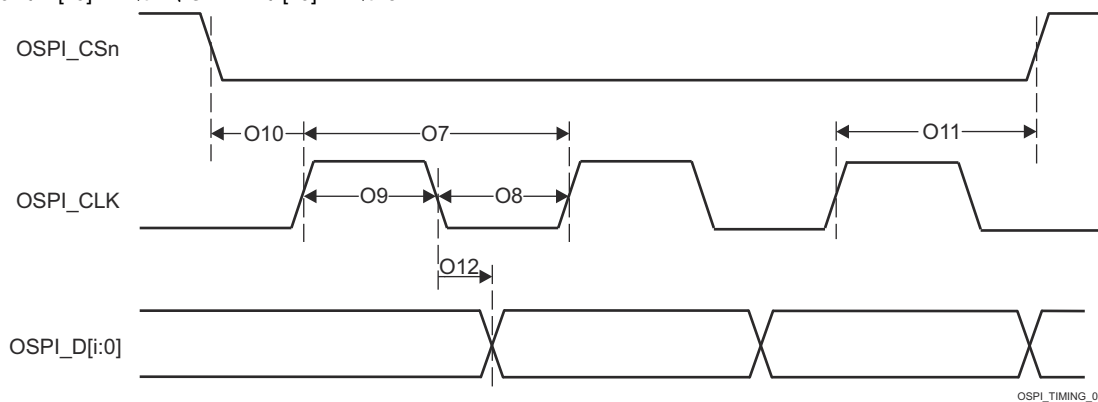


図 6-104. OSPI のスイッチング特性 – SDR

セクション 6.10.5.19.1.2.3、セクション 6.10.5.19.1.2.1、セクション 6.10.5.19.1.2.2、セクション 6.10.5.19.1.2.2、および図 6-103 に、OSPI DDR および SDR モードのタイミング要件を示します。

6.10.5.19.1.2.3 OSPI のタイミング要件 – DDR モード

表 6-88. OSPI DLL 遅延マッピング - DDR タイミング モード

モード	OSPI_PHY_CONFIGURATION_REG ビットフィールド	OSPI0	OSPI1
		遅延値	
送信			
1.8V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x54	0x54
3.3V	PHY_CONFIG_TX_DLL_DELAY_FLD	0x55	0x5C
受信			
1.8V、DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x23	0x29
3.3V、DQS	PHY_CONFIG_RX_DLL_DELAY_FLD	0x47	0x42
その他のすべてのモード	PHY_CONFIG_RX_DLL_DELAY_FLD	0x0	0x0

表 6-89. OSPI のタイミング要件 – DDR モード

番号	パラメータ	説明	モード	最小値	最大値	単位
O15	$t_{su}(D-LBCLK)$	セットアップ時間、D[i:0] 有効からアクティブ LBCLK (DQS) エッジまで ⁽¹⁾	1.8V、外部ボード ループバック	0.52		ns
			3.3V、外部ボード ループバック	1.97		ns
O16	$t_h(LBCLK-D)$	ホールド時間、アクティブ LBCLK (DQS) エッジから D[i:0] 有効の間 ⁽¹⁾	1.8V、外部ボード ループバック	1.24 ⁽²⁾		ns
			3.3V、外部ボード ループバック	1.44 ⁽²⁾		ns
O17	$t_{su}(D-DQS)$	セットアップ時間、DQS エッジから D[i:0] 遷移まで ⁽¹⁾	1.8V、DQS	-0.46		ns
			3.3V、DQS	-0.66		ns
O18	$t_h(DQS-D)$	ホールド時間、DQS エッジから D[i:0] 遷移まで ⁽¹⁾	1.8V、DQS	3.59		ns
			3.3V、DQS	8.89		ns

(1) OSPI0 で D[i:0] の i は 7、OSPI1 で [i:0] の i は 3

(2) このホールド時間の要件は、一般的なフラッシュ デバイスのホールド時間よりも長いですが、したがって、SoC と、フラッシュ デバイスとの間のトレース長は、SoC のホールド時間を確実に満たすのに十分な長さにする必要があります。詳細については、『OSPI および QSPI 基板の設計およびレイアウトのガイドライン』を参照してください。

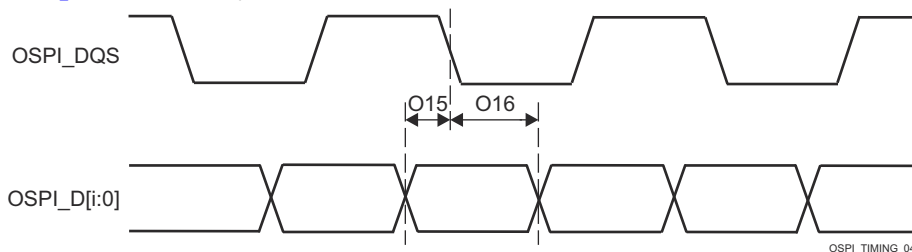


図 6-105. OSPI のタイミング要件 – DDR、外部ループバック クロックおよび DQS

6.10.5.19.1.2.4 OSPI のスイッチング特性 - PHY DDR モード

番号	パラメータ	説明	モード	最小値	最大値	単位
O1	$t_c(CLK)$	サイクル時間、CLK	1.8 V	19		ns
			3.3 V	19		ns
O2	$t_w(CLKL)$	パルス幅、CLK low		$((0.475P^{(1)}) - 0.3)$		ns
O3	$t_w(CLKH)$	パルス幅、CLK high		$((0.475P^{(1)}) - 0.3)$		ns

番号	パラメータ	説明	モード	最小値	最大値	単位
O4	t _d (CLK-CSn)	遅延時間、CSn アクティブ エッジから CLK 立ち上がりエッジまで	1.8 V	((0.475P ⁽¹⁾) + (0.975M ⁽²⁾ R ⁽⁴⁾) + (0.028TD ⁽⁵⁾) - 1)	((0.525P ⁽¹⁾) + (1.025M ⁽²⁾ R ⁽⁴⁾) + (0.055TD ⁽⁵⁾) - 1)	ns
			3.3 V	((0.475P ⁽¹⁾) + (0.975M ⁽²⁾ R ⁽⁴⁾) + (0.028TD ⁽⁵⁾) - 1)	((0.525P ⁽¹⁾) + (1.025M ⁽²⁾ R ⁽⁴⁾) + (0.055TD ⁽⁵⁾) - 1)	ns
O5	t _d (CLK-CSn)	遅延時間、CLK 立ち上がりエッジから CSn 非アクティブ エッジまで	1.8 V	((0.475P ⁽¹⁾) + (0.975N ⁽³⁾ R ⁽⁴⁾) + (0.055TD ⁽⁵⁾) - 1)	((0.525P ⁽¹⁾) + (1.025N ⁽³⁾ R ⁽⁴⁾) + (0.028TD ⁽⁵⁾) - 1)	ns
			3.3V、OSPI0 DDR TX、 3.3V、OSPI1 DDR TX	((0.475P ⁽¹⁾) + (0.975N ⁽³⁾ R ⁽⁴⁾) + (0.055TD ⁽⁵⁾) - 1)	((0.525P ⁽¹⁾) + (1.025N ⁽³⁾ R ⁽⁴⁾) + (0.028TD ⁽⁵⁾) - 1)	ns
O6	t _d (CLK-D)	遅延時間、CLK アクティブ エッジから D[i:0] 遷移まで ⁽⁶⁾	1.8V、OSPI0 DDR TX、 1.8V、OSPI1 DDR TX	-7.71	-1.56	ns
			3.3V、OSPI0 DDR TX、 3.3V、OSPI1 DDR TX	-7.71	-1.56	ns

- (1) P = CLK サイクル時間 = SCLK 周期
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = リファレンス クロック サイクル時間 (ns 単位)
(5) TD = PHY_CONFIG_TX_DLL_DELAY_FLD
(6) OSPI0 で D[i:0] の i は 7、OSPI1 で [i:0] の i は 3

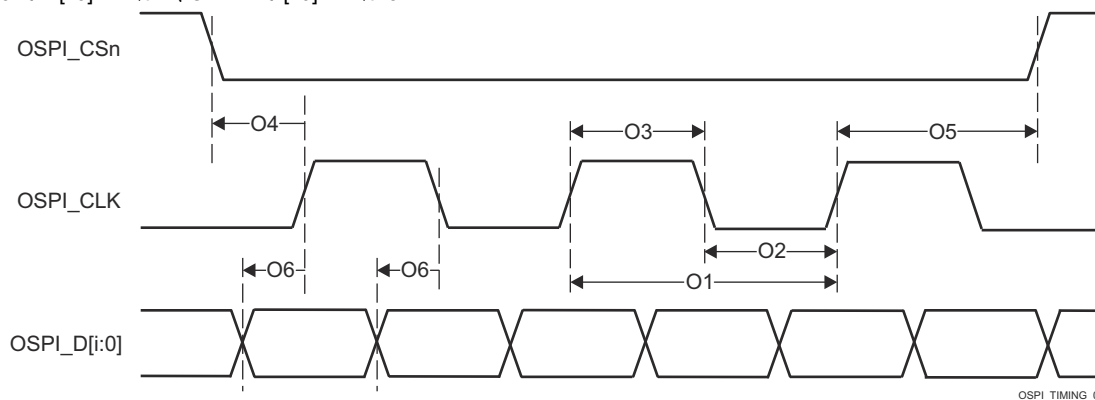


図 6-106. OSPI のスイッチング特性 – DDR

6.10.5.19.2 OSPI0/1 タップモード

6.10.5.19.2.1 OSPI0 タップ SDR のタイミング

表 6-90、図 6-107、表 6-91、図 6-108 に、OSPI0 タップ SDR モードのタイミング要件とスイッチング特性を示します。

表 6-90. OSPI0/1 のタイミング要件 – タップ SDR モード

図 6-107 参照

番号			モード	最小値	最大値	単位
O19	$t_{su}(D-CLK)$	セットアップ時間、OSPI0/1_D[7:0] 有効から アクティブ OSPI0/1_CLK エッジまで	ループバックなし	(15.4 - (0.975T ⁽¹⁾ R ⁽²⁾))		ns
O20	$t_h(CLK-D)$	ホールド時間、OSPI0/1_CLK のアクティブ エッジから OSPI0/1_D[7:0] 有効の間	ループバックなし	(-5.2 + (0.975T ⁽¹⁾ R ⁽²⁾))		ns

(1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]

(2) R = 基準クロック サイクル時間 (ns)

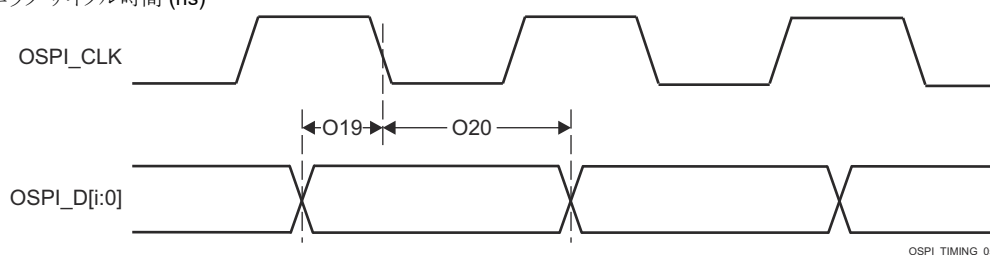


図 6-107. OSPI0/1 のタイミング要件 – タップ SDR、ループバックなし

表 6-91. OSPI0/1 のスイッチング特性 – タップ SDR モード

図 6-108 参照

番号	パラメータ	モード	最小値	最大値	単位
O7	$t_{c}(\text{CLK})$	サイクル時間、OSPI0/1_CLK	20		ns
O8	$t_{w}(\text{CLKL})$	パルス幅、OSPI0/1_CLK Low	$((0.475P^{(1)}) - 0.3)$		ns
O9	$t_{w}(\text{CLKH})$	パルス幅、OSPI0/1_CLK high	$((0.475P^{(1)}) - 0.3)$		ns
O10	$t_{d}(\text{CSn-CLK})$	遅延時間、OSPI0/1_CS[n:0] アクティブ エッジから OSPI0/1_CLK 立ち上がりエッジまで	$((0.475P^{(1)}) + (0.975M^{(2)}R^{(4)} - 1))$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)} + 1))$	ns
O11	$t_{d}(\text{CLK-CSn})$	遅延時間、OSPI0/1_CLK 立ち上がりエッジから OSPI0/1_CS[n:0] 非アクティブ エッジまで	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)} - 1))$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)} + 1))$	ns
O12	$t_{d}(\text{CLK-D})$	遅延時間、OSPI0/1_CLK アクティブ エッジから OSPI0/1_D[7:0] 遷移まで	-2	2	ns

- (1) P = CLK サイクル時間 = SCLK 周期 (ns 単位)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = 基準クロック サイクル時間 (ns)

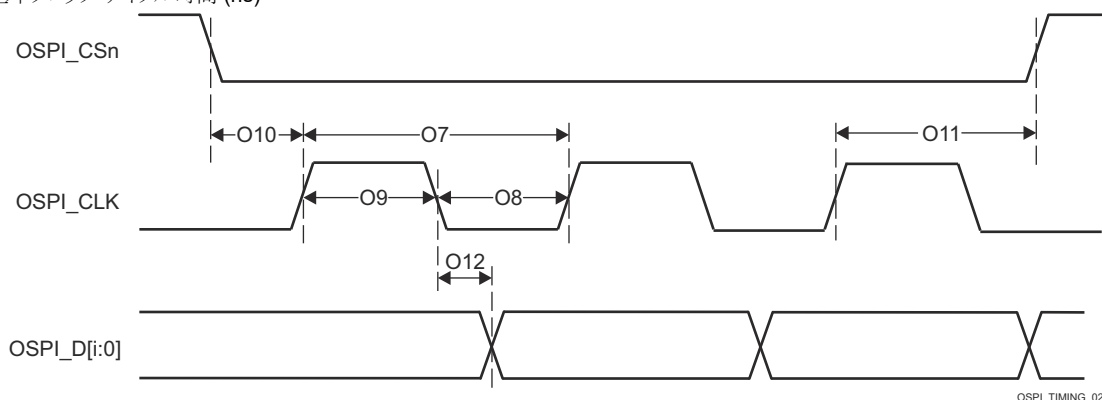


図 6-108. OSPI0/1 のスイッチング特性 – タップ SDR、ループバックなし

6.10.5.19.2.2 OSPI0 タップ DDR のタイミング

表 6-92、図 6-109、表 6-93、図 6-110 に、OSPI0 タップ DDR モードのタイミング要件とスイッチング特性を示します。

表 6-92. OSPI0/1 のタイミング要件 – タップ DDR モード

図 6-109 参照

番号		モード	最小値	最大値	単位
O13	$t_{su}(D-CLK)$	セットアップ時間、OSPI0/1_D[7:0] 有効から アクティブ OSPI0/1_CLK エッジまで	ループバックなし	(17.04 - (0.975T ⁽¹⁾ R ⁽²⁾))	ns
O14	$t_h(CLK-D)$	ホールド時間、OSPI0/1_CLK のアクティブ エッジから OSPI0/1_D[7:0] 有効の間	ループバックなし	(-3.16 + (0.975T ⁽¹⁾ R ⁽²⁾))	ns

(1) T = OSPI_RD_DATA_CAPTURE_REG[DELAY_FLD]

(2) R = 基準クロック サイクル時間 (ns)

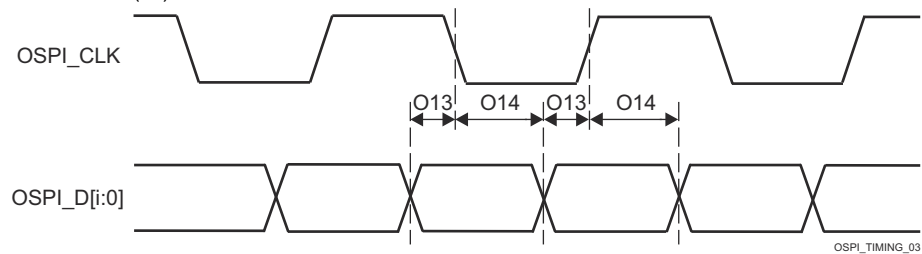


図 6-109. OSPI0/1 のタイミング要件 – タップ DDR、ループバックなし

表 6-93. OSPI0/1 のスイッチング特性 – タップ DDR モード

図 6-110 参照

番号	パラメータ	モード	最小値	最大値	単位
O1	$t_{c(CLK)}$	サイクル時間、OSPI0/1_CLK	40		ns
O2	$t_{w(CLKL)}$	パルス幅、OSPI0/1_CLK Low	$((0.475P^{(1)}) - 0.3)$		ns
O3	$t_{w(CLKH)}$	パルス幅、OSPI0/1_CLK high	$((0.475P^{(1)}) - 0.3)$		ns
O4	$t_{d(CSn-CLK)}$	遅延時間、OSPI0/1_CSn[3:0] アクティブ エッジから OSPI0/1_CLK 立ち上がりエッジまで	$((0.475P^{(1)}) + ((0.975M^{(2)}R^{(4)}) - 1))$	$((0.525P^{(1)}) + (1.025M^{(2)}R^{(4)}) + 1)$	ns
O5	$t_{d(CLK-CSn)}$	遅延時間、OSPI0/1_CLK 立ち上がりエッジから OSPI0/1_CSn[3:0] 非アクティブ エッジまで	$((0.475P^{(1)}) + (0.975N^{(3)}R^{(4)}) - 1)$	$((0.525P^{(1)}) + (1.025N^{(3)}R^{(4)}) + 1)$	ns
O6	$t_{d(CLK-D)}$	遅延時間、OSPI0/1_CLK アクティブ エッジから OSPI0/1_D[7:0] 遷移まで	$(-5.04 + (0.975(T^{(5)} + 1)R^{(4)}) - (0.525P^{(1)}))$	$(3.64 + (1.025(T^{(5)} + 1)R^{(4)}) - (0.475P^{(1)}))$	ns

- (1) P = CLK サイクル時間 = SCLK 周期 (ns 単位)
(2) M = OSPI_DEV_DELAY_REG[D_INIT_FLD]
(3) N = OSPI_DEV_DELAY_REG[D_AFTER_FLD]
(4) R = 基準クロック サイクル時間 (ns)
(5) T = OSPI_RD_DATA_CAPTURE_REG[DDR_READ_DELAY_FLD]

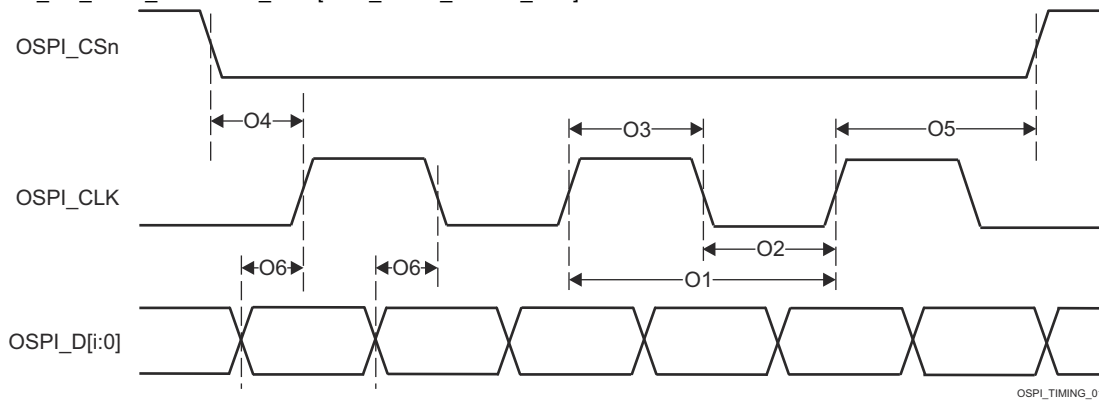


図 6-110. OSPI0/1 のスイッチング特性 – タップ DDR、ループバックなし

6.10.5.20 PCIE

PCI-Express サブシステムは、PCIe® ベース仕様、レビジョン 4.0 に準拠しています。タイミングの詳細については、仕様を参照してください。

このデバイスの PCIE (Peripheral Component Interconnect Express) の機能および追加説明情報の詳細については、「[信号の説明](#)」および「[詳細説明](#)」の対応するセクションを参照してください。

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「Peripheral Component Interconnect Express (PCIe) サブシステム」セクションを参照してください。

6.10.5.21 タイマ

デバイスのタイマの機能および追加の説明情報については、「[信号の説明](#)」、「[詳細説明](#)」の対応するセクションを参照してください。

[表 6-94](#) に、タイマのタイミング条件を示します。

表 6-94. タイマのタイミング条件

パラメータ	説明	モード	最小値	最大値	単位
入力条件					

表 6-94. タイマのタイミング条件 (続き)

パラメータ	説明	モード	最小値	最大値	単位
SR _I	入力スルーレート	キャプチャ	0.5	5	V/ns
出力条件					
C _L	出力負荷容量	PWM	2	10	pF

セクション 6.10.5.21.1、セクション 6.10.5.21.2、図 6-111 に、タイマのタイミングとスイッチング特性を示します。

6.10.5.21.1 タイマのタイミング要件

番号	パラメータ	説明	モード	最小値	最大値	単位
T1	t _w (TINPH)	パルス幅、High	キャプチャ	2.5 + 4P ⁽¹⁾		ns
T2	t _w (TINPL)	パルス幅、Low	キャプチャ	2.5 + 4P ⁽¹⁾		ns

(1) P = 機能クロック周期 (ns 単位)。

6.10.5.21.2 タイマのスイッチング特性

番号	パラメータ	説明	モード	最小値	最大値	単位
T3	t _w (TOUTH)	パルス幅、High	PWM	-2.5 + 4P ⁽¹⁾		ns
T4	t _w (TOUTL)	パルス幅、Low	PWM	-2.5 + 4P ⁽¹⁾		ns

(1) P = 機能クロック周期 (ns 単位)。

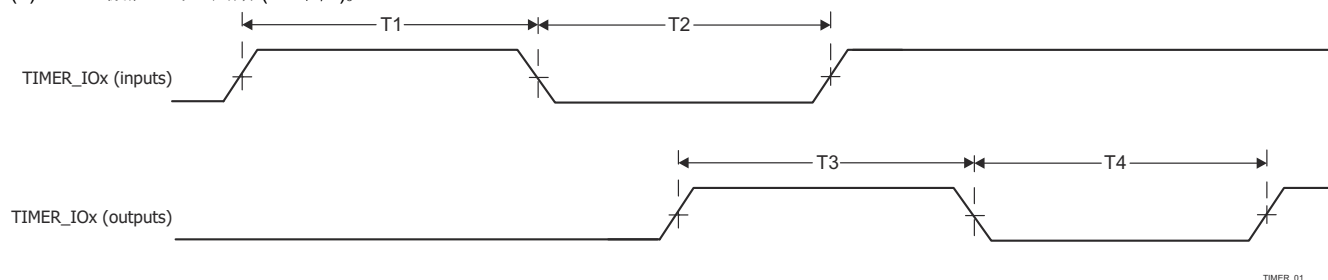


図 6-111. タイマのタイミング

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「タイマ」セクションを参照してください。

6.10.5.22 UART

このデバイスのユニバーサル非同期レシーバ / トランスミッタ (UART) の機能および追加説明情報の詳細については、「信号の説明」および「詳細説明」の対応するセクションを参照してください。

表 6-95 に、UART のタイミング条件を示します。

表 6-95. UART のタイミング条件

パラメータ	説明	最小値	最大値	単位
入力条件				
SR _I	入力スルーレート	0.5	5	V/ns
出力条件				
C _L	出力負荷容量	1	30 ⁽¹⁾	pF

(1) この値は、絶対最大負荷容量を表します。UART のボーレートが上昇するにつれて、接続されているデバイスに十分なタイミング マージンを確保するために、負荷容量をこの最大制限より小さい値に減らす必要がある場合があります。容量性負荷の増加に伴い、出力の立ち上がり / 立ち下がり時間が長くなり、接続されているデバイスのレシーバに対してデータが有効である時間が短くなります。したがって、接続されたデバイスが動

作ボーレートで必要とする最小データ有効時間を理解することが重要です。次に、デバイス IBIS モデルを使用して、UART 信号上の実際の負荷容量によって、接続されているデバイスの最小データ有効時間に違反するほど立ち上がり / 立ち下がり時間が増加しないことを確認します。

セクション 6.10.5.22.1、セクション 6.10.5.22.2、図 6-112 に、UART インターフェイスのタイミング要件とスイッチング特性を示します。

6.10.5.22.1 UART のタイミング要件

番号	パラメータ	説明	モード	最小値	最大値	単位
4	$t_{w(rxd)}$	パルス幅、受信データビット High または Low		0.95U ⁽¹⁾ (2)	1.05U ⁽¹⁾ (2)	ns
5	$t_{w(rxdS)}$	パルス幅、受信スタートビット Low		0.95U ⁽¹⁾ (2)		ns

(1) U = UART のボー時間 = $1 /$ プログラムされたボーレート。

(2) この値はデータ有効時間を規定します。ここで、入力電圧は V_{IH} を上回る、または V_{IL} を下回る必要があります。

6.10.5.22.2 UART スイッチング特性

番号	パラメータ	説明	最小値	最大値	単位
	$f_{(baud)}$	プログラム可能な最大ボーレート		12	Mbps
2	$t_{w(TX)}$	パルス幅、送信データビット High または Low	$U - 2^{(1)}$	$U + 2^{(1)}$	ns
3	$t_{w(RTS)}$	パルス幅、送信スタートビット High または Low	$U - 2^{(1)}$		ns

(1) U = UART のボー時間 = $1 /$ プログラムされたボーレート。

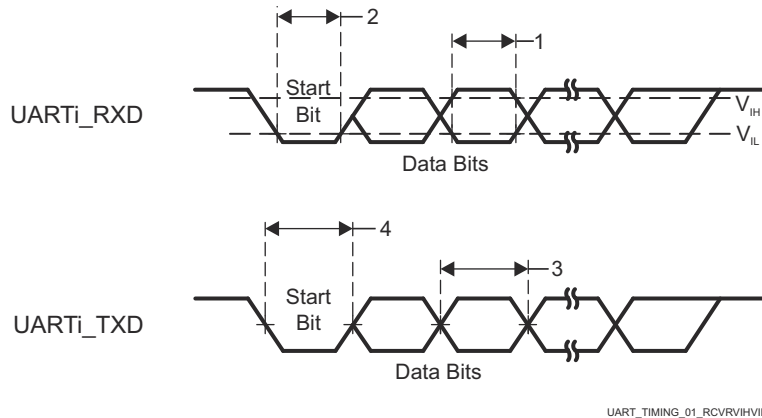


図 6-112. UART のタイミング

詳細については、デバイスのテクニカル リファレンス マニュアルで「ペリフェラル」の章にある「ユニバーサル非同期レシーバ / トランスミッタ (UART)」セクションを参照してください。

6.10.5.23 USB

USB 2.0 サブシステムは、ユニバーサル シリアル バス (USB) 仕様、リビジョン 2.0 に準拠しています。タイミングの詳細については、仕様を参照してください。

USB 3.1 Gen1 デュアルロール デバイス サブシステムは、USB (Universal Serial Bus) 3.1 仕様、リビジョン 1.0 に準拠しています。タイミングの詳細については、仕様を参照してください。

デバイスのユニバーサル シリアル バス (USB) サブシステムの機能および追加の説明情報については、「信号の説明」および「詳細説明」の対応するセクションを参照してください。

6.10.6 エミュレーションおよびデバッグ

6.10.6.1 トレース

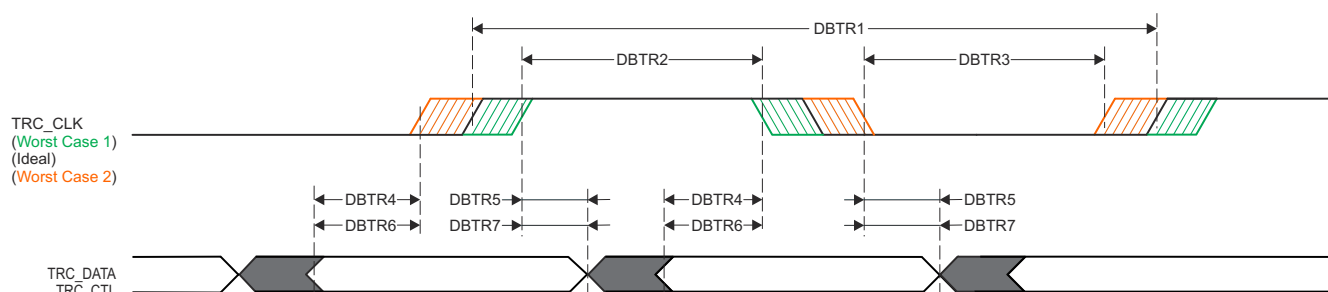
表 6-96. トレースのタイミング条件

パラメータ		最小値	最大値	単位
出力条件				
C_L	出力負荷容量	2	5	pF
PCB 接続要件				
t_d (Trace Mismatch)	すべてのパターンにわたる伝搬遅延の不整合		200	ps

表 6-97 および 図 6-113 は、推奨動作条件と電気的特性条件に基づくテストを想定しています。

表 6-97. トレースのスイッチング特性

番号	パラメータ		最小値	最大値	単位
1.8 V モード					
DBTR1	$t_c(\text{TRC_CLK})$	サイクル時間、TRC_CLK	6.50		ns
DBTR2	$t_w(\text{TRC_CLKH})$	パルス幅、TRC_CLK High	2.50		ns
DBTR3	$t_w(\text{TRC_CLKL})$	パルス幅、TRC_CLK Low	2.50		ns
DBTR4	$t_{\text{osu}}(\text{TRC_DATAV-TRC_CLK})$	出力セットアップ時間、TRC_DATA 有効から TRC_CLK エッジまで	0.81		ns
DBTR5	$t_{\text{oh}}(\text{TRC_CLK-TRC_DATAI})$	出力ホールド時間、TRC_CLK エッジから TRC_DATA 無効まで	0.81		ns
DBTR6	$t_{\text{osu}}(\text{TRC_CTLV-TRC_CLK})$	出力セットアップ時間、TRC_CTL 有効から TRC_CLK エッジまで	0.81		ns
DBTR7	$t_{\text{oh}}(\text{TRC_CLK-TRC_CTLI})$	出力ホールド時間、TRC_CLK エッジから TRC_CTL 無効まで	0.81		ns
3.3 V モード					
DBTR1	$t_c(\text{TRC_CLK})$	サイクル時間、TRC_CLK	9.75		ns
DBTR2	$t_w(\text{TRC_CLKH})$	パルス幅、TRC_CLK High	4.13		ns
DBTR3	$t_w(\text{TRC_CLKL})$	パルス幅、TRC_CLK Low	4.13		ns
DBTR4	$t_{\text{osu}}(\text{TRC_DATAV-TRC_CLK})$	出力セットアップ時間、TRC_DATA 有効から TRC_CLK エッジまで	1.22		ns
DBTR5	$t_{\text{oh}}(\text{TRC_CLK-TRC_DATAI})$	出力ホールド時間、TRC_CLK エッジから TRC_DATA 無効まで	1.22		ns
DBTR6	$t_{\text{osu}}(\text{TRC_CTLV-TRC_CLK})$	出力セットアップ時間、TRC_CTL 有効から TRC_CLK エッジまで	1.22		ns
DBTR7	$t_{\text{oh}}(\text{TRC_CLK-TRC_CTLI})$	出力ホールド時間、TRC_CLK エッジから TRC_CTL 無効まで	1.22		ns



SPRSP08_Debug_01

図 6-113. トレースのスイッチング特性

6.10.6.2 JTAG

デバイスの IEEE 1149.1 Standard-Test-Access ポートの機能および追加の説明情報については、「[信号の説明](#)」、「[詳細説明](#)」の対応するセクションを参照してください。

注

JTAG 信号は、デバイス上の 2 つの IO 電源ドメインに分割されます。このセクションで定義するタイミング パラメータは、2 つの IO 電源ドメインが同じ電圧で動作し、レベルシフタが信号パスに挿入されていない場合にのみ適用されます。2 つの IO 電源ドメインを異なる電圧で動作させる場合、以下のタイミング パラメータの値は定義されません。一部が 1.8V で動作し、他の部分が 3.3V で動作している場合には、デバイスの IO バッファを通る伝搬遅延が異なるからです。これにより、タイミング マージンは、このセクションで定義される値よりも実質的に減少します。システム設計者が適切なレベル シフタを実装し、異なる電圧で動作しているレベル シフタと IO バッファによって挿入される追加の遅延に対応するために動作周波数を低下させるならば、2 つの IO 電源ドメインが異なる電圧で動作していても JTAG インターフェイスは引き続き機能することが期待されます。

表 6-98. JTAG のタイミング条件

パラメータ		最小値	最大値	単位
入力条件				
SR _I	入力スループート	0.50	2.00	V/ns
出力条件				
C _L	出力負荷容量	5	15	pF
PCB 接続要件				
t _d (Trace Delay)	各パターンの伝搬遅延	83.5	1000 ⁽¹⁾	ps
t _d (Trace Mismatch Delay)	すべてのパターンにわたる伝搬遅延の不整合		100	ps

- (1) JTAG 信号トレースに関連する最大伝搬遅延は、最大 TCK 動作周波数に大きな影響を及ぼします。トレース遅延をこの値より大きくすることも可能ですが、追加のトレース遅延を考慮して TCK の動作周波数を下げる必要があります。

6.10.6.2.1 JTAG の電氣的データおよびタイミング

[セクション 6.10.6.2.1.1](#)、[セクション 6.10.6.2.1.2](#)、[図 6-114](#) は、推奨動作条件と電氣的特性条件に基づくテストを想定しています。

6.10.6.2.1.1 JTAG のタイミング要件

[図 6-114](#) を参照

番号		最小値	最大値	単位
J1	t _c (TCK) 最小サイクル時間、TCK	46.5 ⁽¹⁾		ns
J2	t _w (TCKH) 最小パルス幅、TCK High	18.6 ⁽²⁾		ns
J3	t _w (TCKL) 最小パルス幅、TCK Low	18.6 ⁽²⁾		ns
J4	t _{su} (TDI-TCK) 最小入力セットアップ時間、TDI 有効から TCK High まで	4.5		ns
	t _{su} (TMS-TCK) 最小入力セットアップ時間、TMS 有効から TCK High まで	4.5		ns
J5	t _h (TCK-TDI) 最小入力ホールド時間、TCK High から TDI 有効の間	2		ns
	t _h (TCK-TMS) 最小入力ホールド時間、TCK High から TMS 有効の間	2		ns

- (1) 最大 TCK 動作周波数は、接続されているデバッガについて、次のタイミング要件およびスイッチング特性を想定しています。デバッガがこれらの前提のいずれかを上回る場合、適切なタイミング マージンを確保するために、TCK の動作周波数を下げる必要があります。

- 最小 TDO セットアップ時間は、TCK の立ち上がりエッジに対して 4.6 ns
- TCK の立ち下がりエッジに対して -16.5 ns～14.0 ns の範囲の TDI および TMS 出力遅延

- (2) P = TCK サイクル時間 (ns 単位)

6.10.6.2.1.2 JTAG のスイッチング特性

図 6-114 を参照

番号	パラメータ		最小値	最大値	単位
J6	$t_d(\text{TCKL-TDOI})$	最小遅延時間、TCK Low から TDO 無効まで	0		ns
J7	$t_d(\text{TCKL-TDOV})$	最大遅延時間、TCK Low から TDO 有効まで		12	ns

- JTAG 信号は、デバイス上の 2 つの IO 電源ドメインに分割されます。この表に定義されているタイミング パラメータは、2 つの IO 電源ドメインが同じ電圧で動作している場合にのみ適用されます。2 つの IO 電源ドメインを異なる電圧で動作させる場合、これらのタイミング パラメータの値は定義されません。一部が 1.8V で動作し、他の部分が 3.3V で動作している場合には、デバイスの IO バッファを通る伝搬遅延が異なるからです。これにより、タイミング マージンは、この表に定義された値よりも実質的に減少します。システム設計者が適切なレベル シフタを実装し、異なる電圧で動作しているレベル シフタと IO バッファによって挿入される追加の遅延に対応するために動作周波数を低下させるならば、2 つの IO 電源ドメインが異なる電圧で動作していても JTAG インターフェイスは引き続き機能することが期待されます。

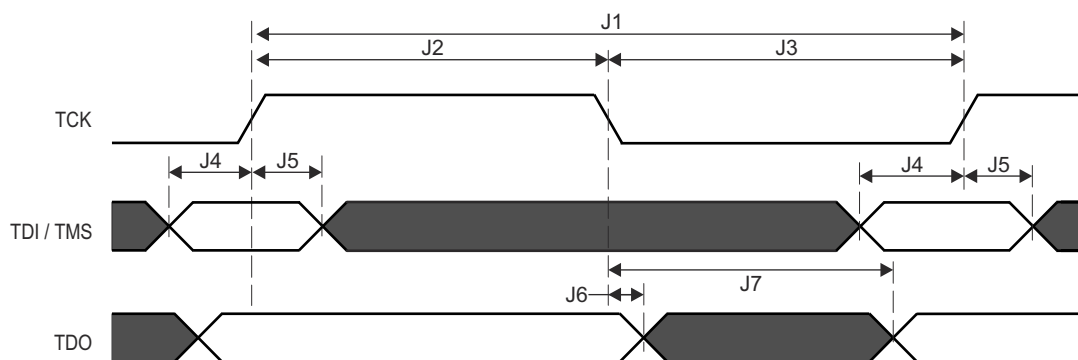


図 6-114. JTAG のタイミング要件およびスイッチング特性

7 アプリケーション、実装、およびレイアウト

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 デバイスの接続およびレイアウトの基礎

7.1.1 電源のデカップリングおよびバルク コンデンサ

7.1.1.1 電源供給回路の実装ガイド

『TPS6594133A-Q1 PMIC およびデュアル HCPS コンバータを使用した絶縁型電源グループ用の Jacinto™ J7 SoC ファミリーへの電源供給』ユーザー ガイドは、電源供給回路を正しく実装するためのガイダンスを提供します。これには、PCB スタックアップ ガイダンスと、デカップリング コンデンサの選択および配置を最適化するためのガイダンスが含まれます。TI は、このアプリケーション レポートに記載されているボード設計ガイドラインに従った設計のみをサポートしています。

7.1.2 外部発振器

外部発振器の詳細については、「[クロック仕様](#)」を参照してください。

7.1.3 JTAG および EMU

テキサス・インスツルメンツは、JTAG のサポートだけでなく、さまざまなデバッグ機能を備えた各種の拡張開発システム (XDS) JTAG コントローラをサポートしています。この情報の概要については、『[XDS ターゲット接続ガイド](#)』を参照してください。

EMU ルーティングの推奨事項の詳細については、『[エミュレーションおよびトレース ヘッダー テクニカル リファレンス マニュアル](#)』を参照してください。

7.1.4 リセット

このデバイスは、4 つの外部リセット ピン (MCU_PORz、MCU_RESETz、PORz、RESET_REQz) と、2 つのリセット ステータス ピン (MCU_RESETSTATz、RESETSTATz) を備えています。これらのピンは、外部のパワー グッド回路または PMIC (電源管理 IC) によって駆動できます。MCU_PORz ピンとメイン PORz ピンは、電源投入フェーズの間、およびすべての電源と HFOSC0 クロックが安定するまで、アクティブ Low に保持する必要があります。

すべての MCU ドメイン リセットは、デバイス全体に対するマスタリセットとして機能しますが、メイン ドメイン リセットはメイン ドメインだけをリセットします (MCU ドメインは、すべてのメイン ドメイン リセットからリセットが分離されています)。

7.1.5 未使用のピン

未使用ピンの詳細については、「[ピン接続要件](#)」を参照してください。

7.1.6 Jacinto™ 7 デバイスのハードウェア設計ガイド

『Jacinto™ 7 デバイスのハードウェア設計ガイド』ドキュメントには、Jacinto™ 7 ファミリーのプロセッサに関するハードウェア システム設計の考慮事項が記載されています。この設計ガイドは、アプリケーション ハードウェアを開発する際の支援として使用することを意図しています。

7.2 ペリフェラルおよびインターフェイス固有の設計情報

7.2.1 LPDDR4 基板の設計およびレイアウトのガイドライン

『Jacinto 7 DDR 基板の設計およびレイアウトのガイドライン』の目標は、すべての設計者に対して LPDDR4 システムの実装を明快にすることです。要件を一連のレイアウトおよび配線ルールに絞り込んで、設計者が、テキサス・インスツルメン

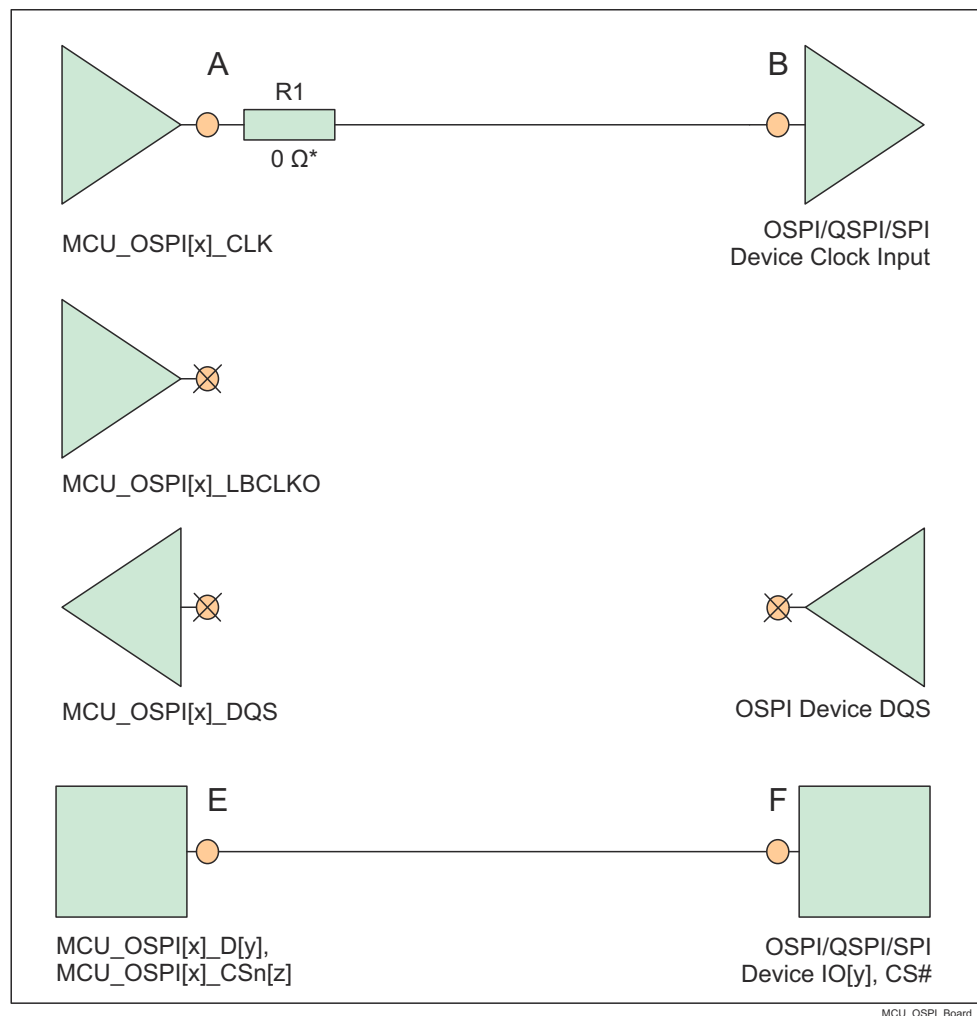
ツのサポートするトポロジに対応した堅牢な設計を正しく実装できるようにしています。テキサス・インスツルメンツは、LPDDR4 メモリを使用したボード設計において、このドキュメントのガイドラインに従ったものだけをサポートしています。

7.2.2 OSPI および QSPI 基板の設計およびレイアウト ガイドライン

以下のセクションでは、OSPI および QSPI インターフェイスの配線にあたって従うべき配線ガイドラインについて詳しく説明します。

7.2.2.1 ループバックなしおよび内部パッド ループバック

- MCU_OSPI[x]_CLK 出力信号は、フラッシュ デバイスの CLK ピンに接続する必要があります
- MCU_OSPI[x]_CLK 信号からフラッシュ デバイスへの信号伝搬遅延は 450ps 未満 (ストリップラインの場合は約 7cm、マイクロストリップの場合は約 8cm) とする必要があります
- 図 7-1 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング:
 - A から B は 450ps 未満
 - マッチング スキュー: < 60ps



* 0Ω 抵抗 (R1) は、MCU_OSPI[x]_CLK ピンのできるだけ近くに配置して、必要に応じて微調整するためのブレースホルダです。

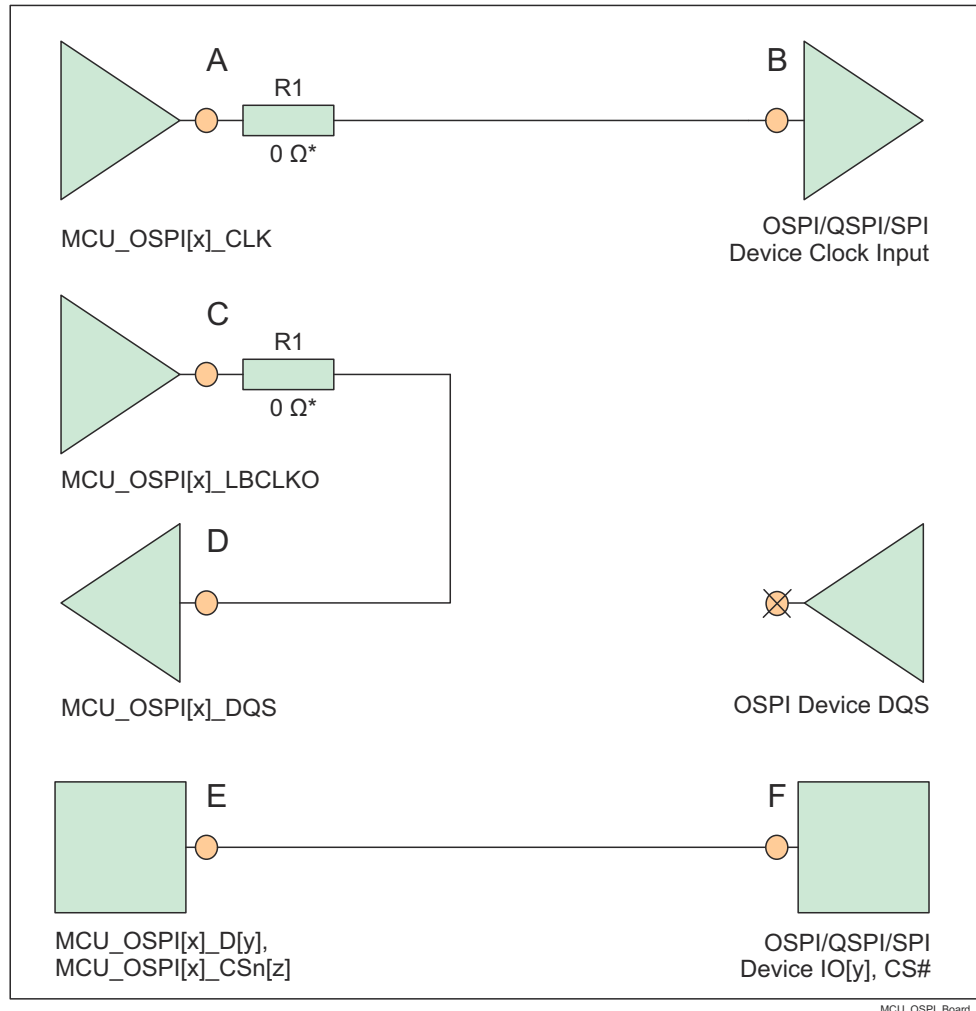
図 7-1. OSPI インターフェイスの概略回路図

7.2.2.2 外部ボードのループバック

- MCU_OSPI[x]_CLK 出力信号は、フラッシュ デバイスの CLK ピンに接続する必要があります
- MCU_OSPI[x]_LBCLKO 出力信号は、MCU_OSPI[x]_DQS 入力にループバックする必要があります
- MCU_OSPI[x]_CLK ピンからフラッシュ デバイス CLK 入力ピンまでの信号伝搬遅延 (A から B まで) は、MCU_OSPI[x]_LBCLKO ピンから MCU_OSPI[x]_DQS ピンまでの信号伝搬遅延の半分 (C から D まで) / 2) とほぼ等しくなっている必要があります以下の注記を参照してください。
- MCU_OSPI[x]_CLK ピンからフラッシュ デバイス CLK 入力ピンまでの信号伝搬遅延 (A から B まで) は、フラッシュ デバイスと SoC デバイスの間の制御およびデータ信号の信号伝搬遅延 (E から F まで、または F から E まで) とほぼ等しくなっている必要があります
-  7-2 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング:
 - (A から B まで) = (E から F まで) = ((C から D まで) / 2)
 - マッチング スキュー: < 60ps

注

OSPI 基板のループバック ホールド時間の要件 (OSPI で説明) は、標準的なフラッシュ デバイスによって供給されるホールド時間よりも長くなっています。このため、MCU_OSPI[x]_LBCLKO ピンから MCU_OSPI[x]_DQS ピンまでの長さ (C から D まで) を短くして補償できます。

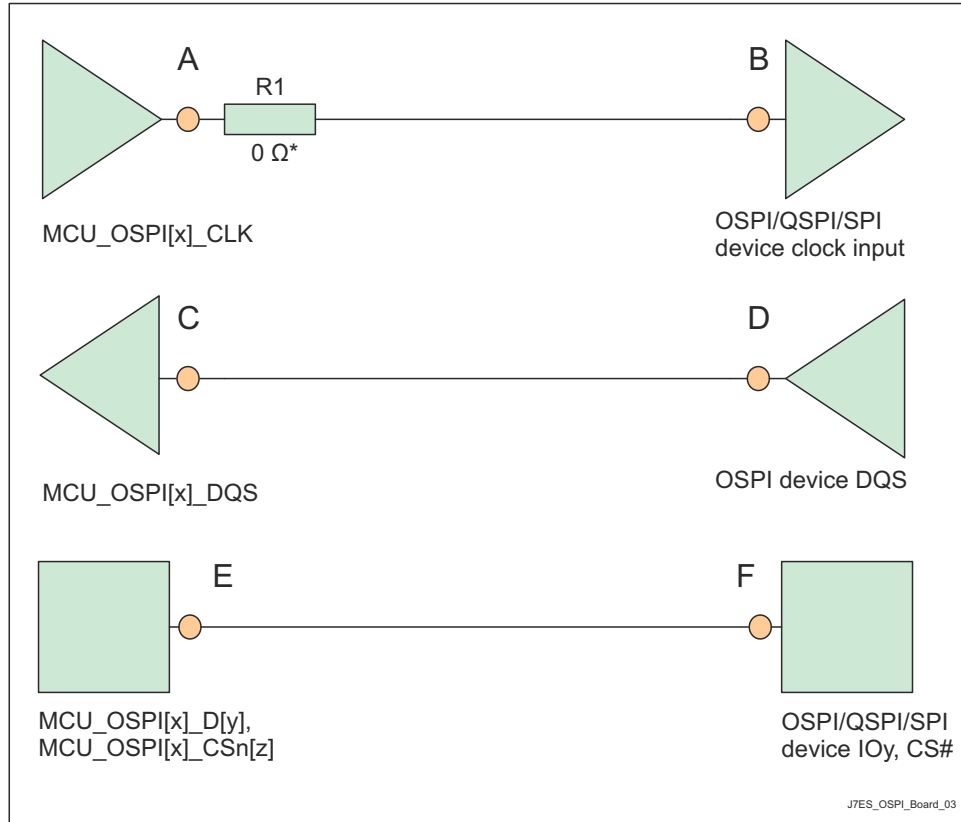


* 0Ω 抵抗 (R1) は、MCU_OSPI[x]_CLK ピンおよび MCU_OSPI[x]_LBCLKO ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

図 7-2. OSPI インターフェ이스の概略回路図

7.2.2.3 DQS (オクタル フラッシュ デバイスでのみ使用可能)

- MCU_OSPI[x]_CLK 出力信号は、フラッシュ デバイスの CLK ピンに接続する必要があります
- フラッシュ デバイスの DQS ピンは、MCU_OSPI[x]_DQS 信号に接続する必要があります
- MCU_OSPI[x]_CLK ピンからフラッシュ デバイス CLK 入力ピンまでの信号伝搬遅延 (A から B まで) は、MCU_OSPI[x]_DQS ピンから DQS 出力ピンまでの信号伝搬遅延 (C から D まで) とほぼ等しくなっている必要があります
- 図 7-3 に示すように、50Ω の PCB 配線および直列終端を推奨します
- 伝搬遅延とマッチング:
 - A から B = C から D
 - マッチング スキュー: < 60ps



* 0Ω 抵抗 (R1) は、MCU_OSPI[x]_CLK ピンのできるだけ近くに配置して、必要に応じて微調整するためのプレースホルダです。

図 7-3. OSPI インターフェイスの概略回路図

7.2.3 USB VBUS 設計ガイドライン

USB 3.1 仕様では、VBUS 電圧は通常動作で最大 5.5V であり、「パワー デリバリー」追補がサポートされている場合は最大 20V になることが許容されています。一部の車載アプリケーションは、最大電圧を 30V にする必要があります。

このデバイスでは、外付けの分圧抵抗を使用して VBUS 信号電圧を下げる必要があります (図 7-4 を参照)。これにより、実際のデバイスピン (USB0_VBUS) に印加される電圧が制限されます。これらの外部抵抗の許容誤差は 1% 以下、ツェナー ダイオードの 5V でのリーク電流は 100nA 未満とする必要があります。(1)

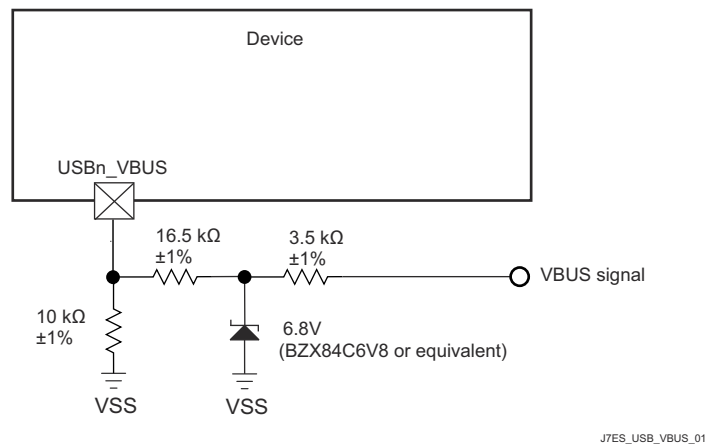


図 7-4. USB VBUS 検出分圧器 / クランプ回路

デバイスの電源がオフのときに VBUS が印加された場合、[図 7-4](#) に示す外部回路によって実際のデバイス ピンへの入力電流が制限されるため、USB0_VBUS ピンはフェイルセーフであると考えられます。

7.2.4 VMON/POK を使用したシステム電源監視の設計ガイドライン

VMON1_ER_VSYS ピンは、システム電源を監視する手段を提供します。このシステム電源は、通常、システム全体を対象とする単一のあらかじめ安定化された電源です。この電源から供給される外部分圧器回路の出力を内部基準電圧と比較することによってこの電源を監視します。VMON1_ER_VSYS に印加される電圧が内部基準電圧を下回ると、パワーフェイル イベントがトリガされます。実際のシステム電源電圧トリップ ポイントは、外付け抵抗による分圧回路の実装に使用する部品の値を選択するときに、システム設計者が決定します。分圧抵抗回路を設計する際は、システム電源監視のトリップ ポイントの変動に寄与するさまざまな要因を理解することが重要です。最初に考慮するのは、VMON1_ER_VSYS 入力スレッショルドの初期精度です。このスレッショルドの公称値は 0.45V で、変動は $\pm 3\%$ です。分圧抵抗回路の実装には、同程度の熱係数で高精度の 1% 抵抗を推奨します。これにより、抵抗値の誤差に起因する変動を最小限に抑えることができます。VMON1_ER_VSYS に関連する入力リーク電流も考慮する必要があります。これは、ピンに流入する電流によって分圧器出力に負荷誤差が生じるためです。VMON1_ER_VSYS 入力のリーク電流は、 0.45V 印加時に 10nA ～ $2.5\mu\text{A}$ の範囲となる可能性があります。

注

抵抗分圧器は、通常動作条件において、その出力電圧が「推奨動作条件」に定義された最大値を決して超えないように設計する必要があります。

システム電源が公称 5V で、最大トリガ スレッショルドが $5\text{V} - 10\%$ 、すなわち 4.5V の場合の例を [図 7-5](#) に示します。

この例では、抵抗値を選択するときに、どの変数が最大トリガ スレッショルドに影響を与えるかを理解することが重要です。システム電源が 10% 低下するまでトリップしない分圧器を設計するには、VMON1_ER_VSYS 入力スレッショルドが $0.45\text{V} + 3\%$ であるデバイスを検討する必要があることは明らかです。抵抗の許容誤差と入力リーク電流の影響も考慮する必要がありますが、これらの寄与が最大トリガ ポイントにどのように影響するかは明らかではない場合があります。最大トリガ電圧を生成する部品値を選択するときは、VMON1_ER_VSYS ピンの入力リーク電流が $2.5\mu\text{A}$ であるという条件と、 $R1$ の値が 1% 低く、 $R2$ の値が 1% 高いという条件を考慮する必要があります。 $R1 = 4.81\text{k}\Omega$ および $R2 = 40.2\text{k}\Omega$ の抵抗分圧器を実装すると、結果として最大トリガ スレッショルドは 4.523V になります。

上記のように最大トリガ電圧を満たすように部品の値を選択すると、システム設計者は、 $R1$ の値が 1% 高く、 $R2$ の値が 1% 低い場合、および入力リーク電流が 10nA またはゼロの場合、出力電圧が $0.45\text{V} - 3\%$ になる印加電圧を計算することにより、最小トリガ電圧を決定できます。上記の抵抗値とゼロの入力リーク電流を組み合わせた結果、最小トリガ スレッショルドは 4.008V となります。

ここでは、システム電源電圧トリップ ポイントが 4.008V ～ 4.523V の範囲となる例を示しています。この範囲のうち約 250mV は、VMON1_ER_VSYS の入力スレッショルド精度 $\pm 3\%$ によって発生し、この範囲の約 150mV は抵抗の誤差 $\pm 1\%$ によって発生します。また、この範囲の約 100mV は、VMON1_ER_VSYS の入力リーク電流が $2.5\mu\text{A}$ である場合の負荷誤差により発生します。

この例で選択した抵抗値では、システム電源が 4.5V のとき、分圧抵抗により約 $100\mu\text{A}$ のバイアス電流が発生します。上記の 100mV の負荷誤差は、分圧抵抗を流れるバイアス電流を約 1mA に増やすことにより、約 10mV に低減できます。したがって、抵抗分圧器のバイアス電流と負荷誤差の関係は、部品の値を選択するときにシステム設計者が考慮する必要があります。

VMON1_ER_VSYS は、最小のヒステリシスで、過渡に対する高帯域応答を備えているため、システム設計者は分圧器出力にノイズ フィルタを実装することも考慮する必要があります。これは、[図 7-5](#) に示すように、 $R1$ の両端にコンデンサを取り付けることで実現できます。ただし、システム設計者は、システムの電源ノイズと、過渡現象に対して予測される応答に基づいて、このフィルタの応答時間を決定する必要があります。

システム電源電圧が公称 5V で、目標のトリガ スレッショルドが -10% すなわち 4.5V の場合の例を [図 7-5](#) に示します。

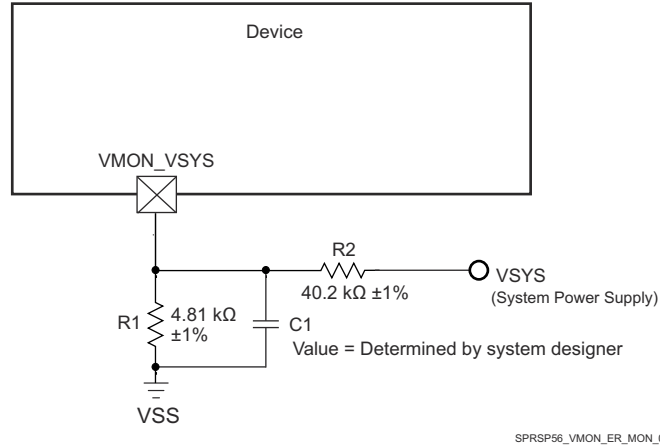


図 7-5. システム電源監視分圧回路

VMON2_IR_VCPU は、システム電源を監視する手段を提供します。**VMON2_IR_VCPU** ピンは、基板上で **VDD_CPU** ピンのできるだけ近くに外部から接続することを推奨します。**VMON6_IR_VEXT0P8** を備えた SoC は、オプションで **VDD_CORE** や **VDD_MCU** など他のドメインを監視できます。同様に、これらの信号は、ボード上で **VDD_CORE** ピンまたは **VDD_MCU** ピンのできるだけ近くに配置します。

VMON3_IR_VEXT1P8 および **VMON4_IR_VEXT1P8** ピンは、外部の 1.8V 電源を監視する手段を提供します。**VMON5_IR_VEXT3P3** ピンは、外部 3.3V 電源を監視する手段を提供します。この SoC には、ソフトウェア制御の内部分圧抵抗が実装されています。ソフトウェアにより、内部分圧抵抗回路をプログラミングして、適切な低電圧および過電圧の割り込みを生成できます。これらのピンには、外付けの分圧抵抗から電力を供給しないでください。監視対象の電圧を調整する必要がある場合は、監視ピンに接続する前に、分圧された電圧をバッファしてください。

7.2.5 高速差動信号のルーティングガイド

『[高速インターフェースのレイアウト ガイドライン](#)』には、高速差動信号を正しく配線するためのガイダンスが示されています。これには、PCB スタックアップと材料のガイダンス、配線スキュー、長さ、間隔の制限が含まれます。TI は、このアプリケーション レポートに記載されているボード設計ガイドラインに従った設計のみをサポートしています。

7.2.6 熱ソリューションガイダンス

『[DSP および ARM アプリケーション プロセッサ用の熱設計ガイド](#)』は、このデバイスを搭載したシステム設計の熱ソリューションを正しく実装するための指針を提供しています。この資料は、熱ソリューションに関連する一般的な用語と方法に関する背景情報を記載しています。TI は、このアプリケーション レポートに記載されているシステム設計ガイドラインに従った設計のみをサポートしています。

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 デバイスの命名規則

製品開発サイクルの段階を示すために、テキサス・インスツルメンツではマイクロプロセッサ (MPU) とサポート ツールのすべての型番に接頭辞が割り当てられています。各デバイスには次の 3 つのいずれかの接頭辞があります: **X**、**P**、空白 (接頭辞なし)。テキサス・インスツルメンツでは、サポート ツールについては、使用可能な 3 つの接頭辞のうち **TMDX** および **TMDS** の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ (TMDX) から、完全認定済みの量産デバイス/ツール (TMDS) まであります。

デバイスの開発進展フロー:

- X** 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ フローを使用しない可能性があります。
- P** プロトタイプ デバイス。最終的なシリコン ダイとは限らず、最終的な電気的特性を満たさない可能性があります。
- 空白** 認定済みのシリコン ダイの量産バージョン。

サポート ツールの開発進展フロー:

- TMDX** 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。
- TMDS** 完全に認定済みの開発サポート製品です。

X および **P** デバイスと **TMDX** 開発サポート ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です。」

量産デバイスおよび **TMDS** 開発サポート ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ デバイス (**X** または **P**) の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツではそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

注文可能な型番については、このドキュメントにあるパッケージ オプションの付録やテキサス・インスツルメンツの Web サイト (ti.com) を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。

8.1.1 標準パッケージの記号化

注

一部のデバイスには、パッケージの上面に装飾的な円形のマーキングがあります。これは、量産テストプロセスの結果として添付されます。さらに、一部のデバイスでは、パッケージのサブストレートの製造元によって、パッケージのサブストレートに色のばらつきが見られる場合があります。このばらつきは外見上だけのものであって、信頼性には影響しません。

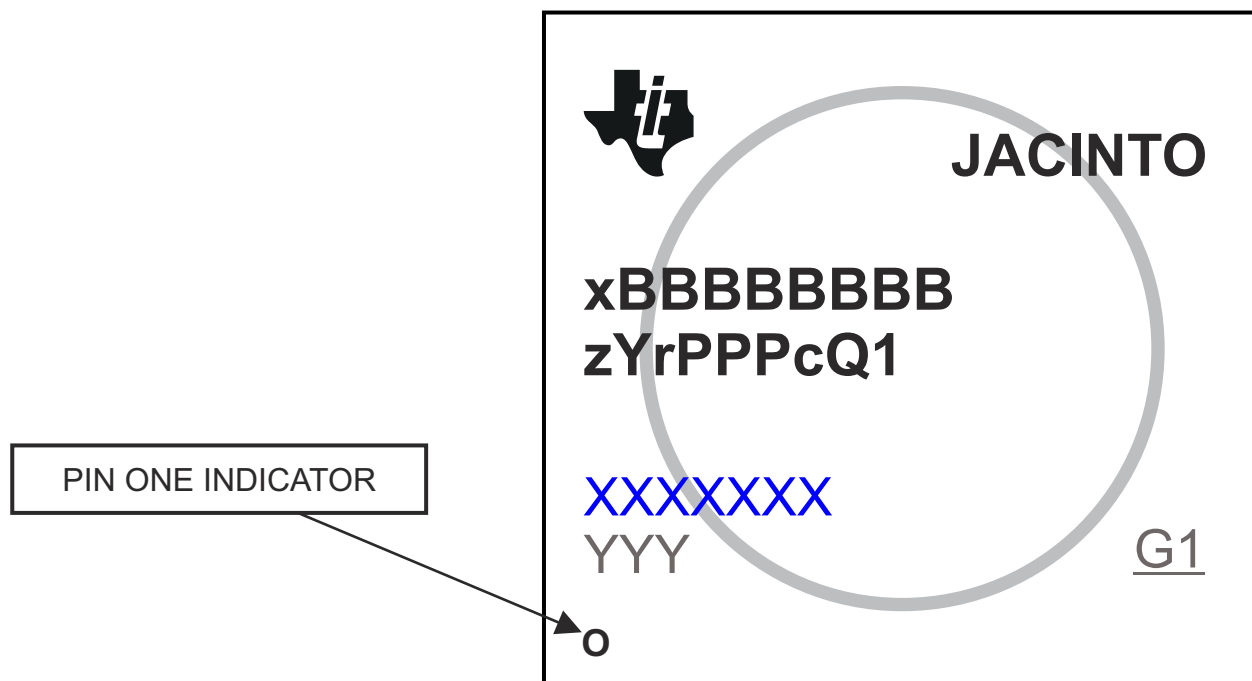


図 8-1. 印刷されたデバイス参照

8.1.2 デバイスの命名規則

注

記号または型番の空白は省略されるため、前後の文字は連続して表記されます。

表 8-1. 項目名の説明

フィールド パラメータ	フィールドの 説明	値		説明
		マーキング	注文可能製品	
x	デバイスの開発段階 ⁽¹⁾	X		プロトタイプ
		P		量産前(量産テストフロー、信頼性データなし)
		空白		量産出荷中
BBBBBB ⁽²⁾	基本量産型番	J721S2 ⁽²⁾		量産開始前のスーパーセット デバイス
		TDA4VE88		セクション 4、製品比較表を参照
		TDA4AL88		
		TDA4VL21		
z	デバイスの速度	T		表 6-1、速度グレードの最大周波数を参照
		N		
		H		
		その他		他の速度グレード
Y	デバイス タイプ	G		汎用
		C		汎用、R5F ロックステップ対応
		0		高度セキュリティ ⁽³⁾ 対応
		5		高度セキュリティ ⁽³⁾ 対応、R5F ロックステップ対応
		R		高度セキュリティブライム ⁽³⁾ 対応、R5F ロックステップ対応
		D		高度セキュリティ ⁽³⁾ 対応、R5F ロックステップ対応、お客様による開発キー。量産開始前の J721S2 デバイスでのみ利用可。
		P		高度セキュリティブライム ⁽³⁾ 対応、R5F ロックステップ対応、お客様による開発キー。量産開始前の J721S2 デバイスでのみ利用可。
r	デバイスリビジョン	A または 空白		SR 1.0
PPP	パッケージ指定子	ALZ		ALZ FCBGA-N770 (23mm x 23mm) パッケージ
c	キャリア識別記号	該当なし	空白	トレイ
		該当なし	R	テープ アンド リール
Q1	車載識別記号	空白		車載認定は受けていません。 $T_J = -40^{\circ}\text{C} \sim 105^{\circ}\text{C}$ に対応
		Q1		このデータシートに記載されている例外を除き、AEC-Q100 認定要件に適合。 $T_J = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$ に対応
XXXXXXX	ロットのトレースコード	マークあり	該当なし	ロットのトレースコード(LTC)
YYY	量産コード	マークあり	該当なし	量産コード、TI でのみ使用
ZZZ	量産コード	マークあり	該当なし	量産コード、TI でのみ使用
O	ピン 1	マークあり	該当なし	ピン 1 の指定子
G1	ECAT	マークあり	該当なし	ECAT—グリーン パッケージ 指定子

- (1) 製品開発サイクルの段階を示すために、TI では型番に接頭辞を割り当てます。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプから、完全認定済みの量産デバイスまであります。
プロトタイプ デバイスは、次の免責事項付きで出荷されます。
「この製品はまだ開発中であり、社内での評価を目的としています」。

テキサス・インスツルメンツはこれらのデバイスについて、これに反するような条項が存在していても、明示的、暗黙的、法定にかかわらず、商用性や特定目的への適合性への暗黙的な保証も含め、一切の責任を負いません。

- (2) J721S2 は、量産開始前のスーパーセット デバイスの基本型番です。ソフトウェアは、目的の量産デバイスに合わせて、使用する機能に制約を加える必要があります。
- (3) HS デバイスをサポートするには、0、5、または D のデバイス・タイプを推奨します。R および P (HS「プライム」) デバイス タイプは、製造プロセスで追加のステップを必要とし、コストが高くなるため、ほとんどのアプリケーションには推奨されません。

8.2 ツールとソフトウェア

TDA4VM プラットフォームの開発を支援するため、以下の製品を使用できます。

開発ツール

Code Composer Studio™ 統合開発環境 Code Composer Studio (CCS) 統合開発環境 (IDE) は、テキサス・インスツルメンツのマイクロコントローラと組み込みプロセッサのポートフォリオをサポートする開発環境です。Code Composer Studio は、組み込みアプリケーションの開発およびデバッグに必要な一連のツールで構成されています。最適化 C/C++ コンパイラ、ソースコード エディタ、プロジェクト ビルド環境、デバッガ、プロファイラなど、多数の機能が含まれています。IDE は直感的で、アプリケーションの開発フローの各段階を、すべて同一のユーザー インターフェイスで実行できます。使い慣れたツールとインターフェイスにより、ユーザーは従来より迅速に作業を開始できます。Code Composer Studio は、Eclipse ソフトウェア フレームワークの利点と、テキサス・インスツルメンツの先進的な組み込みデバッグ機能の利点を組み合わせて、組み込み製品の開発者向けの魅力的で機能豊富な開発環境を実現します。

SYSCONFIG ツール (システム構成ツール) 構成に関する課題を簡素化し、ソフトウェア開発を迅速化できるように、テキサス・インスツルメンツは SysConfig を開発しました。このツールは直観的で包括的なグラフィカル ユーティリティの集合体であり、ピン、ペリフェラル、無線、サブシステム、その他のコンポーネントを構成できます。SysConfig を使用すると、競合の管理、表面化、解決をビジュアルな方法で実行できるので、より多くの時間をアプリケーションの差異化に割り当てることができます。SysConfig ツールは Code Composer Studio™ (CCS) IDE に統合されており、スタンドアロン インストローラとしても提供されています。また、dev.ti.com クラウド ツール ポータルからも使用できます。

プロセッサ プラットフォーム用の開発サポート ツールすべての一覧については、テキサス・インスツルメンツの Web サイト (ti.com) を参照してください。価格と在庫状況については、お近くのフィールド セールス オフィスまたは認可代理店にお問い合わせください。

8.3 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

以下のドキュメントには、TDA4x デバイスについて記載されています。

テクニカル リファレンス マニュアル

『**TDA4AL, TDA4VL, TDA4VE テクニカル リファレンス マニュアル**』には、TDA4VM ファミリー デバイスの各ペリフェラルおよびサブシステムについて、統合、環境、機能説明、プログラミング モデルの詳細が記載されています。

エラッタ

『**J721S2, TDA4VE, TDA4AL, TDA4VL プロセッサ シリコン リビジョン 1.0、シリコン エラッタ**』にはデバイスの機能仕様に関する既知の例外が記載されています。

8.4 商標

eMMC™ is a trademark of MultiMediaCard Association.

Jacinto™, Code Composer Studio™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.

PCI-Express® is a registered trademark of PCI-SIG.

Secure Digital® is a registered trademark of SD Card Association.

すべての商標は、それぞれの所有者に帰属します。

8.5 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

Changes from AUGUST 19, 2023 to DECEMBER 13, 2024 (from Revision A (AUGUST 2023) to Revision B (DECEMBER 2024))

Page

・ グローバル:「改訂履歴」セクションをドキュメントの末尾に移動.....	1
・ グローバル:該当する場合、PMIC_WAKE0 および PMIC_WAKE1 信号に「(アクティブ LOW)」と「O」を追加。実際の信号およびボールの名前は、「n」接尾辞なしでそのままに残しました。.....	1
・ (特長):CSI2.0 の箇条書き項目を更新 / 変更し副項目を追加.....	1
・ (ピン属性):ピン属性のヘッダー リストに、各列のヘッダーの説明を追加.....	8
・ (ピン属性):「ピン属性 (ALZ パッケージ)」表の MMC0_* ピンの「リセット時のボール状態」と「リセット後のボール状態」の情報を追加.....	11
・ (VMON 信号の説明):VMON2_IR_VCPU 信号名の説明を更新 / 変更.....	98
・ (速度グレードの最大周波数):表の T、N、H のデバイス速度の「VENCDEC」列値を更新 / 変更.....	111
・ (CSI2/DSI D-PHY の電氣的特性):表を削除し、コンプライアンス仕様の注記を追加.....	115
・ (SERDES の電氣的特性):IEEE 802.3 の 72-7 項および附属書 69B への準拠を示すため、USXGMII の注を追加.....	117
・ (OTP eFuse プログラミングの ROC):従来の PMIC 型番を脚注から削除.....	118
・ (OTP eFuse プログラミングの推奨動作条件):パワーアップ時にのみ適用されるこのパラメータに関連する制限を明確化するため、VPP のパワーアップ スループート、SR _(VPP) パラメータを追加.....	118
・ (MCU およびメインドメインの結合パワーアップ シーケンシング):「VDD_MCU は...デジタル電圧ドメインであり...」で始まる注を更新、VDD_MCU のグループ化とシーケンスの制約を明確化。.....	124
・ (MCU およびメインドメインの分離パワーアップ シーケンシング):「VDD_MCU は...デジタル電圧ドメインであり...」で始まる注を更新、VDD_MCU のグループ化とシーケンスの制約を明確化。.....	128
・ (WKUP_OSC0 内部発振器クロック ソース):WKUP_OSC0 水晶振動子の電氣的特性表にある水晶振動子回路のシャント容量、C _{shunt} の内容を更新 / 変更.....	146
・ (WKUP_OSC0 内部発振器クロック ソース):水晶振動子回路のシャント容量、C _{shunt} のパラメータの選択に基づいて、水晶振動子の実効直列抵抗、ESR _{xtal} の最大値を定義するための脚注を追加.....	146
・ (WKUP_OSC0 のスイッチング特性 – 水晶振動子モード [表]):XI、XO、および XI から XO への容量の最大値を更新 / 変更.....	146
・ (補助 OSC1 内部発振器クロック ソース):OSC1 水晶振動子の電氣的特性表にある水晶振動子回路のシャント容量、C _{shunt} の内容を更新 / 変更.....	150
・ (OSC1 のスイッチング特性 – 水晶振動子モード [表]):XI、XO、XI から XO 容量の最大値の表の値を更新 / 変更.....	150
・ (GPIO):TRM と信号の説明の参照のみでリードインの内容を更新 / 変更.....	171
・ (GPIO):「GPIO タイミング条件」の表で、SR _I 、入力スループート、I2C OD FS の最大値を「0.8」から「0.08」V/ns に更新/変更.....	171
・ (HyperBus):出力条件の「HyperBus のタイミング条件」表に、C _L 、出力負荷容量の最小値と最大値を追加.....	196
・ (I2C のタイミング):I2C 信号の箇条書き項目の立ち上がりおよび立ち下がり時間について、スループートの誤字を「0.8」から「0.08」V/ns に更新/変更 (規定されている 8E+7 の値に相当).....	198
・ (MCSPI のタイミング要件 - コントローラ モード):SM1、t _{c(spclk)} 、サイクル時間、SPI_CLK の最小値を「20.8」から「20」ns に更新 / 変更.....	206
・ (MCSPI のスイッチング特性 - ペリフェラル モード):SS1、t _{c(spclk)} 、サイクル時間、SPI_CLK の最小値を「20.8」から「20」ns に更新 / 変更.....	208
・ (MMC0 のタイミング要件 – HS400 モード):新しい表とそれに関連するタイミング画像を追加.....	216
・ (MMC0 のスイッチング特性 – HS400 モード):遅延時間パラメータ HS4008 および HS4009 を、出力セットアップおよび出力ホールド パラメータ HS4008、HS4009、HS40010、HS40011 に置き換え.....	216
・ (eMMC in – HS400 モード – 送信モード):パラメータ HS4008、HS4009、HS40010、HS40011 に関連する新しい定義に合わせてタイミング図を更新.....	216

• (MMC1/2 - SD/SDIO インターフェイス /UHS-I DDR50 モード): $f_{op(clk)}$ 、動作周波数、MMC[x]_CLK の最大値を「40」から「50」MHz に更新 / 変更.....	225
• (MMC1/2 - SD/SDIO インターフェイス /UHS-I DDR50 モード):DDR505、 $t_{c(clk)}$ 、サイクル時間、MMC[x]_CLK の最小値を「25」から「20」ns に更新 / 変更.....	225
• (OSPI のタイミング条件):表に、入力スレーブレート 1.8V、DQS 付き PHY データトレーニング DDR の行を追加...	227
• (OSPI のタイミング条件):「3.3V」および「他のすべてのモード」のモード説明を更新.....	227
• (PHY データトレーニング付き OSPI0/1):新しいセクションを追加.....	229
• (OSPI のスイッチング特性 - PHY SDR モード):タイミング パラメータ O10 および O11 に関連する式を訂正.....	233
• (OSPI のスイッチング特性 - PHY DDR モード):タイミング パラメータ O4 および O5 に関連する式を訂正.....	234
• (OSPI0/1 のタイミング要件 – タップ SDR モード):O19 および O20 パラメータのセットアップ時間とホールド時間の最小値の式に関連する定数値を更新 / 変更。.....	236
• (OSPI0/1 のタイミング要件 – タップ SDR モード):テクニカル リファレンス マニュアル (TRM) で使用されているクロック名に合わせて、R = の脚注「refclk」を「リファレンス クロック」に更新 / 変更.....	236
• (OSPI0/1 のタイミング要件 – タップ DDR モード):O13 および O14 パラメータのセットアップ時間とホールド時間の最小値の式に関連する定数値を更新 / 変更。.....	238
• (OSPI0/1 のタイミング要件 – タップ DDR モード):テクニカル リファレンス マニュアル (TRM) で使用されているクロック名に合わせて、R = の脚注「refclk」を「リファレンス クロック」に更新 / 変更.....	238
• (OSPI0/1 のスイッチング特性 – タップ DDR モード):O6 パラメータのデータ出力遅延の最小値および最大値の式を更新 / 変更。.....	238
• (電源供給回路の実装ガイド):ユーザー ガイドのドキュメントのタイトルと ulink の関連付けを更新 / 変更.....	245
• (VMON/POK を使用したシステム電源監視の設計ガイドライン):「VMON2_IR_VCPU ピン...」の段落を更新 / 変更	250

10 メカニカル、パッケージ、および注文情報

10.1 パッケージ情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TDA4AL88TGAALZRQ1	Active	Production	FCBGA (ALZ) 770	250 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	TDA4AL88 TGAALZQ1 206
TDA4AL88TGAALZRQ1.B	Active	Production	FCBGA (ALZ) 770	250 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	TDA4AL88 TGAALZQ1 206
TDA4VE88TGAALZRQ1	Active	Production	FCBGA (ALZ) 770	250 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	TDA4VE88 TGAALZQ1 206
TDA4VE88TGAALZRQ1.B	Active	Production	FCBGA (ALZ) 770	250 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	TDA4VE88 TGAALZQ1 206
TDA4VL21HGAALZRQ1	Active	Production	FCBGA (ALZ) 770	250 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	TDA4VL21 HGAALZQ1 206
TDA4VL21HGAALZRQ1.B	Active	Production	FCBGA (ALZ) 770	250 LARGE T&R	Yes	Call TI	Level-3-260C-168 HR	-40 to 125	TDA4VL21 HGAALZQ1 206

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

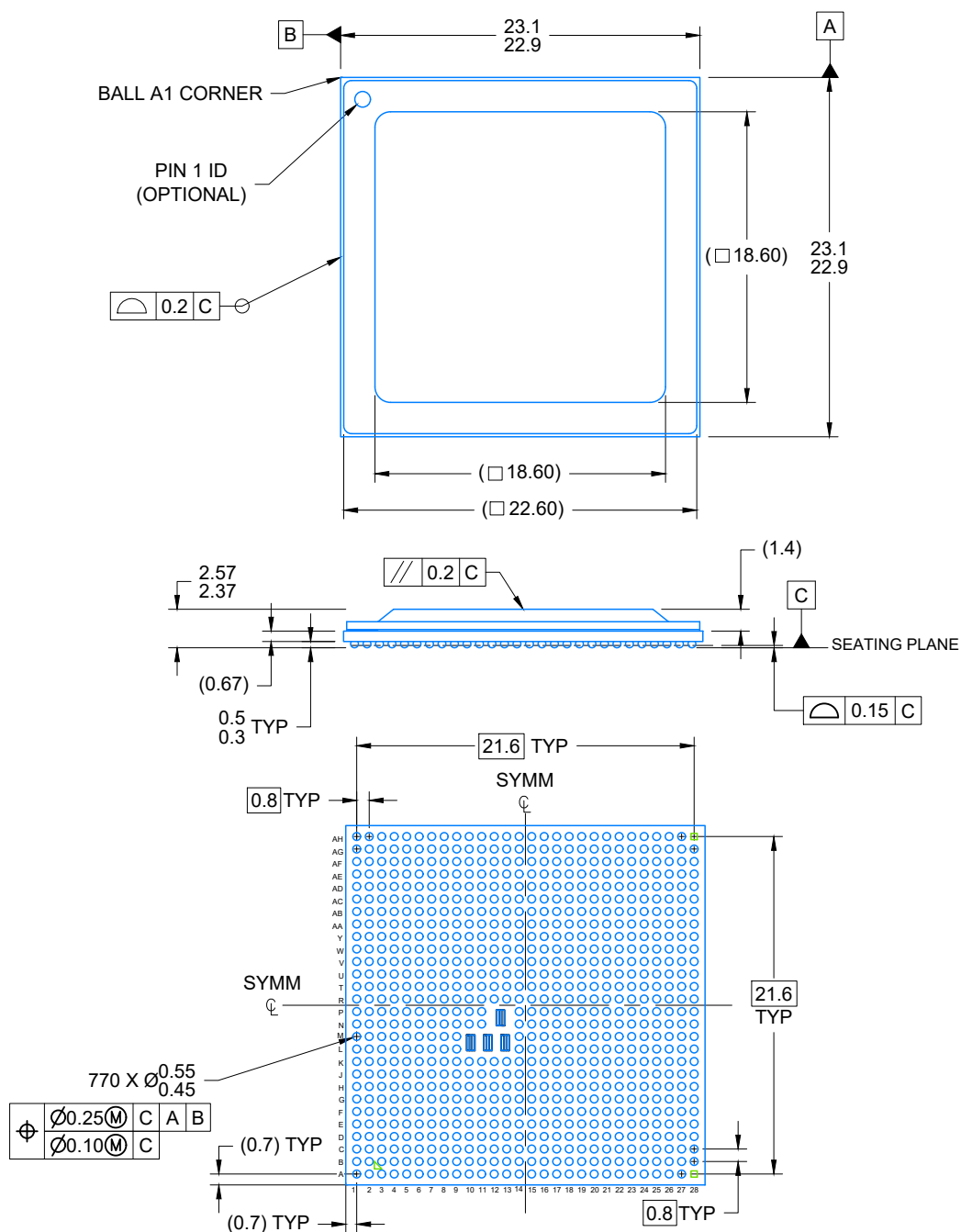
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PACKAGE OUTLINE

FCBGA - 2.57 mm max height

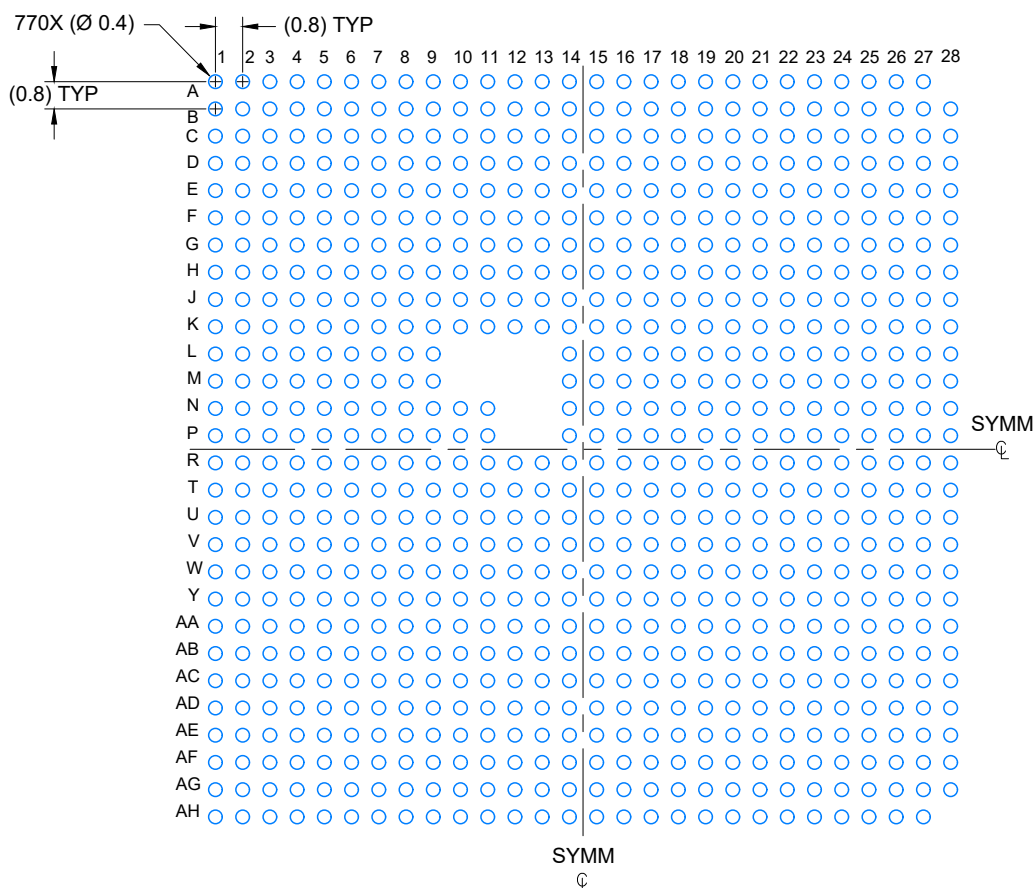
BALL GRID ARRAY



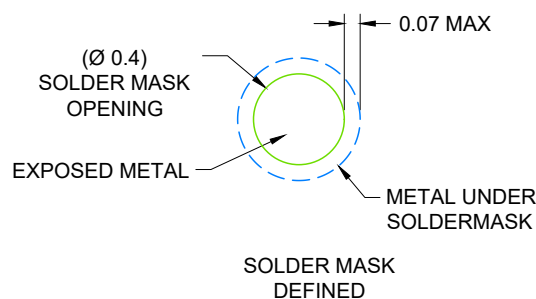
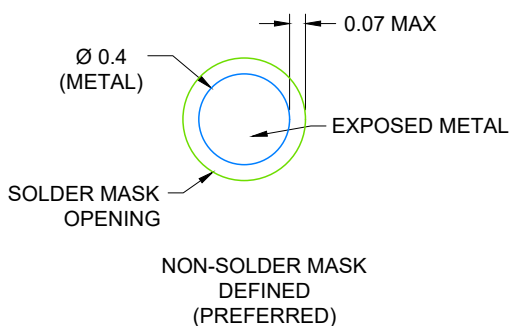
4226636/B 03/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 0.225X



SOLDER MASK DETAILS
NOT TO SCALE

4226636/B 03/2024

NOTES: (continued)

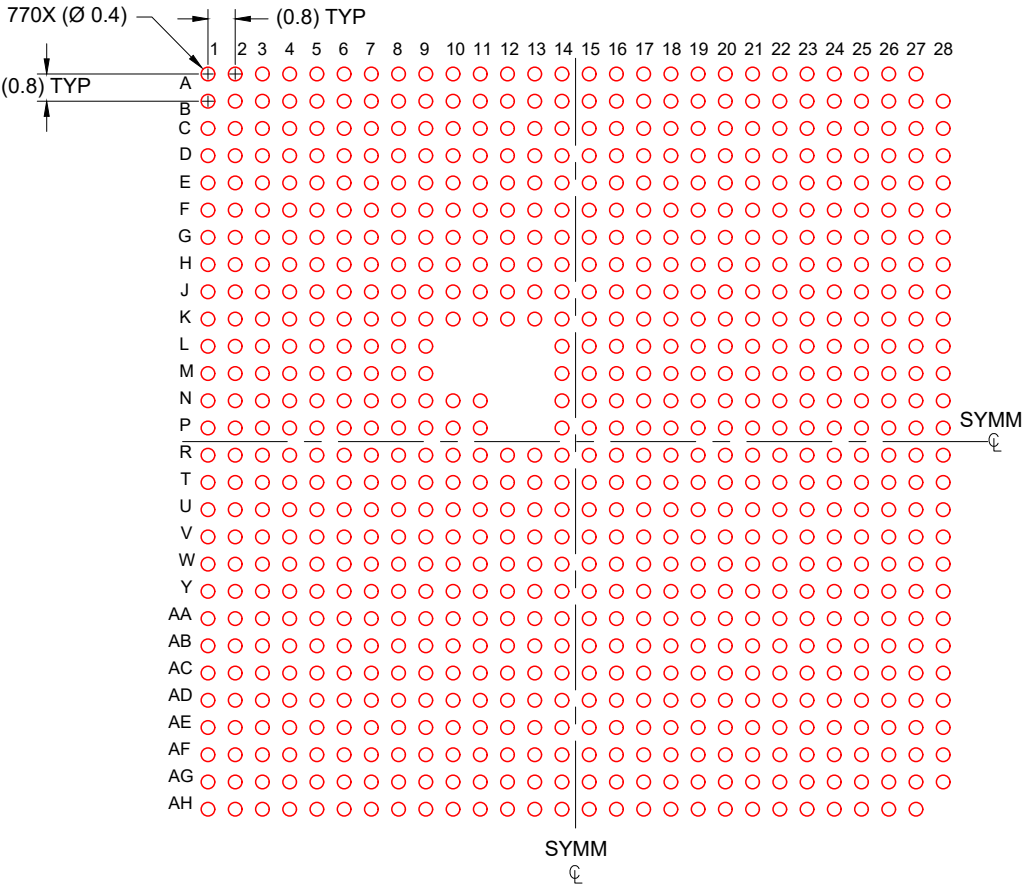
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

ALZ0770A

FCBGA - 2.57 mm max height

BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE: 0.225X

4226636/B 03/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用される テキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated