

目次

1 特長.....	1	7.2 機能ブロック図.....	15
2 アプリケーション.....	1	7.3 機能説明.....	16
3 説明.....	1	7.4 デバイスの機能モード.....	21
4 ピン構成および機能.....	3	8 アプリケーション情報に関する免責事項.....	30
5 仕様.....	4	8.1 アプリケーション情報.....	30
5.1 絶対最大定格.....	4	8.2 電源に関する推奨事項.....	33
5.2 ESD 定格.....	4	8.3 レイアウト.....	33
5.3 ESD 定格 - IEC 仕様.....	4	9 デバイスおよびドキュメントのサポート.....	35
5.4 推奨動作条件.....	4	9.1 ドキュメントのサポート.....	35
5.5 熱に関する情報.....	5	9.2 ドキュメントの更新通知を受け取る方法.....	35
5.6 電源特性.....	5	9.3 サポート・リソース.....	35
5.7 電気的特性.....	7	9.4 商標.....	35
5.8 タイミング要件.....	9	9.5 静電気放電に関する注意事項.....	35
5.9 スイッチング特性.....	10	9.6 用語集.....	35
6 パラメータ測定情報.....	11	10 改訂履歴.....	35
7 詳細説明.....	14	11 メカニカル、パッケージ、および注文情報.....	35
7.1 概要.....	14	11.1 付録: パッケージ オプション.....	36

4 ピン構成および機能

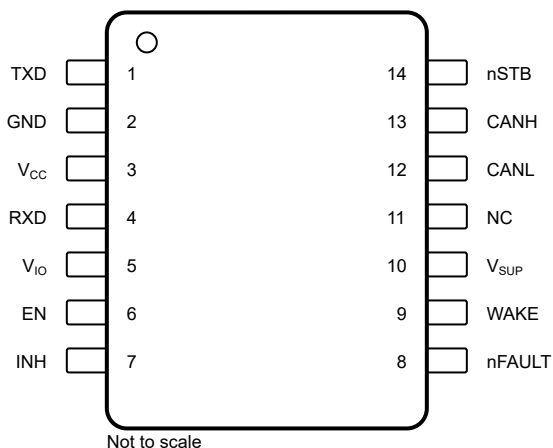


図 4-1. D および DYY パッケージ、14 ピン (SOIC)
および SOT (上面図)

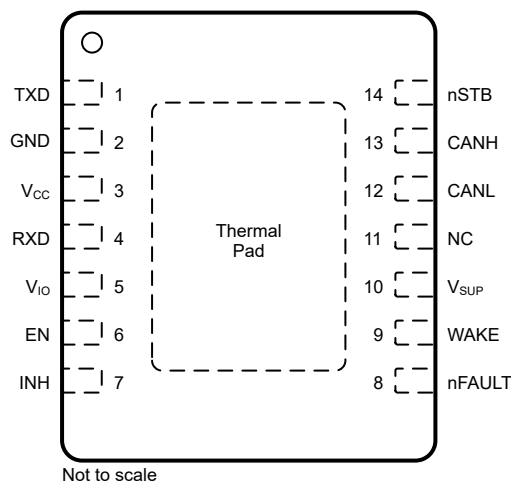


図 4-2. DMT パッケージ、14 ピン (VSON)
(上面図)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
TXD	1	I	CAN 送信データ入力、内蔵プルアップ
GND	2	GND	グラウンド接続
V _{CC}	3	P	5V トランシーバ電源
RXD	4	O	CAN 受信データ出力、V _{IO} < UV _{IO}
V _{IO}	5	P	I/O 電源電圧
EN	6	I	モード制御用のイネーブル入力、内蔵プルダウン
INH	7	O	システム電圧レギュレータと電源を制御するための INHIBIT ピン、高電圧
nFAULT	8	O	フォルト出力、反転ロジック
WAKE	9	I	ローカル WAKE 入力端子、高電圧
V _{SUP}	10	P	バッテリーからの高電圧供給
NC	11	NC	接続なし、内部で接続されていません
CANL	12	I/O	Low レベル CAN バス入出力ライン
CANH	13	I/O	High レベル CAN バス入出力ライン
nSTB	14	I	サイレントモード制御入力、内蔵プルアップ
サーマルパッド	—	—	熱解放のため、サーマルパッドはプリント基板 (PCB) のグラウンドプレーンに接続します

(1) I = 入力、O = 出力、P = 電源、GND = グラウンド、NC = 接続なし

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V _{SUP}	電源電圧 ⁽²⁾	-0.3	40	V
V _{CC}	電源電圧	-0.3	6	V
V _{IO}	電源電圧 I/O レベル シフト	-0.3	6	V
V _{BUS}	CAN バス I/O 電圧 (CANH, CANL)	-40	40	V
V _{DIFF}	CAN バス差動電圧 (V _{DIFF} = V _{CANH} - V _{CANL})	-40	40	V
V _{WAKE}	WAKE 入力電圧	-40	40 および V _I ≤ V _{SUP} + 0.3	V
V _{INH}	INH ピン電圧	-0.3	40 および V _O ≤ V _{SUP} + 0.3	V
V _{LOGIC}	ロジックピン電圧	-0.3	6	V
I _{O(LOGIC)}	ロジックピン出力電流		8	mA
I _{O(INH)}	禁止ピン出力電流		6	mA
I _{O(WAKE)}	WAKE ピン出力電流		3	mA
T _J	接合部温度	-40	165	°C
T _{STG}	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。推奨動作条件の範囲外ではあるが、絶対最大定格の範囲内で短時間動作している場合、デバイスは損傷を受けない可能性があります、完全には機能しない可能性があります。この方法でデバイスを動作させると、デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。

(2) 300ms 間最大 40V のロード ダンプに耐えることが可能

5.2 ESD 定格

				値	単位
V _{ESD}	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 ⁽¹⁾	GND に対する CANH と CANL	±8000	V
			GND に対するピン (CANH と CANL を除く)	±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	すべてのピン	±500	V

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 ESD 定格 - IEC 仕様

				値	単位
V _{ESD}	システムレベルの静電放電 (ESD)	CAN バス端子 (CANH CANL) から GND へ	IEC 61000-4-2 (150pF、330Ω): 電源なしの接触放電	±8000	V

5.4 推奨動作条件

外気温度範囲での動作時 (特に記述がない限り)

		最小値	公称値	最大値	単位
V _{SUP}	電源電圧	4.5		28	V
V _{IO}	I/O 電源電圧	2.9		5.5	V
V _{CC}	CAN トランシーバ電源電圧	4.5		5.5	V
I _{OH(DO)}	デジタル出力 High レベル電流	-2			mA
I _{OL(DO)}	デジタル出力 Low レベル電流			2	mA

5.4 推奨動作条件 (続き)

外気温度範囲での動作時 (特に記述がない限り)

		最小値	公称値	最大値	単位
$I_{O(INH)}$	禁止出力電流			2	mA
T_J	動作時接合部温度	-40		150	°C
T_{SDR}	サーマル シャットダウン	165			°C
T_{SDF}	サーマルシャットダウンリリース	155			°C
$T_{SD(HYS)}$	サーマル シャットダウン ヒステリシス		10		°C

5.5 熱に関する情報

熱評価基準 ⁽¹⁾		D (SOIC)	DMT (VSON)	DYY (SOT)	単位
		14 ピン	14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	87.1	39.7	91.0	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	41.8	41.1	41.7	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	43.7	15.9	25.6	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	8.5	0.9	25.4	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	43.3	15.9	1.1	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	6.6	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。

5.6 電源特性

動作温度範囲全体、 $T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ 、特に記述のない限りすべての標準値は、 25°C 、 $V_{SUP} = 12\text{V}$ 、 $V_{IO} = 3.3\text{V}$ 、 $V_{CC} = 5\text{V}$ 、 $R_L = 60\Omega$ で測定されたものです

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電圧および電流特性						
I_{SUP_NORMAL}	電源電流 CAN アクティブ	通常モード、サイレント モード、スリープ移行 モード			140	μA
I_{SUP_STBY}	電源電流	スタンバイ モード、 $T_J = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$			60	μA
I_{SUP_SLEEP}	電源電流	スリープ モード、 $T_J = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$		18	30	μA
$UV_{SUP(R)}$	低電圧 V_{SUP} スレッシュホールド立ち上がり		3.9		4.3	V
$UV_{SUP(F)}$	低電圧 V_{SUP} スレッシュホールド立ち下がり		3.6		4	V
I_{CC_NORMAL}	電源電流 CAN アクティブ:ドミナント	通常モード $TXD = 0\text{V}$ 、 $R_L = 60\Omega$ 、 $C_L = \text{オープン}$			70	mA
	V_{CC} 電源電流通常モード バス フォルト時のドミナント	通常モード $TXD = 0\text{V}$ 、 $R_L = \text{オープン}$ 、 $C_L = \text{オープン}$ 、 $CAN_H = CAN_L = \pm 25\text{V}$			130	mA
	電源電流 CAN アクティブ:リセッティング	通常モード $TXD = 0\text{V}$ 、 $R_L = 60\Omega$ 、 $C_L = \text{オープン}$			7.5	mA
I_{CC_STBY}	電源電流、スタンバイモード CAN 自律:非アクティブ	スタンバイ モード $T_J = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ $EN = nSTB = 0\text{V}$			3.5	μA
I_{CC_SILENT}	電源電流、サイレント モード	サイレントおよびスリープ移行 モード $TXD = nSTB = V_{IO}$ 、 $R_L = 60\Omega$ 、 $C_L = \text{オープン}$			4	mA
I_{CC_SLEEP}	電源電流、スリープ モード CAN 自律:非アクティブ	スリープ モード $T_J = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ $EN = 0\text{V}$ または V_{IO} 、 $nSTB = 0\text{V}$			3.2	μA
$UV_{CC(R)}$	低電圧 V_{CC} スレッシュホールド立ち上がり		4	4.1	4.3	V
$UV_{CC(F)}$	低電圧 V_{CC} スレッシュホールド立ち下がり		3.8	3.9	4.1	V
$V_{HYS(UVCC)}$	UV_{CC} のヒステリシス電圧		50		300	mV
I_{IO_NORMAL}	I/O 電源電流	通常モード RXD フローティング、 $TXD = 0\text{V}$			200	μA

5.6 電源特性 (続き)

動作温度範囲全体、 $T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ 、特に記述のない限りすべての標準値は、 25°C 、 $V_{\text{SUP}} = 12\text{V}$ 、 $V_{\text{IO}} = 3.3\text{V}$ 、 $V_{\text{CC}} = 5\text{V}$ 、 $R_L = 60\Omega$ で測定されたものです

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{\text{IO_NORMAL}}$	I/O 電源電流	通常モード、サイレントモード、スタンバイモード、またはスリープ移行モード RXD フローティング、TXD = V_{IO}			3	μA
$I_{\text{IO_SLEEP}}$	I/O 電源電流	スリープモード $T_J = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ nSTB = 0V			2.5	μA
$UV_{\text{IO(R)}}$	V_{IO} 低電圧スレッショルド立ち上がり	増加	2.2	2.5	2.8	V
$UV_{\text{IO(F)}}$	V_{IO} 低電圧スレッショルドの立ち下がり	減少	2.1	2.4	2.7	V
$V_{\text{HYS(UVIO)}}$	UV_{IO} のヒステリシス電圧		40	100	160	mV

5.7 電気的特性

動作温度範囲全体、 $T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ 、特に記述のない限りすべての標準値は、 25°C 、 $V_{\text{SUP}} = 12\text{V}$ 、 $V_{\text{IO}} = 3.3\text{V}$ 、 $V_{\text{CC}} = 5\text{V}$ 、 $R_L = 60\Omega$ で測定されたものです

パラメータ			テスト条件	最小値	標準値	最大値	単位
CAN ドライバの特性							
$V_{\text{CANH(D)}}$	ドミナント出力電圧 バス バイアスがアクティブ	CANH	$\text{TXD} = 0\text{V}$, $50\Omega \leq R_L \leq 65\Omega$, $C_L = \text{オープン}$ 、 $R_{\text{CM}} = \text{オープン}$	2.75		4.5	V
		CANL		0.5		2.25	V
$V_{\text{CANH(R)}}$ $V_{\text{CANL(R)}}$	リセッソ出力電圧 バス バイアスがアクティブ		$\text{TXD} = V_{\text{IO}}$, $R_L = \text{オープン}$ (無負荷), $R_{\text{CM}} = \text{オープン}$	2	2.5	3	V
V_{SYM}	ドライバ対称性 バス バイアス アクティブ ($V_{\text{O(CANH)}} + V_{\text{O(CANL)}}$)/ V_{CC}		$\text{EN} = \text{nSTB} = V_{\text{IO}}$, $R_L = 60\Omega$, $C_{\text{SPLIT}} = 4.7\text{nF}$, $C_L = \text{オープン}$, $R_{\text{CM}} = \text{オープン}$, $\text{TXD} = 250\text{kHz}$, 1MHz , 2.5MHz	0.9		1.1	V / V
$V_{\text{SYM_DC}}$	DC ドライバ対称性 バス バイアス アクティブ $V_{\text{CC}} - V_{\text{O(CANH)}} - V_{\text{O(CANL)}}$		$\text{EN} = \text{nSTB} = V_{\text{IO}}$, $R_L = 60\Omega$, $C_L = \text{オープン}$	-300		300	mV
$V_{\text{DIFF(D)}}$	差動出力電圧 バス バイアス アクティブ ドミナント	CANH - CANL	$\text{EN} = \text{nSTB} = V_{\text{IO}}$, $\text{TXD} = 0\text{V}$, $50\Omega \leq R_L \leq 65\Omega$, $C_L = \text{オープン}$	1.5		3	V
		CANH - CANL	$\text{EN} = \text{nSTB} = V_{\text{IO}}$, $\text{TXD} = 0\text{V}$, $45\Omega \leq R_L \leq 70\Omega$, $C_L = \text{オープン}$	1.4		3.3	V
		CANH - CANL	$\text{EN} = \text{nSTB} = V_{\text{IO}}$, $\text{TXD} = 0\text{V}$, $R_L = 2240\Omega$, $C_L = \text{オープン}$	1.5		5	V
$V_{\text{DIFF(R)}}$	差動出力電圧 バス バイアス アクティブ リセッソ	CANH - CANL	$\text{EN} = \text{nSTB} = V_{\text{IO}}$, $\text{TXD} = V_{\text{IO}}$, $R_L = \text{オープン}$, $C_L = \text{オープン}$	-50		50	mV
$V_{\text{CANH(INACT)}}$	バス バイアスが非アクティブ の場合のバス出力電圧	CANH	$\text{nSTB} = 0\text{V}$, $\text{TXD} = V_{\text{IO}}$, $R_L = \text{オープン}$ (無負荷), $C_L = \text{オープン}$	-0.1		0.1	V
		CANL	$\text{nSTB} = 0\text{V}$, $\text{TXD} = V_{\text{IO}}$, $R_L = \text{オープン}$ (無負荷), $C_L = \text{オープン}$	-0.1		0.1	V
		CANH - CANL	$\text{nSTB} = 0\text{V}$, $\text{TXD} = V_{\text{IO}}$, $R_L = \text{オープン}$ (無負荷), $C_L = \text{オープン}$	-0.2		0.2	V
$I_{\text{CANH(OS)}}$	短絡時の定常状態出力電流 バス バイアス アクティブ ドミナント		$\text{nSTB} = V_{\text{IO}}$, $\text{TXD} = 0\text{V}$ $-3\text{V} \leq V_{\text{CANH}} \leq 18\text{V}$	-100			mA
			$\text{nSTB} = V_{\text{IO}}$, $\text{TXD} = 0\text{V}$ $-3\text{V} \leq V_{\text{CANL}} \leq 18\text{V}$			100	mA
$I_{\text{OS_REC}}$	短絡時の定常状態出力電流 バス バイアス アクティブ リセッソ		$\text{nSTB} = V_{\text{IO}}$, $V_{\text{BUS}} = \text{CANH} = \text{CANL}$ $-27\text{V} \leq V_{\text{BUS}} \leq 40\text{V}$	-3		3	mA
CAN レシーバの特性							
$V_{\text{DIFF_RX(D)}}$	レシーバがドミナント状態の入力電圧範囲 バス バイアス アクティブ		$\text{nSTB} = V_{\text{IO}}$, $-12\text{V} \leq V_{\text{CM}} \leq 12\text{V}$	0.9		8	V
$V_{\text{DIFF_RX(R)}}$	レシーバリセッソ状態の差動入力電圧範囲 バス バイアスが非アクティブ			-3		0.5	V
V_{HYS}	入力スレッショルド ヒステリシス電圧 バス バイアス アクティブ		$\text{nSTB} = V_{\text{IO}}$		80		mV
$V_{\text{DIFF_RX(D_INACT)}}$	レシーバリセッソ状態の差動入力電圧範囲 バス バイアスが非アクティブ		$\text{nSTB} = 0\text{V}$, $-12\text{V} \leq V_{\text{CM}} \leq 12\text{V}$	1.1		9	V
$V_{\text{DIFF_RX(R_INACT)}}$	レシーバリセッソ状態の差動入力電圧範囲 バス バイアスが非アクティブ			-4		0.4	V
V_{CM}	同相範囲		$\text{nSTB} = V_{\text{IO}}$	-12		12	V
$I_{\text{LKG(IOFF)}}$	パワーオフ (電源オフ) 入力リーク電流 CANH、 CANL ピン		$V_{\text{SUP}} = 0\text{V}$, $\text{CANH} = \text{CANL} = 5\text{V}$			5	μA
C_i	グラウンドに対する入力容量 (CANH または CANL) (1)					20	pF
C_{ID}	差動入力容量(1)					10	pF
R_{DIFF}	差動入力抵抗		$\text{TXD} = V_{\text{CC}} = V_{\text{IO}} = 5\text{V}$, $\text{nSTB} = 5\text{V}$ $-2\text{V} \leq V_{\text{CM}} \leq 7\text{V}$	50		100	k Ω
$R_{\text{SE_CANH}}$ $R_{\text{SE_CANL}}$	入力抵抗 (CANH または CANL)			25		50	k Ω

5.7 電気的特性 (続き)

動作温度範囲全体、 $T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ 、特に記述のない限りすべての標準値は、 25°C 、 $V_{\text{SUP}} = 12\text{V}$ 、 $V_{\text{IO}} = 3.3\text{V}$ 、 $V_{\text{CC}} = 5\text{V}$ 、 $R_L = 60\Omega$ で測定されたものです

パラメータ		テスト条件	最小値	標準値	最大値	単位
m_R	入力抵抗マッチング: [1 – $R_{\text{IN(CANH)}} / R_{\text{IN(CANL)}}] \times 100\%$	$V_{\text{(CANH)}} = V_{\text{(CANL)}} = 5\text{V}$	-2		2	%
TXD の特性						
V_{IH}	High レベル入力電圧		0.7			V_{IO}
V_{IL}	Low レベル入力電圧				0.3	V_{IO}
I_{IH}	High レベル入力リーク電流	$\text{TXD} = V_{\text{IO}} = 5.5\text{V}$	-1	0	1	μA
I_{IL}	Low レベル入力リーク電流	$\text{TXD} = 0\text{V}$ 、 $V_{\text{IO}} = 5.5\text{V}$	-115		-2.5	μA
$I_{\text{LKG(OFF)}}$	電源がない場合のリーク電流です	$\text{TXD} = 5.5\text{V}$ 、 $V_{\text{SUP}} = V_{\text{IO}} = 0\text{V}$	-1	0	1	μA
C_i	入力容量	$V_{\text{IN}} = 0.4 \times \sin(2 \times \pi \times 2 \times 10^6 \times t) + 2.5\text{V}$		5	10	pF
RXD の特性						
V_{OH}	High レベル出力電圧	$I_O = -2\text{mA}$	0.8			V_{IO}
V_{OL}	Low レベル出力電圧	$I_O = 2\text{mA}$			0.2	V_{IO}
$I_{\text{LKG(OFF)}}$	電源がない場合のリーク電流です	$\text{RXD} = 5.5\text{V}$ 、 $V_{\text{SUP}} = V_{\text{IO}} = 0\text{V}$	-1		1	μA
nSTB の特性						
V_{IH}	High レベル入力電圧		0.7			V_{IO}
V_{IL}	Low レベル入力電圧				0.3	V_{IO}
I_{IH}	High レベル入力リーク電流	$\text{nSTB} = V_{\text{IO}} = 5.5\text{V}$	0.5		115	μA
I_{IL}	Low レベル入力リーク電流	$\text{nSTB} = 0\text{V}$ 、 $V_{\text{IO}} = 5.5\text{V}$	-1		1	μA
$I_{\text{LKG(OFF)}}$	電源がない場合のリーク電流です	$\text{nSTB} = 5.5\text{V}$ 、 $V_{\text{IO}} = 0\text{V}$	-1	0	1	μA
nFAULT の特性						
V_{OH}	High レベル出力電圧	$I_O = -2\text{mA}$	0.8			V_{IO}
V_{OL}	Low レベル出力電圧	$I_O = 2\text{mA}$			0.2	V_{IO}
$I_{\text{LKG(OFF)}}$	電源がない場合のリーク電流です	$\text{nFAULT} = 5.5\text{V}$ 、 $V_{\text{IO}} = 0\text{V}$	-1	0	1	μA
EN の特性						
V_{IH}	High レベル入力電圧		0.7			V_{IO}
V_{IL}	Low レベル入力電圧				0.3	V_{IO}
I_{IH}	High レベル入力リーク電流	$\text{EN} = V_{\text{CC}} = V_{\text{IO}} = 5.5\text{V}$	0.5		115	μA
I_{IL}	Low レベル入力リーク電流	$\text{EN} = 0\text{V}$ 、 $V_{\text{CC}} = V_{\text{IO}} = 5.5\text{V}$	-1		1	μA
$I_{\text{LKG(OFF)}}$	電源がない場合のリーク電流です	$\text{EN} = 5.5\text{V}$ 、 $V_{\text{CC}} = V_{\text{IO}} = 0\text{V}$	-1		1	μA
R_{PD}	ブルダウン抵抗		50		2000	k Ω
WAKE の特性						
V_{IH}	High レベル入力電圧	スリープ モード	2.6			V
V_{IL}	Low レベル入力電圧				1.8	V
I_{IH}	High レベル入力リーク電流 ⁽²⁾	$\text{WAKE} = V_{\text{SUP}}$			2	μA
		$\text{WAKE} = 4\text{V}$	-3			μA
I_{IL}	Low レベル入力リーク電流 ⁽²⁾	$\text{WAKE} = 1\text{V}$			3	μA
R_{WAKE}	ブルアップまたはブルダウン抵抗 ⁽²⁾			600		k Ω
INH の特性						
ΔV_{H}	V_{SUP} から INH への High レベル電圧降下 ($V_{\text{SUP}} - V_{\text{INH}}$)	$I_{\text{INH}} = -2\text{mA}$		1	2	V
$I_{\text{LKG(INH)}}$	スリープ モード リーク電流	$\text{INH} = 0\text{V}$	-0.5		0.5	μA

(1) 設計により規定され、ベンチ特性評価により検証されています

- (2) システムレベルの消費電流を最小化するために、内部プルアップまたはプルダウン電流源に印加される電圧に基づいて、WAKE ピンが自動的に自らの構成を行います。High レベルの入力が High レベルの場合、内部プルアップと Low レベルの入力は、内部プルダウンをもたらします。

5.8 タイミング要件

外気温度範囲での動作時 (特に記述がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源の特性						
t_{PWRUP}	$V_{SUP} \geq UV_{SUP(R)}$ 後、INH がアクティブになるために必要な時間			310	1000	μs
t_{UV}	低電圧フィルタ時間 V_{CC} および V_{IO} ⁽¹⁾	$V_{CC} \leq UV_{CC}$ または $V_{IO} \leq UV_{IO}$	100		350	ms
t_{UV_det}	V_{CC} および V_{IO} の低電圧検出時間	$V_{CC} \leq UV_{CC}$ または $V_{IO} \leq UV_{IO}$			30	μs
$t_{UV(RE-ENABLE)}$	低電圧イベント後の 再有効化時間 ⁽¹⁾	UV_{CC} または UV_{IO} 低電圧イベントからデバイスが通常動作に戻るまでの時間			50	μs
デバイス特性						
$t_{PROP(LOOP1)}$	合計ループ遅延、ドライバ入力 (TXD) からレシーバ出力 (RXD) までリセッティングからドミナントまで	$R_L = 60\Omega$, $C_L = 100pF$, $C_{L_RXD} = 15pF$ $V_{IO} = 3V - 5.5V$			250	ns
$t_{PROP(LOOP2)}$	合計ループ遅延、ドライバ入力 (TXD) からレシーバ出力 (RXD) までドミナントからリセッティングまで	$R_L = 60\Omega$, $C_L = 100pF$, $C_{L_RXD} = 15pF$ $V_{IO} = 3V - 5.5V$			250	ns
$t_{WK(TIMEOUT)}$	バス ウェークアップ タイムアウト値 ⁽¹⁾		0.8		2	ms
$t_{WK(FILTER)}$	ウェークアップ リクエストのフィルタリングされたバス要件を満たすのバス時間 ⁽¹⁾		0.5		1.8	μs
t_{FILTER_IO}	EN/nSTB のフィルタ時間 ⁽¹⁾		1		5	μs
t_{WAKE_HT}	LWU を認識するために、WAKE ピンの立ち上がりエッジまたは立ち下がりエッジの後に WAKE ピンの電圧が安定する必要があるホールド時間。		5		50	μs
モード変更特性						
$t_{INH_SLP_STB}$	WUP または LWU イベント後、INH がアサートされるまでの時間 ⁽¹⁾				50	μs
$t_{RXD_SLP_STB}$	WUP または LWU イベント後から RXD がアサートされるまでの時間	WUP または LWU イベント後から RXD がアサートされるまでの時間			50	μs
t_{MODE1}	スリープ モードから通常またはサイレント モードに移行するまでのモード変更時間 ⁽¹⁾	V_{CC} および V_{IO} が UV スレッショルドを超えてから通常またはサイレント モードに移行するまでの時間を測定。			50	μs
t_{MODE2}	通常モード、サイレント モード、スタンバイ モードとスリープ モードからスタンバイ モードへのモード変更時間 ⁽¹⁾	通常モード、サイレント モード、スタンバイ モードとスリープ モードからスタンバイ モードへのモード変更時間			50	μs
$t_{nFAULT_MODE_CHANGE}$	モード変更後の nFAULT 安定化時間				20	μs
$t_{GOTOSLEEP}$	スリープ モードへの遷移の最小ホールド時間 ⁽¹⁾	EN = H および nSTB = L	20		50	μs

(1) 設計により規定され、ベンチ特性評価により検証されています

5.9 スイッチング特性

動作温度範囲全体、 $T_J = -40^{\circ}\text{C} \sim 150^{\circ}\text{C}$ 、特に記述のない限りすべての標準値は、 25°C 、 $V_{\text{SUP}} = 12\text{V}$ 、 $V_{\text{IO}} = 3.3\text{V}$ 、 $V_{\text{CC}} = 5\text{V}$ 、 $R_L = 60\Omega$ で測定されたものです

パラメータ		テスト条件	最小値	標準値	最大値	単位
ドライバ特性						
t_{pHR}	伝搬遅延時間、High TXD からドライバまで	$R_L = 60\Omega$ 、 $C_L = 100\text{pF}$ 、 $R_{\text{CM}} = \text{オープン}$ 伝搬遅延時間、High TXD からドライバまで		90		ns
t_{pLD}	伝搬遅延時間、Low TXD からドライバドミナントまで			75		ns
$t_{\text{sk(p)}}$	パルス スキュー ($ t_{\text{pHR}} - t_{\text{pLD}} $)			25		ns
t_{R}	差動出力信号の立ち上がり時間			45		ns
t_{F}	差動出力信号の立ち下がり時間			45		ns
t_{TXDDTO}	ドミナント タイムアウト	$\text{TXD} = 0\text{V}$ 、 $R_L = 60\Omega$ 、 $C_L = \text{オープン}$	1.2		3.8	ms
レシーバの特性						
t_{pRH}	伝搬遅延時間、バスリセッシブ入力から High RXD	$C_L(\text{RXD}) = 15\text{pF}$		65		ns
t_{pDL}	伝搬遅延時間、バスドミナント入力から RXD Low 出力まで			60		ns
t_{R}	出力信号の立ち上がり時間 (RXD)			10		ns
t_{F}	出力信号の立ち下がり時間 (RXD)			10		ns
t_{BUSDOM}	ドミナント タイムアウト	$R_L = 60\Omega$ 、 $C_L = \text{オープン}$	1.2		3.8	ms
CAN の FD 特性						
$t_{\Delta\text{BIT}(\text{BUS})}^{(1)}$	$t_{\text{BIT}(\text{TXD})} = 500\text{ns}$ の CAN バス出力ピンにおける送信リセッシブビット幅の変化	$t_{\text{BIT}(\text{TXD})} = 500\text{ns}$ の CAN バス出力ピンにおける送信リセッシブビット幅の変化 $R_L = 60\Omega$ 、 $C_L = 100\text{pF}$ 、 $C_{\text{L_RXD}} = 15\text{pF}$ $t_{\Delta\text{BIT}(\text{BUS})} = t_{\text{BIT}(\text{BUS})} - t_{\text{BIT}(\text{TXD})}$	-65		30	ns
$t_{\Delta\text{BIT}(\text{BUS})}^{(1)}$	$t_{\text{BIT}(\text{TXD})} = 200\text{ns}$ の CAN バス出力ピンにおける送信リセッシブビット幅の変化	$t_{\text{BIT}(\text{TXD})} = 200\text{ns}$ の CAN バス出力ピンにおける送信リセッシブビット幅の変化 $R_L = 60\Omega$ 、 $C_L = 100\text{pF}$ 、 $C_{\text{L_RXD}} = 15\text{pF}$ $t_{\Delta\text{BIT}(\text{BUS})} = t_{\text{BIT}(\text{BUS})} - t_{\text{BIT}(\text{TXD})}$	-45		10	ns
$t_{\Delta\text{BIT}(\text{RXD})}^{(1)}$	$t_{\text{BIT}(\text{TXD})} = 500\text{ns}$ の RXD 出力ピンにおける受信リセッシブビット幅の変動	$t_{\text{BIT}(\text{TXD})} = 500\text{ns}$ の RXD 出力ピンにおける受信リセッシブビット幅の変動 $R_L = 60\Omega$ 、 $C_2 = 100\text{pF}$ 、 $C_{\text{L_RXD}} = 15\text{pF}$ $t_{\Delta\text{BIT}(\text{RXD})} = t_{\text{BIT}(\text{RXD})} - t_{\text{BIT}(\text{TXD})}$	-100		50	ns
$t_{\Delta\text{BIT}(\text{RXD})}^{(1)}$	$t_{\text{BIT}(\text{TXD})} = 200\text{ns}$ の RXD 出力ピンにおける受信リセッシブビット幅の変動	$t_{\text{BIT}(\text{TXD})} = 200\text{ns}$ の RXD 出力ピンにおける受信リセッシブビット幅の変動 $R_L = 60\Omega$ 、 $C_2 = 100\text{pF}$ 、 $C_{\text{L_RXD}} = 15\text{pF}$ $t_{\Delta\text{BIT}(\text{RXD})} = t_{\text{BIT}(\text{RXD})} - t_{\text{BIT}(\text{TXD})}$	-80		20	ns
$t_{\Delta\text{REC}}^{(1)}$	レシーバのタイミングの対称性、 $t_{\text{BIT}(\text{TXD})} = 500\text{ns}$	$R_L = 60\Omega$ 、 $C_2 = 100\text{pF}$ 、 $C_{\text{L_RXD}} = 15\text{pF}$ $\Delta t_{\text{REC}} = t_{\text{BIT}(\text{RXD})} - t_{\text{BIT}(\text{BUS})}$	-65		40	ns
	レシーバのタイミングの対称性、 $t_{\text{BIT}(\text{TXD})} = 200\text{ns}$	$R_L = 60\Omega$ 、 $C_2 = 100\text{pF}$ 、 $C_{\text{L_RXD}} = 15\text{pF}$ $\Delta t_{\text{REC}} = t_{\text{BIT}(\text{RXD})} - t_{\text{BIT}(\text{BUS})}$	-45		15	ns

(1) TXD の入力信号の立ち上がり時間と立ち下がり時間 (10% ~ 90%) は 10ns 未満とするものとします

6 パラメータ測定情報

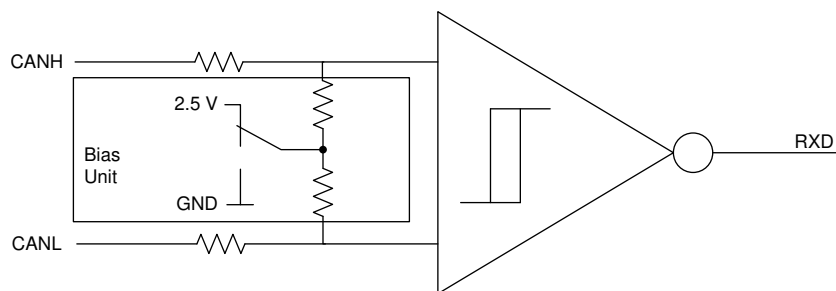


図 6-1. 同相バイアス ユニット / レシーバ

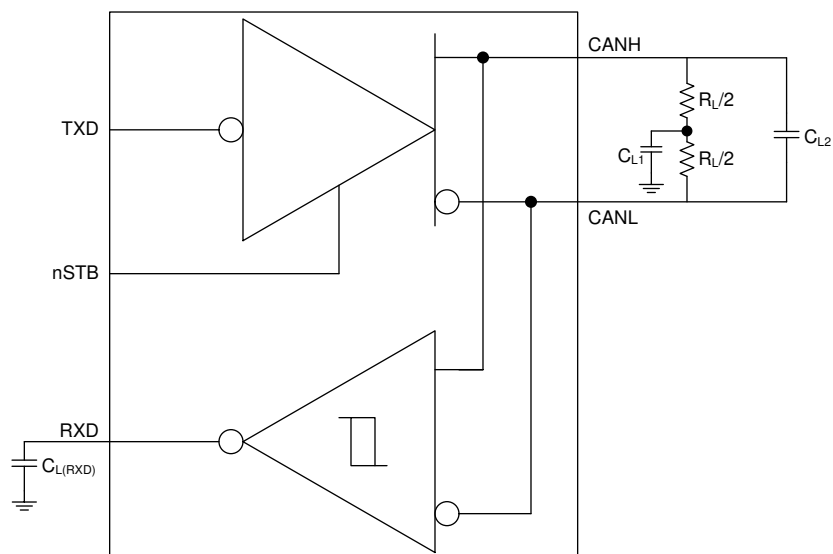


図 6-2. テスト回路

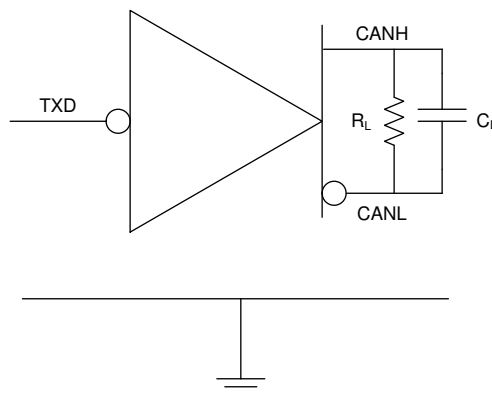


図 6-3. 電源テスト回路

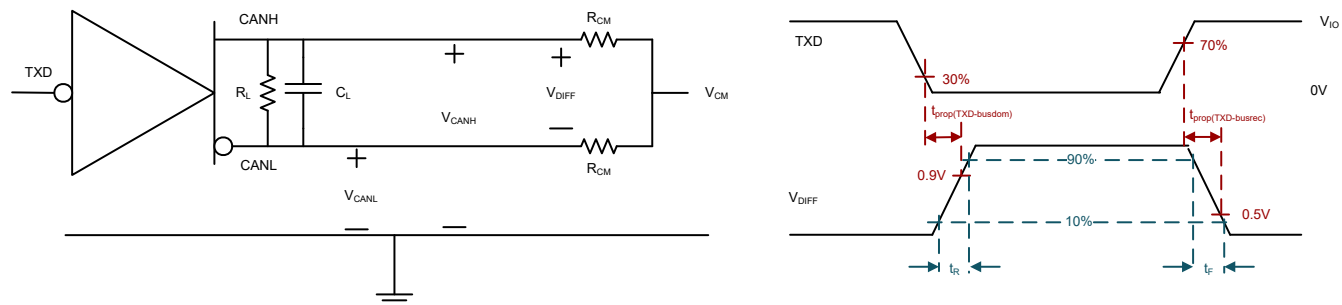


図 6-4. ドライバテスト回路と測定

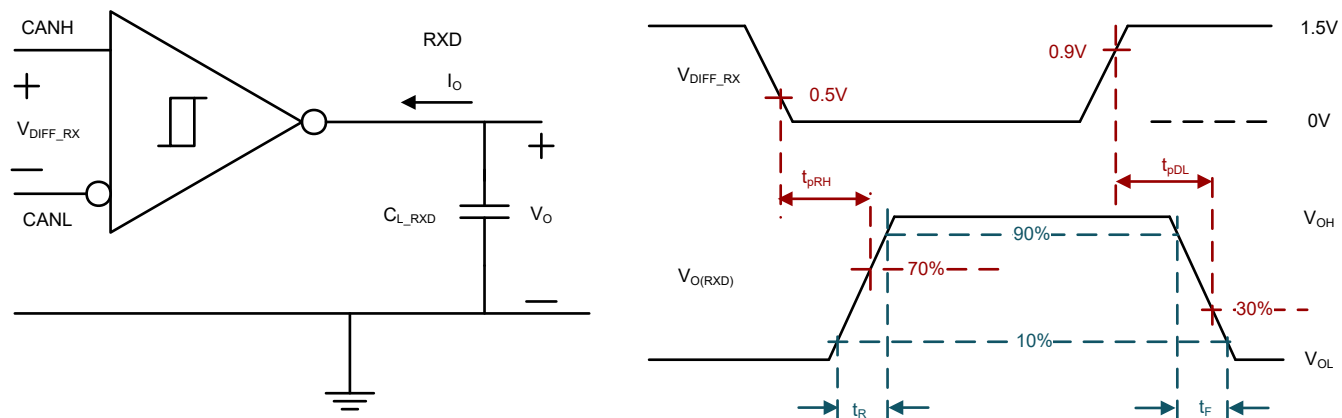


図 6-5. レシーバのテスト回路と測定

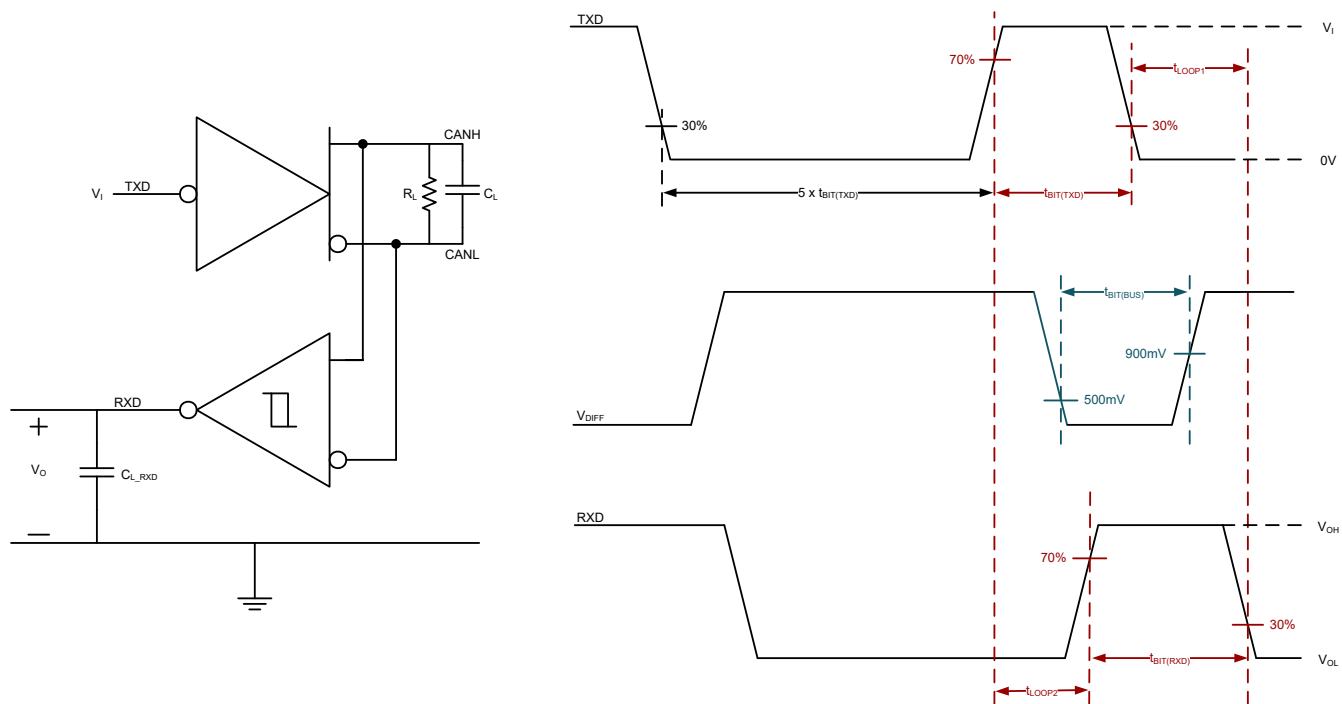


図 6-6. トランスミッタとレシーバのタイミング動作テスト回路と測定

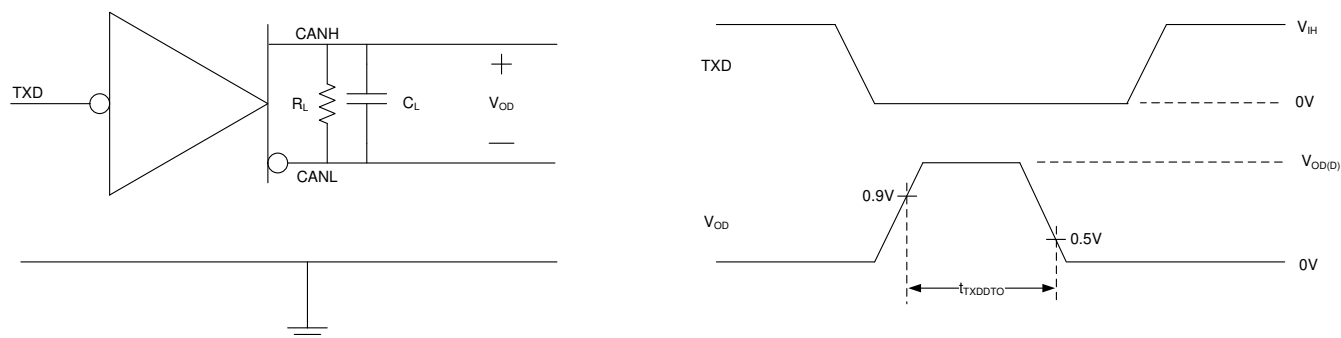


図 6-7. TXD ドミナント タイムアウトのテスト回路と測定

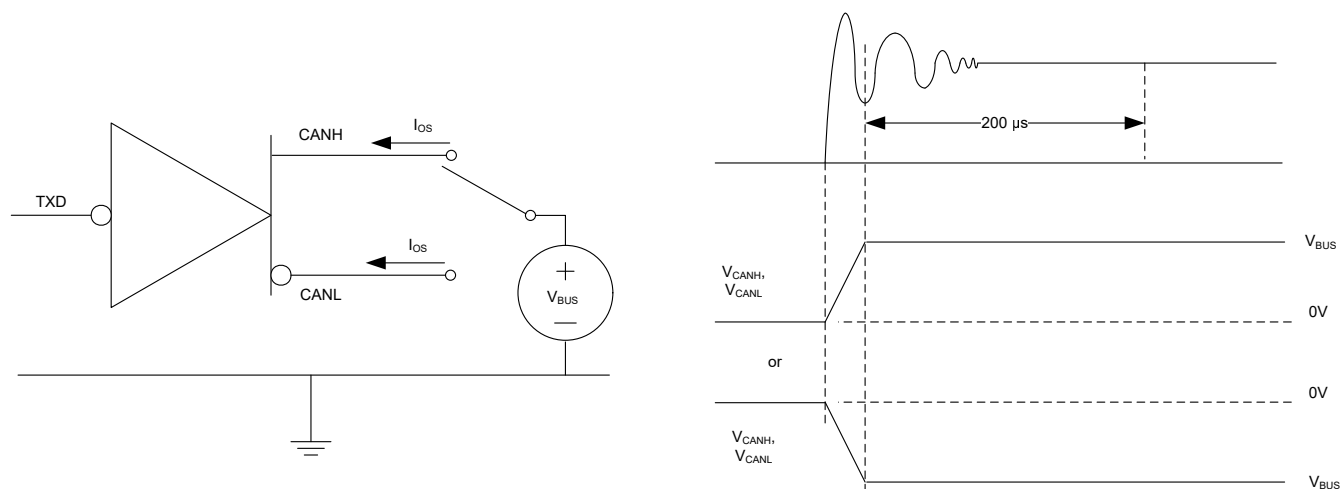


図 6-8. ドライバ短絡電流テスト回路と測定

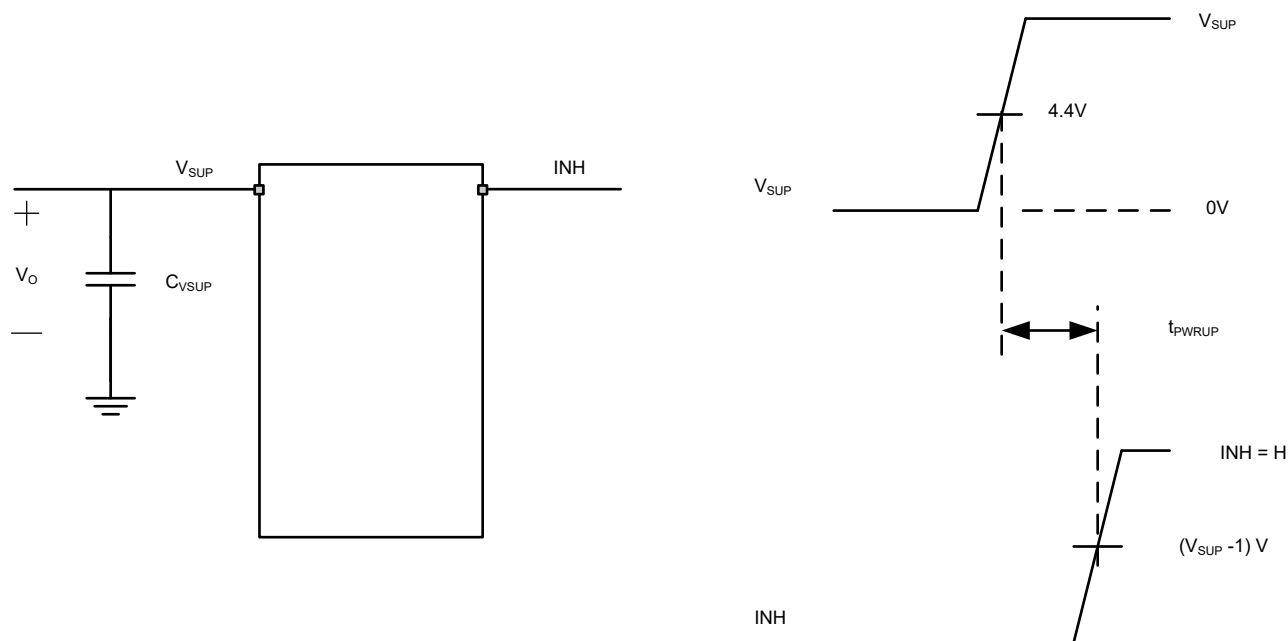


図 6-9. パワーアップのタイミング

7 詳細説明

7.1 概要

TCAN843-Q1 は、High-speed CAN (Controller Area Network) トランシーバであり、ISO 11898-2:2024 High-speed CAN 仕様の物理層要件を満たしています。TCAN843-Q1 は Classical CAN ネットワークおよび最高 5 メガビット/秒 (Mbps) の CAN FD ネットワークの両方に対応しています。

TCAN843-Q1 は、以下の CAN および CAN FD 規格をサポートしています。

- 物理層：
 - ISO 11898-2:2024 – 高速物理媒体接続 (PMA) サブレイヤー
 - SAE J2284-1 – 125kbps の車載アプリケーション向け高速 CAN (HSC)
 - SAE J2284-2 – 250kbps の車載アプリケーション向け高速 CAN (HSC)
 - SAE J2284-3 – 500kbps の車載アプリケーション向け高速 CAN (HSC)
 - SAE J2284-4 – 500kbps の車載アプリケーション向け高速 CAN (HSC)、CAN FD データ 2Mbps
 - SAE J2284-5 – 500kbps の車載アプリケーション向け高速 CAN (HSC)、CAN FD データ 5Mbps
- 準拠テストの要件
 - ISO 16845-2:2018 – 高速媒体アクセスユニット – 準拠テストのプラン
 - IOPT.CAN – 高速 CAN トランシーバーまたは同等のデバイスの相互運用性テスト仕様

このトランシーバには、 V_{SUP} 、 V_{CC} および V_{IO} 3 つの独立した電源入力があります。 V_{IO} を使用すると、TCAN843-Q1 はレベル シフターを必要とせずに 3.3V または 5V コントローラーに直接インターフェイスできます。TCAN843-Q1 を使用すると、システムに存在する各種電源供給の有効 無効を INH 出力ピンで切り替えることにより、バッテリーの消費電流をシステム レベルで低減できます。これにより、TCAN843-Q1 を除くすべてのシステム コンポーネントに対して電力が遮断される超低電流スリープ状態を実現し、CAN バスを監視しながら低消費電力状態にすることができます。バス上でウェイクアップ イベントが検出された場合、または WAKE 入力を介してローカル ウェイクアップが要求された場合、デバイスが INH を HIGH に駆動してノードの起動を開始します。

TCAN843-Q1 には、低電圧検出、CAN バス故障検出、バッテリー接続検出、サーマル シャットダウン (TSD)、ドライバドミナント タイムアウト (TXD DTO)、最大 $\pm 40V$ までのバス故障の保護など、多くの保護機能と診断機能が含まれています。

7.2 機能ブロック図

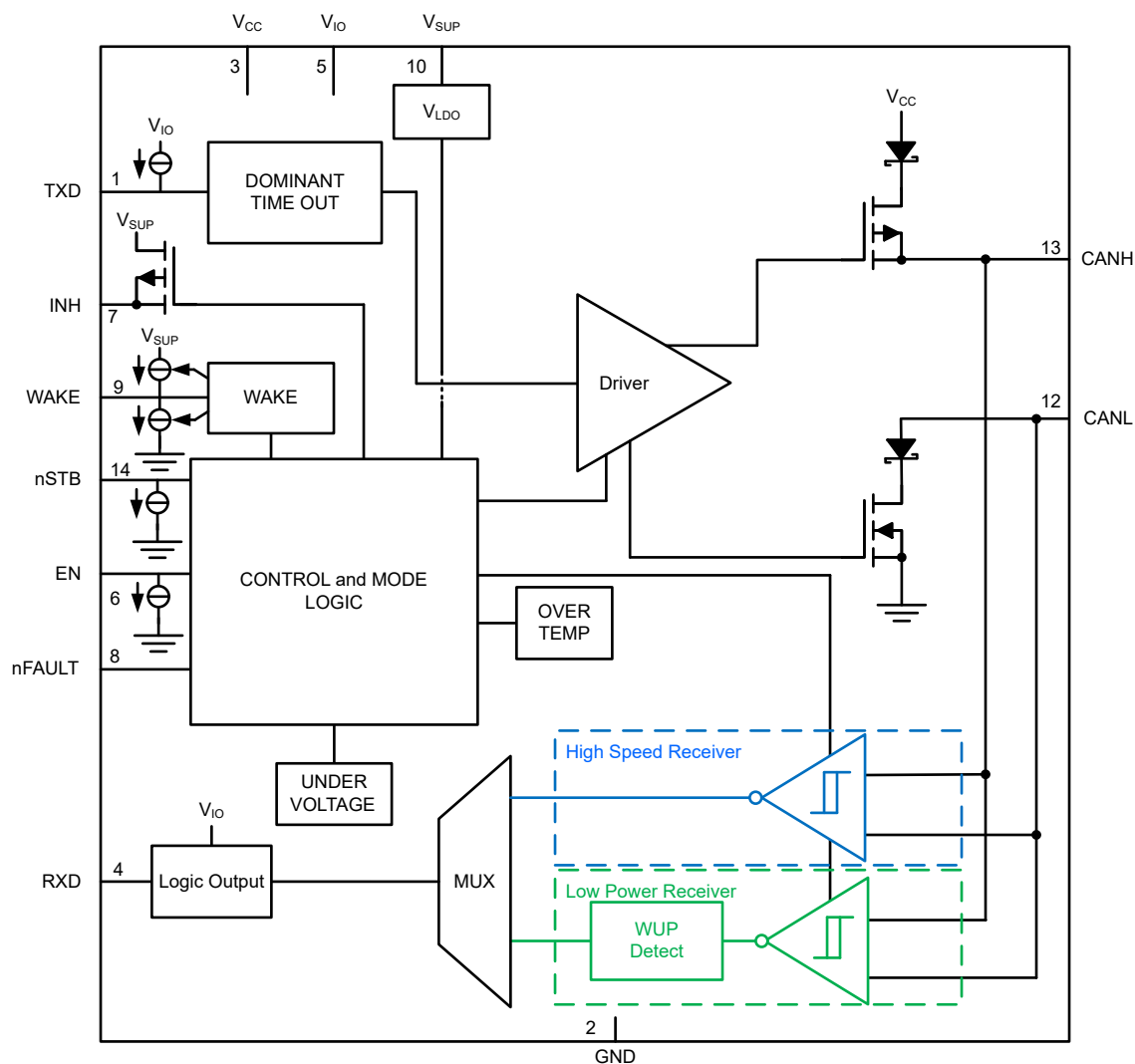


図 7-1. TCAN843-Q1 機能ブロック図

ADVANCE INFORMATION

7.3 機能説明

7.3.1 電源ピン

TCAN843-Q1 は、3 つの独立した電源入力の実装されており、デバイスの異なる部分をレギュレートします。

7.3.1.1 V_{SUP} ピン

このピンは、バッテリー電源に接続されます。このピンは、デジタル コアと低電力 CAN レシーバーをサポートする内部レギュレータに電源を供給します。

7.3.1.2 V_{CC} ピン

このピンは、CAN トランシーバに 5V の電源電圧を供給します。

7.3.1.3 V_{IO} ピン

このピンは、CAN FD コントローラの I/O 電圧に一致するデジタル I/O 電圧を提供します。このピンは 2.9V ~ 5.5V の I/O 電圧をサポートし、幅広いコントローラをサポートします。

7.3.2 デジタル入力および出力

7.3.2.1 TXD ピン

TXD は、CAN FD コントローラから TCAN843-Q1 への、 V_{IO} を基準とするロジックレベルの入力信号です。TXD は V_{IO} レベルにバイアスされ、ピンがフローティングの場合に強制的にリセッスブ入力になります。

7.3.2.2 RXD ピン

RXD は、 V_{IO} を基準とした、TCAN843-Q1 から CAN FD コントローラへのロジックレベル信号出力です。有効な V_{IO} が存在すると、RXD ピンはロジック High 出力として V_{IO} レベルに駆動されます。

電源オンまたはウェークアップ イベントが発生すると、RXD ピンは Low になります。

7.3.2.3 nFAULT ピン

nFAULT は、 V_{IO} を基準とする、TCAN843-Q1 から CAN FD コントローラへのロジックレベル出力信号です。nFAULT 出力は、ロジック High 出力として V_{IO} レベルに駆動されます。

nFAULT 出力は、TCAN843-Q1 ステータス インジケータ フラグを CAN FD コントローラに送信するために使用されます。nFAULT ピンにより外部から通知される特定のフォルト シナリオについては、表 7-1 を参照してください。TCAN843-Q1 は、 V_{IO} が存在し、スリープ モードのときに nFAULT ピンをハイに駆動して電力を節約します。これは、スリープ モードでは外部に示される故障シナリオがないためです。

7.3.2.4 EN ピン

EN は、CAN FD コントローラから TCAN843-Q1 への、 V_{IO} を基準とするロジックレベルの入力信号です。EN 入力ピンは、nSTB ピンと組み合わせてモード選択に使用します。システム過剰な電力供給や誤ウェークアップ イベントを防止するために、EN は内部で low にプルされています。

7.3.2.5 nSTB ピン

nSTB は、CAN FD コントローラから TCAN843-Q1 への V_{IO} を基準とするロジックレベル入力信号です。また、nSTB 入力ピンは EN ピンと組み合わせたモード選択用です。nSTB は内部的に low にプルされ、過剰なシステム電力と誤ウェークアップ イベントを防止します。

7.3.3 GND

GND はトランシーバのグランドピンで、PCB のグランドに接続する必要があります。

7.3.4 INH ピン

INH ピンは高電圧出力です。外部レギュレータの制御に使用できます。これらのレギュレータは通常、マイクロプロセッサおよび V_{IO} ピンをサポートするために使用されます。INH 機能は、スリープ モードを除くすべてのモードでオンになります。

す。スリープ モードでは、INH ピンはオフになり、高インピーダンス状態に移行します。これにより、スリープ モード中はノードを最小消費電力状態にできます。INH 出力に 100kΩ 負荷を追加することで、High 駆動状態から Low 状態への遷移時間を高速化し、フローティングのままにしたときにピンを強制的に Low にすることができます。

この端子は、電力出力ではなく、高電圧ロジック端子とみなす必要があります。INH ピンは、システム パワー マネージメント デバイスの EN 端子を駆動するために使用する必要があり、パワー マネージメント電源のスイッチとしては使用しないでください。この端子は逆バッテリー保護されていないため、このシステム モジュールの外側に接続しないでください。

7.3.5 WAKE ピン

WAKE ピンは、ローカル ウェイクアップ (LWU) 機能に使用される高電圧逆ブロック入力です。WAKE ピンは双方向エッジトリガであり、WAKE ピン遷移の立ち上がりエッジまたは立ち下がりエッジでローカル ウェイクアップ (LWU) を認識します。LWU 機能については、「[WAKE 入力端子によるローカル ウェイクアップ \(LWU\)](#)」セクションで詳しく説明します。

7.3.6 CAN バス ピン

これらは CAN High と CAN Low、CANH と CANL の差動バスピンです。これらのピンは、CAN トランシーバおよび低電圧ウェークレシーバに内部接続されています。

7.3.7 フォルト

7.3.7.1 内部および外部のフォルト インジケータ

次のデバイス ステータス インジケータ フラグが実装されており、MCU がデバイスおよびシステムのステータスを判定できます。故障に加えて、nFAULT 故障端末は、V_{SUP} バッテリ端末でのウェークアップ リクエストと「コールド」電源投入シーケンスも通知するため、システムは必要な診断やコールド ブート シーケンスを実行できます。RXD 端子はウェークアップ リクエスト求を通知し、フォルトは nFAULT 出力に対して多重化 (論理和) されます。

表 7-1. TCAN843-Q1 トランシーバー ステータス インジケータ

EVENT	フラグ名	原因	インジケータ ⁽¹⁾	フラグがクリアされます	備考
パワーアップ	PWRON	V _{SUP} の電源投入時および UV _{SUP} を下回った後の V _{SUP} の復帰時	スタンバイまたはスリープ モードからサイレント モードに移行すると、nFAULT = Low	通常モードへの遷移の後です	コールド スタート条件により、ローカル ウェイクアップ WAKERQ、WAKESR、および PWRON フラグが生成されます。
ウェイクアップ リクエスト	WAKERQ ⁽²⁾		スタンバイ モードに移行したときにウェイクアップ後、nFAULT = RXD = Low	通常モードへの遷移後または $t \geq t_{UV}$ で、 $V_{CC} < UV_{CC(F)}$ または $V_{IO} < UV_{IO(F)}$ となります	ウェイクアップ リクエストは、スタンバイ、スリープ移行、またはスリープモードからのみ設定できます。スリープ モードで UV _{VCC} または UV _{VIO} の期限切れのタイマーをリセットします。
ウェイクアップ ソース認識 ⁽³⁾	WAKESR	CAN バスでのウェイクアップ イベント、WAKEピンでの状態遷移、または最初のパワーアップ	通常モードに入ると利用可能 ⁽⁴⁾ nFAULT = Low は、WAKE ピン nFAULT = ハイからのローカルウェイクアップ イベントを示す CAN バスからのリモートウェイクアップイベントを表示	通常モードで TXD に 4 回のリセットからドミナントへのエッジ発生後、 ⁽⁵⁾ 通常モードを終了するか、 $t \geq t_{UV}$ で または $V_{CC} < UV_{CC(F)}$ 、 または $V_{IO} < UV_{IO(F)}$	コールド スタート条件により、ローカル ウェイクアップ WAKERQ、WAKESR、および PWRON フラグが生成されます。
アンダーボルテージ	UV _{CC}	$V_{CC} < UV_{CC(F)}$	外部からは表示されません	$V_{CC} > UV_{CC(R)}$ 、 または、ウェイクアップ リクエストが発生します	
	UV _{IO}	$V_{IO} < UV_{IO(F)}$	外部からは表示されません	$V_{IO} > UV_{IO(R)}$ 、 または、ウェイクアップ リクエストが発生します	
	UV _{SUP}	$V_{SUP} < UV_{SUP(F)}$	外部からは表示されません	$V_{SUP} > UV_{SUP(R)}$	V _{SUP} 低電圧イベントにより、V _{SUP} > UV _{SUP(R)} になるとコールド スタート状態が生成されます。
ローカル フォルト	TXDDTO	$T \geq t_{TXDDTO}$ の間の TXD ドミナント タイムアウト、ドミナント (Low) 信号	nFAULT = 通常モードからサイレント モードに移行すると Low になります	RXD = Low、TXD = High が 4μs 続く、または通常、スタンバイ、スリープ移行、またはスリープモードへのモード遷移	TXDDTO がクリアされるまで、CAN ドライバはディセーブルのまま維持されます。TXDDTO 故障中、CAN レシーバはアクティブのままになります。
	TXDRXD	$t \geq t_{TXDDTO}$ の間、TXD ピンと RXD ピンは互いに短絡しています			TXDRXD がクリアされるまで、CAN ドライバはディセーブルのまま維持されます。TXDRXD 故障中、CAN レシーバはアクティブのままになります。TXD = RXD = Low のとき、TXDRXD が検出されます。
	CANDOM	CAN バスドミナントフォルト。 $t \geq t_{BUSDOM}$ にわたってドミナントバス信号を受信した場合		RXD = High、 または通常モード、スタンバイモード、スリープ移行、またはスリープモードへの遷移	CANDOM 故障中も CAN ドライバはイネーブルのままです。
	TSD	サーマル シャットダウン、 $T_J \geq T_{SDR}$		$T_J < T_{SDF}$ か、 RXD = Low および TXD = High が 4μs 続くか、 もしくは通常モード、スタンバイモード、スリープ移行モード、またはスリープモード遷移	TSD イベントがクリアされるまで、CAN ドライバはディセーブルのままです。TSD 故障中、CAN レシーバはアクティブのままになります。

(1) V_{IO} と V_{SUP} が存在します。

(2) スリープ移行モードへの遷移は、WAKERQ フラグがクリアされるまでブロックされます。

(3) ウェイクアップ ソース認識は、最初のウェイクアップ ソースを反映します。追加のウェイクアップ イベントが発生した場合でも、ソースは元のウェイクアップ ソースを示します。

(4) インジケータは、フラグがクリアされるまで、通常モードでのみ使用できます

(5) WAKESR フラグをクリアするには、リセットからドミナントへの遷移の間に最低 4μs が必要です。

7.3.7.1.1 パワーアップ(PWRON フラグ)

これは、システムの電源オンシーケンスを制御するために使用できる内部および外部フラグです。トランシーバに新しいバッテリーを接続すると、コールド スタート状態を示す PWRON フラグが設定されます。TCAN843-Q1 は、V_{SUP}、V_{SUP} < UV_{SUP(F)} のあらゆる低電圧条件をコールド スタートとして処理します。したがって、V_{SUP} > UV_{SUP(R)} 条件が満たされると、TCAN843-Q1 は PWRON フラグを設定します。このフラグを使用して、コールド スタート状況でのみ呼び出されるルーチンにシステムが入ります。PWRON フラグは、スタンバイ モードまたはスリープ モードからサイレント モードに移行した後、nFAULT が low に駆動されて示されます。このフラグは、通常モードへの遷移後にクリアされます。

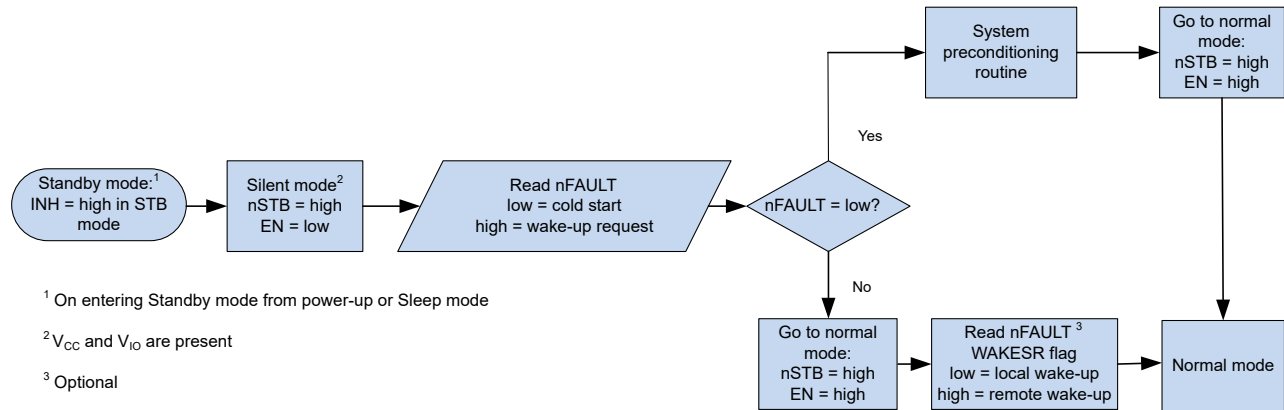


図 7-2. サイレント モードに移行して、PWRON とウェーク要求を区別

7.3.7.1.2 ウェイクアップ要求 (WAKERQ フラグ)

これは、スタンバイ、スリープ移行、スリープ モードで設定できる内部および外部フラグです。このフラグは、有効なローカル ウェイクアップ (LWU) 要求が発生する、有効なリモート ウェイク要求が発生する、または V_{SUP} で電源投入時に設定されます。このフラグが設定されると、 UV_{CC} または UV_{IO} フォルト検出の t_{UV} タイマがクリアされます。このフラグは、通常モードに移行するとき、または V_{CC} または V_{IO} の低電圧イベント中にクリアされます。

7.3.7.1.3 低電圧フォルト

この TCAN843-Q1 デバイスには、すべての電源端子に低電圧検出回路が実装されています。 V_{SUP} 、 V_{CC} および V_{IO} 。低電圧フラグは内部インジケータフラグであり、nFAULT 出力ピンには示されません。

7.3.7.1.3.1 V_{SUP} の低電圧

UV_{SUP} は、 V_{SUP} の電圧が低電圧検出電圧スレッショルド UV_{SUP} を下回ると設定されます。 $V_{SUP} > UV_{SUP(R)}$ になると、PWRON および WAKERQ フラグがセットされます。

7.3.7.1.3.2 V_{CC} の低電圧

UV_{CC} は、 V_{CC} の電圧が、 t_{UV} 低電圧フィルタ時間よりも長い間低電圧検出電圧スレッショルド UV_{CC} を下回ると設定されます。

7.3.7.1.3.3 V_{IO} の低電圧

UV_{IO} は、 V_{IO} の電圧が、 t_{UV} 低電圧フィルタ時間よりも長い間低電圧検出電圧スレッショルド UV_{IO} を下回ると設定されます。

7.3.7.1.4 TXD ドミナント状態タイムアウト (TXDDTO フラグ)

TXDDTO は、TXD ピンが $t > t_{TXDDTO}$ のために間ドミナントに保持された場合に設定される外部フラグです。TXD DTO 状態が存在する場合、通常モードからサイレント モードに移行すると、nFAULT ピンは Low に駆動されます。TXDDTO フラグは、通常モードで TXD = H かつ RXD = L の場合、または通常モード、スタンバイ モード、スリープ移行 モード、またはスリープ モードに遷移するときにクリアされます。

7.3.7.1.5 TXD から RXD への短絡フォルト (TXDRXD フラグ)

TXDRXD は、トランシーバーが TXD ラインと RXD ラインが $t \geq t_{TXDDTO}$ にわたって短絡していることを検出した場合に設定される外部フラグです。TXDRXD 状態が存在する場合、通常モードからサイレント モードに移行すると nFAULT ピンは Low に駆動され、TXDRXD フォルトがクリアされるまで CAN バスドライバは無効化されます。TXDRXD フラグは、TXD がハイで RXD がローの状態での次のドミナントからリセッティングへの遷移が発生したとき、または通常モード、スタンバイ モード、スリープ移行 モード、またはスリープ モードに遷移したときにクリアされます。

7.3.7.1.6 CAN バス ドミナント フォルト (CANDOM フラグ)

CANDOM は、CAN バスが $t > t_{\text{BUSDOM}}$ の間ドミナント状態で固着している場合にセットされる外部フラグです。CANDOM 条件が存在する場合、通常モードからサイレント モードに入ると nFAULT ピンは Low に駆動されます。CANDOM フラグは、RXD での次のドミナントからリセッスブへの遷移時、または通常モード、スタンバイ モード、スリープ 移行モード、またはスリープ モードへの遷移時にクリアされます。

7.3.8 ローカル フォルト

ローカル フォルトは、通常モードとサイレント モードの両方で検出されますが、TCAN843-Q1 が通常モードからサイレント モードに移行したときのみ nFAULT ピンによって通知されます。その他のすべてのモード遷移は、ローカルの故障フラグ インジケータをクリアします。

7.3.8.1 サーマル シャットダウン (TSD)

TCAN843-Q1 の接合部温度がサーマル シャットダウンのスレッシュホールドを超えると、デバイスは CAN ドライバ回路をオフにし、TXD からバスへの伝送パスをブロックします。TSD フォルト時、CAN バス端末は劣勢レベルにバイアスされ、受信機から RXD へのバスは動作を継続します。TSD 故障状態は、デバイスの接合部温度 T_J がデバイスのサーマル シャットダウン解除温度 T_{SDF} を下回り、通常、スタンバイ、またはスリープ モードへのモード変更が行われるか、TXD = H & RXD = L が受信されるとクリアされます。TSD 故障の原因となった故障状態がまだ存在する場合、温度が再び上昇し、デバイスが再びサーマル シャットダウン状態になります。TSD フォルト状態での長時間の動作は、デバイスの信頼性に影響を与える可能性があります。TSD 回路にはヒステリシスが含まれており、ドライバ出力の発振を防止します。フォルト発生中、TSD フォルト状態が nFAULT 端子を介して CAN FD コントローラに通知されます。

7.3.8.2 低電圧誤動作防止 (UVLO)

電源端子 V_{SUP} 、 V_{IO} 、 V_{CC} は、低電圧イベントについて監視されます。低電圧イベントが発生した場合、TCAN843-Q1 はバス ピンが CAN バスに無負荷となる保護された状態に移行します。これにより、CAN バス上の他の CAN ノード間の通信に影響を及ぼす可能性のある、望ましくないグリッチや過剰な電流引き込みから、CAN バスとシステムを保護します。

どのモードでも V_{SUP} に低電圧イベントが発生すると、TCAN843-Q1 CAN トランシーバーは CAN オフ状態になります。

V_{CC} で低電圧イベントが発生した場合、TCAN843-Q1 は通常モードまたはサイレント モードのままになりますが、CAN トランシーバーは CAN パッシブ状態に変わります。UV_{CC} イベント中、 V_{IO} が存在し、ウェイクアップ回路が非アクティブである限り、RXD は High のままです。CAN バスは GND に対して弱くバイアスされます。低電圧イベントが t_{UV} よりも長く持続すると、TCAN843-Q1 はスリープ モードに遷移します。

V_{IO} に低電圧イベントが発生すると、TCAN843-Q1 はスタンバイ モードに遷移します。低電圧イベントが t_{UV} よりも長く持続すると、TCAN843-Q1 はスリープ モードに遷移します。

低電圧状態が解消され、電源が有効なレベルに戻ると、デバイスは通常の動作に移行するまでに 200 μ s かかります。

7.3.8.3 電源喪失

デバイスは、電源が供給されていない場合、CAN バスに対してハイ インピーダンスになるように設計されています。CANH ピンと CANL ピンは、デバイスが電源オフ状態のときにリーク電流が低いため、バスに負荷がかかっていません。これは、ネットワークの一部のノードが電源オフ状態であっても、ネットワークの残りのノードが動作している場合に重要です。

また、デバイスの電源がオフになっているときでもロジック端子のリーク電流は低いため、電源が入ったままになっている可能性のある他の回路に負荷がかかりません。

7.3.8.4 端子のフローティング

TCAN843-Q1 には、重要なピンに内部プルアップおよびプルダウンがあり、ピンがフローティングのままの場合でも既知の動作を保証します。ピンのフェイルセーフ バイアス保護の説明については、表 7-2 を参照してください。

表 7-2. ピンのフェイルセーフ バイアス

ピン	フェイルセーフ保護	値	備考
TXD	リセシブ レベル	60kΩ	V _{IO} への弱いプルアップ
EN	低消費電力モード		GND に弱いプルダウン
nSTB	低消費電力モード		GND に弱いプルダウン

この内部バイアスは、設計上ではなくフェイルセーフのオプションとして考慮する必要があります。トランシーバを、オープン ドレイン出力を備えた **CAN FD** コントローラとともに使用する場合は、特別な注意が必要です。**TCAN843-Q1** は、TXD ピンに弱い内部プルアップ抵抗を実装しています。**CAN FD** データ レートのビットタイミング要件には特別に考慮する必要があり、オープン ドレイン出力を使用する場合はプルアップ強度を注意深く考慮する必要があります。**CAN FD** コントローラの TXD 出力が **CAN** デバイスへの適切なビットタイミング入力を維持するように、適切な外部プルアップ抵抗を使用する必要があります。

7.3.8.5 CAN バスの短絡電流制限

この **TCAN843-Q1** には、CAN バス ラインが短絡したときに短絡電流を制限するいくつかの保護機能があります。これらに、ドミナントおよびリセシブ状態での **CAN** ドライバ電流制限、TXD ドミナント状態タイムアウトなどです。このタイムアウトにより、システム フォルトによって常に大きな短絡電流がドミナント状態になるのを防ぎます。

CAN 通信中、バスはドミナント状態とリセシブ状態の間で切り替わります。したがって、短絡電流は、各バス状態における電流として、または平均電流として見ることができます。平均短絡電流は、終端抵抗とコモン モード チョークのシステム電力を考慮するときに使用する必要があります。ドライバーが優勢になることができる時間の割合は、TXD 優勢状態のタイムアウトと、強制的な状態変更と、ビット スタッフィング、制御フィールド、およびフレーム間間隔などの劣勢ビットを持つ **CAN** プロトコルによって制限されます。これにより、データ フィールドに優位ビットが高率に含まれている場合でも、バス上の劣位時間が最小限に抑えられます。

バスの短絡電流は、リセシブ・ビットとドミナント ビットの比率と、それぞれの短絡電流に依存します。平均短絡電流は、式 1 で計算できます。

$$I_{OS(AVG)} = \%Transmit \times [(\%REC_Bits \times I_{OS(SS)_REC}) + (\%DOM_Bits \times I_{OS(SS)_DOM})] + [\%Receive \times I_{OS(SS)_REC}] \quad (1)$$

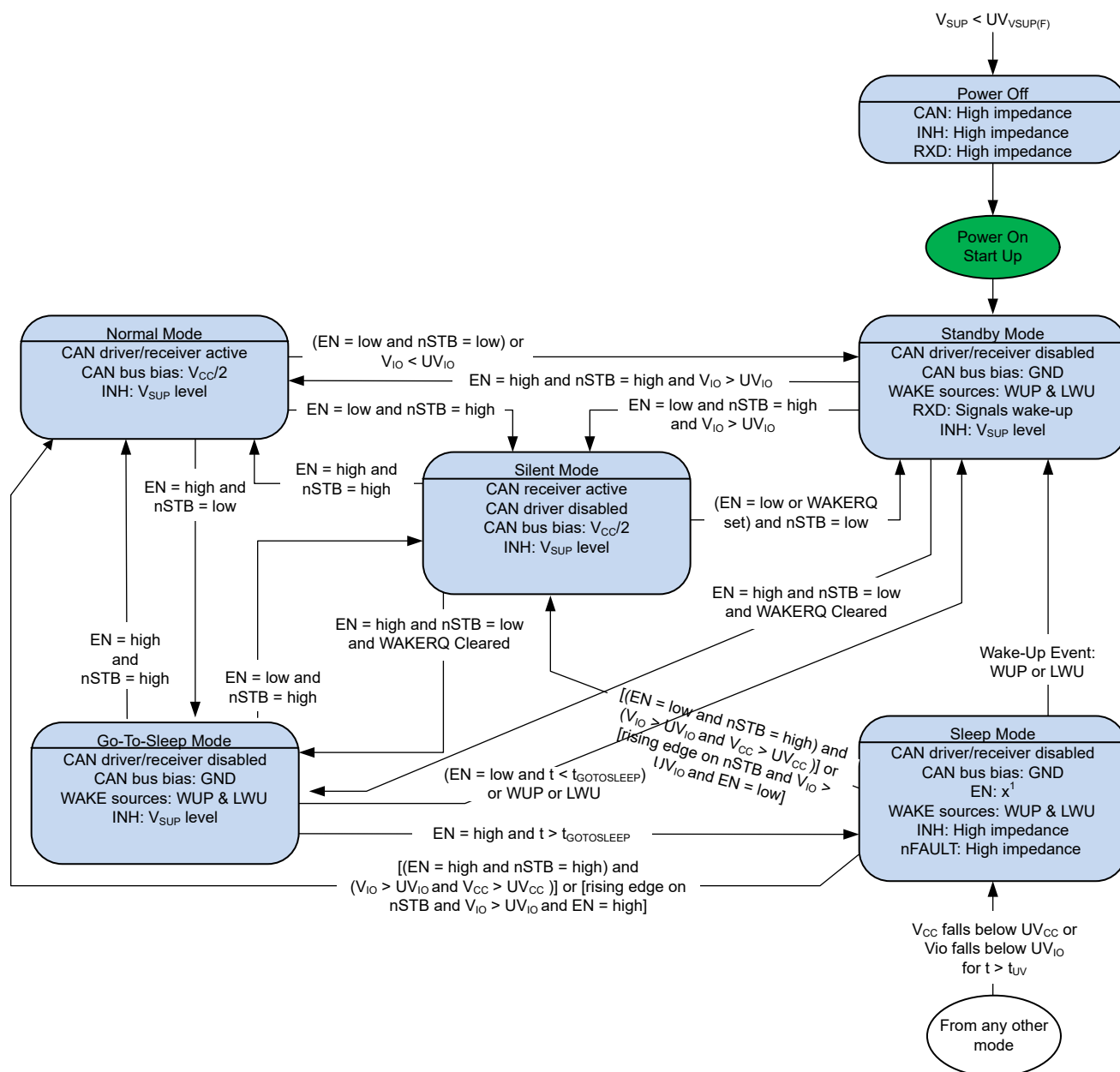
この場合：

- $I_{OS(AVG)}$ は平均短絡電流をします。
- $\%Transmit$ は、ノードが **CAN** メッセージを送信している割合です。
- $\%Receive$ は、ノードが **CAN** メッセージを受信している割合です。
- $\%REC_Bits$ は、送信された **CAN** メッセージ内のリセシブ ビットの割合です。
- $\%DOM_Bits$ は、送信された **CAN** メッセージ内のドミナントビットの割合です。
- $I_{OS(SS)_REC}$ は、リセシブ定常状態の短絡電流です。
- $I_{OS(SS)_DOM}$ は、ドミナント定常状態の短絡電流です。

終端抵抗やその他のネットワーク コンポーネントの電力定格の大きさを決定するときは、短絡電流やネットワークで起こりうるフォルト ケースを考慮してください。

7.4 デバイスの機能モード

TCAN843-Q1 には、通常、スタンバイ、サイレント、スリープ移行、スリープ、オフ モードの 6 つの動作モードがあります。動作モードの選択は、nSTB ピンおよび EN ピンを、電源条件、温度条件、ウェーク イベントと組み合わせて使用して制御されます。



1. スリープ モード中はイネーブル ピンは論理 High または Low の状態にできますが、スリープ モード中は内部ブルダウンがあるため、可能な限り低い消費電力は、ピンがフローティングのままになっているか、外部で low にプルされているときに発生します。

図 7-3. TCAN843-Q1 ステート マシン

表 7-3. TCAN843-Q1 モードの概要

モード	V _{CC} および V _{IO}	V _{SUP}	EN	nSTB	WAKERQ フラグ	ドライバ	レシーバ	RXD	INH
正常	> UV _{CC} および > UV _{IO}	> UV _{SUP}	High	High	X	イネーブル	イネーブル	バスの状態を反映します	オン
サイレント	> UV _{CC} および > UV _{IO}	> UV _{SUP}	Low	High	X	ディセーブル	イネーブル	バスの状態を反映します	オン

表 7-3. TCAN843-Q1 モードの概要 (続き)

モード	V _{CC} および V _{IO}	V _{SUP}	EN	nSTB	WAKERQ フラグ	ドライバ	レシーバ	RXD	INH
スタンバイ	> UV _{CC} および > UV _{IO}	> UV _{SUP}	High	Low	設定	ディセーブル	低消費電力バス モニタがイネーブル	低信号ウェークアップ	オン
	> UV _{CC} および > UV _{IO}	> UV _{SUP}	Low	Low	X	ディセーブル	低消費電力バス モニタがイネーブル	低信号ウェークアップ	オン
	> UV _{CC} および < UV _{IO}	> UV _{SUP}	Low	Low	X	ディセーブル	低消費電力バス モニタがイネーブル	ハイ インピーダンス	オン
スリープ移行 ⁽¹⁾	> UV _{CC} および > UV _{IO}	> UV _{SUP}	High	Low	クリア	ディセーブル	低消費電力バス モニタがイネーブル	高またはハイ インピーダンス (V _{IO} なし)	オン ⁽²⁾
スリープ ⁽³⁾	> UV _{CC} および > UV _{IO}	> UV _{SUP}	High	Low	クリア	ディセーブル	低消費電力バス モニタがイネーブル	高またはハイ インピーダンス (V _{IO} なし)	High インピーダンス
	< UV _{CC} または < UV _{IO}	> UV _{SUP}	X	X	X	ディセーブル	低消費電力バス モニタがイネーブル	高またはハイ インピーダンス (V _{IO} なし)	ハイ インピーダンス
パッシブ ⁽⁴⁾	< UV _{CC} および > UV _{IO}	> UV _{SUP}	X	High	X	ディセーブル	ディセーブル	High	オン
保護	X	< UV _{SUP}	X	X	X	ディセーブル	ディセーブル	ハイ インピーダンス	ハイ インピーダンス

- (1) スリープ移行: t_{GOTOSLEEP} タイマの期限が切れるまで、EN = H、nSTB = L の遷移モードになります。この状態では、低消費電力バスモニタはイネーブルになるか、維持されます。
- (2) t_{GOTOSLEEP} タイマの期限が切れ、デバイスがスリープモードに移行すると、INH ピンはハイ インピーダンスに遷移します。
- (3) t_{GOTOSLEEP} タイマの期限が切れると、スリープ移行 モードからスリープ モードにモードが変更されます。
- (4) t > t_{UV_det} で UV_{CC} イベントが発生すると、通常モードまたはサイレント モードからパッシブ モードに入ります。t_{UV} タイマの期限がきれると、デバイスはパッシブモードからスリープモードに遷移します。

7.4.1 動作モードの説明

7.4.1.1 通常モード

これは、本デバイスの通常の動作モードです。CAN ドライバとレシーバは完全に動作し、CAN 通信は双方向です。このドライバは、TXD デジタル入力を、CANH および CANL の差動出力に変換します。レシーバは、CANH および CANL からの差動信号を RXD のデジタル出力に変換します。

通常モードに入ると、WAKERQ フラグと PWRON フラグの両方がクリアされます。TXD が Low のときに通常モードに移行すると、TXD が High になるまでドライバはイネーブルになりません。そのため、状態遷移中のグリッチや、TXD 故障によるバス中断を防止します。

7.4.1.2 サイレント モード

サイレント モードは、一般にリッスン専用および受信専用モードと呼ばれます。このモードでは、CAN ドライバは無効になりますが、レシーバは完全に動作し、CAN 通信はデバイスに単方向です。レシーバは、CANH および CANL からの差動信号を RXD 端子のデジタル出力に変換します。

サイレント モードでは、PWRON およびローカル故障フラグが nFAULT ピンに示されます。

7.4.1.3 スタンバイ モード

スタンバイ モードは、ドライバとレシーバがディセーブルされ、消費電流が低減される低消費電力モードです。ただし、INH 端子がオンになっているため、これはデバイスの最小消費電力モードではありません。これにより、システムの他の部分は通常動作を再開できます。

スタンバイ モード中は、RXD 端子が low になっていることにより、ウェークアップ要求 (WAKERQ) が通知されます。本デバイスが通常モードに復帰した後、ウェークアップ ソースは nFAULT ピンによって識別されます。

7.4.1.4 スリープ移行モード

スリープ移行モードは、デバイスを任意の状態からスリープ状態に移行する遷移モードです。この状態では、ドライバとレシーバが無効化されるため、消費電流は低減します。INH ピンはアクティブで、V_{IO} コントローラにイネーブルを供給し、システムの残りの部分が正常に動作できるようにします。このモードに移行すると、低消費電力のバスモニタがアクティブに

なるか、バスウェークアップ イベントを監視するためにアクティブに維持されます。デバイスがこの状態で $t \geq t_{\text{GOTOSLEEP}}$ に保持されている場合、デバイスはスリープ モードに遷移し、INH はオフになっハイてインピーダンス状態に遷移します。

いずれかのウェークアップ イベントが引き続き発生する場合、デバイスが通常モードに切り替わるまで、TCAN843-Q1 はスタンバイ モードのままになり、保留中のウェークアップ イベントをクリアします。

7.4.1.5 スリープ モード

スリープ モードは、TCAN843-Q1 で最小の電力モードです。スリープ モードでは、CAN トランスミッタとメイン レシーバの電源がオフになり、トランシーバはデータを送受信できません。低消費電力レシーバは、ウェークアップ パターン (WUP) 要件を検証するアクティビティについてバスを監視し、ウェークアップ (LWU) イベントの発生について WAKE 端子の状態変化を監視します。スリープ モードでは、INH ピンがオフになり、INH で制御されるシステム電源がオフになるため、システムの消費電力が低減されます。

スリープ モードを終了します。

- CAN バスピンを介して有効なウェークアップ パターン (WUP) が受信された場合
- ローカル WAKE (LWU) イベントの場合
- nSTB がハイであり、 $V_{CC} > UV_{CC}$ かつ $V_{IO} > UV_{IO}$ です (デバイスは、EN ピンのロジックレベルに応じて通常モードまたはサイレント モードになります)。

7.4.1.5.1 ウェークアップ パターン (WUP) によるリモート ウェイクリクエスト

TCAN843-Q1 は、スタンバイおよびスリープ モードで、ISO11898-2:2016 規格に定義されている複数のフィル ウェークアップ パターン (WUP) を使用する低消費電力のウェイクレシーバを実装しています。

ウェークアップ パターン (WUP) は、フィルタリングされたドミナント バス、フィルタリングされたリセシブ バス時間、さらに 2 番目のフィルタリングされたドミナント バス時間で構成されます。最初のフィルターされたドミナントによって WUP が開始され、バス モニターはフィルターされたリセシブを待機することになります。他のバストラフィックはバス モニタをリセットしません。フィルタ処理されたリセシブを受信すると、バス モニタはフィルタ処理されたドミナントを待機します。他のバストラフィックはバス モニタをリセットしません。2 番目のフィルタリングされたドミナントを受信するとすぐに、バス モニタは WUP を認識し、有効な V_{IO} が存在してコントローラにウェークアップ リクエストを通知する場合は RXD 端子を低く駆動します。ウェークアップ パターンを受信した時に有効な V_{IO} が存在しない場合、トランシーバーは $V_{IO} > UV_{IO\text{R}}$ になると RXD 出力ピンを低く駆動します。

WUP は次の部分で構成されます。

- 少なくとも $t_{\text{WK(FILTER)}}$ のフィルタされたドミナント バスに加えて、その後続くドミナント バス
- 少なくとも $t_{\text{WK(FILTER)}}$ のフィルタされたリセシブ バス時間の後に続きます
- $t_{\text{WK(FILTER)}}$ 以上のフィルタされた 2 番目のドミナント バス時間

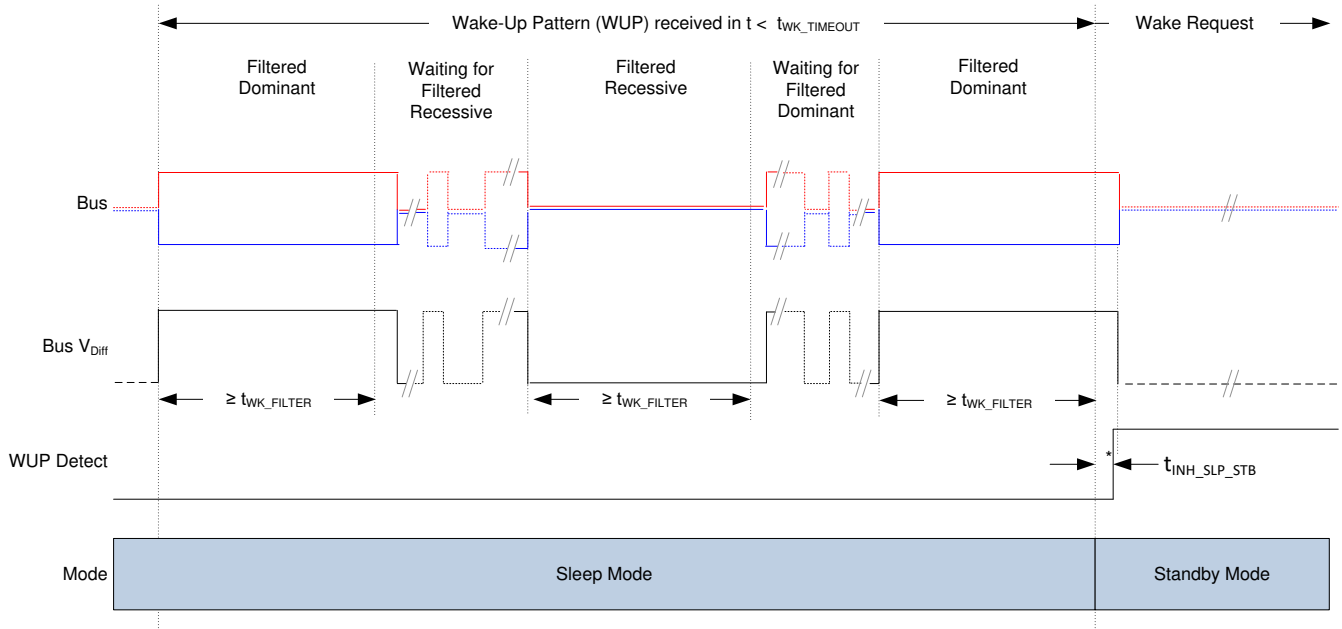
ドミナントまたはリセシブを「フィルタ処理」と見なすには、バスが $t_{\text{WK(FILTER)}}$ 時間より長い間、その状態にある必要があります。 $t_{\text{WK(FILTER)}}$ の変動により、次のシナリオが適用されます。バス状態が $t_{\text{WK(FILTER)}}$ の最小値より短い場合、WUP の一部として検出されることはなく、ウェーク リクエストは生成されません。 $t_{\text{WK(FILTER)}}$ の最小値と $t_{\text{WK(FILTER)}}$ の最大値の間のバス状態時間が WUP の一部として検出され、ウェーク リクエストが生成されることがあります。バス状態時間が $t_{\text{WK(FILTER)}}$ の最大値よりも大きいと、常に WUP の一部として検出されるため、ウェーク リクエストが常に生成されます。WUP のタイミング図については、[図 7-4](#) を参照してください。

WUP およびウェークリクエストに使用されるパターンおよび $t_{\text{WK(FILTER)}}$ 時間により、ノイズやバス固着ドミナントフォルトが誤ったウェーク リクエストを引き起こすことを防止しながら、任意の CAN または CAN FD メッセージから WAKE リクエストを開始できます。

ISO11898-2:2024 では、短いウェークアップ フィルタ時間と長いウェークアップ フィルタ時間に対して 2 セットの時間がありません。TCAN843-Q1 の $t_{\text{WK(FILTER)}}$ タイミング、両方のフィルタ範囲の最小値および最大値内に収まるように選択されています。このタイミングは、500kbps のシングル ビット時間、または 1Mbps の 2 双方向ビット時間のどちらのバ状態スでもフィルタがトリガされるように選択されています。

堅牢性の層を追加し、誤ウェークアップを防止するために、本トランシーバは $t_{WK(TIMEOUT)}$ タイマを実装しています。リモートウェークアップ イベントが正常に発生するには、タイムアウト値内にウェークアップ パターン全体を受信する必要があります。 $t_{WK(TIMEOUT)}$ が経過する前に完全なウェークアップ パターンが受信されない場合、内部ロジックがリセットされ、トランシーバはウェークアップせずにスリープ モードのままになります。その後、パターン全体が $t_{WK(TIMEOUT)}$ ウィンドウ内で再度送信される必要があります。図 7-4 を参照してください。

少なくとも $t_{WK(FILTER)}$ リセッスバスは、 $t_{WK(TIMEOUT)}$ が経過したときに CAN バスがドミナントの場合、次の WUP パターンを分離する必要があります。



*RXD ピンは、 V_{IO} が存在した後のみ駆動されます。

図 7-4. ウェイクアップ パターン (WUP)

7.4.1.5.2 WAKE 入力端子によるローカル ウェークアップ (LWU)

WAKE 端子は、電圧遷移によるローカル ウェークアップ (LWU) リクエストに使用できる双方向の高電圧逆バッテリー保護入力です。双方向入力スレッシュホールドにより、LWU イベントは、Low から High、または High から Low への遷移でトリガーされます。WAKE ピンは、 V_{SUP} またはグランドへのスイッチと併用できます。端子が使用されていない場合は、不要な寄生ウェークアップ イベントを回避するために、端子を V_{SUP} またはグランドに接続する必要があります。

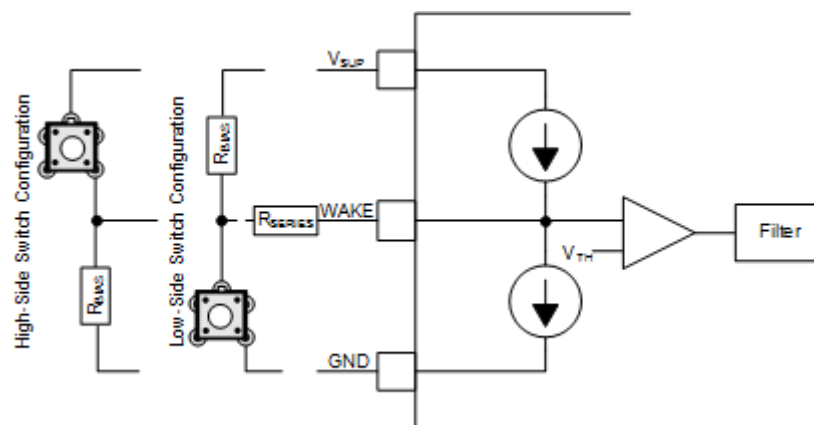


図 7-5. WAKE 回路の例

図 7-5 に、WAKE ピンの 2 つの可能な構成、ローサイドとハイサイドスイッチ構成を示します。直列抵抗 R_{SERIES} の目的は、グラウンド シフトまたはグラウンド損失時に発生する可能性のある過電流状態から、デバイスの WAKE 入力を保護することです。 R_{SERIES} の最小値は、最大電源電圧 V_{SUPMAX} と、WAKE ピンの最大許容電流 $I_{\text{IO(WAKE)}}$ を使用して計算できます。 R_{SERIES} は次を使用して計算されます。

$$R_{\text{SERIES}} = V_{\text{SUPMAX}} / I_{\text{IO(WAKE)}} \quad (2)$$

絶対最大電圧 V_{SUPMAX} 、45V、3mA の最大許容 $I_{\text{IO(WAKE)}}$ の場合、必要な R_{SERIES} の最小値は 15k Ω です。

R_{BIAS} 抵抗は、スイッチが解放されたときの WAKE 入力の静的電圧レベルを設定するために使用します。スイッチをハイサイド スイッチ構成で使用する時、 R_{BIAS} 抵抗と R_{SERIES} 抵抗の組み合わせにより WAKE ピンの電圧が V_{IH} スレッシュホールドより高く設定されます。 R_{BIAS} の最大値は、最大電源電圧 V_{SUPMAX} 、最大ウェーク スレッシュホールド電圧 V_{IH} 、最大 WAKE 入力電流 I_{IH} 、直列抵抗値 R_{SERIES} を使用して計算できます。 R_{BIAS} は次を使用して計算されます。

$$R_{\text{BIAS}} < ((V_{\text{SUPMAX}} - V_{\text{IH}}) / I_{\text{IH}}) - R_{\text{SERIES}} \quad (3)$$

V_{SUPMAX} が 40V、 V_{IH} が 39V の 3 μA の I_{IH} の場合、 R_{BIAS} 抵抗値は 330k Ω 未満でなければなりません。スイッチが解放されたときに WAKE ピンの電圧が V_{IH} より高くなるように余裕を持たせるため、50k Ω よりも低い R_{series} を使用することを推奨します。

LWU 回路は、スリープまたはスタンバイ モードで起動します。

WAKE 回路は、通常またはサイレント モードでスイッチが常オフになります。

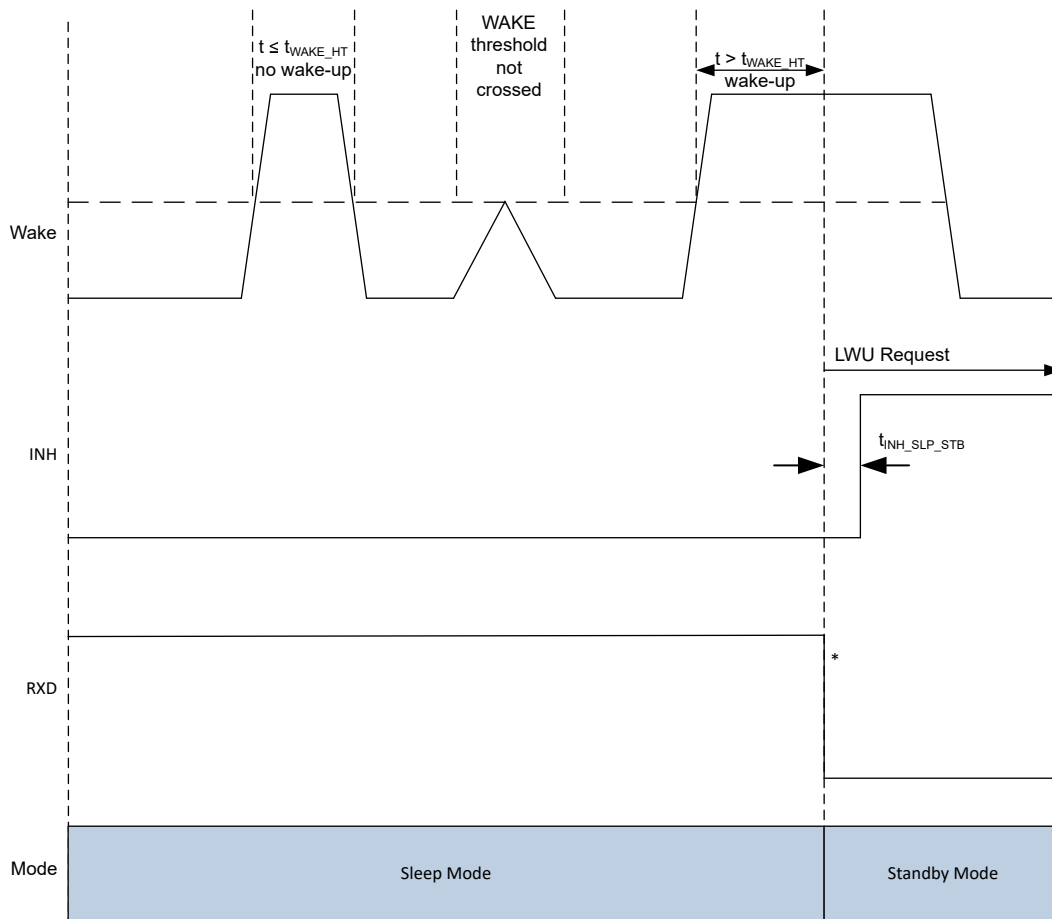


図 7-6. LWU リクエストの立ち上がりエッジ

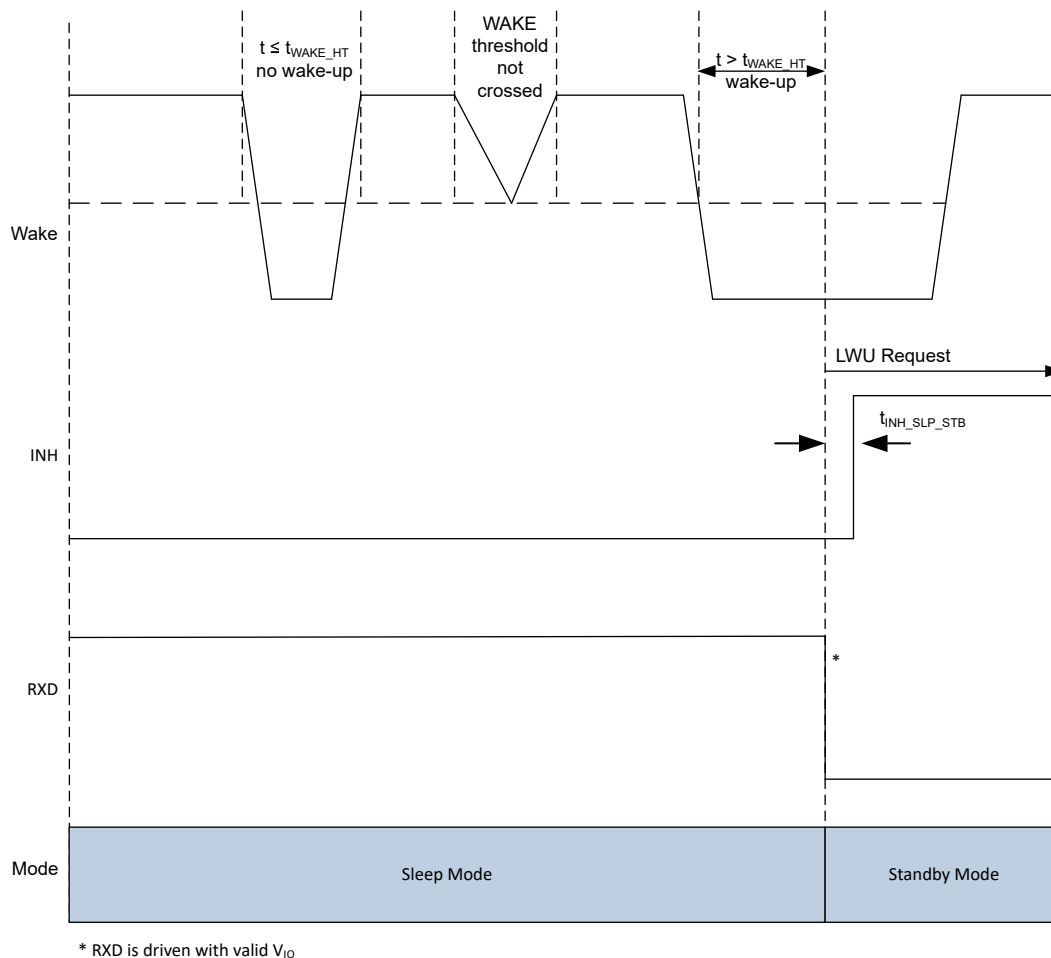


図 7-7. LWU リクエストの立ち下がりエッジ

7.4.2 CAN トランシーバ

7.4.2.1 CAN トランシーバの動作

TCAN843-Q1 は、ISO 11898-2:2024 CAN 物理層標準の通常バス バイアス方式をサポートします。通常バス バイアスとは、トランシーバが通常モードまたはサイレント モードのときに CAN バスにバイアスがかけられることを意味します。他のモードでは、CAN ピンはハイ インピーダンスになるか、GND に弱くバイアスされます。

7.4.2.1.1 ドライバおよびレシーバ機能表

表 7-4. ドライバ機能表

デバイス モード	TXD 入力 ⁽¹⁾	バス出力		駆動されているバスの状態 ⁽²⁾
		CANH	CANL	
正常	Low	High	Low	ドミナント
	High またはオープン	ハイ インピーダンス	ハイ インピーダンス	V _{CC} /2
サイレント	x	ハイ インピーダンス	ハイ インピーダンス	V _{CC} /2
スタンバイ	x	ハイ インピーダンス	ハイ インピーダンス	GND への弱いバイアス
スリープ	x	ハイ インピーダンス	ハイ インピーダンス	GND への弱いバイアス

(1) x = 無関係です

(2) バスの状態と一般的なバス電圧については、図 7-8 を参照してください

表 7-5. レシーバ機能表

デバイス モード	CAN 差動入力 $V_{ID} = V_{CANH} - V_{CANL}$	バスの状態	RXD 端子
通常 / サイレント	$V_{ID} \geq 0.9V$	ドミナント	Low
	$0.5V < V_{ID} < 0.9V$	不定	不定
	$V_{ID} \leq 0.5V$	リセッシブ	High
	オープン ($V_{ID} \approx 0V$)	オープン	High
スタンバイ	$V_{ID} \geq 1.15V$	ドミナント	High ウェークアップ イベントが継続した場合は Low
	$0.4V < V_{ID} < 1.15V$	不定	
	$V_{ID} \leq 0.4$	リセッシブ	
	オープン ($V_{ID} \approx 0V$)	オープン	
スリープ/スリープ 移行 ⁽¹⁾	$V_{ID} \geq 1.15V$	ドミナント	High V_{IO} または V_{SUP} が存在しない場合はト ライステート
	$0.4V < V_{ID} < 1.15V$	不定	
	$V_{ID} \leq 0.4V$	リセッシブ	
	オープン ($V_{ID} \approx 0V$)	オープン	

(1) 低消費電力ウェークアップ レシーバがアクティブです

7.4.2.1.2 CAN バスの状態

CAN バスの動作時には、リセッスブとドミナントの 2 つの論理状態があります。図 7-8 を参照してください。

ドミナント バス状態は、バスを差動で駆動する場合で、TXD ピンと RXD ピンは論理 LOW になります。リセッスブ バス状態は、バスがレシーバの高抵抗の内部入力抵抗 (R_{IN}) を介して CAN トランシーバ電源電圧の半分にバイアスされ、TXD ピンと RXD ピンは論理 High になります。

アービトレーションの期間は、ドミナント状態がリセッスブ状態を上書きします。調停の際には、複数の CAN ノードが同時にドミナントビットを送信している可能性があり、この場合、CAN バスの差動電圧は単一 CAN ドライバの差動電圧よりも大きくなります。TCAN843-Q1 CAN トランシーバーは、低電力のスタンバイ モードとモードを実装しており、これにより、バスピンが受信機の高抵抗内部抵抗を介してグラウンドにバイアスされる第 3 のバス状態が可能になります。

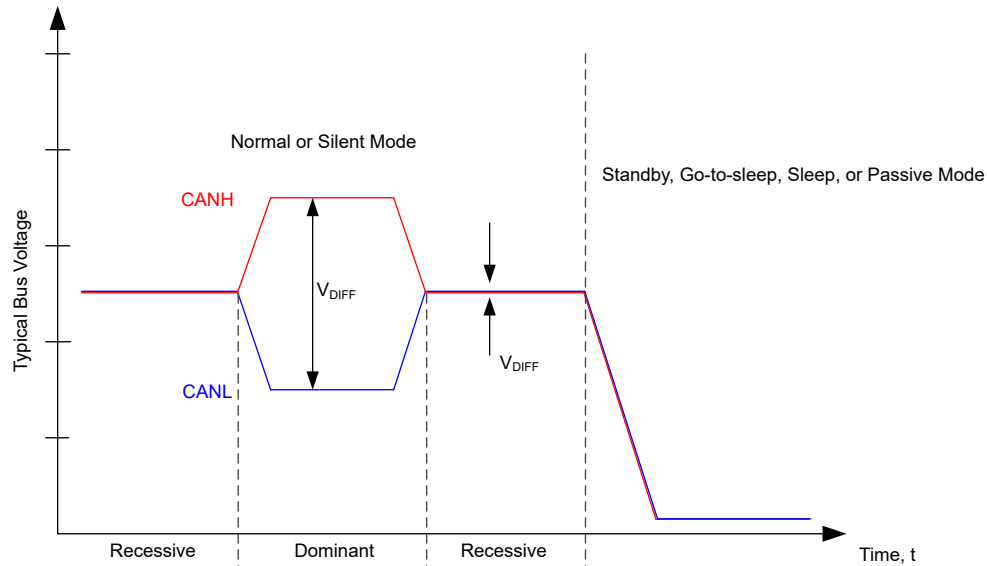


図 7-8. バスの状態

8 アプリケーション情報に関する免責事項

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

この TCAN843-Q1 トランシーバは通常、CAN プロトコルのデータリンクレイヤ部分を含むホスト マイクロ プロセッサまたは FPGA を搭載したアプリケーションで使用されます。これらの種類のアプリケーションには通常、有効 (EN) ピンまたは禁止 (INH) ピンを介してアプリケーションへの電力をゲートする パワー マネージメント テクノロジも含まれます。図 8-1 に示すように、シングル 5V レギュレータを使用して V_{CC} と V_{IO} の両方を駆動することも、独立した 5V および 3.3V レギュレータを使用して V_{CC} と V_{IO} を個別に駆動することもできます。バス終端を、説明のために示します。

8.1.1 代表的なアプリケーション

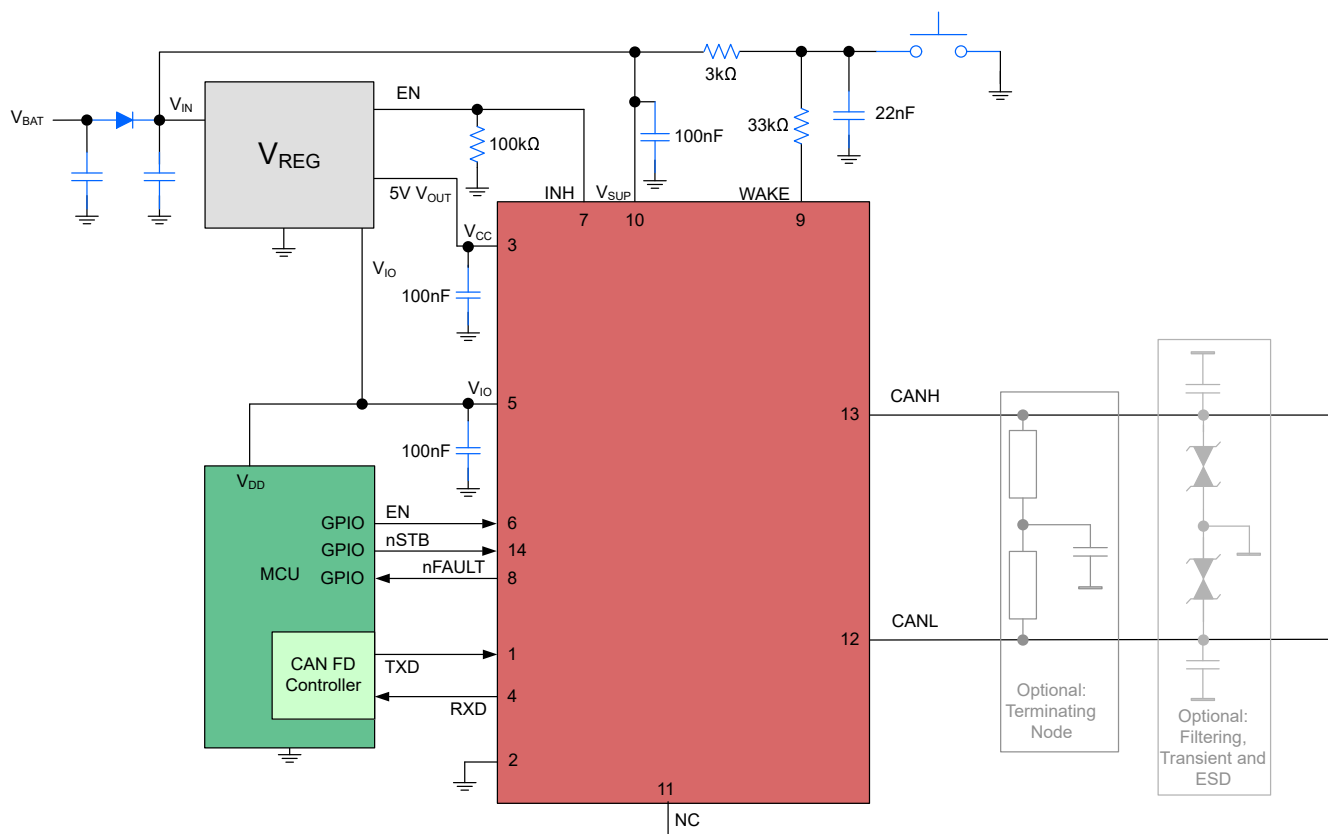


図 8-1. 代表的なアプリケーション

8.1.2 設計要件

8.1.2.1 バスの負荷、長さ、ノード数

代表的な CAN アプリケーションでは、最大バス長は 40 メートル、最大スタブ長は 0.3m です。ただし、注意深く設計すれば、より長いケーブル、より長いスタブ長、より多くのノードをバスに接続することができます。ノード数が多い場合は、TCAN843-Q1 のような高入力インピーダンスのトランシーバが必要になります。

多くの CAN の組織および規格は、元の ISO11898-2:2024 規格外のアプリケーションへと CAN の使用を拡大してきました。この場合、データレート、ケーブル長、バスの寄生負荷にシステム レベルのトレードオフの決定を下しました。これらの CAN システム レベル仕様の例としては、ARINC825、CANopen、DeviceNet、SAEJ2284、SAEJ1939、および NMEA200 などがあります。

CAN ネットワークのシステム設計は、一連のトレードオフです。ISO 11898-2:2024 仕様では、差動出力ドライバは 50Ω ~ 65Ω の範囲のバス負荷により規定されており、この場合、差動出力は $1.5V$ を上回る必要があります。TCAN843-Q1 は、最小 50Ω の $1.5V$ の要件を満たすことが規定されており、 45Ω のバス負荷で $1.4V$ の差動出力を満たすように規定されています。TCAN843-Q1 の差動入力抵抗 R_{ID} は、最小で $50k\Omega$ です。100 個の TCAN843-Q1 トランシーバをバス上で並列に接続する場合は、公称 60Ω のバス終端と並列に 500Ω の差動負荷に相当し、合計バス負荷は約 54Ω になります。したがって、TCAN843-Q1 は理論的には単一のバスセグメントで 100 を超えるトランシーバをサポートします。ただし、CAN ネットワークの設計では、システムおよびケーブル配線全体での信号損失、寄生負荷、タイミング、ネットワークの不均衡、グラウンド オフセット、および信号の完全性に対してマージンを与える必要があるため、実際の最大ノード数は通常、少なくなります。また、バス長は、慎重なシステム設計およびデータレートとのトレードオフにより、 $40m$ を超えて延長することもできます。たとえば、CANopen ネットワーク設計ガイドラインによると、終端抵抗やケーブル配線を変更し、64 ノード未満にし、データレートを大幅に低下させてもいい場合、ネットワークを最大 $1km$ にすることができます。

CAN ネットワーク設計のこの柔軟性は、システムレベルのネットワーク拡張と追加の標準を元の ISO11898-2 CAN 標準に基づいて構築できるようにする重要な強みの 1 つです。ただし、この柔軟性を使用する場合は、堅牢なネットワーク動作のために適切なネットワーク設計を行う責任が CAN ネットワークシステムの設計者に課されます。

8.1.3 詳細な設計手順

8.1.3.1 CAN の終端

終端として、ケーブル上または終端ノード内のいずれかで、バスの端に単一の 120Ω 抵抗を配置することができます。バスの同相電圧のフィルタリングと安定化が必要な場合は、分割終端を使用できます。図 8-2 を参照してください。分割終端は、差動信号ラインに存在する可能性があるより高い周波数の同相ノイズをフィルタリングすることで、ネットワークの電磁放射の挙動を改善します。

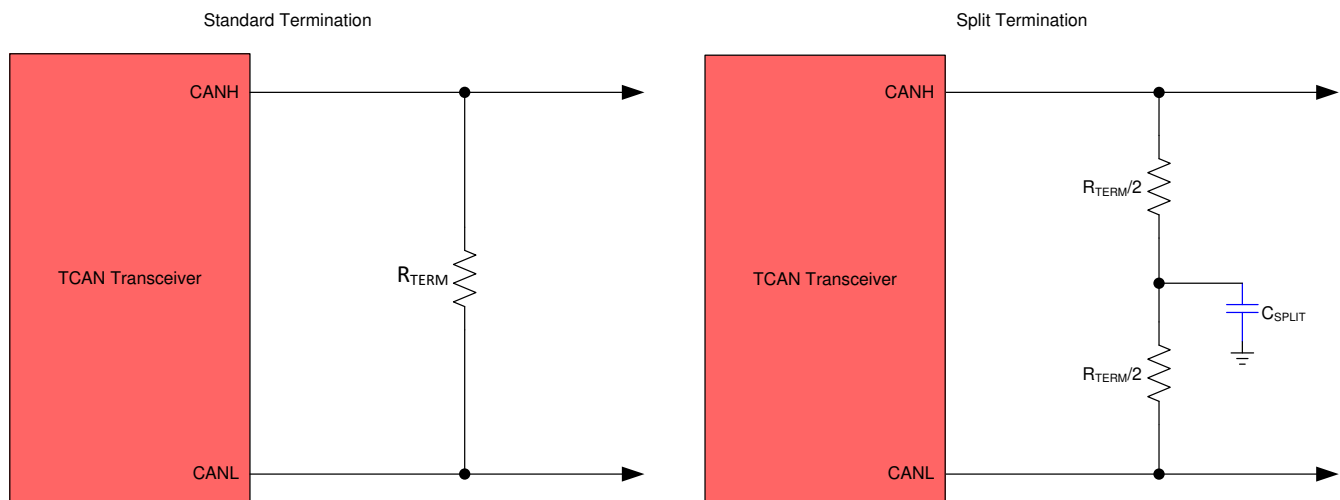
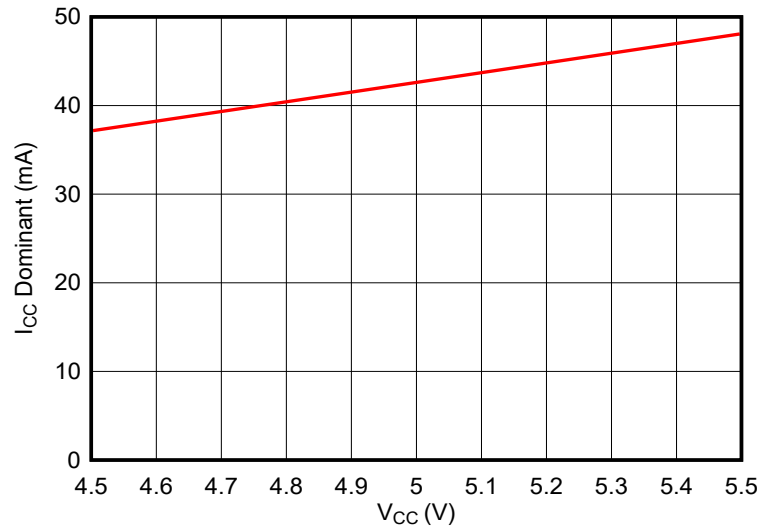


図 8-2. CAN バス終端の概念

8.1.4 アプリケーション曲線



$R_L = 60\Omega$ $C_L = \text{オープン}$

温度 = 25°C

$V_{IO} = 3.3V$ $V_{SUP} = 12V$

図 8-3. I_{CC} 電源電圧に対する I_{CC} ドミナント

8.2 電源に関する推奨事項

TCAN843-Q1 は、 V_{SUP} 、 V_{CC} 、 V_{IO} 3 つの電源レールで動作するように設計されています。 V_{SUP} は V_{BAT} レールに接続するように設計された高電圧電源ピンです。 V_{CC} は 4.5V ~ 5.5V の入力電圧範囲に対応する低電圧電源ピンで、CAN トランシーバをサポートします。 V_{IO} は 2.95V ~ 5.5V の入力電圧範囲でシステム コントローラとの一致用に I/O 電圧を供給する低電圧電源ピンです。信頼性の高い動作のためには、100nF のデカップリング コンデンサを電源ピンのできるだけ近くに配置する必要があります。これにより、スイッチ モード電源の出力に存在する電源電圧リップルを低減し、PCB 電源プレーンの抵抗とインダクタンスを補償するのに役立ちます。

8.3 レイアウト

堅牢で信頼性の高い CAN ノードの設計には、アプリケーションや車載設計要件に応じて特別なレイアウト手法が必要となる場合があります。過渡外乱には高い周波数成分があり、帯域幅が広いいため、PCB 設計時に高周波レイアウト手法を適用できます。

8.3.1 レイアウトのガイドライン

このレイアウト例では、デバイスの周囲のコンポーネントに関する情報を提供します。過渡現象、ESD、ノイズがボード上に伝播するのを防ぐため、保護およびフィルタリング回路をバス コネクタ J1 のできるだけ近くに配置します。過渡電圧抑制 (TVS) デバイスを追加することで、D1 に示すように保護を強化できます。量産ソリューションでは、アプリケーション要件に一致する定格を持つ双方向 TVS ダイオードまたはバリスタを使用できます。この例では、オプションのバスフィルタ コンデンサ C6、および C7 も示しています。直列同相モードチョーク (CMC) を、デバイスとコネクタ J1 の間の CANH ラインおよび CANL ラインに配置します。

信号路の方向に向けて保護部品を設計します。過渡電流を信号路から強制的に迂回させて保護デバイスに到達させないでください。電源およびグランド プレーンを使用して、低インダクタンスを実現します。高周波電流は、抵抗最小経路ではなく、インピーダンス最小経路をたどることに注意してください。実効ビア インダクタンスを最小化するため、バイパス コンデンサと保護デバイスの VCC およびグランド接続には少なくとも 2 つのビアを使用します。

- バイパス コンデンサとバルク コンデンサは、トランシーバの電源端子にできるだけ近い場所に配置する必要があります。例としては、 V_{CC} の C1、 V_{IO} の C2、 V_{SUP} 電源の C3 と C4 などがあります。
- トランシーバの V_{IO} ピンは、マイクロコントローラの IO 電源電圧 ($\mu C V$) に接続されます。
- バス終端: このレイアウト例では、分割終端を示します。終端は 2 つの抵抗 R3 と R4 に分割され、終端の中央タップまたは分割タップはコンデンサ C5 を介してグランドに接続されます。分割終端はバス同相モードフィルタを提供します。バス終端をバス上に直接配置するのではなく、ボード上に配置する場合は、終端ノードがバスから外れないように、また終端も外れないように注意する必要があります。
- INH、ピン 7 には、グランドとの間に 100k Ω 抵抗 (R1) を接続できます。
- WAKE ピン 9 は、WAKE 信号の立ち上がりエッジと立ち下がりエッジのどちらかを認識でき、通常は外部スイッチに接続されます。ピンは、図に示すように、C8 が GND への 22nF コンデンサで、R5 が 33k Ω 、R6 が 3k Ω になるように構成する必要があります。

8.3.2 レイアウト例

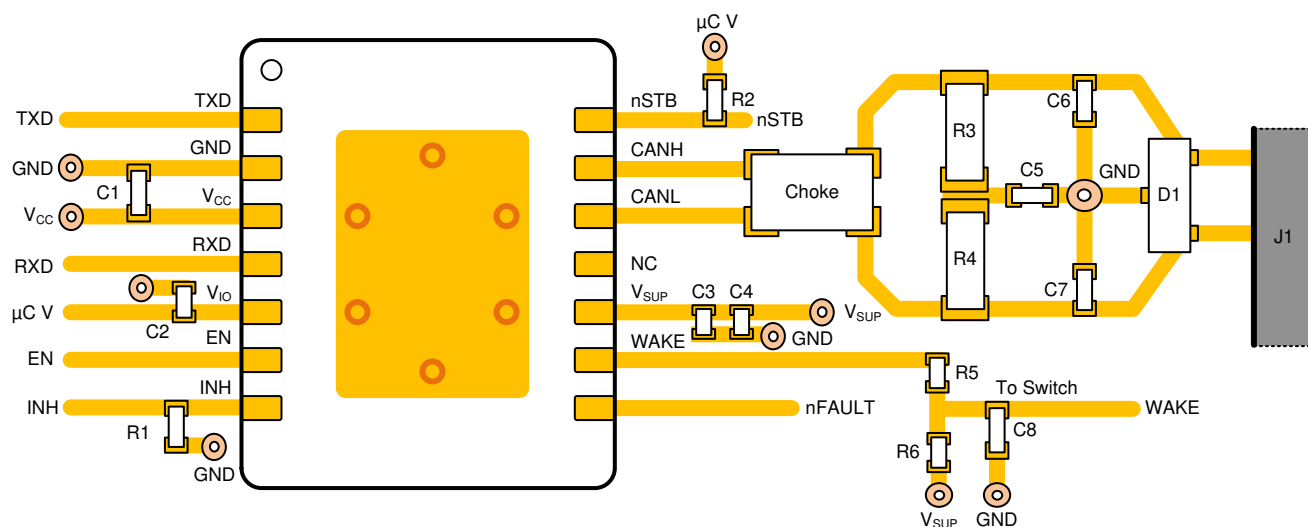


図 8-4. レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

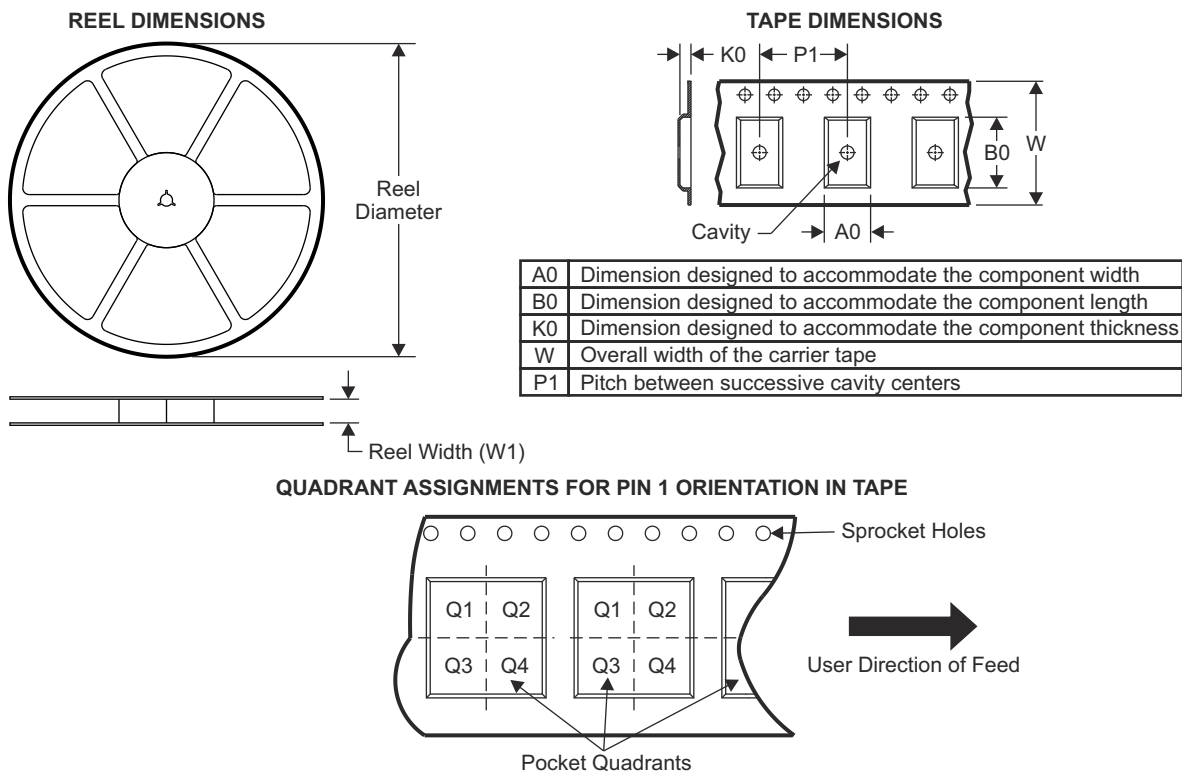
日付	改訂	注
September 2025	*	初版リリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

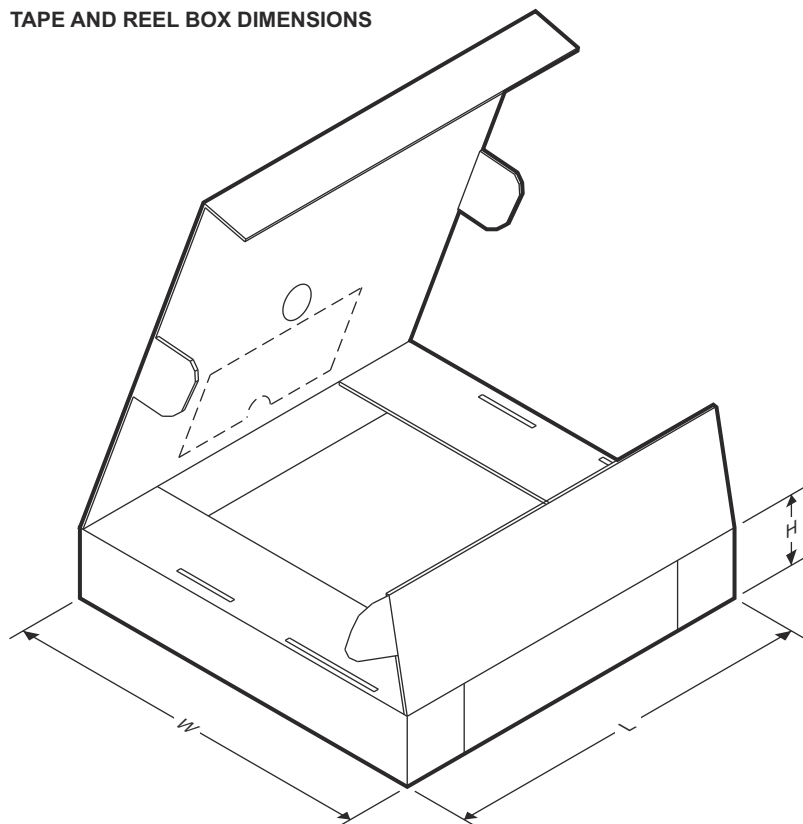
11.1 付録：パッケージ オプション

11.1.1 テープおよびリール情報



デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	PIN1 象限
TCAN843DYYQ1	SOT	DYY	14	250	177.8	12.4	3.56	4.5	1.3	8.0	12.0	Q1Q1
TCAN843DQ1	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TCAN843NMTQ1	VSON	DMT	14	3000	180.0	12.4	3.2	47.0	1.15	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

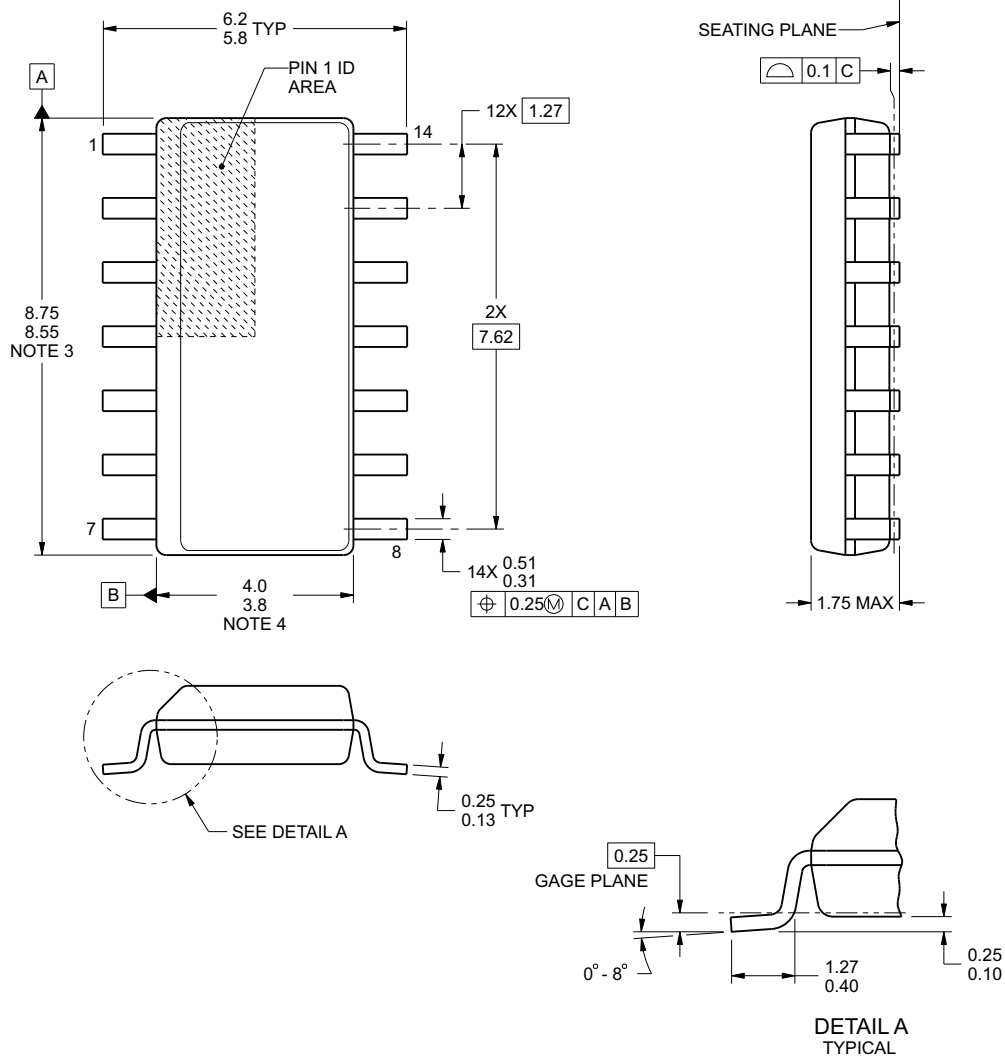


デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
TCAN843DYYQ1	SOT	DYY	14	250	208.0	191.0	35.0
TCAN843DQ1	SOIC	D	14	2500	333.2	345.9	28.6
TCAN843DMTQ1	VSON	DMT	14	3000	370.4	355.0	55.0

ADVANCE INFORMATION

**D0014A****PACKAGE OUTLINE****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

www.ti.com

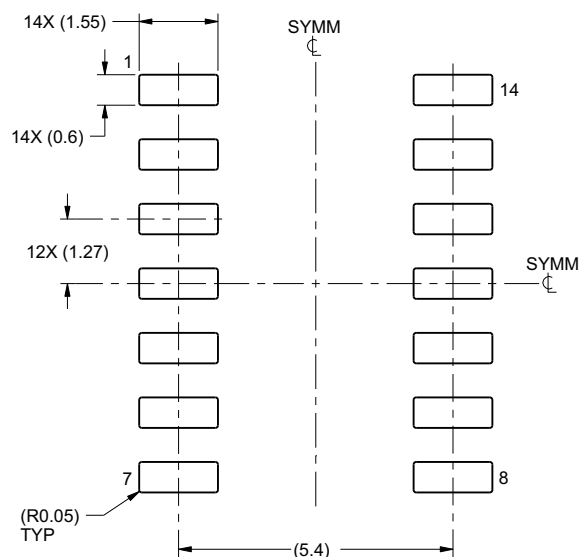
ADVANCE INFORMATION

EXAMPLE BOARD LAYOUT

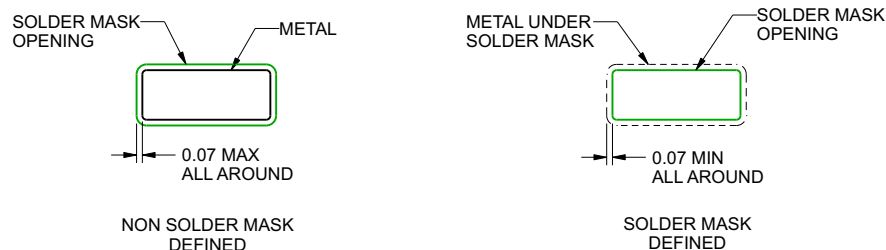
D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

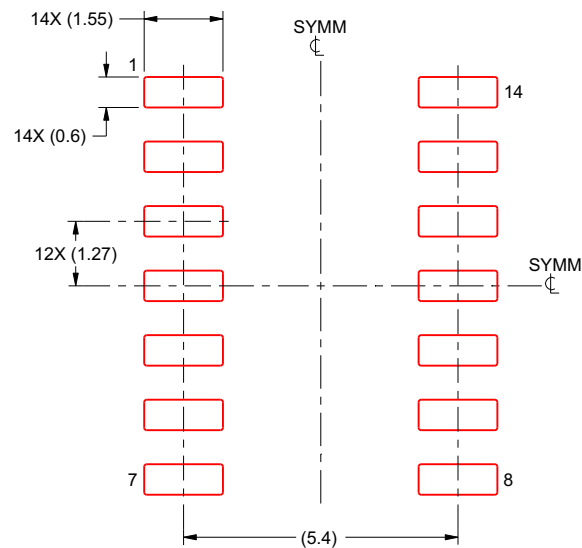
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

www.ti.com

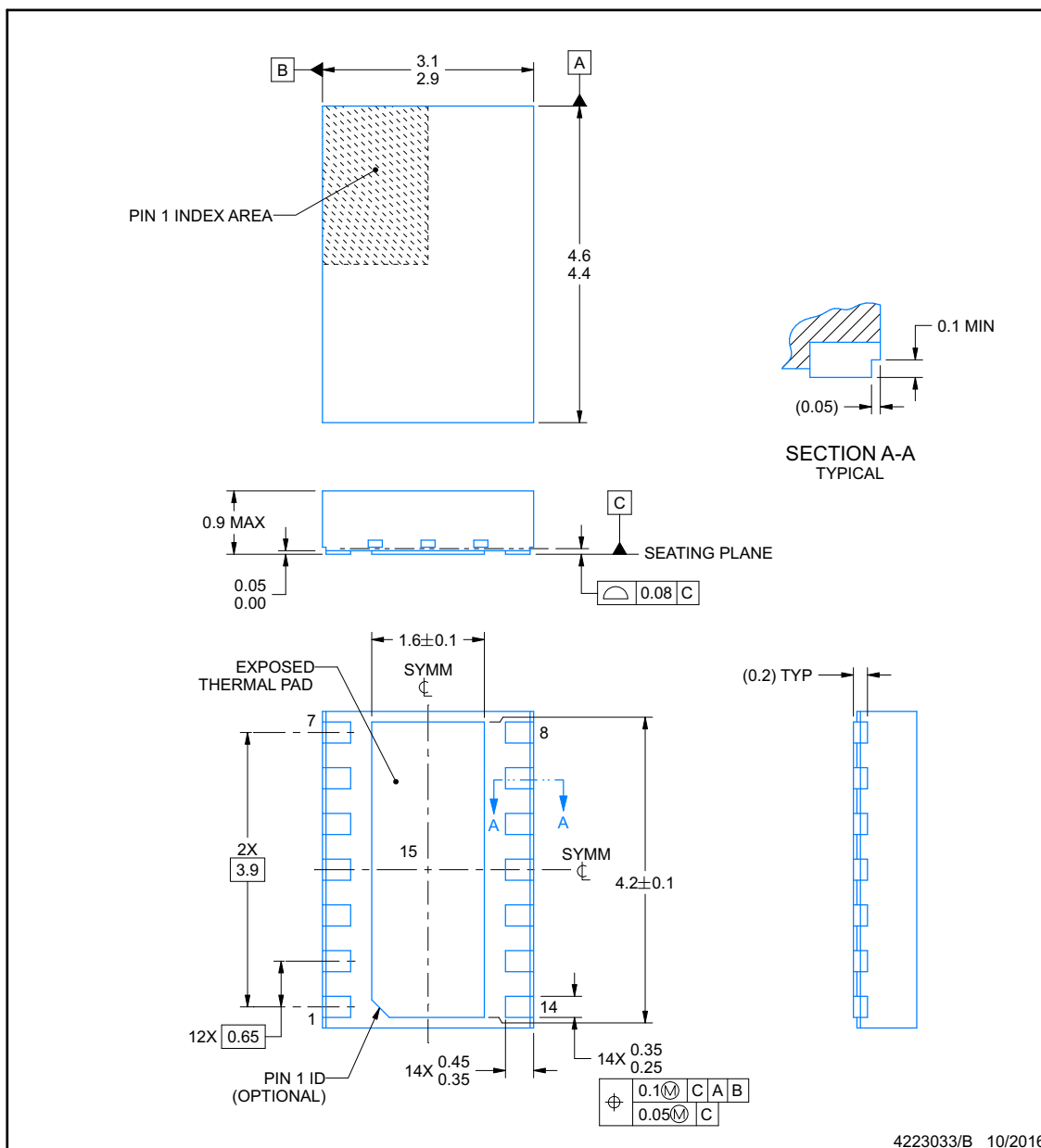


DMT0014A

PACKAGE OUTLINE

VSON - 0.9 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

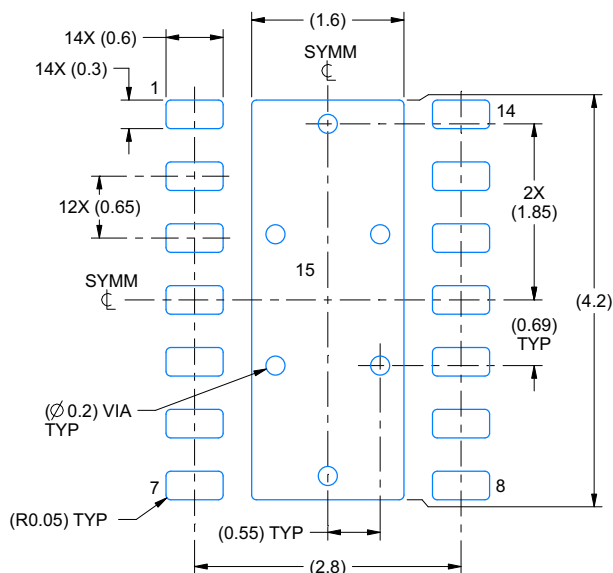
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

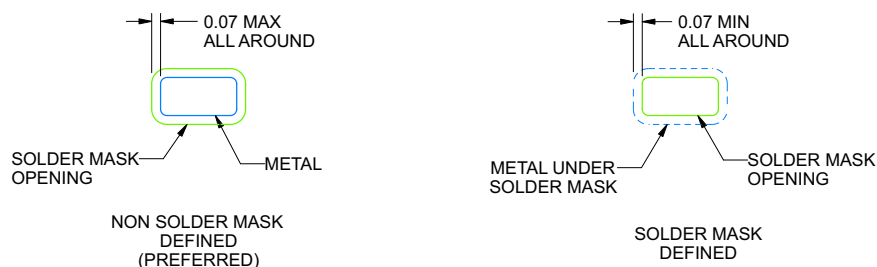
DMT0014A

VSON - 0.9 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
SCALE:15X



SOLDER MASK DETAILS

4223033/B 10/2016

NOTES: (continued)

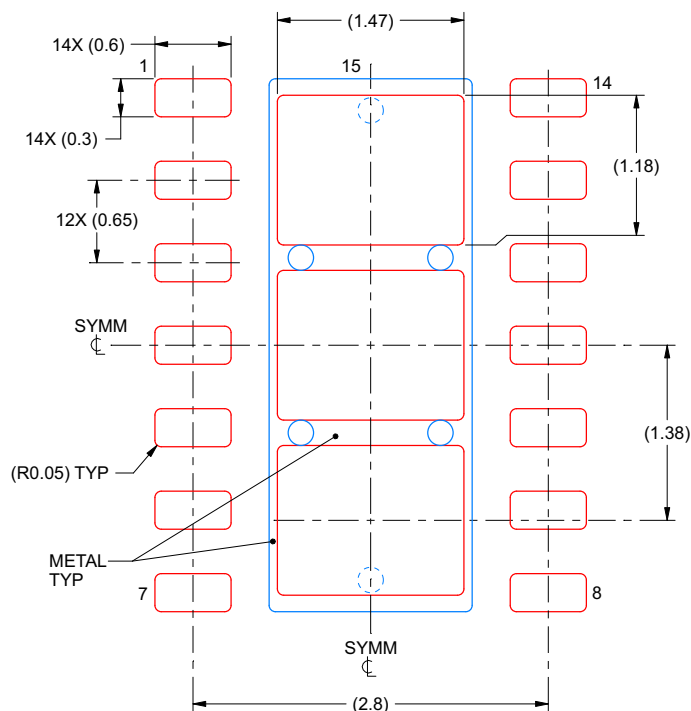
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sl原因271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DMT0014A

VSON - 0.9 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
EXPOSED PAD 15
77.4% PRINTED SOLDER COVERAGE BY AREA
SCALE:20X

4223033/B 10/2016

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

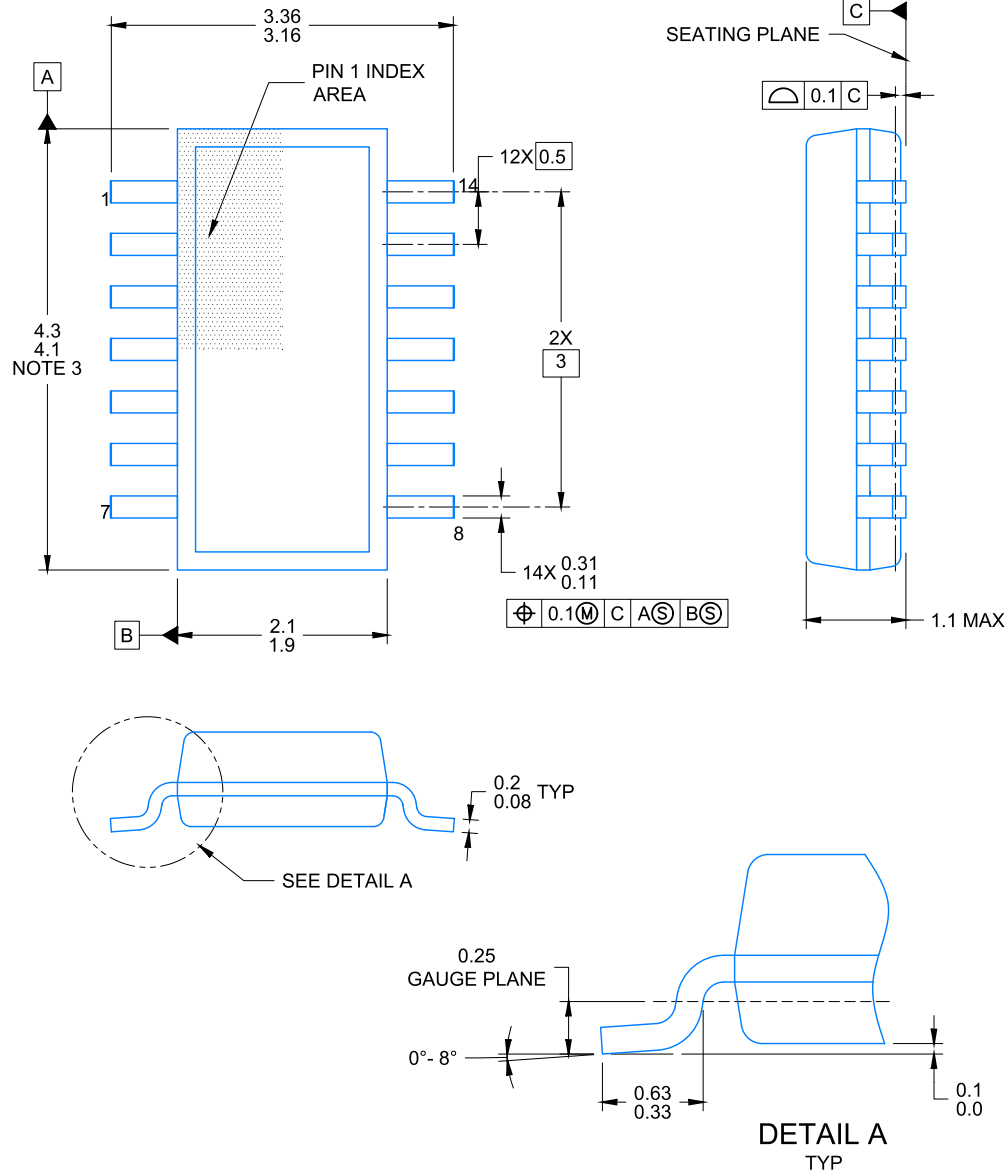
ADVANCE INFORMATION

PACKAGE OUTLINE

DYY0014A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



4224643/A 11/2018

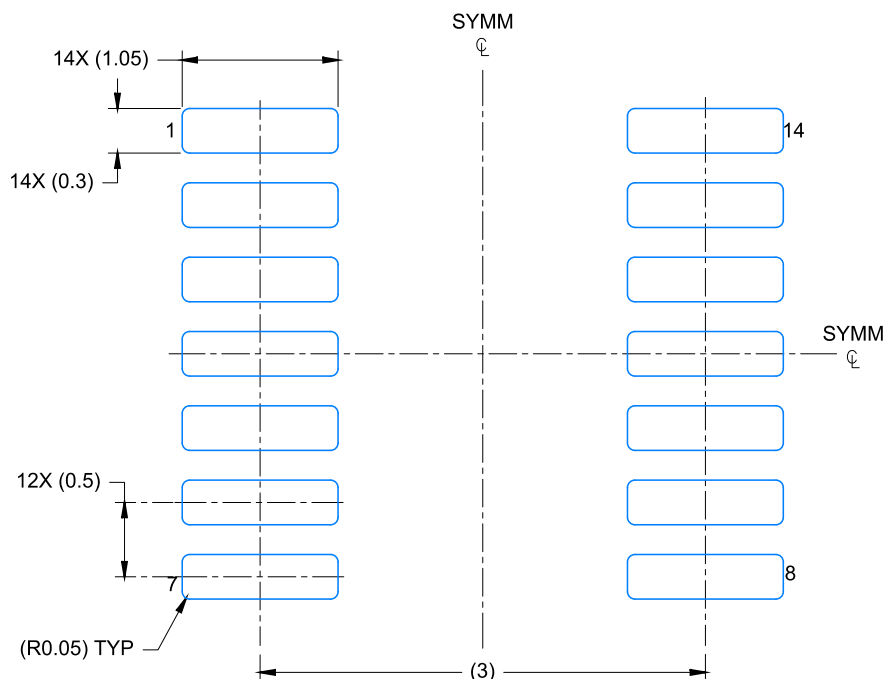
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.

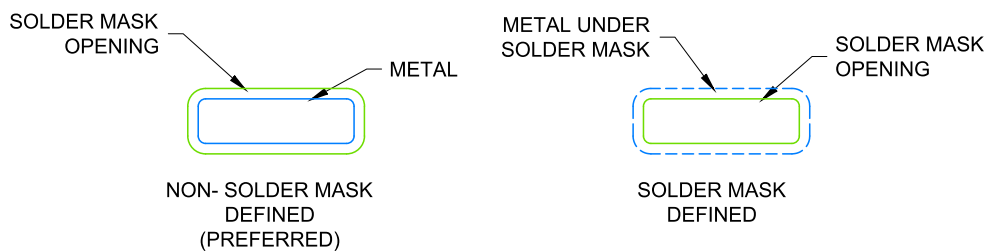
DYY0014A

EXAMPLE BOARD LAYOUT SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4224643/A 11/2018

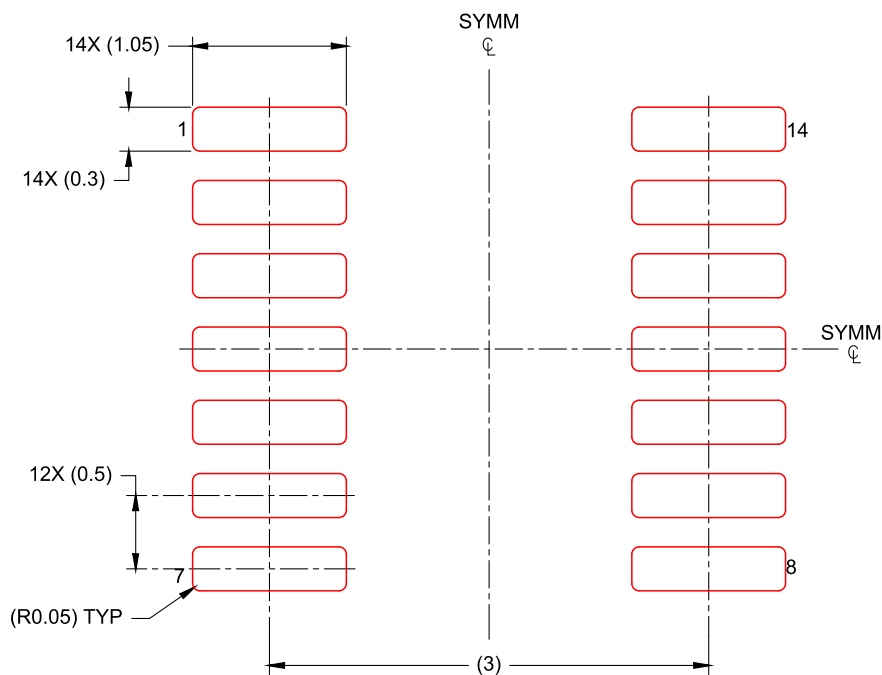
NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN SOT-23-THIN - 1.1 mm max height

DYY0014A

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/A 11/2018

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

ADVANCE INFORMATION

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または [ti.com](https://www.ti.com) やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTCAN843DMTRQ1	Active	Preproduction	VSON (DMT) 14	3000 LARGE T&R	-	Call TI	Call TI	-40 to 150	
PTCAN843DRQ1	Active	Preproduction	SOIC (D) 14	3000 LARGE T&R	-	Call TI	Call TI	-40 to 150	
PTCAN843DYRQ1	Active	Preproduction	SOT-23-THIN (DYY) 14	3000 LARGE T&R	-	Call TI	Call TI	-40 to 150	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月